

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



設計マニュアル

# CMOS-N5シリーズ

CMOSゲートアレイ

Ver.9.0

---

資料番号 A13826JJ9V0DM00 (第9版)

発行年月 February 2009 NS

© NEC Electronics Corporation 1998

〔メモ〕

# 目次要約

第1章	概 要	...	19
第2章	ゲートアレイによるシステムの実現	...	25
第3章	製品規格	...	96
第4章	各種特性値の見積もり方法	...	109
第5章	回路設計	...	149
第6章	テスト・パターンの作成	...	187
第7章	多機能ブロック	...	205
付録A	詳細な内部回路の消費電力の算出（暫定）	...	228
付録B	伝達遅延時間	...	230
付録C	ALBATROSS, DIFファイル・フォーマット	...	231
付録D	回路図, タイミング・チャートの書き方	...	235
付録E	ブロッカー一覧表	...	242
付録F	CMOS-N5を利用した汎用機能相当品について	...	269

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

OPENCADは、NECエレクトロニクス株式会社の日本国内における登録商標です。  
 FPBGAは、NECエレクトロニクス株式会社の日本国内および英国、ドイツにおける登録商標です。  
 Design Compiler, VCSは、Synopsys, Inc.の日本国内における登録商標です。  
 PrimeTime, Formality, TetraMAXは、Synopsys, Inc.の米国における登録商標です。  
 Verilog, NC-Verilogは、Cadence Design Systems社の米国における登録商標です。  
 ModelSimは、Mentor Graphics Corporationの米国における登録商標です。  
 SUN, Solarisは、米国SUN Microsystems社の商標です。  
 Conformal, Verilog-XL, Silicon Ensembleは、米国Cadence Design Systems社の商標です。  
 HP, HP-UXは、米国Hewlett-Packard社の商標です。  
 MotifはThe Open Group (TOG) / (OSF) の商標です。  
 Tuxedoは、米国Verplex Systems, Inc.の商標です。

**本製品が外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。該当する場合、日本国外に輸出する際には日本国政府の輸出許可が必要です。**

- 本資料に記載されている内容は2009年2月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
  - 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
  - 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
  - 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
  - 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っていません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
  - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。  
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
 特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器  
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

## 本版で改訂された主な箇所

箇所	内容
p.45	2.4.1 (3) NC端子の記述を変更

本文欄外の 印は、本版で改訂された主な箇所を示しています。

この" "をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

設計する際は、最新の資料を弊社販売担当または販売特約店にご確認ください。



# はじめに

このマニュアルは、弊社の高速、高集積CMOSゲートアレイCMOS-N5シリーズを使用してLSIを設計していただくうえでの各種制限事項、注意事項などをまとめたものです。

LSIを滞りなく設計していただくために、このマニュアルを熟読してください。

またマニュアルに記載された事項（一般事項、注意事項、制限事項）は必ずお守りください。お守りいただけない場合、LSI製品の品質、性能の低下や動作の異常が生じることがあります。

このマニュアルでは、パッケージ名称を次に示す略号で記載しています。

略号	正式名称
QFP	プラスチックQFP
PBGA	プラスチックBGA
TBGA	テープBGA
FPBGA <sup>®</sup>	プラスチックBGA（ファインピッチ）

## マスタの記載順序について

各種情報は、マスタ順ではなくゲート規模の順番で記載されています。

**対象者** このマニュアルは、CMOS-N5シリーズを用いてLSIを設計するユーザを対象としています。

**目的** このマニュアルは、CMOS-N5シリーズを使ってLSIを設計するうえでの一般事項、各種制限事項、注意事項などをユーザに理解していただくことを目的としています。

**読み方** このマニュアルの読者には、電気、論理回路、マイクロコンピュータの一般的な知識を必要とします。  
一通りCMOS-N5シリーズの機能を理解しようとするとき  
目次に従って読んでください。

次の項目については、CMOSゲートアレイ、エンベデッドアレイ 設計マニュアル パッケージ編 (A16400J) を参照してください。

- ・パッケージ一覧表
- ・最大許容消費電力一覧
- ・熱抵抗値一覧
- ・V<sub>DD</sub>, GND, NC, SCANテスト端子の端子配置一覧
- ・発振ブロック配置可能ピン
- ・パッケージ外形図
- ・捺印例
- ・実装ランク（半田付け推奨条件）

**凡例** **注**：本文中につけた注の説明  
**注意**：気をつけて読んでいただきたい内容  
**備考**：本文中の補足説明

## 関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

CMOS-N5シリーズ 設計マニュアル	(このマニュアル)
CMOS-N5シリーズ (5.0 V) ブロック・ライブラリ	(A13872J)
CMOS-N5シリーズ (3.3 V) ブロック・ライブラリ	(A15895J)
CMOS-N5シリーズ メモリ ブロック・ライブラリ	(A14683J)
CMOS-N5シリーズ 設計マニュアル メガマクロ編	(A14759J)
CMOSゲートアレイ, エンベデッドアレイ 設計マニュアル パッケージ編	(A16400J)
NECシステムLSI設計 OPENCAD <sup>®</sup> ユーザーズ・マニュアル OPC_VSHELL編	(A16306J)
NECシステムLSI設計 テスト容易化設計 ユーザーズ・マニュアル TESTACT, NEC_SCAN2編	(A16437J)
NECシステムLSI設計 テスト容易化設計 ユーザーズ・マニュアル NEC_BIST, NEC_TESTBUS, NEC_SCAN/SCAN2, NEC_BSCAN/BSCAN2編	(A15168J)
SEMICONDUCTOR SELECTION GUIDE - Products and Packages -	(X13769X)

# 目 次

## 第1章 概 要 ... 19

- 1.1 特 徴 ... 19
- 1.2 CMOS-N5シリーズの製品一覧 ... 21
- 1.3 CMOS-N5シリーズの内部構成 ... 22
- 1.4 内部セル構成 ... 23
- 1.5 QFPパッケージ ... 24

## 第2章 ゲートアレイによるシステムの実現 ... 25

- 2.1 回路規模の見積もり ... 26
  - 2.1.1 セル使用率, 使用可能セル数とピン・ペア数制限 ... 26
  - 2.1.2 使用セル数見積もり時の注意点 ... 28
  - 2.1.3 メモリなどの大規模マクロの配置可否 ... 29
  - 2.1.4 大規模マクロ(メモリなど)搭載時の注意点 ... 44
- 2.2 パッケージの選択 ... 44
- 2.3 消費電力の確認 ... 44
- 2.4 端子配置 ... 45
  - 2.4.1 端子レイアウトの注意点 ... 45
- 2.5 入出力インタフェース ... 46
  - 2.5.1 入力ブロックの種類 ... 46
  - 2.5.2 出力ブロックの種類 ... 47
- 2.6 開発フロー ... 48
- 2.7 OPENCADの構成ツール ... 51
- 2.8 インタフェース・データ一覧 ... 53
- 2.9 ASIC品種開発情報 ... 55
  - 2.9.1 ASIC品種開発情報(チェック・シート)記入例 ... 56
  - 2.9.2 RAMブロック ... 72
  - 2.9.3 ROMについて ... 76
  - 2.9.4 高速ファンクション・テストについて ... 78
  - 2.9.5 GTL, PECL, HSTL, PCI, LVDSブロックについて ... 80
  - 2.9.6 DPLLブロックについて ... 82
  - 2.9.7 メガマクロについて ... 86
  - 2.9.8 スキャンパスとバウンダリ・スキャン併用時について ... 88
  - 2.9.9 スキャンパスについて ... 90
  - 2.9.10 バウンダリ・スキャンについて ... 94

## 第3章 製品規格 ... 96

- 3.1 用語説明 ... 96
- 3.2 絶対最大定格 ... 98
- 3.3 標準仕様 CMOSインタフェース条件( $V_{DD} = 5.0 V \pm 10 \%$ ,  $T_A = -40 \sim +85$ ) ... 99
  - 3.3.1 推奨動作範囲 ... 99
  - 3.3.2 DC特性 ... 100

3.3.3	AC特性	...	101
3.4	<b>仕様1</b> ( $V_{DD} = 3.0 \pm 0.3$ V, $T_A = -40 \sim +85$ )	...	102
3.4.1	推奨動作範囲	...	102
3.4.2	DC特性	...	103
3.4.3	AC特性	...	104
3.5	<b>仕様2</b> ( $V_{DD} = 3.3 \pm 0.3$ V, $T_A = -40 \sim +85$ )	...	105
3.5.1	推奨動作範囲	...	105
3.5.2	DC特性	...	106
3.5.3	AC特性	...	107
3.6	<b>端子容量</b>	...	108

## 第4章 各種特性値の見積もり方法 ... 109

4.1	<b>静消費電流の見積もり</b>	...	109
4.1.1	静消費電流の見積もり	...	109
4.2	<b>入力貫通電流</b>	...	112
4.3	<b>消費電力</b>	...	113
4.3.1	消費電力の発生要因	...	114
4.3.2	消費電力の見積もり	...	114
4.3.3	メモリの単位消費電力	...	119
4.3.4	電源, 動作周囲温度仕様変更時の補正方法	...	120
4.3.5	消費電力の判定	...	121
4.4	<b>伝達遅延時間</b>	...	122
4.4.1	伝達遅延時間の精度	...	122
4.4.2	伝達遅延時間の計算	...	122
4.4.3	配線容量予測	...	123
4.4.4	伝達遅延時間の変動	...	124
4.5	<b>出力バッファの特性</b>	...	127
4.5.1	出力バッファの立ち上がり/立ち下がり時間	...	127
4.5.2	出力バッファの推奨負荷容量範囲	...	128
4.5.3	出力バッファの最高動作周波数	...	129
4.5.4	出力バッファの出力電流 (IOL, IOH)	...	133
4.6	<b>出力バッファの同時動作制限</b>	...	141
4.6.1	出力同時動作による誤動作	...	141
4.6.2	同時動作の定義	...	143
4.6.3	同時動作の判定要因	...	143
4.6.4	判定対象となる同時動作端子	...	144
4.6.5	端子配置と同時動作	...	145
4.6.6	3GND端子判定法	...	145
4.6.7	同時動作判定法使用の注意点	...	147
4.6.8	標準電源, GND端子本数だけで, 判定基準を満足しない場合	...	148

## 第5章 回路設計 ... 149

5.1	<b>基本回路構成</b>	...	149
5.1.1	入力/出力バッファの使用	...	149
5.1.2	未使用端子の処理	...	150
5.1.3	ファンアウト数の制限	...	150
5.1.4	ワイアード・ロジックの禁止	...	150

5.1.5	双方向バッファ使用上の注意	...	151
5.2	微分回路の禁止	...	152
5.3	RSラッチ, ループ回路	...	152
5.3.1	RSラッチ	...	152
5.3.2	ループ回路	...	153
5.3.3	フリップフロップの禁止状態	...	154
5.4	クロック信号の設計	...	155
5.4.1	同期回路設計	...	155
5.4.2	クロック・スキュー	...	159
5.4.3	クロック・ツリー・シンセシス	...	161
5.5	高速動作回路構成上の注意点	...	165
5.6	遅延時間マージン	...	166
5.6.1	タイミングの定義	...	167
5.6.2	遅延時間マージンの計算法 (非同期回路)	...	168
5.6.3	遅延時間マージンの計算法 (高速に動作する回路)	...	169
5.6.4	最小パルス幅	...	171
5.6.5	メタステーブル (暫定)	...	172
5.6.6	クリティカル・パス	...	176
5.6.7	動作マージン確保のための条件	...	178
5.7	内部バスの構成	...	178
5.7.1	内部バスの構成方法	...	178
5.7.2	内部バスのフローティング防止	...	179
5.7.3	内部バス使用上の注意事項	...	179
5.8	外部バスとの競合防止	...	180
5.9	テストビリティの考慮	...	181
5.9.1	フリップフロップのイニシャライズ (初期設定)	...	181
5.9.2	カウンタの分割	...	181
5.9.3	テスト端子の追加と回路分割	...	182
5.10	レーシングとスパイク・ノイズ	...	183
5.10.1	レーシング (競合)	...	183
5.10.2	スパイク・ノイズ	...	184

## 第6章 テスト・パターンの作成 ... 187

6.1	テスト・パターンの種類	...	187
6.2	製品検査 (LSIテスト) からの注意点	...	188
6.2.1	入力, 出力端子名制限	...	188
6.2.2	テスト・パターン長制限	...	188
6.2.3	テスト・パターンの本数	...	189
6.3	ファンクション・テスト用テスト・パターン作成上の注意	...	189
6.3.1	回路の初期設定 (イニシャライズ)	...	189
6.3.2	テスト周期 (テスト・レート)	...	189
6.3.3	出力判定時間 (ストロブ時間)	...	189
6.3.4	タイミング相の指定	...	190
6.3.5	スキュー	...	192
6.3.6	双方向端子の入出力モード切り替えの注意	...	192
6.3.7	I/Oモジュレーション機能について	...	194
6.3.8	I/O競合について	...	196
6.3.9	多機能入出力回路のテスト	...	196

- 6.4 DCテスト・パターン作成上の注意 ... 197
- 6.5 RAM搭載時のテスト・パターン ... 198
- 6.6 高速ファンクション・テスト(リアルタイム・テスト) ... 198
  - 6.6.1 テスト・パターン長制限 ... 198
  - 6.6.2 テスト周期(テスト・レート) ... 198
  - 6.6.3 出力判定時間(ストロブ時間) ... 199
  - 6.6.4 高速ファンクション・テスト時の注意 ... 199
- 6.7 テスタビリティ(故障検出率) ... 201
  - 6.7.1 テスタビリティ(故障検出率)への考慮 ... 201
  - 6.7.2 故障シミュレーションの原理 ... 201
- 6.8 システム・シミュレーションへの考慮 ... 203

## 第7章 多機能ブロック ... 205

- 7.1 Fail safe機能付きバッファ ... 206
- 7.2 プルアップ/プルダウン抵抗内蔵の入力/出力/双方向バッファ ... 207
- 7.3 発振回路 ... 208
  - 7.3.1 発振回路の構成方法 ... 208
  - 7.3.2 発振回路の記述方法 ... 209
  - 7.3.3 発振回路(発振子)とCTSとの併用 ... 211
  - 7.3.4 発振回路構成上の注意 ... 212
  - 7.3.5 外付け回路の定数 ... 214
- 7.4 メモリ ... 218
  - 7.4.1 メモリ・ブロックの種類 ... 218
  - 7.4.2 RAMブロック ... 219
- 7.5 メモリ・ブロックの記述方法 ... 221
  - 7.5.1 メモリ・ブロックの選択 ... 221
  - 7.5.2 メモリ・ブロックの取り扱い ... 221
- 7.6 メモリ・テスト ... 221
  - 7.6.1 RAMのテスト ... 221
  - 7.6.2 テスト用入出力端子(TIN, TEB, TOUT)の設置 ... 224
  - 7.6.3 RAMテスト回路の接続確認 ... 225
- 7.7 スキャンバス・テスト・ブロック ... 227

## 付録A 詳細な内部回路の消費電力の算出(暫定) ... 228

## 付録B 伝達遅延時間 ... 230

## 付録C ALBATROSS, DIFファイル・フォーマット ... 231

- C.1 ALBATROSSファイル・フォーマット(回路名.alb) ... 231
- C.2 DIFファイル・フォーマット(回路名.dif) ... 233

## 付録D 回路図, タイミング・チャートの書き方 ... 235

- D.1 回路図の書き方 ... 235
  - D.1.1 論理シンボル ... 235

- D. 1.2 ブロック名（機能名）の記入 ... 235
- D. 1.3 端子名の記入（ブロックの入力／出力端子名） ... 235
- D. 1.4 ゲート名の記入（各ブロックの固有名） ... 235
- D. 1.5 入出力端子の記述 ... 236
- D. 2 マクロの取り扱い ... 238
- D. 3 タイミング・チャートの書き方 ... 240

## 付録E ブロッカー一覧表 ... 242

- E. 1 Interface Block ... 242
  - E. 1.1 CMOS Level ... 242
  - E. 1.2 TTL Level ... 249
  - E. 1.3 Oscillator ... 254
- E. 2 Function Block ... 255
  - E. 2.1 Level Generator ... 255
  - E. 2.2 Inverter, Buffer, CTS Driver, Delay Gate ... 255
  - E. 2.3 OR (NOR) ... 256
  - E. 2.4 AND (NAND) ... 257
  - E. 2.5 AND-NOR ... 258
  - E. 2.6 OR-NAND ... 259
  - E. 2.7 Exclusive OR, Exclusive NOR ... 260
  - E. 2.8 Adder, 3-State Buffer, Decoder, Multiplexer, Generator ... 261
  - E. 2.9 RS-Latch, RS-F/F ... 262
  - E. 2.10 D-Latch ... 262
  - E. 2.11 D-F/F ... 263
  - E. 2.12 T-F/F, JK-F/F ... 265
- E. 3 Scan Path Block ... 266
  - E. 3.1 Standard Type ... 266
  - E. 3.2 NEC Scan ... 266
  - E. 3.3 Scan Controller ... 267
- E. 4 Boundary Scan Block ... 268
  - E. 4.1 TAP Macro ... 268
  - E. 4.2 Level Generator ... 268
  - E. 4.3 Data Register ... 268
  - E. 4.4 D-latch, Selector, Shift Register ... 268
  - E. 4.5 Soft Macro ... 268

## 付録F CMOS-N5を利用した汎用機能相当品について ... 269

## 図の目次 (1/3)

図番号	タイトル, ページ
1 - 1	ゲートアレイの概略構造 ... 22
1 - 2	内部セル等価回路 ... 23
1 - 3	等価回路 ... 24
1 - 4	QFPパッケージの断面図 ... 24
2 - 1	ピン・ペア数 ... 26
2 - 2	マクロの占有するセル範囲の形状 (基本マクロが4つの場合) ... 32
2 - 3	マクロ占有範囲 ... 33
2 - 4	マクロ実現不可能範囲 ... 34
2 - 5	許容消費電力と各タイプのQFPの関係 ... 44
4 - 1	リーク電流 ... 110
4 - 2	50 k $\Omega$ 内蔵抵抗の消費電流 (I <sub>PD</sub> ) ... 110
4 - 3	5 k $\Omega$ 内蔵抵抗の消費電流 (I <sub>PU</sub> ) ... 111
4 - 4	入力貫通電流 (V <sub>DD</sub> = 5.0 V CMOSレベル) ... 112
4 - 5	入力貫通電流 (V <sub>DD</sub> = 5.0 V TTLレベル) ... 112
4 - 6	入力貫通電流 (V <sub>DD</sub> = 5.5 V CMOSレベル・シュミット) ... 112
4 - 7	入力貫通電流 (V <sub>DD</sub> = 5.5 V TTLレベル・シュミット) ... 112
4 - 8	入力貫通電流 (V <sub>DD</sub> = 3.6 V CMOSレベル) ... 113
4 - 9	入力貫通電流 (V <sub>DD</sub> = 3.3 V TTLレベル) ... 113
4 - 10	入力貫通電流 (V <sub>DD</sub> = 3.6 V CMOSレベル・シュミット) ... 113
4 - 11	入力貫通電流 (V <sub>DD</sub> = 3.3 V TTLレベル・シュミット) ... 113
4 - 12	発振回路の構成図 ... 117
4 - 13	伝達遅延時間 ... 126
4 - 14	t <sub>PD</sub> ばらつきの関係 ... 127
4 - 15	f <sub>MAX</sub> vs C <sub>L</sub> 制限 (CMOSレベル出力) ... 130
4 - 16	f <sub>MAX</sub> vs C <sub>L</sub> 制限 (CMOSレベル・ロウ・ノイズ出力) ... 132
4 - 17	I <sub>OL</sub> /I <sub>OH</sub> のV <sub>DD</sub> 依存性 ... 134
4 - 18	I <sub>OL</sub> /I <sub>OH</sub> のT <sub>A</sub> 依存性 ... 134
4 - 19	I <sub>O</sub> vs V <sub>O</sub> (5.0 V時) ... 135
4 - 20	I <sub>O</sub> vs V <sub>O</sub> (3.3 V時) ... 138
4 - 21	同時動作による誤動作 ... 142
5 - 1	回路の基本構成 ... 149
5 - 2	ワイアード・ロジックの禁止 ... 150
5 - 3	リンギング ... 151
5 - 4	対策回路例 ... 151



## 図の目次 (2/3)

図番号	タイトル, ページ
5 - 5	微分回路の禁止 ... 152
5 - 6	非同期RSラッチ ... 152
5 - 7	ループ回路 ... 153
5 - 8	クロック・スキュー ... 156
5 - 9	クロック・スキュー対策1 ... 157
5 - 10	クロック・スキュー対策2 ... 158
5 - 11	二相同期回路 ... 159
5 - 12	マクロ間のクロック・ライン対策 ... 160
5 - 13	CTSの概念 ... 161
5 - 14	CTSの使用イメージ (FC44の例) ... 163
5 - 15	クロック・スキューの最適化 ... 164
5 - 16	CTSブロックの記述例 ... 164
5 - 17	高速動作 (安定) 回路の構成上の注意 ... 165
5 - 18	セットアップ時間 ... 167
5 - 19	ホールド時間 ... 167
5 - 20	リリース時間 ... 167
5 - 21	リムーバル時間 ... 167
5 - 22	最小パルス幅 ... 167
5 - 23	遅延時間マージン計算回路例 ... 168
5 - 24	タイミングの見積もり ... 168
5 - 25	同相クロック回路例 ... 169
5 - 26	同相クロックの場合のタイミング ... 169
5 - 27	逆相クロック回路例 ... 170
5 - 28	逆相クロックの場合のタイミング ... 170
5 - 29	最小パルス幅の見積もり ... 171
5 - 30	パルスの細り ... 171
5 - 31	クリティカル・パスを含むシステム ... 176
5 - 32	入力-入力間クリティカル・パス検討例 ... 177
5 - 33	セットアップ時間の検証 ... 177
5 - 34	バスの構成 ... 178
5 - 35	内部バスのフローティング防止回路構成例 ... 179
5 - 36	外部バスのフローティング防止対策例 ... 180
5 - 37	フリップフロップのイニシャライズ ... 181
5 - 38	カウンタの分割 ... 181
5 - 39	レーシング ... 183
5 - 40	データ・セクタ回路例 ... 184
5 - 41	テスト・パターン例 (改善前) ... 185
5 - 42	テスト・パターン例 (改善後) ... 186

## 図の目次 (3/3)

図番号	タイトル, ページ
6 - 1	タイミング相 ... 191
6 - 2	双方向端子の切り替えタイミングの悪い例 ... 192
6 - 3	入出力切り替え時の競合 ... 193
6 - 4	テスト・パターン例 ... 198
6 - 5	ストローク時間 ... 199
6 - 6	リアルタイム・シミュレーション結果例 ... 200
6 - 7	故障シミュレーションの概念 ... 202
6 - 8	システム・シミュレーションによるテスト・パターン作成フロー ... 204
7 - 1	Fail safe機能付きバッファの等価回路図 ... 206
7 - 2	発振回路の構成例 ... 208
7 - 3	発振回路構成 ... 209
7 - 4	推奨回路構成例 ... 211
7 - 5	基板上的GNDパターン例 ... 212
7 - 6	オーバートーン回路例 ... 213
7 - 7	発振ブロックの発振回路構成図 ... 217
7 - 8	シングルポートRAM回路構成 ... 220
7 - 9	デュアルポートRAM回路構成 ... 220
7 - 10	テスト回路 (BIST) ブロック図 ... 222
7 - 11	RAMテスト回路例 ... 222
7 - 12	TIN端子の兼用化 ... 225
7 - 13	TOUT端子の兼用化 ... 225
7 - 14	テスト・パターン例 ... 226
7 - 15	スキャンパス・テスト法の原理 ... 227
A - 1	消費電力の負荷依存性 ... 229
B - 1	入力波形による遅延時間の増加 ... 230
D - 1	回路図の例 ... 236
D - 2	双方向端子の記述例 ... 237
D - 3	双方向端子のテスト・パターン作成例 ... 237
D - 4	3ステート出力端子記述例 ... 238
D - 5	3ステート出力端子のテスト・パターン作成例 ... 238
D - 6	マクロの取り扱い ... 239
D - 7	タイミング・チャートの記入例 ... 240
D - 8	タイミング・チャートの例 ... 240

## 表の目次 (1/2)

表番号	タイトル, ページ
1 - 1	製品一覧 ... 21
2 - 1	搭載セル数一覧 ... 27
2 - 2	ユーザブル・ゲート, ピン・ペア数一覧 ... 27
2 - 3	搭載可能表 ... 29
2 - 4	基本マクロの最低占有セル数 ... 35
2 - 5	占有セル範囲 ... 36
3 - 1	絶対最大定格に関する用語 ... 96
3 - 2	推奨動作条件に関する用語 ... 97
3 - 3	DC特性に関する用語 ... 97
3 - 4	絶対最大定格 ... 98
3 - 5	推奨動作範囲 ( $V_{DD} = 5.0 V \pm 10\%$ , $T_A = -40 \sim +85$ ) ... 99
3 - 6	DC特性 ( $V_{DD} = 5.0 V \pm 10\%$ , $T_A = -40 \sim +85$ ) ... 100
3 - 7	AC特性 ( $V_{DD} = 5.0 V \pm 10\%$ , $T_A = -40 \sim +85$ ) ... 101
3 - 8	推奨動作範囲 ( $V_{DD} = 3.0 \pm 0.3 V$ , $T_A = -40 \sim +85$ ) ... 102
3 - 9	DC特性 ( $V_{DD} = 3.0 \pm 0.3 V$ , $T_A = -40 \sim +85$ ) ... 103
3 - 10	AC特性 ( $V_{DD} = 3.0 \pm 0.3 V$ , $T_A = -40 \sim +85$ ) ... 104
3 - 11	推奨動作範囲 ( $V_{DD} = 3.3 \pm 0.3 V$ , $T_A = -40 \sim +85$ ) ... 105
3 - 12	DC特性 ( $V_{DD} = 3.3 \pm 0.3 V$ , $T_A = -40 \sim +85$ ) ... 106
3 - 13	AC特性 ( $V_{DD} = 3.3 \pm 0.3 V$ , $T_A = -40 \sim +85$ ) ... 107
3 - 14	インタフェース・ブロックの容量 ( $C_B$ ) ... 108
3 - 15	パッケージごとの容量 ( $C_P$ ) (暫定値) ... 108
4 - 1	入力バッファごとの消費電力 ... 115
4 - 2	出力バッファの消費電力 ... 116
4 - 3	発振器の消費電力 (参考値) ( $V_{DD} = 5.0 V \pm 10\%$ , $T_A = -40 \sim +85$ ) ... 116
4 - 4	補正係数 ( $K_1, K_2, K_3$ ) ... 121
4 - 5	配線容量予測 (配線長をF/I値に換算) ... 124
4 - 6	出力バッファの $t_r$ , $t_f$ 計算係数一覧表 ( $V_{DD} = 5.0 V$ , $T_A = 25$ ) ... 128
4 - 7	出力バッファの $t_r$ , $t_f$ 計算係数一覧表 ( $V_{DD} = 3.3 V$ , $T_A = 25$ ) ... 128
4 - 8	出力バッファの推奨負荷容量範囲 (5.0 V時) ... 129
4 - 9	出力バッファの推奨負荷容量範囲 (3.3 V時) ... 129
4 - 10	同時動作基準時間範囲 (TYP.) ... 143
4 - 11	3GND端子内での同時動作許容本数 ( $I_{OL} = 12 mA$ ) ... 146
4 - 12	同時動作本数換算係数 ... 147
5 - 1	F617 (D-F/F with RB, SB) ... 154
5 - 2	単相, 多相両同期回路設計の特徴 ... 155

## 表の目次 (2/2)

表番号	タイトル, ページ
5 - 3	CTSブロッカー一覧 (目安) ... 162
6 - 1	テスト・パターンの種類 ... 187
6 - 2	端子名文字制限 ... 188
6 - 3	テスト・パターン長の制限 ... 188
6 - 4	タイミング相数 ... 190
6 - 5	タイミング制限 ... 190
6 - 6	クロック・モード ... 191
7 - 1	推奨発振周波数範囲と組み合わせ構成 ... 208
7 - 2	判定基準例 ... 214
7 - 3	発振ブロックの発振子評価一覧 ... 215
7 - 4	メモリ・ブロッカー一覧 ... 218
F - 1	CMOS-N5を利用した機能相当品 ... 269

# 第1章 概 要

## 1.1 特 徴

CMOS-N5シリーズの特徴を簡単にまとめます。

高集積度	3 K ~ 120 Kゲート
プロセス	0.5 $\mu$ mルールSiゲート, 2層金属配線
入カインタフェース	CMOS TTLコンパチブル
内部ブロック	190種以上の機能ブロック ハイ・スピード/ロウ・パワーの2種類を用意 スキャンパス・ブロック クロック・ツリー・シンセシス用ドライバ
メモリ・ブロック	シングルポートRAM デュアルポートRAM
豊富な周辺ブロック	CMOS TTLレベル入力バッファ Fail safe機能付き入力バッファ CMOSレベル出力バッファ 高駆動能力バッファ ( $I_{OL} = 24.0$ mA) ロウ・ノイズ出力バッファ プルアップ抵抗内蔵バッファ (5 k $\Omega$ /50 k $\Omega$ ) プルダウン抵抗内蔵バッファ (50 k $\Omega$ )
その他	高ラッチアップ耐量

また, 電源電圧ごとの特徴は次のとおりです。

### (1) $V_{DD} = 5.0$ V $\pm$ 10 %の場合

高速動作	$t_{PD} = 0.14$ ns (2入力NAND (ロウ・パワー・ゲート), ファンアウト1, 配線長0 mm)
	$t_{PD} = 0.21$ ns (2入力NAND (ロウ・パワー・ゲート), ファンアウト1, 標準配線長)
	$t_{PD} = 0.46$ ns (2入力NAND (ロウ・パワー・ゲート), ファンアウト2, 配線長2 mm)
	$t_{PD} = 0.16$ ns (2入力NAND, ファンアウト1, 標準配線長)

$t_{PD} = 0.30$  ns (2入力NAND, ファンアウト2, 配線長2 mm)  
 $t_{PD} = 0.18$  ns (2入力NAND, ファンアウト2, 標準配線長)  
 $t_{PD} = 0.33$  ns (入力バッファ, ファンアウト2, 配線長2 mm)  
 $t_{PD} = 0.23$  ns (入力バッファ, ファンアウト1, 標準配線長)  
 $t_{PD} = 1.30$  ns (出力バッファ,  $C_L = 15$  pF,  $I_{OL} = 9$  mA)

消費電力……………1.35  $\mu$  W/MHz/セル (内部ゲート, 動作率0.3)

最高クロック周波数…………… $f_{MAX} = 200$  MHz (内部トグルF/F, ファンアウト2, 配線長0 mm)

**(2)  $V_{DD} = 3.0 \pm 0.3$  Vの場合**

高速動作…………… $t_{PD} = 0.20$  ns (2入力NAND (ロウ・パワー・ゲート), ファンアウト1, 配線長0 mm)

$t_{PD} = 0.30$  ns (2入力NAND (ロウ・パワー・ゲート), ファンアウト1, 標準配線長)

$t_{PD} = 0.23$  ns (2入力NAND, ファンアウト1, 標準配線長)

$t_{PD} = 0.42$  ns (2入力NAND, ファンアウト2, 配線長2 mm)

$t_{PD} = 0.26$  ns (2入力NAND, ファンアウト2, 標準配線長)

$t_{PD} = 0.47$  ns (入力バッファ, ファンアウト2, 配線長2 mm)

$t_{PD} = 0.34$  ns (入力バッファ, ファンアウト1, 標準配線長)

$t_{PD} = 2.16$  ns (出力バッファ,  $C_L = 15$  pF,  $I_{OL} = 9$  mA)

消費電力……………0.49  $\mu$  W/MHz/セル (内部ゲート, 動作率0.3)

最高クロック周波数…………… $f_{MAX} = 120$  MHz (内部トグルF/F, ファンアウト2, 配線長0 mm)

**(3)  $V_{DD} = 3.3 \pm 0.3$  Vの場合**

高速動作…………… $t_{PD} = 0.18$  ns (2入力NAND (ロウ・パワー・ゲート), ファンアウト1, 配線長0 mm)

$t_{PD} = 0.28$  ns (2入力NAND (ロウ・パワー・ゲート), ファンアウト1, 標準配線長)

$t_{PD} = 0.22$  ns (2入力NAND, ファンアウト1, 標準配線長)

$t_{PD} = 0.39$  ns (2入力NAND, ファンアウト2, 配線長2 mm)

$t_{PD} = 0.24$  ns (2入力NAND, ファンアウト2, 標準配線長)

$t_{PD} = 0.44$  ns (入力バッファ, ファンアウト2, 配線長2 mm)

$t_{PD} = 0.31$  ns (入力バッファ, ファンアウト1, 標準配線長)

$t_{PD} = 2.02$  ns (出力バッファ,  $C_L = 15$  pF,  $I_{OL} = 9$  mA)

消費電力……………0.59  $\mu$  W/MHz/セル (内部ゲート, 動作率0.3)

最高クロック周波数…………… $f_{MAX} = 130$  MHz (内部トグルF/F, ファンアウト2, 配線長0 mm)

## 1.2 CMOS-N5シリーズの製品一覧

表1 - 1 製品一覧

品名	ロウ・ゲート数	ユーザブル・ゲート数
$\mu$ PD65891	1920	1536
$\mu$ PD65880	3456	2937
$\mu$ PD65881	5880	4998
$\mu$ PD65892	6692	5593
$\mu$ PD65882	13952	11859
$\mu$ PD65894	15232	12185
$\mu$ PD65883	25344	21542
$\mu$ PD65884	33864	28784
$\mu$ PD65885	40768	30576
$\mu$ PD65887	56496	41730
$\mu$ PD65889	76000	57000
$\mu$ PD65890	99528	74646
$\mu$ PD65893	123384	92538

**備考** 2入力NAND換算（1セル = 1ゲート）, チップに搭載されている総ゲート数を示します。

セル使用率 :  $\mu$ PD65880, 65881, 65882, 65883, 65884 ... 85 %

$\mu$ PD65891, 65892, 65894 ... 80 %

$\mu$ PD65885, 65887, 65889, 65890, 65893 ... 75 %

### 1.3 CMOS-N5シリーズの内部構成

CMOS-N5シリーズの構成は、およそ図1 - 1に示すように内部セル領域とI/Oセル領域から成り立っています。

図1 - 1 ゲートアレイの概略構造

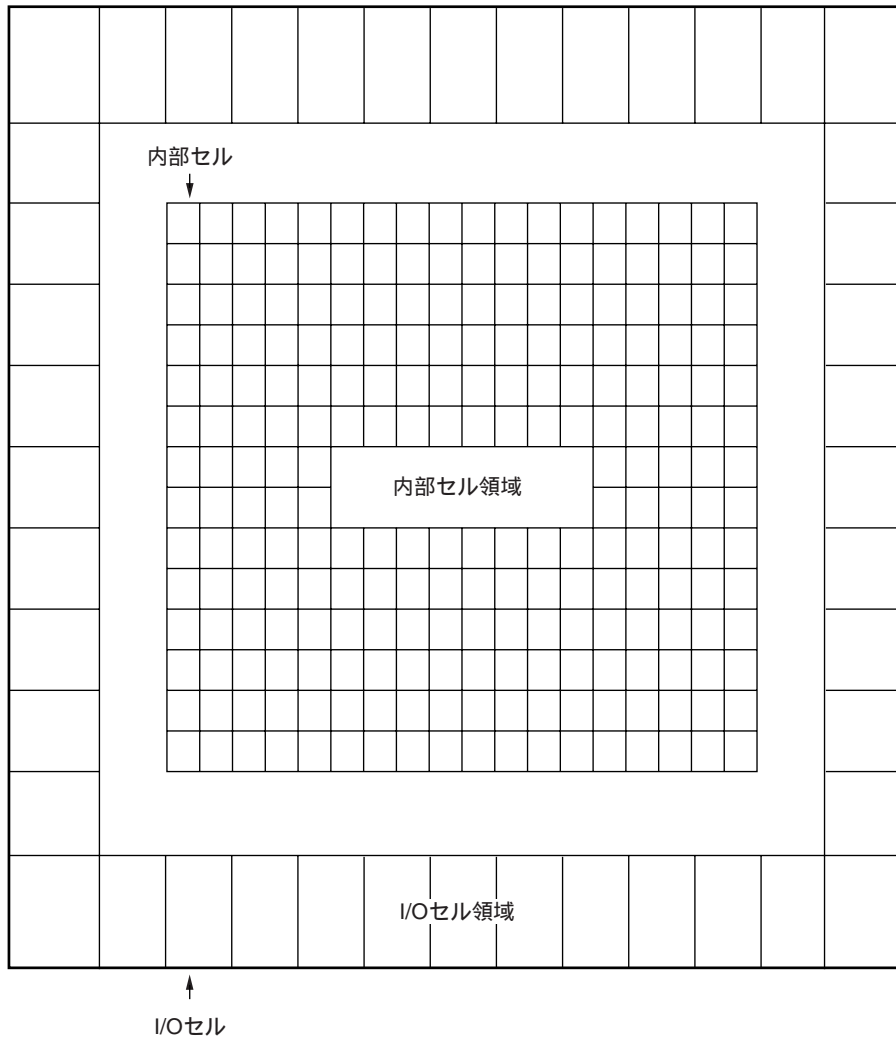


図1 - 1のように、CMOS-N5シリーズは、内部セル領域は固定配線領域を持たず、内部セル領域全面に基本セルを敷き詰めた構造です。

内部セル領域に、さまざまな機能ブロック（NANDゲートやD-F/Fなど）やメモリなどを配置し、これらを相互に配線することで希望する回路を実現します。

I/Oセル領域には、入力バッファや出力バッファを配置し、入力レベルの変換や出力の駆動能力の調整などを行います。なお入力バッファおよび出力バッファには、内部セルも一部使われます。



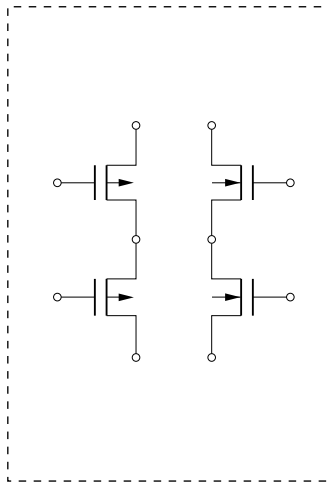
## 1.4 内部セル構成

図1 - 2にCMOS-N5シリーズの内部セル等価回路図を示します。

CMOS-N5シリーズでは、1セルで2入力NAND/NOR、インバータ、バッファなどが構成可能です。

CMOS回路は、Pチャンネル-MOSトランジスタ (P-ch.Tr) と、Nチャンネル-MOSトランジスタ (N-ch.Tr) から構成されています。通常、P-ch.TrかN-ch.Trのどちらか一方はオフの状態になっています。

図1 - 2 内部セル等価回路



このため、定常状態ではほとんど電源電流が流れないので、非常に低消費電力となっています。

CMOSの消費電流は、ほとんど回路のスイッチング時に消費されます。スイッチング時は、過渡的に大きな電流が流れるので、電源とグランドの間には高速型の大容量コンデンサを入れたり、電源のインピーダンスを十分小さくすることが必要になります。

また、CMOSの回路に立ち上がり / 立ち下がり時間の大きな波形を入力すると、P-Ch.TrとN-Ch.Trが両方ともオンの状態が長く続くため、P-Ch.TrとN-Ch.Trの間に貫通電流が流れ、消費電流が増加するだけでなく誤動作の原因になるので注意が必要です。

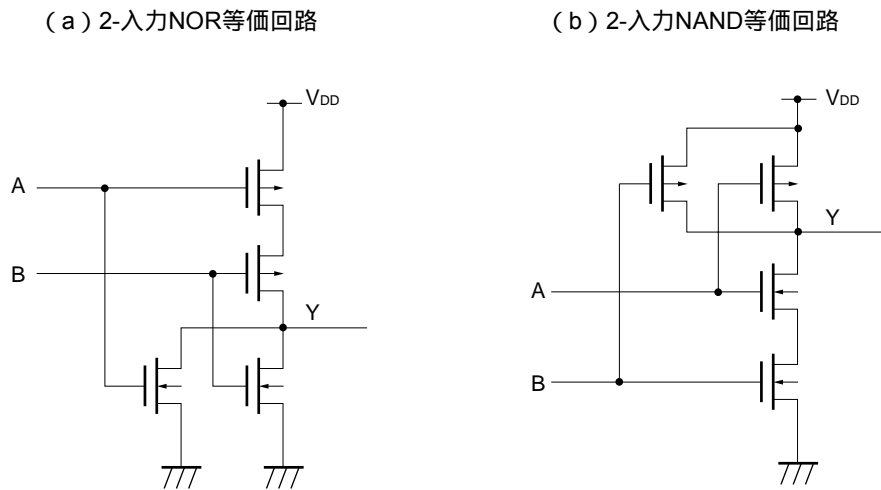
図1 - 3 (a) , (b) に2入力NORゲートと2入力NANDゲートの等価回路図を示します。一般にP-Ch.Trに比べると、N-Ch.Trの方がオン抵抗が低い (半分程度) ため、N-Ch.Trの方が大きな電流を流すことができます。

このため、図1 - 3 (a) のように、P-Ch.Trが直列に接続されているNORゲートでは出力の立ち上がり側のオン抵抗がとて大きくなり、負荷の駆動能力が低下してしまいます。

CMOSゲートアレイでは、NOR系のブロックはNAND系のブロックよりスピードが遅くファンアウト特性もよくないので、できるだけNAND系のブロックを使用して回路を構成したほうが回路のスピードが上がり、回路の安定度も上がります。

また同様の理由から、トランジスタがたくさん直列に接続される複合ゲートもスピードが遅くなりがちですので、高速な回路での使用は控え、あまりスピードを要求しない部分で使用するのが回路の安定度とセルの有効利用を図るうえで良い手段です。

図1 - 3 等価回路

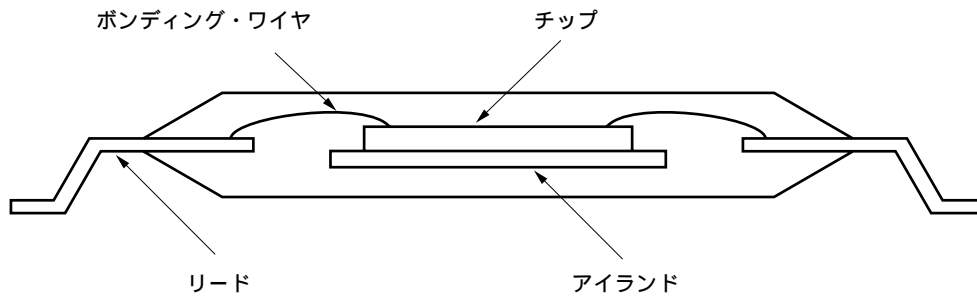


## 1.5 QFPパッケージ

図1 - 4に通常のQFPパッケージの断面図を示します。通常のQFPパッケージでは、チップはアイランドと呼ばれる金属板上に搭載されます。リードとチップの間は、数十 $\mu$ mの非常に細いボンディング・ワイヤにより接続する構造となっています。

低熱抵抗タイプのQFPパッケージは、リードおよびアイランドの材質を放熱性の良いものに変えたものです。構造そのものは、通常のQFPパッケージと同じです。

図1 - 4 QFPパッケージの断面図



## 第2章 ゲートアレイによるシステムの実現

第2章では設計を始めるうえで重要なことが記述されていますので、必ずお読みください。

お客様が設計されたシステムの一部またはすべてを、ゲートアレイを使用してLSI化する場合、ゲートアレイの回路規模や入出力端子数が最適となるように仕様を決定します。

回路規模が大きくなると、回路設計が難しくなりLSIの単価も上がってきますが、入出力端子数を減らすことができるため、プリント基板での実装面積を小さくできます。また使用するLSIが少なくなるため伝達遅延時間が小さくなります。

一方、回路規模が小さくなると設計は容易になりますが、システムを構成するために多数のゲートアレイが必要となり、プリント基板への実装面で不利になります。また、多数のLSI間を信号が伝達されるため、遅延時間があまり小さくならない場合があります。

したがって、ゲートアレイへの回路の切り出しは、伝達遅延時間や回路規模から実装上のことまで考えたうえで行ってください。

回路の切り出しは、次のような手順で行うとよいでしょう。

### 「回路の切り出し手順」

- (1) 回路規模、マスタ・サイズの見積もり
- (2) パッケージの選択
- (3) 消費電力の確認
- (4) 端子配置
- (5) 入出力のインタフェース・レベルの確認
- (6) 回路設計
- (7) インタフェース
- (8) チェック項目によるチェック

## 2.1 回路規模の見積もり

### 2.1.1 セル使用率，使用可能セル数とピン・ペア数制限

チャンネル構造のゲートアレイでは内部セル領域は次の2つに物理的に分かれています。

- ・各ファンクション・ブロックを実現するトランジスタの配置されている領域
- ・配線専用領域

一方，チャンネルレス構造のゲートアレイでは，内部セル領域は各ファンクション・ブロックを実現するトランジスタが全面に敷き詰められていて，各ファンクション・ブロックを実現する領域と配線専用領域を明確に分けて考えることはできません。そのため，チャンネルレス・タイプ・ゲートアレイではセル使用率と配線性は，より強い相関性をもつこととなります。

CMOS-N5シリーズは，チャンネルレス構造（セル敷き詰め方式）になっていますので，内部セル領域中のすべての搭載セルをゲート，フリップフロップ，メモリなどのファンクション・ブロックのために使用できるわけではありません。実際に使用されるセル数は，全体のセル数からブロック間の配線本数（ピン・ペア数）によって使用される配線用セル領域を引いたものになります。

CMOS-N5シリーズのセル使用率の上限は，ほぼ次の数値となります。

$\mu$ PD65880, 65881, 65882, 65883, 65884 : 85 % $\mu$ PD65891, 65892, 65894 : 80 % $\mu$ PD65885, 65887, 65889, 65890, 65893 : 75 %
--

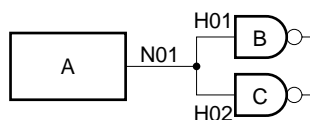
ただし，メモリなどの大規模ブロックを搭載した場合には，マクロのタイプによっては全体のセル使用率をさらに緩和できる場合もあります（詳しくは2. 1. 3 **メモリなどの大規模マクロの配置可否**を参照してください）。

一方，ピン・ペア数はセル使用率により制限を受け，次の式により算出できます。

$$\text{ピン・ペア数} = 150 \times \text{搭載セル数} \times \left\{ (100 - \text{セル使用率}) / 100 \right\}^2 / 74.69$$

「ピン・ペア数」とは，ブロック間相互の出力端子と入力端子の結線数を言います（図2 - 1参照）。

図2 - 1 ピン・ペア数



ブロックA N01-ブロックB H01

ブロックA N01-ブロックC H02

計2組（ピン・ペア数 = 2）

インバータなどの小規模ブロックの使用数が多い場合，使用セル数に比べブロック間配線が増加し，必要となる配線領域は増加します。

逆にメモリなどの大規模なブロックの使用数が多い場合、使用セル数に比べブロック間配線が減少し、必要となる配線領域は減少します。

そのためメモリなどの大規模ブロックを搭載した場合にはセル使用率により制限され、一方メモリを含まない回路ではピン・ペア数によって制限されます。

表2 - 1 搭載セル数一覧

品 名	X	Y	搭載セル数
μ PD65891	80	24	1920
μ PD65880	108	32	3456
μ PD65881	140	42	5880
μ PD65892	152	46	6992
μ PD65882	218	64	13952
μ PD65894	224	68	15232
μ PD65883	288	88	25344
μ PD65884	332	102	33864
μ PD65885	364	112	40768
μ PD65887	428	130	55640
μ PD65889	500	152	76000
μ PD65890	572	174	99528
μ PD65893	636	194	123384

**備考** 搭載セル数のX×Yは、そのマスタが横方向にX、縦方向にYのセル空間を持っていることを示します。

実際のセル使用率およびピン・ペア数を満足できれば、ほとんどの場合、標準の日程内で配置配線が可能で  
す。一方、規格を越える場合には配置配線に大幅に時間がかかったり、最悪の場合搭載が不可能になるケース  
もありますので注意してください。

表2 - 2にセル使用率に対する使用可能セル数とピン・ペア数の例を示します。

表2 - 2 ユーザブル・ゲート、ピン・ペア数一覧(1/2)

品 名	セル使用率 = 40 %		セル使用率 = 50 %		セル使用率 = 60 %	
	ユーザブル	ピン・ペア	ユーザブル	ピン・ペア	ユーザブル	ピン・ペア
μ PD65891	768	1388	960	963	1152	616
μ PD65880	1382	2498	1728	1735	2073	1110
μ PD65881	2352	4251	2940	2952	3528	1889
μ PD65892	2796	5055	3496	3510	4195	2246
μ PD65882	5580	10087	6976	7004	8371	4483
μ PD65894	6092	11012	7616	7647	9139	4894
μ PD65883	10137	18323	12672	12724	15206	8143
μ PD65884	13545	24483	16932	17002	20318	10881
μ PD65885	16307	29474	20384	20468	24460	13099
μ PD65887	22256	40227	27820	27935	33384	17878
μ PD65889	30400	54947	38000	38157	45600	24420
μ PD65890	39811	71957	49764	49970	59716	31981
μ PD65893	49353	89205	61692	61948	74030	39646

表2-2 ユーザブル・ゲート、ピン・ペア数一覧(2/2)

品名	セル使用率 = 70 %		セル使用率 = 75 %		セル使用率 = 80 %		セル使用率 = 85 %	
	ユーザブル	ピン・ペア	ユーザブル	ピン・ペア	ユーザブル	ピン・ペア	ユーザブル	ピン・ペア
μPD65891	1344	347	1440	240	1536	154	1632	86
μPD65880	2419	624	2592	433	2764	277	2937	156
μPD65881	4116	1062	4410	738	4704	472	4998	265
μPD65892	4894	1263	5244	877	5593	561	5943	315
μPD65882	9766	2521	10464	1751	11161	1120	11859	630
μPD65894	10662	2753	11424	1911	12185	1223	12947	688
μPD65883	17740	4580	19008	3181	20275	2035	21542	1145
μPD65884	23704	6120	25398	4250	27091	2720	28784	1530
μPD65885	28537	7368	30576	5117	32614	3274	34652	1842
μPD65887	38948	10056	41730	6983	44512	4469	47294	2514
μPD65889	53200	13736	57000	9539	60800	6105	64600	3434
μPD65890	69669	17989	74646	12492	79622	7995	84598	4497
μPD65893	86368	22301	92538	15487	98707	9911	104876	5575

## 2.1.2 使用セル数見積もり時の注意点

### (1) 入力/出力/双方向バッファ・ブロック

入力/出力/双方向の各外部インタフェース・ブロックを構成する際に、I/Oセルだけでなく内部セルも使用します。このため、総使用セル数を算出する際は、CMOS-N5シリーズ (5.0 V) **ブロック・ライブラリ** (A13872J) またはCMOS-N5シリーズ (3.3 V) **ブロック・ライブラリ** (A15895J) に記載されている入力/出力/双方向の内部セル使用数を加算してください。

### (2) クリティカル・パス

スピードが問題になるパスが存在する場合には、そのパスを構成する各ブロックの伝達経路を短くする処置を行う場合もあります。ただし、そのような処置を行うと配線性が極端に低下します。このような場合には、セル使用率、ピン・ペア数の制限値の8~9割程度を目安に設計してください。

### (3) マクロの構成

配置配線は回路中の階層マクロ (第一階層) ごとに行われます。このため、マクロ作成時に階層の構成について十分な配慮が必要になります。階層設計を行う場合には、次の点に注意してください。

- (a) 第一階層のマクロ間の配線長は長くなりますので、マクロ間にわたって1つの機能を実現するような階層設計は行わないでください。
- (b) 回路設計の容易化のために使用する小規模のマクロは、できるかぎり第一階層には置かないようにしてください。

### 2.1.3 メモリなどの大規模マクロの配置可否

大規模マクロの搭載の可否は、(X×Y)で示される内部セルの物理的空間上にマクロを実現するために必要となるセルの範囲(X×Y)が実現できるかどうかによって決まります。小中規模のブロックで構成されているソフト・マクロでは、セル使用率を満足するかぎり配置上に問題がおこることはほとんどありません。しかし、RAMブロック(基本マクロ)、メガマクロなどの大規模なハード・マクロは、マスタの大きさによっては物理的に配置できない場合もあります。

#### (1) 大規模マクロを1つだけ搭載する場合

表2-3に各大型マクロの各マスタに対する搭載の可否を示します。

表2-3 搭載可能表(1/3)

#### (a) シングルポートRAM(1/2)

品名	RB47	RB49	RB4B	RB4D	RB4F	RB4H	RB4M	RB4S	RB87	RB89	RB8B	RB8D	RB8F	RB8H
μPD65891				×	×	×	×	×			×	×	×	×
μPD65880					×	×	×	×				×	×	×
μPD65881					×	×	×	×				×	×	×
μPD65892						×	×	×					×	×
μPD65882							×	×						×
μPD65894							×	×						×
μPD65883								×						
μPD65884														
μPD65885														
μPD65887														
μPD65889														
μPD65890														
μPD65893														

品名	RB8M	RBAB	RBAD	RBAF	RBAH	RBC7	RBC9	RBCB	RBCD	RBCF	R BCH	RBCM	RBEB	RBED
μPD65891	×	×	×	×	×	×	×	×	×	×	×	×	×	×
μPD65880	×		×	×	×			×	×	×	×	×	×	×
μPD65881	×		×	×	×				×	×	×	×	×	×
μPD65892	×			×	×				×	×	×	×		×
μPD65882	×				×					×	×	×		
μPD65894	×				×					×	×	×		
μPD65883	×				×						×	×		
μPD65884												×		
μPD65885												×		
μPD65887												×		
μPD65889														
μPD65890														
μPD65893														

備考 : 搭載可 x : 搭載不可

表2 - 3 搭載可能表 (2/3)

(a) シングルポートRAM (2/2)

品 名	RBEF	RBEH	RBH7	RBH9	RBHB	RBHD	RBHF	RBHH	RBKB	RBKD	RBKF	RBKH
μ PD65891	x	x	x	x	x	x	x	x	x	x	x	x
μ PD65880	x	x	x	x	x	x	x	x	x	x	x	x
μ PD65881	x	x		x	x	x	x	x	x	x	x	x
μ PD65892	x	x			x	x	x	x	x	x	x	x
μ PD65882	x	x				x	x	x		x	x	x
μ PD65894	x	x				x	x	x		x	x	x
μ PD65883	x	x					x	x		x	x	x
μ PD65884		x						x			x	x
μ PD65885								x			x	x
μ PD65887								x				x
μ PD65889												
μ PD65890												
μ PD65893												

(b) デュアルポートRAM (1/2)

品 名	R947	R949	R94B	R94D	R94F	R94H	R987	R989	R98B	R98D	R98F	R9AB	R9AD	R9C7
μ PD65891			x	x	x	x		x	x	x	x	x	x	x
μ PD65880					x	x				x	x		x	
μ PD65881					x	x				x	x		x	
μ PD65892					x	x				x	x		x	
μ PD65882						x					x			
μ PD65894														
μ PD65883														
μ PD65884														
μ PD65885														
μ PD65887														
μ PD65889														
μ PD65890														
μ PD65893														

備考 : 搭載可 x : 搭載不可



表2 - 3 搭載可能表 (3/3)

(b) デュアルポートRAM (2/2)

品 名	R9C9	R9CB	R9CD	R9CF	R9EB	R9ED	R9H7	R9H9	R9HB	R9KB
μ PD65891	×	×	×	×	×	×	×	×	×	×
μ PD65880	×	×	×	×	×	×	×	×	×	×
μ PD65881		×	×	×	×	×	×	×	×	×
μ PD65892		×	×	×	×	×		×	×	×
μ PD65882			×	×		×			×	×
μ PD65894				×		×				×
μ PD65883										
μ PD65884										
μ PD65885										
μ PD65887										
μ PD65889										
μ PD65890										
μ PD65893										

(c) メガマクロ

品 名	NA37A	NA51A	NA54A	NA55A	NA59A	NA16550A
μ PD65891	×	×	×	×	×	×
μ PD65880	×	×	×		×	×
μ PD65881	×		×			×
μ PD65892						×
μ PD65882						
μ PD65894						
μ PD65883						
μ PD65884						
μ PD65885						
μ PD65887						
μ PD65889						
μ PD65890						
μ PD65893						

備考 : 搭載可 × : 搭載不可

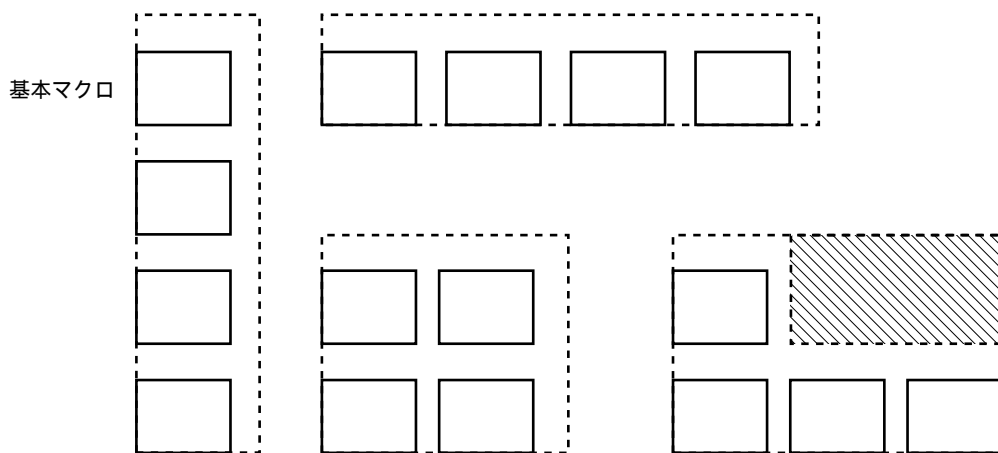
## (2) 大規模マクロを複数搭載する場合

複数マクロの搭載可否は、各マクロをチップ上で実現するために必要となるセルの範囲とマスタ上でマクロを実現できるセル範囲から検討することになります。

## (a) 各マクロのチップ上で占有するセルの範囲（ソフト・マクロRAM）

弊社のRAMは複数の基本マクロとロジック部からなるソフト・マクロとなっています。マクロを実現するために占有するセル範囲の形状は、基本マクロの配置の仕方によって大きく変わります。また、占有セル範囲はマスタによって変わります。

図2 - 2 マクロの占有するセル範囲の形状（基本マクロが4つの場合）

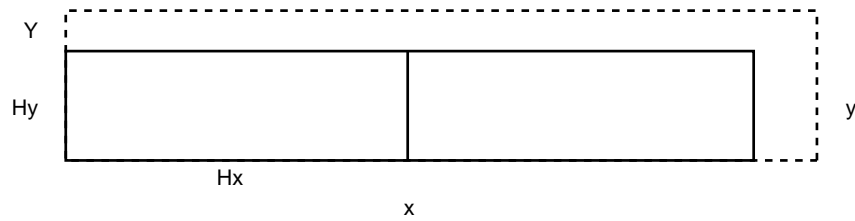


- : マスタの縦方向のセル数から制限を受けます。
- : マスタの横方向のセル数から制限を受けます。
- : 使用する基本マクロが多くなる場合に有効です。
- : 物理的には可能ですが、非効率的です（配置配線時に指定できる配置範囲が長方形（正方形）になるため、斜線部が無駄になります）。

表2 - 5にマクロの占有セル範囲の例を記載します。しかし、RAMに関しては表2 - 4以外のセル範囲の定義も可能です。

セル範囲の定義方法は、まず表2 - 5からソフト・マクロRAMを構成する基本マクロ名とその個数を調べます。次に表2 - 4より基本マクロを1つ配置するために、最低限必要となるマクロのXとYの占有セル数を調べます。セル範囲は調べた値を次の式に代入することで計算できます。

図2-3 マクロ占有範囲



$$y = 2^n \times Hy + Y$$

$$x = \text{soft}/\text{uty}/y$$

このとき  $x \geq N/2^n \times Hx$  でなければなりません。

soft : ソフト・マクロRAMのセル数

uty : 0.60

Hx : 基本マクロ配置のために横方向で最低限必要となる占有セル数

Hy : 基本マクロ配置のために縦方向で最低限必要となる占有セル数

N : 使用される基本マクロ数

n : 使用される基本マクロが1のとき  $n = 0$

使用される基本マクロが2のとき  $n = 0, 1$

使用される基本マクロが4のとき  $n = 0, 1, 2$

使用される基本マクロが8のとき  $n = 0, 1, 2, 3$

使用される基本マクロが16のとき  $n = 0, 1, 2, 3, 4$

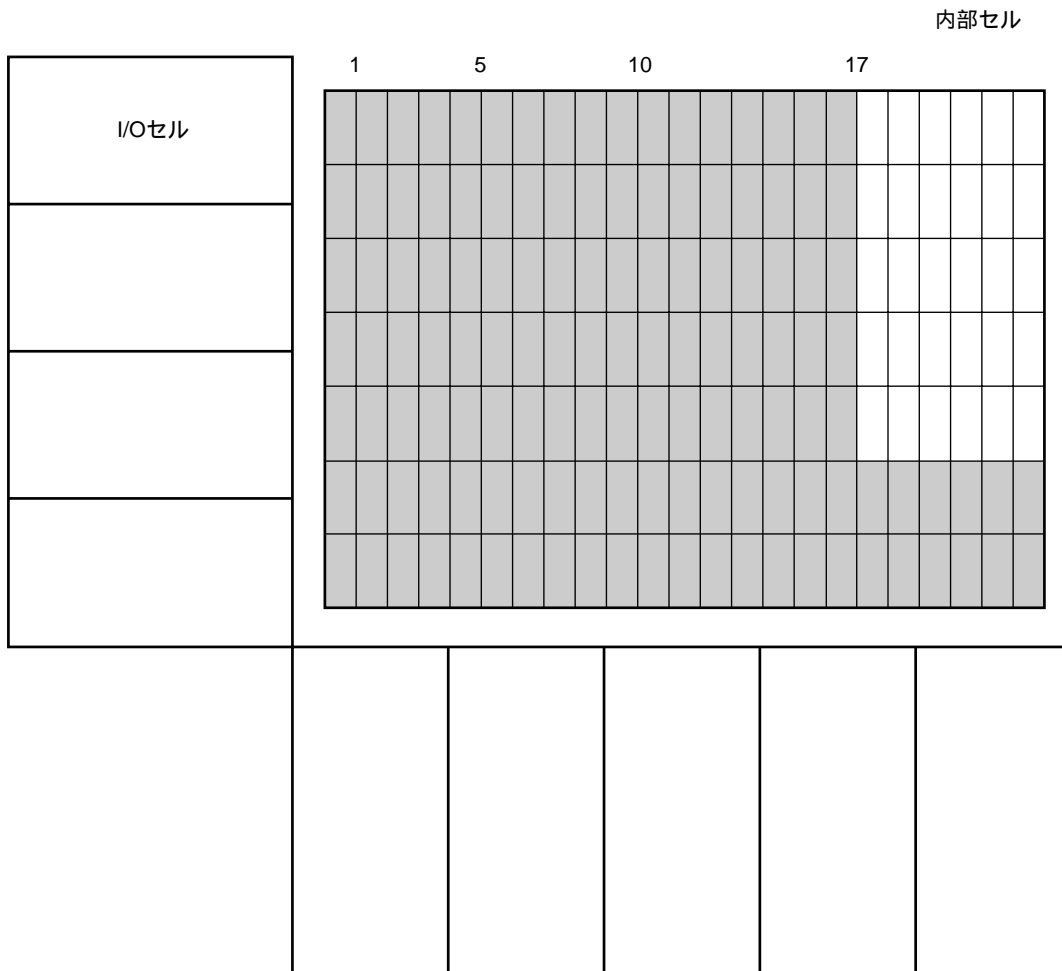
使用される基本マクロが32のとき  $n = 0, 1, 2, 3, 4, 5$

Y : 任意の整数 ( $Y = 0, 1, 2, \dots$ )

(b) 対象マスタの内部セルの配列 (表2 - 1参照)

CMOS-N5シリーズではインタフェース・ブロックは内部セルも使用して実現されますが、使用されるセルはI/Oセルに極力近い範囲のものに限られます。インタフェース・ブロックが使用する内部セルは内部セルの左右の端から17セル、上下の端から2セルの範囲になりますので、マクロが配置できる範囲はそれより内側の範囲 (白地の部分) のみになります。

図2 - 4 マクロ実現不可能範囲



(c) 搭載可否の判定

チップ上のマクロの実現できる範囲内で、搭載しようと考えているマクロがすべて重なり合わずに配置できた場合には搭載可能です。不可の場合にはマクロの占有面積の形状を変更して検討してください。重なりが数セルの場合には、端子配置やマクロの配置位置を考慮して搭載の可否を判定いたしますので、弊社までご連絡ください。

表2 - 4 基本マクロの最低占有セル数

## (a) シングルポートRAM

基本マクロ名	ワード	ビット	X	Y
K147	16	4	29	12
K149	32	4	47	13
K14D	128	4	79	22
K18B	64	8	81	21
K18F	256	8	158	38
K1AB	64	10	81	25

## (b) デュアルポートRAM

基本マクロ名	ワード	ビット	X	Y
K247	16	4	37	13
K249	32	4	63	15
K24D	128	4	112	24
K28B	64	8	113	24
K28F	256	8	224	41
K2AB	64	10	113	28

表2 - 5にブロックの名称とチップ上での占有セル範囲を示します。

表2 - 5 占有セル範囲 (1/8)

(a) シングルポートRAM (セル使用率75 %)

ワード×ビット	ソフト・マクロRAM	基本マクロ×個数	RAMの占有セル範囲							
			タイプA		タイプB		タイプC		タイプD	
			X	Y	X	Y	X	Y	X	Y
16×4	RB47	K147×1	54	12						
32×4	RB49	K149×1	71	13						
64×4	RB4B	K149×2	61	26	122	13				
128×4	RB4D	K14D×1	96	22						
256×4	RB4F	K14D×2	89	44	177	22				
512×4	RB4H	K14D×4	81	91	168	44	335	22		
1 K×4	RB4M	K14D×8	78	185	159	91	328	44		
2 K×4	RB4S	K14D×16	155	185	155	91				
16×8	RB87	K147×2	44	24	87	12				
32×8	RB89	K149×2	61	26	122	13				
64×8	RB8B	K18B×1	100	21						
128×8	RB8D	K14D×2	89	44	177	22				
256×8	RB8F	K18F×1	170	38						
512×8	RB8H	K18F×2	165	76	329	38				
1 K×8	RB8M	K18F×4	159	155	323	76				
64×10	RBAB	K1AB×1	98	25						
128×10	RBAD	K1AB×2	91	50	181	25				
256×10	RBAF	K1AB×4	84	103	173	50	346	25		
512×10	RBAH	K1AB×8	164	103	338	50				
16×16	RBC7	K147×4	36	51	77	24	153	12		
32×16	RBC9	K149×4	53	55	112	26	224	13		
64×16	RBCB	K18B×2	93	42	186	21				
128×16	RBCD	K14D×4	82	91	170	44	340	22		
256×16	RBCF	K18F×2	165	76	330	38				
512×16	RBCH	K18F×4	159	155	324	76				
1 K×16	RBCM	K18F×8	315	155						
64×20	RBEB	K1AB×2	93	50	185	25				
128×20	RBED	K1AB×4	85	103	175	50	350	25		
256×20	RBEF	K1AB×8	165	103	339	50				
512×20	RBEH	K1AB×16	324	103						
16×32	RBH7	K147×8	33	105	68	51	143	24	286	12
32×32	RBH9	K149×8	50	113	101	55	214	26	427	13
64×32	RBHB	K18B×4	87	87	179	42	357	21		
128×32	RBHD	K14D×8	79	185	161	91	333	44		
256×32	RBHF	K18F×4	160	155	325	76				
512×32	RBHH	K18F×8	315	155						
64×40	RBKB	K1AB×4	87	103	179	50	357	25		
128×40	RBKD	K1AB×8	167	103	343	50				
256×40	RBKF	K18F×5	315	117	485	76				
512×40	RBKH	K18F×10	474	155	624	117				

表2 - 5 占有セル範囲 (2/8)

## (b) シングルポートRAM (セル使用率70 %)

ワード×ビット	ソフト・マクロRAM	基本マクロ×個数	RAMの占有セル範囲							
			タイプA		タイプB		タイプC		タイプD	
			X	Y	X	Y	X	Y	X	Y
16×4	RB47	K147×1	56	12						
32×4	RB49	K149×1	73	13						
64×4	RB4B	K149×2	62	26	124	13				
128×4	RB4D	K14D×1	97	22						
256×4	RB4F	K14D×2	89	44	178	22				
512×4	RB4H	K14D×4	82	91	168	44	336	22		
1 K×4	RB4M	K14D×8	79	185	159	91	329	44		
2 K×4	RB4S	K14D×16	155	185	314	91				
16×8	RB87	K147×2	45	24	89	12				
32×8	RB89	K149×2	62	26	124	13				
64×8	RB8B	K18B×1	101	21						
128×8	RB8D	K14D×2	89	44	178	22				
256×8	RB8F	K18F×1	171	38						
512×8	RB8H	K18F×2	165	76	330	38				
1 K×8	RB8M	K18F×4	159	155	324	76				
64×10	RBAB	K1AB×1	99	25						
128×10	RBAD	K1AB×2	92	50	183	25				
256×10	RBAF	K1AB×4	85	103	174	50	347	25		
512×10	RBAH	K1AB×8	165	103	338	50				
16×16	RBC7	K147×4	37	51	78	24	156	12		
32×16	RBC9	K149×4	54	55	114	26	227	13		
64×16	RBCB	K18B×2	94	42	187	21				
128×16	RBCD	K14D×4	83	91	171	44	341	22		
256×16	RBCF	K18F×2	166	76	331	38				
512×16	RBCH	K18F×4	159	155	325	76				
1 K×16	RBCM	K18F×8	315	155						
64×20	RBEB	K1AB×2	93	50	186	25				
128×20	RBED	K1AB×4	86	103	176	50	352	25		
256×20	RBEF	K1AB×8	165	103	340	50				
512×20	RBEH	K1AB×16	324	103						
16×32	RBH7	K147×8	34	105	68	51	145	24	289	12
32×32	RBH9	K149×8	50	113	102	55	216	26	431	13
64×32	RBHB	K18B×4	87	87	180	42	359	21		
128×32	RBHD	K14D×8	80	185	162	91	334	44		
256×32	RBHF	K18F×4	160	155	326	76				
512×32	RBHH	K18F×8	316	155						
64×40	RBKB	K1AB×4	88	103	180	50	359	25		
128×40	RBKD	K1AB×8	168	103	345	50				
256×40	RBKF	K18F×5	315	117	485	76				
512×40	RBKH	K18F×10	474	155	624	117				

表2 - 5 占有セル範囲 (3/8)

(c) シングルポートRAM (セル使用率60 %)

ワード×ビット	ソフト・マクロRAM	基本マクロ×個数	RAMの占有セル範囲							
			タイプA		タイプB		タイプC		タイプD	
			X	Y	X	Y	X	Y	X	Y
16×4	RB47	K147×1	61	12						
32×4	RB49	K149×1	77	13						
64×4	RB4B	K149×2	65	26	129	13				
128×4	RB4D	K14D×1	100	22						
256×4	RB4F	K14D×2	91	44	181	22				
512×4	RB4H	K14D×4	82	91	170	44	339	22		
1 K×4	RB4M	K14D×8	79	185	160	91	331	44		
2 K×4	RB4S	K14D×16	155	185	316	91				
16×8	RB87	K147×2	47	24	94	12				
32×8	RB89	K149×2	65	26	129	13				
64×8	RB8B	K18B×1	105	21						
128×8	RB8D	K14D×2	91	44	182	22				
256×8	RB8F	K18F×1	173	38						
512×8	RB8H	K18F×2	166	76	332	38				
1 K×8	RB8M	K18F×4	159	155	325	76				
64×10	RBAB	K1AB×1	102	25						
128×10	RBAD	K1AB×2	93	50	186	25				
256×10	RBAF	K1AB×4	86	103	176	50	351	25		
512×10	RBAH	K1AB×8	166	103	341	50				
16×16	RBC7	K147×4	39	51	81	24	162	12		
32×16	RBC9	K149×4	55	55	117	26	233	13		
64×16	RBCB	K18B×2	96	42	191	21				
128×16	RBCD	K14D×4	84	91	173	44	345	22		
256×16	RBCF	K18F×2	167	76	334	38				
512×16	RBCH	K18F×4	160	155	326	76				
1 K×16	RBCM	K18F×8	316	155						
64×20	RBEB	K1AB×2	95	50	190	25				
128×20	RBED	K1AB×4	87	103	178	50	356	25		
256×20	RBEF	K1AB×8	167	103	343	50				
512×20	RBEH	K1AB×16	326	103						
16×32	RBH7	K147×8	35	105	71	51	150	24	299	12
32×32	RBH9	K149×8	51	113	104	55	220	26	440	13
64×32	RBHB	K18B×4	89	87	183	42	365	21		
128×32	RBHD	K14D×8	80	185	163	91	337	44		
256×32	RBHF	K18F×4	161	155	328	76				
512×32	RBHH	K18F×8	317	155						
64×40	RBKB	K1AB×4	89	103	183	50	365	25		
128×40	RBKD	K1AB×8	169	103	348	50				
256×40	RBKF	K18F×5	317	117	487	76				
512×40	RBKH	K18F×10	474	155	626	117				



表2 - 5 占有セル範囲 (4/8)

## (d) シングルポートRAM (セル使用率50 %)

ワード×ビット	ソフト・マクロRAM	基本マクロ×個数	RAMの占有セル範囲							
			タイプA		タイプB		タイプC		タイプD	
			X	Y	X	Y	X	Y	X	Y
16×4	RB47	K147×1	67	12						
32×4	RB49	K149×1	83	13						
64×4	RB4B	K149×2	68	26	135	13				
128×4	RB4D	K14D×1	104	22						
256×4	RB4F	K14D×2	93	44	186	22				
512×4	RB4H	K14D×4	83	91	172	44	344	22		
1 K×4	RB4M	K14D×8	80	185	162	91	334	44		
2 K×4	RB4S	K14D×16	156	185	156	91				
16×8	RB87	K147×2	51	24	101	12				
32×8	RB89	K149×2	68	26	136	13				
64×8	RB8B	K18B×1	109	21						
128×8	RB8D	K14D×2	93	44	186	22				
256×8	RB8F	K18F×1	175	38						
512×8	RB8H	K18F×2	168	76	336	38				
1 K×8	RB8M	K18F×4	160	155	326	76				
64×10	RBAB	K1AB×1	107	25						
128×10	RBAD	K1AB×2	96	50	191	25				
256×10	RBAF	K1AB×4	87	103	178	50	356	25		
512×10	RBAH	K1AB×8	167	103	344	50				
16×16	RBC7	K147×4	41	51	86	24	171	12		
32×16	RBC9	K149×4	58	55	121	26	242	13		
64×16	RBCB	K18B×2	99	42	197	21				
128×16	RBCD	K14D×4	85	91	176	44	351	22		
256×16	RBCF	K18F×2	169	76	337	38				
512×16	RBCH	K18F×4	161	155	328	76				
1 K×16	RBCM	K18F×8	317	155						
64×20	RBEB	K1AB×2	98	50	196	25				
128×20	RBED	K1AB×4	88	103	181	50	362	25		
256×20	RBEF	K1AB×8	168	103	347	50				
512×20	RBEH	K1AB×16	328	103						
16×32	RBH7	K147×8	36	105	74	51	156	24	312	12
32×32	RBH9	K149×8	52	113	107	55	226	26	452	13
64×32	RBHB	K18B×4	91	87	187	42	373	21		
128×32	RBHD	K14D×8	81	185	165	91	341	44		
256×32	RBHF	K18F×4	162	155	330	76				
512×32	RBHH	K18F×8	318	155						
64×40	RBKB	K1AB×4	91	103	187	50	373	25		
128×40	RBKD	K1AB×8	171	103	353	50				
256×40	RBKF	K18F×5	318	117	490	76				
512×40	RBKH	K18F×10	474	155	628	117				

表2 - 5 占有セル範囲 (5/8)

(e) デュアルポートRAM (セル使用率75 %)

ワード×ビット	ソフト・マクロRAM	基本マクロ×個数	RAMの占有セル範囲							
			タイプA		タイプB		タイプC		タイプD	
			X	Y	X	Y	X	Y	X	Y
16×4	R947	K247×1	63	13						
32×4	R949	K249×1	85	15						
64×4	R94B	K249×2	76	30	151	15				
128×4	R94D	K24D×1	129	24						
256×4	R94F	K24D×2	121	48	242	24				
512×4	R94H	K24D×4	113	99	233	48	465	24		
16×8	R987	K247×2	56	26	111	13				
32×8	R989	K249×2	75	30	150	15				
64×8	R98B	K28B×1	131	24						
128×8	R98D	K24D×2	121	48	242	24				
256×8	R98F	K28F×1	235	41						
64×10	R9AB	K2AB×1	129	28						
128×10	R9AD	K2AB×2	122	56	244	28				
16×16	R9C7	K247×4	44	55	93	26	186	13		
32×16	R9C9	K249×4	67	63	141	30	281	15		
64×16	R9CB	K28B×2	124	48	247	24				
128×16	R9CD	K24D×4	114	99	235	48	469	24		
256×16	R9CF	K28F×2	230	82	460	41				
64×20	R9EB	K2AB×2	123	56	246	28				
128×20	R9ED	K2AB×4	116	115	237	56	474	28		
16×32	R9H7	K247×8	41	113	83	55	175	26	349	13
32×32	R9H9	K249×8	63	129	129	63	271	30	541	15
64×32	R9HB	K28B4	117	99	240	48	480	24		
64×40	R9KB	K2AB4	117	115	240	56	480	28		

表2 - 5 占有セル範囲 (6/8)

(f) デュアルポートRAM (セル使用率70 %)

ワード×ビット	ソフト・マクロRAM	基本マクロ×個数	RAMの占有セル範囲							
			タイプA		タイプB		タイプC		タイプD	
			X	Y	X	Y	X	Y	X	Y
16×4	R947	K247×1	65	13						
32×4	R949	K249×1	87	15						
64×4	R94B	K249×2	77	30	153	15				
128×4	R94D	K24D×1	130	24						
256×4	R94F	K24D×2	122	48	243	24				
512×4	R94H	K24D×4	113	99	234	48	467	24		
16×8	R987	K247×2	53	26	105	13				
32×8	R989	K249×2	76	30	152	15				
64×8	R98B	K28B×1	132	24						
128×8	R98D	K24D×2	122	48	244	24				
256×8	R98F	K28F×1	236	41						
64×10	R9AB	K2AB×1	130	28						
128×10	R9AD	K2AB×2	123	56	246	28				
16×16	R9C7	K247×4	45	55	95	26	189	13		
32×16	R9C9	K249×4	68	63	142	30	283	15		
64×16	R9CB	K28B×2	125	48	249	24				
128×16	R9CD	K24D×4	114	99	235	48	470	24		
256×16	R9CF	K28F×2	230	82	460	41				
64×20	R9EB	K2AB×2	124	56	248	28				
128×20	R9ED	K2AB×4	116	115	238	56	476	28		
16×32	R9H7	K247×8	41	113	84	55	177	26	353	13
32×32	R9H9	K249×8	64	129	130	63	272	30	543	15
64×32	R9HB	K28B×4	117	99	241	48	482	24		
64×40	R9KB	K2AB×4	118	115	241	56	482	28		

表2 - 5 占有セル範囲 (7/8)

(g) デュアルポートRAM (セル使用率60 %)

ワード×ビット	ソフト・マクロRAM	基本マクロ×個数	RAMの占有セル範囲							
			タイプA		タイプB		タイプC		タイプD	
			X	Y	X	Y	X	Y	X	Y
16×4	R947	K247×1	69	13						
32×4	R949	K249×1	91	15						
64×4	R94B	K249×2	79	30	157	15				
128×4	R94D	K24D×1	133	24						
256×4	R94F	K24D×2	123	48	246	24				
512×4	R94H	K24D×4	114	99	235	48	470	24		
16×8	R987	K247×2	56	26	111	13				
32×8	R989	K249×2	78	30	156	15				
64×8	R98B	K28B×1	135	24						
128×8	R98D	K24D×2	124	48	247	24				
256×8	R98F	K28F×1	238	41						
64×10	R9AB	K2AB×1	133	28						
128×10	R9AD	K2AB×2	125	56	249	28				
16×16	R9C7	K247×4	47	55	98	26	196	13		
32×16	R9C9	K249×4	69	63	144	30	288	15		
64×16	R9CB	K28B×2	127	48	253	24				
128×16	R9CD	K24D×4	115	99	237	48	474	24		
256×16	R9CF	K28F×2	231	82	462	41				
64×20	R9EB	K2AB×2	126	56	251	28				
128×20	R9ED	K2AB×4	117	115	240	56	480	28		
16×32	R9H7	K247×8	42	113	86	55	182	26	363	13
32×32	R9H9	K249×8	64	129	131	63	275	30	550	15
64×32	R9HB	K28B×4	118	99	244	48	487	24		
64×40	R9KB	K2AB×4	119	115	244	56	487	28		

表2 - 5 占有セル範囲 (8/8)

(h) デュアルポートRAM (セル使用率50 %)

ワード×ビット	ソフト・マクロRAM	基本マクロ×個数	RAMの占有セル範囲							
			タイプA		タイプB		タイプC		タイプD	
			X	Y	X	Y	X	Y	X	Y
16×4	R947	K247×1	75	13						
32×4	R949	K249×1	96	15						
64×4	R94B	K249×2	82	30	163	15				
128×4	R94D	K24D×1	137	24						
256×4	R94F	K24D×2	126	48	251	24				
512×4	R94H	K24D×4	115	99	237	48	474	24		
16×8	R987	K247×2	59	26	118	13				
32×8	R989	K249×2	81	30	162	15				
64×8	R98B	K28B×1	139	24						
128×8	R98D	K24D×2	126	48	251	24				
256×8	R98F	K28F×1	240	41						
64×10	R9AB	K2AB×1	137	28						
128×10	R9AD	K2AB×2	127	56	253	28				
16×16	R9C7	K247×4	49	55	103	26	205	13		
32×16	R9C9	K249×4	71	63	148	30	296	15		
64×16	R9CB	K28B×2	129	48	258	24				
128×16	R9CD	K24D×4	117	99	240	48	479	24		
256×16	R9CF	K28F×2	233	82	465	41				
64×20	R9EB	K2AB×2	128	56	256	28				
128×20	R9ED	K2AB×4	119	115	243	56	485	28		
16×32	R9H7	K247×8	44	113	89	55	188	26	376	13
32×32	R9H9	K249×8	65	129	133	63	280	30	559	15
64×32	R9HB	K28B×4	120	99	247	48	494	24		
64×40	R9KB	K2AB×4	121	115	247	56	494	28		

## 2.1.4 大規模マクロ（メモリなど）搭載時の注意点

大規模マクロを搭載する場合には、次の点に注意してください。

外部端子配置

マクロ部以外の回路が使用するブロック・タイプ

### （1）外部端子配置

特に大規模マクロを複数搭載した場合には、配置されたマクロの近くに関連する外部端子を配置する必要があります。まったく端子配置を考慮していない場合には、外部端子への配線が長くなり、無駄に配線チャンネルを潰すこととなります。この結果、配線が完了しないケースもあります。特に複数の大規模マクロを搭載する場合には、マクロ配置の方法についても弊社までご連絡ください。

### （2）マクロ部以外の回路が使用するブロック・タイプ

大規模マクロを搭載した結果、ゲート部分で使用できるセルが極端に少ない場合には8ビット・ラッチなどの中規模マクロは物理的に搭載できなくなる場合もありますのでご注意ください。

### （3）電源電圧による搭載可否

電源電圧3.3 V, 3.0 V仕様において、メガマクロ、メモリ・マクロは使用できませんので注意してください。

## 2.2 パッケージの選択

CMOS-N5シリーズには、マスタごとにパッケージが用意されています。回路仕様の入出力端子数から最適なパッケージを選択してください。

CMOS-N5シリーズでは、入力専用端子や出力専用端子はありません。また、使用するマスタによって、入出力端子数や電源端子数が異なる場合があります。

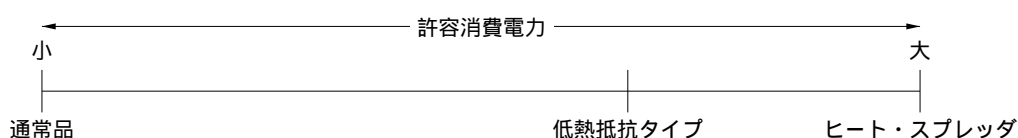
パッケージの詳細については、CMOSゲートアレイ、エンベデッドアレイ パッケージ編 (A16400J) を参照してください。

## 2.3 消費電力の確認

「CMOSゲートアレイが低消費電力である」といっても、高速（たとえば30 MHz以上）で動作させるとかなりの電力を消費します。電力の消費量に比例してLSI（チップ）の温度は上昇します。温度が上昇しすぎると製品の信頼性が低下するので、LSIの消費電力は制限値以下に抑えて使用する必要があります。

消費電力の制限は使用するパッケージによって決まります。QFPパッケージでは、許容消費電力の改善のため、通常品以外に低熱抵抗ヒート・スプレッド付きのものもあります。図2-5に許容消費電力と各タイプのQFPの関係を示します。詳細なデータは4.3 消費電力を参照してください。

図2-5 許容消費電力と各タイプのQFPの関係



## 2.4 端子配置

パッケージの電源端子位置やNC端子位置は、あらかじめ決められています。端子レイアウト（端子配置）を決める際には、次のような点に注意して決定してください。

出力の同時動作本数などの検討結果によっては、電源強化（増設）しなければならない場合もあります。

詳細は4.6 出力バッファの同時動作制限を参照してください。

### 2.4.1 端子レイアウトの注意点

#### (1) クロック端子，コントロール（セット，リセット）端子など

これらの端子はノイズの影響を受けやすいので、グラウンド（GND）端子の近くに配置してください。

#### (2) 出力端子

出力端子は、クロック端子などノイズの影響を受けやすい端子からできるだけ離してください。

また同時動作本数が多い出力端子群はV<sub>DD</sub>端子およびGND端子で囲むようにしてください。

#### (3) NC端子（No Connection）

未使用の端子であっても、信号として使用可能な端子は空き端子にせず、次の処置をしてください。

- ・追加電源または追加GNDを配置する。

実装基板上で電源またはGNDに接続しなくてもかまいません（追加電源，追加GND素子があるだけで問題ありません）。しかし、より安全マージン（同時動作対策など）を増やす意図で、実装基板上で電源またはGNDに接続しても問題はありません。

#### (4) スキャンバス用入出力端子

スキャンバス・テスト法を利用する場合、パッケージごとにテスト用端子の配置は決まっていますので、必ず指定された端子番号にスキャンバス用の入出力端子を指定してください。

詳細はNECシステムLSI設計 テスト容易化設計 ユーザーズ・マニュアルを参照してください。

#### (5) 発振器の配置

発振器の配置可能位置はCMOSゲートアレイ，エンベデッドアレイ 設計マニュアル パッケージ編（A16400J）の発振ブロック配置可能ピンを参照してください。

また、発振器のそばにノイズが入ると誤動作を起こすような端子（リセット端子など）は配置しないでください。

## 2.5 入出インタフェース

### 2.5.1 入力ブロックの種類

信号レベル	機能	入力形式	プルアップ/プルダウン抵抗
CMOS	バッファ	通常	抵抗なし
TTL	fail safe	シュミット・トリガ	50 k $\Omega$ プルアップ抵抗付き
			5 k $\Omega$ プルアップ抵抗付き
			50 k $\Omega$ プルダウン抵抗付き

信号レベル	機能	入力形式
LVTTL	発振回路	特殊

入力インタフェース・ブロックとして、次の2種類があります。

#### CMOSレベル・インタフェース・ブロック

従来からあるCMOS LSIと接続するためのブロックです。さらに、fail safe機能付きのブロックもあります。このfail safe機能付きのブロックには過電圧に対する保護機能があり、ゲートアレイの電源電圧がオフの状態でも信号入力を行っても、ゲートアレイの電源への導通はありません。

#### TTLレベル・インタフェース・ブロック

従来からあるTTL LSIと接続するためのブロックです。このタイプでも、fail safe機能付きのブロックを用意しています。



## 2.5.2 出力ブロックの種類

信号レベル	機能	出力形式	プルアップ/プルダウン抵抗	負荷駆動能力 $I_{OL}$
CMOS	バッファ	通常	抵抗なし	3.0 mA
	3ステート	ロウ・ノイズ	50 k $\Omega$ プルアップ抵抗付き	6.0 mA
	オープン・ドレイン		5 k $\Omega$ プルアップ抵抗付き	9.0 mA
			50 k $\Omega$ プルダウン抵抗付き	12.0 mA
				18.0 mA
				24.0 mA

信号レベル	機能	出力形式
CMOS	発振回路	特殊

出力インタフェース・ブロックとして、CMOSレベル・インタフェース・ブロックがあります。これは、従来からあるCMOS LSIと接続するためのブロックです。このブロックは電源電圧と同じレベルの出力電圧になります。さらに、fail safe機能付きのN-chオープン・ドレイン・ブロックも用意しています。このfail safe機能付きのブロックには過電圧に対する保護機能があり、ゲートアレイの電源電圧がオフの状態でも信号を入力しても、ゲートアレイの電源への導通はありません。ただし、従来のN-chオープン・ドレイン・ブロックと同様に電源電圧より高い電圧でクランプすることはできません。

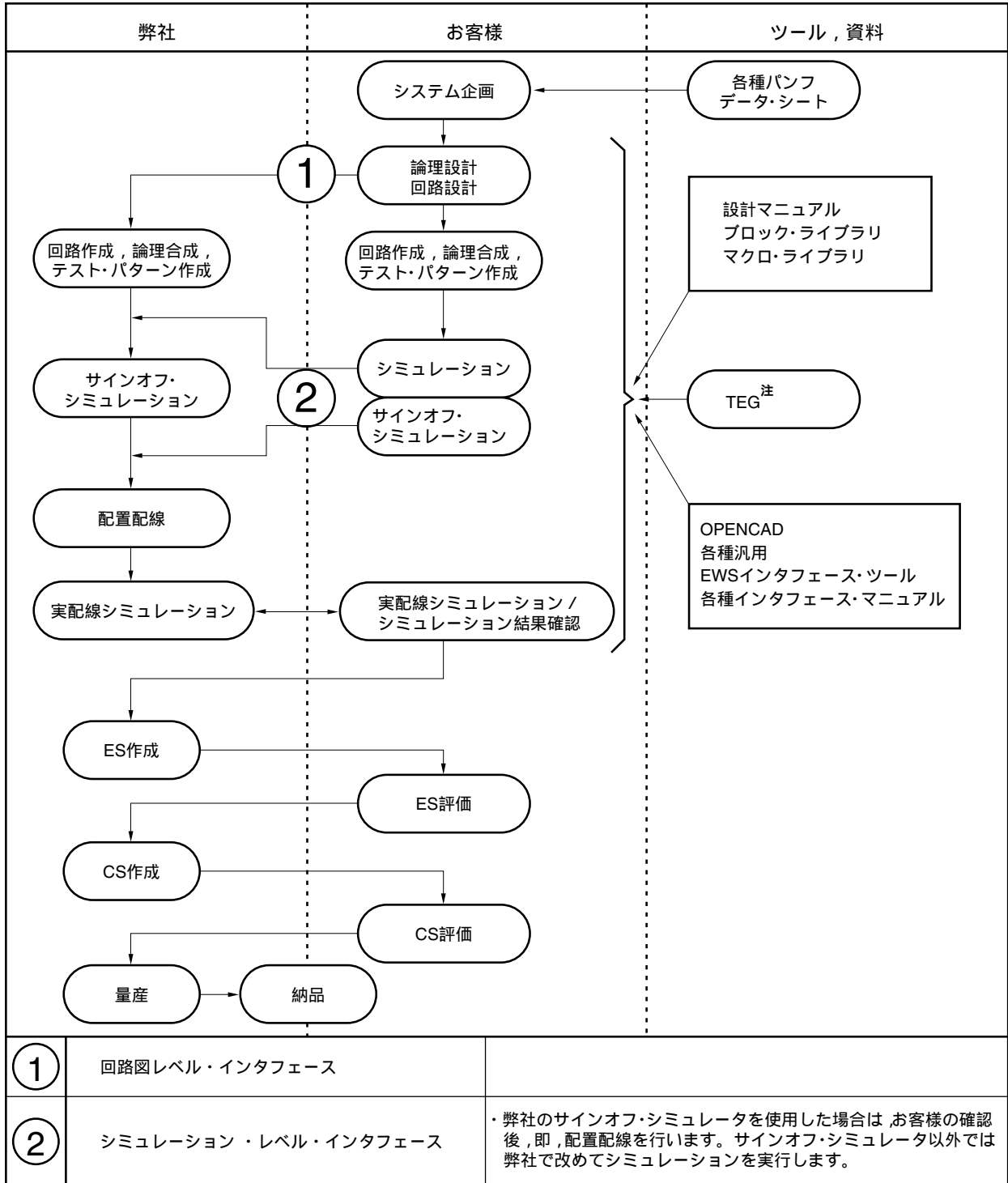
その他に、発振回路とノイズの発生を低く抑えるためのロウ・ノイズ・バッファも用意しています。

CMOS回路では、入力の電位が定まらない状態（フローティング状態）のときには過大な貫通電流が流れたり回路内部へノイズ信号が入力され、誤動作を引き起こすことになります。基板上、オープンになる端子に関しては、プルアップ/プルダウン抵抗付きのバッファを使用するようにしてください。CMOS-N5シリーズではTTL系のバス・ラインのプルアップ抵抗として、5 k $\Omega$ のものも用意しています。

## 2.6 開発フロー

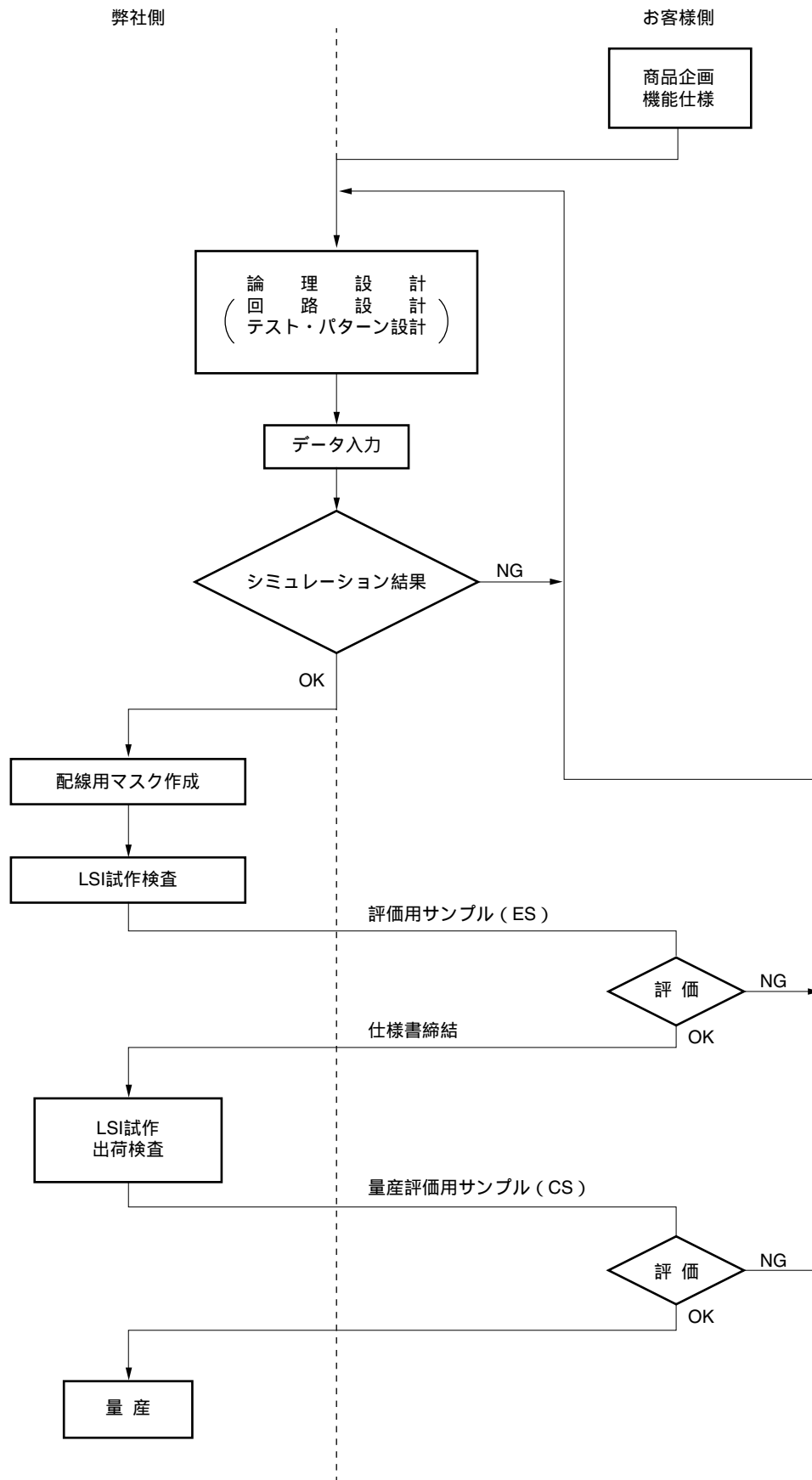
CMOSゲートアレイの開発は、およそ次のようなフローで行われます。

フロー1：開発手順とインタフェース

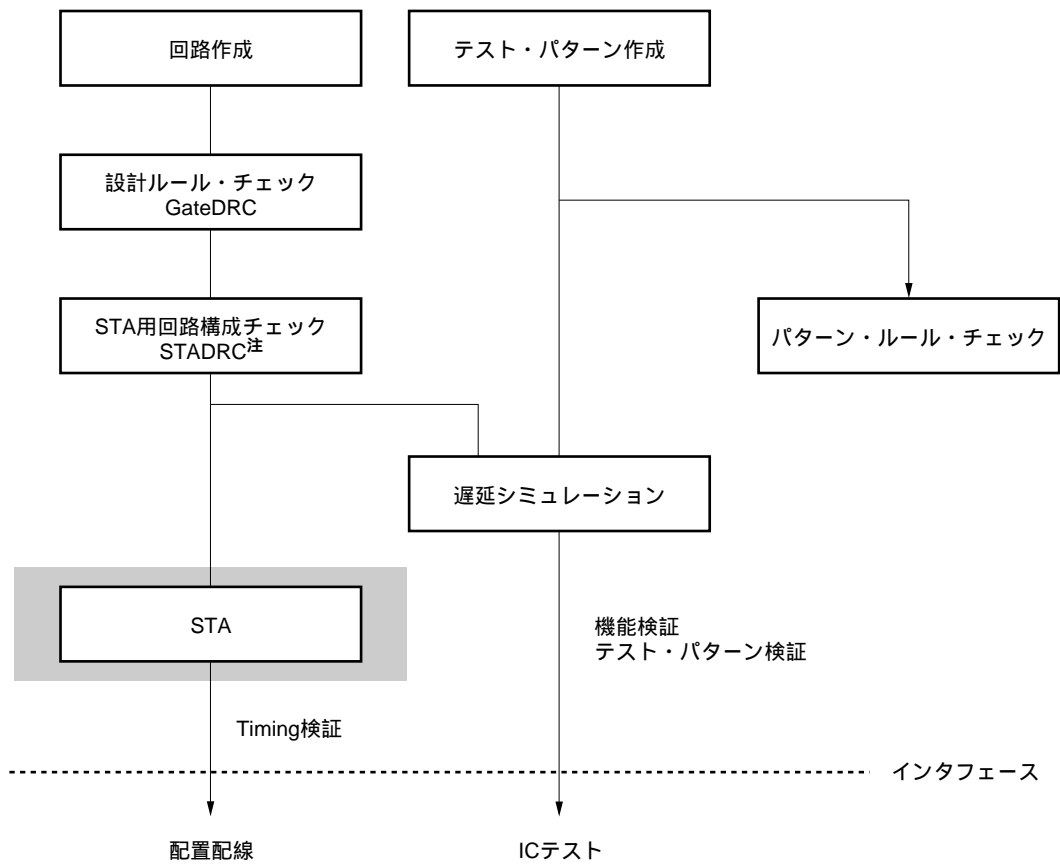


注 必要時のみ。

フロー2：開発フロー



フロー3：フロントエンド詳細フロー



注 STADRCは、STAによるサインオフを行う場合は必須ですが、STAによるサインオフを行わない場合は不要です。

## 2.7 OPENCADの構成ツール

ユーザの環境に応じて、次のツールを選択することができます。

注意1. OPENCADの構成ツールの最新版については、OPENCADシリーズのユーザズ・マニュアルを参照してください。

2. 機能によってはサポートされていない場合がありますので、ご使用前に確認してください。

機 能	弊社ツール	I/Fデータ	市販ツールI/F
機能シミュレータ		・ ネットリスト PWC/EDIF (2.0.0) / Verilog <sup>®</sup> HDL	ModelSim <sup>®</sup> /Verilog-XL <sup>TM</sup> / NC-Verilog <sup>®</sup> /VCS <sup>®</sup>
回路図エディタ	Vdraw		
論理合成			Design Compiler <sup>®</sup>
ゲート・レベル・シミュレータ <sup>注1</sup>	V.sim	・ テスト・パターン ALBA	ModelSim/Verilog-XL/ NC-Verilog/VCS
フォーマル・ベリファイア		・ 遅延情報ファイル	Formality <sup>®</sup> /Tuxedo <sup>TM</sup> -LEC /Conformal <sup>TM</sup> -LEC
STA <sup>注1</sup>	Tiara		PrimeTime <sup>®</sup>
故障シミュレータ <sup>注2</sup>	C.FGRADE	・ 制約ファイル	
テスト容易化	NEC_SCAN2/NEC_BSCAN/ NEC_BIST/ TESTBUS		DFTCompiler/TetraMAX <sup>®</sup>
フロア・プランナ <sup>注3</sup>	CBIC : ace_floorplan GA : Galet		
配置配線 <sup>注3</sup>	Galet		Silicon Ensemble <sup>TM</sup>

注1. サインオフ・ツール

2. HP<sup>TM</sup>版ではサポートしていないツール
3. 個別対応のツール

備考 プラットフォーム : SUN<sup>TM</sup> ( Solaris<sup>TM</sup> ) /HP ( HP-UX<sup>TM</sup> )

GUI : X11R5/Motif<sup>TM</sup>1.2

ゲートアレイの開発は、お客様と弊社の協力により進めます。おもにお客様がシステム設計、回路設計、シミュレーションまでを分担し、弊社は各種設計情報の提供やお客様の回路設計のサポートならびにシミュレーション以降を分担します。

お客様から弊社への開発作業の引継ぎを、「インタフェース」と呼びます。お客様がどの作業までを行い、どのようなデータを弊社に提供されるかにより、インタフェース・レベルは次の2つに分けられます。

#### (1) 回路図レベル・インタフェース

.....74LSまたは弊社ゲートアレイのブロックで設計された回路図を弊社に提出していただき、回路シミュレーション以降の作業を弊社が担当するゲートアレイ開発方法です。

設計ルール・チェックの結果や回路シミュレーションの結果をお客様に提出いたしますので、お客様のご確認およびご承認をお願いいたします。

#### (2) シミュレーション・レベル・インタフェース

.....各種EWS ( Engineering Work Station ) や各種CADシステムのシミュレータを使用して、回路設計からシミュレーション作業までをお客様が実行し、それ以降 ( 自動配置配線、最終シミュレーション ) の作業を弊社が担当するゲートアレイ開発方法です。

各インタフェース・レベルにおいて、弊社が提供する資料、お客様から提出いただく資料の詳細および現在サポート可能な市販の各種ツールについては、弊社までお問い合わせください。

## 2.8 インタフェース・データ一覧

エンベデッドアレイ，セルベースに関する記述は除外して参照してください。

**注意** OPENCADのバージョンなどによりこれらのデータは変更になることがありますので，設計の際には必ず弊社までお問い合わせください

	ファイルの種類およびファイル名		SIMULATOR		
			V.sim	Verilog	
NETLIST	PWC (.pwc)		注3 (t1)	注3 (t1)	
	Verilog HDL (.v)		-	注3 (t1)	
	EDIF (.edif)		注3 (t1)	注3 (t1)	
PIN ASSIGN	DIF (.dif)		(t1)	(t1)	
EMC Check	CB10, EA10以降	EMCチェック・ファイル (.emc)			
CROSS Talk	CB10以降 (EA10除く)	pcsファイル (.pcs)			
TEST Pattern	I/Oモジュール ション指定なし <sup>注1</sup>	ALBATROSS (.alb)	注4 (t3)	注6 (t3)	
	I/Oモジュール ション指定あり <sup>注1</sup>	ALBATROSS (.alb) <sup>注2</sup>	注5 (t3)	注7 (t3)	
MACRO	RAM	BIST	RAMPIN file (.rpi)		
			BIST分離file (.bist.scn) (SCAN併用時)	(t1)	(t1)
	ROM		NINCF (.nin)	(t3)	(t3)
			ROM.cmd	(t3)	(t3)
	Mega Macro		メガマクロ単体テスト仕様書		
			Initial Pattern		
Digital PLL		Initial Pattern			
DFT	BSCAN		SCAN + BSCAN Initial Pattern (scan.init.alb)		
			SET file (.set)	(t1)	(t1)
			回路検証用パターン (.bspat.alb)		
			オーダ・ファイル (.bsorder)	(t1)	(t1)
	SCAN		BSDLファイル (.bsdl)	(t1)	(t1)
			ユーザ・マクロ分離ファイル 端子固定ファイル	(t1)	(t1)
その他	CLITICAL PATH		tiara comand file	(t2)	(t2)
			クリティカル・パス指示書 (紙)	(t2)	(t2)
	フロアプラン		フロアプランを明記したもの (紙)	注8 (t1)	注9 (t1)
			Def file (.floorplan.def)	注8 (t1)	注9 (t1)
	CTS		CTS Checkレポート (.rpt)	(t1)	(t1)

Rev.1.8 12 Dec 2000

		ファイルの種類およびファイル名	SIMULATOR									
			V.sim			Verilog						
チェック結果 ファイル	ネットリスト・ルール ・チェック	(.gatedrc)	(t1)			(t1)						
	albチェック	(.ALBchk)	注10 (t3)			注11 (t3)						
	PINチェック	『NO ERR』の画面コピー	(t1)			(t1)						
	SCANチェック	(.scanchk)	(t1)			(t1)						
	BSCANチェック	(.bscanchk)	(t1)			(t1)						
	Sim結果 MIN. & MAX. (パターン本数分)			.slg	.tpe	.iomoduchk	.log	.bus	.ovprd	.iochk	.trcpr	
	DCテスト用パターン (32Kパターンまで)		注12	注12	注12	注15	注15	注15	注15	注15		
	ファンクション・テスト用パターン		注13	注13	注13	注16	注16	注16	注16	注16		
	高速ファンクション・テスト用パターン		注14	注14	注14	注17	注17	注17	注17	注17		
TESTACT	DFTデータ・ベ ース・ファイル	(dft_db)										
	DFT端子固定 ファイル	(dft-set)										
	テスト・バス持続 確認用パターン	testbus.cpt										
	BSCAN回路検証用 パターン	bspat.cpt										

Rev.1.8 12 Dec 2000

注1. ALBATROSS中のタイミングにI/Oモジュレーションの記述があること。

2. 入力モジュレーションおよび高速ファンクション・テストを意味する。

3~11 それぞれについて、どれか1種類を選択。

12と14または15と17 高速ファンクション・テストの要求がある場合必須。

12と13または15と16 テスト・パターンが32 Kを越える場合必須。

備考1. : 必須, : 必要時

2. (t1) : テスト・ラン依頼時 (P&R SDF)

(t2) : テスト・ラン依頼時 ( (t1) クリティカル・パス確認)

(t3) : テスト・ラン依頼時 ( (t1) シミュレーション)



## 2.9 ASIC品種開発情報

ここでは、ASIC品種開発情報（チェック・シート）記入例と記入方法を記載しています。

- 注意1. ASIC品種開発情報（チェック・シート）は使用前に、弊社までお問い合わせのうえ最新版を使用してください。また、この記入例は実際のインタフェースには使用しないでください。
2. このASIC品種開発情報（チェック・シート）はゲートアレイ共通の記入例であるため、ほかのシリーズについても記載されています。
3. ここに記載していますASIC品種開発情報は、どのようなチェック項目があるかを把握していただくものであり、リリース関連情報を伝えるものではありません。

### 2.9.1 ASIC品種開発情報（チェック・シート）記入例

1. 品名  $\mu$  PD6 5944GM - XXX - JED

2. 貴社名 日本電気

所属名 ゲートアレイ開発部 ご連絡先 TEL 03-XXXX-XXXX

ご担当者名 日電太郎 FAX 03-XXXX-XXXX

3. 個別情報

ご希望納期 ES : H15 年 6 月 20 日 10 個

用途 パソコン

インタフェース・レベル お客様 特約店 : C2 , C2 特約店 D.C : C2 , C2

ご使用設計ツール名 お客様 : OPENCAD Ver 5.4 特約店 : OPENCAD Ver 5.4

ご使用ハードウェア名 お客様 : SPARCstation 特約店 : SPARCstation

パッケージ 160 pin QFP

特殊要求の有無 無 有 (ご要求番号 : SBE-XXX-0001 事業部回答日 : H15.4.15)

有の場合、インタフェース資料として、事業部回答が入っている特殊要求書のご提出をお願いします。

特殊捺印の有無 無 有

4. インタフェース資料

インタフェースに際して必要となるものは次のとおりですので、ご確認をお願いします。

dif (端子配置情報)	difファイル名 : top.dif	日付 : H15 年 4 月 10 日
ネットリスト・データ	ネットリスト・ファイル名 : top.pwc	日付 : H15 年 4 月 10 日
	PWC EDIF VerilogHDL VHDL	媒体 : FD DAT フォーマット : EWS
テスト・パターン・データ	ALB	CGMT 8 mmテープ PC
タイミング・ファイル	-	ネットワーク その他 ( )
デザイン・ルール・チェック結果 (GateDRC)		日付 : H15 年 4 月 10 日
遅延シミュレーション結果, タイミング・チェック結果も含む。なお、結果ファイルについてはMIN, MAX共に提出してください。		
V.sim V.simの場合, パターン本数分の.slg /.tpe/.iomoduchk/.dpmodechk ( DPPL搭載時 )		
Verilog Verilogの場合, パターン本数分の.verilog.log/.bus/.ovprd/.tpe/.iomoduchk/.dpmodechk ( DPPL搭載時 )		
Model-S Model-Sの場合, パターン本数分の.*_report/.bus*/.dop/.tpe/.iomoduchk/.dpmodechk ( DPPL搭載時 )		
VCS VCSの場合, パターン本数分の.vcs.log/.bus/.ovprd/.tpe/.iomoduchk/.dpmodechk ( DPPL搭載時 )		
シミュレーション結果確認書 (配置配線前)		日付 : H15 年 4 月 10 日
コマンド・ファイル (バス解析必要時)		日付 : H15 年 4 月 10 日
使用ツール名 : Tiara		-
ファイル名 : top.scr		-
クロック入力端子からCTSブロックまでのネット	ネット名 :	
名 (隣接禁止指定のため, CMOS-10HDのみ必要)	もしくは, ファイル名 : NET0001 or CTS.NET	

NECエレクトロニクス特約店<sup>注</sup>

NECエレクトロニクス販売部門<sup>注</sup>

特約店名 : 特約 販売部名 : 特約三販, 一販

担当者名 : 特約 太郎 担当者名 : 販売 太郎

TEL : 03-XXXX-XXXX TEL : 03-XXXX-XXXX

FAX : 03-XXXX-XXXX FAX : 03-XXXX-XXXX

注 NECエレクトロニクス特約店, NECエレクトロニクス販売部門は必ず記入してください。

1. 品名を記入してください。
2. 会社名, 所属, 担当者, 連絡先を記入してください。

3. 次の情報を記入してください。

ご希望のES納期, 個数を記入してください。

用途について記入してください。

インタフェース・レベルを記入してください。

開発時に使用した設計ツール名およびVersionを記入してください。

開発時に使用したハードウェア名を記入してください。

パッケージのPin数およびパッケージ・タイプを記入してください。

特殊要求の有無をマークし, 有の場合は要求番号, 事業部回答日を記入してください。

特殊捺印の有無をマークしてください。

4. インタフェース時の提出資料について, 次のようにファイル名, 日付を記入してください。

**データの変更があるたびに, 再提出をお願いします。**

difのファイル名, 作成日を記入してください。

ネットリスト・データのファイル名を記入し, データの種類, 媒体, フォーマット, 作成日を記入してください。

テスト・パターンのデータの種類はALBのみのため, マーク済みです。

タイミング・ファイルがないため対象外です (ALBに情報が含まれるため)。

最終ネットリスト・データでGateDRCを実行した日付を記入してください。

シミュレータの種類をマークしてください。

シミュレーション結果確認書を作成した日付を記入してください。

パス解析をする場合, 解析ツール名, スクリプト・ファイル名および作成した日付を記入してください。

クロック入力端子からCTSブロックまでのネット名, またはファイル名を記入してください。CMOS-10HDの隣接禁止指定のため, 必要になります。

**備考** に対するファイル名は, (23) (b) **テスト・パターンの情報**の表に記入してください。

C3の場合, インタフェースに必要なファイルについて別途確認してください。

NECエレクトロニクス特約店, NECエレクトロニクス販売部門を記入してください。

5. 品種詳細情報 (C2レベル用紙)

LSIの設計情報および納入仕様書作成用情報として使用しますので、ご記入をお願いします。

注 YESまたは無にマークされている必要があります。NOまたは有の場合は対策のご記入をお願いします。  
YESは“はい”, NOは“いいえ”と解釈してください。

(1) 電源追加の有無..... 無 有  
追加V<sub>DD</sub> 1 本 追加GND 2 本 追加V<sub>D(D)5</sub> 3 本 (CMOS-10HD以外の場合)  
追加V<sub>D1</sub> 1 本 追加V<sub>D2</sub> 0 本 追加GND 2 本 (CMOS-10HDの場合)

(2) 発振ブロックの有無..... 無 有  
ブロック名: OSI1, OS07, F093 周波数: 20 MHz  
発振入力端子名 ( CIN ) ピンNo. ( 110 )  
発振出力端子名 ( CEN ) ピンNo. ( 112 )  
発振イネーブル入力端子名 ( COUT ) ピンNo. ( 111 )  
・有の場合, 発振停止機能付きですか..... YES NO

有の場合, ユーザ・パターンすべてについて, 発振入力信号はRZ信号にしないでください。また発振出力信号には期待値“X”(不定)を設定しないでください。停止コントロール端子については“0”の入力固定にしてください。

(3) 条件

(a) シミュレーション

cmos\_1.8V cmos\_2.5V cmos\_3V cmos\_3.3V cmos\_5V ttl\_3.3V ttl\_5V

(b) 電気的特性

T<sub>A</sub> -40 ~85 0 ~70 その他( )  
V<sub>DD</sub> 1.8V±0.15V 3.3V±0.3V 3.3V±0.165V 5V±10% 5V±5% その他( )

(4) 動作周波数

入力f<sub>max</sub>

端子名 CLKIN f<sub>max</sub> 66 MHz Duty 50 ± 10 %

出力f<sub>max</sub>

端子名 DAT(15:0) f<sub>max</sub> 33 MHz 出力負荷容量 50 pF

出力最小パルス幅

端子名 DAT(15:0) パルス幅 15.2 ns 出力負荷容量 50 pF  
方向 POS NEG

・出力バッファの外部負荷容量は推奨範囲内ですか<sup>※</sup>..... YES NO

(5) 同時動作

3GND端子判定法 トータル・チップ・レベル判定法 簡易判定法 詳細判定法

・判定法の結果, 同時動作は満足されましたか<sup>※</sup>..... YES NO

(6) 消費電力

計算結果 Total Power: 523 mW 最大許容消費電力 680 mW

・消費電力は許容範囲内ですか<sup>※</sup>..... YES NO

・詳細計算 (PWL) 実施時にT<sub>A</sub> = -40 ~85 はT<sub>J</sub> = 125, T<sub>A</sub> = 0 ~75 は

T<sub>J</sub> = 100で計算を行いましたか ( (125 - T<sub>A(MAX)</sub>) ÷ θ<sub>ja</sub> もしくは

(100 - T<sub>A(MAX)</sub>) ÷ θ<sub>ja</sub> ) , T<sub>A(MAX)</sub> 40 ) ..... YES NO

(詳細計算 (PWL) 実施時に, 回答願います)

(7) X伝搬シミュレーションを行いましたか<sup>※</sup>..... YES NO

(8) CTS Checkの結果エラーはありませんか (CTS搭載品種のみ)<sup>※</sup>..... 無 有 CTS無

CTS, デジタルPLL搭載時は.rptファイルの提出をお願いします。

・CTSの系統数は4本以下であるか (CMOS-10HDのみ。SCANへのCTS除く) ..... YES NO

NOの場合は, 弊社に連絡 (特殊要求提出) をお願いします。

(9) タイミング・エラーはありませんか..... 無 有

シミュレーション結果確認書に基づいてチェックしてください。X伝搬シミュレーションがNOの場合, タイミング・エラーが発生しても, そのエラーが出力端子に影響しないようにシミュレーションされますので, 必ず実行してください。また, タイミング・エラーが有の場合, タイミング・エラーの出ないような回路, テスト・パターンに修正する必要があります。なお, エラー内容が出力に影響しない疑似エラーに限り受け入れますが, チェック漏れなどによりテスト不具合にいたることも予想されます。この場合, 不具合原因を調査していただくこともありますので, あらかじめご承知おきください。

## 5. 次の情報を記入してください。

- (1) 電源追加の有無をマークし、有の場合、追加分のV<sub>DD</sub>およびGNDの本数を記入してください。  
CMOS-10HDの場合とCMOS-10HD以外場合があります。該当する箇所に記入してください。
- (2) 発振ブロックの有無をマークし、有の場合ブロック名、周波数、入力、出力、イネーブル端子名およびピンNo.を記入してください。また、有の場合、発振停止機能が付いているかを確認しマークしてください。ユーザ・パターンすべてについて、発振入力信号はRZ信号にしないでください。また発振出力信号には期待値“X”(不定)を設定しないでください。停止コントロール端子については“0”の入力固定にしてください。
- (3) シミュレーション、T<sub>A</sub>(温度範囲)、V<sub>DD</sub>(電源電圧範囲)の種類をマークまたは記入してください。
- (4) 動作周波数を記入してください。  
入力f<sub>max</sub>  
最高動作周波数が入力される端子名、周波数、デューティ比を記入してください。  
出力f<sub>max</sub>  
最高動作周波数が出力される端子名、周波数、負荷容量を記入してください。  
出力最小パルス幅  
最高動作周波数が出力される端子名、最小パルス幅、負荷容量を記入し、最小パルス幅が“POS”か“NEG”かをマークしてください。  
・出力バッファの外部負荷容量は推奨範囲内かを確認してマークしてください。  
最高動作周波数は次の制限があります。
- |                  |  |
|------------------|--|
| CMOS-10HD        | : 66 MHz (1.8 V) , 133 MHz (2.5 V)             |
| CMOS-9HD, EA-9HD | : 100 MHz                                      |
| CMOS-N5          | : 60 MHz (5 V) , 33 MHz (3.3 V) , 25 MHz (3 V) |
| ほかのシリーズ          | : 出力バッファのf <sub>max</sub>                      |
- (5) 同時動作は3GNDの端子判定法、トータル・チップ・レベル判定法の簡易判定法、詳細判定法のうち、どの方法で判定したかを確認しマークしてください。  
判定した結果、同時動作は満足されているかを確認しマークしてください。  
NOの場合は、対策を明記してください。
- (6) 設計マニュアルに基づき、消費電力を算出し、計算結果を記入してください。また、設計マニュアルより、使用するパッケージの最大許容消費電力を記入し、許容範囲内であることを確認しマークしてください。NOの場合は対策を記入してください。  
詳細計算をする場合は、対応するT<sub>A</sub>のT<sub>J</sub>値にて計算を実行してください。
- |                              |  |                            |
|------------------------------|--|----------------------------|
| T <sub>A</sub> = -40 ~ 85 場合 | P <sub>WL</sub> = (125 - T <sub>A(MAX)</sub> ) ÷ θ <sub>ja</sub> | 条件: T <sub>A(MAX)</sub> 40 |
| T <sub>A</sub> = 0 ~ 75 場合   | P <sub>WL</sub> = (100 - T <sub>A(MAX)</sub> ) ÷ θ <sub>ja</sub> | 条件: T <sub>A(MAX)</sub> 40 |
- (7) シミュレーション実行時、X伝搬シミュレーションを行ったかを確認しマークしてください。必ずX伝搬で行ってください。NOの場合は、理由を明記してください。
- (8) CTS搭載品は、CTS Checkを実行し、その結果を確認し記入してください。  
・CMOS-10HDの場合は、CTSの系統数は4本以下であることを確認してください( SCANへのCTSを除く )。
- (9) シミュレーション結果確認書に基づき、タイミング・エラーの有無を確認しマークしてください。

- (10) 双方向端子を使用している場合，出力モード時に双方向端子の入力バッファを介して再び内部へ入力し，その信号が直接クロックに入るような回路構成はありませんか…………… 無 有 双方向端子無

このような回路構成があるとリングングによって，この入力信号を受けた内部回路が誤動作しテスト・トラブルとなる可能性があり，特に，その入力信号が直接クロックに入る場合危険ですので設計マニュアルに従った対策をとってください。

・有の場合は対策をとり，特殊要求等で確認，承認が必要です。

- (11) CMOS-6, 6A, 6S, 6V, 6X, 8の場合，  
TTL18 mAタイプ出力バッファ使用の有無，  
CMOS-8Lの場合，5Vインタフェース  
18 mA，24 mAタイプ出力バッファ使用の有無 [ 2セル構成 ] …………… 無 有
- (12) RAMブロックの有無…………… 無 有  
・有の場合，2.9.2 RAMブロックの記入をお願いします。
- (13) ROMブロックの有無…………… 無 有  
・有の場合，2.9.3 ROMについての記入をお願いします。
- (14) 高速ファンクション・テストの有無…………… 無 有  
・有の場合，2.9.4 高速ファンクション・テストについての記入をお願いします。
- (15) GTL, PECL, HSTL, PCI, LVDSブロックの有無…………… 無 有  
・有の場合，2.9.5 GTL, PECL, HSTL, PCI, LVDSブロックについての記入をお願いします。
- (16) デジタルPLLの有無…………… 無 有  
・有の場合，2.9.6 DPLLブロックについての記入をお願いします。
- (17) メガマクロの有無…………… 無 有  
・有の場合，2.9.7 メガマクロについての記入をお願いします。
- (18) スキャンバスとバウンダリ・スキャン併用使用の有無…………… 無 有  
・有の場合，2.9.8 スキャンバスとバウンダリ・スキャン併用時についての記入をお願いします。
- (19) スキャンバス (SCAN) 使用の有無…………… 無 有  
・有の場合，2.9.9 スキャンバスについての記入をお願いします。ただしBSCANと併用時は記入不要です。
- (20) バウンダリ・スキャン (BSCAN) 使用の有無…………… 無 有  
・有の場合，2.9.10 バウンダリ・スキャンについての記入をお願いします。  
ただしSCANと併用時は記入不要です。
- (21) EA-9HDの場合，内部3ステート出力端子のすべてにバス・フォルダ (F098) を使用していますか…………… YES NO  
・NOの場合，バス・フローティング防止回路が正しい構成になっているか，事前に弊社のEA-9HDシリーズ担当者に確認，了承をとっていますか…………… YES NO
- (22) 内部3ステート出力ブロックを使用していますか (EA-9HDを除く)…………… 無 有  
・有の場合，バス・フローティング防止回路が正しい構成になっているか確認しましたか…………… YES NO

- (10) 設計マニュアルに基づき、当該回路構成がないかを確認する必要があります。  
また、当該回路構成がある場合、設計マニュアルに従った対策がとられていることを、インタフェース前に特殊要求等で確認、承認が必要です。
- (11) 2セル構成の出力バッファの有無をマークしてください。
- (12) RAMブロックの有無をマークしてください。
- (13) ROMブロックの有無をマークしてください。
- (14) 高速ファンクション・テストの有無をマークしてください。
- (15) GTL, PECL, HSTL, PCI, LVDSブロックの有無をマークしてください。
- (16) デジタルPLLの有無をマークしてください。
- (17) メガマクロの有無をマークしてください。
- (18) スキャンパスとバウンダリ・スキャン併用使用の有無をマークしてください。
- (19) スキャンパス (SCAN) 使用の有無をマークしてください。
- (20) バウンダリ・スキャン (BSCAN) 使用の有無をマークしてください。
- (21) バス・フォルダ (F098) の使用の有無をマークしてください (EA-9HDの場合のみ)。  
YESの場合、内部3ステート出力端子すべてに使用しているか確認してください。  
NOの場合、バス・フローティング防止回路が正しい構成になっているか事前に弊社のEA-9HDシリーズ担当者に確認、了承をとっているか確認してください。
- (22) 内部3ステート出力ブロックの有無をマークしてください (EA-9HDの場合を除く)。  
有の場合、バス・フローティング防止回路が正しい構成になっているか確認してください。防止回路が正しく構成されていない場合はテスト選別時に貫通電流 $I_{DD}$ 不具合となります。ツールで発見できませんので注意してください。

左記のページの(11)～(20)は記入例ですので、全項目“有”にマークしています。

(23) テスト・パターンについて

(a) 下記の制限を満足していますか<sup>注1</sup> ..... YES NO

【CMOS-N5, 9HD, 10HDとEA】

【CMOS-8L】 (OPENCAD V5.4まで)

【CMOS-6, 6A, 6S, 6V, 6X, 8, 9】 (OPENCAD V5.3まで)

ピン数	1本あたりの 最小テスト・パターン数 (DC測定用のパターンのみ)	総テスト・パターン数
145ピン未満	150パターン	128 Kパターン (SCANあり) <sup>注2</sup>
145ピン以上		256 Kパターン (SCANなし) <sup>注2</sup>
		512 Kパターン <sup>注2</sup>

注1. YESにマークされている必要があります。NOの場合は対策のご記入をお願いします。

2. DCパターンのパターン数は、EA-9HDの257ピン以上を除いてすべて、最大32Kです。

DCパターンが32Kを越える場合、DC測定用のパターンは32Kまでです。

よって、32K以内で可能な限りDC測定が検出できるパターンの作成をお願いします。

弊社に提出するパターンは32Kを越えた1本のままだもかまいません。

**例**

56KのDCパターンの場合、1～32KまでがDC測定用のパターンとなります。よって32001～56Kで信号変化があってもDC測定には反映されません。

32K以降のパターンはLFT扱いとなります (1～56KのLFTパターンと同等です)。

EA-9HDで257ピン以上の場合は、DCパターンのパターン数は、最大64Kです。

DCパターンが64Kを越える場合、DC測定用のパターンは64Kまでです。

よって、64K以内で可能な限りDC測定が検出できるパターンの作成をお願いします。

弊社に提出するパターンは64Kを越えた1本のままだもかまいません。

また、高速ファンクション・テスト用 (1本ごと) のパターン数はシリーズ、ピン数に関係なく最大32Kになります。



(23) テスト・パターンについて記入してください。

(a) 左記の表を参照し、テスト・パターン数が制限を満足していることを確認し、マークしてください。  
NOの場合はテスト制限で対応できない可能性がありますので、あらかじめ弊社まで確認してください。

1本あたりの最小テスト・パターン数については、DC測定用パターンのみの制限となります。

**備考** DCパターンのパターン数は、EA-9HDの257ピン以上を除いてすべて、最大32Kで1本となります。DCパターンが32Kを越える場合、パターン・チェックは32Kまでです。よって、32K以内で可能な限りDC測定が検出できるパターンの作成をお願いします。なお、弊社に提出するパターンは32Kを越えた1本のままでもかまいません。

**例**

56KのDCパターンの場合、1～32KまでがDC測定用のパターンとなります。よって32001～56Kで信号変化があってもDC測定には反映されません。32K以降のパターンはLFT扱いとなります（1～56KのLFTパターンと同等です）。

EA-9HDで257ピン以上の場合は、DCパターンのパターン数は、最大64Kで1本となります。DCパターンが64Kを越える場合、パターン・チェックは64Kまでです。よって、64K以内で可能な限りDC測定が検出できるパターンの作成をお願いします。弊社に提出するパターンは64Kを越えた1本のままでもかまいません。また、高速ファンクション・テスト用のパターン数はシリーズ、ピン数に関係なく最大32Kになります。

パターン・チェックは、OPENCAD V5.3までとOPENCAD V5.4以降では違います。

OPENCAD V5.3まで	LOGPATの場合	cptchk
	ALBの場合	cptchk, albchk
OPENCAD V5.4以降	ALBのみ	albchk

(b) テスト・パターンの情報

次の表にテスト・パターンの情報を記入してください (OPENCAD V5.3まで用)

テスト・パターン・ データ・ファイル名	タイミング・デー タ・ファイル名	パターン数	パターン周期 (T) ストロープ位置 (ST)	いずれかに						
				DC	LFT	高速 <sup>注2</sup>	BSCAN <sup>注3</sup>	DPLL <sup>注4</sup>	メガマクロ <sup>注4</sup>	SCAN <sup>注4</sup>
DC.nlp	DC.alb	20000	T = 200 ns ST = 199.99 ns	<sup>注1</sup>						
LFT1.nlp	LFT.alb	10000	T = ST =							
LFT2.nlp	LFT.alb	10000	T = ST =							
FCT.nlp	FCT.alb	20000	T = 300.00 ns ST = 299.99 ns							
			T = ST =							
			T = ST =							
			T = ST =							
			T = ST =							
			T = ST =							
			T = ST =							
			T = ST =							
			T = ST =							
			T = ST =							
			T = ST =							

注1. この欄には DCパターンを記入してください。LFTパターンと兼用する場合は LFTの箇所に 印は不要です。  
また、パターン周期が200 nsでない場合は、次にパターン周期と変更理由を記入してください。  
パターン周期： 300 ns      変更理由： MAXディレイが280 nsのため

- 2. 高速ファンクション・テスト用のパターンについては、高速の欄に 印を記入してください。
- 3. BSCANのパターン周期は、300 ns以上に設定してください。
- 4. 設定パターンおよびイニシャライズ・パターンについて記入してください。

備考1. パターン本数は、DC + LFT + 高速 + BSCAN + DPLL + メガマクロで最大20本までとなります。  
2. ALBATROSSインタフェースの場合、テスト・パターン・データ・ファイル名にALBATROSSファイル名を記入してください。I/Oモジュール指定がある場合はタイミング・データ・ファイル名にストロープ・ファイル名を記入し、指定がない場合は、-線を記入してください。

## (b) テスト・パターン情報

テスト・パターンの情報を記入してください (OPENCAD V5.3まで用)

すべてのテスト・パターン・データの、テスト・パターン・データ・ファイル名および、パターン数を記入し、パターン・データの種類の欄に 印を記入してください。

パターン周期/ストローク位置が200 ns/199.99 ns以外の場合は、その値を記入してください。

入力タイミング指定が有る場合は、タイミング・データ・ファイル名も記入してください。ない場合は、一線を記入してください。

**また、1行目には、必ずDCパターンを記入し、パターン周期が200 nsでない場合は、注1の欄にパターン周期と変更理由を記入してください。**

ALBATROSSインタフェースの場合、テスト・パターン・データ・ファイル名に、ALBATROSSファイル名を記入し、I/Oモジュレーション指定がない場合はタイミング・データは不要となりますので、タイミング・データ・ファイル名の欄は、一線を記入してください。

パターン本数は、DC + LFT + 高速ファンクション・テスト + BSCAN + DPLLと、メガマクロのイニシャライズ用のパターンを含めて、最大20本までとなりますので注意してください。メガマクロのイニシャライズ・パターンに関しては、タイミング指定禁止のため、タイミング・データ・ファイル名の欄は - 線を記入してください。

**データの変更があるたびに再提出をお願いします。**

次の表にテスト・パターンの情報を記入してください (OPENCAD V5.4以降用)

テスト・パターン・データ・ファイル名	パターン数	パターン周期 (T) ストロープ位置 (ST)	いずれかに							
			DC	LFT	高速 <sup>注2</sup>	BSCAN <sup>注3</sup>	DPLL <sup>注4</sup>	メガマクロ <sup>注4</sup>	SCAN <sup>注4</sup>	
DC.alb	20000	T = 200 ns ST = 199.99 ns	<sup>注1</sup>							
LFT1.alb	10000	T = ST =								
LFT2.alb	10000	T = ST =								
FCT.alb	20000	T = 300.00 ns ST = 299.99 ns								
		T = ST =								
		T = ST =								
		T = ST =								
		T = ST =								
		T = ST =								
		T = ST =								
		T = ST =								
		T = ST =								
		T = ST =								
		T = ST =								
		T = ST =								

注1. この欄には DCパターンを記入してください。LFTパターンと兼用する場合は LFTの箇所に 印は不要です。  
また、パターン周期が200 nsでない場合は、次にパターン周期と変更理由を記入してください。

パターン周期： 300 ns 変更理由： MAXディレイが280 nsのため

2. 高速ファンクション・テスト用のパターンについては、高速の欄に 印を記入してください。
3. BSCANのパターン周期は、300 ns以上に設定してください。
4. 設定パターンおよびイニシャライズ・パターンについて記入してください。

備考 パターン本数は、DC + LFT + 高速 + BSCAN + DPLL + メガマクロで最大20本までとなります。

テスト・パターンの情報を記入してください（OPENCAD V5.4以降用）

すべてのテスト・パターン・データの、テスト・パターン・データ・ファイル名および、パターン数を記入し、パターン・データの種類の欄に 印を記入してください。

パターン周期/ストローク位置が200 ns/199.99 ns以外の場合は、その値を記入してください。

また、1行目には、必ずDCパターンを記入し、パターン周期が200 nsでない場合は、注1の欄にパターン周期と変更理由を記入してください。

パターン本数は、DC + LFT + 高速ファンクション・テスト + BSCAN + DPLLと、メガマクロのイニシャライズ用のパターンを含めて、最大20本までとなりますので注意してください。

データの変更があるたびに再提出をお願いします。

SAMPLE

以下(c)および(24)～(27)はOPENCAD V5.3まで用です。また(28)，(29)はOPENCAD V5.4以降用です。

(c) タイミング指定はありますか…………… 無 有

ない場合は、次の～のチェックは不要です。

指定タイミング相数は、基本タイミングを含め6相以下ですか<sup>注</sup>…………… YES NO

各相のタイミング差(変化点の時間差)は、10 ns以上ですか<sup>注</sup>…………… YES NO

双方向バッファの入出力切り替えは、基本タイミングで行っていますか

(I/Oモジュレーション使用時は対象外)<sup>注</sup>…………… YES NO

各相のタイミングで同一時刻変化がある場合、競合しませんか<sup>注</sup>…………… 無 有

RZ信号の指定がある場合、直接外部端子にクロックが出力されませんか<sup>注</sup> …… 無 有

RZ信号の指定がある場合、その信号で双方向バッファの入出力切り替えを

行っている部分はありますか(I/Oモジュレーション使用時は対象外)<sup>注</sup>…………… 無 有

(24) CPTchkにエラーはありませんか<sup>注</sup>…………… 無 有

DCパターンにおける「HL」，「input change」エラーの発生している端子についてはテストでレベルの測定ができません。よって出荷するサンプルに不良品が混入する場合がありますのでご承知おき願います。ただし、上記のメッセージはユーザ端子と併用しない、弊社でのテスト端子については対象外です。また、Verilog品種の場合は「High-Z input」エラーの場合、必ず“1”，“0”のどちらかに修正してください。

(25) ALBATROSSインタフェースの場合

(a) albchkを実行しましたか<sup>注</sup>…………… YES NO

・YESの場合、エラーは発生していませんか<sup>注</sup>…………… 無 有

パターン本数分の.albchkファイルの提出をお願いします。

DCパターンにおける「Value(/Transition) is not appeared.」，「Don't care PIN exist.」の発生している端子についてはテストでレベルの測定ができません。よって出荷するサンプルに不良品が混入する場合がありますのでご承知おき願います。

ただし、上記メッセージはユーザ端子と併用しない、弊社でのテスト端子については対象外です。

(26) I/Oモジュレーション指定がある場合

(a) 2相以上のI/Oモジュレーションを指定していませんか<sup>注</sup>…………… 無 有

(b) I/Oモジュレーション・チェックにエラーはありませんか<sup>注</sup>…………… 無 有

(c) ストローブALBAファイルの先頭行に「\*ALBATROSS TOPセル名 ver4.0;」の記述はありますか<sup>注</sup>…………… YES NO

ストローブALBAの提出をお願いします。

(d) クロック指定、モジュレーション指定がある場合はストローブALBAに反映してありますか<sup>注</sup>…………… YES NO

パターン本数分の.iomoduchkファイルの提出をお願いします。

(27) デジタルPLLが搭載されている品種の場合

デジタルPLLのモード・チェックにエラーはありませんか<sup>注</sup>…………… 無 有

弊社にインタフェースする、すべてのパターン本数分の.dpmodechkファイルの提出をお願いします。

Create DPLL Connection Patternで出力したデジタルPLLの接続確認用のパターンについては対象外です。ただし、デジタルPLLの接続確認用のパターンを作成するときに入力するイニシャライズ・パターンについては確認をお願いします。

注 YESまたは無にマークされている必要があります。NOまたは有の場合は対策のご記入をお願いします。

(c) タイミング指定がある場合、タイミング相数が、基本タイミングを含め6相以下であるか、各相のタイミング差が10 ns以上であるか、双方向バッファの入出力切り替えを、基本タイミングで行っているか、同一時刻で変化するタイミングがある場合、競合することがないかを確認し、マークしてください。

～ はすべて、YESまたは無である必要があります。ただしI/Oモジュールがある場合は、  
は対象外になります。

(24) CPTchk実行結果を参照し、エラーの有無をマークしてください。エラーがある場合、一番下の四角の囲みの内容に従い修正してください。

(25) ALBATROSSインタフェースをする場合、albchkを実行したかをマークし、YESの場合、エラーが発生していないことを確認して、マークしてください。

**NOの場合は、問題ない理由を明記してください。**

(26) I/Oモジュール指定がある場合は、(a)、(b)、(c)、(d)の項目を確認してマークしてください。また、それらの項目はすべてYESまたは無である必要があります。

(27) デジタルPLL搭載品種はシミュレーションのデジタルPLLモード・チェックにエラーがないことを確認してマークしてください。**有の場合は、問題ない理由を明記してください。**

(28) ALBATROSSについて

- (a) Pattern UtilitiesのCreate Interface ALBA FileでALBAを作成しましたか<sup>注</sup>..... YES NO  
 ・YESの場合、作成したALBAのTest Typeについて問題がないことを確認しましたか<sup>注</sup>..... YES NO  
 Test Type = DCとなるのは、DC測定用のパターンのみです。
- (b) I/Oモジュレーション指定はありますか [必ずマークしてください] ..... 無 有  
 “有”の場合は、次の ~ のチェックをお願いします。  
 2相以上のI/Oモジュレーションを指定していませんか<sup>注</sup>..... 無 有  
 クリエイト・インタフェースALBA作成時にIO\_MODULATION ALBA  
 ファイルを入力しましたか<sup>注</sup>..... YES NO  
 クロック指定、モジュレーション指定がある場合、IO\_MODULATION ALBA  
 に反映してありますか<sup>注</sup>..... YES NO
- (c) albchkを実行しましたか<sup>注</sup>..... YES NO  
 ・YESの場合、エラーは発生していませんか<sup>注</sup>..... 無 有  
 パターン本数分の.albchkファイルの提出をお願いします。

DCパターンにおける「Value(/Transition) is not appeared.」, 「Don't care PIN exist.」の発生している端子についてはテストでレベルの測定ができません。よって出荷するサンプルに不良品が混入する場合がありますのでご承知おき願います。  
 ただし、上記のメッセージはユーザ端子と併用しない、弊社でのテスト端子については対象外です。

- (d) I/Oモジュレーション・チェックを実行しましたか<sup>注</sup>..... YES NO  
 I/Oモジュレーション指定がない場合も、I/O競合エラーのため必須となります。  
 ・YESの場合、エラーは発生していませんか..... 無 有  
 パターン本数分の.iomoduchkファイルの提出をお願いします。  
 ・エラーが発生している場合は、すべてControl Modulation Errorで  
 PCIのような回路構成ではないですか<sup>注</sup>..... YES NO

PCIのような回路構成でなければ、Control Modulation ErrorはOPENCAD V5.4.1以降においては疑似エラーとなります。

(29) デジタルPLLが搭載されている品種の場合

- デジタルPLLのモード・チェックにエラーはありませんか<sup>注</sup>..... 無 有  
 弊社にインタフェースする、すべてのパターン本数分の.dpmodechkファイルの提出をお願いします。  
 Create DPLL Connection Patternで出力したデジタルPLLの接続確認用のパターンについては対象外です。ただし、デジタルPLLの接続確認用のパターンを作成するときに入力するイニシャライズ・パターンについては確認をお願いします。

注 YESまたは無にマークされている必要があります。NOまたは有の場合は対策のご記入をお願いします。



(28) ALBATROSSについて

Pattern UtilitiesのCreate Interface ALBA File機能を使用して作成したかを確認してください。未実施の作成パターンでは、インタフェースできません。

また、Test Typeが問題ないことを確認してください。DC測定用のパターンのみ、Test Type = DCとなります。

albchkを実行したかをマークし、YESの場合、エラーが発生していないことを確認して、マークしてください。NOの場合は、問題ない理由を明記してください。

I/Oモジュレーション・チェックについても実行したかをマークし、YESの場合、エラーが発生していないことを確認して、マークしてください。

PCIのような回路構成でないの場合は、Control Modulation Errorは疑似エラーとなります。確認してマークしてください

(29) デジタルPLL搭載品種はシミュレーションのデジタルPLLモード・チェックにエラーがないことを確認してマークしてください。有の場合は、問題ない理由を明記してください。

## 2.9.2 RAMブロック

### (1) RAMブロックについて

#### (a) 使用ブロック

ブロック・タイプ (機能名)	ビット数	ワード数	使用個数
RJ8F	8	256	1
RJ8H	8	512	1

- (b) コンパイルドRAMを使用していますか…………… YES NO
- (c) コンパイルドRAMの場合、ワード数は偶数ですか<sup>注</sup>…………… YES NO
- (d) すべてのRAMはBIST付きのRAMを使用していますか(種RAMのみの使用は禁止)<sup>注</sup>…………… YES NO
- (e) TE端子は、外部端子から論理反転せずに直接アクセスされていますか(ゲートアレイ) エンベデッドアレイの場合、インパータを介しTEBと接続されていますか<sup>注</sup>…………… YES NO
- (f) テスト・モード(TE = “L”)にした場合、TIN端子、TOUT端子は、外部端子から論理反転せずに直接アクセスされていますか<sup>注</sup>…………… YES NO
- (g) テスト用出力端子(TOUT)は、RAMの使用個数分、個々に設けられていますか<sup>注</sup>…………… YES NO
- (h) RAMを複数使用している場合、TE端子、TIN端子はすべてのRAMにて共用していますか<sup>注</sup>…………… YES NO
- (i) 不在アドレスにアクセスするようなパターンはありませんか<sup>注</sup>…………… 無 有  
(セルベース・タイプ高密度同期式コンパイルドRAMは対象外です。)
- (j) すべてのテスト・パターン・データで、RAMのTE/TEBをテスト・モードにしていませんか<sup>注</sup>…………… 無 有
- (k) ノーマル・モード時のハイ・インピーダンス防止回路をいれていますか<sup>注</sup>…………… YES NO  
NOの場合、電流が流れ、テスト不具合となり出荷に支障が出るため防止回路を必ず入れてください。  
(エンベデッドアレイのみ)
- (l) 下地と上地のインスタンス名は同じですか…………… YES NO  
NOの場合、下地と上地のインスタンス対応を提出してください。(エンベデッドアレイのみ)
- (m) RAMのテスト端子名を記入してください。  
TE/TEB(1端子) \_\_\_\_\_ TENB \_\_\_\_\_  
TIN(1端子) \_\_\_\_\_ TESTI \_\_\_\_\_  
TOUT(RAMの使用数分) \_\_\_\_\_ TOUT0, TOUT1 \_\_\_\_\_
- (n) RAMチェックの結果、不一致はありませんか<sup>注</sup>…………… 無 有

上記(c)～(n)については、必ず守ってください。  
万一、上記項目が守られていない場合には、テスト用プログラム作成の段階(開発の最終段階)で回路変更をお願いすることになりますのでご注意ください。

#### (o) インタフェース・データについて

通常のインタフェース・データ以外に、.rpiファイルの提出をお願いします。

**注** YESまたは無にマークされている必要があります。NOまたは有の場合は対策のご記入をお願いします。

(1) RAMブロックについて記入してください。

(a) 使用しているRAMのブロック・タイプ名、ビット数、ワード数、使用個数を記入してください。

(b) コンパイルドRAMを使用しているかをマークしてください。

(c) 奇数ワードは禁止されていますので、偶数ワードであることを確認してマークしてください。

(d) すべてのRAMはBIST付きのRAMを使用していることを確認してマークしてください。

種RAMのみの使用は禁止ですので、BIST付きRAMに変更してください。

(e) TE (TEB) 端子は、外部端子から論理反転せずに、EA-9, 9HDシリーズの場合はインバータを介して直接アクセスされている必要がありますので、確認しマークしてください。

(f) テスト・モード (TE = “L”) の場合、TIN端子、TOUT端子は、外部端子から論理反転せずに、直接アクセスされている必要がありますので、直接アクセスされているかを確認し、マークしてください。

(g) テスト用出力端子 (TOUT) がRAMの使用個数分、必要になりますので、RAMの使用個数分、個々に設けられているかを確認し、マークしてください。

(h) RAMを複数使用している場合、TE端子、TIN端子は、すべてのRAMに共用して使用する必要がありますので、共用していることを確認し、マークしてください。

(i) EA-9, 9HDシリーズの場合、不在アドレスへのアクセスはテスト不良になり出荷できませんので、そのようなパターンのない事を確認してマークしてください。

(j) すべてのパターンにおいてTE/TEBがテスト・モードになっていないことを確認してマークしてください。

(k) ノーマル・モード時のハイ・インピーダンス防止回路が入っているか確認してマークしてください。

NOの場合、電流が流れ、テスト不具合となり出荷に支障が出るため防止回路を必ず入れてください。

(エンベデッドアレイのみ)

(l) 下地と上地のインスタンス名は同一か確認してマークしてください。

NOの場合、下地と上地のインスタンス対応を提出してください。(エンベデッドアレイのみ)

(m) RAMのテスト端子 (TE, TIN, TOUT) の端子名を記入してください (TE端子およびTIN端子は、1端子記入してください。ゲートアレイでは、TOUTは共用できませんので、RAMの使用個数分記入してください)。

(n) RAMチェックを実行し、結果に不一致がないことを確認してマークしてください。

(2) RAMのイニシャライズ・パターン (RAM単体テスト用パターン)

RAMチェックの結果に不一致がなければ、(a) ~ (e) の記入は不要です。

(a) テスト端子とRAMブロック間に内部ゲートを介している場合、お客様作成テスト・パターンの最終パターンにて、その内部ゲートの論理がRAMのテスト・モードに設定されていますか(ただし、順序回路を介することはできません)<sup>注</sup>..... YES NO

(b) 双方向、または3ステート端子が存在している場合(すべての双方向、3ステート端子が対象です)、お客様作成テスト・パターンの最終パターンにてそれらの端子のイネーブルが確定していますか<sup>注</sup>..... YES NO

・また、テスト端子に双方向、3ステート端子を使用している場合には、イニシャライズ・パターンにて、TE端子、TIN端子を入力モード(EN = “L”)に、TOUTを出力モード(EN = “H”)に設定してください。

(c) LSI内部に内部バスが存在している場合(回路内の内部バスすべてが対象です)、お客様作成テスト・パターンの最終パターンにて、その内部バスがショート、もしくはフローティング状態になっていませんか<sup>注</sup>..... 無 有

(d) LSI内部に順序回路が存在している場合(回路内の順序回路すべてが対象です)、お客様作成テスト・パターンの最終パターンにて、その順序回路の出力が不定になっていませんか<sup>注</sup>..... 無 有

**備考** (d)については、LSI内部の状態を安定させ、より正確なRAMのテストを行うためのものです。ご協力をお願いします。

上記(a) ~ (d)につきまして、NOとなる箇所があった場合には、その項目内容についてのイニシャライズ・パターンが必要となります。

(e) 上記チェックの結果、イニシャライズ・パターンは必要ですか..... YES NO

・YESの場合、下記項目を記入してください。

入力に“X”, “Z”は入っていませんか<sup>注</sup>..... 無 有

出力の期待値は“Don't care”となっていますか<sup>注</sup>..... YES NO

イニシャライズ・パターン範囲 19990パターン ~ 20000パターン

**注** YESまたは無にマークされている必要があります。NOまたは有の場合は対策のご記入をお願いします。

(2) RAMのイニシャライズ・パターン (RAM単体テスト用パターン) について記入してください。

- (a) テスタではDCパターンの後ろにRAMのテスト・パターンを自動で挿入します。したがって、RAMのテスト端子とRAMブロックの間に内部ゲートを介している場合、内部ゲートの論理がRAMテスト・モードに設定されている必要がありますので、確認しマークしてください (RAMのテスト・モード・パターンについては、設計マニュアルを参照してください)。
- (b) 双方向または3ステート端子がある場合、DCパターンの最終テスト・パターンにてそれらの端子のイネーブルが確定している必要がありますので、確定しているかを確認し、マークしてください。

- (c) LSI内部に内部バスがある場合、DCパターンの最終パターンにて、その内部バスのショート、もしくは、フローティングを抑える必要があります。内部バスがショート、もしくは、フローティング状態になっていないかを確認し、マークしてください。
- (d) LSI内部に順序回路が存在している場合、RAMのテストが正常に行えない場合があるので、DCパターンの最終パターンにて、その順序回路の出力が不定になっていないかを確認しマークしてください。

- (e) (a) ~ (d) のチェックの結果、イニシャライズ・パターンが必要となったかを確認し、マークしてください。また、YESの場合、次の ~ について、記入してください。

( (a) ~ (d) でNOとなる箇所があった場合、イニシャライズ・パターンが必要となります)。

RAMのイニシャライズ・パターンの入力に、“X”または“Z”が入っている場合、安定したテストが行えないので、入力に“X”または“Z”が入っていないことを確認し、マークしてください。

RAMのイニシャライズ・パターン内が、“Don't care” (マスク状態) になっていることを確認し、マークしてください。マスクしていないとテスト不良の可能性がありますのでYESである必要があります。

RAMのイニシャライズ・パターンは、DCパターンの最後に追加する必要がありますので、最後に追加されているかを確認し、RAMのイニシャライズ・パターンのパターン範囲を記入してください (接続確認用のパターン (8パターン) ではありません)。

## 2.9.3 ROMについて

## (1) 使用ブロック

ブロック名 (インスタンス名)	ブロック・タイプ (機能名)	NINCFファイル
C\$0010020	J14F	NINCF0
C\$0020030	J14H	NINCF1

## (2) インタフェース・データについて

通常のインタフェース・データ以外に、.nincfファイルの提出をお願いします。

ROMブロックについて記入してください。

- (1) 使用しているROMのブロック名（インスタンス名）、ブロック・タイプ（機能名）、ROMブロックに対応するNINCFファイル名を記入してください。

**備考** 同タイプのROMが複数ある場合、ブロック名（インスタンス名）、ブロック・タイプ（機能名）の対応を間違えるとROMコードのマージが正常にできませんので、注意してください。

SAMPLE

## 2.9.4 高速ファンクション・テストについて

### (1) 高速ファンクション・テスト用パターンについて

- (a) 次の条件を満足していますか<sup>注1</sup>..... YES NO
- イニシャライズ・パターンは入っていますか<sup>注1</sup>..... YES NO
  - テスト・レート (T) がT 50 nsになっていますか<sup>注1</sup>..... YES NO
  - ストロープは1時点のみですか<sup>注1</sup>..... YES NO
  - 15 ns ストロープ時間 T - 10 nsですか<sup>注1</sup>..... YES NO
  - 指定タイミング相数は、基本タイミングを含め6相以下ですか<sup>注1</sup>..... YES NO
  - 各相のタイミング差 (変化点の時間差) は、10 ns以上ですか<sup>注1</sup>..... YES NO
  - 双方向バッファの入出力切り替えは、基本タイミングで行っていますか<sup>注1</sup>..... YES NO
  - 各パターンは32 K以内でそれぞれイニシャライズされていますか<sup>注1</sup>..... YES NO
  - 次の制限を満足していますか<sup>注1</sup>..... YES NO

信号の種類	タイピング制限		入力ディレイ (t <sub>b</sub> )		入力パルス幅	
	MIN	MAX	MIN	MAX	MIN	MAX
基本タイミング	0 ns				-	
NRZ信号	10 ns	T - 10 ns			-	
RZ信号 (クロック・モード)	10 ns	T - 10 ns	144ピン以下: 15 ns	T - t <sub>b</sub> - 15 ns	145ピン以上: 10 ns	

- (b) テスト・パターンは何本ありますか..... 1 本

### (2) 高速ファンクション・テスト用パターンでのシミュレーション内容について

- (a) シミュレーションは下記条件にて行いましたか<sup>注1</sup>..... YES NO

条件	シミュレーション	MIN	MAX
テスト周期 (T)		お客様指定値	お客様指定値
負荷容量値		50 pF <sup>注2</sup>	125 pF (双方向端子) 90 pF (出力端子)
ストロープ時間		お客様指定値 + 5 ns	お客様指定値 - 5 ns

- (b) MIN/MAXシミュレーションともに、不一致はありませんか<sup>注1</sup>..... 無 有

注1. YESまたは無にマークされている必要があります。NOまたは有の場合は対策のご記入をお願いします。

2. 実配線長において、精度を向上させるために、負荷容量値が異なる場合があります。



(1) 高速ファンクション・テスト用パターンについて記入してください。この項目はすべてYESの必要があります。

(a) ~ の条件を満足しているかを確認し、マークしてください。

高速ファンクション・テスト用パターン内に、イニシャライズ・パターンが入っているかを確認し、マークしてください。

テスト・レート (T) が、50 ns以上になっているかを確認し、マークしてください。

ストロークは、1時点のみになっているかを確認し、マークしてください。

ストローク時間が15 ns以上、T - 10 ns以下になっているかを確認し、マークしてください。

指定タイミング相数が、基本タイミングを含め6相以下になっているかを確認し、マークしてください。

各相のタイミング差 (変化点の時間差) が、10 ns以上になっているかを確認し、マークしてください。

双方向バッファの入出力切り替えは、基本タイミングで行っているかを確認し、マークしてください。

各パターンは32 K以内でそれぞれイニシャライズされているか確認し、マークしてください。

左記の表の制限を満足しているかを確認し、マークしてください。

(b) 高速ファンクション・テスト用パターン本数を記入してください。

(2) 高速ファンクション・テスト用パターンでのシミュレーション内容について記入してください。

(a) シミュレーションを左記の表の条件で行う必要がありますので、確認しマークしてください。

(b) MIN/MAXシミュレーションともに、不一致がないことを確認し、マークしてください。不一致がある場合、タイミング条件等を変更して必ず不一致がないようにしてください。

## 2.9.5 GTL, PECL, HSTL, PCI, LVDSブロックについて

### (1) 使用ブロック

ブロック名	I/O	使用個数
FIR1	I	1
EGTL	O	1
BGOW	I/O	2

IEN端子がある場合（入力，双方向バッファ）は，（2）～（8）も記入してください。

- (2) すべてのIEN端子は，直接入力バッファに接続していますか<sup>※</sup> ..... YES NO  
 IENは外部バッファに直接つないでください（PCI対象外）。
- (3) IENには入力バッファFIXA, FUXA, FIZAを介して接続されていますか<sup>※</sup> ..... YES NO  
 IEN端子は上記専用バッファをご使用ください（PCI対象外）。
- (4) IEN端子を制御している外部端子名をご記入ください（PCI対象外） 端子名           GTLIEN
- (5) DC用パターンの51以降のパターンで，すべてのIEN端子が“L”となる  
 パターンが1パターン以上ありますか<sup>※</sup> ..... YES NO  
 I<sub>DD</sub>測定に必要ですので，最低1パターンはLにしてください（PCI対象外）。
- (6) 5V PCIを使用している場合，difファイル作成の際に  
 5V追加電源指定（VD5-CMOS9HD, VDD5-EA9HD）を行いましたか<sup>※</sup> ..... YES NO  
 通常追加電源名と異なりますのでご注意ください。 追加V<sub>D(D)5</sub>   3  本  
 （CMOS-9HD, EA-9HDの場合，使用辺ごとに一本の5V追加電源が必要です。）  
 端子番号   50, 55, 60
- (7) PCI端子使用時で，PCI端子にモジュールを挿入する必要がある場合（a），（b）のどちらかを記入  
 してください。

- (a) I/Oモジュール指定でパターンを作成した。 .....
- (b) 波形上にてモジュールを挿入する必要がある場合，端子名と遅延値をご記入ください。

端子名	遅延値	端子名	遅延値	端子名	遅延値
A01	30				
A02	30				
A03	30				
A04	30				
A05	30				

注 YESにマークされている必要があります。NOの場合は対策のご記入をお願いします。

GTL, PECL, HSTL, PCI, LVDSブロックについて記入してください。

(1) 使用しているGTL, PECL, HSTL, PCI, LVDSブロックのブロック名, バッファ・タイプ (入力 = I, 出力 = O, 双方向 = I/O), 使用個数を記入してください。

(2) すべてのGTLのIEN端子は, 外部端子より直接GTLの入力バッファに接続する必要があるため, 直接接続していることを確認し, マークしてください (PCIは対象外です)。

(3) IEN端子はコントロール専用バッファを使用する必要があるため, 確認しマークしてください (PCIは対象外です)。

(4) IEN端子を制御している外部端子名を記入してください (PCIは対象外です)。

(5) I<sub>DD</sub>測定のため, DCパターンの51以降のパターンで, すべてのGTLのIEN端子を“L”にする必要があります。すべてのIEN端子が“L”になるパターンがあるかを確認し, マークしてください (PCIは対象外です)。

(6) 5V PCI搭載時, difファイルには必ず5V追加電源 (V<sub>D(D)5</sub>) が必要になりますので, 作成の際, 指定していることを確認し, マークしてください。

シリーズによって指定方法が異なりますので注意してください。CMOS-9HDシリーズの場合はVD5, EA-9HDシリーズの場合はVDD5で指定してください。

(7) PCI端子を使用している場合

(a) I/Oモジュレーションを使用する際, OPENCAD V5.3の場合は, ストローブALBを提出してください。OPENCAD V5.4以降の場合は, パターン・ユーティリティのクリエイト・インタフェースALBA機能でIO\_MODULATIONファイルを読ませてALBAの作成をしてください。

(b) シミュレーション実施時にPCI端子にモジュレーションを挿入する必要がある端子について, 端子名と遅延値を記入してください。

## 2.9.6 DPLLブロックについて

### (1) 使用ブロック

ブロック名	インスタンス名	使用個数
F9E6	DPLL1	1

- (2) 初期化パターンは作成しましたか<sup>注</sup>..... YES NO  
 (初期化パターンでシミュレーションを実行し、不一致が発生していないことを確認してください)
- (3) 初期化パターンにおいて、すべてのI/Oバッファのモードは確定していますか<sup>注</sup>..... YES NO
- (4) DPLLの外部端子がI/Oバッファの場合は、TMD0, TMD1 (TMD2) がDPLL単体テスト・モードになったときに、入力端子は入力に、出力端子は出力に固定してありますか<sup>注</sup>..... YES NO  
 (3ステート出力バッファはONとしてください)
- (5) 初期化パターンで、DPLLに接続されている外部端子にクロック (RZ)、モジュレーション (NRZ) は使っていませんか<sup>注</sup> (タイミング指定は行わないでください) ..... 無 有
- (6) 初期化パターンのTOUT端子以外の出力端子は、すべて “ don't care ” となっていますか (発振出力信号は除く) <sup>注</sup>..... YES NO
- (7) DPLLの入力、出力端子は、直接アクセスできますか<sup>注</sup>..... YES NO  
 NOの場合、インタフェース前に特殊要求等で確認、承認が必要です。
- (8) 端子RCLK, TMD0, TMD1, TMD2, TMD3, TOUTは、ほかの信号線と共有していませんか<sup>注</sup>..... YES NO  
 (複数のDPLLを使用する場合で、TMD0~3について同じ端子機能同士の共有は対象外です)
- (a) NEC\_SCANと併用している場合、上記の端子は、ほかの外部端子の影響を受けることなくアクセスできますか..... YES NO  
 NOの場合は、2.9.8 スキャンパスとバウンダリ・スキャン併用時についてまたは2.9.9 スキャンパスについての端子固定ファイルに情報を追加してください。
- (b) TOUT端子の出力信号を内部回路で使用していますか<sup>注</sup>..... 無 有  
 有の場合、インタフェース前に特殊要求などで確認、承認が必要です。
- (9) テスト・パターン (DC, LFT) は、スルー・パス・モードとリセット・モードのみで作成されていますか<sup>注</sup>..... YES NO
- (10) RCLK (H01) には専用バッファ (FI0P/FI0Q) を使用していますか<sup>注</sup>..... YES NO
- (11) DPLLの接続チェック用のパターンを作成し、シミュレーションを実施した結果、Function Errorは発生していませんか<sup>注</sup>..... 無 有
- (12) インタフェース・データについて  
 通常のインタフェース・データ以外に、.dpmodechkファイル、.slgファイルの提出をお願いいたします。

注 YESまたは無にマークされている必要があります。NOまたは有の場合は対策のご記入をお願いします。

DPLLブロックについて記入してください。

- (1) 使用しているDPLLのブロック名, インスタンス名, 使用個数を記入してください。
  
- (2) 初期化パターンを作成したかをマークしてください。また初期化パターンは必ず用意してください。
  
- (3) 初期化パターンにおいて, DPLLのテストを安定した状態で行うため, DPLLに関係のないI/Oバッファはモードを固定する必要があるため, 確認してマークしてください。
- (4) DPLLをテストする際に, 外部端子のモードは, 入力端子と接続している場合は入力モード, 出力端子に接続されている場合は出力モードに固定する必要があるため, 入力か出力に固定されてあるかをマークしてください(3ステート出力バッファはONとしてください)。
- (5) DPLLのテスト用の初期化パターンで, DPLLに接続されている外部端子にクロック, モジュレーションを使用することはできません。  
クロック(RZ), モジュレーション(NRZ)を使用していないことを確認してマークしてください(タイミング指定は行わないでください)。
- (6) DPLLのテストを行うため, 初期化パターン中のTOUT端子以外の出力端子の最終パターンは, すべて“ Don't care ” となっている必要があります。確認しマークしてください。  
ただし, 発振器搭載時の発振出力信号は “ Don't care ” にしないでください。
- (7) DPLLのテストを行うため, 入力制御端子およびTOUT端子は直接アクセスする必要があるため, 入力, 出力端子が直接アクセスできるかをマークしてください。
- (8) 端子RCLK, TMD0, TMD1, TMD2, TMD3, TOUTは, ほかの信号線と共有していないかを確認してマークしてください(複数のDPLLを使用する場合, TMD0, TMD1, TMD2, TMD3について同じ端子機能同士の共有は対象外です)。
  - (a) NEC\_SCANと併用している場合, 上記の端子はほかの外部端子の影響を受けることなくアクセスできることを確認し, マークしてください。  
NOの場合は, スキャンパスの端子固定ファイルに, 必要とされるほかの外部端子のレベル情報を追加してください。
  - (b) TOUT端子の出力信号を内部回路で使用しているかを確認し, マークしてください。  
有の場合は, インタフェース前に特殊要求などで確認, 承認が必要となりますので必ず実施してください。
- (9) テスト・パターン中に, PLLモードおよびNECテスト・モードを使用していないかを確認し, マークしてください(ユーザ・パターンにおいても, スルーパス・モードかりセット・モードのみとなります)。
- (10) RCLKにつながる外部端子は専用バッファを用いる必要があります。確認してマークしてください。
- (11) DPLLの接続チェック用のパターン作成後にシミュレーションを実施し, ファンクション・エラーなどが発生していないか確認してください。そのときのパターン・フォーマットはOPENCAD V5.4以降はALBATROSS, OPENCAD V5.3ではALBATROSSかLOGPATをお願いします。
- (12) インタフェース・データとして通常のほかに, .dpmodechk, DPLL接続確認SIM用の.slgの提出をお願いします。

(13) 端子対応表

- (a) .pinfファイルを提出していただくか、(c)の端子対応表を記入してください。
- (b) .pinfファイル提出時で、DPLLを複数搭載している場合は、.pinfファイルの対応を記入してください。  
 DPLLブロック名 F9E6      インスタンス名 DPLL1      .pinfファイル名 F9E6.pinf  
 DPLLブロック名 F9E4      インスタンス名 DPLL2      .pinfファイル名 F9E4.pinf
- (c) 端子対応表 (DPLLを複数搭載している場合は、この紙を個数分コピーして、記入してください)

DPLLブロック名 F9E6      インスタンス名 DPLL1

端子名	外部端子名	ピンNo.	端子名	外部端子名	ピンNo.
(H01)	PLLRCLK	3	(H15)		
(H02)	-	-	(H16)		
(H03)	PLLTCK0	5	(H17)		
(H04)	PLLTCK1	6	(H18)		
(H05)	PLLTMD0	7	(H19)		
(H06)	PLLTMD1	8	(H20)		
(H07)	PLLTMD2	9	(N01)	-	-
(H08)	PLLTSMI	10	(N02)	PLLTOUT	12
(H09)			(N03)		
(H10)			(N04)		
(H11)			(N05)		
(H12)			(N06)		
(H13)			(N07)		
(H14)			(N08)		

(13) 端子対応表

- (a) .pinfファイルを提出していただくか、(c)の端子対応表を記入してください。
- (b) .pinfファイルに対応するDPLLブロック名、インスタンス名を記入してください。

(c) 端子対応表に必要事項を記入してください。なお、DPLLが複数搭載されている場合は、この紙を個数分コピーして、記入してください。

SAMPLE

## 2.9.7 メガマクロについて

### (1) 使用ブロック

ブロック名	使用個数
NA54	1

**備考** 各メガマクロにおける初期化パターンをDC, LFTなどのテスト・パターンの初めに挿入し、必ずメガマクロの初期化をしてください。

- (2) CSE端子のレベルはどちらに固定されていますか [必ずマークしてください] ..... H L  
 (“H”の場合、メガマクロの出力をBUS構成とすることはできません)  
 ・CSE = “L”の場合、メガマクロの出力は、どちらの回路構成となっていますか  
 (a) メガマクロの出力をBUS構成としている .....  
 (b) メガマクロの出力をゲートにて受け、Hi-Zを殺している .....  
 (EA-9HDは原則禁止です。バス・フォルダを使用してください。)
- (3) メガマクロのすべての入力は、入力端子より直接信号を加えられますか<sup>注</sup> ..... YES NO  
 (信号が反転しないこと、順序回路を通らないこと)
- (4) メガマクロのすべての出力は、出力端子にて直接モニターできますか<sup>注</sup> ..... YES NO  
 (信号が反転しないこと、順序回路を通らないこと)
- (5) メガマクロの単体テスト設定パターンは作成しましたか<sup>注</sup> ..... YES NO  
 メガマクロの単体テスト設定パターンは次の(a)～(f)の項目を満足してください。インタフェース条件です。  
 (a) メガマクロ以外の出力端子の最終パターンはすべて“don't care”と  
 なっていますか(発振出力信号は除く)<sup>注</sup> ..... YES NO  
 (b) クロック(RZ), モジュレーション(NRZ)は使用していませんか<sup>注</sup> ..... 無 有  
 (c) I/Oバッファのモードは確定していますか<sup>注</sup> ..... YES NO  
 (d) メガマクロ以外の内部回路の初期化をしていますか<sup>注</sup> ..... YES NO  
 (e) Hi-Z, Unknown INPUTがありませんか<sup>注</sup> ..... 無 有  
 (f) 配置配線前のシミュレーションを実行して、不一致はありませんか<sup>注</sup> ..... 無 有
- (6) 上記(3), (4)を設定するためのテスト・パターンは必要ですか ..... YES NO  
 YESの場合、単体テスト設定パターンに盛り込んでください。
- (7) メガマクロ用設計マニュアルの「メガマクロ単体テスト仕様書」は提出されましたか<sup>注</sup> ..... YES NO  
 (本書類に添付してください。) ・ご使用メガマクロの必要事項は必ずご記入願います。

**注** YESまたは無にマークされている必要があります。NOまたは有の場合は対策のご記入をお願いします。

**備考** (メガマクロのテスト回路構成について、特記事項などがありましたら、ご記入ください。)

双方向バッファを使用し、ID0～7およびOD0～7を共用。



メガマクロについて記入してください。

(1) 使用しているメガマクロのブロック名，使用個数を記入してください。

(2) CSE端子のレベルにより，メガマクロの出力部分の構成に違いがありますので，CSE端子のレベルはどちらに固定されているかを確認し，マークしてください。

また，“L”の場合，メガマクロの出力が，BUS構成であるか，ゲートでの構成となっているかを確認してマークしてください（回路構成については，各設計マニュアルを参照してください）。

(3) テスタでのメガマクロ単体テストのため，すべての入力は，入力端子より直接信号を加えられる必要があります。回路構成を確認してマークしてください。

(4) NECテスタでのメガマクロ単体テストのため，すべての出力は，出力端子にて直接モニターできる必要があります。回路構成を確認してマークしてください。

(5) メガマクロの単体テスト設計パターンの作成時，(a)～(f)の項目がYESまたは無であることを確認してマークしてください。

(6) メガマクロ単体テストの際，テスト端子の信号ラインにゲートなどを介していた場合，外部から反転しないで信号がメガマクロの入力に伝達するために，設定用パターンが必要になりますので，(3)，(4)を設定するためのテスト・パターンが必要かを確認してマークしてください。

(7) 各設計マニュアル メガマクロ編の「メガマクロ単体テスト仕様書」の必要な部分をコピーし，必要事項を記入して提出したかを確認してマークしてください（インスタンス名，端子レファレンス表などは必要な資料なので，必ず用意してください）。

たとえば，メガマクロのデータ入力および出力を共用するなどの方法をとられている場合は記入してください。

### 2.9.8 スキャンパスとバウンダリ・スキャン併用時について

- (1) difにBSCAN専用端子の追加を行いましたか<sup>注</sup>..... YES NO
- (2) TDI (SIN), TDO (SOT) について、各パッケージにおけるスキャンパス専用端子位置に配置されていますか (314ピン以上は対象外です)<sup>注</sup>..... YES NO

・確認のため、次にピンNo.を記入してください (314ピン以上は対象外です)。

BSCAN端子名	SCAN端子名	ピンNo.	BSCAN端子名	SCAN端子名	ピンNo.
TMS	SMC	-	TRST	-	-
TDI	SIN	41	TCK	SCK	-
TDO	SOT	42			

- (3) スキャン・ルール・チェックは実行し、エラーは発生していませんか<sup>注</sup>..... YES NO
- スキャン・ルール・チェックの実行結果は提出されましたか<sup>注</sup>..... YES NO
- (未提出の場合は、必ず提出してください)

・分離ファイル、端子固定ファイル、スキャン・ビスト・ファイルがある場合は同時にご提出ください

・分離ファイル名 BUNRI 端子固定ファイル名 KOTEI スキャン・ビスト・ファイル名 TOP.bist.scn

- (4) TAPマクロ (SBCG, SBCL) をトップ階層に置いてありますか<sup>注</sup>..... YES NO
- (5) バウンダリ・スキャン専用端子は次の値に固定されていますか<sup>注</sup>..... YES NO
- (固定されていないと、バウンダリ・スキャン・モードになりますので、必ず固定してください)。

TCK = 0, TMS = 1, TDI = 1, TRST = 0, TDO = Hi-Z

DCパターン、LFTパターン等のユーザ・パターンにおいても同様です。

- (6) DC用テスト・パターンにおけるTAPマクロ部のDC測定パターンを下記の欄にご記入ください。
- (TAPマクロのDCパターンについては、設計マニュアルを参照してください)。

\_\_\_\_\_ 100 \_\_\_\_\_ パターン ~ \_\_\_\_\_ 115 \_\_\_\_\_ パターンまで

DCパターンの記述がない場合は、テストでレベルの測定ができませんので出荷するサンプルに不良品が混入する場合があります。ご承知をお願いします。

- (7) BSCANのテスト・パターンすべてにおいて、全出力端子 (バウンダリ・スキャン専用端子以外) のパターンの最終値は、“1”、“0”もしくは“Hi-Z”に確定していますか<sup>注</sup>..... YES NO
- (不定は禁止ですので、必ず確定させてください)

- (8) 通常のインタフェース・データ以外に次のデータが用意されていますか<sup>注</sup>..... YES NO

.bspat.alb, .bscanchk, .set, .bsorder, .bsd, .scan.init.alb

「Non Test External Pin」 DPLLや発振停止機能付の発振搭載時に必要

「Non SCAN MACRO Specification」 コンパイル・メモリ、メガマクロ、マクロを分離指定した場合に必要

「Non SCAN BIST」 エンベデッドアレイにおいて、必要時のみ指定

- (9) .scan.init.albと.bspat.albは同一のバウンダリ・スキャン・イニシャライズ・パターンから作成されていますか<sup>注</sup>..... YES NO

- (10) スキャンパス設計をする際、次の制限があります。すべて守られていますか<sup>注</sup>..... YES NO

内部バス構成 (F53X, F54Xなど) の使用は不可。

外部入出力端子およびTAPマクロは、必ず最上位階層に配置する。

TAPマクロのテスト・データ出力 (TDO) 端子、およびバウンダリ・スキャン・レジスタを使用している端子には、スキャン出力コントロール・バッファ (SOEH, SOEL) を接続しない。

故障検出率は95 %が標準です。95 %を超える検出率をご希望の場合は、インタフェース前に弊社までお問い合わせください。

注 YESにマークされている必要があります。NOの場合は対策のご記入をお願いします。

スキャンパスとバウンダリ・スキャンについて記入してください。

- (1) difファイルにBSCAN専用端子の追加をしたか、していないかを確認してマークしてください。
- (2) 314ピン未満はTDI (SIN), TDO (SOT) が各パッケージのスキャンパス専用端子位置に配置されているかを確認してマークしてください。  
また確認のため、TDI, TDOのピンNo.を記入してください。
- (3) スキャン・ルール・チェックでは、スキャンの回路構成の妥当性をチェックしますので、スキャン・ルール・チェックを必ず実行してください。実行結果を参照してエラーが発生していないことを確認してマークしてください。エラーが発生していた場合は、必ず修正し、再度スキャン・ルール・チェックを実行し、エラーがなくなったことを確認してください。実行結果は必ずご提出ください。  
分離ファイル、端子固定ファイル、スキャン・ビスト・ファイルがある場合は必ず提出してください。それぞれのファイル名についても記入してください(分離ファイル中にBUNRIとATGNAMEがともにあることも確認してください)。
- (4) TAPマクロ (SBCG, SBCL) をトップ階層に置いてあるか確認してください。
- (5) BSCANパターン中のバウンダリ・スキャン専用端子について、出力値を固定しないとバウンダリ・スキャン・モードになってしまうので、バウンダリ・スキャン専用端子が左記の値に固定されていることを確認してマークしてください。
- (6) DCパターンにTAPマクロ用のDCパターンが記述されていない場合、TAPマクロの入出力端子のレベル設定が行えないので、DCパターンに、TAPマクロ用のDCパターンが記述されていることが必要です。TAPマクロ用のDCパターンが記述されているパターン範囲を記入してください。
- (7) バウンダリ・スキャン専用端子以外の出力端子のパターンの最終値が“1”, “0”もしくはHi-Zに確定されていることを確認してマークしてください。  
また、3ステートの不定もしくはHi-Zも禁止ですので必ず確定させてください。
- (8) 通常のインタフェース・データ以外に左記のファイルがあるか確認してください。
- (9) BSCANパターンは回路名.scan.init.albを作成したときのものが必要です。
- (10) スキャンパス設計を行う際、使用できないブロックがありますので、～ の制約を参照し、すべて守られていることを確認してマークしてください。

## 2.9.9 スキャンパスについて

### (1) スキャンパスについて

バウンダリ・スキャンと併用時は、このチェックは不要となります。

(a) F/Fの個数が32000以上の場合はマルチスキャンとなりますので、(2) マルチスキャンについての記入をお願いします。F/Fの個数が32000未満の場合は以下のチェックをお願いします。

(b) SMC, SIN, SOTについて、各パッケージにおけるスキャンパス専用端子位置に配置されていますか（314ピン以上は対象外です）<sup>注</sup>..... YES NO

(c) difにスキャン専用端子の追加を行いましたか<sup>注</sup>..... YES NO

・確認のため、次にピンNo.を記入してください。

端子名	ピンNo.	端子名	ピンNo.
SMC	45	AMC	8
SIN	46	SCK	38
SOT	44		

(d) 下記の3端子は一般端子と兼用をしていますか。

・ SIN ..... 兼用する 端子名： AAA 兼用しない

・ SOT ..... 兼用する 端子名： \_\_\_\_\_ 兼用しない

・ SCK ..... 兼用する 端子名： CCC 兼用しない

・ 兼用する場合、回路構成は、設計マニュアルのとおり構成されていますか<sup>注</sup>.... YES NO  
兼用する、兼用しないにかかわらず、.primpinファイルの提出をお願いします。

(e) スキャン・ルール・チェックを実行し、エラーは発生していませんか<sup>注</sup>..... 無 有  
スキャン・ルール・チェックの実行結果は提出されましたか<sup>注</sup>..... YES NO

(未提出の場合は、必ず提出してください)

・ 分離ファイル、端子固定ファイル、スキャン・ピスト・ファイルがある場合は同時にご提出ください

・ 分離ファイル名 BUNRI 端子固定ファイル名 KOTEI スキャン・ピスト・ファイル名 bist.scn

(f) スキャンパス設計をする際、次の制限があります。すべて守られていますか<sup>注</sup>..... YES NO

内部バス構成（F53X, F54Xなど）の使用は不可。

外部入出力端子は、必ず最上位階層に配置する。

故障検出率は95 %が標準です。95 %を越える検出率をご希望の場合は、インタフェース前に弊社までお問い合わせください。

**注** YESまたは無にマークされている必要があります。NOまたは有の場合は対策のご記入をお願いします。

(1) スキャンパスについて記入してください。

(a) F/Fの個数が32000以上の場合はマルチスキャンとなりますので、(2) マルチスキャンについてを記入してください。また以下の記入は不要となります。

(b) 314ピン未満のパッケージにおいてはSMC, SIN, SOTの端子配置位置が、各パッケージごとに決められていますので、決められた位置に配置されているかを確認してマークしてください。

(c) difファイルにスキャン専用端子を追加したか、していないかをマークしてください。また、確認のため、SMC, SIN, SOT, AMC, SCKのピンNo.を記入してください。

(d) SIN, SOT, SCKは一般端子と兼用可能となりますので、兼用しているかを確認し、マークしてください。また、兼用する場合は、端子名を記入し、回路構成が設計マニュアルどおりになっているかを確認してマークしてください。

兼用する、兼用しないにかかわらず、.priminファイルを提出してください。

(e) スキャン・ルール・チェックでは、スキャンの回路構成の妥当性をチェックしますので、スキャン・ルール・チェックを必ず実行してください。実行結果を参照してエラーが発生していないことを確認してマークしてください。エラーが発生していた場合は、必ず修正し、再度スキャン・ルール・チェックを実行し、エラーがなくなったことを確認してください。実行結果は必ずご提出ください。

分離ファイル、端子固定ファイル、スキャン・ピスト・ファイルがある場合は必ず提出してください。それぞれのファイル名についても記入してください(分離ファイル中にBUNRIとATGNAMEがともにあることも確認してください)。

(f) スキャンパス設計を行う際、使用できないブロックがありますので、、 の制約を参照し、すべて守られていることを確認してマークしてください。

(2) マルチ・スキャンについて

(a) スキャン・チェーン数について次の表の該当する場所に を記入してください。

F/F数	31999以下	32000～63999	64000～127999	128000～255999	256000～511999	512000以上
スキャン・チェーン数	1	2	4	8	16	32

(b) スキャン・ルール・チェックを実行し、エラーは発生していませんか<sup>注</sup>…………… 無 有  
 スキャン・ルール・チェックの実行結果は提出されましたか<sup>注</sup>…………… YES NO  
 (未提出の場合は、必ず提出してください)

- ・分離ファイル、端子固定ファイル、スキャン・ピスト・ファイルがある場合は同時にご提出ください
- ・分離ファイル名 BUNRI 端子固定ファイル名 KOTEI スキャン・ピスト・ファイル名 bist.scn

(c) マルチ・スキャンの端子名についてユーザ端子と兼用する場合は、次の端子に相当する端子名を記入してください。

SIN, SOT, SCKを兼用しない場合は記入不要です。

専用端子名	外部端子名	専用端子名	外部端子名	専用端子名	外部端子名	専用端子名	外部端子名
SIN1	aa	SOT1		SIN17		SOT17	
SIN2	bb	SOT2		SIN18		SOT18	
SIN3		SOT3		SIN19		SOT19	
SIN4		SOT4		SIN20		SOT20	
SIN5		SOT5		SIN21		SOT21	
SIN6		SOT6		SIN22		SOT22	
SIN7		SOT7		SIN23		SOT23	
SIN8		SOT8		SIN24		SOT24	
SIN9		SOT9		SIN25		SOT25	
SIN10		SOT10		SIN26		SOT26	
SIN11		SOT11		SIN27		SOT27	
SIN12		SOT12		SIN28		SOT28	
SIN13		SOT13		SIN29		SOT29	
SIN14		SOT14		SIN30		SOT30	
SIN15		SOT15		SIN31		SOT31	
SIN16		SOT16		SIN32		SOT32	
SCK							

・兼用する場合、回路構成は、設計マニュアルのとおり構成されていますか<sup>注</sup>…………… YES NO

(d) スキャンパス設計をする際、次の制限があります。すべて守られていますか<sup>注</sup>…………… YES NO

内部バス構成 (F53X, F54Xなど) の使用は不可。

外部入出力端子は、必ず最上位階層に配置する

故障検出率は95 %が標準です。95 %を越える検出率をご希望の場合は、インタフェース前に弊社までお問い合わせください。

注 YESまたは無にマークされている必要があります。NOまたは有の場合は対策のご記入をお願いします。

(2) マルチ・スキャンについて記入してください。

(a) スキャン・チェーン数について表の該当する場所に を記入してください。

F/Fの数についてはGateDRCの結果より算出してください。

スキャン・チェーン数は表にあるように1, 2, 4, 8, 16, 32のみです。これ以外の数字は未対応です。

(b) スキャン・ルール・チェックでは、スキャンの回路構成の妥当性をチェックしますので、スキャン・ルール・チェックを必ず実行してください。実行結果を参照してエラーが発生していないことを確認して、マークしてください。もし、エラーが発生していた場合は、必ず修正して、再度スキャン・ルール・チェックを実行し、エラーがなくなったことを確認してください。実行結果は必ず提出してください。

分離ファイル、端子固定ファイル、スキャン・ビスト・ファイルがある場合は必ず提出してください。

それぞれのファイル名についても記入してください(分離ファイル中にBUNRIとATGNAMEがともにあることも確認してください)。

(c) SIN, SOT, SCKは一般端子と兼用可能となりますので、兼用しているかを確認してください。兼用する場合は、端子名を記入し、回路構成が設計マニュアルのとおりになっているか確認して、マークしてください。

(d) スキャンパス設計を行う際、使用できないブロックがありますので、 の制約を参照し、すべて守られていることを確認し、マークしてください。

## 2.9.10 バウンダリ・スキャンについて

スキャンパスと併用時は、このチェックは不要となります。

(1) バウンダリ・スキャン専用端子名について、確認のため次の端子に相当する端子名を記入してください。

端子名	外部端子名	専用端子名	外部端子名	専用端子名	外部端子名
TCK	TCK	TMS	TMS	TDO	TDO
TDI	TDI	TRST	TRST		

(2) バウンダリ・スキャン・ルール・チェック (BSCHK) を実行し、

エラーは発生していませんか<sup>注</sup>..... 無 有  
 BSCHKの実行結果は提出されましたか<sup>注</sup>..... YES NO  
 (未提出の場合は、必ず提出してください)

(3) BSCANパターンについて

(a) バウンダリ・スキャン専用端子は以下の値に固定されていますか<sup>注</sup>..... YES NO  
 (固定されていないと、バウンダリ・スキャン・モードになりますので、必ず固定してください)。

TCK = 0, TMS = 1, TDI = 1, TRST = 0, TDO = Hi-Z

DCパターン、LFTパターン等のユーザ・パターンにおいても同様です。

(b) パターンの最終値が各出力端子ごとに“1”および“0”および“Hi-Z”に確定したパターンを用意していますか<sup>注</sup>..... YES NO

2ステート、N-chオープン・ドレイン出力端子の場合、最低2本のパターンを用意していますか<sup>注</sup>..... YES NO

(2ステートは“0”と“1”，N-chオープン・ドレインは“0”と“Hi-Z”)

3ステート、双方向出力端子の場合、最低3本のパターンを用意していますか<sup>注</sup>..... YES NO  
 (3ステートは“0”と“1”と“Hi-Z”，双方向は“0”と“1”と“入力モード”)

(4) DC用テスト・パターンにおけるTAPマクロ部のDC測定パターンを下記の欄にご記入ください。

(TAPマクロのDCパターンについては、設計マニュアルを参照してください)。

\_\_\_\_\_ 100 \_\_\_\_\_ パターン ~ \_\_\_\_\_ 115 \_\_\_\_\_ パターンまで

DCパターンの記述がない場合は、テストでレベルの測定ができませんので出荷するサンプルに不良品が混入する場合があります。ご承知をお願いします。

TAPマクロは、SBC4もしくはSBCJを使用してください。

(5) インタフェース・データについて

通常のインタフェース・データ以外に次のデータが用意されていますか<sup>注</sup>..... YES NO

.bspat.alb, .bscanchk, .bspat.albchk

.bspat.albによるシミュレーション実行結果 [ MIN, MAX ] ( .slg, .iomoduchk, .dpmodechk, .tpe )

注 YESまたは無にマークされている必要があります。NOまたは有の場合は対策のご記入をお願いします。



バウンダリ・スキャンについて記入してください。

- (1) 確認のため、バウンダリ・スキャンの専用端子名に対応する外部端子名を記入してください(バウンダリ・スキャンの専用端子名は、外部端子名と一致させてください)。
- (2) BSCHKでは、バウンダリ・スキャンの回路構成の妥当性をチェックしますので、BSCHKを必ず実行してください。実行結果を参照してエラーが発生していないことを確認し、マークしてください。エラーが発生していた場合は、必ず修正し、再度BSCHKを実行してエラーがなくなったことを確認してください。実行結果を提出したかを確認してマークしてください。実行結果は必ず提出してください。
- (3) BSCANパターンについて記入してください。
  - (a) BSCANパターン中のバウンダリ・スキャン専用端子について、出力値を固定しないとバウンダリ・スキャン・モードになってしまうので、バウンダリ・スキャン専用端子が左記の値に固定されていることを確認してマークしてください。
  - (b) パターンの最終値が、各出力端子ごとに“1”に確定したパターン、“0”に確定したパターン、および“Hi-Z”に確定したパターンが用意されていることを確認してマークしてください。
    - 2ステート、N-chオープン・ドレイン出力端子は最低2本のBSCANパターンが必要になります。  
(2ステートは“0”と“1”，N-chオープン・ドレインは“0”と“Hi-Z”)
    - 3ステート、双方向出力端子は最低3本のBSCANパターンが必要になります。  
(3ステートは“0”，“1”，“Hi-Z”，双方向端子は“0”，“1”，“入力モード”)
- (4) DCパターンにTAPマクロ用のDCパターンが記述されていない場合、TAPマクロの入出力端子のレベル設定が行えないので、DCパターンに、TAPマクロ用のDCパターンが記述されていることが必要です。TAPマクロ用のDCパターンが記述されているパターン範囲を記入してください。
- (5) 通常のインタフェース・データ以外に左記のファイルがあるか確認してください。  
.bspat.albでMIN/MAXシミュレーションを実行した結果についても提出してください。

## 第3章 製品規格

CMOS-N5シリーズでは、CMOS製品、TTL製品と接続できるように入力/出力インタフェース・ブロックとして、CMOSレベルとTTLレベルの2種類の $V_{IL}$ 、 $V_{IH}$ 規格のブロックを用意しています。一般的に、CMOS製品とTTL製品では使用動作条件が異なります。このため、以下に各使用電源電圧範囲、温度範囲に対する推奨動作条件、DC特性およびAC特性を示します。

### 3.1 用語説明

表3 - 1 絶対最大定格に関する用語

項 目	略 号	意 味
電源電圧	$V_{DD}$	$V_{DD}$ 端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
入力電圧	$V_i$	入力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
出力電圧	$V_o$	出力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
入力電流	$I_i$	入力端子に印加しても、ラッチアップを生じない電流の許容絶対値を示します。
出力電流	$I_o$	出力端子から流し出しても、また流し込んでも、破壊や信頼性低下を生じないDC電流の許容絶対値を示します。
動作温度	$T_A$	正常な論理動作をする周囲温度範囲を示します。
保存温度	$T_{stg}$	電圧、電流を印加しない状態で、破壊や信頼性低下を生じない素子温度範囲を示します。

表3 - 2 推奨動作条件に関する用語

項 目	略 号	意 味
電源電圧	$V_{DD}$	$V_{SS} = 0V$ としたときに、正常な論理動作をする電圧範囲を示します。
ハイ・レベル入力電圧	$V_{IH}$	ゲートアレイの入力に印加する電圧で、入力バッファが正常に動作するハイ・レベル状態の電圧を示します。 MIN値以上の電圧を印加すれば、入力電圧がハイ・レベルであることを保証します。
ロウ・レベル入力電圧	$V_{IL}$	ゲートアレイの入力に印加する電圧で、入力バッファが正常に動作するロウ・レベル状態の電圧を示します。 MAX値以下の電圧を印加すれば、入力電圧がロウ・レベルであることを保証します。
ポジティブ・トリガ電圧	$V_P$	ゲートアレイの入力をロウ・レベル側からハイ・レベル側に变化させたときに、出力レベルが反転する入力レベルです。
ネガティブ・トリガ電圧	$V_N$	ゲートアレイの入力をハイ・レベル側からロウ・レベル側に变化させたときに、出力レベルが反転する入力レベルです。
ヒステリシス電圧	$V_H$	ポジティブ・トリガ電圧とネガティブ・トリガ電圧の差です。
入力立ち上がり時間	$t_{ri}$	ゲートアレイの入力に印加する入力電圧が10 %から90 %に立ち上がる時間の制限値を示します。
入力立ち下がり時間	$t_{fi}$	ゲートアレイの入力に印加する入力電圧が90 %から10 %に立ち下がる時間の制限値を示します。

表3 - 3 DC特性に関する用語

項 目	略 号	意 味
静消費電流	$I_{DDs}$	入力および出力端子の電圧変化がない状態で、規定された電源電圧において電源端子から流れ込む電流を示します。
オフステート出力電流	$I_{OZ}$	3ステート出力で出力が高インピーダンスのとき、規定された電圧において出力端子を流れる電流を示します。
出力短絡電流	$I_{OS}$	出力ハイ・レベルのときに、出力端子をGNDと短絡した場合に流れ出す電流です。
入力リーク電流	$I_I$	入力端子に電圧を印加したときに、入力端子を流れる電流を示します。
ロウ・レベル出力電流	$I_{OL}$	規定されたロウ・レベル出力電圧において、出力端子へ流れ込む電流を示します。
ハイ・レベル出力電流	$I_{OH}$	規定されたハイ・レベル出力電圧において、出力端子から流れ出す電流を示します。
ロウ・レベル出力電圧	$V_{OL}$	ロウ・レベル状態にある、出力オープン時の出力電圧を示します。
ハイ・レベル出力電圧	$V_{OH}$	ハイ・レベル状態にある、出力オープン時の出力電圧を示します。

## 3.2 絶対最大定格

表3 - 4 絶対最大定格

項 目	略 号	条 件	定 格	単 位
電源電圧	$V_{DD}$		- 0.5 ~ + 6.0	V
入力電圧 / 出力電圧	$V_I/V_O$		- 0.5 ~ + 6.0	V
入力電流	$I_I$		20	mA
出力電流	$I_O$	$I_{OL} = 3.0$ mAタイプ	10	mA
		$I_{OL} = 6.0$ mAタイプ	15	mA
		$I_{OL} = 9.0$ mAタイプ	20	mA
		$I_{OL} = 12.0$ mAタイプ	30	mA
		$I_{OL} = 18.0$ mAタイプ	40	mA
		$I_{OL} = 24.0$ mAタイプ	60	mA
動作周囲温度	$T_A$		- 40 ~ + 85	
保存温度	$T_{stg}$		- 65 ~ + 150	

**注意** 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

### 3.3 標準仕様 CMOSインタフェース条件 (V<sub>DD</sub> = 5.0 V ± 10 %, T<sub>A</sub> = -40 ~ +85 )

#### 3.3.1 推奨動作範囲

表3-5 推奨動作範囲 (V<sub>DD</sub> = 5.0 V ± 10 %, T<sub>A</sub> = -40 ~ +85 )

項目	略号	条件	MIN	TYP	MAX	単位	
電源電圧	V <sub>DD</sub>		4.5	5.0	5.5	V	
ハイ・レベル入力電圧	V <sub>IH</sub>	CMOSインタフェース <sup>注1</sup>	0.7 V <sub>DD</sub>		V <sub>DD</sub>	V	
ロウ・レベル入力電圧	V <sub>IL</sub>		0.00		0.3 V <sub>DD</sub>	V	
ポジティブ・トリガ電圧	V <sub>P</sub>		旧タイプ シュミット 入力 <sup>注2</sup>	0.80		3.90	V
ネガティブ・トリガ電圧	V <sub>N</sub>			0.60		3.10	V
ヒステリシス電圧	V <sub>H</sub>			0.20		0.80	V
ポジティブ・トリガ電圧	V <sub>P</sub>		新タイプ シュミット 入力 <sup>注3</sup>	2.85		3.75	V
ネガティブ・トリガ電圧	V <sub>N</sub>			1.15		1.75	V
ヒステリシス電圧	V <sub>H</sub>			1.30		2.07	V
ハイ・レベル入力電圧	V <sub>IH</sub>		TTLインタフェース <sup>注1</sup>	2.29		V <sub>DD</sub>	V
ロウ・レベル入力電圧	V <sub>IL</sub>	0.00			0.77	V	
ポジティブ・トリガ電圧	V <sub>P</sub>	旧タイプ シュミット 入力 <sup>注2</sup>		1.15		2.54	V
ネガティブ・トリガ電圧	V <sub>N</sub>			0.59		2.10	V
ヒステリシス電圧	V <sub>H</sub>			0.15		0.60	V
ポジティブ・トリガ電圧	V <sub>P</sub>	新タイプ シュミット 入力 <sup>注3</sup>		1.68		2.55	V
ネガティブ・トリガ電圧	V <sub>N</sub>			0.64		1.33	V
ヒステリシス電圧	V <sub>H</sub>			0.83		1.44	V
入力立ち上がり時間	t <sub>ri</sub>	通常入力		0		200	ns
入力立ち下がり時間	t <sub>fi</sub>		0		200	ns	
入力立ち上がり時間	t <sub>ri</sub>	シュミット入力	0		10	ms	
入力立ち下がり時間	t <sub>fi</sub>		0		10	ms	

注1. シュミット・バッファはブロック名の最後にWの付く新タイプのものを使用してください。

2. ブロック名の最後にWの付かないシュミット・バッファです。
3. ブロック名の最後にWの付くシュミット・バッファです。

**備考** 立ち上がり/立ち下がり時間が大きい鈍った信号を入力する場合には、信号線へのノイズによる誤動作が問題になりますので、シュミット・トリガ入力バッファを使用するようにしてください。

また、出力バッファの同時動作などの原因による電源ラインの変動は、シュミット・トリガ入力バッファの能力を低下させますので端子配置に注意してください。

3.3.2 DC特性

表3-6 DC特性 ( $V_{DD} = 5.0 V \pm 10\%$ ,  $T_A = -40 \sim +85$ )

項目	略号	条件	MIN	TYP	MAX	単位
静消費電流 <sup>注1</sup>	I <sub>DD5</sub>	V <sub>I</sub> = V <sub>DD</sub> or GND		0.1	100	μA
オフステート出力電流	I <sub>OZ</sub>	V <sub>O</sub> = V <sub>DD</sub> or GND			± 10	μA
出力短絡電流 <sup>注2</sup>	I <sub>OS</sub>	V <sub>O</sub> = GND			- 250	mA
入力リーク電流						
通常入力	I <sub>I</sub>	V <sub>I</sub> = V <sub>DD</sub> or GND		± 10 <sup>-5</sup>	± 10	μA
プルアップ抵抗付き (50 kΩ)	I <sub>I</sub>	V <sub>I</sub> = GND	45	131.0	319.7	μA
プルアップ抵抗付き (5 kΩ)	I <sub>I</sub>	V <sub>I</sub> = GND	0.3489	1.00	2.2	mA
プルダウン抵抗付き (50 kΩ)	I <sub>I</sub>	V <sub>I</sub> = V <sub>DD</sub>	45	131.0	319.7	μA
プルアップ抵抗 (50 kΩ) <sup>注3</sup>	R <sub>PU</sub>	V <sub>I</sub> = GND	17.2	38.2	100	kΩ
プルアップ抵抗 (5 kΩ) <sup>注3</sup>	R <sub>PU</sub>	V <sub>I</sub> = GND	2.5	5.0	12.9	kΩ
プルダウン抵抗 (50 kΩ) <sup>注3</sup>	R <sub>PD</sub>	V <sub>I</sub> = V <sub>DD</sub>	17.2	38.2	100	kΩ
ロウ・レベル出力電圧 (CMOSレベル出力)	V <sub>OL</sub>	I <sub>OL</sub> = 0 mA			0.1	V
ハイ・レベル出力電圧 (CMOSレベル出力)	V <sub>OH</sub>	I <sub>OH</sub> = 0 mA	V <sub>DD</sub> - 0.1			V
ロウ・レベル出力電流 (CMOSレベル出力)						
3.0 mAタイプ	I <sub>OL</sub>	V <sub>OL</sub> = 0.4 V	3.00 <sup>注4</sup>			mA
6.0 mAタイプ	I <sub>OL</sub>	V <sub>OL</sub> = 0.4 V	6.00			mA
9.0 mAタイプ	I <sub>OL</sub>	V <sub>OL</sub> = 0.4 V	9.00			mA
12.0 mAタイプ	I <sub>OL</sub>	V <sub>OL</sub> = 0.4 V	12.00			mA
18.0 mAタイプ	I <sub>OL</sub>	V <sub>OL</sub> = 0.4 V	18.00			mA
24.0 mAタイプ	I <sub>OL</sub>	V <sub>OL</sub> = 0.4 V	24.00			mA
ハイ・レベル出力電流 (CMOSレベル出力)						
3.0 mAタイプ	I <sub>OH</sub>	V <sub>OH</sub> = V <sub>DD</sub> - 0.4 V	- 3.00			mA
6.0 mAタイプ	I <sub>OH</sub>	V <sub>OH</sub> = V <sub>DD</sub> - 0.4 V	- 6.00			mA
9.0 mAタイプ	I <sub>OH</sub>	V <sub>OH</sub> = V <sub>DD</sub> - 0.4 V	- 9.00			mA
12.0 mAタイプ	I <sub>OH</sub>	V <sub>OH</sub> = V <sub>DD</sub> - 0.4 V	- 12.00			mA
18.0 mAタイプ	I <sub>OH</sub>	V <sub>OH</sub> = V <sub>DD</sub> - 0.4 V	- 18.00			mA
24.0 mAタイプ	I <sub>OH</sub>	V <sub>OH</sub> = V <sub>DD</sub> - 0.4 V	- 24.00			mA

注1. プルアップ / プルダウン抵抗内蔵のI/Oブロックや発振回路を使用する場合は、静消費電流が増加します。

詳しくは第4章 各種特性値の見積もり方法を参照してください。

- 出力短絡時間は1秒以下で、LSIの1端子のみです。
- プルアップ抵抗値、プルダウン抵抗値は入力電圧、出力電圧により変化します。
- 5 kΩのプルアップ抵抗を内蔵した場合、規格は2.0 mAとなります。

備考 表中の電流値の +, - は電流の方向を示しています。デバイスに流れ込む場合が +, 流れ出す場合が - です。

### 3.3.3 AC特性

AC特性を表3 - 7に示します。

なお，内部セルのトグル・フリップフロップのみの回路での最高動作クロック周波数 ( $f_{MAX}$ ) は，表中のトグル周波数 ( $f_{og}$ ) の値になります。しかし，実際の回路での $f_{MAX}$ は，回路構成によって変わりますので注意してください。

表3 - 7 AC特性 ( $V_{DD} = 5.0 V \pm 10 \%$ ,  $T_A = -40 \sim +85$  )

項 目	略 号	条 件	MIN	TYP	MAX	単 位
最高トグル周波数	$f_{og}$	内部トグルF/F ファンアウト2，配線長0 mm	200			
伝達遅延時間	$t_{PD}$	内部ゲート ファンアウト2，配線長2 mm		0.30		ns
		ファンアウト1，標準配線長		0.16		ns
		ファンアウト2，標準配線長		0.18		ns
		内部ゲート(ロウ・パワー・ゲート) ファンアウト1，標準配線長		0.21		ns
		ファンアウト1，配線長0 mm		0.14		ns
		入力バッファ ファンアウト1，標準配線長 ファンアウト2，配線長2 mm			0.23 0.33	
		出力バッファ (FO01) $C_L = 15$ pF		1.30		ns
出力立ち上がり時間	$t_r$	出力バッファ (FO01) $C_L = 15$ pF		1.23		ns
出力立ち下がり時間	$t_f$	出力バッファ (FO01) $C_L = 15$ pF		1.62		ns

3.4 仕様1 ( $V_{DD} = 3.0 \pm 0.3 V$ ,  $T_A = -40 \sim +85$  )

## 3.4.1 推奨動作範囲

表3-8 推奨動作範囲 ( $V_{DD} = 3.0 \pm 0.3 V$ ,  $T_A = -40 \sim +85$  )

項目	略号	条件	MIN	TYP	MAX	単位
電源電圧	$V_{DD}$		2.7	3.0	3.3	V
ハイ・レベル入力電圧	$V_{IH}$	CMOSインタフェース シュミット 入力	$0.8 V_{DD}$		$V_{DD}$	V
ロウ・レベル入力電圧	$V_{IL}$		0.0		$0.2 V_{DD}$	V
ポジティブ・トリガ電圧	$V_P$		1.75		2.40	V
ネガティブ・トリガ電圧	$V_N$		0.70		1.10	V
ヒステリシス電圧	$V_H$		0.81		1.46	V
入力立ち上がり時間	$t_{ri}$		通常入力	0		200
入力立ち下がり時間	$t_{fi}$	0			200	ns
入力立ち上がり時間	$t_{ri}$	シュミット入力	0		10	ms
入力立ち下がり時間	$t_{fi}$		0		10	ms

**備考** 立ち上がり / 立ち下がり時間が大きい鈍った信号を入力する場合には、信号線へのノイズによる誤動作が問題になりますので、シュミット・トリガ入力バッファを使用するようにしてください。

また、出力バッファの同時動作などの原因による電源ラインの変動は、シュミット・トリガ入力バッファの能力を低下させますので端子配置に注意してください。



### 3.4.2 DC特性

表3-9 DC特性 (V<sub>DD</sub> = 3.0 ± 0.3 V, T<sub>A</sub> = -40 ~ +85 )

項目	略号	条件	MIN	TYP	MAX	単位
静消費電流 <sup>注1</sup>	I <sub>DDs</sub>	V <sub>i</sub> = V <sub>DD</sub> or GND			54.7	μA
オフステート出力電流	I <sub>OZ</sub>	V <sub>O</sub> = V <sub>DD</sub> or GND			± 8	μA
出力短絡電流 <sup>注2</sup>	I <sub>OS</sub>	V <sub>O</sub> = GND			- 200	mA
入力リーク電流						
通常入力	I <sub>I</sub>	V <sub>i</sub> = V <sub>DD</sub> or GND		± 6 × 10 <sup>-5</sup>	± 8	μA
プルアップ抵抗付き (50 kΩ)	I <sub>I</sub>	V <sub>i</sub> = GND	10.5	40.8	110.0	μA
プルアップ抵抗付き (5 kΩ)	I <sub>I</sub>	V <sub>i</sub> = GND	0.08	0.41	0.80	mA
プルダウン抵抗付き (50 kΩ)	I <sub>I</sub>	V <sub>i</sub> = V <sub>DD</sub>	10.5	40.8	110.0	μA
プルアップ抵抗 (50 kΩ) <sup>注3</sup>	R <sub>PU</sub>	V <sub>i</sub> = GND	24.5	73.5	314.0	kΩ
プルアップ抵抗 (5 kΩ) <sup>注3</sup>	R <sub>PU</sub>	V <sub>i</sub> = GND	3.4	7.4	41.3	kΩ
プルダウン抵抗 (50 kΩ) <sup>注3</sup>	R <sub>PD</sub>	V <sub>i</sub> = V <sub>DD</sub>	24.5	73.5	314.0	kΩ
ロウ・レベル出力電圧 (CMOSレベル出力)	V <sub>OL</sub>	I <sub>OL</sub> = 0 mA			0.1	V
ハイ・レベル出力電圧 (CMOSレベル出力)	V <sub>OH</sub>	I <sub>OH</sub> = 0 mA	V <sub>DD</sub> - 0.1			V
ロウ・レベル出力電流 (CMOSレベル出力)						
3.0 mAタイプ	I <sub>OL</sub>	V <sub>OL</sub> = 0.4 V	3.00			mA
6.0 mAタイプ	I <sub>OL</sub>	V <sub>OL</sub> = 0.4 V	6.00			mA
9.0 mAタイプ	I <sub>OL</sub>	V <sub>OL</sub> = 0.4 V	9.00			mA
12.0 mAタイプ	I <sub>OL</sub>	V <sub>OL</sub> = 0.4 V	12.00			mA
18.0 mAタイプ	I <sub>OL</sub>	V <sub>OL</sub> = 0.4 V	18.00			mA
24.0 mAタイプ	I <sub>OL</sub>	V <sub>OL</sub> = 0.4 V	24.00			mA
ハイ・レベル出力電流 (CMOSレベル出力)						
3.0 mAタイプ	I <sub>OH</sub>	V <sub>OH</sub> = V <sub>DD</sub> - 0.4 V	- 3.00			mA
6.0 mAタイプ	I <sub>OH</sub>	V <sub>OH</sub> = V <sub>DD</sub> - 0.4 V	- 6.00			mA
9.0 mAタイプ	I <sub>OH</sub>	V <sub>OH</sub> = V <sub>DD</sub> - 0.4 V	- 9.00			mA
12.0 mAタイプ	I <sub>OH</sub>	V <sub>OH</sub> = V <sub>DD</sub> - 0.4 V	- 12.00			mA
18.0 mAタイプ	I <sub>OH</sub>	V <sub>OH</sub> = V <sub>DD</sub> - 0.4 V	- 18.00			mA
24.0 mAタイプ	I <sub>OH</sub>	V <sub>OH</sub> = V <sub>DD</sub> - 0.4 V	- 24.00			mA

注1. プルアップ / プルダウン抵抗内蔵のI/Oブロックや発振回路を使用する場合は、静消費電流が増加します。

詳しくは第4章 各種特性値の見積もり方法を参照してください。

- 出力短絡時間は1秒以下で、LSIの1端子のみです。
- プルアップ抵抗値、プルダウン抵抗値は入力電圧、出力電圧により変化します。

備考 表中の電流値の +, - は電流の方向を示しています。デバイスに流れ込む場合が +, 流れ出す場合が - です。

### 3.4.3 AC特性

AC特性を表3 - 10に示します。

なお、内部セルのトグル・フリップフロップのみの回路での最高動作クロック周波数 ( $f_{MAX}$ ) は、表中のトグル周波数 ( $f_{tog}$ ) の値になります。しかし、実際の回路での $f_{MAX}$ は、回路構成によって変わりますので注意してください。

表3 - 10 AC特性 ( $V_{DD} = 3.0 \pm 0.3 V$ ,  $T_A = -40 \sim +85$  )

項 目	略 号	条 件	MIN	TYP	MAX	単 位
最高トグル周波数	$f_{tog}$	内部トグルF/F ファンアウト2, 配線長0 mm	120			
伝達遅延時間	$t_{PD}$	内部ゲート ファンアウト2, 配線長2 mm		0.42		ns
		ファンアウト1, 標準配線長		0.23		ns
		ファンアウト2, 標準配線長		0.26		ns
		内部ゲート (ロウ・パワー・ゲート) ファンアウト1, 標準配線長		0.30		ns
		ファンアウト1, 配線長0 mm		0.20		ns
		入力バッファ ファンアウト1, 標準配線長		0.34		ns
		ファンアウト2, 配線長2 mm		0.47		ns
		出力バッファ (FO01) $C_L = 15 pF$		1.92		ns
出力立ち上がり時間	$t_r$	出力バッファ (FO01) $C_L = 15 pF$		1.76		ns
出力立ち下がり時間	$t_f$	出力バッファ (FO01) $C_L = 15 pF$		2.16		ns

3.5 仕様2 ( $V_{DD} = 3.3 \pm 0.3 \text{ V}$ ,  $T_A = -40 \sim +85$  )

## 3.5.1 推奨動作範囲

表3 - 11 推奨動作範囲 ( $V_{DD} = 3.3 \pm 0.3 \text{ V}$ ,  $T_A = -40 \sim +85$  )

項目	略号	条件	MIN	TYP	MAX	単位	
電源電圧	$V_{DD}$		3.0	3.3	3.6	V	
ハイ・レベル入力電圧	$V_{IH}$	CMOSインタフェース	$0.8 V_{DD}$		$V_{DD}$	V	
ロウ・レベル入力電圧	$V_{IL}$		0.0		$0.2 V_{DD}$	V	
ポジティブ・トリガ電圧	$V_P$		シュミット 入力	1.95		2.60	V
ネガティブ・トリガ電圧	$V_N$			0.75		1.20	V
ヒステリシス電圧	$V_H$			0.90		1.57	V
ハイ・レベル入力電圧	$V_{IH}$	TTLインタフェース	2.0		$V_{DD}$	V	
ロウ・レベル入力電圧	$V_{IL}$		0.0		0.8	V	
ポジティブ・トリガ電圧	$V_P$		シュミット 入力 <sup>注</sup>	1.35		1.78	V
ネガティブ・トリガ電圧	$V_N$			0.5		0.85	V
ヒステリシス電圧	$V_H$			0.85		0.93	V
入力立ち上がり時間	$t_{ri}$	通常入力	0		200	ns	
入力立ち下がり時間	$t_{fi}$		0		200	ns	
入力立ち上がり時間	$t_{ri}$	シュミット入力	0		10	ms	
入力立ち下がり時間	$t_{fi}$		0		10	ms	

注 仕様1 ( $V_{DD} = 3.0 \pm 0.3 \text{ V}$ ) では使用できません。仕様1 ( $V_{DD} = 3.0 \pm 0.3 \text{ V}$ ) でシュミット・バッファを使用する場合は、CMOSタイプを使用してください。

備考 立ち上がり / 立ち下がり時間が大きい鈍った信号を入力する場合には、信号線へのノイズによる誤動作が問題になりますので、シュミット・トリガ入力バッファを使用するようにしてください。

また、出力バッファの同時動作などの原因による電源ラインの変動は、シュミット・トリガ入力バッファの能力を低下させますので端子配置に注意してください。

### 3.5.2 DC特性

表3 - 12 DC特性 ( $V_{DD} = 3.3 \pm 0.3 \text{ V}$ ,  $T_A = -40 \sim +85$  )

項目	略号	条件	MIN	TYP	MAX	単位
静消費電流 <sup>注1</sup>	I <sub>DDs</sub>	V <sub>I</sub> = V <sub>DD</sub> or GND			54.7	μA
オフステート出力電流	I <sub>OZ</sub>	V <sub>O</sub> = V <sub>DD</sub> or GND			± 8	μA
出力短絡電流 <sup>注2</sup>	I <sub>OS</sub>	V <sub>O</sub> = GND			- 200	mA
入力リーク電流						
通常入力	I <sub>I</sub>	V <sub>I</sub> = V <sub>DD</sub> or GND		± 6 × 10 <sup>-5</sup>	± 8	μA
プルアップ抵抗付き (50 kΩ)	I <sub>I</sub>	V <sub>I</sub> = GND	14.5	59.7	135.0	μA
プルアップ抵抗付き (5 kΩ)	I <sub>I</sub>	V <sub>I</sub> = GND	0.10	0.49	0.95	mA
プルダウン抵抗付き (50 kΩ)	I <sub>I</sub>	V <sub>I</sub> = V <sub>DD</sub>	14.5	59.7	135.0	μA
プルアップ抵抗 (50 kΩ) <sup>注3</sup>	R <sub>PU</sub>	V <sub>I</sub> = GND	22.2	55.3	248.3	kΩ
プルアップ抵抗 (5 kΩ) <sup>注3</sup>	R <sub>PU</sub>	V <sub>I</sub> = GND	3.2	6.7	36.0	kΩ
プルダウン抵抗 (50 kΩ) <sup>注3</sup>	R <sub>PD</sub>	V <sub>I</sub> = V <sub>DD</sub>	22.2	55.3	248.3	kΩ
ロウ・レベル出力電圧 (CMOSレベル出力)	V <sub>OL</sub>	I <sub>OL</sub> = 0 mA			0.1	V
ハイ・レベル出力電圧 (CMOSレベル出力)	V <sub>OH</sub>	I <sub>OH</sub> = 0 mA	V <sub>DD</sub> - 0.1			V
ロウ・レベル出力電流 (CMOSレベル出力)						
3.0 mAタイプ	I <sub>OL</sub>	V <sub>OL</sub> = 0.4 V	3.00			mA
6.0 mAタイプ	I <sub>OL</sub>	V <sub>OL</sub> = 0.4 V	6.00			mA
9.0 mAタイプ	I <sub>OL</sub>	V <sub>OL</sub> = 0.4 V	9.00			mA
12.0 mAタイプ	I <sub>OL</sub>	V <sub>OL</sub> = 0.4 V	12.00			mA
18.0 mAタイプ	I <sub>OL</sub>	V <sub>OL</sub> = 0.4 V	18.00			mA
24.0 mAタイプ	I <sub>OL</sub>	V <sub>OL</sub> = 0.4 V	24.00			mA
ハイ・レベル出力電流 (CMOSレベル出力)						
3.0 mAタイプ	I <sub>OH</sub>	V <sub>OH</sub> = V <sub>DD</sub> - 0.4 V	- 3.00			mA
6.0 mAタイプ	I <sub>OH</sub>	V <sub>OH</sub> = V <sub>DD</sub> - 0.4 V	- 6.00			mA
9.0 mAタイプ	I <sub>OH</sub>	V <sub>OH</sub> = V <sub>DD</sub> - 0.4 V	- 9.00			mA
12.0 mAタイプ	I <sub>OH</sub>	V <sub>OH</sub> = V <sub>DD</sub> - 0.4 V	- 12.00			mA
18.0 mAタイプ	I <sub>OH</sub>	V <sub>OH</sub> = V <sub>DD</sub> - 0.4 V	- 18.00			mA
24.0 mAタイプ	I <sub>OH</sub>	V <sub>OH</sub> = V <sub>DD</sub> - 0.4 V	- 24.00			mA

注1. プルアップ / プルダウン抵抗内蔵のI/Oブロックや発振回路を使用する場合は、静消費電流が増加します。

詳しくは第4章 各種特性値の見積もり方法を参照してください。

- 出力短絡時間は1秒以下で、LSIの1端子のみです。
- プルアップ抵抗値、プルダウン抵抗値は入力電圧、出力電圧により変化します。

備考 表中の電流値の + , - は電流の方向を示しています。デバイスに流れ込む場合が + , 流れ出す場合が - です。

## 3.5.3 AC特性

AC特性を表3 - 13に示します。

なお、内部セルのトグル・フリップフロップのみの回路での最高動作クロック周波数 ( $f_{MAX}$ ) は、表中のトグル周波数 ( $f_{tog}$ ) の値になります。しかし、実際の回路での $f_{MAX}$ は、回路構成によって変わりますので注意してください。

表3 - 13 AC特性 ( $V_{DD} = 3.3 \pm 0.3 V$ ,  $T_A = -40 \sim +85$  )

項 目	略 号	条 件	MIN	TYP	MAX	単 位
最高トグル周波数	$f_{tog}$	内部トグルF/F ファンアウト2, 配線長0 mm	130			
伝達遅延時間	$t_{PD}$	内部ゲート ファンアウト2, 配線長2 mm		0.39		ns
		ファンアウト1, 標準配線長		0.22		ns
		ファンアウト2, 標準配線長		0.24		ns
		内部ゲート (ロウ・パワー・ゲート) ファンアウト1, 標準配線長		0.28		ns
		ファンアウト1, 配線長0 mm		0.18		ns
		入力バッファ ファンアウト1, 標準配線長		0.31		ns
		ファンアウト2, 配線長2 mm		0.44		ns
		出力バッファ (FO01) $C_L = 15 pF$		1.76		ns
出力立ち上がり時間	$t_r$	出力バッファ (FO01) $C_L = 15 pF$		1.62		ns
出力立ち下がり時間	$t_f$	出力バッファ (FO01) $C_L = 15 pF$		2.02		ns

### 3.6 端子容量

端子容量はインタフェース・ブロックの容量と、パッケージ固有の容量の合計になります。表3 - 14にインタフェース・ブロックの容量 ( $C_B$ ) を、表3 - 15にパッケージごとの容量 ( $C_P$ ) を示します。

端子容量は、次の式で算出してください。

$$\text{端子容量 (C}_T\text{)} = \text{インタフェース・ブロックの容量 (C}_B\text{)} + \text{パッケージごとの容量 (C}_P\text{)}$$

表3 - 14 インタフェース・ブロックの容量 ( $C_B$ )

(a) 入力バッファ

インタフェース・レベル	$C_{B(MIN)}$ (pF)		$C_{B(MAX)}$ (pF)	
	Normal	with Failsafe	Normal	with Failsafe
CMOS	4.0	3.50	7.0	5.0
TTL	4.0	3.50	7.0	5.0

備考  $V_{DD} = 0\text{ V}$ ,  $T_J = 25$  ,  $f = 1\text{ MHz}$

(b) 出力バッファ / 双方向バッファ

インタフェース・レベル		$C_B$ (pF)					
		3 mA	6 mA	9 mA	12 mA	18 mA	24 mA
CMOS	MIN	4.0	4.0	4.0	4.0	4.0	4.0
	MAX	7.0	7.0	7.0	7.0	7.0	7.0

備考  $V_{DD} = 0\text{ V}$ ,  $T_J = 25$  ,  $f = 1\text{ MHz}$

表3 - 15 パッケージごとの容量 ( $C_P$ ) (暫定値)

パッケージ	ピン数	リード・ピッチ	チップ・サイズ	$C_P$ (pF)
QFP (ファインピッチ)	160	0.5 mm	24 × 24 mm	1.5
	208	0.5 mm	28 × 28 mm	1.9
	240	0.5 mm	32 × 32 mm	2.0
	304	0.5 mm	40 × 40 mm	2.8
TQFP	48	0.5 mm	7 × 7 mm	0.9
	64	0.5 mm	10 × 10 mm	0.9
	80	0.5 mm	12 × 12 mm	0.9
LQFP	44	0.8 mm	10 × 10 mm	0.7
	100	0.5 mm	14 × 14 mm	1.0
	160	0.5 mm	24 × 24 mm	1.5

## 第4章 各種特性値の見積もり方法

この章では、消費電力や遅延時間などの見積もり（計算）方法について説明しています。

### 4.1 静消費電流の見積もり

#### 4.1.1 静消費電流の見積もり

CMOSゲートアレイでは、通常スタンバイ時には電源からGNDへ非常に微少なリーク電流のみが流れます。プルアップ/プルダウン抵抗内蔵の入出力バッファや発振専用ブロックを使用しない場合には、静消費電流は、このリーク電流と等しくなります。一方、プルアップ/プルダウン抵抗内蔵の入出力バッファを使用する場合には、信号レベルによってその抵抗を通して直流電流が流れるため静消費電流は増加します。

また、フィードバック抵抗内蔵タイプの発振回路を使用し、入力端子をクランプして発振を停止した場合も、フィードバック抵抗に直流電流が流れ、静消費電流は増加します。

静消費電流は次の式で計算できます。

$$I_{DD5 (MAX.)} = I_L + I_{PD} \times m + I_{PU} \times n + I_{RF} \times k \quad (\mu A)$$

$I_L$  : リーク電流 (図4-1を参照)

$I_{PD}$  : 50 kΩ内蔵抵抗の消費電流 (図4-2参照)

$I_{PU}$  : 5 kΩの内蔵抵抗の消費電流 (図4-3参照)

$I_{RF}$  : 発振回路の内蔵フィードバック抵抗の消費電流 (検討中)

$m$  : 50 kΩのプルアップ抵抗内蔵の入出力バッファにおいて信号がロウ・レベルの本数と、50 kΩのプルダウン抵抗内蔵の入出力バッファにおいて信号がハイ・レベルの本数の合計

$n$  : 5 kΩのプルアップ抵抗内蔵の入出力バッファにおいて信号がロウ・レベルの本数

$k$  : 発振回路の個数

図4 - 1 リーク電流

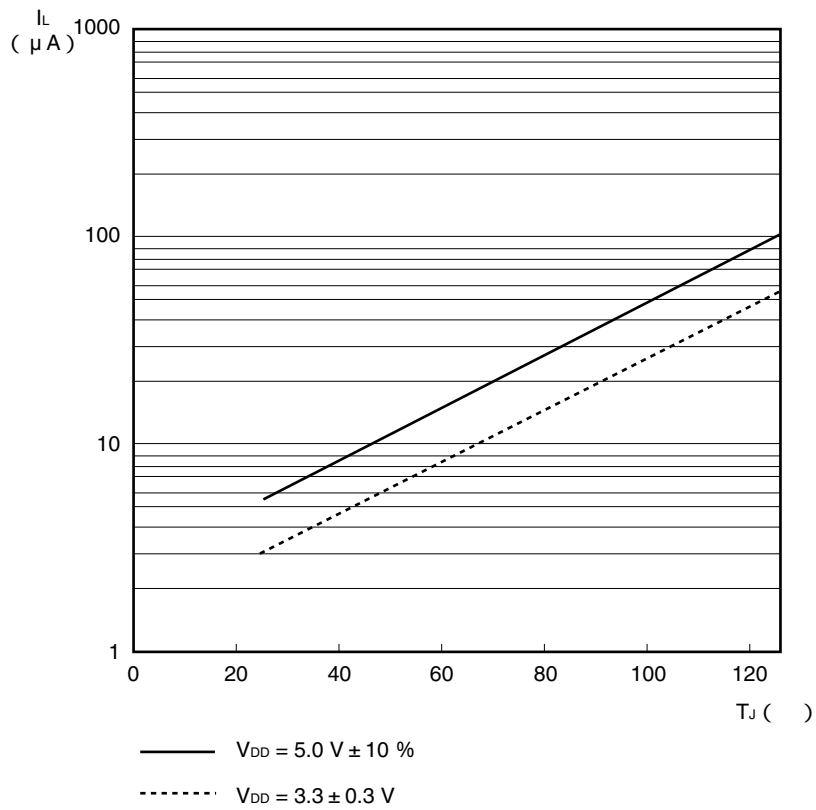


図4 - 2 50 k $\Omega$ 内蔵抵抗の消費電流 ( $I_{PD}$ )

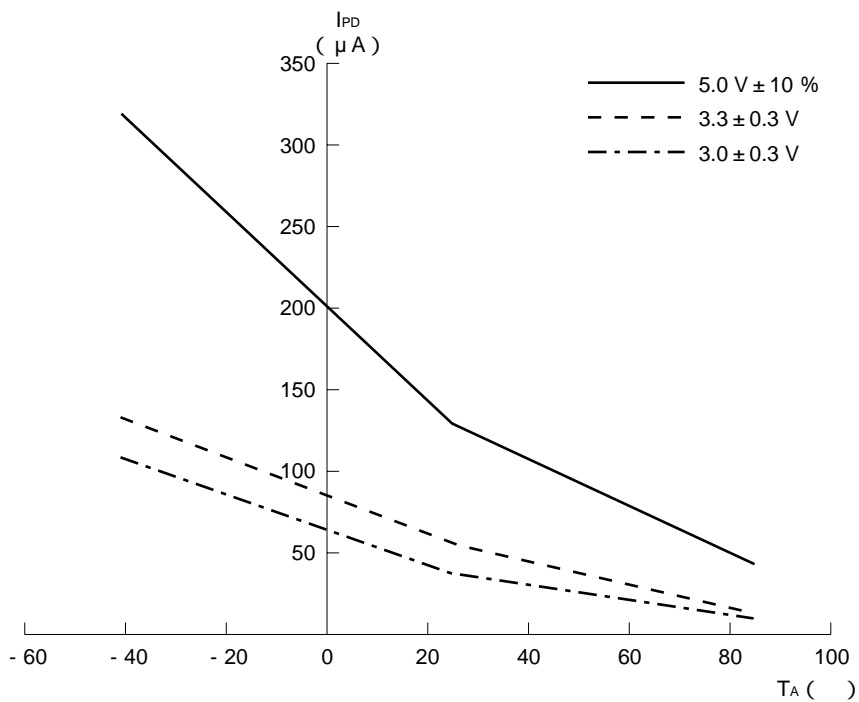
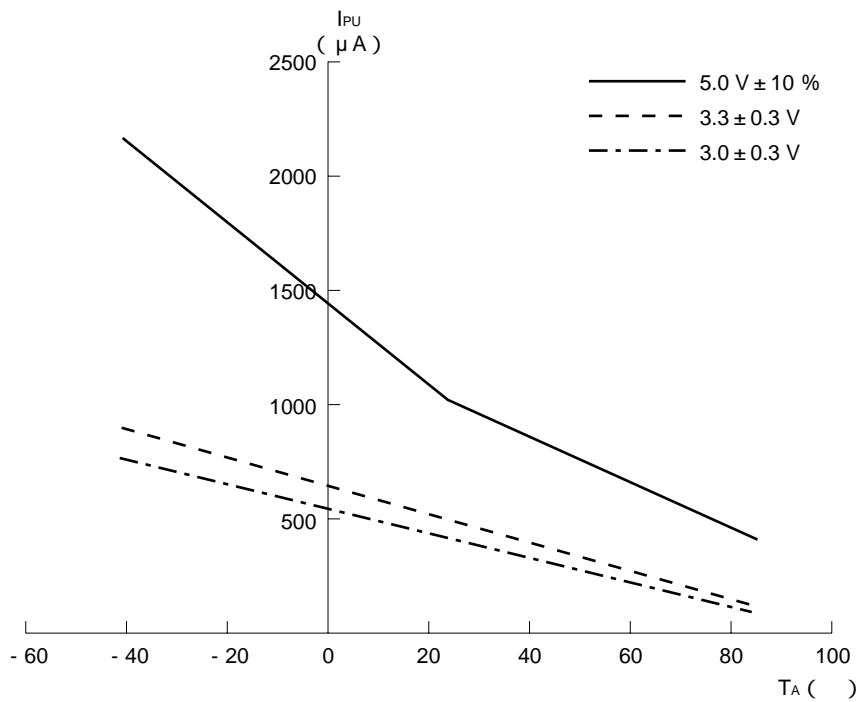




図4 - 3 5 kΩ内蔵抵抗の消費電流 (I<sub>PU</sub>)



計算例

V<sub>DD</sub> = 5 V ± 10 % , T<sub>A</sub> = 40 において、次の条件における静消費電流を求める。

外部端子	信号レベル	
	ハイ	ロウ
5 kΩのプルアップ抵抗内蔵入力	2	0
50 kΩのプルダウン抵抗内蔵入力	2	8
ノーマル入力	5	5
ノーマル出力	8	2

リーク電流は、

図4 - 1より I<sub>L</sub> = 8.6 μAです。

50 kΩのプルダウン抵抗を流れる消費電流は、

図4 - 2より I<sub>PD</sub> = 110 μAです。

5 kΩのプルアップ抵抗を流れる消費電流は、

信号レベルから I<sub>PU</sub> = 0.0 μAです。

$$\begin{aligned}
 I_{DDs} &= I_L + I_{PD} + I_{PU} \\
 &= 8.6 + 110 + 0.0 \mu A \\
 &= 118.6 \mu A
 \end{aligned}$$

となります。

## 4.2 入力貫通電流

入力電圧 ( $V_{IN}$ ) が電源電圧 ( $V_{DD}$ ) と同じ場合、入力リーク電流は第3章 製品規格に記載されている値と同じになります。しかし、入力電圧が電源電圧より低くなるか入力電圧がGNDレベルより高くなると、 $V_{DD}$ ラインからP-chトランジスタとN-chトランジスタを通してGNDに電流が流れます。この電流を入力貫通電流といいます。図4 - 4から図4 - 11に各インタフェース・レベルでの入力貫通電流（参考値）を示します。

図4 - 4 入力貫通電流  
( $V_{DD} = 5.0\text{ V}$  CMOSレベル)

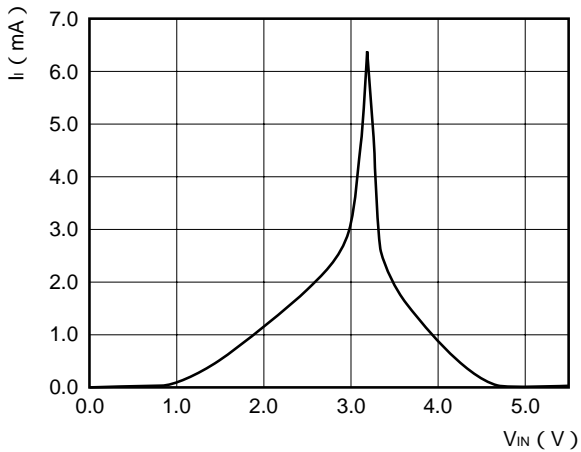


図4 - 5 入力貫通電流  
( $V_{DD} = 5.0\text{ V}$  TTLレベル)

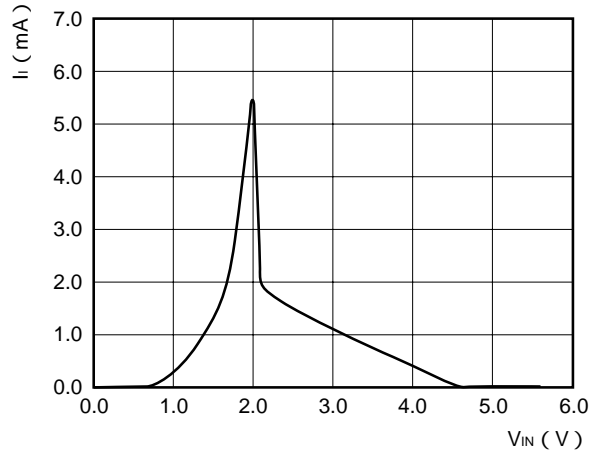


図4 - 6 入力貫通電流  
( $V_{DD} = 5.5\text{ V}$  CMOSレベル・シュミット<sup>注</sup>)

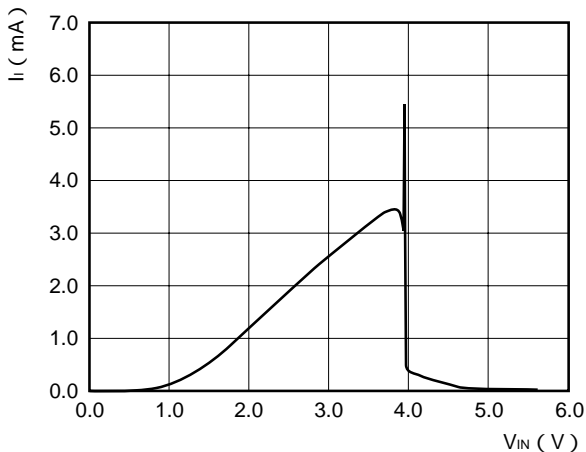
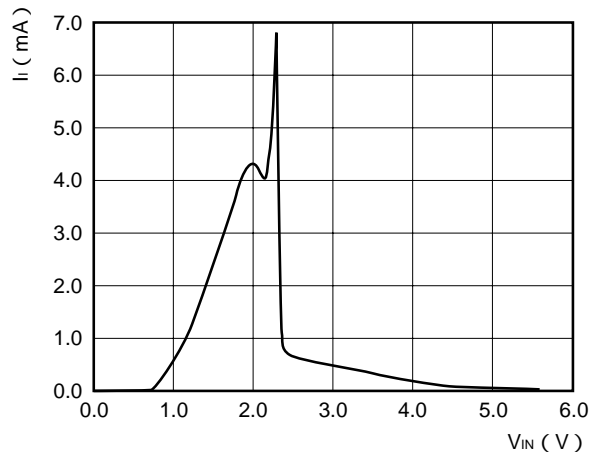


図4 - 7 入力貫通電流  
( $V_{DD} = 5.5\text{ V}$  TTLレベル・シュミット<sup>注</sup>)



注 ブロック名の最後にWのついた、シュミット・バッファのグラフです。

注 ブロック名の最後にWのついた、シュミット・バッファのグラフです。

図4 - 8 入力貫通電流  
( $V_{DD} = 3.6\text{ V}$  CMOSレベル)

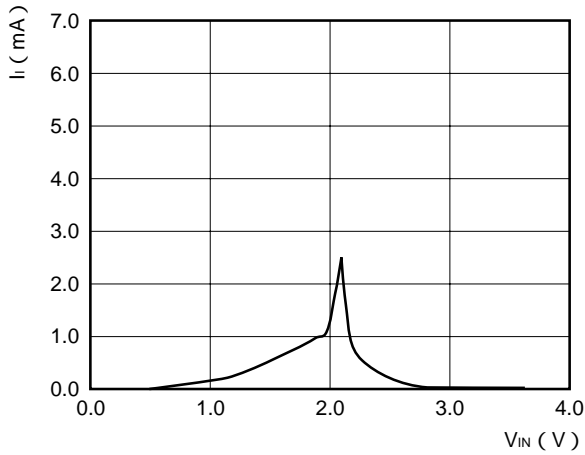


図4 - 9 入力貫通電流  
( $V_{DD} = 3.3\text{ V}$  TTLレベル)

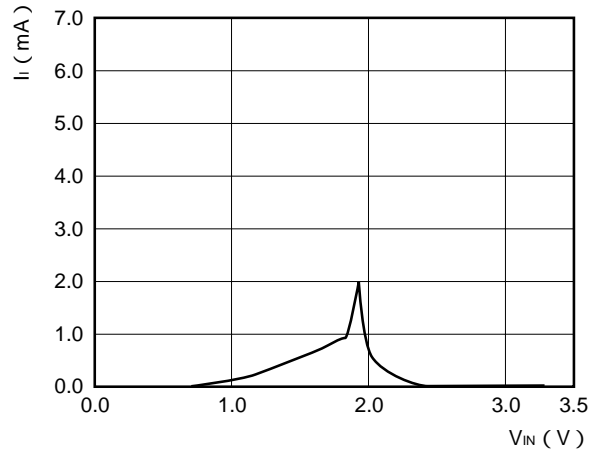


図4 - 10 入力貫通電流  
( $V_{DD} = 3.6\text{ V}$  CMOSレベル・シュミット<sup>注</sup>)

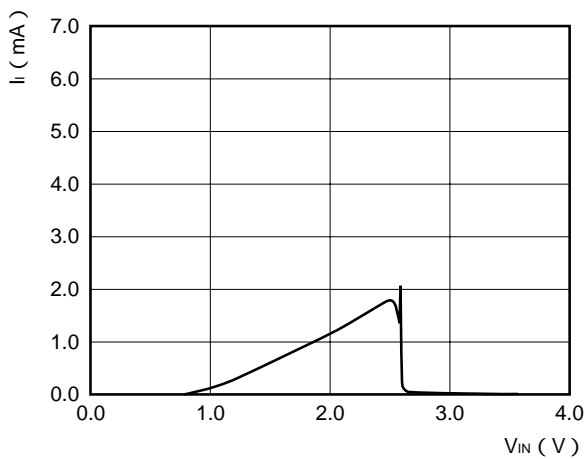
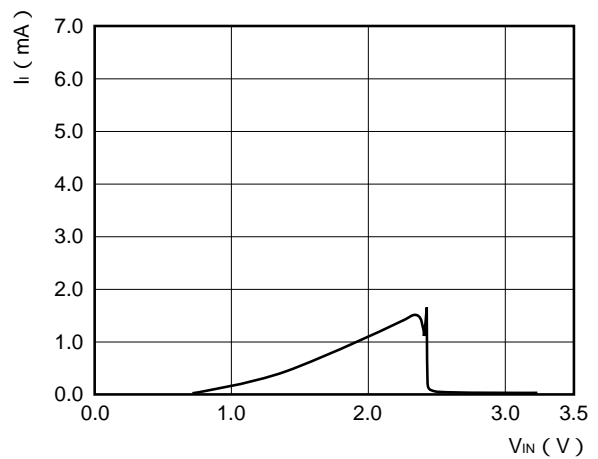


図4 - 11 入力貫通電流  
( $V_{DD} = 3.3\text{ V}$  TTLレベル・シュミット<sup>注</sup>)



注 ブロック名の最後にWのついた ,シュミット・バッファのグラフです。

注 ブロック名の最後にWのついた ,シュミット・バッファのグラフです。

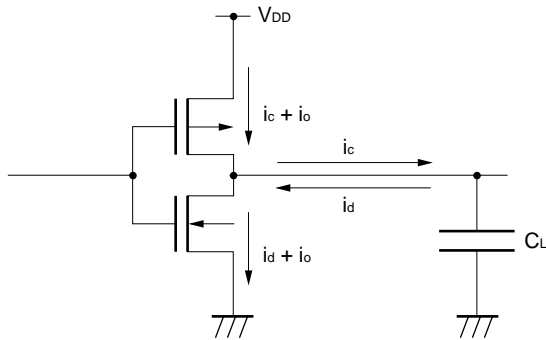
### 4.3 消費電力

CMOSデバイスはバイポーラ・デバイスに比べ低消費電力ではありますが、回路規模が大きく動作周波数が高くなれば、かなりの電力を消費します。LSI製品の信頼性(寿命)を左右するLSI(チップ)の温度は、消費電力により上昇しますので、LSIの消費電力に対しては注意して検討してください。

### 4.3.1 消費電力の発生要因

消費電流は、標準のCMOSデバイスと同様に、下記値の総和になります。

- 各トランジスタに接続される負荷容量の充電電流 :  $i_c$
- 各トランジスタに接続される負荷容量の放電電流 :  $i_d$
- 各トランジスタのスイッチング時の貫通電流 :  $i_o$
- デバイスのリーク電流 :  $I_L$



LSIがまったく動作していない場合には充放電電流と貫通電流はありませんので、チップの消費電力はデバイス全体のリーク電流によって決まります。一方、LSIが動作している場合には、チップの消費電力はリーク電流に比べ充放電電流と貫通電流の方が非常に大きくなるため、リーク電流の影響は無視できます。貫通電流は各トランジスタの入力立ち上がり（下がり）時間に比べ出力立ち上がり（下がり）時間が非常に速い場合には極端に増加しますが、通常は充放電電流に比例します。

### 4.3.2 消費電力の見積もり

消費電力は、各トランジスタの充放電電流と貫通電流によって決まります。しかし、各トランジスタの状態を定義することは困難なので、消費電力の概略計算ではブロックのタイプごとに計算します。

この計算式での算出結果は、 $V_{DD} = 5\text{ V}$ 、 $T_A = 85$  の値ですので、電源、温度の仕様が異なる場合には補正してください。

$$\text{総消費電力 } P_D = \sum P_{DCELL} + \sum P_{DM} + \sum P_{DI} + \sum P_{DO} + \sum P_{DCTS} + \sum P_{OSc}$$

(1)  $\sum P_{DCELL}$ ・・・内部セル消費電力（メモリ、インタフェース・ブロックで使用するセル数を除く）

$$\sum P_{DCELL} = \sum (4.52^{\text{注1}} \times f \times \text{Cell} \times A) \quad (\mu W)$$

f : 動作周波数 (MHz)

Cell : fで動作するセル数

A : ゲート動作率<sup>注2</sup>

(2)  $\Sigma P_{DM}$ ・・・メモリ・ブロック消費電力

RAMブロック消費電力

$$\Sigma P_{DRAM} = \Sigma ( P_{RM} \times f_{RM} \times R_{RM} + P_{WM} \times f_{WM} \times R_{WM} ) \quad (mW)$$

$P_{RM}$  : 読み出し時単位消費電力 (mW/MHz) <sup>注3</sup>

$f_{RM}$  : 読み出し時動作周波数

$R_{RM}$  : 読み出し時動作率 <sup>注4</sup>

$P_{WM}$  : 書き込み時単位消費電力 (mW/MHz) <sup>注3</sup>

$f_{WM}$  : 書き込み時動作周波数

$R_{WM}$  : 書き込み時動作率 <sup>注4</sup>

(3)  $\Sigma P_{DI}$ ・・・入力バッファ, 双方向バッファ入力部の消費電力

$$\Sigma P_{DI} = \Sigma ( P_i \times f + P_{CONST} ) \times \text{Buffer} \quad (\mu W)$$

$P_i$  : 入力バッファごとの消費電力 ( $\mu W/\text{Buffer}/\text{MHz}$ ) (表4 - 1参照)

$f$  : 動作周波数 (MHz)

$P_{CONST}$  : 定常消費電力 <sup>注6</sup>

Buffer :  $f$ で動作する入力バッファ, 双方向バッファの入力部数

入力バッファの動作が間欠的な場合は平均動作周波数 ( $f_A$ ) <sup>注5</sup>を用いてください。

表4 - 1 入力バッファごとの消費電力

代表ブロック・タイプ	$P_i$
FI01	16.8470
FI02	17.4223
FIS1	20.8117
FIS2	17.9722
FIA1	5.2705
FIA2	5.3776
FIE1	10.4223
FIE2	7.4192
FIS1W	12.3430
FIS2W	10.6810

備考 同タイプのバッファは同じ値となります。

(4)  $\Sigma P_{DO}$ ・・・出力バッファ, 双方向バッファ出力部の消費電力

$$\Sigma P_{DO} = \Sigma \{ ( P_o + P_{CO} \times C_L ) \times f + P_{CONST} \} \times \text{Buffer} \quad (mW)$$

$P_o$  : 出力バッファごとの消費電力 (無負荷) (mW/MHz) (表4 - 2参照)

$P_{CO}$  : 出力バッファごとの消費電力 (負荷依存性) (mW/MHz/pF) (表4 - 2参照)

$C_L$  : 負荷容量

$f$  : 動作周波数 (MHz)

出力バッファの動作が間欠的な場合には平均動作周波数 ( $f_A$ ) <sup>注5</sup>を用いてください。

$P_{CONST}$  : 定常消費電力 <sup>注6</sup>

Buffer :  $f$ で動作する出力バッファ, 双方向バッファの出力部数

表4 - 2 出力バッファの消費電力

代表ブロック・タイプ	P <sub>o</sub>	P <sub>co</sub>
FO09	0.2257	0.0264
FO04	0.2374	0.0268
FO01	0.2984	0.0271
FO02	0.3829	0.0272
FO03	0.6270	0.0263
FO06	1.0067	0.0254
FE09	0.1675	0.0271
FE04	0.1621	0.0275
FE01	0.2461	0.0266
FE02	0.2598	0.0265
FE03	0.4336	0.0266
FE06	0.7298	0.0255

(5)  $\Sigma P_{DCTS}$ ・・・クロック・ツリー・シンセシスの消費電力

$$\Sigma P_{DCTS} = \Sigma P_{CTS} (\mu W)$$

f : 動作周波数 (MHz)  
 FF : フリップフロップ数

$$FC42 : P_{CTS} = 6.73 \times (FF \times 0.057) \times f$$

$$FC82 : P_{CTS} = 6.73 \times (FF \times 0.114) \times f$$

$$FC44 : P_{CTS} = 6.73 \times (FF \times 0.077) \times f$$

$$FC84 : P_{CTS} = 6.73 \times (FF \times 0.154) \times f$$

(6)  $\Sigma P_{OSC}$ ・・・発振器の消費電力

$$\Sigma P_{OSC} = P_{OSC1} \times \text{個数} (1 \text{ または } 2) \quad (\text{mW})$$

P<sub>OSC1</sub> : 発振器1つ当たりの消費電力 (mW/MHz)

発振器の消費電力を表4 - 3に示します。なお、発振器の消費電力は、発振子と定数によって大きく変動するため、表4 - 3の値は参考値となっています。

表4 - 3 発振器の消費電力 (参考値) (V<sub>DD</sub> = 5.0 V ± 10 %, T<sub>A</sub> = -40 ~ +85 )

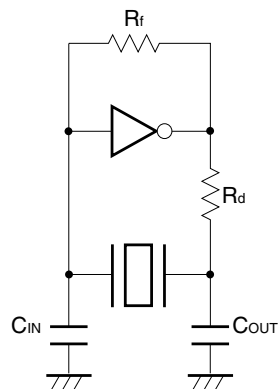
周波数 (MHz)	使用外部定数				デューティ (%)	V <sub>START</sub> (V)	V <sub>HOLD</sub> (V)	P <sub>OSCS</sub> (mW)
	C <sub>in</sub> (pF)	C <sub>out</sub> (pF)	LT (μH)	CT (pF)				
4	100	100			53.0	1.97	1.97	27.50
8	68	68			51.2	1.23	1.23	33.00
16	39	39			50.7	2.23	2.20	63.25
32	15	15			53.6	2.17	2.14	107.25

V<sub>START</sub> : 発振開始電圧

V<sub>HOLD</sub> : 発振保持電圧

消費電力を決定する際には、評価用サンプルによる評価が必要です。  
発振回路の構成図を図4 - 12に示します。

図4 - 12 発振回路の構成図



注1. 1セル当たりの消費電力 ( $\mu\text{W}/\text{Cell}/\text{MHz}$ ) は次の条件で規定されています。

組み合わせ回路，フリップフロップとラッチの回路内の割合は次のように仮定

ゲート：フリップフロップ：ラッチ = 0.5 : 0.4 : 0.1

ラッチはデータの周波数を1 MHzとし，ゲートがアクティブの時間を全体の4割と仮定  
フリップフロップはクロックの周波数を1 MHzとし，データの周波数を0.25 MHzと仮定

各出力の負荷は $\Sigma F/I = 2$ ， $L = 1.64$  (F/I換算) と仮定

条件の変更により消費電力の見直しをする場合には，付録A 詳細な内部回路の消費電力の算出 (暫定) を参照してください。

2. ゲート動作率

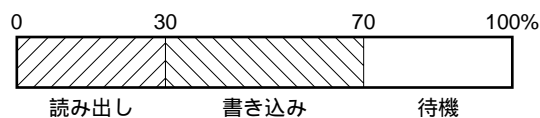
ほぼ同時期に動作するセル数の回路全体に占める割合

たとえば，回路の3割が同時期に動作するなら，動作率は0.3になります。

3. 単位消費電力 (検討中)

各数値は4. 3. 3 メモリの単位消費電力に記載されています。

4. 書き込み，読み出し動作率



たとえば，RAMの動作の割合が上記のようなら，  
 $R_{RM} = 0.3$ ， $R_{WM} = 0.4$ となります。

注5. 平均動作周波数 (f<sub>A</sub>)

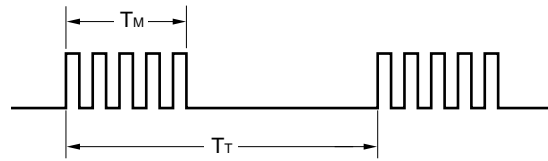
動作が間欠的な場合は、平均動作周波数 (f<sub>A</sub>) を検討することが可能です。

$$f_A = f_M \times T_M \div T_T$$

T<sub>M</sub> : 実動作期間

T<sub>T</sub> : 間欠動作周期

f<sub>M</sub> : 実動作期間の動作周波数



6. 定常消費電力

入力、出力、双方向バッファを直流電流が流れる場合には、定常消費電力を加算することになります。

例1. プルアップ/プルダウン抵抗による直流電流

$$P_{CONST} = (V_{DD}^2/R) \times A$$

V<sub>DD</sub> : 電源電圧

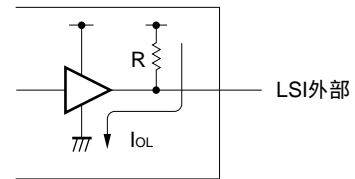
R : プルアップ/プルダウン抵抗値

抵抗がLSI内部搭載の場合には抵抗値はTYP.としてください。

A : 動作率

プルアップ抵抗使用時のロウ・レベルの割合, またはプルダウン抵抗使用時のハイ・レベルの割合

動作率は回路仕様によりお客様が規定してください。



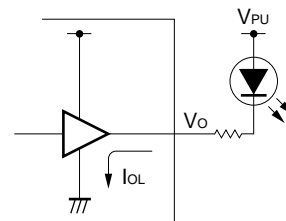
例2. LEDなどの大電流を必要とするものを駆動する

$$P_{CONST} = V_O \times I_O \times A$$

V<sub>O</sub> : 出力電圧

I<sub>O</sub> : 出力電流

A : LEDがオンしている割合



V<sub>PU</sub> : プルアップ電圧



## 4.3.3 メモリの単位消費電力

4.3.2 消費電力の見積もりにおいて、メモリ・ブロック消費電力の計算式では次の値をお使いください。

## (1) シングル・ポートRAM

単位：mW/MHz

RAM名	P <sub>WM</sub>	P <sub>RM</sub>
RB47	0.261	0.188
RB49	0.285	0.198
RB4B	0.570	0.396
RB4D	0.336	0.191
RB4F	0.672	0.382
RB4H	1.344	0.764
RB4M	2.688	1.528
RB4S	5.376	3.056
RB87	0.522	0.376
RB89	0.570	0.396
RB8B	0.579	0.359
RB8D	0.672	0.382
RB8F	0.735	0.380
RB8H	1.470	0.760
RB8M	2.940	1.520
RBAB	0.689	0.420
RBAD	1.378	0.840
RBAF	2.756	1.680
RBAH	5.512	3.360
RBC7	1.044	0.752
RBC9	1.140	0.792
RBCB	1.158	0.718
RBCD	1.344	0.764
RBCF	1.470	0.760
RBCH	2.940	1.520
RBCM	5.880	3.04
RBEB	1.378	0.840
RBED	2.756	1.680
RBEF	5.512	3.360
RBEH	11.024	6.720
RBH7	2.088	1.504
RBH9	2.280	1.584
RBHB	2.316	1.436
RBHD	2.688	1.528
RBHF	2.940	1.520

単位：mW/MHz

RAM名	P <sub>WM</sub>	P <sub>RM</sub>
RBHH	5.880	3.04
RBKB	2.756	1.680
RBKD	5.512	3.360
RBKF	2.895	1.795
RBKH	5.790	3.590

備考 P<sub>WM</sub> : 書き込み時消費電力

P<sub>RM</sub> : 読み出し時消費電力

## (2) デュアルポートRAM

単位：mW/MHz

RAM名	P <sub>WM</sub>	P <sub>RM</sub>
R947	0.256	0.079
R949	0.280	0.085
R94B	0.560	0.170
R94D	0.314	0.075
R94F	0.628	0.150
R94H	1.256	0.300
R987	0.512	0.158
R989	0.560	0.170
R98B	0.561	0.176
R98D	0.628	0.150
R98F	0.630	0.182
R9AB	0.654	0.211
R9AD	1.308	0.422
R9C7	1.024	0.316
R9C9	1.120	0.340
R9CB	1.122	0.352
R9CD	1.256	0.300
R9CF	1.260	0.364
R9EB	1.308	0.422
R9ED	2.616	0.844
R9H7	2.048	0.632
R9H9	2.240	0.680
R9HB	2.244	0.704
R9KB	2.616	0.844

備考 P<sub>WM</sub> : 書き込み時消費電力P<sub>RM</sub> : 読み出し時消費電力

## 4.3.4 電源，動作周囲温度仕様変更時の補正方法

4.3.2 消費電力の見積もりの計算式での算出結果はV<sub>DD</sub> = 5.0 V , T<sub>A</sub> = 85 の値ですので，電源，温度の様が異なる場合には補正してください。

$$P_W = (P_D \times K_1 + \sum P_{CONST} \times K_2) \times K_3$$

P<sub>D</sub> : 総消費電力（定常消費電力を含む）の計算結果Σ P<sub>CONST</sub> : 定常消費電力のみの合計K<sub>1</sub> : 補正係数（表4 - 4参照）K<sub>2</sub> : 補正係数（表4 - 4参照）K<sub>3</sub> : 補正係数（表4 - 4参照）

表4 - 4 補正係数 (K<sub>1</sub>, K<sub>2</sub>, K<sub>3</sub>)

(a) V<sub>DD</sub> = 5.0 V ± 10 %, T<sub>A</sub> = - 40 ~ + 85

	TYP.値	MAX.値
補正係数 (K <sub>1</sub> )	1.00	1.40
補正係数 (K <sub>2</sub> )	0.00	0.15
補正係数 (K <sub>3</sub> )	1.00	1.00

(b) V<sub>DD</sub> = 3.3 ± 0.3 V, T<sub>A</sub> = - 40 ~ + 85

	TYP.値	MAX.値
補正係数 (K <sub>1</sub> )	1.0000	1.4000
補正係数 (K <sub>2</sub> )	0.0000	0.1500
補正係数 (K <sub>3</sub> )	0.4356	0.4356

(c) V<sub>DD</sub> = 3.0 ± 0.3 V, T<sub>A</sub> = - 40 ~ + 85

	TYP.値	MAX.値
補正係数 (K <sub>1</sub> )	1.00	1.40
補正係数 (K <sub>2</sub> )	0.00	0.15
補正係数 (K <sub>3</sub> )	0.36	0.36

消費電力について判定する場合には、TYP.値を使用してください。

ただし、高信頼性が要求される場合には、MAX.値を使用してください。

また、MAX.値は各電源、温度仕様範囲での消費電力の最大値を算出する場合にも使用できます。

#### 4.3.5 消費電力の判定

消費電力の判定は、パッケージ、マスタごとに規定されている最大許容消費電力 (P<sub>WL</sub>) 以内に算出した消費電力結果 (P<sub>D</sub>) が入っているか否かになります。パッケージ、マスタごとに規定されている最大許容消費電力 (P<sub>WL</sub>) は、CMOSゲートアレイ、エンベデッドアレイ 設計マニュアル パッケージ編 (A16400J) に記載されています。

P <sub>D</sub> P <sub>WL</sub>
--------------------------------

CMOSゲートアレイ、エンベデッドアレイ 設計マニュアル パッケージ編 (A16400J) に記載されている最大許容消費電力一覧は、T<sub>A</sub> = - 40 ~ + 85 ，自然対流時の値になっていますので、使用される最大の動作周囲温度が異なる場合には、最大ジャンクション温度 (T<sub>J(MAX.)</sub>)、最大周囲温度 (T<sub>A(MAX.)</sub>) とパッケージ、マスタごとに規定されている熱抵抗 (θ<sub>ja</sub>) より使用環境用の最大許容消費電力を計算することになります。パッケージ、マスタごとに規定されている熱抵抗 (θ<sub>ja</sub>) はCMOSゲートアレイ、エンベデッドアレイ 設計マニュアル パッケージ編 (A16400J) の熱抵抗値一覧に記載されています。熱抵抗は、サンプルを90×90 mm、厚さ1.6 mmのガラエポ基板に実装した状態で測定しています。

$P_{WL} = (T_{J(MAX.)} - T_{A(MAX.)}) / \theta_{ja} \quad (W)$
条件 T <sub>A(MAX.)</sub> 40

## 4.4 伝達遅延時間

### 4.4.1 伝達遅延時間の精度

伝達遅延時間 ( $t_{PD}$ ) は入出力バッファおよび内部ファンクション・ブロックともに次の要因により変動します。

伝達遅延時間の変動要因

- ・ 負荷容量 (ファンアウト数や配線容量)
- ・ 電源電圧
- ・ 動作周囲温度
- ・ 製造ばらつき
- ・ その他の回路的要因

電源電圧、動作周囲温度、負荷容量に対する変動以外の回路的な要因としては、入力される信号波形による変動、トランスファー・ゲートの等価入力容量の変動、ミラー効果、入力スレッシュホールド電圧の変動などがあります。弊社では、これらの変動要因をできるかぎり考慮した遅延シミュレータやスタティック・ディレイ・カルキュレータを導入し、より高い精度で伝達遅延を計算できるようにしています。

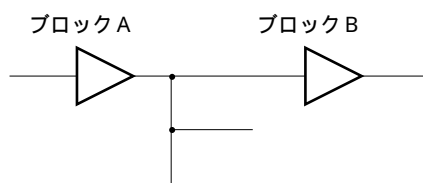
このためCMOS-N5シリーズ (5.0 V) **ブロック・ライブラリ** (A13872J) またはCMOS-N5シリーズ (3.3 V) **ブロック・ライブラリ** (A15895J) に記載の数値を使用し、お客様が概略計算した伝達遅延時間と必ずしも一致しませんのでご承知おきください。

### 4.4.2 伝達遅延時間の計算

ここで示す計算式は簡易的に計算するための概略計算式です。この計算式では特に負荷が次の条件を満足する範囲での算出結果が比較的精度よく求められるようになっています。負荷容量が大きいほど誤差が大きくなり、シミュレータの結果より小さい値を算出します。あらかじめ、ご承知のうえ目安として利用してください。

条件：遅延計算対象のブロックの前段のF/Iの合計が前段の駆動ブロックのF/O制限の15 %以内である。

例



ブロックBが遅延計算対象のブロックとするとブロックAの出力に接続されるF/Iの合計がブロックAのF/O制限の15 %以内のとき、簡易計算式の精度が高い。

この内容の詳細および上記の条件を外れる場合の算出精度の改善方法につきましては付録B **伝達遅延時間**を参照してください。なお、計算に必要な各ブロックの遅延データは、CMOS-N5シリーズ (5.0 V) **ブロック・ライブラリ** (A13872J) またはCMOS-N5シリーズ (3.3 V) **ブロック・ライブラリ** (A15895J) に記載されています。

**(1) 入力バッファと内部ファンクション・ブロックの遅延時間**

内部ファンクション・ブロックの遅延時間は、メモリ・ブロックを含み、その出力端子に接続されている負荷（ファンアウト数）とその配線長（配線容量）から概算できます。

$$t_{PD} = t_{LD0} + (\Sigma F/O + L) \times t_1 \quad (\text{ns})$$

$t_{LD0}$  : F/O = 0, L = 0におけるブロック自身の遅延時間

$\Sigma F/O$  : 該当出力端子のファンアウト数

L : 該当出力端子に接続される配線容量 (4.4.3 **配線容量予測参照**)

$t_1$  : 該当出力端子の遅延係数

**(2) 内部バスの遅延時間**

$$t_{PD} = t_{LD0} + \{ \Sigma F/O + L + (N - 1) \times 1.38 \} \times t_1 \quad (\text{ns})$$

$t_{LD0}$  : F/O = 0, L = 0におけるブロック自身の遅延時間

$\Sigma F/O$  : バスに接続されるファンアウト数

N : バスに接続される3ステート出力バッファ (F531, F532) の合計

L : 該当出力端子に接続される配線容量 (4.4.3 **配線容量予測参照**)

$t_1$  : 該当出力端子の遅延係数

**(3) 出力バッファの遅延時間**

出力バッファの遅延時間は、その出力端子に接続されている負荷容量から概算できます。

$$t_{PD} = t_{LD0} + T \times C_L \quad (\text{ns})$$

$t_{LD0}$  :  $C_L = 0$  pFにおけるブロック自身の遅延時間

$C_L$  : 該当出力端子に接続される負荷容量

T : 該当出力端子の遅延係数

なお、入出力バッファの遅延時間は、次の条件で求められています。

CMOSレベル・インタフェース：スレッシュホールド電圧 =  $1/2 V_{DD}$

**4.4.3 配線容量予測**

ゲートアレイでは、回路接続情報に基づいてマスタ上に配置配線を行いますので、配置配線前の段階ではファンクション・ブロックの負荷として接続される物理的配線長が確定していません。そこで、配置配線前に伝達遅延時間の計算を行う場合には、配線長を仮定して計算することになります。仮定される配線長は実際のレイアウト結果を統計的に処理し、発生した配線長の大部分（全配線分布の70%程度）が仮想配線長として規定した値より短くなるようにしています。

CMOS-N5シリーズの仮想配線容量の予測値を表4-5に示します。

配置配線は、マクロ階層（第一階層のみ）ごとに配置範囲を決めて実行されます。このため、マクロ内の配線長とマクロ間の配線長は極端に長さが異なります。遅延シミュレータでは、配置配線前の仮想配線長をマクロ内とマクロ間の2つの状態に分けて検討します。このため、表4-5のデータと多少違いがありますので、あらかじめ承知しておいてください。

表4 - 5 配線容量予測 (配線長をF/I値に換算)

(1/2)

品 名	ピン・ペア数					
	1	2	3	4	5	6
μ PD65891	1.297	2.613	3.929	5.245	6.560	7.876
μ PD65880	1.621	3.266	4.911	6.556	8.200	9.845
μ PD65881	1.641	3.356	5.070	6.785	8.500	10.214
μ PD65892	1.674	3.423	5.171	6.921	8.670	10.418
μ PD65882	1.684	3.552	5.421	7.289	9.158	11.027
μ PD65894	1.718	3.623	5.529	7.435	9.341	11.248
μ PD65883	1.730	3.767	5.803	7.840	9.876	11.913
μ PD65884	1.757	3.892	6.026	8.161	10.295	12.430
μ PD65885	1.780	3.997	6.213	8.430	10.647	12.863
μ PD65887	1.819	4.175	6.532	8.889	11.245	13.602
μ PD65889	1.861	4.372	6.883	9.393	11.904	14.414
μ PD65890	1.904	4.569	7.233	9.897	12.562	15.226
μ PD65893	1.943	4.747	7.552	10.356	13.160	15.965

(2/2)

品 名	ピン・ペア数					
	7	8	9	10	11~15	16~20
μ PD65891	9.192	10.508	11.823	13.139	19.718	26.297
μ PD65880	11.490	13.135	14.779	16.424	24.648	32.871
μ PD65881	11.929	13.644	15.358	17.073	25.647	34.220
μ PD65892	12.168	13.917	15.665	17.414	26.160	34.904
μ PD65882	12.895	14.764	16.632	18.501	27.844	37.187
μ PD65894	13.153	15.059	16.965	18.871	28.401	37.931
μ PD65883	13.949	15.986	18.022	20.059	30.241	40.424
μ PD65884	14.564	16.699	18.833	20.967	31.640	42.312
μ PD65885	15.080	17.297	19.513	21.730	32.813	43.897
μ PD65887	15.958	18.315	20.672	23.028	34.811	46.594
μ PD65889	16.925	19.435	21.946	24.456	37.009	49.561
μ PD65890	17.891	20.555	23.220	25.884	39.206	52.528
μ PD65893	18.769	21.574	24.378	27.182	41.204	55.226

#### 4. 4. 4 伝達遅延時間の変動

伝達遅延時間 ( $t_{PD}$ ) は入出力バッファおよび内部ファンクション・ブロックともに4. 4. 1 伝達遅延時間の精度で説明したように、種々の要因によって変動します。CMOS-N5シリーズ (5.0 V) ブロック・ライブラリ (A13872J) 記載のMIN./MAX.値は $V_{DD} = 5.0 V \pm 10\%$ ,  $T_A = -40 \sim +85$  ( $T_J = -40 \sim +125$ ) の条件, CMOS-N5シリーズ (3.3 V) ブロック・ライブラリ (A15895J) 記載のMIN./MAX.値は $V_{DD} = 3.3 \pm 0.3 V$ ,  $T_A = -40 \sim +85$  ( $T_J = -40 \sim +125$ ) の条件における最小値と最大値を示しています。TYP.値とこれらの値の差を絶対ばらつきといいます。CMOS-N5シリーズではMIN./TYP./MAX.の3条件に対して伝達遅延係数を記載しています。

CMOS-N5シリーズでは、より高い精度で伝達遅延時間を計算する各ブロックの絶対ばらつきを個別に検討しています。このため、従来品のような一律の絶対遅延係数で検討することはできませんが、参考に遅延係数の

電源電圧および動作接合温度依存性を図4 - 13 (a) ~ (c) に示します。絶対ばらつきの係数は、動作周囲温度や消費電力（たとえば、消費電力による温度上昇を10 前後に抑えられるなど）を制限することにより見直しができます。動作周囲温度や消費電力を制限した場合の動作接合温度は次の式で計算できます。動作接合温度を低く抑えられれば、絶対ばらつきの係数は1に近づきます（動作接合温度を100 に抑えた場合、動作接合温度125 にしたときより5 %程度早くなります）。

$$T_J = T_{A(MAX.)} + P_D \times j_a \quad ( )$$

$T_J$  : 動作接合温度

$T_{A(MAX.)}$  : 動作周囲温度の最大値

$P_D$  : 4.3.2 消費電力の見積もりの計算式で見積もられる消費電力

$j_a$  : 熱抵抗(CMOSゲートアレイ,エンベデッドアレイ 設計マニュアル パッケージ編(A16400J)の熱抵抗値一覧を参照)

ただし、図4 - 13 (a) ~ (c) は各ブロックの遅延分布の平均値です（プロセスのばらつきは電源電圧の値にすでに含まれています）。このため、保証値はシミュレーションの結果とします。

#### 参考データ

$$R_{MAX.} = R_{V(MAX.)} \times R_{T(MAX.)}$$

$$R_{MIN.} = R_{V(MIN.)} \times R_{T(MIN.)}$$

$$t_{PD(MAX.)} = t_{PD(TYP.)} \times R_{MAX.}$$

$$t_{PD(MIN.)} = t_{PD(TYP.)} \times R_{MIN.}$$

**標準仕様** CMOSインタフェース条件 ( $V_{DD} = 5.0 V \pm 10 \% , T_A = -40 \sim +85$  ( $T_J = -40 \sim +125$  ) )

$$R_{MAX.} = 2.05$$

$$R_{MIN.} = 0.64$$

#### 計算例

$V_{DD} = 5.0 V \pm 10 \% , T_A = -40 \sim +85$  ( $T_J = -40 \sim +120$  ) における  $R_{MAX.}/R_{MIN.}$  を求める

図4 - 13 (a) , (b) より  $R_V$  を求めます。

$$R_{V(MAX.)} = 1.44$$

$$R_{V(MIN.)} = 0.62$$

次に、図4 - 13 (c) より  $R_T$  を求めます。

$$R_{T(MAX.)} = 1.42$$

$$R_{T(MIN.)} = 1.04$$

よって、次のようになります。

$$R_{MAX.} = R_{V(MAX.)} \times R_{T(MAX.)} = 1.44 \times 1.42$$

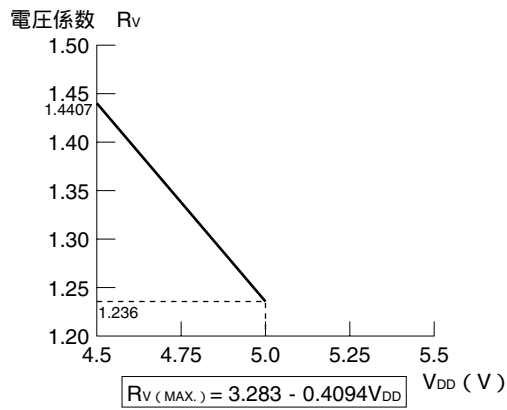
$$R_{MIN.} = R_{V(MIN.)} \times R_{T(MIN.)} = 0.62 \times 1.04$$

$$R_{MAX.} = 2.044$$

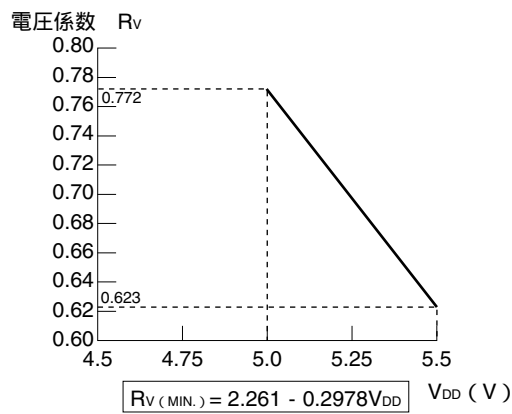
$$R_{MIN.} = 0.645$$

図4 - 13 伝達遅延時間

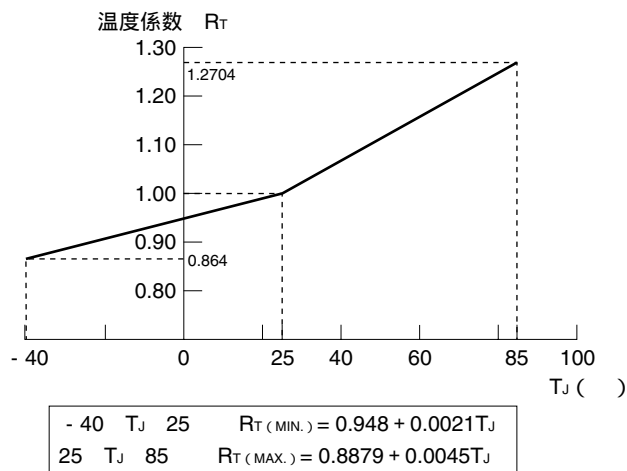
(a)  $V_{DD}$ 依存性 (MAX.)



(b)  $V_{DD}$ 依存性 (MIN.)



(c)  $T_J$ 依存性



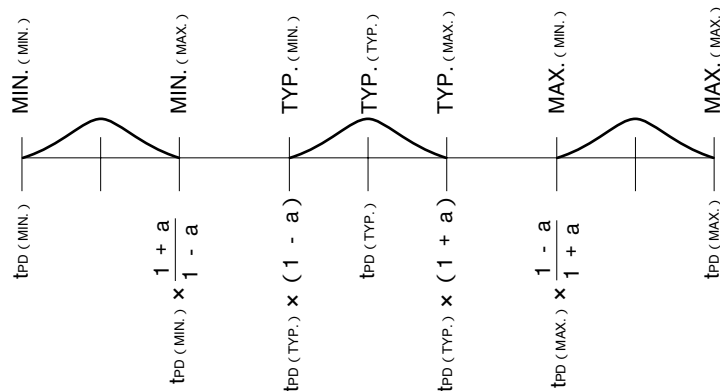


ばらつきには、デバイスの規格として適応される絶対ばらつきのほかに、チップ内のパスやP-ch, N-chのトランジスタのできによって発生する相対的なばらつきがあります。この相対ばらつきは回路のタイミングを確認するときに重要な要因になります。CMOS-N5シリーズでは、相対ばらつきは次のようになります(電源電圧3.3V仕様時でも相対ばらつきは次の値になります)。

相対ばらつき $\alpha = 10\%$
------------------------

図4 - 14に、 $t_{PD}$ のTYP.値を中心としたばらつきの関係を示します。

図4 - 14  $t_{PD}$ ばらつきの関係



## 4.5 出力バッファの特性

### 4.5.1 出力バッファの立ち上がり/立ち下がり時間

出力バッファの立ち上がり/立ち下がり時間は、出力レベルによる駆動能力の違いや接続される負荷容量によって大きく変わります。出力バッファの立ち上がり/立ち下がり時間 ( $t_r, t_f$ ) は、次の式で概算できます。

$t_r = t_{r0} + F_{tr} \times C_L$ (ns)
$t_f = t_{f0} + F_{tf} \times C_L$ (ns)

$t_{r0}$  : 基準立ち上がり時間 (負荷容量  $C_L = 0$  pF)

$t_{f0}$  : 基準立ち下がり時間 (負荷容量  $C_L = 0$  pF)

$F_{tr}, F_{tf}$  : 負荷容量係数

$C_L$  : 負荷容量 (pF) ( $0 < C_L < 300$  pF)

なお出力バッファの各係数は、表4 - 6, 表4 - 7を参照してください。

表4 - 6 出力バッファの $t_r$ ,  $t_f$ 計算係数一覧表 ( $V_{DD} = 5.0\text{ V}$ ,  $T_A = 25$  )

バッファ・タイプ	出力レベル	駆動能力	$t_{ro}$	$F_{tr}$	$t_{fo}$	$F_{ff}$
ノーマル・タイプ	CMOS	$I_{OL} = 3.0\text{ mA}$	0.817	0.1562	1.279	0.2654
		$I_{OL} = 6.0\text{ mA}$	0.611	0.1035	0.716	0.1319
		$I_{OL} = 9.0\text{ mA}$	0.502	0.0611	0.603	0.0867
		$I_{OL} = 12.0\text{ mA}$	0.388	0.0510	0.443	0.0651
		$I_{OL} = 18.0\text{ mA}$	0.394	0.0345	0.494	0.0426
		$I_{OL} = 24.0\text{ mA}$	0.413	0.0266	0.623	0.0305
ロウ・ノイズ・タイプ	CMOS	$I_{OL} = 3.0\text{ mA}$	1.210	0.1532	1.554	0.2621
		$I_{OL} = 6.0\text{ mA}$	1.112	0.1018	1.118	0.1296
		$I_{OL} = 9.0\text{ mA}$	1.097	0.0631	0.990	0.0876
		$I_{OL} = 12.0\text{ mA}$	1.116	0.0542	0.938	0.0678
		$I_{OL} = 18.0\text{ mA}$	1.213	0.0415	0.935	0.0492
		$I_{OL} = 24.0\text{ mA}$	1.333	0.0352	1.013	0.0389

備考 出力バッファの立ち上がり，立ち下がり時間は，次の条件で規定されています。

CMOSレベル =  $V_{DD} \times 10\% \sim V_{DD} \times 90\%$ ，入力信号の $t_r$ ,  $t_f = 0.4\text{ ns}$  ( $V_{DD} = 5.0\text{ V}$ )

表4 - 7 出力バッファの $t_r$ ,  $t_f$ 計算係数一覧表 ( $V_{DD} = 3.3\text{ V}$ ,  $T_A = 25$  )

バッファ・タイプ	出力レベル	駆動能力	$t_{ro}$	$F_{tr}$	$t_{fo}$	$F_{ff}$
ノーマル・タイプ	CMOS	$I_{OL} = 3.0\text{ mA}$	0.817	0.1562	1.279	0.2654
		$I_{OL} = 6.0\text{ mA}$	0.611	0.1035	0.716	0.1319
		$I_{OL} = 9.0\text{ mA}$	0.502	0.0611	0.603	0.0867
		$I_{OL} = 12.0\text{ mA}$	0.388	0.0510	0.443	0.0651
		$I_{OL} = 18.0\text{ mA}$	0.394	0.0345	0.494	0.0426
		$I_{OL} = 24.0\text{ mA}$	0.413	0.0266	0.623	0.0305
ロウ・ノイズ・タイプ	CMOS	$I_{OL} = 3.0\text{ mA}$	1.210	0.1532	1.554	0.2621
		$I_{OL} = 6.0\text{ mA}$	1.112	0.1018	1.118	0.1296
		$I_{OL} = 9.0\text{ mA}$	1.097	0.0631	0.990	0.0876
		$I_{OL} = 12.0\text{ mA}$	1.116	0.0542	0.938	0.0678
		$I_{OL} = 18.0\text{ mA}$	1.213	0.0415	0.935	0.0492
		$I_{OL} = 24.0\text{ mA}$	1.333	0.0352	1.013	0.0389

備考1. 出力バッファの立ち上がり，立ち下がり時間は，次の条件で規定されています。

CMOSレベル =  $V_{DD} \times 10\% \sim V_{DD} \times 90\%$ ，入力信号の $t_r$ ,  $t_f = 0.4\text{ ns}$  ( $V_{DD} = 3.3\text{ V}$ )

2. 空欄：検討中

#### 4.5.2 出力バッファの推奨負荷容量範囲

出力バッファの許容最大負荷容量 $C_{L(MAX.)}$ は $C_{L(MAX.)} = 300\text{ pF}$ とします。また出力バッファの駆動能力ごとに，表4 - 8，表4 - 9に示すような推奨負荷容量範囲を示します。表4 - 8，表4 - 9を基に最適な出力バッファを選択してください。特に推奨負荷容量範囲をはずれ，より低い負荷容量で使用しますと出力信号に発生するオーバershoot，アンダershootが大きくなりますので注意してください。

表4 - 8 出力バッファの推奨負荷容量範囲 (5.0 V時)

バッファ・タイプ	出力レベル	IoL ( mA )	推奨負荷容量範囲 ( pF )	該当ブロック例
ノーマル・タイプ	CMOS	3.0	0 ~ 40	FO09
		6.0	0 ~ 110	FO04
		9.0	25 ~ 130	FO01
		12.0	100 ~ 210	FO02
		18.0	120 ~ 300	FO03
		24.0	170 ~ 300	FO06
ロウ・ノイズ・タイプ	CMOS	3.0	0 ~ 40	FE09
		6.0	0 ~ 100	FE04
		9.0	15 ~ 150	FE01
		12.0	20 ~ 200	FE02
		18.0	50 ~ 200	FE03
		24.0	40 ~ 210	FE06

表4 - 9 出力バッファの推奨負荷容量範囲 (3.3 V時)

バッファ・タイプ	出力レベル	IoL ( mA )	推奨負荷容量範囲 ( pF )	該当ブロック例
ノーマル・タイプ	CMOS	3.0	0 ~ 20	FO09
		6.0	0 ~ 40	FO04
		9.0	0 ~ 110	FO01
		12.0	25 ~ 130	FO02
		18.0	100 ~ 210	FO03
		24.0	120 ~ 300	FO06
ロウ・ノイズ・タイプ	CMOS	3.0	0 ~ 20	FE09
		6.0	0 ~ 40	FE04
		9.0	0 ~ 100	FE01
		12.0	15 ~ 150	FE02
		18.0	20 ~ 200	FE03
		24.0	50 ~ 200	FE06

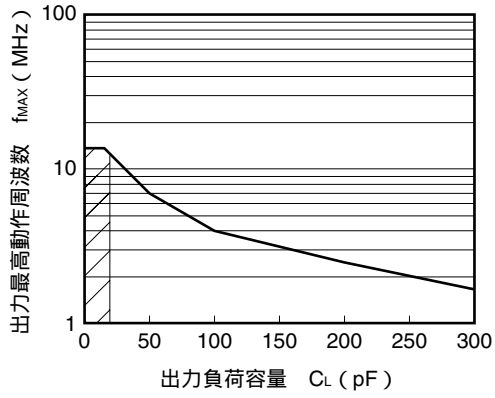
### 4.5.3 出力バッファの最高動作周波数

出力バッファの最高動作周波数は、駆動能力と負荷容量により決まります。4.5.2 出力バッファの推奨負荷容量範囲で説明したように、負荷容量には推奨範囲があります。図4 - 15 ~ 図4 - 16のグラフ斜線部分が、その範囲になります。

斜線部より右側の範囲は伝達遅延時間、立ち上がり、立ち下がり時間に問題がなければ、使用可能です。一方、左側の範囲はオーバシュート、アンダシュートが大きくなりますので、注意してください。

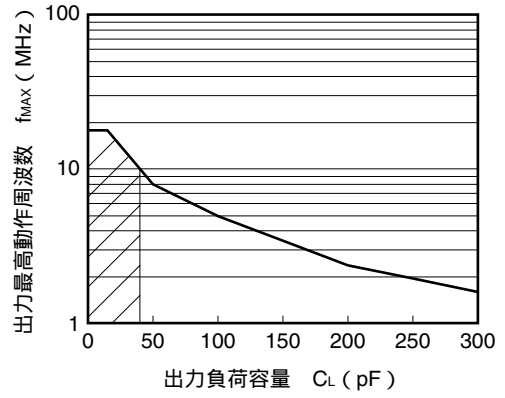
図4 - 15  $f_{MAX}$  vs  $C_L$ 制限 (CMOSレベル出力) (1/2)

(a)  $I_{OL} = 3.0 \text{ mA}$  (3.3 V時)



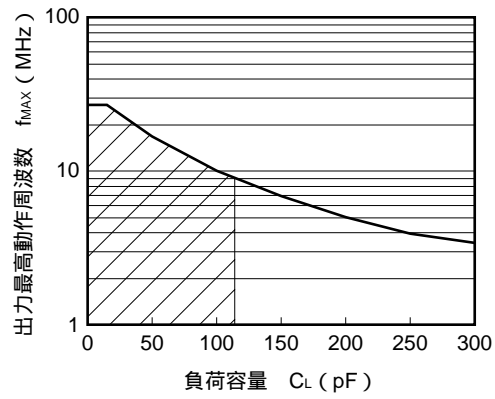
(b)  $I_{OL} = 3.0 \text{ mA}$  (5.0 V時)

$I_{OL} = 6.0 \text{ mA}$  (3.3 V時)



(c)  $I_{OL} = 6.0 \text{ mA}$  (5.0 V時)

$I_{OL} = 9.0 \text{ mA}$  (3.3 V時)



(d)  $I_{OL} = 9.0 \text{ mA}$  (5.0 V時)

$I_{OL} = 12.0 \text{ mA}$  (3.3 V時)

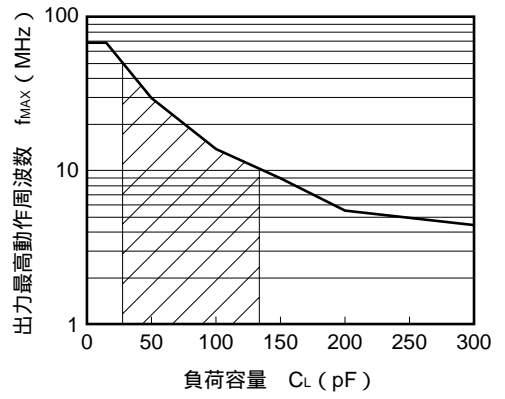
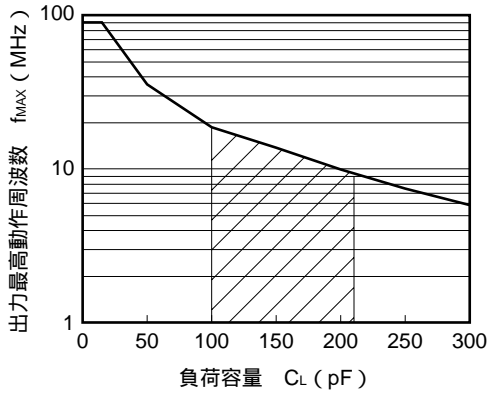


図4 - 15  $f_{MAX}$  vs  $C_L$ 制限 (CMOSレベル出力) (2/2)

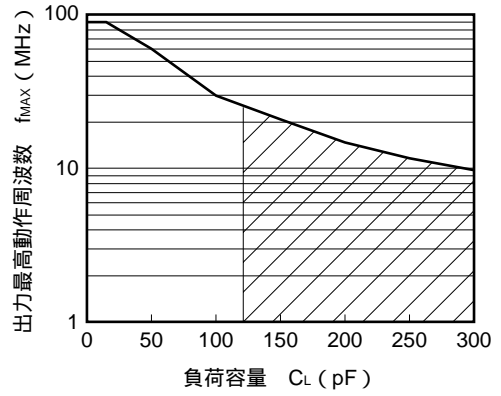
(e)  $I_{OL} = 12.0 \text{ mA}$  (5.0 V時)

$I_{OL} = 18.0 \text{ mA}$  (3.3 V時)



(f)  $I_{OL} = 18.0 \text{ mA}$  (5.0 V時)

$I_{OL} = 24.0 \text{ mA}$  (3.3 V時)



(g)  $I_{OL} = 24.0 \text{ mA}$  (5.0 V時)

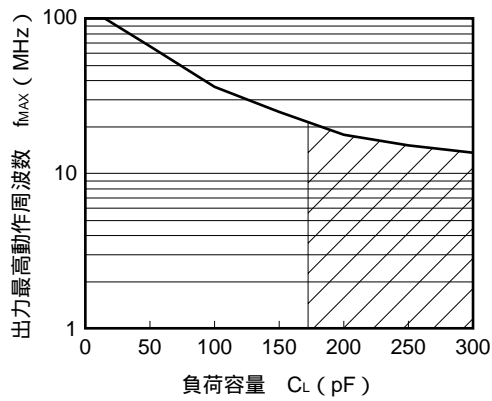
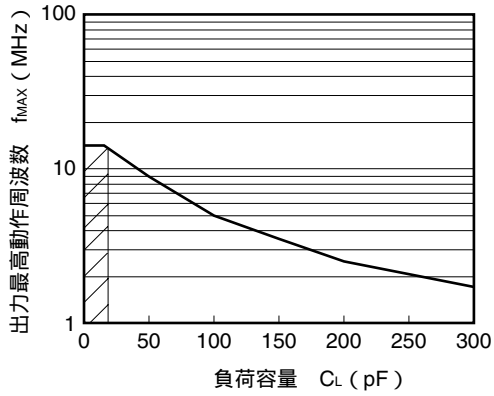


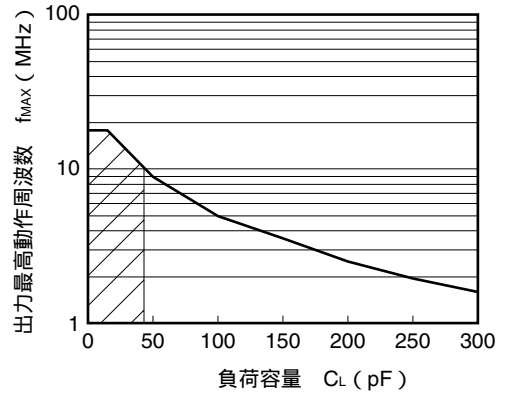
図4 - 16  $f_{MAX}$  vs  $C_L$ 制限 (CMOSレベル・ロウ・ノイズ出力) (1/2)

(a)  $I_{OL} = 3.0 \text{ mA}$  (3.3 V時)



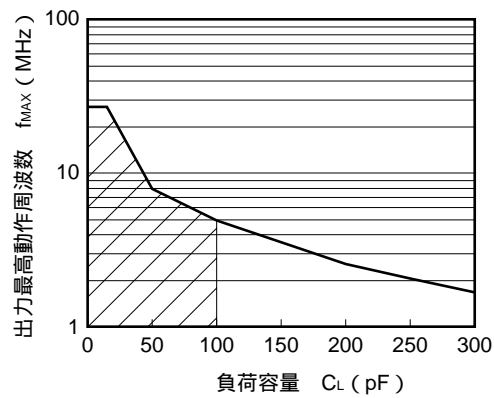
(b)  $I_{OL} = 3.0 \text{ mA}$  (5.0 V時)

$I_{OL} = 6.0 \text{ mA}$  (3.3 V時)



(c)  $I_{OL} = 6.0 \text{ mA}$  (5.0 V時)

$I_{OL} = 9.0 \text{ mA}$  (3.3 V時)



(d)  $I_{OL} = 9.0 \text{ mA}$  (5.0 V時)

$I_{OL} = 12.0 \text{ mA}$  (3.3 V時)

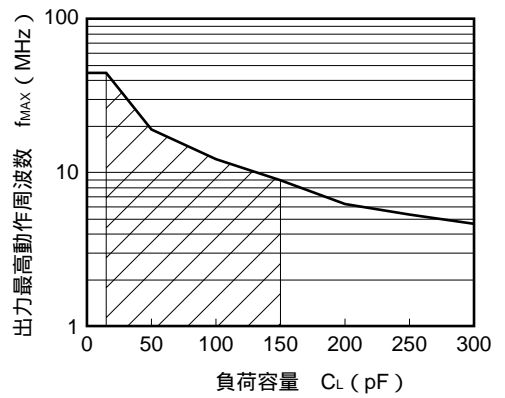
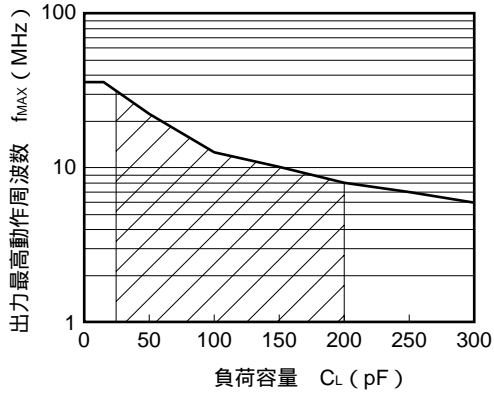
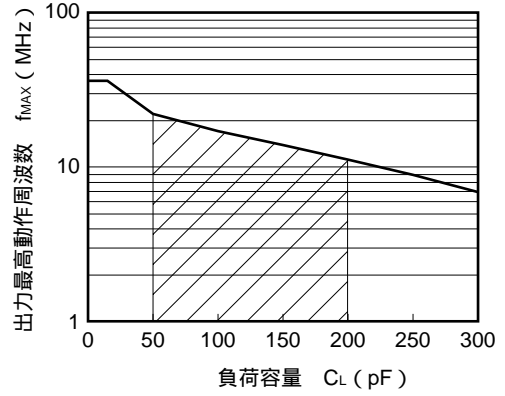


図4 - 16  $f_{MAX}$  VS  $C_L$ 制限 (CMOSレベル・ロウ・ノイズ出力) (2/2)

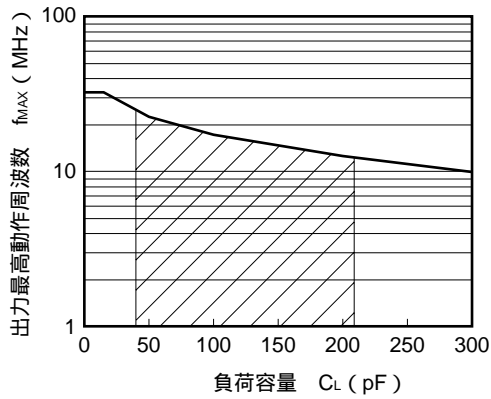
(e)  $I_{OL} = 12.0 \text{ mA}$  (5.0 V時)  
 $I_{OL} = 18.0 \text{ mA}$  (3.3 V時)



(f)  $I_{OL} = 18.0 \text{ mA}$  (5.0 V時)  
 $I_{OL} = 24.0 \text{ mA}$  (3.3 V時)



(g)  $I_{OL} = 24.0 \text{ mA}$  (5.0 V時)



#### 4.5.4 出力バッファの出力電流 ( $I_{OL}$ , $I_{OH}$ )

弊社ではCMOSゲートアレイの出力電流を,  $V_{OL} = 0.4 \text{ V}$ と $V_{OH} = V_{DD} - 0.4 \text{ V}$ で定義しています。しかし, 実際のアプリケーションでは異なる $V_{OL}$ ,  $V_{OH}$ で使用する場合も考えられますので, 使用条件に合わせて $I_{OL}$ ,  $I_{OH}$ の特性を見積もる場合には次の(1) ~ (3)に示す係数を使用してください。

##### 出力電流算出式

$$I_{OL}' = I_{OL} \times K_V \times K_T \text{ (mA)}$$

$$I_{OH}' = I_{OH} \times K_V \times K_T \text{ (mA)}$$

$I_{OL}$  :  $V_{OL} = 0.4 \text{ V}$ 時の $I_{OL}$ スペック

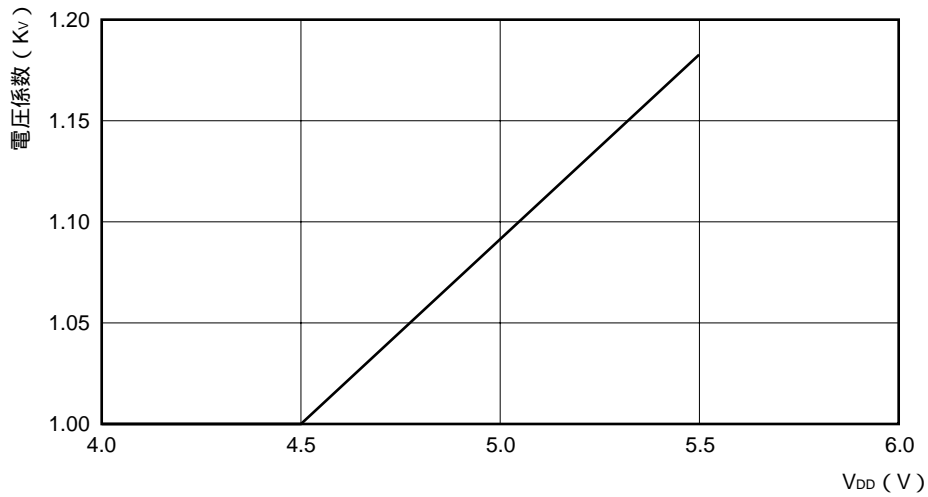
$K_V$  : 電圧係数

$K_T$  : 温度係数

(1) 電源電圧に対する依存性

電源電圧に対する依存性を図4 - 17に示します。

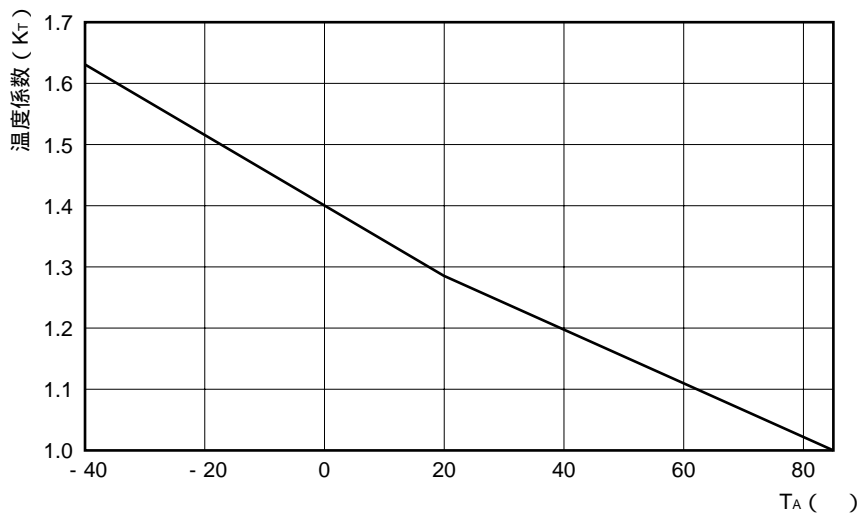
図4 - 17  $I_{OL}/I_{OH}$ の $V_{DD}$ 依存性



(2) 動作周囲温度に対する依存性

動作周囲温度に対する依存性を図4 - 18に示します。

図4 - 18  $I_{OL}/I_{OH}$ の $T_A$ 依存性



(3) 出力電圧に対する依存性

$V_{OL} = 0.4 \sim 0.6 \text{ V}$ ,  $V_{OH} = (V_{DD} - 0.4 \text{ V}) \sim (V_{DD} - 0.6 \text{ V})$ の間

.....ほぼ出力電圧に比例して $I_{OL}$ ,  $I_{OH}$ は変化するので、直接近似できます。

ただし、TTLレベル出力バッファの $I_{OH}$ は除きます。



近似方法

$$I_{OL}' = I_{OL} \times V_{OL} / 0.4 \quad (\text{mA})$$

$$I_{OH}' = I_{OH} \times (V_{DD} - V_{OH}) / 0.6 \quad (\text{mA})$$

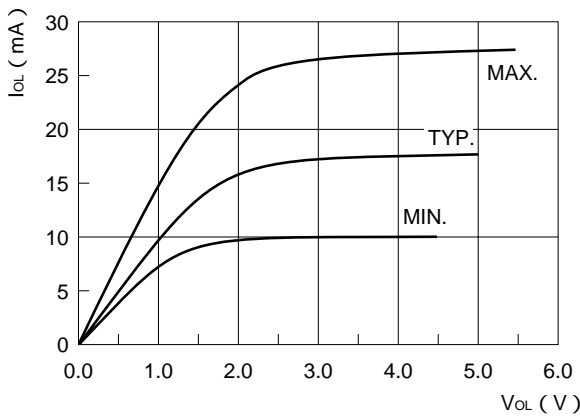
- $I_{OL}$  :  $V_{OL} = 0.4 \text{ V}$ 時の $I_{OL}$ スペック
- $V_{OL}$  : 使用する $V_{OL}$ 値
- $I_{OH}$  :  $V_{OH} = (V_{DD} - 0.4 \text{ V})$ 時の $I_{OH}$ スペック
- $V_{OH}$  : 使用する $V_{OH}$ 値

図4 - 19, 図4 - 20に $I_O$ 対 $V_O$ のカーブを示します。MIN.は $V_{DD} = 4.5 \text{ V}$ ,  $T_J = 125$  の条件のカーブを, TYP.は $V_{DD} = 5.0 \text{ V}$ ,  $T_J = 25$  の条件のカーブを, MAX.は $V_{DD} = 5.5 \text{ V}$ ,  $T_J = -40$  の条件のカーブを示します。実際に使用できる直流 $I_{OH}$ ,  $I_{OL}$ は絶対最大定格以内としてください。

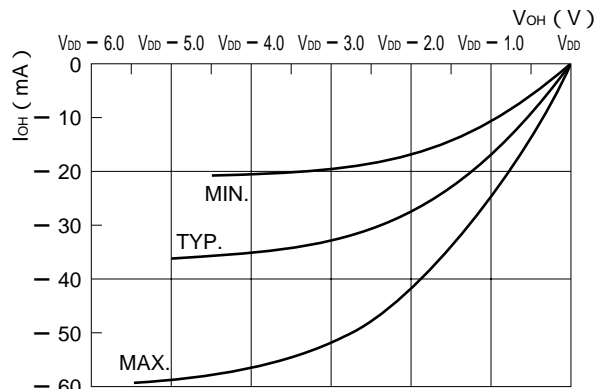
図4 - 19  $I_O$  vs  $V_O$  (5.0 V時) (1/3)

(1)  $I_{OL} = 3 \text{ mA}$

(a)  $I_{OL}$  vs  $V_{OL}$

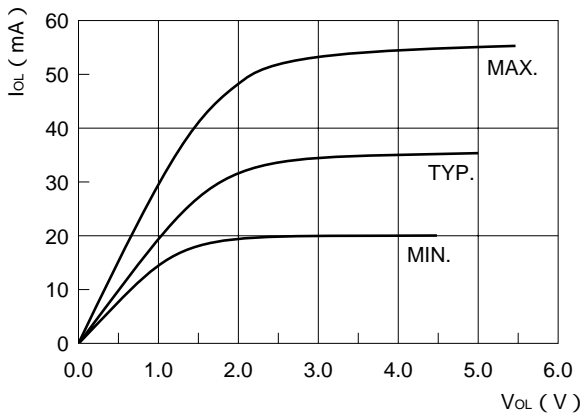


(b)  $I_{OH}$  vs  $V_{OH}$



(2)  $I_{OL} = 6 \text{ mA}$

(a)  $I_{OL}$  vs  $V_{OL}$



(b)  $I_{OH}$  vs  $V_{OH}$

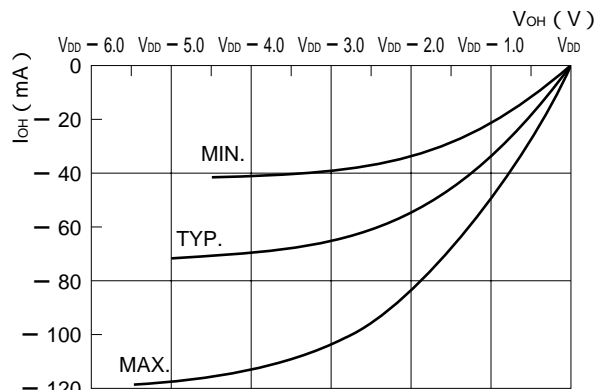
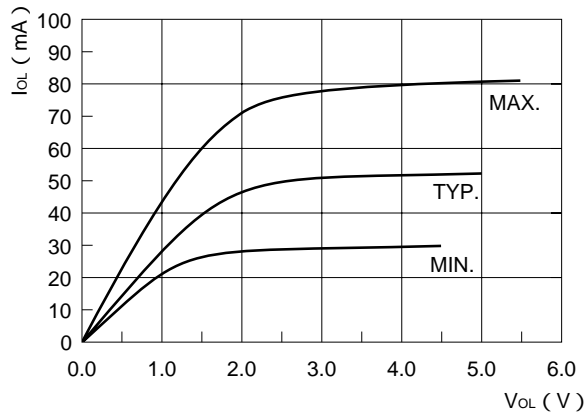


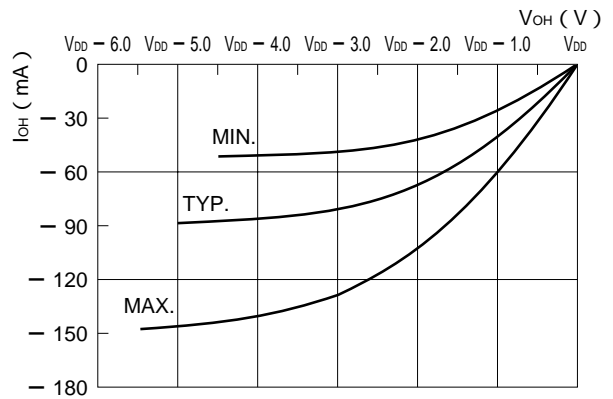
図4 - 19  $I_o$  vs  $V_o$  (5.0 V時) (2/3)

(3)  $I_{OL} = 9$  mA

(a)  $I_{OL}$  vs  $V_{OL}$

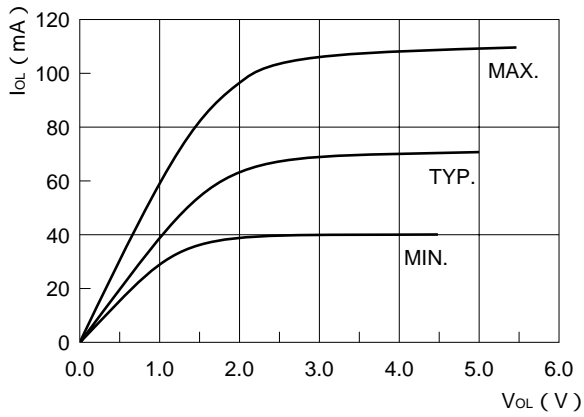


(b)  $I_{OH}$  vs  $V_{OH}$



(4)  $I_{OL} = 12$  mA

(a)  $I_{OL}$  vs  $V_{OL}$



(b)  $I_{OH}$  vs  $V_{OH}$

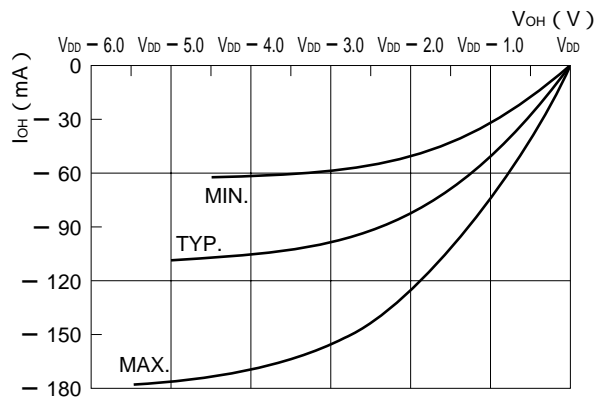
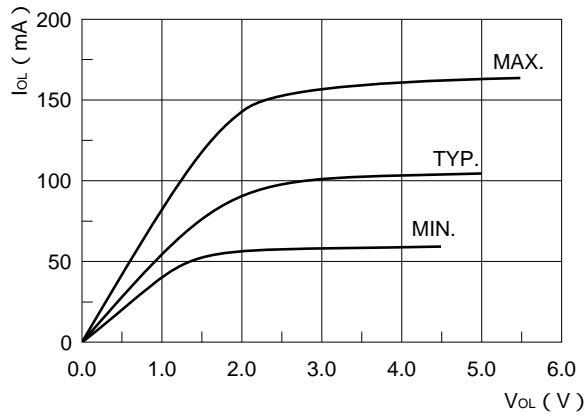


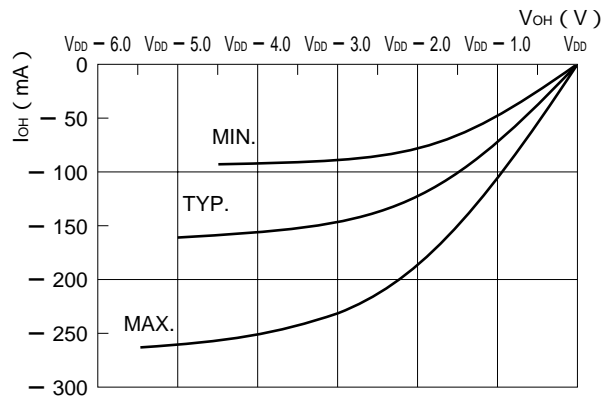
図4 - 19  $I_o$  vs  $V_o$  (5.0 V時) (3/3)

(5)  $I_{OL} = 18$  mA

(a)  $I_{OL}$  vs  $V_{OL}$

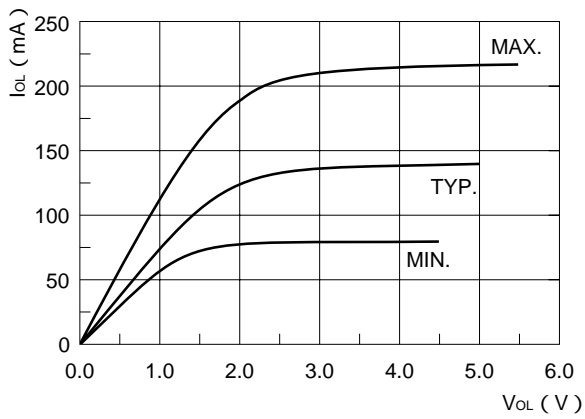


(b)  $I_{OH}$  vs  $V_{OH}$



(6)  $I_{OL} = 24$  mA

(a)  $I_{OL}$  vs  $V_{OL}$



(b)  $I_{OH}$  vs  $V_{OH}$

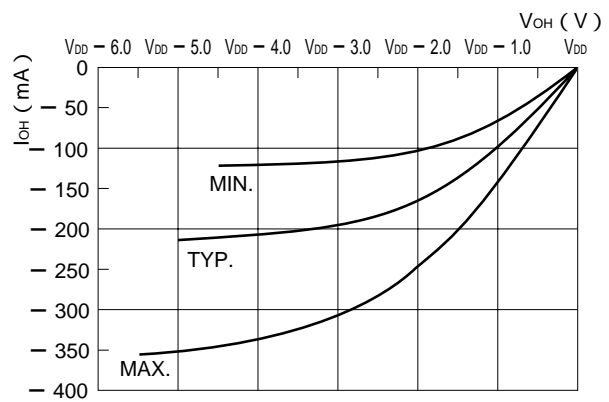
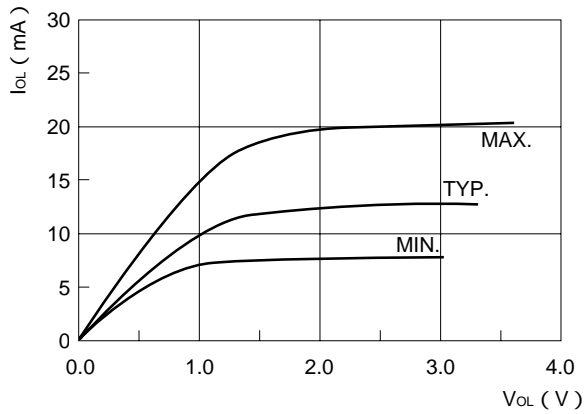


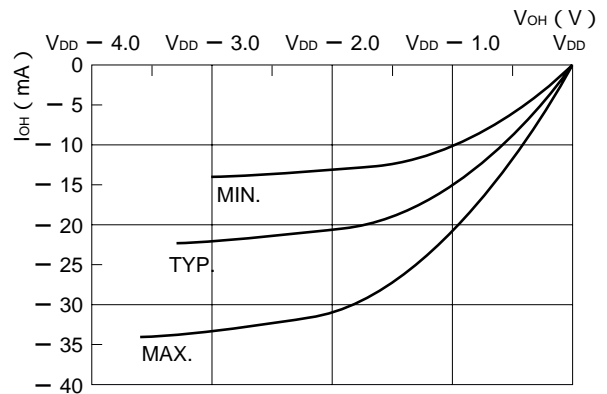
図4 - 20  $I_o$  vs  $V_o$  (3.3 V時) (1/3)

(1)  $I_{OL} = 3 \text{ mA}$

(a)  $I_{OL}$  vs  $V_{OL}$

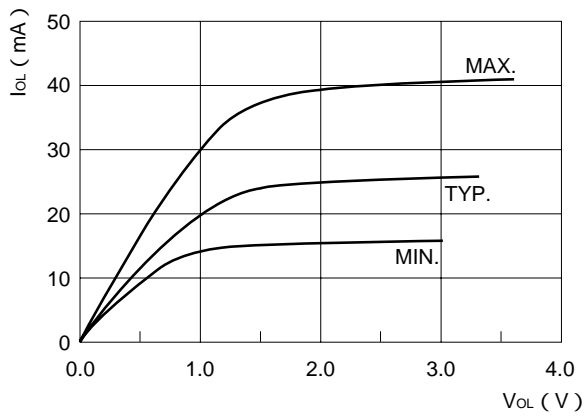


(b)  $I_{OH}$  vs  $V_{OH}$



(2)  $I_{OL} = 6 \text{ mA}$

(a)  $I_{OL}$  vs  $V_{OL}$



(b)  $I_{OH}$  vs  $V_{OH}$

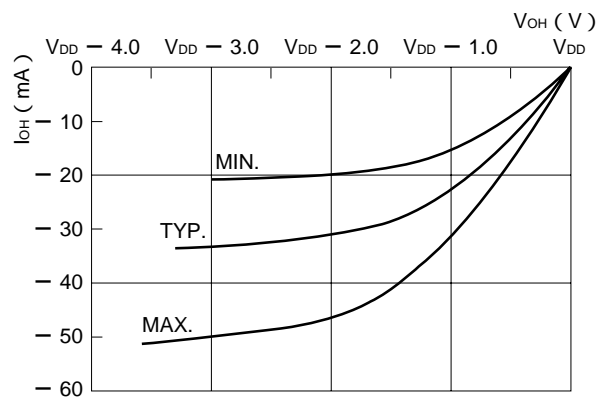
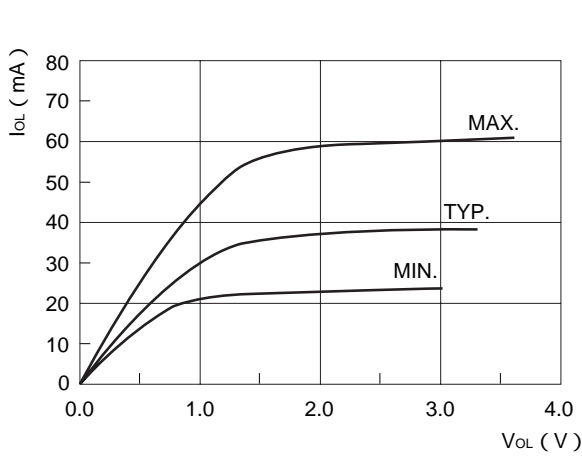


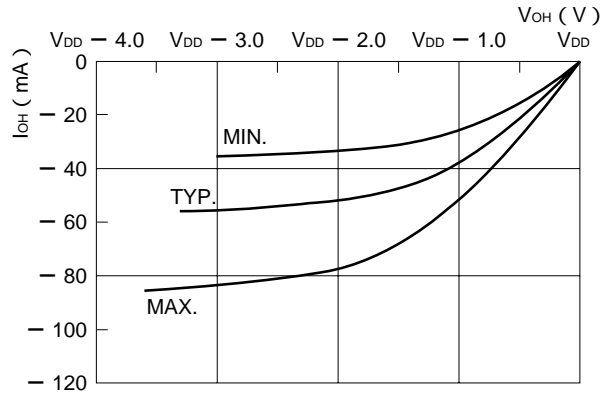
図4-20  $I_o$  vs  $V_o$  (3.3 V時) (2/3)

(3)  $I_{OL} = 9$  mA

(a)  $I_{OL}$  vs  $V_{OL}$

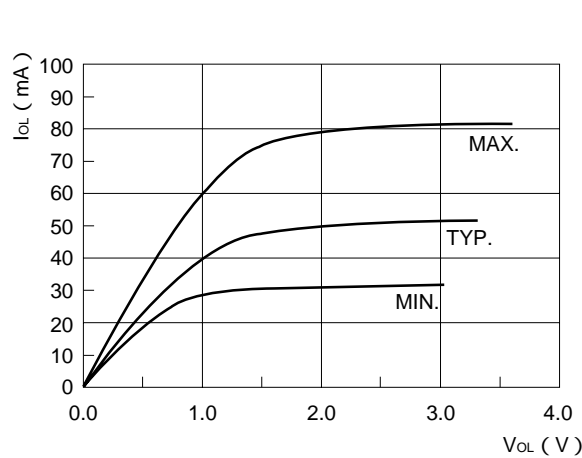


(b)  $I_{OH}$  vs  $V_{OH}$



(4)  $I_{OL} = 12$  mA

(a)  $I_{OL}$  vs  $V_{OL}$



(b)  $I_{OH}$  vs  $V_{OH}$

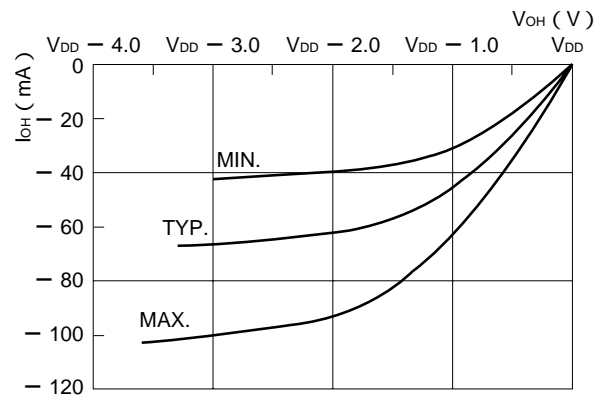
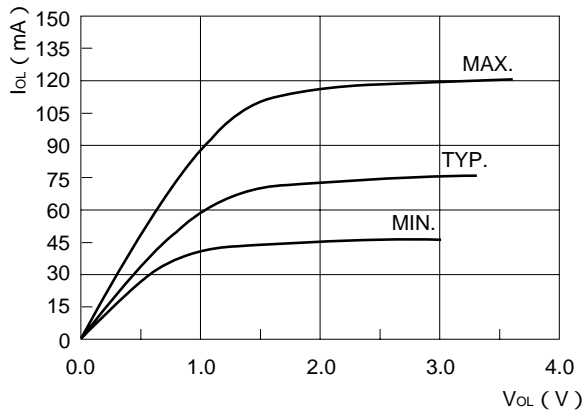


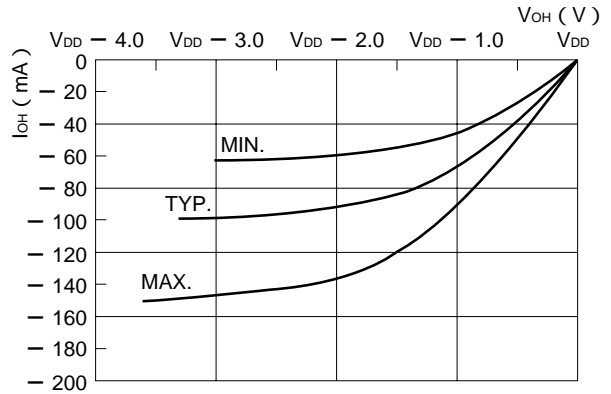
図4 - 20  $I_o$  vs  $V_o$  (3.3 V時) (3/3)

(5)  $I_{OL} = 18$  mA

(a)  $I_{OL}$  vs  $V_{OL}$

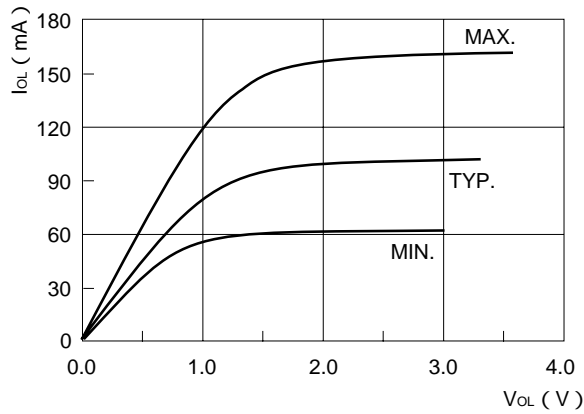


(b)  $I_{OH}$  vs  $V_{OH}$

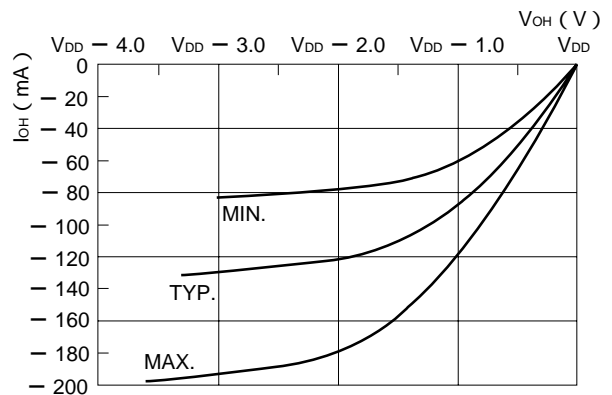


(6)  $I_{OL} = 24$  mA

(a)  $I_{OL}$  vs  $V_{OL}$



(b)  $I_{OH}$  vs  $V_{OH}$



## 4.6 出力バッファの同時動作制限

### 4.6.1 出力同時動作による誤動作

出力バッファが動作すると、負荷を充（放）電する電流が負荷とLSIの間に流れます。この充（放）電電流が大きすぎると電源ラインにノイズが発生し、誤動作の原因になります。

この誤動作には次の2種類があります。

LSIの入カスレッシュホールド・レベルの変動による誤動作

LSIの出力端子へのノイズ発生による次段の回路の誤動作

次に、この出力バッファの同時動作による誤動作の起こる原因について説明します。

図4 - 21 (a) の回路において、LSI Bの出力バッファが“H L”にスイッチングした場合を考えます。このとき、負荷の放電電流がLSI Bの電源ラインを通過してGNDに流れます。この放電電流とGNDラインのインピーダンスにより、GNDラインに電源降下が生じ、LSI B内部のGNDレベル ( $V_G$ ) が上昇します。また、出力バッファが“L H”にスイッチングした場合は、負荷容量への充電電源が流れ電源ラインにノイズが発生し、 $V_{DD}$ が一時的に低下します。

このように多数の出力バッファが同時に動作する場合、駆動される負荷容量が大きくなると信号変化時の充放電電流によりLSIチップ内部の電圧レベルが変動して、図4 - 21 (b), (c) のように誤動作を起こすおそれがあります。

このような誤動作を防ぐには、同時動作する出力バッファの数を制限する必要があります。同時に動作可能な出力バッファ数は以下の5つの要素によって変わります。

$V_{DD}$ , GNDの本数

負荷容量の大きさ ( $C_L$ )

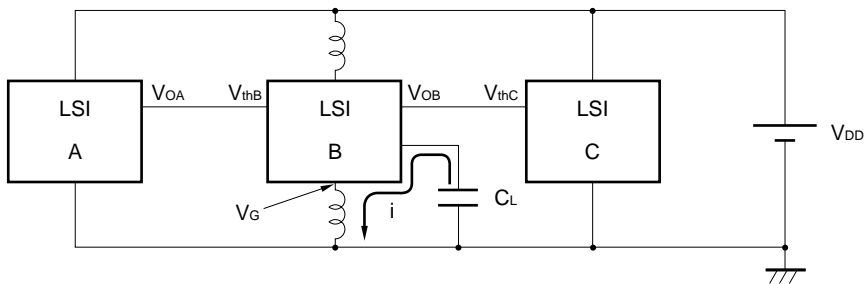
使用する出力バッファの負荷駆動能力 ( $I_{OL}$ )

入力インタフェース・レベルの種類

出力インタフェース・レベルの種類

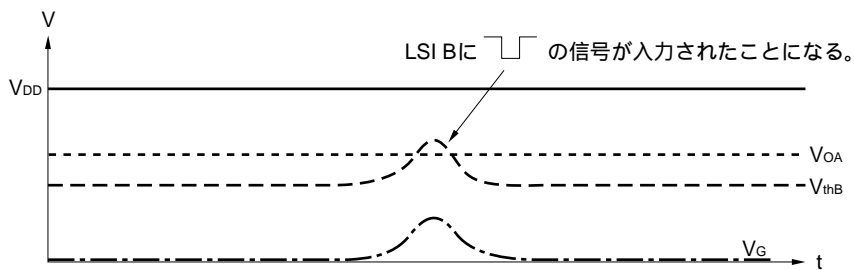
図4 - 21 同時動作による誤動作

(a) 回路図

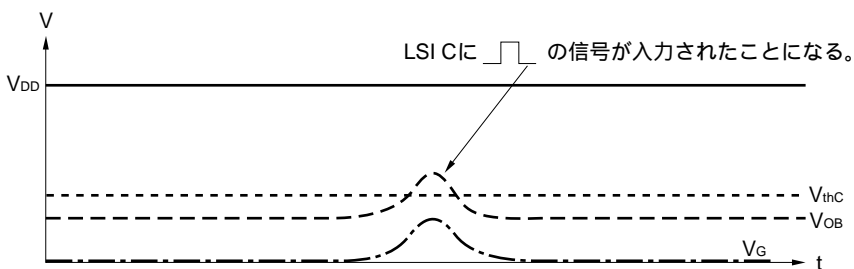


- $V_{OA}$  : LSI Aの出力レベル
- $V_{OB}$  : LSI Bの出力レベル
- $V_{thB}$  : LSI Bの入カスレッシュホールド・レベル
- $V_{thC}$  : LSI Cの入カスレッシュホールド・レベル
- $V_G$  : LSI BのGNDレベル

(b) LSI Bの入カスレッシュホールド・レベルの変動



(c) LSI Bの出力端子へのノイズの発生





### 4.6.2 同時動作の定義

出力同時動作とは、複数の出力バッファがバッファ・タイプ、負荷容量などの条件によって決まる一定時間内（表4 - 10参照）に、同一方向（H L, HZ LまたはL H, HZ H）にスイッチングすることです。出力同時動作は動作ごとにカウントし、同時動作制限はそれぞれ独立に適用します。

一つの出力同時動作のグループと判定する信号の動作は、次のようになります。

- (1) H L, HZ L, X L, H Xの出力信号動作
- (2) L H, HZ H, X H, L Xの出力信号動作

**備考** HZ：ハイ・インピーダンス，X：不定

ここで，L HZ, H HZの出力信号動作は同時動作としてカウントしません。

双方向端子の場合は，入力から出力に切り替え時に起こる動作も考慮してください。

表4 - 10 同時動作基準時間範囲（TYP.）

バッファ・タイプ	負荷容量 $C_L$ [pF]		
	0 $C_L$ 50	50 < $C_L$ 200	200 < $C_L$ 300
3.0 mA	2.5 ns	4.0 ns	6.0 ns
6.0 mA	3.0 ns	4.0 ns	6.0 ns
9.0 mA	3.0 ns	4.0 ns	6.0 ns
12.0 mA	3.0 ns	4.0 ns	6.0 ns
18.0 mA	3.0 ns	4.0 ns	6.0 ns
24.0 mA	3.0 ns	4.0 ns	6.0 ns

### 4.6.3 同時動作の判定要因

充放電電流により発生するノイズが誤動作の原因であるため，出力同時動作本数は次の項目により制限されます。

- (1) 出力バッファの駆動能力
- (2) 負荷容量
- (3) 出力同時動作本数
- (4) LSIの電源端子数
- (5) 実装基板上的GNDおよび電源の配線パターン
- (6) 出力同時動作端子の端子配置
- (7) 入力バッファの種類

項目（1），（2），（3）が充放電電流を規定し，項目（7）が入力バッファのインタフェースによるLSI自身のノイズ・マージンを規定します。項目（4），（5）は，充放電電流が流れる閉ループのインダクタンスの制限です。このため，定量的には規定できません。弊社での同時動作の制限は，このループのインピーダンスを適当な値と規定しています。このため，お客様の基板によっては弊社での制限内であっても，ノイズ発生の可能性があります。基板設計にあたりましては，ノイズ対策を十分に行ってください。

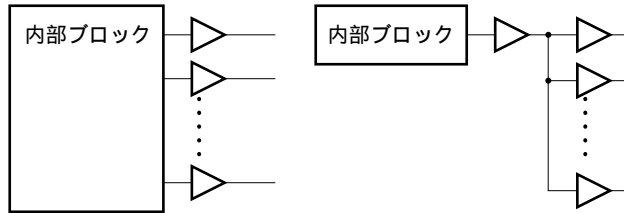
#### 4.6.4 判定対象となる同時動作端子

次の条件を満たす出力バッファ群が、出力同時動作の検証対象となります。

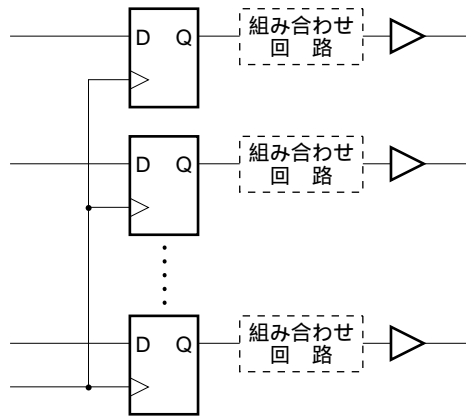
##### 条 件

(1) それぞれの出力バッファが、共通内部ブロックにより並列駆動されている場合。

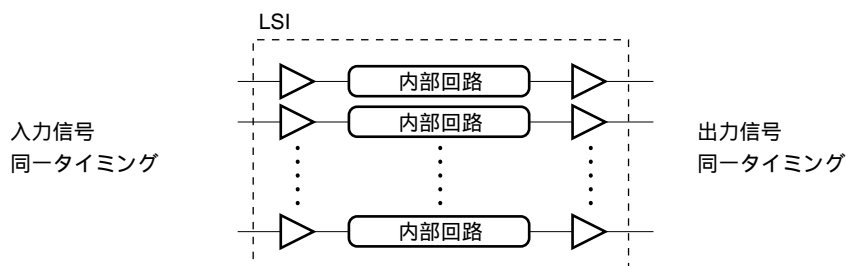
また、ファンアウト制限により、共通内部ブロックから出力される1信号をバッファで分割し、それぞれの出力バッファを並列駆動させている場合。



(2) それぞれの出力バッファが、共通の制御信号で動作する順序回路で駆動されていて、その順序回路出力から出力バッファまでの間に存在する組み合わせ回路の遅延時間により、ばらつく各出力バッファの動作タイミング差が、表4 - 10 同時動作基準時間範囲 (TYP.) に示されるバッファ、負荷容量ごとの同時動作基準時間以下の場合。



(3) 外部入力のタイミングが同一になることで、出力バッファの動作タイミングの差が、表4 - 10 同時動作基準時間範囲 (TYP.) に示されるバッファ、負荷容量ごとの同時動作基準時間以下になり、その外部入力のタイミングが実動作上である場合。



同時動作基準時間 (表4 - 10 同時動作基準時間範囲 (TYP.)) に記載) の判定は, CMOS-N5シリーズ (5.0 V) ブロック・ライブラリ (A13872J) または CMOS-N5シリーズ (3.3 V) ブロック・ライブラリ (A15895J) に記載の  $t_{LD0}$  (TYP.) の単純合計値で行ってください。

ただし次の条件にあてはまるものは, 出力同時動作の検証対象からはずしてください。

- ・出力バッファの動作タイミング差が, 表4 - 10 同時動作基準時間範囲 (TYP.) に示されるバッファ, 負荷容量ごとの同時動作基準時間以上になる場合。
- ・その動作が初期設定 (セット/リセット) 以外に発生しない場合 (同時動作による誤動作が初期設定に吸収されてしまうため)。

#### 4.6.5 端子配置と同時動作

出力バッファの充放電電流が流れる閉ループのインダクタンスの大きさが, 発生するノイズの大きさを決めます。この閉ループのインダクタンスは, LSIの端子配置やLSIが実装される基板によって変わります。同時動作によるノイズを抑えるためには, 端子配置に注意してください。

- ・同時動作する出力バッファ群には, 入力端子を極力入れないようにしてください。
- ・ノイズの影響を受けやすい入力端子 (特にクロック入力端子など) は, GND端子にできるだけ近づけてください。また, 同時動作する出力バッファ群からできるだけ離してください。
- ・同時動作する出力バッファ群は, できるだけ入力端子から離し, GND端子で囲むようにするのが最も効果的です。
- ・GND端子で囲むのが困難な場合には, 同時動作する出力バッファをできるだけ分散して配置するようにしてください。いずれの場合にも, 同時動作する出力バッファ群は, 入力端子からできるだけ離して配置してください。
- ・GND/ $V_{DD}$ 端子を増設する場合には, GND2本に対して $V_{DD}$ 1本の割合でGND/ $V_{DD}$ 端子を増設するようにしてください。

#### 4.6.6 3GND端子判定法

この方法はLSI全体のGND,  $V_{DD}$ の本数から判定するのではなく, 3GND端子内を判定範囲とする方法です。そのため, 同時動作の集中する箇所を考慮しながら検討が可能です。

同時動作の判定は出力バッファ・タイプ, 出力負荷容量および有効GND本数によって行います。連続した3本の有効GND端子の間で同時動作可能な端子数を表4 - 11に示します。これは, 12 mAの出力バッファを使用したときの同時動作許容本数を表していますので, 駆動能力および出力レベルの異なるバッファを使用する場合は表4 - 12の換算係数を用いて許容本数を求めてください。

$I_{OL} = 12$  mA以外ですべて駆動能力が同じ場合は, 表4 - 11の値を表4 - 12の同時動作換算係数で割った値を使用してください。

$$I_{OL} = 12 \text{ mAでの3GND端子内同時動作許容本数} / \text{同時動作換算係数}$$

**駆動能力や負荷容量が異なる場合の判定法**

駆動能力が異なるバッファの場合は、各駆動能力ごとの同時動作本数 ( $m_i$ ) と同時動作本数換算係数 ( $\beta_i$ ) を考慮し、表4 - 11の同時動作許容本数 ( $M_i$ ) に対し、次式で判定してください。

$$\Sigma (m_i \times \beta_i / M_i) \leq 1$$

計算例  $I_{OL} = 18 \text{ mA}$  CMOSレベル 30 pF 5本  
 $I_{OL} = 24 \text{ mA}$  CMOSレベル 50 pF 2本  
 $5 \times 1.189 \div 12.5 + 2 \times 1.266 \div 10 \leq 1$

**BGA系パッケージの判定について**

BGA系パッケージでは内部チップでの判定となります。内部チップ端子の配置については、CMOSゲートアレイ、エンベデッドアレイ 設計マニュアル パッケージ編 (A16400J) のV<sub>DD</sub>, GND, NC, SCANテスト端子の端子配置一覧を参照してください。

表4 - 11 3GND端子内での同時動作許容本数 ( $I_{OL} = 12 \text{ mA}$ )

(1) 5.0 V用

(a) 入力がCMOSレベル入力の場合

有効GND本数	出力負荷容量 (C <sub>L</sub> )					
	15 pF	30 pF	50 pF	100 pF	150 pF	200 pF
1 <sup>注</sup>	13.0	8.5	6.3	4.8	4.3	3.8
3	19.5	12.5	10	7.5	6.5	6

(b) 入力がTTLレベル入力の場合、入力がTTLレベル入力とCMOSレベル入力混在の場合

有効GND本数	出力負荷容量 (C <sub>L</sub> )					
	15 pF	30 pF	50 pF	100 pF	150 pF	200 pF
1 <sup>注</sup>	5.2	4	2.8	1.9	1.6	1.5
3	8	5	4.5	3	2.5	2.5

(2) 3.0 V, 3.3 V用

有効GND本数	出力負荷容量 (C <sub>L</sub> )					
	15 pF	30 pF	50 pF	100 pF	150 pF	200 pF
1 <sup>注</sup>	4.3	4.0	3.8	3.5	3.3	3.0
3	6.5	6	6	5.5	5	5

注 小ピン・パッケージ対応用

- 備考1. 表にない容量の許容本数は直線で補完して求めてください。  
 2. 隣接したGND端子はレイアウト上のコーナを挟んだ場合も含めて、1本としてカウントしてください。

表4 - 12 同時動作本数換算係数

(a) 5.0 V用

出力レベル	I <sub>OL</sub> (mA)	換算係数	該当ブロック例
CMOSノーマル・タイプ	3.0	0.467	FO09, B00T
	6.0	0.746	FO04, B00E
	9.0	0.757	FO01, B008
	12.0	1.000	FO02, B007
	18.0	1.189	FO03, B009
	24.0	1.266	FO06, B00H
CMOSロウ・ノイズ・タイプ	3.0	0.287	FE09, BE0T
	6.0	0.465	FE04, BE0E
	9.0	0.483	FE01, BE08
	12.0	0.500	FE02, BE07
	18.0	0.530	FE03, BE09
	24.0	0.625	FE06, BE0H

(b) 3.0 V, 3.3 V用

出力レベル	I <sub>OL</sub> (mA)	換算係数	該当ブロック例
CMOSノーマル・タイプ	3.0	0.395	FO09, B00T
	6.0	0.575	FO04, B00E
	9.0	0.618	FO01, B008
	12.0	1.000	FO02, B007
	18.0	1.076	FO03, B009
	24.0	1.116	FO06, B00H
CMOSロウ・ノイズ・タイプ	3.0	0.277	FE09, BE0T
	6.0	0.380	FE04, BE0E
	9.0	0.453	FE01, BE08
	12.0	0.500	FE02, BE07
	18.0	0.523	FE03, BE09
	24.0	0.533	FE06, BE0H

#### 4.6.7 同時動作判定法使用の注意点

同時動作判定は、実装基板の電源およびGND配線にも大きく影響を受けます。

この判定法では、比較的基板、LSI端子配置に対して同時動作を考慮していると仮定して、基準を決めています。このため、基板の配線パターン（特に電源やGND）が細かい場合や、基板上の電源の配線からLSI、基板上のGNDの配線を通し、電源の配線に戻る閉ループが長くインピーダンスが大きい場合、同時動作により発生するノイズがこの判定法で規定しているノイズ・レベルより大きくなり、不具合の発生も十分考えられるので、あらかじめご了承ください。

このような場合には、バイパス・コンデンサにより上記の閉ループを短くする方法が効果的です。

#### 4.6.8 標準電源，GND端子本数だけで，判定基準を満足しない場合

標準電源，GND端子本数だけで判定基準を満足しない場合は，次の方法により対応してください。

##### (1) V<sub>DD</sub>, GND端子の増設

同時動作本数を満足するようにV<sub>DD</sub>, GNDの追加を行ってください。

なお，追加V<sub>DD</sub>端子と，追加GND端子の比は，1：2になるようにしてください。

##### (2) 使用環境の見直し

###### 出力負荷容量の低減

出力変化時に流れる充放電電流が発生するノイズの大きさは，出力負荷容量の大きさに依存します。このため，負荷容量を低減すれば発生するノイズの大きさを減少でき，同時動作許容本数を増加できます。

###### バッファ・タイプの変更

出力の充放電電流のピーク値は，バッファの駆動能力とその機能に依存します。バッファ・タイプをより低駆動能力タイプや，ロウ・ノイズ・バッファに変えることで，発生するノイズを押え，同時動作許容本数を増加する方法です。

###### 遅延時間の追加による同時動作本数の低減

出力同時動作とは，複数の出力バッファが，バッファ・タイプ，負荷容量などの条件によって決まる一定時間内（表4 - 8，表4 - 9参照）に，同一方向（H L，HZ LまたはL H，HZ H）にスイッチングすることです。このため，同時動作出力端子に遅延時間を追加し，表4 - 10 同時動作基準時間範囲（TYP.）に規定された時間内からずらすと，同時動作本数と考える必要はなくなり，同時動作本数を低減できます。

備考 HZ：ハイ・インピーダンス

## 第5章 回路設計

この章では、回路設計を行う際の注意点や制限事項について述べます。

CMOSゲートアレイを使用してLSIを設計する場合、TTLやCMOSの標準ICを用いて回路を作るのと異なり、一度設計してしまった回路を簡単に修正することができません。

このため、第2章 ゲートアレイによるシステムの実現、第4章 各種特性値の見積もり方法や第5章 回路設計で述べている各種の制限事項や設計ルールに従って、誤りなくLSIを設計してください。

設計ルールに従わないで設計を進めてしまいますと、弊社へのインタフェース後の開発期間が延びるだけでなく、場合によってはそのまま品種開発を進めてしまい品種の再開発（リワーク）になる場合もありますので、十分注意してください。

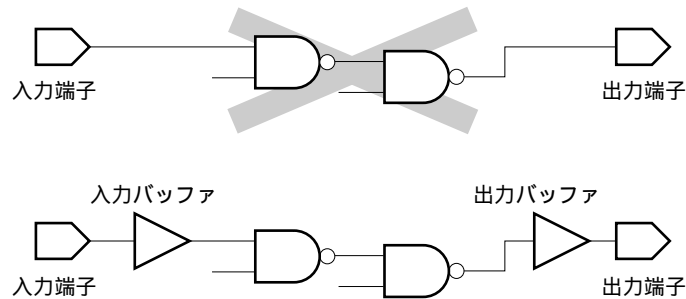
### 5.1 基本回路構成

#### 5.1.1 入力/出力バッファの使用

LSI内部と入力/出力端子の間には、必ず入力/出力バッファを入れてください(図5-1参照)。

理由： 静電気などによる破壊からLSIを保護する。  
出力するのに十分な駆動能力を得る。

図5-1 回路の基本構成



### 5.1.2 未使用端子処理

ゲートアレイでは、どのブロックも未使用入力端子をオープン（どこにも接続されない状態）のままにしておくことはできません。F091（H、Lレベル・ジェネレータ）を使用して、ハイ・レベルかロウ・レベルを必ず入力するようにしてください。ブロックの入力端子をオープンのままにすると、入力レベルが定まらないために、ファンクション不良や $I_L$ （リーク電流）増加の原因になります。なお、F091を使用する場合、配線性向上のため、ファンアウト数が多くなるような使用は避けてください。1ブロックで多くのブロックをクランプすると、その部分に配線が集中し、配置配線が困難となります。このような場合、回路をある単位で分けて配線の集中を避けてください。

また、ブロックの出力端子がオープンのままですと、ツールでのデザイン・ルール・チェック時に、ワーニング・エラーが出力されます。不要となるブロックは、削除してください。

### 5.1.3 ファンアウト数の制限

ブロックの出力端子に接続できる負荷ゲート数（ファンアウト数）には一定の制限があり、それぞれのブロックごとの許容数が（ファンイン数も含めて）CMOS-N5シリーズ（5.0 V）**ブロック・ライブラリ**（A13872J）またはCMOS-N5シリーズ（3.3 V）**ブロック・ライブラリ**（A15895J）に記載されています。

負荷ゲート数が増加すると、信号の立ち上がり時間、立ち下がり時間が大きくなるため、伝達遅延時間の見積もり精度が悪くなります。また、立ち上がり時間、立ち下がり時間が極端に大きくなった場合には、フリップフロップでのデータ・スルーを生じ、正常な論理動作を維持できなくなることがあります。

したがって、設計時にファンアウト制限数を越えないように注意してください。

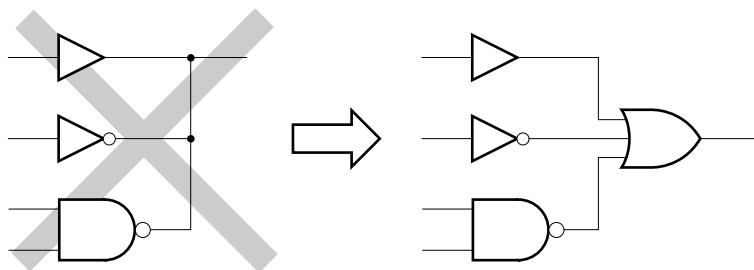
また、スピード・スペックが厳しい回路では、ファンアウト数のリミットは1/3程度として設計してください。

### 5.1.4 ワイアード・ロジックの禁止

BUS（束線）の場合を除き、ブロックの出力どうしを相互に接続してワイアード・ロジックを構成することはできません。

ブロックの出力どうしを接続すると、論理状態によってP-chトランジスタとN-chトランジスタが同時に導通状態となり、出力が中間レベルになるとともにVDD-GND間に定常的な電流通路ができるため、CMOS回路本来の特徴である定常時の低消費電力特性が損なわれますので、この制限事項を必ず守ってください。

図5-2 ワイアード・ロジックの禁止





### 5.1.5 双方向バッファ使用上の注意

双方向バッファにおいて、出力信号をそのまま内部回路へ入力した場合、出力波形のなまりや、図5 - 3に示すようなリングングを生じることがあります。この場合、入力信号として受けた側の内部回路が誤動作する可能性があります。特に入力信号をフリップフロップのクロックへ入れることはやめてください。したがって、図5 - 4に示すように、出力モード時は出力バッファの直前の信号を内部に入力するような対策をしてください。

図5 - 3 リンギング

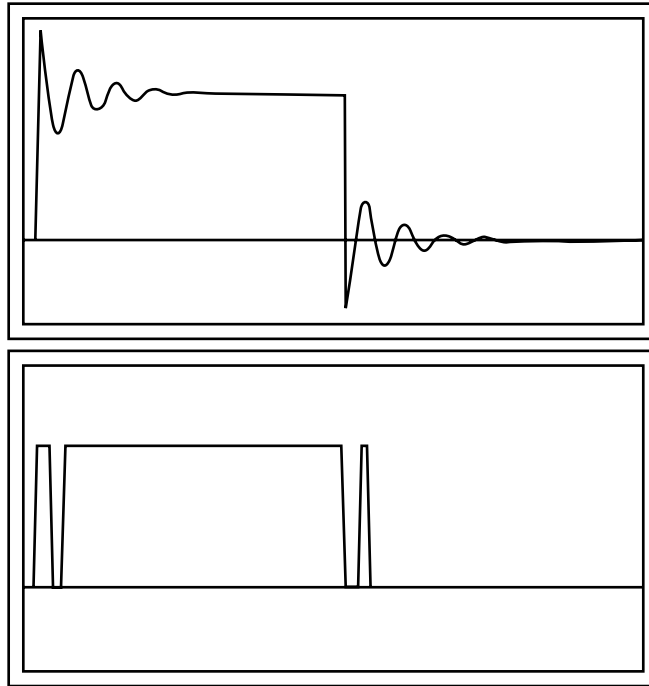
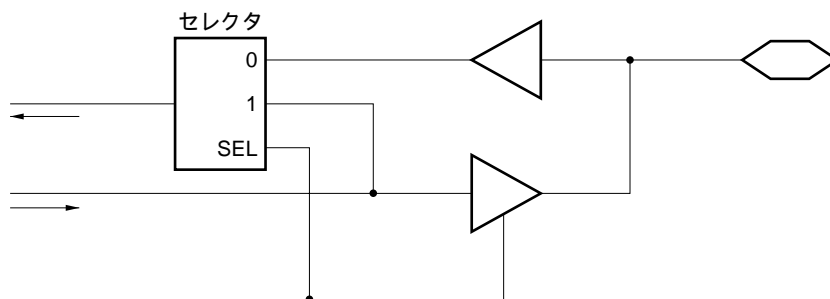


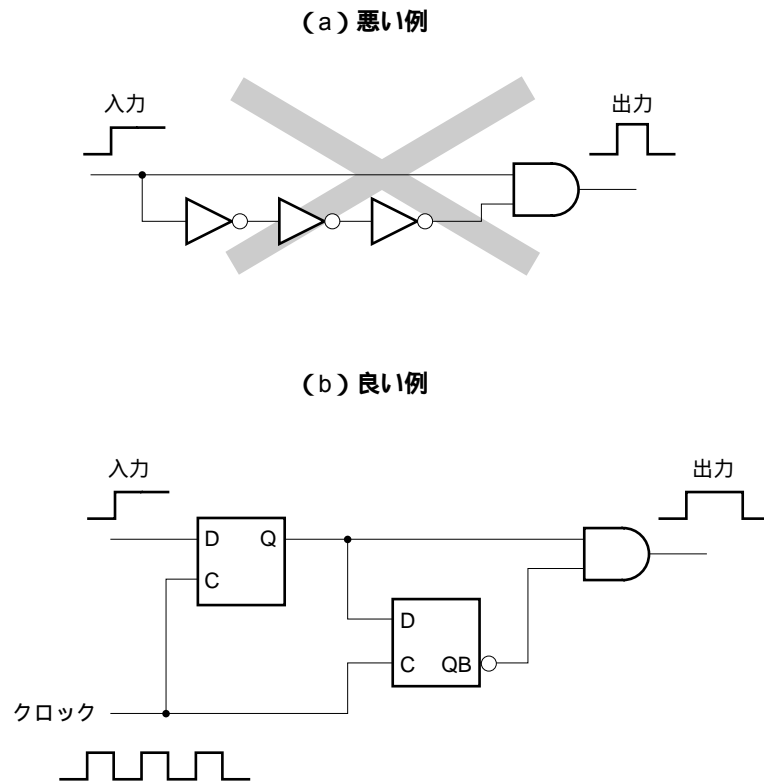
図5 - 4 対策回路例



## 5.2 微分回路の禁止

ゲートアレイでは、原則として微分回路の構成はできません。これは、配置配線設計が自動で行われるため、発生された内部波形の幅に対する保障ができず、所望の機能を果たさないおそれがあるからです。したがって図5-5(a)のような回路は避けて、できるだけ図5-5(b)に示すような同期回路で構成してください。

図5-5 微分回路の禁止

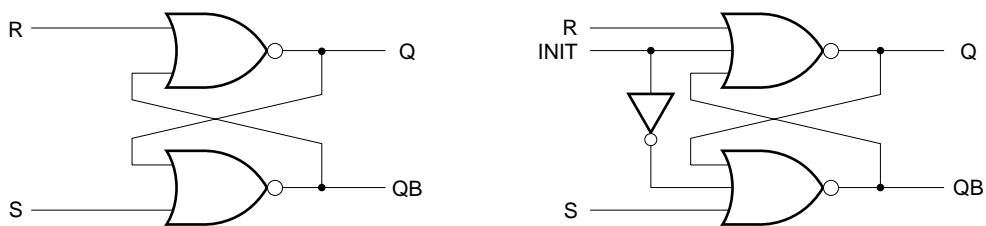


## 5.3 RSラッチ，ループ回路

### 5.3.1 RSラッチ

ゲート構成の非同期RSラッチは使用しないようにしてください。これは、シミュレーションによる初期化ができない場合があるだけでなく、配置配線の結果によって回路のパスごとのスピードばらつきが大きくなるためです。

図5-6 非同期RSラッチ

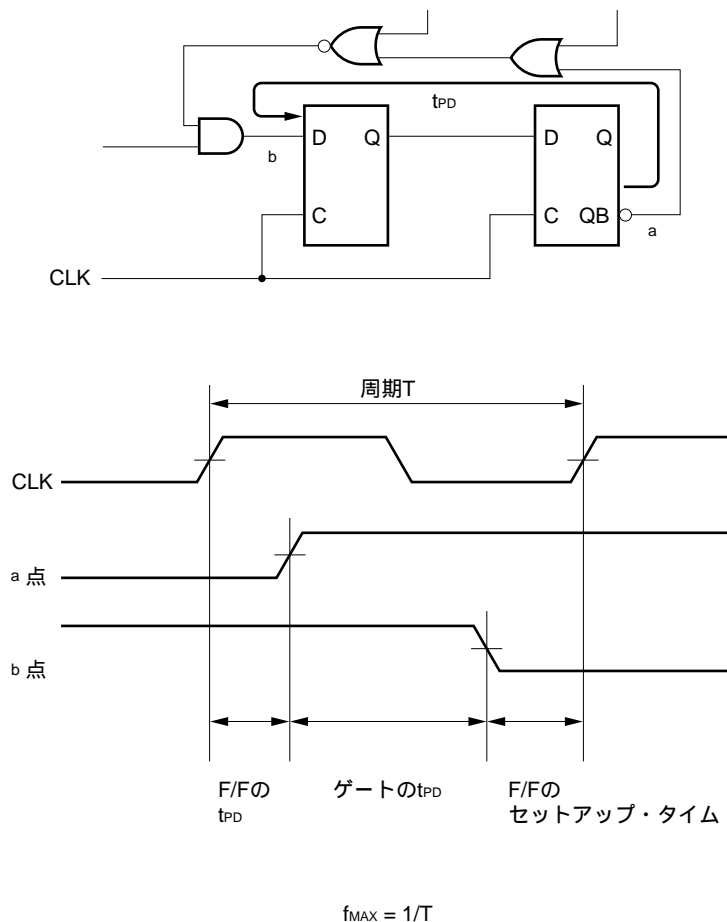


### 5.3.2 ループ回路

フィードバック・ループなどのループ回路が存在する場合は、次の点に注意してください。

- (1) 図5-7のように、分周回路などでフィードバック・ループにゲートが介在する場合は、このゲートによる遅延時間のため、周波数特性が低下します。そこで、このループの遅延時間をあらかじめ求め、周波数特性を確認してください。詳しい確認方法は、5.6 遅延時間マージンを参照してください。

図5-7 ループ回路



- (2) スキャンパス構成をする場合は、ループ回路が構成されたままにしないでください。

このような場合はゲートなどを使用して、ループ回路を遮断するなどの対策を施したうえで使用してください。

### 5.3.3 フリップフロップの禁止状態

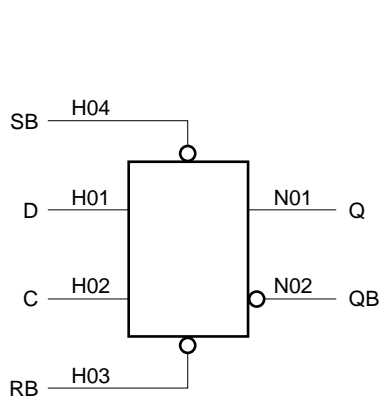
RSラッチやフリップフロップのセット，リセット入力については，同時にイネーブルになる状態に対して禁止状態と書かれています。これは，セット，リセット入力が2入力とも同時にイネーブル状態 ディスエーブル状態になったときに，保持しているデータが不安定になるためです。そして，保持しているデータがどの値になるかは，セット，リセット入力に入る信号のタイミングおよびフリップフロップの内部の信号の遅延などの微妙なタイミングに影響され動作は保証できません。




したがって，セット，リセット入力付きフリップフロップを使用する場合は，次のようにしてください。

原則的に，セット，リセット入力を同時にイネーブル状態にしないでください。

どうしても，同時にセット，リセット入力をイネーブル状態にする必要がある場合は，必ず，どちらか一方を先にディスエーブル状態にしてから，もう一方をディスエーブル状態にしてください。こうすれば，あとからディスエーブルにした方の状態を必ず保持します。

表5 - 1 F617 (D-F/F with RB, SB)



D	C	RB	SB	Q	QB
0		1	1	0	1
1		1	1	1	0
X		1	1	ホールド	ホールド
X	X	0	1	0	1
X	X	1	0	1	0
X	X	0	0	0	0

禁止状態

X : 不定

## 5.4 クロック信号の設計

ゲートアレイは基本的に、同期回路設計を行ってください。

### 5.4.1 同期回路設計

同期回路設計の手法としては、汎用LSIを用いて回路設計を行う場合に通常使われる単相同期回路設計と、CPU設計によく用いられる多相同期回路設計があります。単相、多相両同期回路設計における特徴を表5-2に示します。

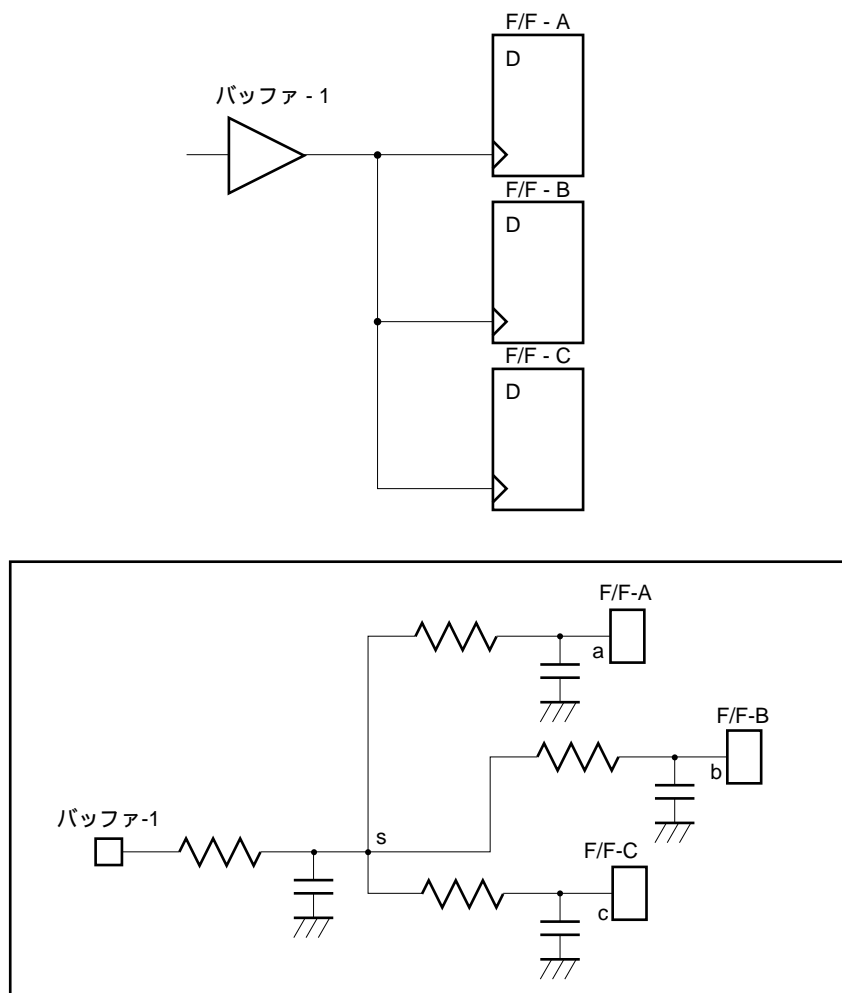
表5-2 単相、多相両同期回路設計の特徴

	長 所	短 所
単相同期回路設計	回路が単純 一般的に高速回路に適する	シフト・レジスタなどを構成する場合、クロック・ライン上の信号スキューを考慮しなければならない
多相同期回路設計	シフト・レジスタなどの構成でタイミング検討不要	多相クロック信号を生成する必要あり ゲート数増加 一般的に高速動作に不向き

(1) 単相同期回路設計

単相同期回路設計は、順序回路を1種類のクロック信号により動作させる手法です。この設計手法では比較的、回路構成が簡単になりますが、順序回路間のクロック・スキューなどのタイミング調整が必要になります。

図5-8 クロック・スキュー



s から a までの遅延時間と s から b, c までの遅延時間は配線抵抗により異なります。

クロック・スキューとは、各順序回路間のクロック信号のずれをいいます。

この信号のずれは、配線抵抗が大きくなると増加します。また、分岐点からの配線の長さも依存します。単相回路設計を行う場合は、このクロック・スキューを考慮し、次の方法による対策を行ってください。

- (a) 同一マクロ内は極力同じクロック・ラインで分配する (図5-9(a) 参照)。
- (b) 複数のクロック・ラインで分配する場合は、各クロック・ライン間のクロック・スキューによる誤動作が起こらないように工夫する (図5-9(b) 参照)。
- (c) 同期式カウンタやシフト・レジスタ構成では後段のレジスタほど早く動作させる (図5-10参照)。
- (d) クロック・ツリー・シンセシスを用いる (5.4.3 クロック・ツリー・シンセシス参照)。

図5-9 クロック・スキュー対策1

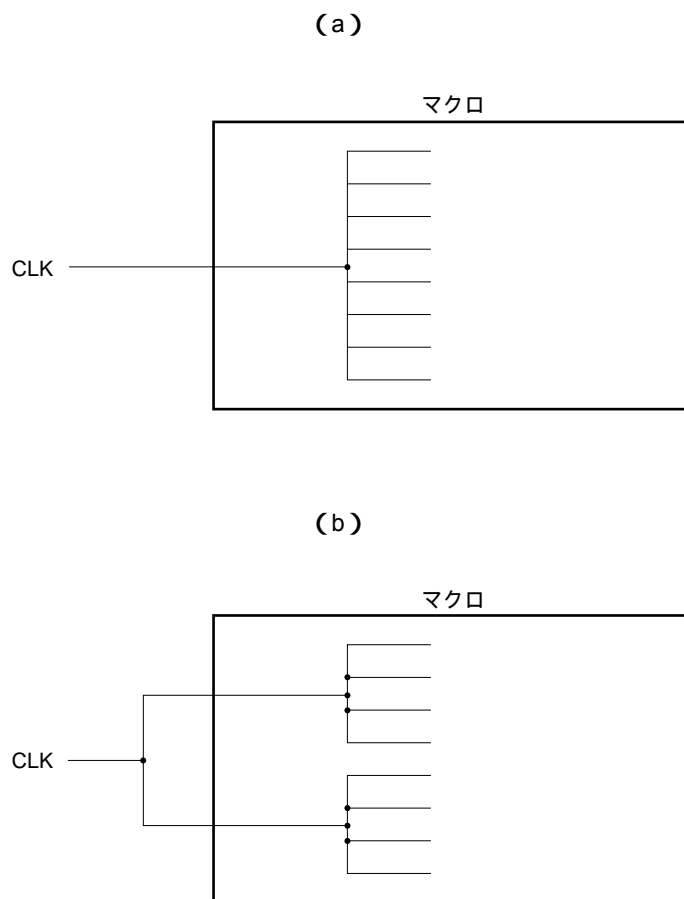
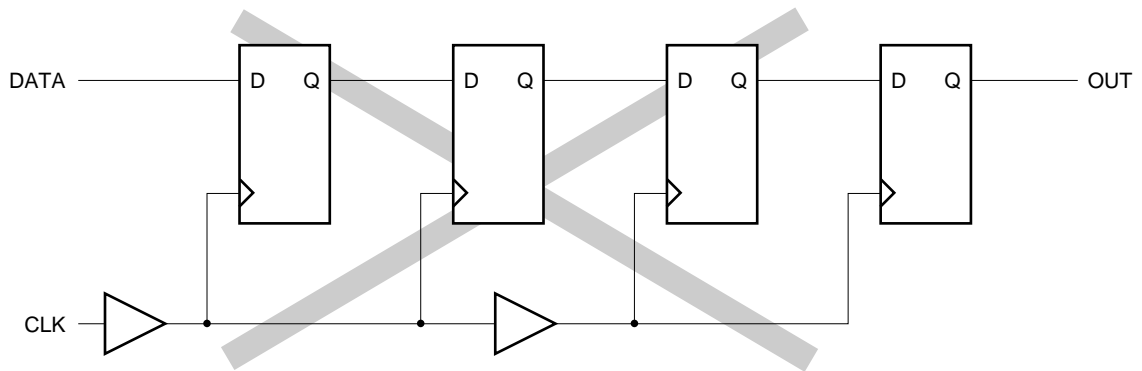
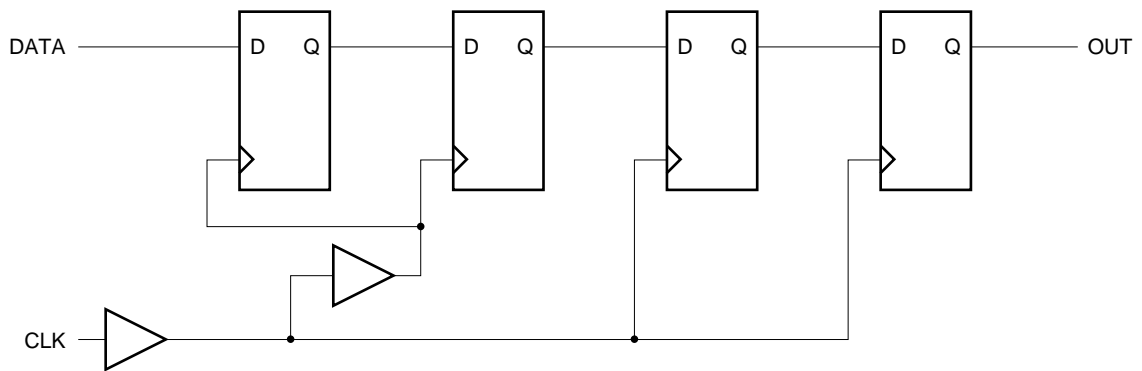


図5 - 10 クロック・スキュー対策2

(a) 誤動作を生じる可能性のある回路



(b) クロック・スキューへの対策を施した回路



ファンアウト制限のため、クロック・ラインにバッファを挿入する場合にも、図5 - 10 (b) の方法で対処してください。



## (2) 多相同期回路設計

多相同期回路設計は、常に同じ時間関係を持つ2種類以上のクロック信号により順序回路を動作させ、各順序回路間の動作が競合しないようにさせる手法です。

図5 - 11 二相同期回路

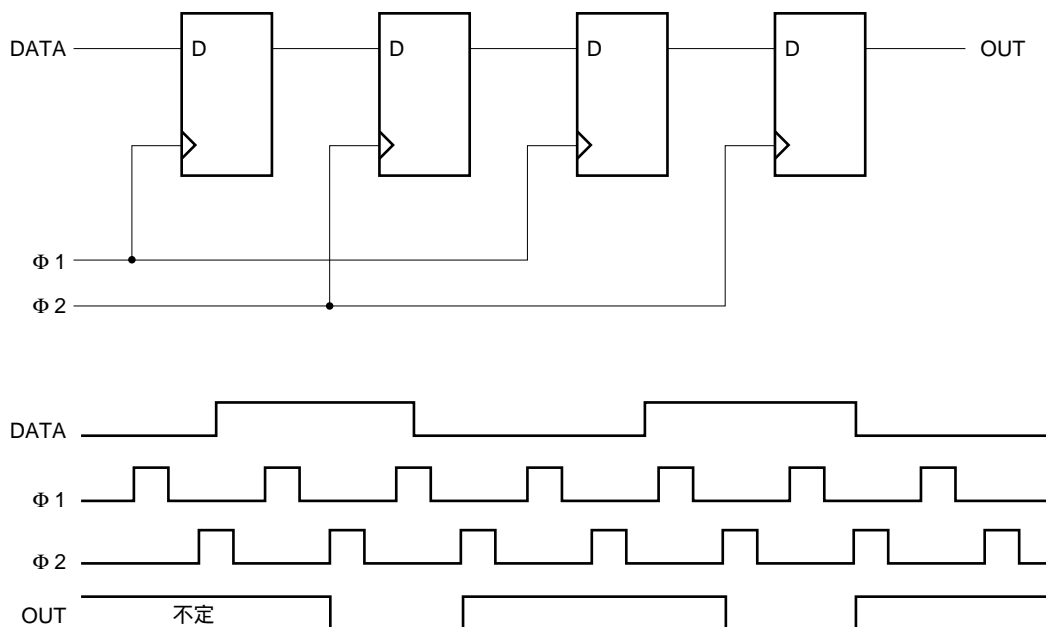


図5 - 11は二相クロックの回路例です。2本のクロック信号(Φ1, Φ2)はタイミングがまったく異なるようにし、2つの順序回路間でのホールド・タイム・エラーを避けるようにします。より複雑な回路でも、順序回路の動作が交互になるようにすることで、競合の検討を省くことができます。また、この回路例ではゲート数の削減のため、フリップフロップの代わりにラッチを使うこともできます。

多相同期回路設計では元のクロック信号から複数のクロック信号を作ります。このため、通常単相同期回路設計よりクロック周波数は低くなります(パイプライン構成で高速化可能)。

### 5.4.2 クロック・スキュー

クロック・スキューは、実際の配置配線での配線長のばらつきなどにより発生します。このクロック・スキューにより、順序回路ではホールド・タイム・エラーが発生する可能性があります。通常、配置配線前のシミュレーションでは、この種のばらつきによる不具合を考慮できません。したがって、クロック・スキューを事前に考慮した設計が必要になります。

#### (a) マクロ内のクロック・ライン設計

単相同期回路設計では、1本のクロック・ラインで供給します。

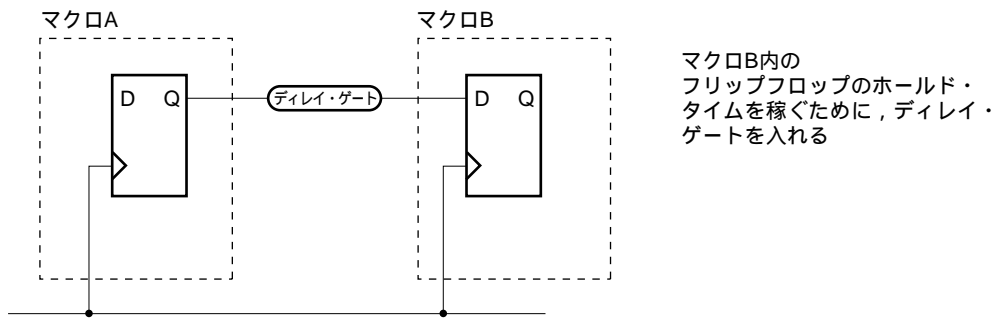
多相同期回路設計では、基本的にはクロック・スキューの検討は不要です。ただし、動作周波数の検討は必要です。

#### (b) 各マクロ間のクロック・ライン設計

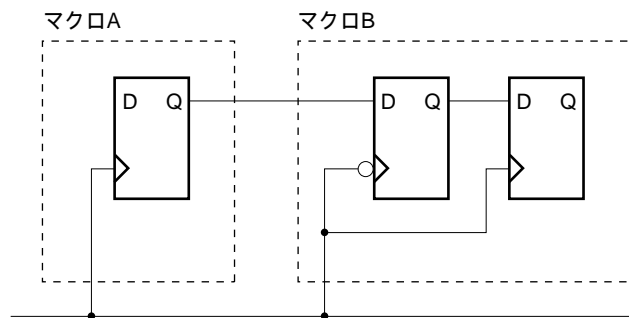
単相同期設計では、特に各マクロ間のクロック・スキューが問題になります。対策例を次に示します。

図5 - 12 マクロ間のクロック・ライン対策

(a) デレイ・ゲートを入れる



(b) 逆相のクロックで信号を受ける



(c) 多相クロックにする

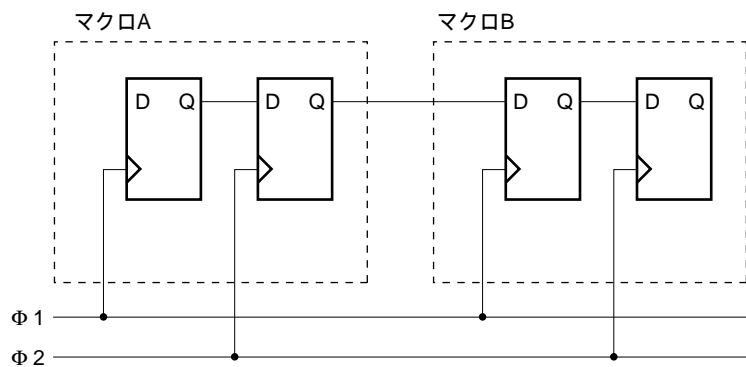


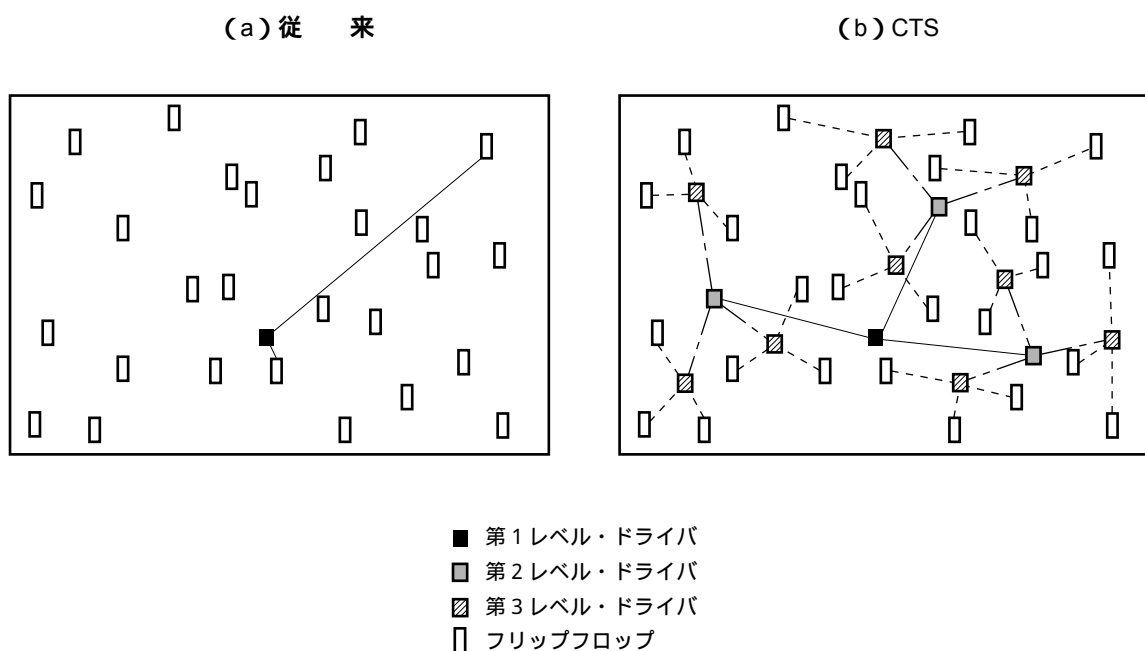
図5 - 12 (b) はクロックの逆相を使用して、ホールド・タイムのマーヅンを稼いでいます。この方法では、クロック周波数とデューティには注意が必要です。

図5 - 12 (c) では多相クロックにより対策を行っています。この場合には、クロック周波数には注意が必要です。

### 5.4.3 クロック・ツリー・シンセシス

クロック・ツリー・シンセシス (CTS) とは、クロック・ラインに接続される全フリップフロップ間のクロック・スキューを最小にする手法です。普通、図5-13 (a) に示されるように、クロック・ドライバから各フリップフロップまでの距離は一定になるわけではありません。また、配線の微細加工により配線の抵抗は大きくなります。そのため、配線長のばらつきは、そのままクロック・スキューにつながります。CTSではクロック・ライン上にバッファの挿入を行い、図5-13 (b) のようにクロック・ラインの分配が均一になります。よって弊社では、クロック・ドライバに代わるCTSの使用をお勧めします。

図5-13 CTSの概念



#### (1) CTSの利用法

CTSでは、従来使用していたクロック・ドライバ (FCKA~E) の代わりにCTS用のブロックを使用します。次の図は、クロック・ラインのバッファの挿入状態を示します。実際のCTSではパスの遅延時間を短縮するために、インバータを使用してクロック分配を行います。このため、挿入されるブロックの段数はCTS用ドライバを含んで必ず偶数になります。表5-3にブロック名、挿入されるブロックの段数を示します。クロック・ラインの分岐数により使用するブロックを選んでください。

- 注意1.** CTSの使用個数は1チップ当たり1つを推奨します。複数使用も可能ですが、使用個数の増加に伴いセル使用率の低下、クロック・スキューの増大を引き起こす可能性があります。また使用個数が増えるほどクロック・ツリー合成や配置配線に時間がかかりますので日程に注意してください。
- 2.** 発振回路 (発振子) と併用する場合は、7.3.3 発振回路 (発振子) とCTSとの併用を参照してください。

表5 - 3 CTSブロック一覧(目安)

ブロック名	段数	挿入ブロック	クロック・ライン上の分岐数				
			32 ~ 128	128 ~ 1280	1280 ~ 2560	2560 ~ 5120	5120 ~
FC42	2	F144	( 33 : 1.70 ) ± 0.20 ns	( 33 : 2.40 ) ± 0.30 ns	x	x	x
FC82	2	F148	x	( 33 : 1.70 ) ± 0.20 ns	( 33 : 2.10 ) ± 0.35 ns	x	x
FC44	4	F144	x	( 85 : 1.40 ) ± 0.15 ns	( 85 : 1.80 ) ± 0.35 ns	x	x
FC84	4	F148	x	x	( 85 : 2.60 ) ± 0.15 ns	( 85 : 3.00 ) ± 0.25 ns	( 165 : 3.40 ) ± 0.40 ns

**備考** 表中、各記号の意味は以下のとおりです。

x : 使用不可

: 使用可能

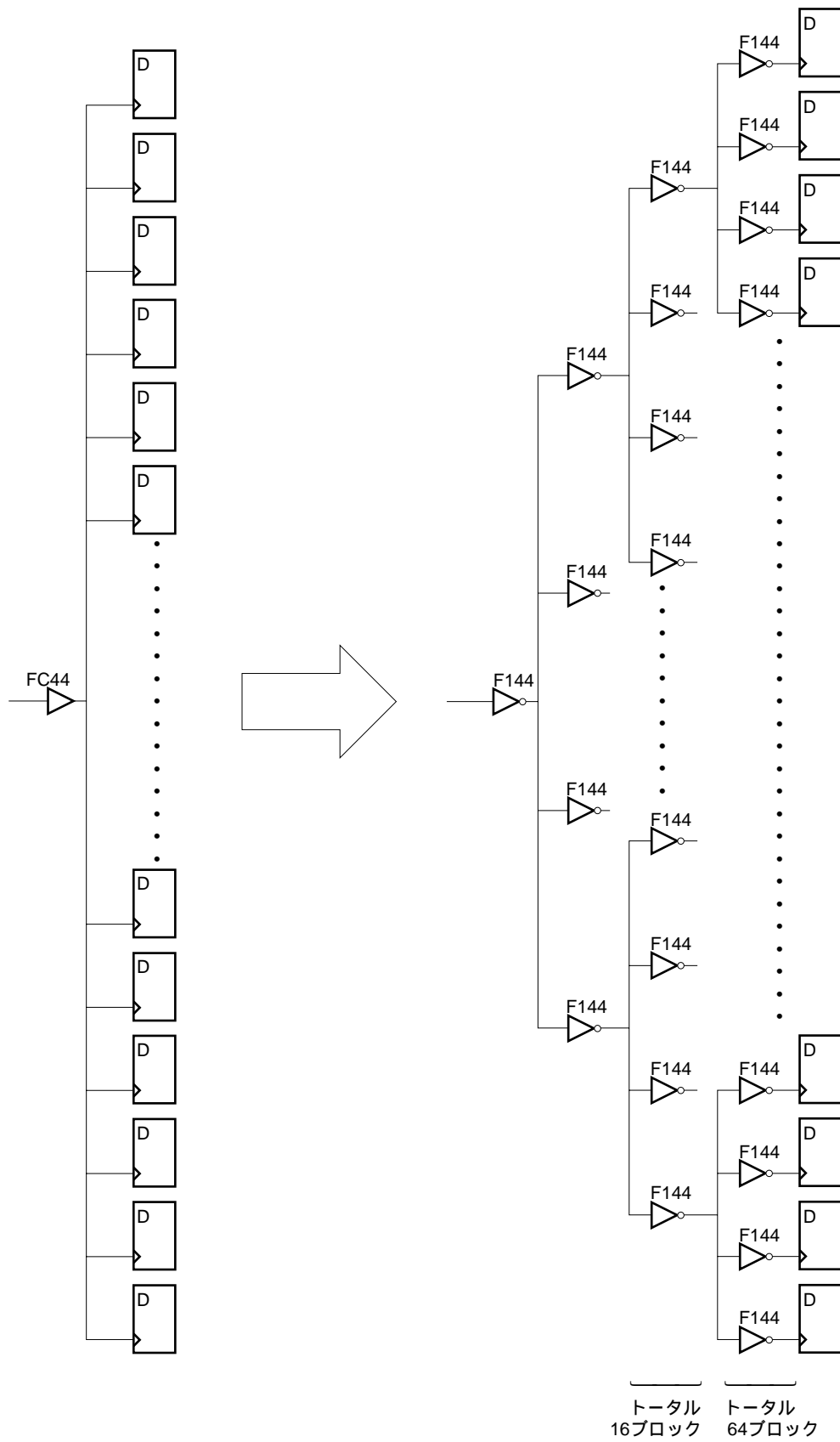
: 使用可能(推奨)

表中( )内左側の数値は予想挿入ブロック数, 右側は予想遅延時間, 下の数値は予想クロック・スキュー値です(条件により多少変動します)。

**注意1.** EMIやノイズに注意する必要があるチップ・セットで,CTSを使用する場合は,FC42,FC44を推奨します。

2. 発振ブロックOSOnとFC82の直結を行うと,ノイズが発生して,安定した発振ができない場合があります。したがって,7.3.3 発振回路(発振子)とCTSとの併用で示すように,間にゲートを入れてください。

図5 - 14 CTSの使用イメージ (FC44の例)



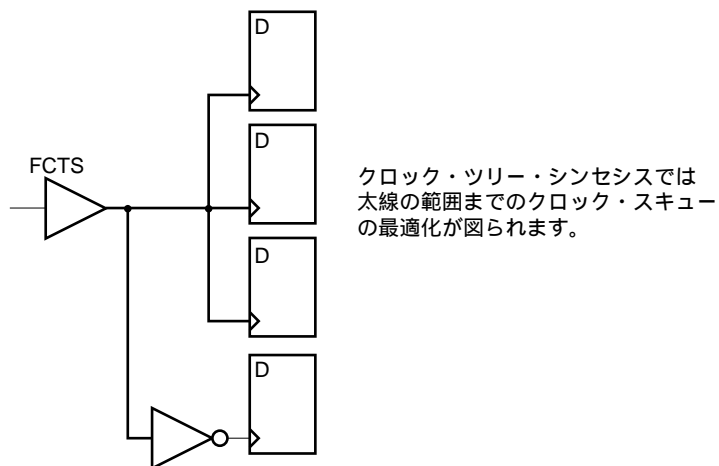
(2) CTS利用上の注意点

CTSを利用する場合、いくつかの注意点があります。

(a) クロック・ツリー・シンセシス用ブロック（以降FCTSと略す）の出力から、クロック・スキューの最適化が必要なブロックまで1本のネットで記述します。

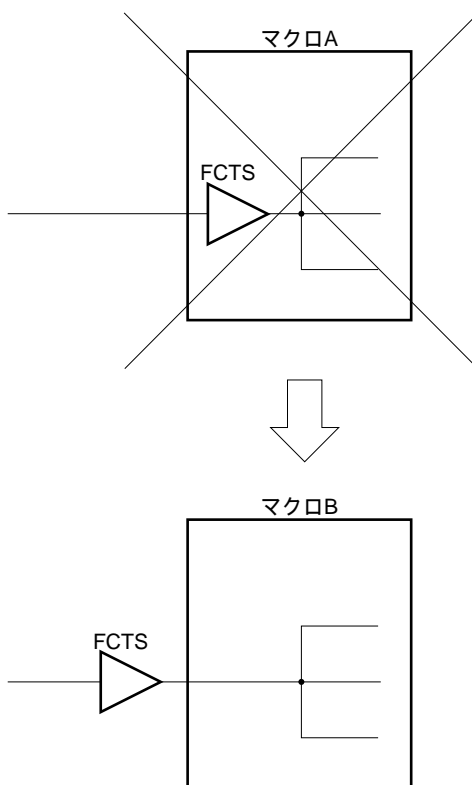
パスの途中にファンクション・ブロックを挿入した場合、ファンクション・ブロックまでのクロック・スキューが最適化されてしまいます。

図5 - 15 クロック・スキューの最適化



(b) FCTSはTOP階層に記述し、マクロ内には記載しません。スキューの最適化が困難になります。

図5 - 16 CTSブロックの記述例



(c) 大型マクロやセル使用率が高い品種では迂回配線が増加し、クロック・スキューの最適化が十分に行えない場合があります。

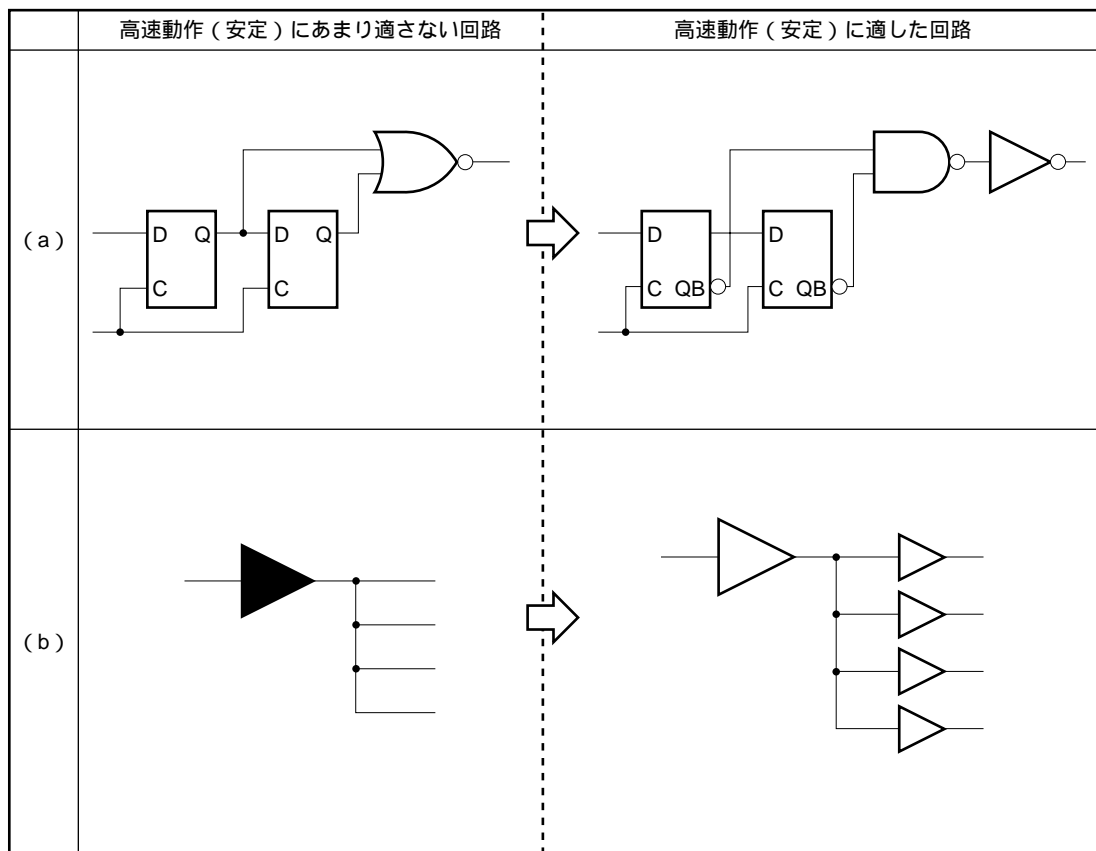
## 5.5 高速動作回路構成上の注意点

一般に、P-chトランジスタとN-chトランジスタの特性を比べると、N-chトランジスタの方が大きな電流を流すことができます。このため、P-chトランジスタが直列に接続されているNORゲートは、出力の立ち上がりで負荷駆動能力が低下します。たとえばNOR系ブロックはNAND系ブロックより、スピードが遅く、ファンアウト特性もよくありません。

そこで、高速動作をさせる回路部分には、次の点に注意して回路を構成するようにしてください。

- (1) 該当回路は、論理変換などの方法を用いてNAND系の標準ブロックで構成する。
  - ・回路のスピードが向上し、回路の安定度も上がります（図5-17(a)参照）。
- (2) 該当回路はできるだけファンアウト数を少なく（負荷を軽く）して構成する。
  - ・目安として、ファンアウト制限数1/3～1/2位で使用するのがよいでしょう（図5-17(b)参照）。
- (3) ロウ・パワー・ブロックから標準ブロックに変換して構成する。

図5-17 高速動作（安定）回路の構成上の注意



## 5.6 遅延時間マージン

論理回路は入力の状態だけで出力が決まる組み合わせ回路と、入力の状態と以前の状態によって出力が決まる順序回路によって構成されます。順序回路は具体的にはフィードバックのあるゲート回路やフリップフロップ、ラッチ回路などで構成されます。

テストビリティの考慮や遅延時間の設計見積もりの容易さを考えると、それぞれの組み合わせ回路、順序回路の大きさはあまり大きくはできないことが分かります。また、大部分の順序回路は組み合わせ回路の遅延時間に十分なマージンを持ったシステム・クロックに同期して動作させることになります。

クロックによって十分なマージンを確保できない部分は順序回路の入口、すなわちフリップフロップやラッチの各入力のタイミングを確保する必要があります。

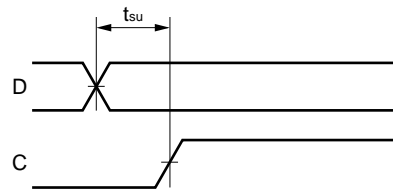


### 5.6.1 タイミングの定義

#### (1) セットアップ時間 ( $t_{su}$ )

ラッチまたはフリップフロップにおいて、クロックのアクティブ・エッジでデータを読み込むために必要なデータ設定時間。

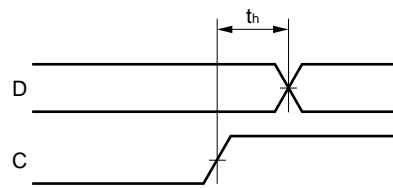
図5 - 18 セットアップ時間



#### (2) ホールド時間 ( $t_h$ )

ラッチまたはフリップフロップにおいて、クロックのアクティブ・エッジでデータを読み込むために必要なデータ保持時間。

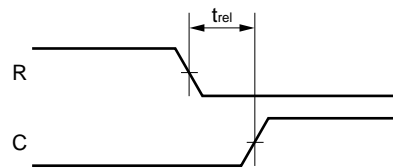
図5 - 19 ホールド時間



#### (3) リリース時間 ( $t_{rel}$ )

ラッチまたはフリップフロップにおいて、リセットまたはセットが解除になってから、次のクロックのアクティブ・エッジが有効となるまでに必要な時間。

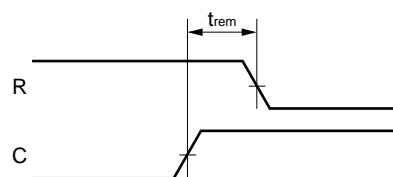
図5 - 20 リリース時間



#### (4) リムーバル時間 ( $t_{rem}$ )

ラッチまたはフリップフロップにおいて、リセットまたはセットが解除になるとき、クロックのアクティブ・エッジを無効とするために必要な時間。

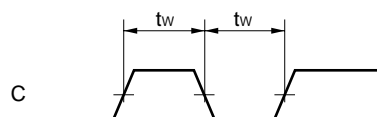
図5 - 21 リムーバル時間



#### (5) 最小パルス幅 ( $t_w$ )

ラッチまたはフリップフロップにおいて、データを正常に読み込むために必要となるクロック、リセット、セットのパルス幅の最小時間。

図5 - 22 最小パルス幅



### 5.6.2 遅延時間マージンの計算法（非同期回路）

遅延時間マージンの計算例として、図5-23の回路についてセットアップ時間、ホールド時間の検討を行います。このとき、ばらつきおよび配線長は、マージンが小さくなる方向で条件設定します。これがブロックごとに定められている規格値（ $t_{su}$ 、 $t_h$ ）を満足すれば正常動作が可能であると判定します。

図5-23 遅延時間マージン計算回路例

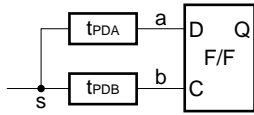
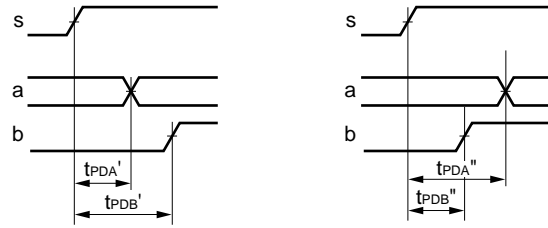


図5-24 タイミングの見積もり

(a) セットアップ時間 ( $t_{su}$ ) (b) ホールド時間 ( $t_h$ )



#### 計算式

$$\begin{aligned}
 t_{su} &< t_{PDB}' - t_{PDA}' \\
 &= t_{PDB}(\text{MIN}) - t_{PDA}[\text{MIN}(\text{MAX})] \\
 &= t_{PDB}(\text{MIN}) - t_{PDA}(\text{MIN}) \times \frac{1 + \alpha}{1 - \alpha}
 \end{aligned}$$

$$\begin{aligned}
 t_h &< t_{PDA}'' - t_{PDB}'' \\
 &= t_{PDA}(\text{MIN}) - t_{PDB}[\text{MIN}(\text{MAX})] \\
 &= t_{PDA}(\text{MIN}) - t_{PDB}(\text{MIN}) \times \frac{1 + \alpha}{1 - \alpha}
 \end{aligned}$$

$\alpha$  : ばらつき係数 (0.1)

### 5.6.3 遅延時間マージンの計算法（高速に動作する回路）

動作周波数が高い回路では、1サイクルのサイクル時間が短くなるため、内部ファンクション・ブロックの遅延時間に対する動作マージンが小さくなります。

ここでは、同相、逆相それぞれの回路構成について、遅延時間マージンの計算法を示します。

#### (1) 同相クロックの場合

図5 - 25のように、フリップフロップF1とF2の間に遅延が含まれているシフト・レジスタの動作について検討します。この回路の検証のポイントは、図5 - 26に示すように、サンプリング・タイミングにより出力したデータ（F1のQ）が遅延Aを通過してF2に入力され、サンプリング・タイミングで正常にデータが読み込まれるかどうかをチェックすることにあります。

つまり、a点での遅延量の最大値にF2のセットアップ時間を加えた値が1周期（T）内に収まるようにしてください。

図5 - 25 同相クロック回路例

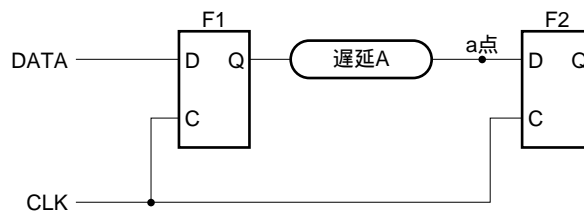
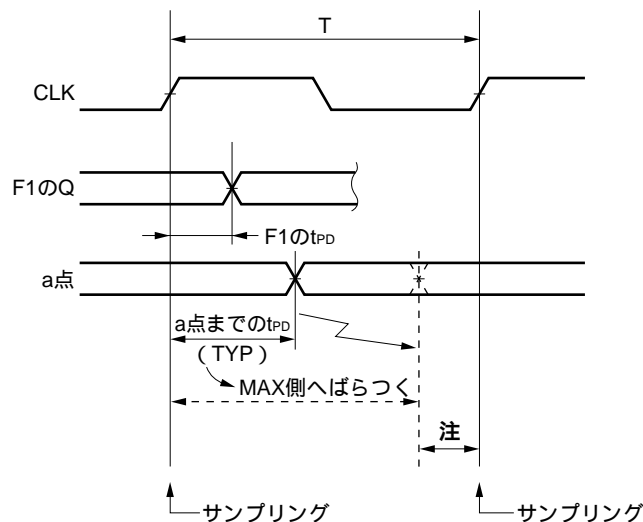


図5 - 26 同相クロックの場合のタイミング



注 F2のセットアップ時間を考慮して、次のサンプリング・タイミングをオーバーしないようにしてください。

#### 計算式

$$T - (t_{PD}(F1)(MAX) + t_{PDA}(MAX)) > t_{SU}(F2)$$

この関係式を満足しない場合には、次の対策が必要です。

遅延Aの遅延量を小さくする

動作周波数を下げる（周期Tを長くする）

(2) 逆相クロックの場合

図5 - 27は，図5 - 25のF2のクロックのアクティブ・エッジを逆相に変更したものです。CLKの立ち上がり，立ち下りの両エッジを使用していますので，CLKのデューティにより，動作マージンが変わります。この回路が正常に動作するための条件は，次のとおりです。

図5 - 27 逆相クロック回路例

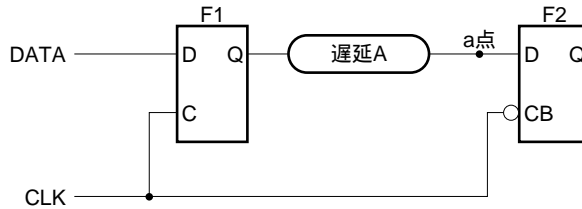
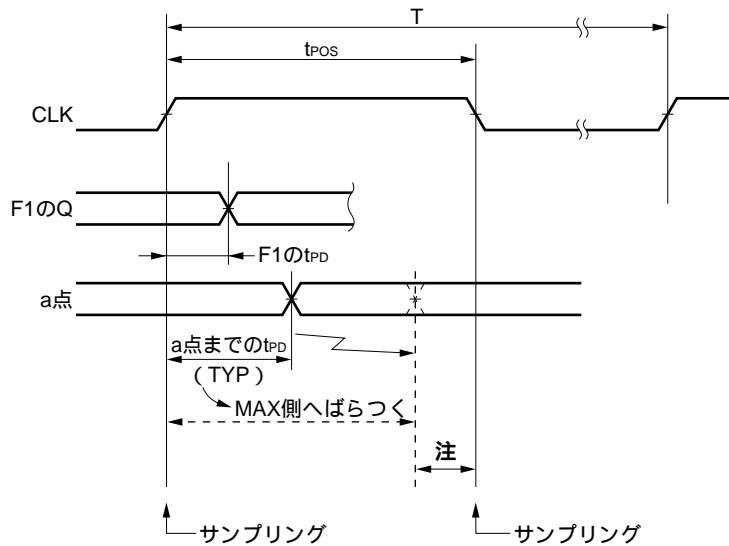


図5 - 28 逆相クロックの場合のタイミング



注 F2のセットアップ時間を考慮して，次のサンプリング・タイミングをオーバーしないようにしてください。

計算式

$$t_{POS} - ( t_{PD} ( F1 ) ( MAX ) + t_{PDA} ( MAX ) ) > t_{SU} ( F2 )$$

この関係式を満足しない場合には，次の対策が必要です。

- 遅延Aの遅延量を小さくする
- 動作周波数を下げる（周期Tを長くする）
- CLKのデューティを大きくする

### 5.6.4 最小パルス幅

高速動作する回路では、信号の立ち上がり、立ち下りの遅延差、同一パス上の相対ばらつきなどにより、フリップフロップの入カロックの最小パルス幅を満足しなくなる場合があります。

ここでは、図5 - 29に示す回路例について検討を進めてみます。CLKに入力された信号は遅延Bを通りフリップフロップのクロックに入力されますが、このときのタイミングは図5 - 30のとおりです。遅延Bについて、立ち下り時の遅延 ( $t_{PDB(LL)}$ )の方が立ち上がり時の遅延 ( $t_{PDB(HH)}$ )よりも大きい場合には、 $t_{NEG} > t_{NEG(MIN)}$ となり、パルスの細りが生じます。 $t_{NEG(MIN)}$ の見積もりは、 $t_{PDB(LL)}$ を最大、 $t_{PDB(HH)}$ を相対ばらつき最小の方向に条件設定して見積もります。

図5 - 29 最小パルス幅の見積もり

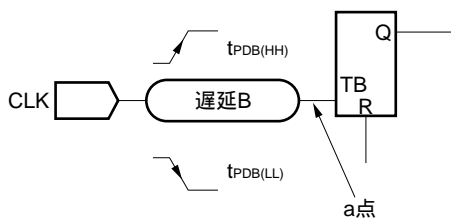
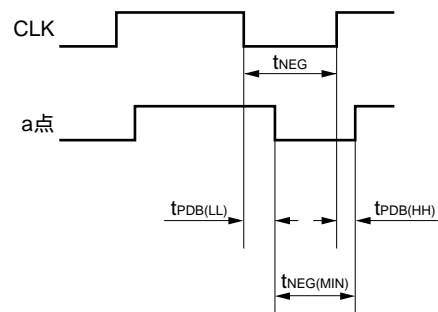


図5 - 30 パルスの細り



#### 計算式

$$t_{NEG(MIN)} = t_{NEG} + (t_{PDB(HH)}(MAX) - t_{PDB(LL)}[MAX(min)]) > t_w$$

$$t_{NEG(MIN)} = t_{NEG} + (t_{PDB(HH)}(MAX) - t_{PDB(LL)}(MAX) \times \frac{1 - \beta}{1 + \beta}) > t_w$$

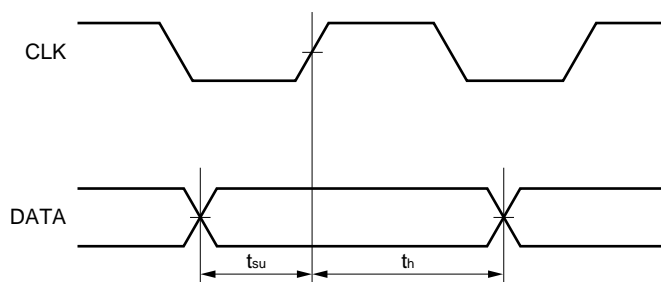
$\beta$  : ばらつき係数 (0.1)

フリップフロップのクロックに入力される信号の最小パルス幅を調整する手法として、 $t_{PDB(HH)}/t_{PDB(LL)}$ をコントロールして実効デューティを大きくすることが可能です。つまり、上の例では遅延Bに含まれるファンクション・ブロックを立ち下り遅延 ( $t_{PDB(LL)}$ )が早く、立ち上がり遅延 ( $t_{PDB(HH)}$ )が遅いタイプに変更すれば、 $t_{NEG(MIN)}$ は大きくなります。なお、このとき、ハイ・レベルのパルス幅が最小パルス幅の規格を満足するように注意してください。

### 5.6.5 メタステーブル(暫定)

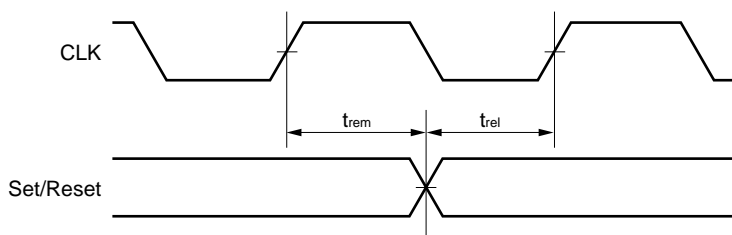
セットアップ、ホールド・タイムなどの規定が満足されず、クロックとデータまたはクロックとセット、リセットが同時に変化すると、フリップフロップやラッチでは出力が発振したり、ハイ・レベルでもロウ・レベルでもない中間レベルになったりする可能性があります。この不安定な状態をメタステーブル(Metastable)といいます。メタステーブルの状態は、ある時間後終了し、出力結果はハイ・レベルまたはロウ・レベルのどちらかの状態に落ち着きます。しかし、確定したレベルはデータ入力のレベルとまったく関係ありませんので、不定状態となってしまいます。セットアップ、ホールド、リリース、リムーバル・タイムの規格を満足できない場合には、回路全体にこの不安定な状態が広がらないような対策をとってください。

セットアップ・タイム ( $t_{su}$ ) ..... クロックが変化する前にデータ信号が確定しなければならない時間  
 ホールド・タイム ( $t_h$ ) ..... クロックが変化したあとにデータ信号を保持しなければならない時間



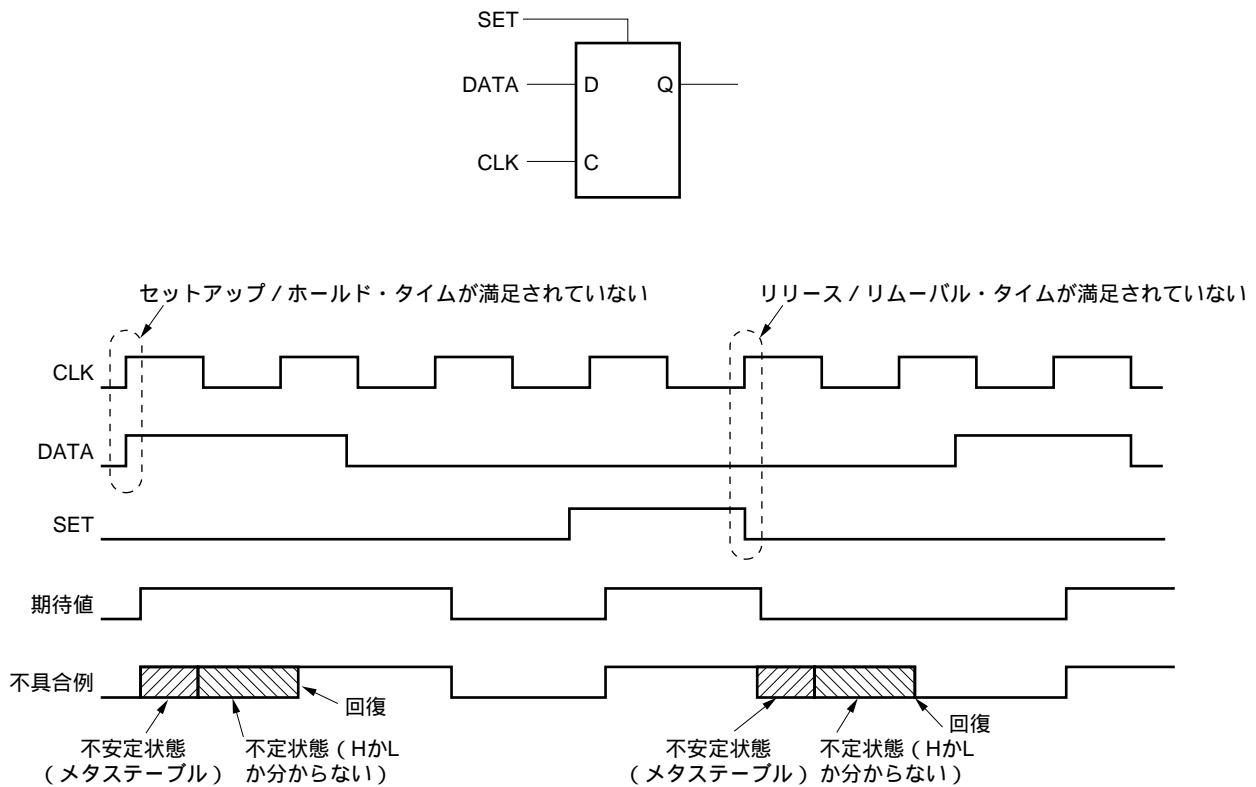
**注意**  $t_{su}$ ,  $t_h$ は、規定されている時間を満足しなければなりません (CMOS-N5シリーズ (5.0 V) ブロック・ライブラリ (A13872J) または CMOS-N5シリーズ (3.3 V) ブロック・ライブラリ (A15895J) 参照)。

リリース・タイム ( $t_{rel}$ ) ..... セット/リセット信号変化後、クロックが有効になるまでの時間  
 リムーバル・タイム ( $t_{rem}$ ) ..... クロックを無効にするために必要な時間



**注意** クロックのアクティブ・エッジ付近でセットあるいはリセット信号を解除しないでください。

(1) メタステーブルの発生と回復時間



CMOS-N5シリーズでは、メタステーブル状態の時間は次のように規定しています。  
この時間の後、HかLかは不明ですがどちらかになっています（上図の“不定”部）。

$$\text{メタステーブル時間} = t_{PD(\text{MAX})} \times 6$$

$t_{PD(\text{MAX})}$  ..... クロックのアクティブ・エッジから出力変化までの遅延時間の最大値

（セットアップ/ホールド・タイムの規格を満足できなかった場合）

または、リリース/リムーバル・タイム

（リリース/リムーバル・タイムの規格を満足できなかった場合）

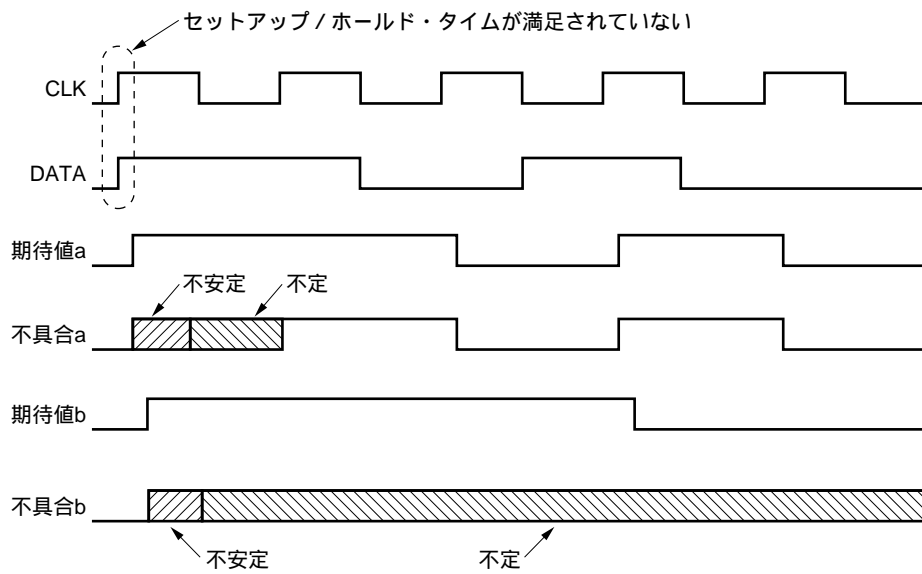
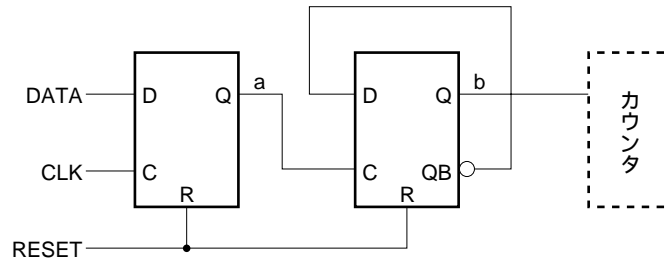
なお、F × × タイプの順序回路については  $t_{PD0(\text{MAX})}$  を使っても問題ありません。それぞれの値については、CMOS-N5シリーズ (5.0 V) **ブロック・ライブラリ (A13872J)** または CMOS-N5シリーズ (3.3 V) **ブロック・ライブラリ (A15895J)** を参照してください。

(2) メタステーブル回避策

規定されている各時間を満足できない場合（非同期入力信号など）は、メタステーブルが発生しても後段に影響を与えない回路構成にしてください。以降に不具合例と不具合回避例を示します。

不具合例

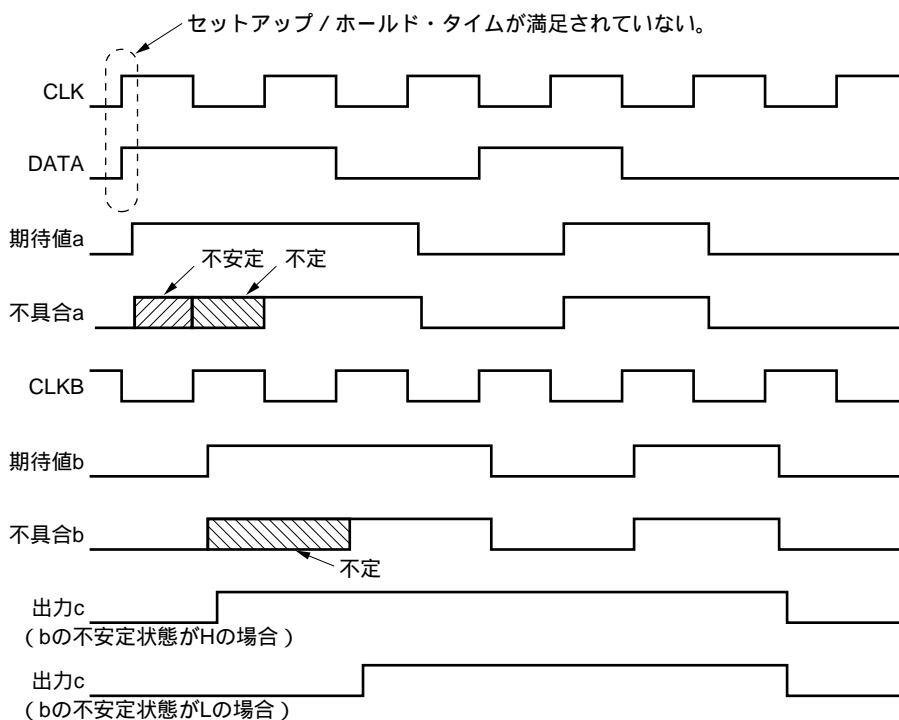
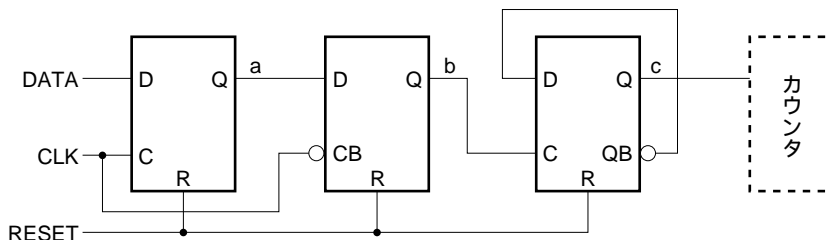
下図bの出力がカウンタに入力された場合、数カウント余分に動作することがあります。





不具合回避例

間に1段フリップフロップを挿入することにより，出力cは安定します。ただし，bの不定状態がどちらのレベルに安定したかによって，cの最初の1クロック分は2通りの値が考えられますが，次の例の場合カウンタには影響ありません。



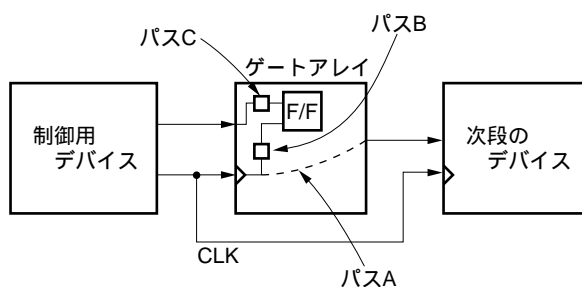
備考 クロック幅 >  $t_{PD(MAX)} \times 6 + (t_{su} \text{ または } t_h)$  の場合

### 5.6.6 クリティカル・パス

クリティカル・パスとは、ゲートアレイを含むシステム・タイミングに対し、ゲートアレイに要求される遅延時間を実現するためのパスのことです（図5 - 31参照）。図5 - 31の場合では、次のパスA, B, Cをクリティカル・パスとして詳細に検討する必要があります。

- パスA ... CLKでゲートアレイの出力をサンプリングしているため、次段のデバイスの入力タイミングを満足するか
- パスB, C ... 制御用デバイスの出力タイミングにより、ゲートアレイ内部でのサンプリング・タイミングを満足するか

図5 - 31 クリティカル・パスを含むシステム



クリティカル・パスの種類には、次の3つがあります。

- 入力-出力間
- 入力-入力間
- 出力-出力間

次にこれらのクリティカル・パスの検証方法、指定方法などについて説明します。

#### (1) クリティカル・パスの計算と設計

4.4.3 配線容量予測で説明したように、配置配線はマクロ階層（第一階層のみ）ごとに配置範囲を決め実行されます。このため、マクロ内の配線長とマクロ間の配線長では極端に長さが異なることになります。表4 - 5中の仮想配線容量を使用してクリティカル・パスの伝達遅延時間を見積もる場合には、次の点に注意してください。

クリティカル・パスは1つのマクロ階層（第一階層）で完結させる（入出力バッファは除く）。

クリティカル・パスはできるだけ簡単にして、パスに接続される負荷を減らす（F/O値は、リミットの1/3程度とする）。

入力から出力端子までのクリティカル・パスに対しては、上記内容以外に入力、出力端子をできるだけ近くに配置する。

マクロ階層内には、できるだけクリティカル・パス以外の回路は含めない。

## (2) 入力-出力間クリティカル・パス

図5 - 31の回路例におけるパスAに相当し、このパスは基本的にほかの入力からの影響はないものとします。t<sub>PD</sub>のMAX値がシステムの要求する値より小さくなるように設計します。

なお、出力バッファの遅延時間が外部負荷容量 (C<sub>L</sub>) に大きく依存することも考慮してください。

### 計算式

$$t_{PD (MAX)} < \text{システム仕様値}$$

## (3) 入力-入力間クリティカル・パス

入力サンプリングのタイミングを検証するもので、例として図5 - 32の回路構成について計算してみます。このタイミング検証においては、入力端子間相互のタイミング仕様が明確である必要がありますので、外部から入力される信号のタイミングを図5 - 33に示すとおりと仮定して、計算を進めていきます。

図5 - 32 入力-入力間クリティカル・パス検討例

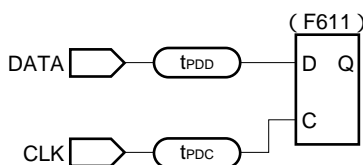
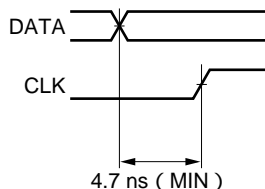


図5 - 33 セットアップ時間の検証



使用する条件として、次の点を考慮してください。

絶対ばらつきはマージンが小さくなる方向

相対ばらつきは、t<sub>PDD</sub>が大きくなり、t<sub>PDC</sub>が小さくなる方向

このときの判定式は下記のとおりです。

### 計算式

DATAは図5 - 33に示すようにCLKより4.7 ns (MIN) の時間差があると仮定します。

$$t_{PDC (MIN)} - t_{PDD [ MIN (max) ] } + 4.7 > t_{SU}$$

$$t_{PDC (MIN)} - t_{PDD (MIN)} \times \frac{1 + \alpha}{1 - \alpha} + 4.7 > t_{SU}$$

$\alpha$  : ばらつき係数 (0.1)

### 5.6.7 動作マージン確保のための条件

遅延マージン・チェック，クリティカル・パス・チェックの結果，回路の動作マージンの不足が生じた場合は，その回路構成により種々の対策を行います。

一般的には，以下の方法があります。

#### 入力，出力仕様の見直しによる対策

- ・入力 $f_{MAX}$ 低下，入力 $f_{MAX}$ デューティのばらつきを小さくする
- ・入力間，出力間タイミングの緩和，出力負荷容量の低減，など

#### 端子配置の見直し

- ・入力-出力間のディレイを小さくするために配線長を短くする（端子の隣接配置）

#### 回路変更による対策

- ・回路の単純化により遅延時間を小さくする
- ・回路の負荷低減により遅延時間を小さくする
- ・ディレイ・ゲート挿入によりマージンをとる

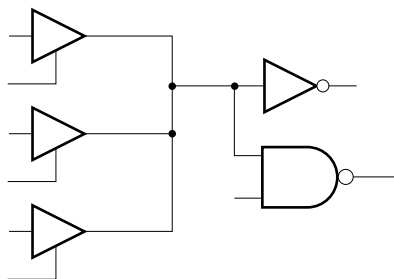
回路変更による対策を行う場合，遅延計算（再計算）は必須となりますが，特にディレイ・ゲート挿入については，挿入するゲートの出力配線長を0 mmで見積もってください。

## 5.7 内部バスの構成

### 5.7.1 内部バスの構成方法

多数データの選択方法として代表的なものに，データ・セレクタ形式，バス形式があります。データ・セレクタ（マルチプレクサ）は，あまり多用すると回路構成が複雑になります。一方，バス形式は回路構成が比較的容易で理解しやすく使用セル数もあまり増加しませんが，伝達遅延時間が増加することがあります。回路構成に合わせて最適な方法を選択してください。

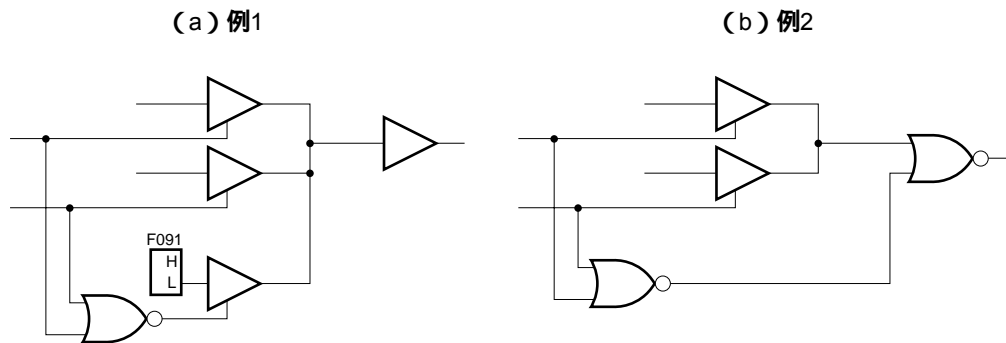
図5 - 34 バスの構成



### 5.7.2 内部バスのフローティング防止

内部バス使用時は原則として、同一バス・ラインを構成するブロックは、必ず1個のみ出力イネーブル状態となるようにしてください。これは、次段ブロックの入力がフローティング状態となるのを避けるために必要となります。図5 - 35に2つの良い構成例を示します。

図5 - 35 内部バスのフローティング防止回路構成例



### 5.7.3 内部バス使用上の注意事項

内部バスを使用する場合、同一バス・ラインに多くのブロックを接続しても動作しますが、多くなり過ぎますと、配線長の増大および接続先のブロックのファンイン・ローディングの増加により、信号の立ち上がり、立ち下がり時間が増加します。この結果、動作の安定性および信頼性の面から問題が生じてきますので、次の制限を守って使用してください（5.8 外部バスとの競合防止参照）。

(1) バスは次の式で示される制限事項を守ってください。

$$\begin{aligned} F/O + N & \leq 50 \\ (1.4 \times F/O + 1.1 \times N + 1.9) \times f & < 410 \end{aligned}$$

F/O ... バスに接続されるゲートのファンイン・ローディング (F/I) の合計

N ... バスに接続される3ステート出力バッファ (F531, F532) の合計

f ... バスの動作周波数 (MHz)

なお、上記制限を越えての使用をご希望の場合には、弊社までご相談ください。

(2) バス・ライン上での以下の状態は、基本的に禁止になります。

(a) 同一バス・ライン上で、2個以上の出力がイネーブル状態になる

(b) 同一バス・ライン上で、すべての出力がディスエーブル状態になる。

これらの状態は最大でも20 ns以内で収束するようにイネーブル信号のスキューを考慮してください。

## 5.8 外部バスとの競合防止

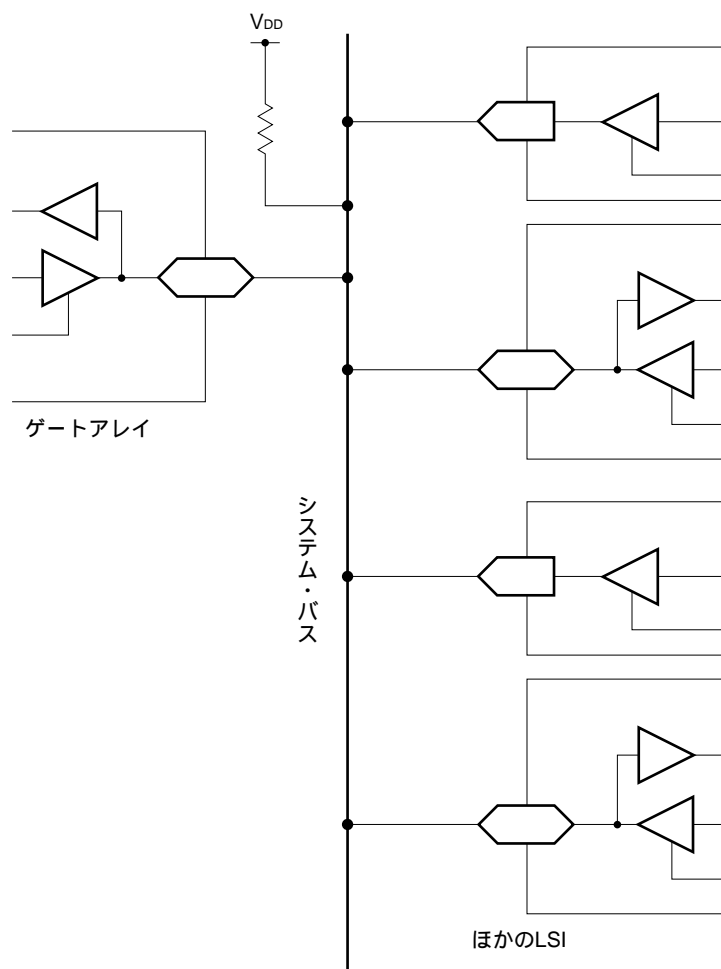
ゲートアレイと他のLSIを使用するシステム上で、バス構成により接続される場合は、5.7.3 内部バス使用上の注意事項で説明したことのほかに、次の2点にも注意してください。

- (1) バスの競合
- (2) バスのフローティング

これらを防ぐためには、タイミング設計やプルアップ/プルダウン抵抗の設置などの対策を講じてください。

なお、外部バスのフローティングを防止するために、プルアップ/プルダウン抵抗を内蔵した入出力ブロックを使用することもできます。詳細は、第7章 多機能ブロックを参照してください。

図5-36 外部バスのフローティング防止対策例



## 5.9 テスタビリティの考慮

ゲートアレイの設計では論理設計だけでなく、テスト方法やテスト回路を含めた形で設計を行うことが重要です。このためには、以下に述べる項目を考慮して回路設計やテスト・パターンの作成を行ってください。なお、テスト・パターンの作成については第6章 **テスト・パターンの作成**を参照してください。

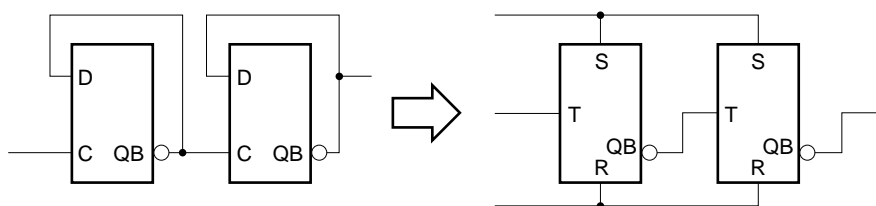
- ・フリップフロップのイニシャライズ
- ・カウンタの分割
- ・テスト端子の追加
- ・テスト端子による内部回路の分割化（モジュール化）

### 5.9.1 フリップフロップのイニシャライズ（初期設定）

フリップフロップやカウンタなどのブロックは、電圧を印加した瞬間の出力状態はロウ・レベルとなるかハイ・レベルとなるかはまったく分かりません。このため、シミュレーションでは、テスト・パターンの初めの数パターンを用いて、初期状態を設定しなければなりません。

設計にあたっては、初期設定のパターンが長すぎないように、また内部回路の初期状態が必ず設定できるように、なるべくリセット入力付きブロックで回路を構成してください。

図5 - 37 フリップフロップのイニシャライズ

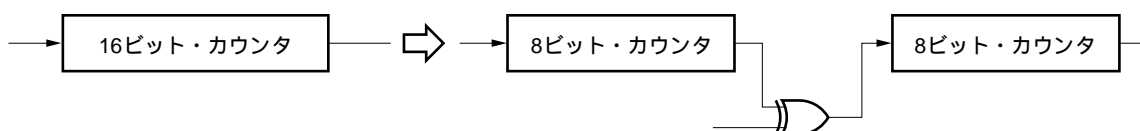


### 5.9.2 カウンタの分割

多ビットのカウンタなどでは、テスト・パターン数を削減するために、いくつかに分けてテストする方法が有効です。

たとえば16ビットのカウンタでは最終段が動作するまでに、2の16乗のパルスが必要ですが、図5 - 38のように8ビットのカウンタ2個に分割してテストすることによりパルス数は約1/100 ~ 1/200で済むことになります。

図5 - 38 カウンタの分割



### 5.9.3 テスト端子の追加と回路分割

5.9.2 **カウンタの分割**でも述べたように、多ビットのカウンタや大規模なマクロのテストには、外部から動作モードを設定できる「テスト端子」を設けた方が、LSIのテストが容易になりテスト・パターン数も削減される場合があります。

- (1) 内部がいくつかのモードに分かれて動作する場合は、テスト・モードを特別に設けて、テスト・モードにするための端子（テスト端子）を設定し、LSIのテストを実施する方法が有効です。
- (2) 大規模回路では、内部がいくつかのマクロ（モジュール）に分かれて構成されていることがあります。このような場合、内部をこれらモジュールごとに分割するためのテスト端子を特別に設けて、分割された状態でLSIのテストを実施する方法も有効です。



## 5.10 レーシングとスパイク・ノイズ

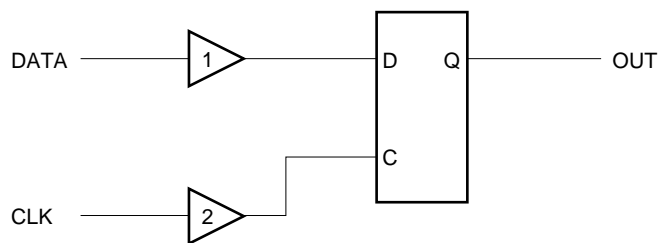
### 5.10.1 レーシング (競合)

ある論理ブロックにおいて、2つ以上の入力信号が極めて近いタイミングで変化する状態をレーシング (競合) といいます。

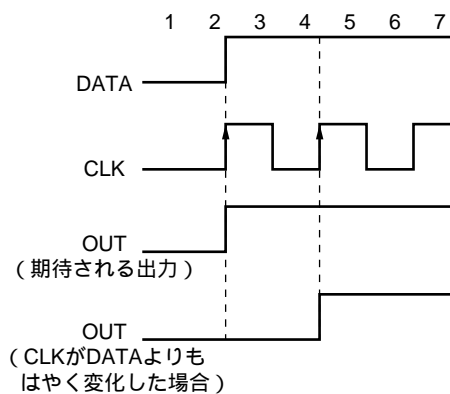
図5-39 (a) のような回路に図5-39 (b) に示されるテスト・パターンを加えると、バッファ1, 2の遅延量の差およびそれぞれの配線遅延の差によって、フリップフロップのデータとクロックのタイミングにずれを生じ、期待された動作をしない場合があります。図5-39 (a) の場合は、まずデータをフリップフロップにセットしておき、その後にクロックを変化させるなどの考慮が必要です。上記を考慮したテスト・パターンの例を図5-39 (c) に示します。

図5-39 レーシング

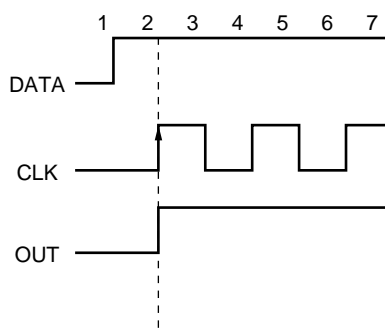
(a) レーシングを起こす可能性のある回路



(b) レーシングを起こす可能性のあるテスト・パターン



(c) レーシングを起こさないテスト・パターン



## 5.10.2 スパイク・ノイズ

スパイク・ノイズは、基本的に2入力以上のゲートを使用する回路において、その入力信号が同時に2つ以上変化した場合にその微妙な入力タイミングのずれによって生ずるノイズです。このスパイク・ノイズの時間幅は、タイミングのずれの大小によって違います。このスパイク・ノイズが次段のフリップフロップのクロックやセット/リセットなどに入力されると、それ以後のこのフリップフロップの出力信号に関係する（影響される）信号経路においては、誤動作を生じるおそれが出てきます。

そこで、たとえば2入力以上のゲートを使用する場合には、同時に入力が2つ以上変化したときに生じるスパイクが次段のゲートや外部出力信号に影響を及ぼすか、またその結果、誤動作を起こすかを確認しなければなりません。もし、そのスパイク・ノイズが後段で無視できないものである場合、このスパイク・ノイズが後段に影響しないように、テスト・パターンまたは回路を変更しなければなりません。

ここでは、このスパイク・ノイズを生じる例と、その対策について説明します。

図5 - 40 データ・セレクト回路例

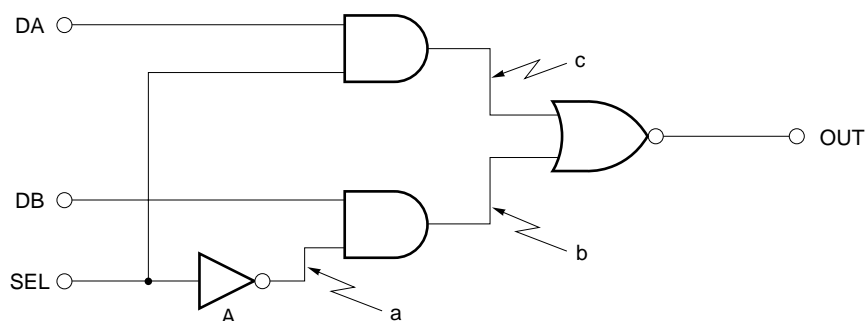
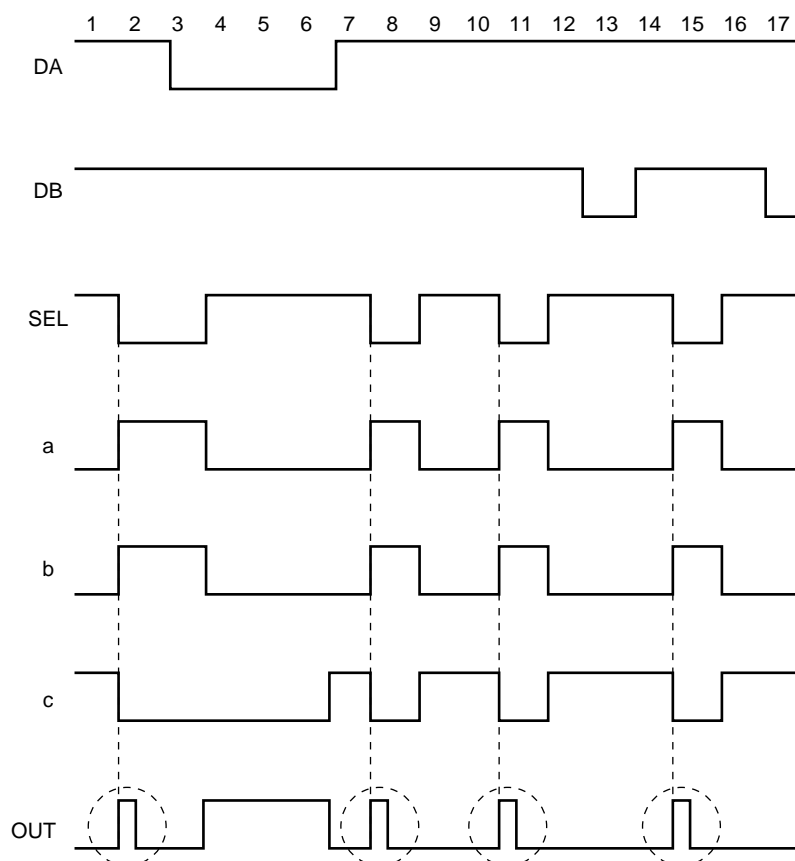


図5 - 40に示すAND-NORデータ・セレクト回路において、図5 - 41のようなテスト・パターンを作成したとします。

図5-41 テスト・パターン例(改善前)



この場合、データ信号であるDAおよびDBの両入力信号がハイ・レベルの状態を維持しているときにSEL(セレクト信号)を“H L”に変化させているため、出力信号OUTにはスパイク・ノイズが生じています。図5-41のパターンにおいては、それぞれ2, 8, 11, 15パターンの4箇所にはスパイクが発生しています。

回路図から明らかなように、DAおよびDBがハイ・レベル状態のとき、b, cの状態はSELの状態によって決まります。またSELが“H L”に変化したとき、同じパターンにおいてbは“L H”に、cは“H L”になります。さらにaはインバータAを通ることによってAのディレイ(遅延)分だけSELよりも遅れ、bはこのため結果的にcよりもインバータA分だけ遅れてしまいます。したがって、2, 8, 11, 15パターンにおいて同時に(b, c)間に(L, L)の状態を作ってしまう、結果的にOUTには“L H L”のスパイク・ノイズを生じます。

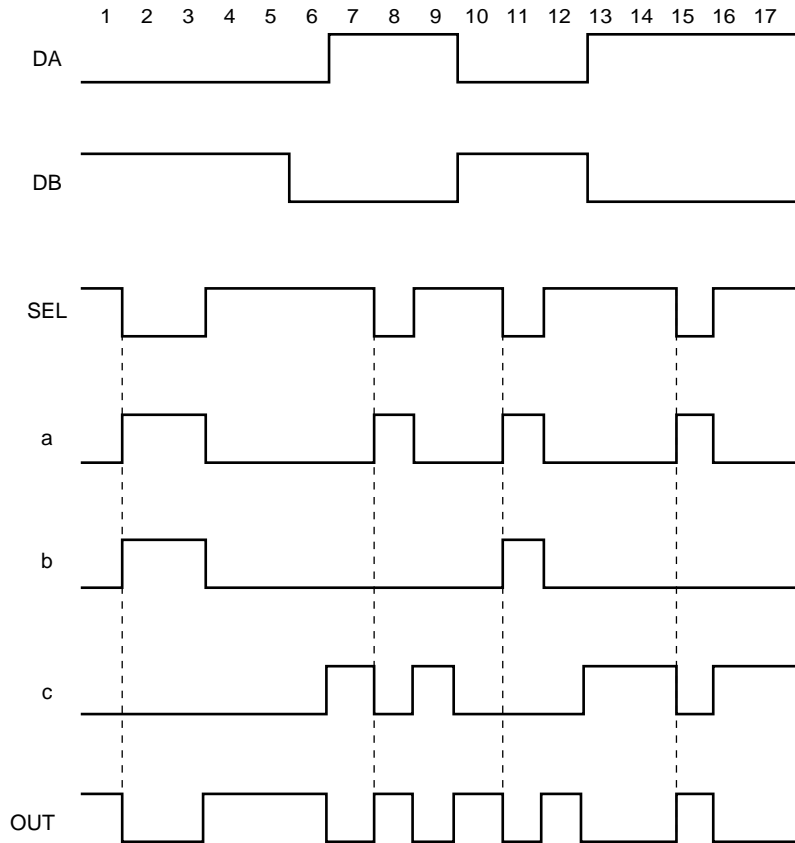
もし、このスパイク・ノイズがフリップフロップのクロックあるいはセット/リセットに入力される場合には、次の2つの対策を実行してください。

スパイク・ノイズが生じるタイミングでは、データを変化させないなどフリップフロップの出力がスパイク・ノイズによって変化しないようにする。

テスト・パターンを変更する。

図5 - 41のような場合は，SELを“H L”に変化させるときに，DAまたはDBの少なくとも一方を必ずLにしておくことです。図5 - 42に示したようなタイミング設計にすれば，OUTにはスパイク・ノイズが発生しなくなります。

図5 - 42 テスト・パターン例（改善後）



## 第6章 テスト・パターンの作成

ゲートアレイを設計する際には、コンピュータ上のシミュレータによって、回路が期待どおりの機能、性能になっているかどうかを確認します。シミュレーションを実行するため、回路図とテスト・パターンをユーザに準備していただく必要があります。

テスト・パターンは、出荷時の製品検査にも利用します。出荷時の製品検査では、LSIの機能確認（ファンクション・テスト）と各種DC特性の測定（電源リーク電流、入力リーク電流、出力電流など）を行うので、テスト・パターンが出荷時の製品検査について考慮していないと、テスト不十分のまま出荷される場合も考えられます。このため、テスト・パターンは故障検出、DCテストなどを行うように作成してください。

シミュレーションではユーザが実際に使用する条件、状態を比較的容易に実現できます。しかし、実際のLSIを検査するLSIテストでは、多くの場合ユーザが実際に使用する条件、状態を完全に実現することはできません。このため、テスト・パターンはLSIテストの能力にあわせ、制限事項を守って作成してください。

ここでは、テスト・パターン作成時の注意点について示します。

### 6.1 テスト・パターンの種類

テスト・パターンは表6-1に示す種類があります。

DCテスト・パターンは1つ必要であり、それ以外は、回路やユーザの要求によって必要となります。LSIテストでのDC測定は、DCテスト・パターンの先頭32000パターンで行います。

表6-1 テスト・パターンの種類

パターン名	目的	パターン作成者
DCテスト・パターン	DC測定，論理検証	ユーザ
ファンクション・テスト・パターン	論理検証	ユーザ
高速ファンクション・テスト・パターン	論理検証（リアルタイム）	ユーザ
メガマクロ・イニシャライズ・パターン	初期化	弊社（挿入はユーザ）
メガマクロ単体テスト設定パターン	メガマクロ周辺値の確定	ユーザ
メガマクロ・テスト・パターン	論理検証（メガマクロ単体）	弊社
スキャン・テスト・パターン	故障検出	ユーザまたは弊社
RAMテスト・パターン	論理検証（RAM単体）	弊社
デジタルPLLイニシャライズ・パターン	初期化	ユーザ
バウンダリ・スキャン・テスト・パターン	論理検証（バウンダリ・スキャン回路）	ユーザ

1本当たりのパターン長制限はありませんが（高速ファンクション・テストを除く）、パターン長の合計には制限があります。詳しくは、6.2.2 **テスト・パターン長制限**を参照してください。

## 6.2 製品検査 (LSIテスト) からの注意点

### 6.2.1 入力, 出力端子名制限

#### (1) 入力, 出力文字数の制限

64文字以下

#### (2) 端子名文字制限

端子名を設定する場合, 使ってはならない文字があります。次の制限を守り, 端子名を付けてください。

表6-2 端子名文字制限

使用できる文字	アルファベットの大文字 数字 _ (アンダスコア)
使ってはならない文字	/ (スラッシュ) などアンダスコア以外の特殊文字 アルファベットの小文字

### 6.2.2 テスト・パターン長制限

LSIテストのメモリの大きさにより, テスト・パターン長は制限を受けます。

テスト・パターンの長さ (DCテスト用, ファンクション・テスト用の合計) は, 必ず表6-3の制限内に収まるように設計してください。

表6-3 テスト・パターン長の制限

パターン数 パッケージ <sup>注1</sup>	最小テスト・パターン数 (DCテスト用パターンの制限)	最大テスト・パターン数 <sup>注2</sup>
144ピン以下: SCANあり	150パターン	128 Kパターン
144ピン以下: SCANなし		256 Kパターン
145ピン以上		512 Kパターン

注1. パッケージ・ピン数は, 電源数 (GND, V<sub>DD</sub>等) を含めた数です。

- RAMテスト・パターン, 弊社で作成するスキャン・テスト・パターン, および高速ファンクション・テスト・パターンは, 最大テスト・パターン長へ考慮する必要はありません。  
ユーザ作成スキャン・テスト・パターン, メガマクロ, バウンダリ・スキャンについては, それぞれのテスト・パターン長を, 上記制限パターン長に含めて検討してください。

### 6.2.3 テスト・パターンの本数

テスト・パターンは、必ずしも1本である必要はありませんが、本数制限としてDCテスト用、ファンクション・テスト用など、すべてのインタフェース・テスト・パターンを含めて20本以内にしてください。この場合もRAMテスト・パターン、弊社で作成するスキャン・テスト・パターン、および高速ファンクション・テスト・パターンは考慮する必要はありません。

また、作業の効率を上げるためにも、本数は極力減らしてください。設計の都合でテスト・パターンを分割して作成しても、原則として結合して1本のテスト・パターンとして提出してください(テスト・パターンの結合は、パターン・ユーティリティやOPENCADの波形エディタなどを使えば簡単にできます)。

テスト・パターンを分割する場合、パターンごとにイニシャライズするようにしてください(6.3.1 回路の初期設定(イニシャライズ)参照)。パターンごとにイニシャライズできない場合は、テスト・パターンの順番を必ず弊社までご連絡ください(極力、書面にてご連絡ください)。

次の場合はテスト・パターンを分割する必要があります。

入力信号の時間条件(入力ディレイ、パルス幅)、出力判定時間(ストロープ時間)が異なる場合  
詳しくは6.3 ファンクション・テスト用テスト・パターン作成上の注意を参照してください。

## 6.3 ファンクション・テスト用テスト・パターン作成上の注意

### 6.3.1 回路の初期設定(イニシャライズ)

フリップフロップやカウンタなどのブロックは、電源を印加した直後の出力状態がハイ・レベルとなるかロウ・レベルとなるかは規定できません(5.9.1 フリップフロップのイニシャライズ(初期設定)を参照してください)。このため、シミュレータではフリップフロップやカウンタなどの順序回路の初期状態は“X(不定)”となります。回路の動作確認をするには、まず内部のファンクション・ブロックの状態を不定状態から定まった値にする必要があります(回路の初期化、イニシャライズ)。

回路設計時に、回路の初期設定が簡単に行えるようにリセット端子などの利用を考えると同時に、テスト・パターンのはじめに回路の初期設定を行うようなパターンを準備してください。

テスト・パターンを分割して用意される場合は、原則として、おのおののパターンに初期化のためのテスト・パターンが必要となります(図6-4 テスト・パターン例参照)。

### 6.3.2 テスト周期(テスト・レート)

1パターンの周期を表します。

現在弊社での、一般的なファンクション・テストの、テスト周期の制限は次のようになっています。

テスト周期 200 ns

このテスト周期より高速なテスト周期を希望される場合は、高速ファンクション・テストとなります。高速ファンクション・テスト・パターンに関しては、6.6 高速ファンクション・テスト(リアルタイム・テスト)を参照してください。

### 6.3.3 出力判定時間(ストロープ時間)

出力判定時間(ストロープ時間)は、製品の出力値をテスト・パターン上の期待値と照合する時間を表します。現在通常のファンクション・テスト・パターンでは、必ず周期の最後の時間(199.99 ns)となっており、それ以外では、高速ファンクション・テストとなります。

高速ファンクション・テスト・パターンに関しては6.6 高速ファンクション・テスト(リアルタイム・テスト)を参照してください。

### 6.3.4 タイミング相の指定

現在の設定可能なタイミング相数は、表6-4を参照してください（基本タイミングも含まれます）。

LSIテストの端子間スキュー（ $\pm 5$  nsと規定）を考慮し、各相の時間差は10 ns以上としてください。

基本タイミング相とは、 $\Delta t_d = 0$  nsのNRZ信号を指します。また、ディレイ時間（ $\Delta t_d$ ）が等しいNRZ信号は同相と見なし、同じタイミングの入力端子が何本あっても1相と数えます。

同様に、ディレイ時間（ $\Delta t_d$ ）、パルス幅（ $\Delta t_w$ ）が等しいRZ信号も同相とみなします（ $\Delta t_d$ 、 $\Delta t_w$ が等しいポジティブ・クロック、ネガティブ・クロックも1相と数えます。ただし、 $\Delta t_d$ が等しいNRZ信号とRZ信号は同相ではありません）。

表6-4 タイミング相数

PKG	タイミング相数 <sup>注</sup>
全パッケージ	6

注 基本タイミング相を含みます。

表6-5 タイミング制限

信号の種類	タイミング制限		入力パルス幅（ $\Delta t_w$ ）	
	入力ディレイ（ $\Delta t_d$ ）		入力パルス幅（ $\Delta t_w$ ）	
	MIN.	MAX.	MIN.	MAX.
基本タイミング	0 ns		-	
NRZ信号	10 ns	T - 10 ns	-	
RZ信号（クロック・モード）	10 ns	T - $\Delta t_w$ - 10 ns	145ピン以上：10 ns 144ピン以下：15 ns	T - $\Delta t_d$ - 15 ns

備考 RZ信号（Return to Zero）：

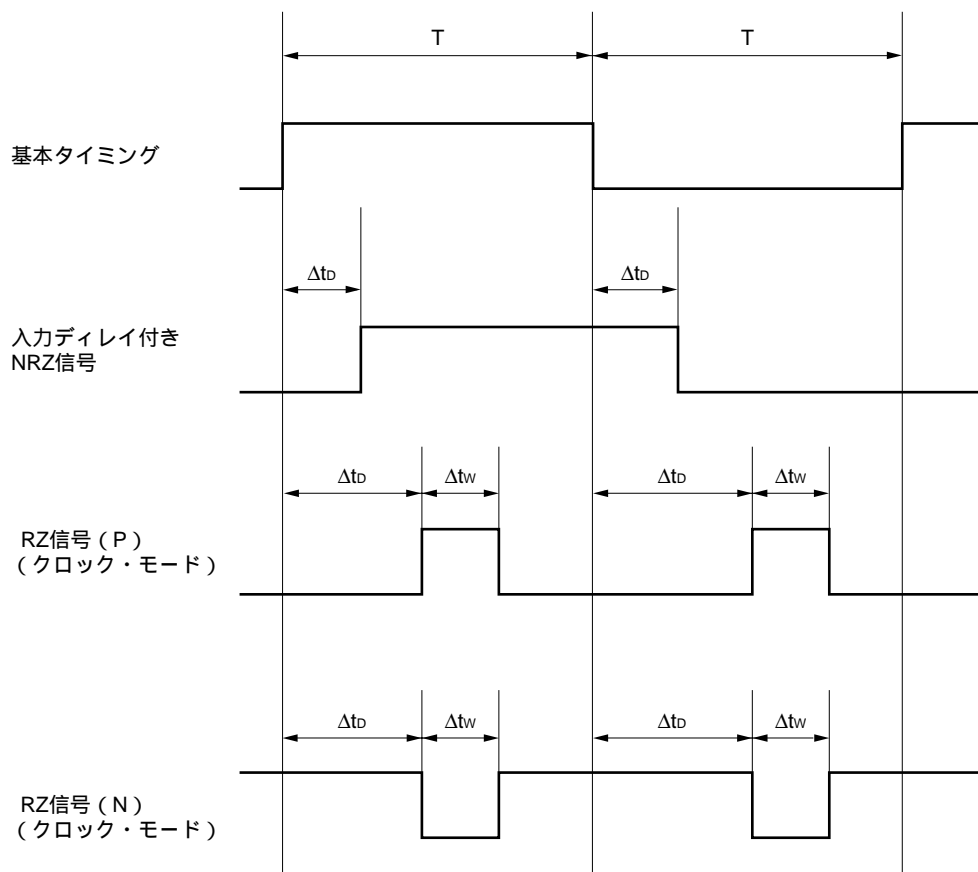
1テスト・パターン（1テスト・レート）内に“0 1 0”，“1 0 1”の変化がある信号です。

NRZ信号（No Return to Zero）：

1テスト・パターン（1テスト・レート）内に変化が1回しかないものを表します。



図6 - 1 タイミング相



- 注意1. 各信号の変化と変化の間は、必ず10 ns以上開けてください。  
 2. 双方向端子へのRZ信号は禁止します。

備考 T: テスト周期 (テスト・レート)

入力のクロック・モード (RZ) 信号は極性が2つありますので、使い方により選んでください。

表6 - 6 クロック・モード

入力パターン	意味	動作	
		ポジティブ・クロック (P)	ネガティブ・クロック (N)
1 (H)	クロック発生	0 1 0 (正クロックの発生)	1 0 1 (負クロックの発生)
0 (L)	クロック停止	0ホールド	1ホールド

### 6.3.5 スキュー

シミュレータでは、同一時刻に複数の入力信号を変化させた場合でも、各入力間の信号にスキューは起こりません。しかし、製品の良否を判定するLSIテストでは、各入力端子間に存在する数nsのスキューにより、同一時刻に信号を変化させるように指定しても、まったく同時に入力信号が変化することはありません。このため、シミュレーション上ではまったく問題がない場合でも、製品が端子間スキューによって製品検査に合格しない場合が起こります。

そこで、テスト・パターン作成時には入力スキューがあっても正常に動作するように次のような対策をあらかじめ行ってください。

#### (1) フリップフロップなどの順序回路のデータ入力とクロックなどを同時に変化させない

1パターンずらす

#### (2) クロック信号 (RZ信号)、入力ディレイ信号 (NRZ信号) を使用

入力をずらす

仮に入力スキューが10 ns、データ-クロック間のセットアップ時間が5 nsの場合は、次のように15 nsのディレイ時間が必要になります。

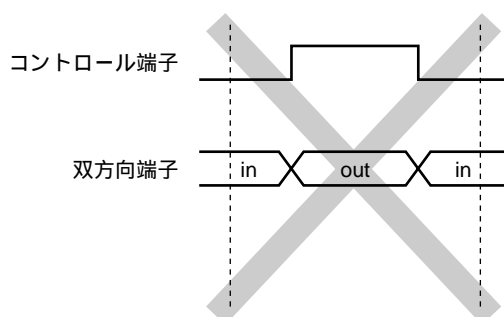
LSIテストの入力スキュー	+	セットアップ時間	=	クロック信号に指定する入力ディレイ時間
10 ns	+	5 ns	=	15 ns

### 6.3.6 双方向端子の入出力モード切り替えの注意

(1) 双方向端子の入出力モードの切り替えは、原則として基本タイミングで行いますが、DCテスト・パターン、およびファンクション・テスト・パターンに限り、1相のみ入出力切り替えのタイミングをシフトさせることができます。これを、I/Oモジュレーション機能といいます(6.3.7 I/Oモジュレーション機能について参照)。

ただし、RZ信号による双方向端子の入出力モードの切り替えはできません(モードが入力 出力 入力のように1レート内で二度変化してしまうためです。図6-2参照)。

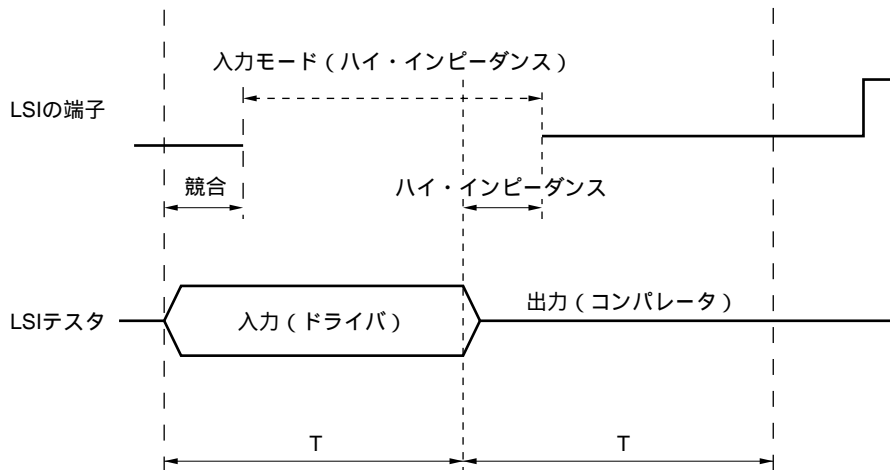
図6-2 双方向端子の切り替えタイミングの悪い例



- (2) 双方向端子の入出力モードのコントロール端子に入力ディレイをつける場合や、回路内部のイネーブルの遅延により、入出力の切り替えが基本タイミングと異なる場合は、極力入出力の切り替え時に入力と出力の値を一致させてください。これは、製品の出力信号とLSIテストのドライバ（入力）の競合による電流を流さないための処理で、誤動作の原因となる電源電圧の変動などを避けることが目的です。入力と出力の値を一致させられない場合は、20 ns以上の競合が出ないようにしてください（6.3.8 I/O競合について参照）。

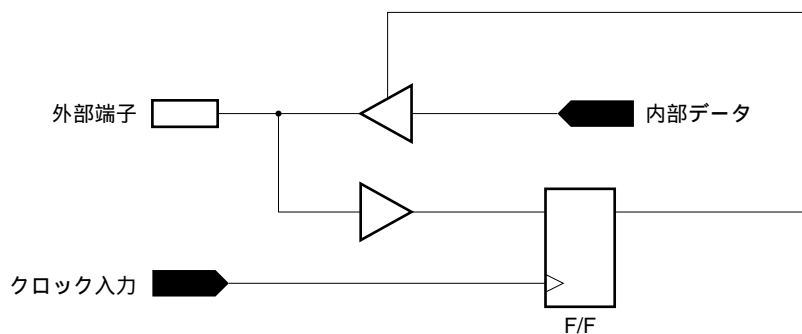
なお、双方向端子にRZ信号（クロック波形）を入力することは禁止します。

図6-3 入出力切り替え時の競合



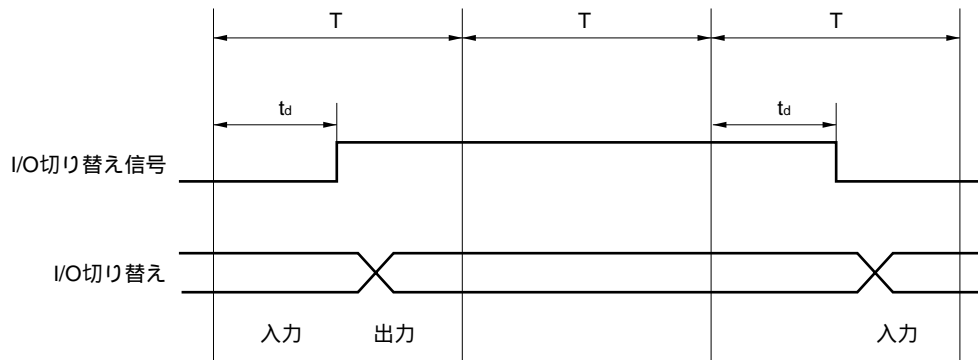
備考 T：パターン期間

- (3) PCIバスの回路等、回路の仕様上で入出力モードの切り替えが基本タイミングと異なり、かつ、切り替え前の値を回路内部に取り込んで双方向のモードを切り替えている場合は、I/Oモジュレーション機能を使用してください（6.3.7 I/Oモジュレーション機能について参照）。



### 6.3.7 I/Oモジュレーション機能について

双方向端子の入出力切り替えは、DCテスト・パターン、およびファンクション・テスト・パターンに限り、1相のみシフトさせることができますが、下記の制限があります。



**備考** T : パターン期間

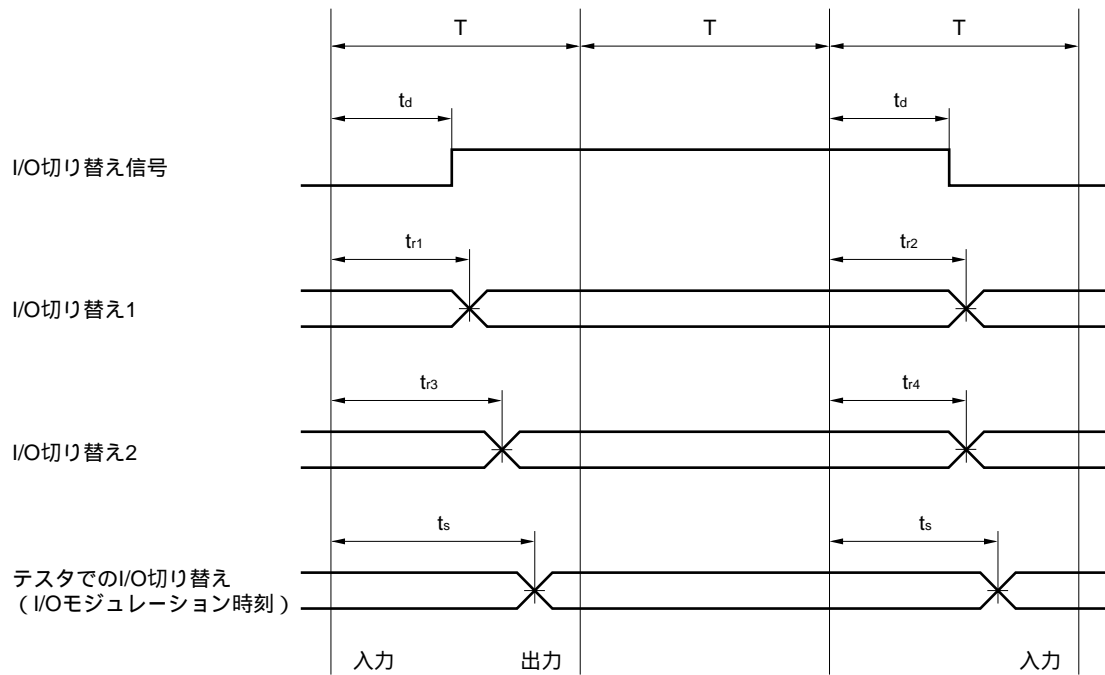
$\Delta t_d$  : I/O切り替え信号の入力ディレイ

入出力切り替えを基本タイミングからシフトさせる場合、テスト側での入出力切り替え時刻を、I/Oモジュレーションとして設定します。

双方向端子(シミュレーション結果)のI/O切り替え時刻のうち、全端子、全パターンで最も遅い時刻を $\Delta t_{max}$ 、I/Oモジュレーション時刻を $\Delta t_s$ として、次の式を満たす必要があります。

$$\Delta t_s \geq \Delta t_{max} + 5 \text{ ns}$$

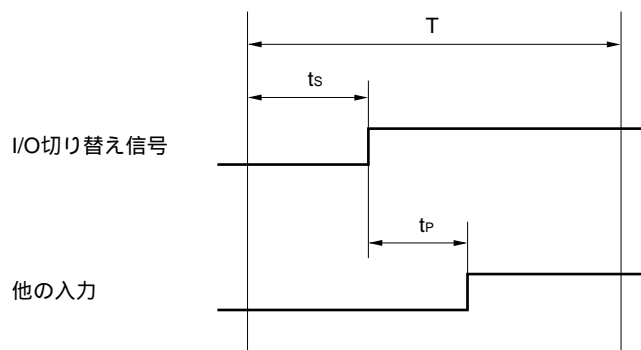
これはPCIバスの回路等、切り替え前の値を回路内部に取り込んで双方のモードを切り替えている場合、端子の入出力モード切り替えが完了するまで外部(LSIテスト)の値を保持する必要があるため、シミュレーション結果よりも、LSIテストの端子間スキューの5 ns分、長くドライブさせる(入出力のモード切り替えを遅らせる)必要があるからです。



- 備考**  $T$  : パターン期間  
 $\Delta t_d$  : I/O切り替え信号の入力ディレイ  
 $\Delta t_{r1} \sim \Delta t_{r4}$  : 双方向端子のI/O切り替え時刻 (図では $\Delta t_{r3}$ が上式の $\Delta t_{rmax}$ に相当)  
 $\Delta t_s$  : I/Oモジュレーション (テスト側でのI/O切り替え) 時刻

上記の条件を満たしたうえで、さらに下記の制限を守ってください。

項目	I/Oモジュレーション ( $\Delta t_s$ )		I/Oモジュレーションと他の入力ディレイとの間隔 ( $\Delta t_p$ )
	MIN	MAX	MIN
制限値	10 ns	$T - 10 \text{ ns}$	10 ns



同一端子に入力ディレイ ( $\Delta t_d$ ) と I/Oモジュレーション ( $\Delta t_s$ ) の両方を設定する場合は、  
 $-\Delta t_s = \Delta t_d$  または、 $\Delta t_s + 10 \text{ ns} \geq \Delta t_d$   
 のいずれかを満たす必要があります。  
 なお、I/Oモジュレーション機能を使う場合でも、I/O競合時間は20 ns以内に抑えてください。

### 6.3.8 I/O競合について

双方向端子の入力と出力の値を一致させられない場合は、I/O競合時間が20 ns以下である必要があります。I/O競合の判定基準は、次のとおりです。

シミュレーション結果	期待値	
	入力	モード不定
出力1	0, X	0, X
出力0	1, X	1, X
出力X	0, 1, X	0, 1, X, Z

### 6.3.9 多機能入出力回路のテスト

#### (1) 発振回路

シミュレータ、LSIテスト上では発振回路を実際に発振させてテストすることはできません。発振回路は入力端子から疑似的に信号を入力してください。

一方、発振回路の出力はその反転した信号を期待値としてください。

発振回路の入力信号は、クロック信号に相当します。この入力信号とデータ系またはセット、リセット系の外部入力信号を同じタイミングで変化させると、外部競合により安定なテストができませんので、タイミングをずらしてください。

テスト・パターンは発振状態をモデル化したものではありませんので、発振状態のクロック（発振回路の入力信号）と関係するデータ系またはリセット系信号の外部タイミングをテストするものではありません。

#### (2) オープン・ドレイン出力

出力ディスエーブルの場合は出力期待値は、ハイ・インピーダンス（“Z”）にしてください。

## 6.4 DCテスト・パターン作成上の注意

基本的にファンクション・テスト・パターンと同一の制限事項になりますが、出荷検査においてテスト・パターンは機能(ファンクション)を検査するのに使用されるだけでなく、各種の直流特性の検査にも使用されます。そのため、次の点に注意してテスト・パターンを作成してください。

DCテスト・パターンは、できるだけ専用のテスト・パターン・セットを準備してください。

DCテスト・パターン長は、150パターン以上としてください。パターン長が32000を越える場合は、0～32000パターン目まででDCテストを行います。

入力端子は、できるだけ2回以上の変化をさせてください(発振停止コントロール端子は除く)。

出力端子は、必ずハイ・レベルとロウ・レベルをそれぞれ最低1回以上出力させてください。

3ステート出力バッファの出力端子は、必ずハイ・インピーダンス状態(オフ状態)を出力させてください。

双方向バッファを使用した場合は、必ず入力状態と出力状態が、最低1回以上切り替わるようにしてください。

テスト周期は、回路の遅延時間(動作時間)よりも十分に長い時間を設定してください。基本は200 nsです。また、出力判定時間(ストロブ時間)は必ずその周期の一番最後の時間を設定してください(動作した回路が安定状態になったあとに出力を判定するため)。

入力端子にRZ信号を入力した場合、出力にその信号(RZ信号)がそのまま出力されないようにしてください。RZ信号が出力される出力端子の出力値は、出力判定時間では常にどちらか一方の値になり、もう一方の値の検査ができません。

内部バスのバス・ファイト、フロートは、禁止とします。

50パターンまでに回路の初期設定を行ってください。

DC測定用パターンでは、IDDqテストを行います。測定パターン選択は自動で行われます。検出率向上のため、できる限り内部回路も動作させてください。

発振ブロックを搭載する場合は、必ず発振状態にしてください

発振状態のときのテスト・パターンでは、入力端子(XT1)には、通常のクロック・パターンと同様のパターンを入力し、出力端子(XT2)の期待値はその反転としてください。

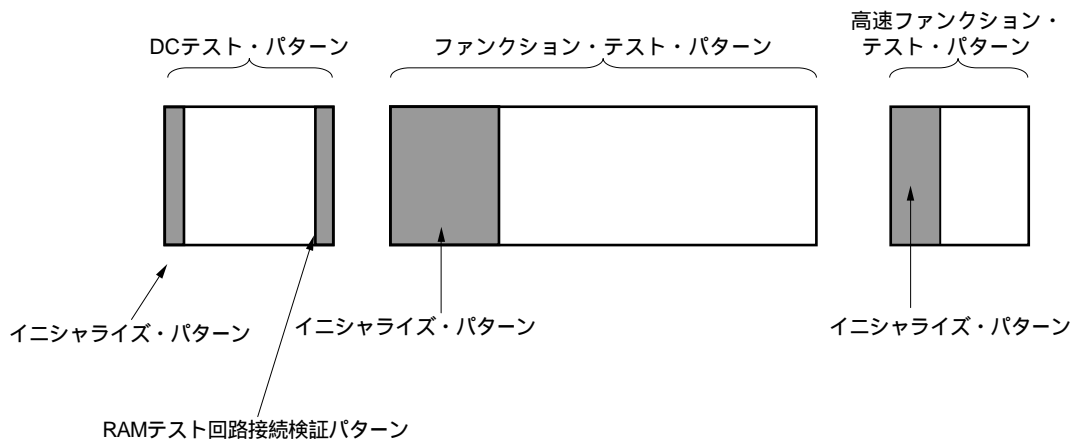
なお、RZ信号(Return to Zero)は、1テスト・パターン(1テスト・レート)内に“0 1 0”、“1 0 1”の変化を持ちます。一方、NRZ信号(No Return to Zero)は1テスト・パターン(1テスト・レート)内に変化が1回しかないものをいいます。

## 6.5 RAM搭載時のテスト・パターン

RAM単体のテスト・パターンは弊社で補完します。お客様でのRAM単体テストの考慮は不要です。ただし、弊社で補完するために次の制約があります。注意してください（詳細は7.4 メモリ参照）。

- (1) RAMテストのためにRAMテスト用端子の追加が必要です（TIN, TEB, TOUT）。
- (2) ロジック回路部とRAMの接続、複数のRAMが存在する場合はそれぞれのRAMの接続についてはユーザのテスト・パターンでテストしてください。
- (3) 各ユーザ・パターンにおいて、TEB端子は必ずユーザ・モード（ハイ）にしてください。

図6-4 テスト・パターン例



## 6.6 高速ファンクション・テスト（リアルタイム・テスト）

設計した回路をシミュレーションにより実使用動作周波数でチェックすることは、実物の動作を事前に確認できることになり、非常に有益な手法です。この手法を導入することで設計者が設計時に見落としていた実動作時の回路のタイミング上の不具合を検証することができます。

製品の出荷検査においては、LSIテストの性能により必ずしも実使用と同じ状態を再現することはできませんが、高速ファンクションではある程度実使用に近い状態を実現できます。

次に、高速ファンクション・テストの制限事項を示しますので、この制限内でテスト・パターン設計をしてください。

### 6.6.1 テスト・パターン長制限

1本あたりのテスト・パターン長は、最大で32000パターンにしてください。

### 6.6.2 テスト周期（テスト・レート）

1パターンの周期を表します。

現在、弊社での、一般的な高速ファンクション・テストのテスト周期の制限は次のようになっています。

テスト周期 50 ns以上



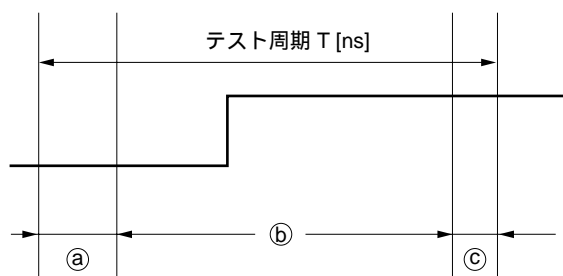
### 6.6.3 出力判定時間（ストロブ時間）

出力判定時間（ストロブ時間）は、製品の出力値をテスト・パターン上の期待値と照合する時間を表します。現在、弊社では、この時間は2箇所まで指定できます。ただし、1端子については1箇所のみです。

3箇所以上、あるいは1端子に複数の出力判定時間（ストロブ時間）を設定される場合は、テスト・パターンを別にして行ってください。

基本タイミングの切り替わりから頭15 ns、終わり10 nsはストロブ設定禁止期間です。

図6-5 ストロブ時間



①          ②          ③  
 15 ns   ストロブ時間   T - 10 ns

**注意** オープン・ドレーン、GTL、HSTLバッファは、リアルタイム・テストの対象外です。

### 6.6.4 高速ファンクション・テスト時の注意

高速ファンクション・テストを実行するには次の条件でMIN./MAX.シミュレーションを行い、両シミュレーションの結果が一致することが必要です。

なお、このシミュレーションは配置配線前と配置配線後で確認してください。

また、I/Oモジュレーションは使用できませんので注意してください。

配置配線後の遅延データ（パス・ディレイ・ファイル）を弊社にご要求ください。  
 このとき、シミュレーション時に用いる出力端子の負荷容量データ・ファイル（DIF FILE）が必要ですので弊社にご提出ください。  
 DIFファイルのフォーマットについては、**付録C ALBATROSS, DIFファイル・フォーマット**を参照してください。

このシミュレーションでの目的は、LSIテストで検査を行う場合に不具合発生の可能性を検出するためのものです。そのため、実使用と異なる条件を設定する場合があります。

各相の入力信号の時間条件の設定、出力判定時間（ストロープ時間）の設定、テスト周期（テスト・レート）の設定は、[高速ファンクション・テスト指示書]にて指定してください。

**MAX.シミュレーション条件**

テスト周期（T）：お客様指定値

負荷容量値（CL）：双方向端子 125 pF LSIテストでの負荷容量のMAX.値  
出力端子 90 pF

ストロープ時間：ストロープ時間のスキューを - 5 nsと仮定し、指定値 - 5 nsと設定してください。

**MIN.シミュレーション条件**

テスト周期（T）：お客様指定値

負荷容量値（CL）：50 pF LSIテストでの負荷容量のMIN.値

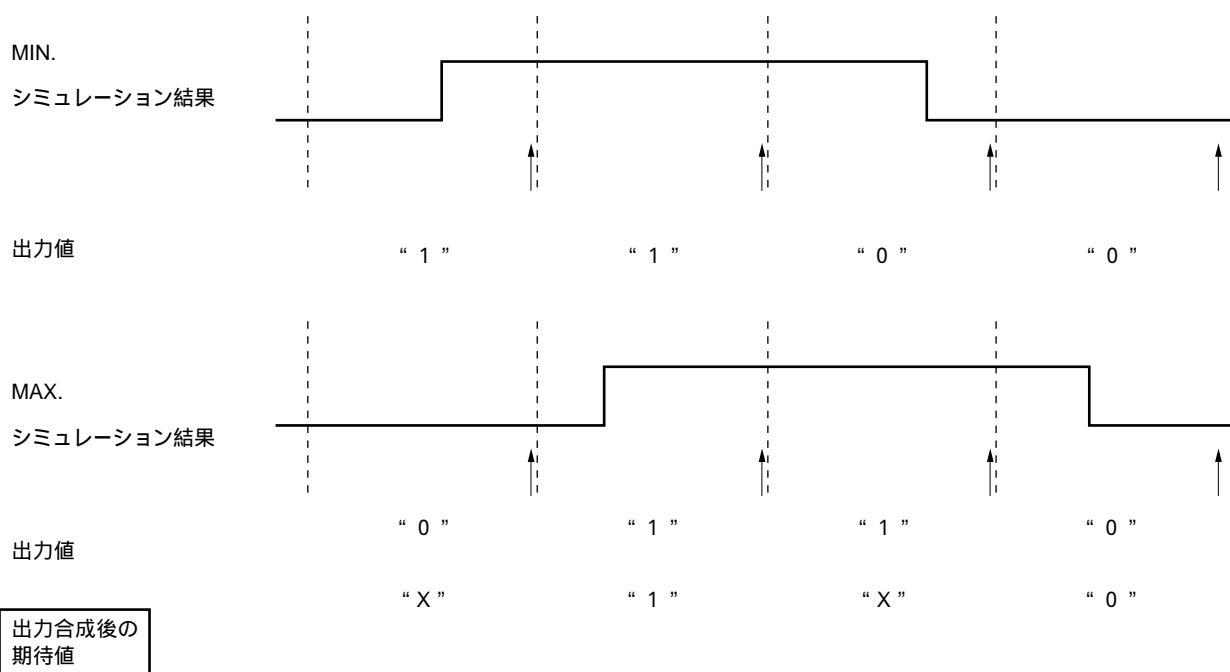
ストロープ時間：ストロープ時間のスキューを + 5 nsと仮定し、指定値 + 5 nsと設定してください。

図6 - 6のようにリアルタイム・シミュレーションにおいてシミュレーション結果が、1パターン内で収束せず  
に次のパターンになって出力が変化する場合があります。

シミュレーション結果がMAX.シミュレーションとMIN.シミュレーションで異なる場合は、次のように処置してください。

- ・2つのシミュレーション結果で異なるテスト・パターンの出力期待値を“ X ”（Don't care）に書き直す。  
テスト・パターンの合成（図6 - 6参照）。
- ・または、実際にシステムとして検査が必要なタイミングのみを期待値として入れる。

図6 - 6 リアルタイム・シミュレーション結果例



## 6.7 テスタビリティ（故障検出率）

### 6.7.1 テスタビリティ（故障検出率）への考慮

**故障シミュレーション**とは、ASICを開発するときのテスタビリティ（故障検出率）の検証をする方法の1つです。つまり、論理回路の機能試験用に作成したテスト・パターンの有効性を診断し、そのテスト・パターンでは未検出となる故障を検出します。

ASIC開発ではさまざまな故障が起きる可能性があります、大きく動的故障と静的故障に分類されます。

動的故障とは、作成した回路の一部の遅延回路が長すぎたり、スパイクが発生したり、タイミング条件を守ることができないために起きる誤動作のことを指し、その原因は動作環境や設計ミスなどが挙げられます。

これに対し静的故障とは、配線ショートや未配線など、チップ上の物理的な故障を指し、ほとんどの場合、その原因は製造工程にあります。論理シミュレーションでは、作成した回路の機能やタイミングについての検証は行いますが、実際に製造されるチップの静的故障を検出するためのテスト・パターンの試験効率を検証することは行いません。そこで、静的故障を回路に定義し、テスト・パターンを入力して製造したASICの出力端子から故障を確実に検出できるかを検証するのが故障シミュレーションです。

故障シミュレーションの目的は、作成した回路のファンクション・ブロックの境界に定義した故障を、テスト・パターンがどれだけ効率よく検出できるかを検証することです。このテスト・パターンの試験効率を表したものを「**テスタビリティ（故障検出率）**」と呼び、回路内に定義した故障をテスト・パターンがどれだけ検出できるかを数値（百分率）で表しています。

$$\text{テスタビリティ (故障検出率)} = \frac{\text{与えられた検査入力パターンで検出できる故障数}}{\text{テスト対象回路の中の故障総数}} \times 100 (\%)$$

もしも、テスタビリティ（故障検出率）が低いと、LSIのテストが十分に行えないために不良品が良品として出荷されることが考えられます。

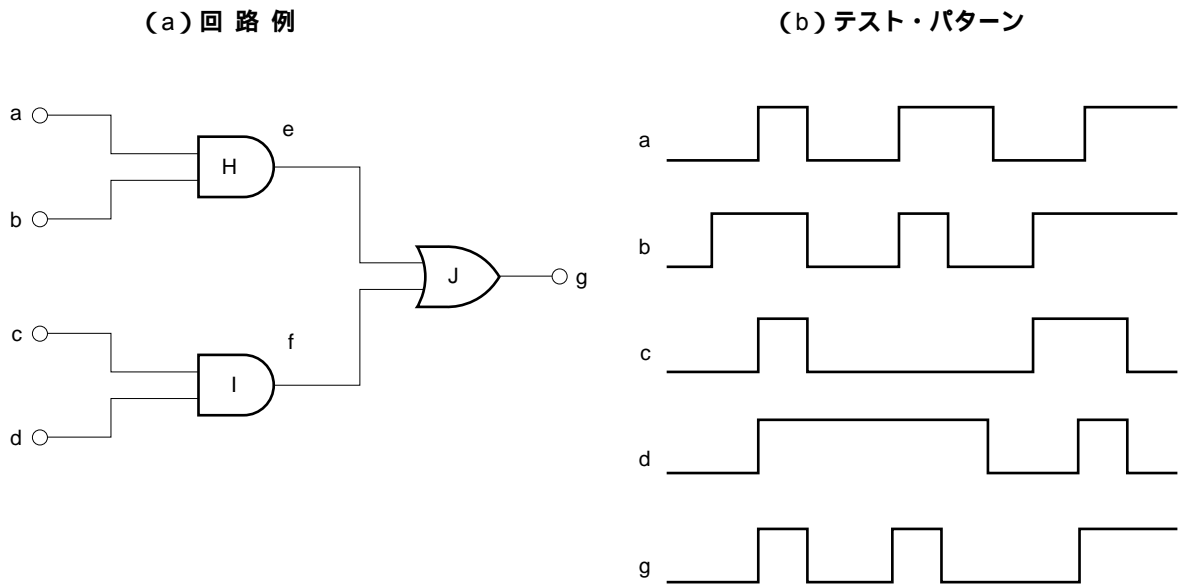
弊社としては、製品としての良品性を上げるためにも、故障検出率を、極力、90 %以上にすることをお勧めします。

テスタビリティ（故障検出率）を向上させるためには、回路設計の段階でテスト回路を設けてテスト効率を向上させる、スキャンパス・テスト法の採用などの配慮が効果的です。

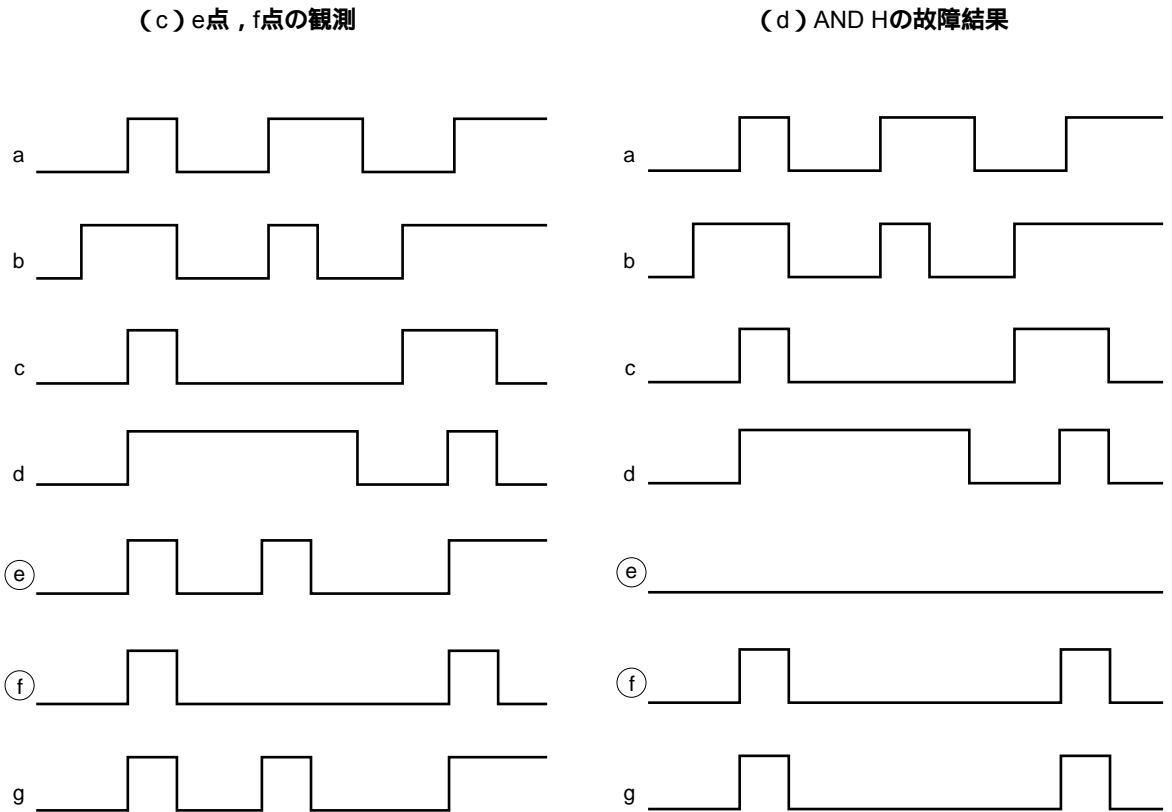
### 6.7.2 故障シミュレーションの原理

故障シミュレーションは、一般的に論理機能を検査する論理シミュレーションと同じアルゴリズムで動作します。ただし、故障シミュレーションは実行するにあたり回路に故障設定をすることができます。図6-7に故障シミュレーションの例を示します。

図6-7 故障シミュレーションの概念 (1/2)



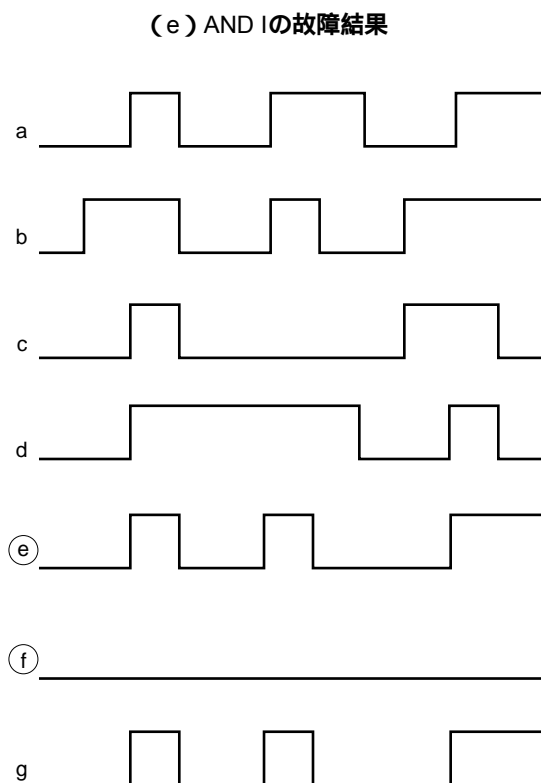
ここで、もし、この回路に故障があり、2入力ANDゲートHの出力が常にロウ・レベルになると仮定します。この場合、(c)と同じ入力信号を入れると出力gの結果が異なるものになることがわかります((c)、(d)参照)。したがって、このテスト・パターンでこの故障を検出できることがわかります。



では、2入力ANDゲートIの出力が常にロウ・レベルになるという故障ではどうでしょうか？

(e) に示すようにこの入力信号（テスト・パターン）では、(c) のテスト・パターンと同じになり、この故障の発見に対して有効でないことがわかります。

図6-7 故障シミュレーションの概念 (2/2)



故障シミュレーションは、このような故障を内部回路に対して次々と定義してシミュレーションを行うことにより、定義した故障が出力端子において検出できるかどうかを調べるものです。

なお、一般に故障シミュレーションで定義できる故障の種類は単一縮退故障と言われるものです。

単一縮退故障とは、次に示す2種類の故障を回路に定義するものです。

stuck-at-1 ある部分がハイ・レベル（“1”）固定の故障

stuck-at-0 ある部分がロウ・レベル（“0”）固定の故障

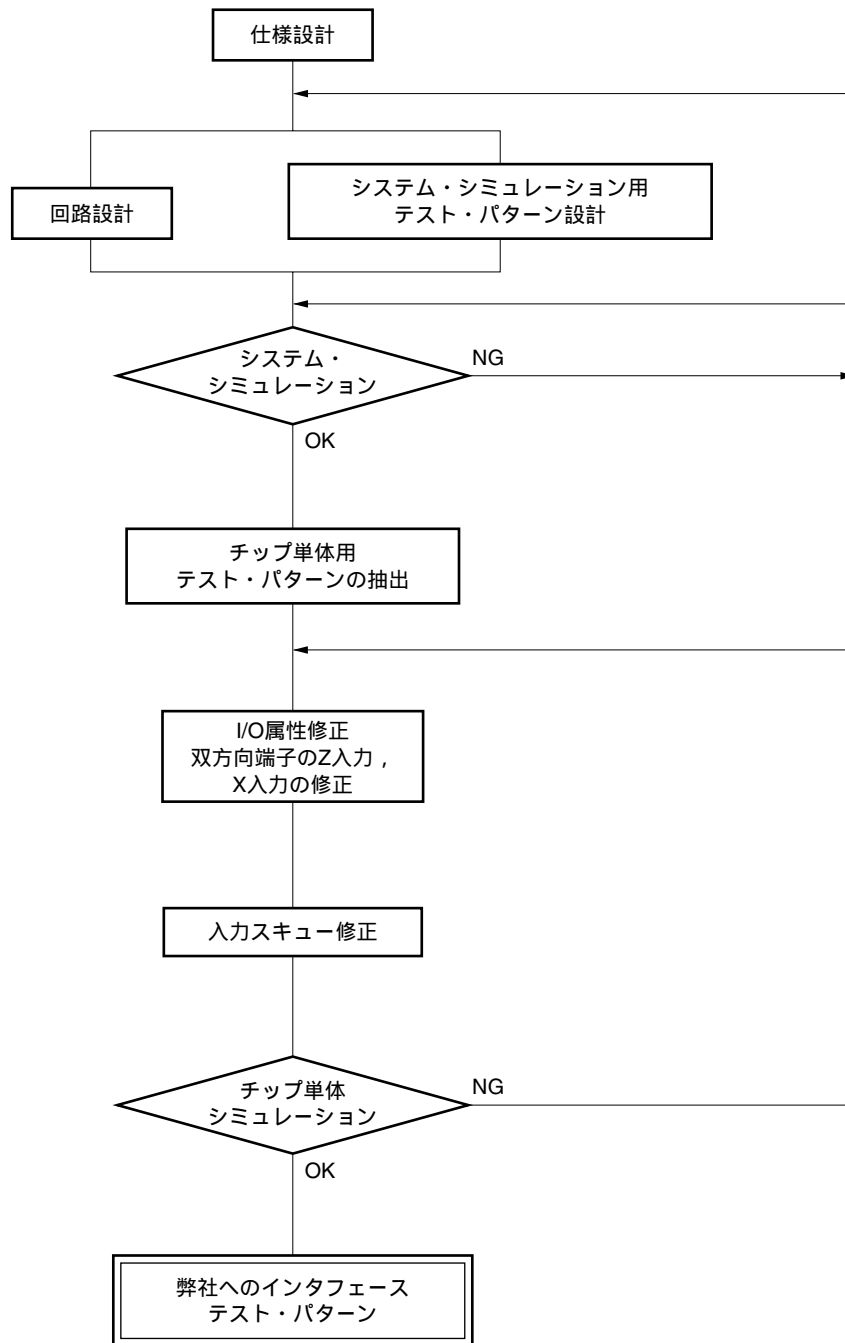
## 6.8 システム・シミュレーションへの考慮

システム・シミュレーションは、開発しているゲートアレイを含む基板や装置単位で実動作に近い動きをシミュレーションさせ、ゲートアレイの機能を確認する方法です。

装置単位での機能の確認のあと、ゲートアレイの入出力端子部で信号を観測し、ゲートアレイ単体のテスト・パターンを抽出します。

このテスト・パターンをLSIテスト用のテスト・パターンとして利用することができます。ただし、必ず、ゲートアレイ単体でも再度シミュレーションを行い、問題のないこと（テスト・パターン作成上の注意点が満足していること）を確認してください。

図6 - 8 システム・シミュレーションによるテスト・パターン作成フロー



## 第7章 多機能ブロック

CMOS-N5シリーズでは、通常ファンクション・ブロック以外にも以下のような多機能ブロックを用意しています。ここでは各多機能ブロックについて機能と使用方法を説明します。

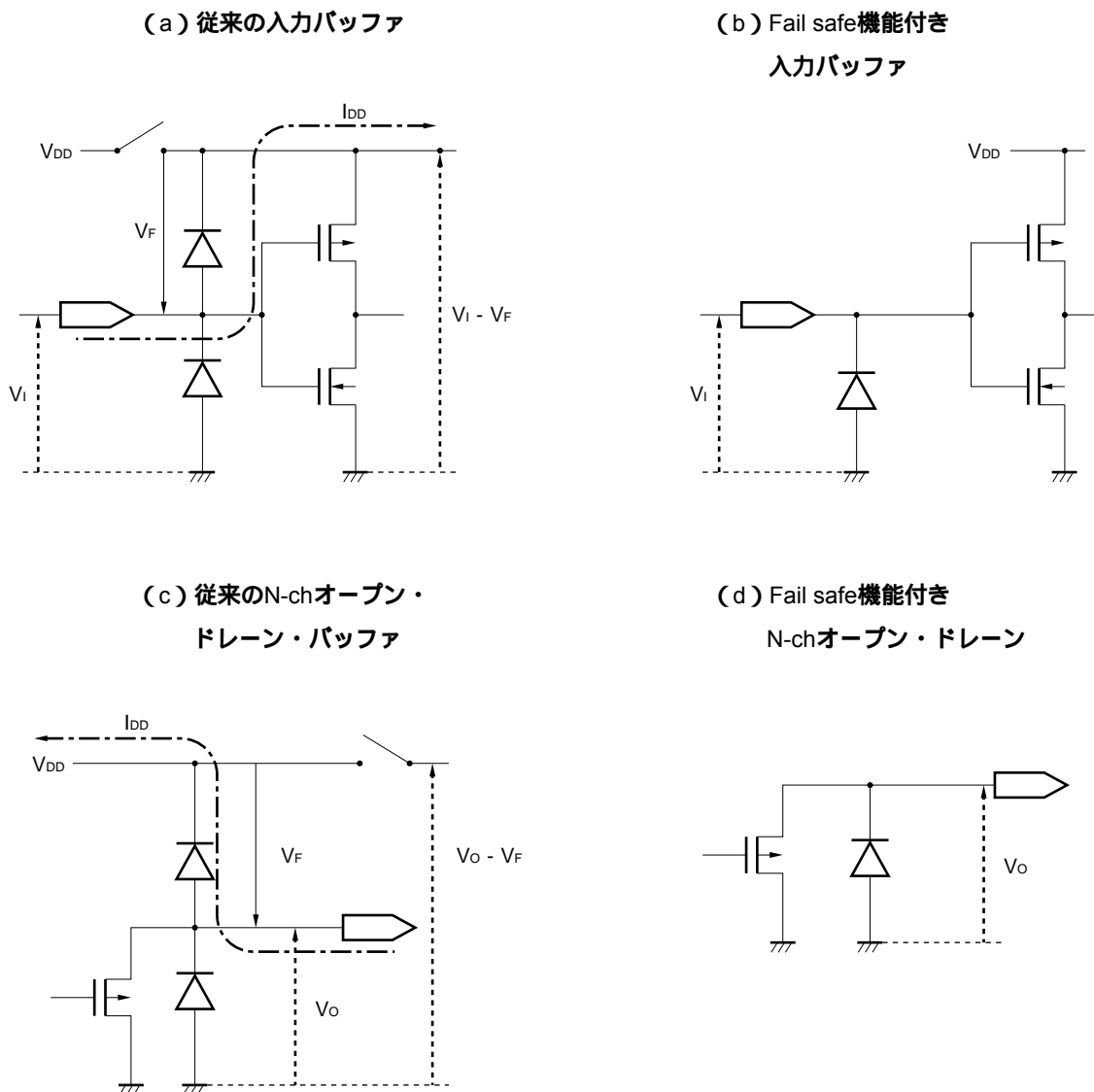
- ・ Fail safe機能付きバッファ
- ・ プルアップ / プルダウン抵抗内蔵バッファ
- ・ 発振回路
- ・ メモリ・ブロック
- ・ メガマクロ

## 7.1 Fail safe機能付きバッファ

従来のゲートアレイでは $V_{DD}$ より高い入力電圧を印加することができなかつたため、ゲートアレイの電源電圧がオフになっている場合には入力/出力に電圧を印加することはできませんでした。Fail safe機能付きバッファは、ゲートアレイの電源電圧がオフになっている場合にも電圧を印加できるようにしたブロックです。

通常の入力バッファではゲートアレイの電源がオフになっている場合、ハイ・レベルの信号を入力すると保護ダイオードを通して電源ラインへ電圧が印加されます（図7-1参照）。また、N-chオープン・ドレインでもゲートアレイの電源がオフになっている場合、端子へハイ・レベルがかかると保護ダイオードを通して電源ラインへ電圧が印加されます。Fail safe機能付きバッファは、ゲートアレイの電源電圧がオフになっている場合、ハイ・レベルの信号が印加されても、電源ラインへ電圧が印加されないようになっています。このため、静電耐圧条件を満足すれば、活線挿抜用にも使用できます。

図7-1 Fail safe機能付きバッファの等価回路図



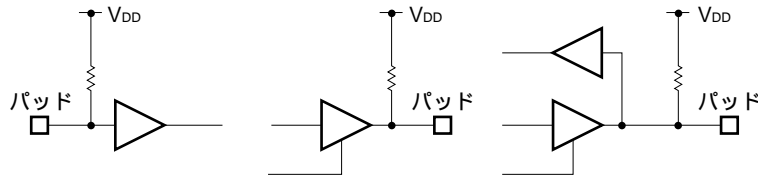


## 7.2 プルアップ/プルダウン抵抗内蔵の入力/出力/双方向バッファ

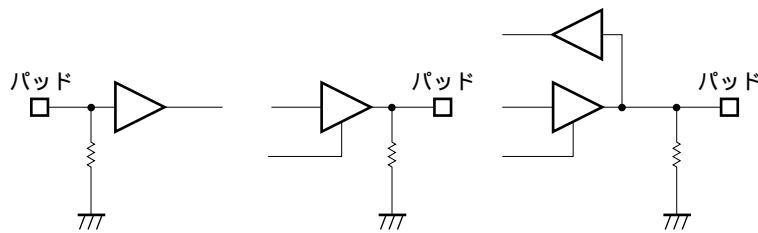
CMOS-N5シリーズには、入力バッファ、シュミット入力バッファ、3ステート出力バッファ、N-chオープン・ドレイン出力バッファ、双方向バッファ、シュミット入力双方向バッファ、プルアップ/プルダウン抵抗を内蔵した入出力ブロックを用意してあります。これらを利用することにより、システムをよりコンパクト化できます。

個々のブロック名は弊社にご確認ください。

### プルアップ抵抗



### プルダウン抵抗



なお、シミュレーションではプルアップ/プルダウン抵抗内蔵の入力バッファ、双方向バッファの入力端子に不定(X)やハイ・インピーダンス(Z)を入力することはできません。

またプルアップ/プルダウン抵抗内蔵の3ステート出力バッファや双方向バッファの出力端子がアクティブでないときの出力期待値は、ハイ・インピーダンス(Z)またはdon't care(X)としてください。

## 7.3 発振回路

### 7.3.1 発振回路の構成方法

発振回路を構成するために発振専用ブロックを用意しています。発振専用ブロックはフィードバック抵抗外付けタイプ、フィードバック抵抗内蔵タイプ、発振停止機能付きタイプの3種類です。これらのブロックを使用して、外部端子に発振子とコンデンサ、制限抵抗などを接続するだけで発振回路を構成することができます。ただし、発振専用ブロックの搭載数は2個までです。2個搭載する場合は干渉を避けるため対極に置き、それぞれのクロックでそれぞれの回路が動作するように設計してください。また、発振専用ブロックは3個以上使えません。なお、複数搭載の必要がある場合は弊社に相談してください。

また、発振回路で生成したクロックは、両エッジでの使用は行わないでください。

発振回路の推奨発振周波数範囲と構成するブロックの組み合わせを表7-1に示します。

配置制限のある発振ブロックの構成については、CMOSゲートアレイ、エンベデッドアレイ 設計マニュアル パッケージ編 (A16400J) を参照してください。また、停止機能付き発振ブロックを使用するときは、外部より停止コントロールをしてください。なお、停止コントロール端子の配置制限はありませんが、極力発振ブロックの近くに配置してください。

表7-1 推奨発振周波数範囲と組み合わせ構成

フィードバック抵抗		停止機能	組み合わせ構成		周波数	配置制限
			入力	出力		
外付け	1 MΩ	なし	OSI4	OSO9SW	MHz帯	なし
内蔵		なし	OSI1	OSO1SW	MHz帯	あり
		あり	OSI2	OSO7SW		

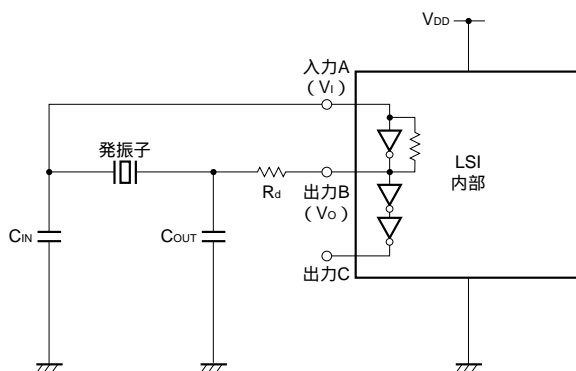
**備考** 発振専用ブロックには、新タイプ（ブロック名の末尾が“SW”のもの）と旧タイプ（ブロック名の末尾に“SW”がないもの）があります。

新タイプの発振専用ブロックは、旧タイプから次の点が改善されています。

- ・発振回路出力とCTS間の接続が可能
- ・水晶振動子との相性を改善

旧タイプの発振専用ブロックを使用する場合は、弊社までお問い合わせください。

図7-2 発振回路の構成例



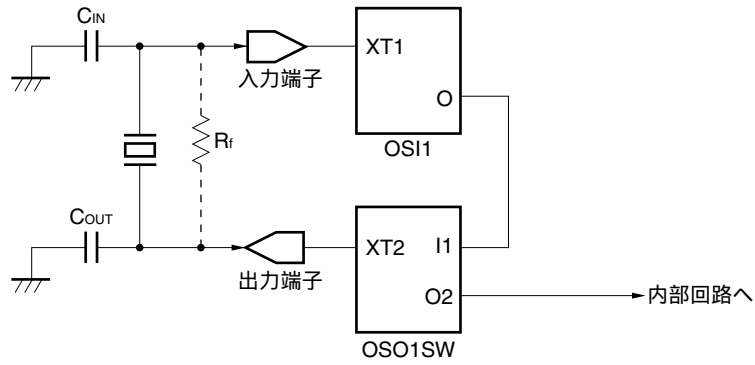
**備考** コンデンサ $C_{IN}$ 、 $C_{OUT}$ 、制限抵抗 $R_d$ 、消費電流を決定する際は、評価用サンプル（ESまたはCS）による評価が必要です。

### 7.3.2 発振回路の記述方法

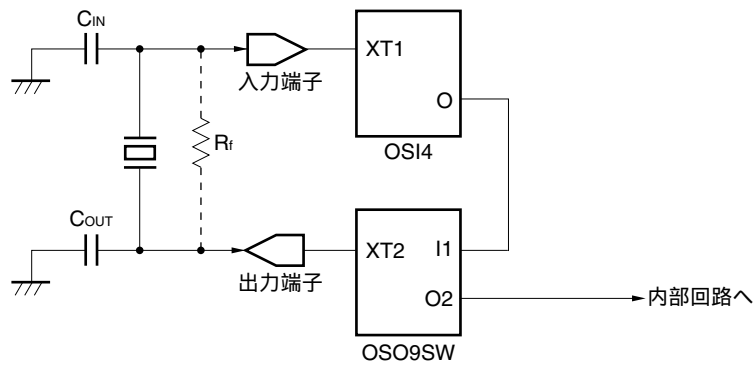
発振回路を使用する場合は次のように記述します。

図7 - 3 発振回路構成 (1/2)

(a) OSI1 + OSO1SW

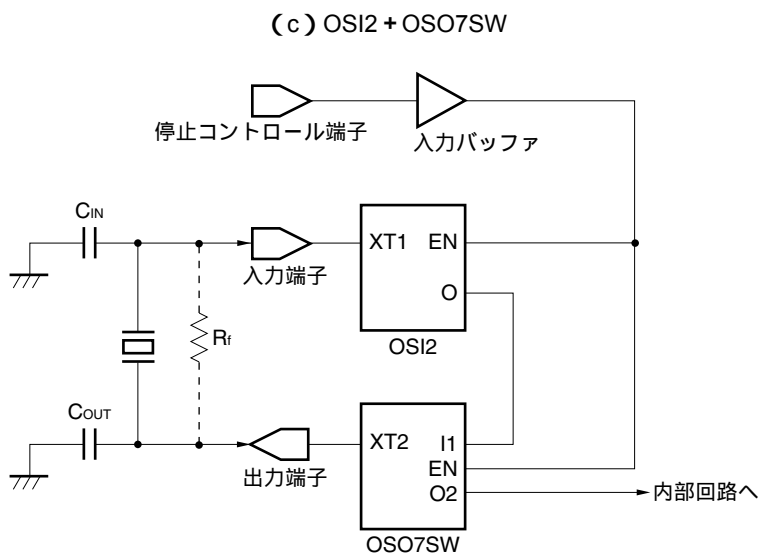


(b) OSI4 + OSO9SW



**備考** OSO9SW使用時は、1 MΩ程度の外付けフィードバック抵抗R<sub>f</sub>が必要となります。

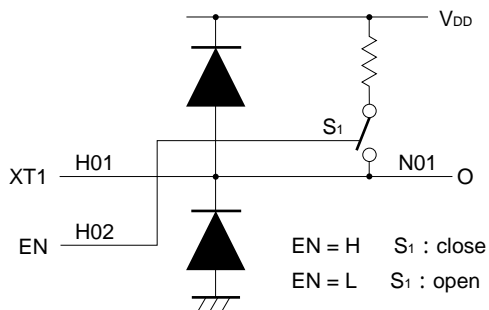
図7-3 発振回路構成 (2/2)



**注意** 発振停止時，入力端子 (XT1) はハイ・レベルにしてください。

**備考** 発振停止時のO2の出力はロウ・レベルです。OSI2, OSO7SWの等価回路図と真理値表を次に示します。

OSI2の等価回路図

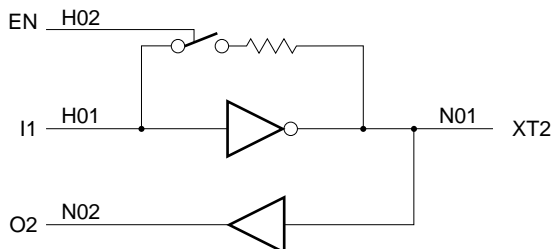


OSI2の真理値表

XT1	EN	O
0	0	0
1	0	1
1	1	1
0	1	X

使用禁止

OSO7SWの等価回路図



OSO7SWの真理値表

I1	EN	XT2	O2
0	0	1	1
1	0	0	0
1	1	0	0
0	1	X	X

使用禁止

発振回路のテスト・パターンは次のように記述してください。

OSI1, OSI2, OSI4の入力端子 (XT1) には, 内部回路へ伝送されるパターンの反転したものを入力パターンとしてください。

OSO1SW, OSO7SW, OSO9SWの出力端子 (XT2) には, 内部回路へ伝送されるパターンと同じものを出力パターンとしてください。

DCテスト・パターンでは, OSO7SWの停止コントロール端子には常に“0”を入力してください。

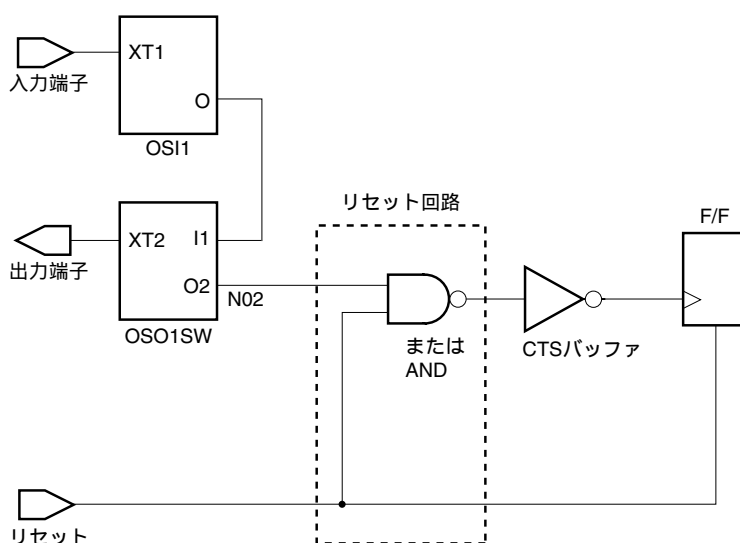
内部回路へ伝送されるパターンおよびOSO1SW, OSO7SW, OSO9SWの出力端子 (XT2) に出るパターンは, 入力パターンを反転したものです。

### 7.3.3 発振回路 (発振子) とCTSとの併用

発振回路 (発振子) とCTSを併用する場合, 発振開始まで, CTSバッファを不安定な状態にしないようにしなければなりません。そのため, CTSバッファの前にゲート回路を入れ, そこへF/Fなどのリセット端子をつなぎ, CTSバッファの出力値を固定する機能を付けてください。

図7-4に推奨回路構成例を示します

図7-4 推奨回路構成例



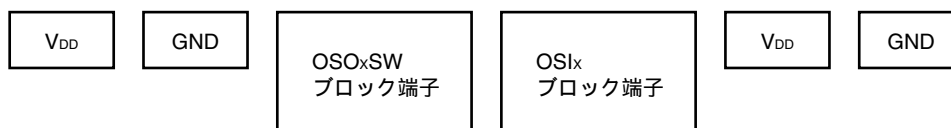
- 備考 1.** この推奨回路構成例の対象発振ブロックは, OSO1SW, OSO7SW, OSO9SWです。
- 2.** 発振回路の出力とCTSバッファの間に, CTSのリセット入力回路 (点線内) を追加し, リセット時にCTSの出力値を固定するようにしてください。

### 7.3.4 発振回路構成上の注意

CMOS-N5ゲートアレイは、発振専用ブロックを内蔵し、パッケージ外部に振動子および外部定数を接続することにより発振回路を構成できます。容易に発振回路を構成できるメリットがありますが、発振回路は高周波で動作するアナログ回路ですから、ロジック回路とは違った注意事項があります。

安定した発振動作を得るには、外部定数（入力側コンデンサ、出力側コンデンサおよび制限抵抗）を最適値に設定することが必要であるほか、アナログ回路として扱う必要がありますので下記の注意が必要です。

発振器端子（発振回路）の周囲は、次のようにV<sub>DD</sub>とGNDで囲んでください。



- 備考1.** OSOxSW（発振器）ブロック端子は同時動作検討の対象からはずしてください。  
**2.** 発振器端子の周囲のV<sub>DD</sub>とGNDは同時動作検討に使用できます。

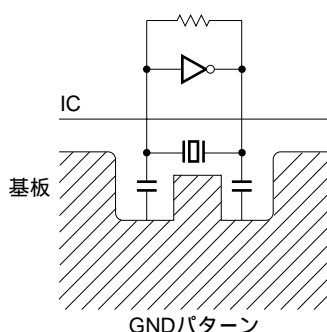
クロック端子やリセット端子など、一瞬でもノイズが乗ると誤動作の原因となる端子はできるだけ発振器端子から離してください。

出力バッファはノイズ源ですので、発振器端子（発振回路）からできるだけ離してください。

プリント基板においては下記の注意が必要です。

- ・発振回路の入力、出力端子と発振器と外部定数はすぐ近くに配置し最短の経路にて配線する。
- ・コンデンサの接地側とゲートアレイのGND端子との配線も最短とし、極力太くする。
- ・振動子およびコンデンサのリード線は極力短くし、機械的振動の影響を小さくするため振動子およびコンデンサはプリント基板に固定する。
- ・外部定数部分はできるだけGNDで囲むパターンにしてください。

図7-5 基板上的GNDパターン例

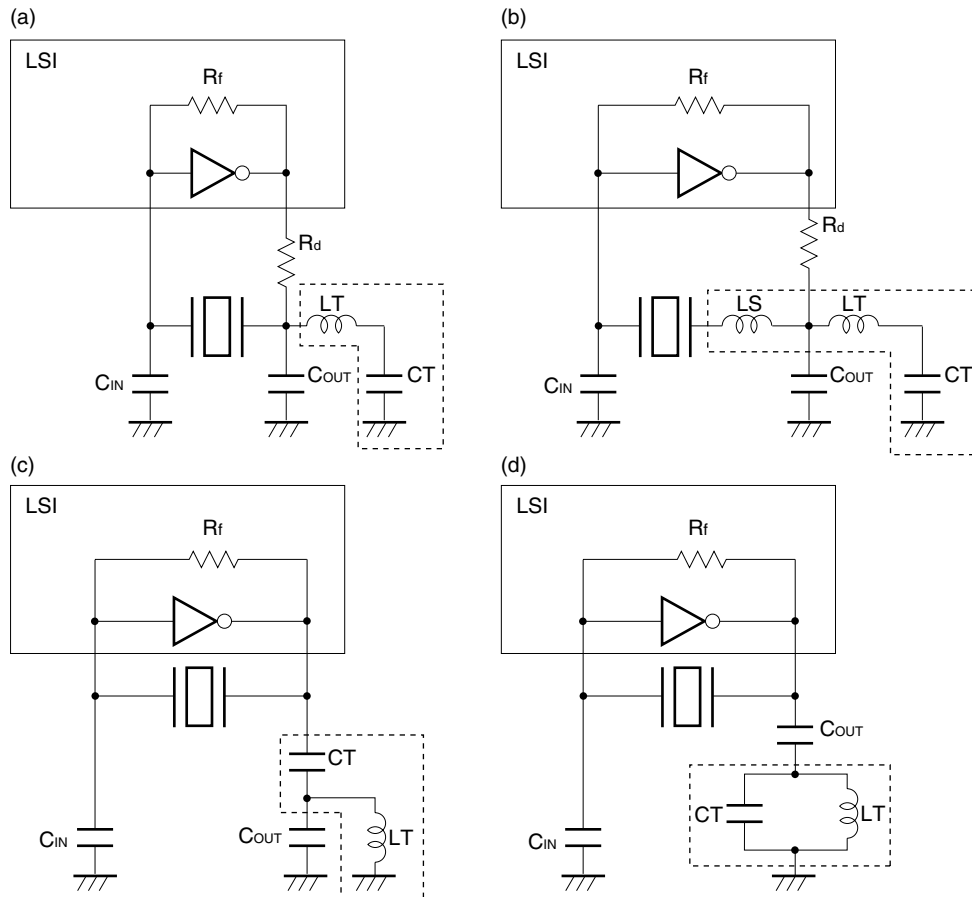


発振ブロックの入力端子（OSI1, OSI2）から外部発振器で生成したクロックを入力するには、XIN（OSI1, OSI2）側へ接続して、XOUT（OSO1SW）側はオープンとしてください。また発振器は論理的にはインバータですので、内部回路には入力を反転した信号が入ります。

さらに外部定数を決定する評価においても以下の注意が必要です。

- ・推奨回路は、オーバートーン回路（LC）付きです。回路例を図7 - 6に示します。
- ・発振開始時間や電圧など、ばらつきを含めて評価してください。
- ・実際に使用するプリント基板を用いる（基板の誘電率などにより発振動作範囲が変動する場合があります）。
- ・開発したCMOS-N5ゲートアレイ（ESまたはCS）および実際に使用する振動子を用いて確認する。

図7 - 6 オーバートーン回路例



備考 点線内はオーバートーン回路

## 7.3.5 外付け回路の定数

クロック信号を発生させるには、振動子とのマッチング評価が必要です。その評価を行う際の判定基準例を表7-2に示します。測定項目に関しては、振動子メーカーとの相談のうえで検討してください。

表7-2 判定基準例

測定項目	判定基準
発振周波数	発振子の持つ精度以内に周波数が収まること
発振開始電圧 (V <sub>s</sub> )	2.0 V V <sub>s</sub> 2.5 V
発振保持電圧 (V <sub>h</sub> )	V <sub>h</sub> V <sub>s</sub>
電源投入時の動作	電源のON/OFFを繰り返し、発振動作確認
消費電流	極力少ないこと
発振波形のピーク値	3.2 V V <sub>IH</sub> , V <sub>OH</sub> V <sub>DD</sub> 0 V V <sub>IL</sub> , V <sub>OL</sub> 1.3 V
デューティ比	50 % ± 10 %

なお、発振評価はESまたはCSで行っていただきますが、ゲートアレイ、振動子、外部定数のすべてが、製造ばらつきや使用条件によるばらつきを持っていますので、評価の際は製品のばらつきを考慮してください。

また、上記の ~ についてはゲートアレイの電源変動と温度変動を考慮する必要があるため、次のMIN., TYP., MAX. の条件でそれぞれ測定してください。

## 【例】電源変動と温度変動を考慮した場合

$$T_A = -40 \sim +85$$

$$V_{DD} = 5 \text{ V} \pm 10 \%$$

次のMIN., TYP., MAX. の条件でそれぞれ測定してください。

	MIN.	TYP.	MAX.
T <sub>A</sub> ( )	-40	25	+85
V <sub>DD</sub> (V)	5.5	5.0	4.5

**備考** この表の値はゲートアレイの伝達遅延時間 (t<sub>PD</sub>) のMIN., TYP., MAX. 値の条件を表しています。振動子の発振周波数のMIN., TYP., MAX. 値ではありません。

表7-3にOSO7SW (OSO1SW), OSO9SWに外付けする発振子と推奨外部定数例, 図7-7に回路構成図を示します。これらのデータは各発振子メーカーのご協力により評価いただいたものです。表7-3以外の周波数およびこの評価の外部定数, 回路構成などのお問い合わせにつきましては各連絡先までお願いします。

**注意** 発振子を使用する際に、周波数が40 MHzを越える場合は、必ず事前に弊社までご連絡ください。



表7-3 発振ブロックの発振子評価一覧(1/2)

(a) (株)村田製作所 セラミック発振子 評価データ一覧

電源電圧	対象 ブロック	周波数 (MHz)	品名	コンデンサ	C <sub>IN</sub> (pF)	C <sub>OUT</sub> (pF)	制限抵抗 R <sub>d</sub> (Ω)	回路構成 注				
3.0 V ± 0.3 V 3.3 V ± 0.3 V	OSO1SW	2	CSTCC2M00G56-R0	内蔵	-	-	3.3 K	A				
		OSO7SW	4		CSTCR4M00G55-R0	-	-		1.5 K			
			8		CSTCE8M00G55-R0	-	-		680			
			16		CSTCE16M0V53-R0	-	-		330			
			20		CSTCE20M0V53-R0	-	-		220			
			32		CSTCG32M0V53-R0 (小型)	-	-		150			
	OSO9SW	2	CSTCC2M00G56-R0		-	-	2.2 K	B				
		4	CSTCR4M00G55-R0		-	-	1.0 K					
		8	CSTCE8M00G55-R0		-	-	330					
		16	CSTCE16M0V53-R0		-	-	150					
		20	CSTCE20M0V53-R0		-	-	100					
		32	CSTCG32M0V53-R0 (小型)		-	-	100					
		5.0 V ± 0.5 V	OSO1SW		2	CSTCC2M00G56-R0	内蔵		-	-	3.3 K	A
					OSO7SW	4			CSTCR4M00G55-R0	-	-	
8	CSTCE8M00G55-R0			-		-		680				
16	CSTCE16M0V53-R0			-		-		330				
20	CSTCE20M0V53-R0			-		-		220				
32	CSTCW32M0X51-R0			-		-		22				
32	CSTCG32M0V53-R0 (小型)			-		-		150				
OSO9SW	2			CSTCC2M00G56-R0	-	-		2.2 K	B			
	4		CSTCR4M00G55-R0	-	-	1.0 K						
	8		CSTCE8M00G55-R0	-	-	330						
	16		CSTCE16M0V53-R0	-	-	150						
	20		CSTCE20M0V53-R0	-	-	100						
	32		CSTCW32M0X51-R0	-	-	22						
OSO9SW	32		CSTCG32M0V53-R0 (小型)	-	-	100		B				
	40	CSTCW40M0X51-R0	-	-	22							

注 この欄の番号は図7-7 発振ブロックの発振回路構成図内の番号と対応しています。

備考 OSO9SWの外付けフィードバック抵抗：1 MΩ

表7 - 3 発振ブロックの発振子評価一覧 (2/2)

(b) (株)大真空 水晶振動子評価データ一覧

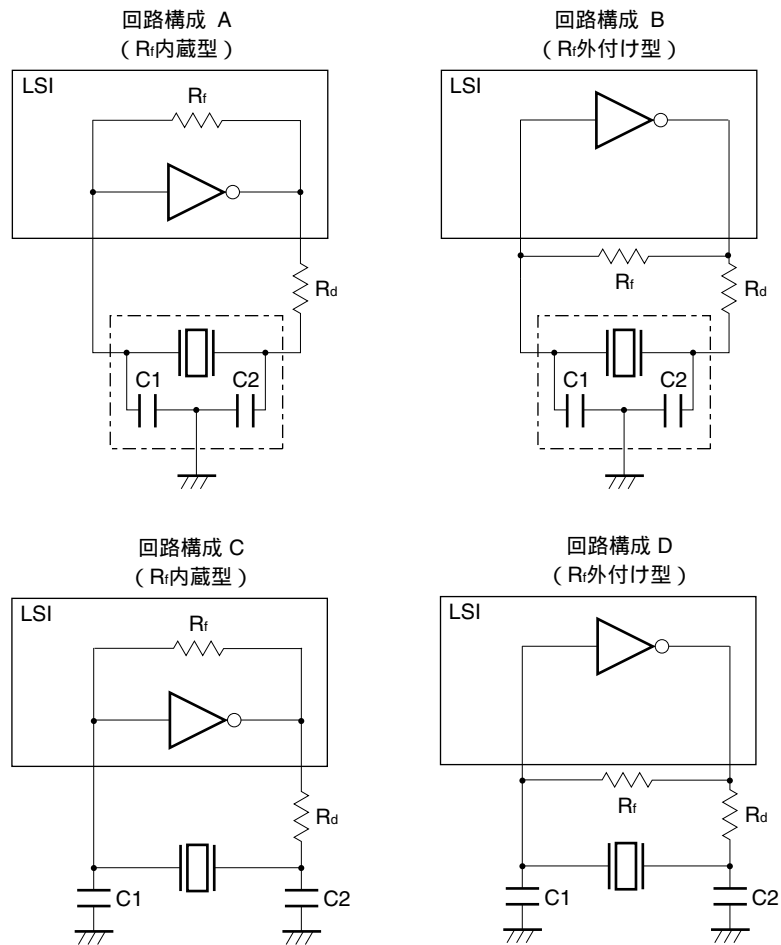
電源電圧	対象 ブロック	周波数 (MHz)	品 名	コンデンサ	C <sub>IN</sub> (pF)	C <sub>OUT</sub> (pF)	制限抵抗 R <sub>d</sub> (Ω)	回路構成 注
3.3 V ± 0.3 V 5.0 V ± 0.5 V	OSO1SW	12	DSX321G	外付け	8	8	4.7 K	C
	OSO7SW				8	8	4.7 K	
	OSO9SW				8	8	4.7 K	D
	OSO1SW	26	DSX321G		5	5	1.0 K	C
	OSO7SW				5	5	1.0 K	
	OSO9SW				5	5	1.0 K	D
	OSO1SW	32	DSX321G		3	3	1.0 K	C
	OSO7SW				3	3	1.0 K	
	OSO9SW				3	3	1.0 K	D

注 この欄の番号は図7 - 7 発振ブロックの発振回路構成図内の番号と対応しています。

備考 OSO9SWの外付けフィードバック抵抗：1 MΩ

図7 - 7に回路構成を示します。また、システム基板として極力容量を小さくすること (C1 (C<sub>IN</sub>), C2 (C<sub>OUT</sub>) への影響を小さくすること) をお勧めします。

図7-7 発振ブロックの発振回路構成図



備考 R<sub>f</sub>: フィードバック抵抗

【問い合わせ先】

株式会社村田製作所 〒617-8555 京都府長岡京市東神足1丁目10番1号  
 デバイス事業本部 圧電事業部 第1圧電商品部 商品技術3課  
 (075) 955 - 6915

株式会社大真空 〒104-0031 東京都中央区京橋1丁目17番10号 内田洋行京橋ビル10F  
 東京営業所 営業2課  
 (03) 5250 - 6366

## 7.4 メモリ

CMOS-N5シリーズでは、メモリ・ブロックを搭載できます。この節では、メモリ・ブロックの種類や使用の際の注意事項などについて述べます。

### 7.4.1 メモリ・ブロックの種類

CMOS-N5シリーズでは次の種類のメモリ・ブロックを用意しています。

- ・シングルポートRAM
- ・デュアルポートRAM

それぞれのメモリ・ブロック一覧を表7-4に示します。これらのメモリ・ブロックは複数混在させることもできます。

表7-4 メモリ・ブロック一覧

(a) シングルポートRAM

ワード ビット	16	32	64	128	256	512	1 K	2 K
4	RB47	RB49	RB4B	RB4D	RB4F	RB4H	RB4M	RB4S
8	RB87	RB89	RB8B	RB8D	RB8F	RB8H	RB8M	
10			RBAB	RBAD	RBAF	RBAH		
16	RBC7	RBC9	RBCB	RBCD	RBCF	RBCH	RBCM	
20			RBEB	RBED	RBEF	RBEH		
32	RBH7	RBH9	RBHB	RBHD	RBHF	RBHH		
40			RBKB	RBKD	RBKF	RBKH		

(b) デュアルポートRAM

ワード ビット	16	32	64	128	256	512
4	R947	R949	R94B	R94D	R94F	R94H
8	R987	R989	R98B	R98D	R98F	
10			R9AB	R9AD		
16	R9C7	R9C9	R9CB	R9CD	R9CF	
20			R9EB	R9ED		
32	R9H7	R9H9	R9HB			
40			R9KB			

## 7.4.2 RAMブロック

CMOS-N5シリーズの高密度RAMは、図7 - 8、図7 - 9に示すように基本マクロ（ハード・マクロ）を基にビット/ワードを構成し、テスト回路（BIST：Built-In Self Test）およびセクタを内蔵したソフト・マクロ構成をとっています。このことにより、配置配線の制限や複数のRAMを搭載する際の複雑さが緩和されています。

メモリ・テストは、BISTというテスト専用マクロをソフト・マクロ内に搭載しています。テスト用に3端子必要となるだけで、全端子直接入出力のわずらわしさがありません。

弊社のRAMを使用する場合は、必ず弊社標準のテスト回路（BIST）を使用してください。

図7-8 シングルポートRAM回路構成

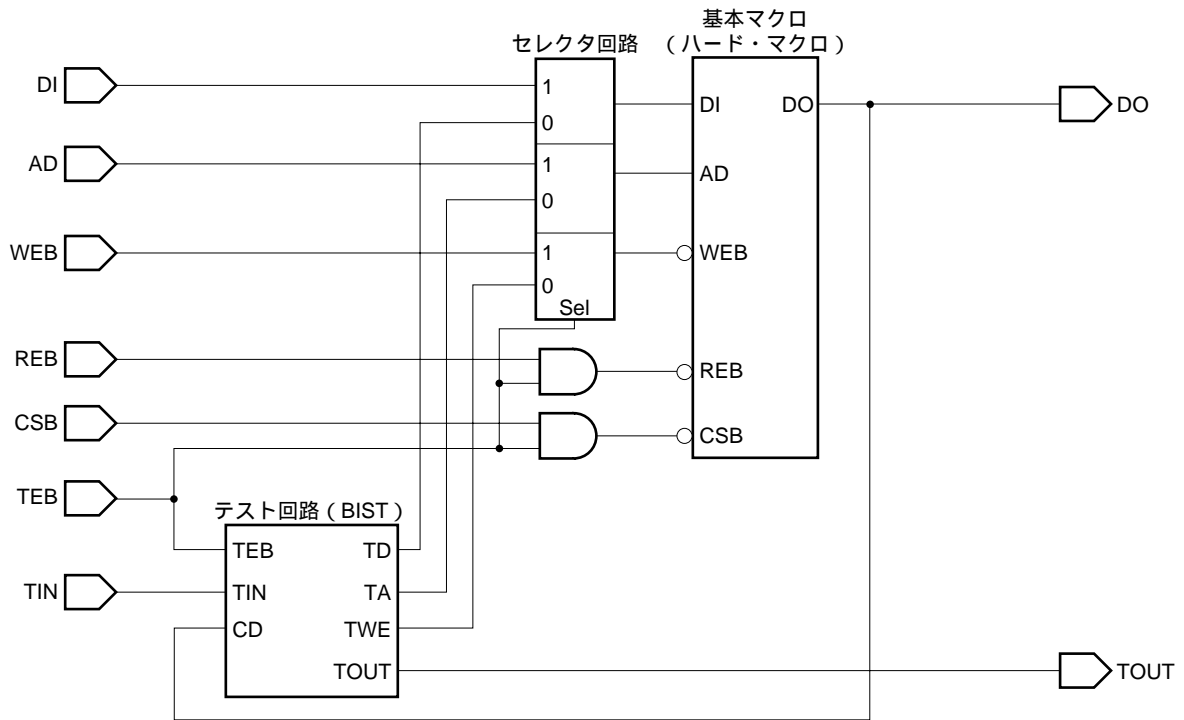
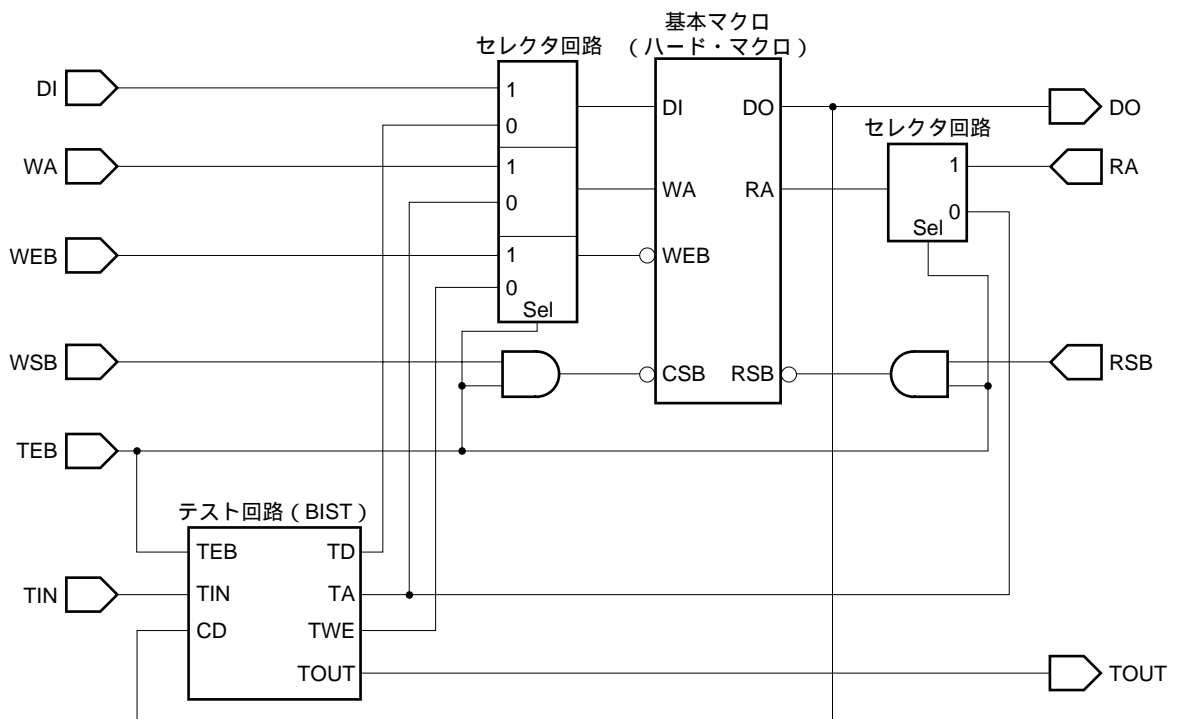


図7-9 デュアルポートRAM回路構成



## 7.5 メモリ・ブロックの記述方法

メモリ・ブロックを回路図または接続データとして記述する場合は、次の項目について注意してください。

### 7.5.1 メモリ・ブロックの選択

CMOS-N5シリーズのRAMブロックはソフト・マクロ構成となっています。したがって、基本メモリ・セルの組み合わせにより、ビット/ワード構成の自由なRAMブロックが搭載可能です。しかし、特に使用頻度の高いと考えられるブロックはシミュレーション・モデルとして、あらかじめ登録されています(CMOS-N5シリーズ **メモリ ブロック・ライブラリ** (A14683J) 参照)。これら代表モデルの中から、使用するビット/ワード・サイズを包含する最も大きさの近いものを選択してご使用ください。

ビット数オーバなどの理由で希望するサイズのメモリ・ブロックが存在しない場合は、ビット、サイズの異なる同一ワード・サイズのブロックを平行に接続して記述してください。

逆にワード数オーバの場合には、通常のメモリ回路と同様にデコーダなどによりチップ・セレクト信号を作成し、アドレスを分割してください。

ビット/ワードの一致しないメモリを使用する場合は、上述の方法でソフト・マクロ化して使用してください。回路構成およびテスト回路(BIST)構成は弊社までお問い合わせください。

### 7.5.2 メモリ・ブロックの取り扱い

メモリ・ブロックには、ほかのファンクション・ブロックと同様に、ファンイン(F/I)やファンアウト(F/O)の規定があります(CMOS-N5シリーズ **メモリ ブロック・ライブラリ** (A14683J) 参照)。ファンアウト制限数などを越えないように接続してください。

なお、電源電圧3.0 V仕様および電源電圧3.3 V仕様では、RAMブロックを使用できません。

## 7.6 メモリ・テスト

### 7.6.1 RAMのテスト

CMOS-N5シリーズのRAMブロックのテストは、BISTの採用によりテスト・パターン数の制限が緩和され、お客様によるメモリ・チェックも容易になっています。

BISTは図7-10に示すように、テスト・アドレス、テスト・データ、テスト・イネーブルの各テスト信号発生器および期待値発生器と比較器を内蔵した構成です。お客様はTIN, TEB, TOUTの3つの端子を外部端子と接続するだけでRAMのテストが行えます。複数個のRAMブロックを搭載する際、テスト入力(TIN, TEB)は他のRAMブロックのおおのこの端子と共有してください。なお、テスト出力(TOUT)は共有できません。それぞれ違う外部端子と接続してください。接続例を図7-11に示します。

RAMをテストするためには、基本的に外部入力端子からテスト入力(TIN, TEB)に対してデータをスルーで加えられ、さらにテスト出力(TOUT)を外部端子からスルーで取り出せる構成としてください。インバータやF/Fを介することで、信号が反転したりクロックを必要とする構成にしますと、基本テスト・パターンが使用できません。また、お客様のテスト・パターンの最後の状態はRAMがテスト可能な状態(TIN, TOUT, TEBが外部端子からスルーでRAMテスト信号をやり取りできる状態)にしておく必要があります。なお、RAMのテスト・パターンは弊社で用意します。

図7 - 10 テスト回路 (BIST) ブロック図

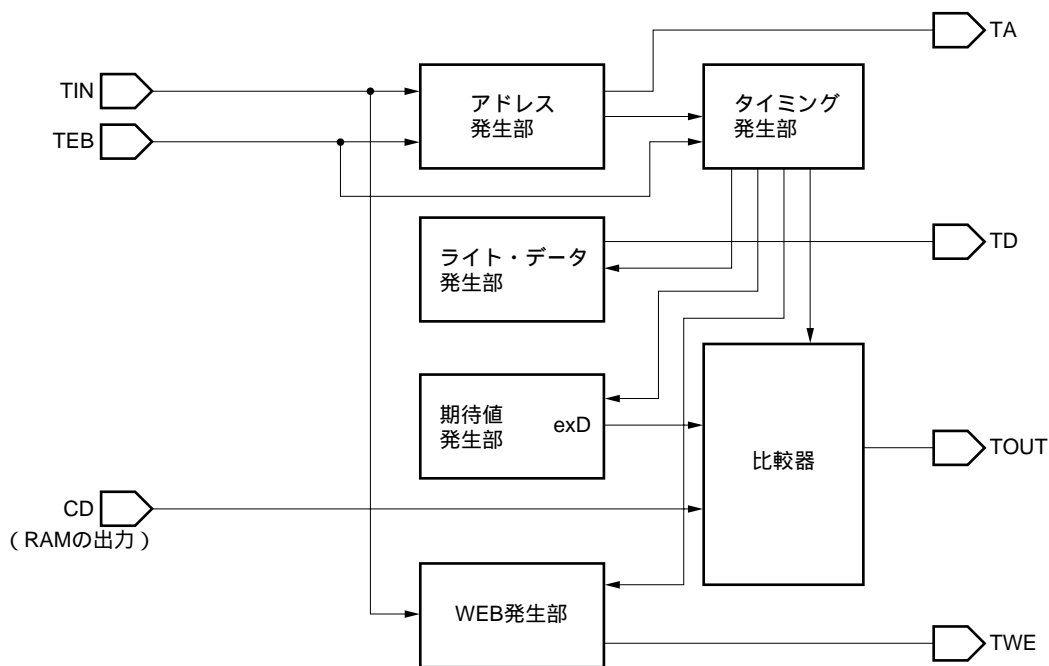


図7 - 11 RAMテスト回路例 (1/2)

(a) RAMブロックを1個搭載した場合の接続例

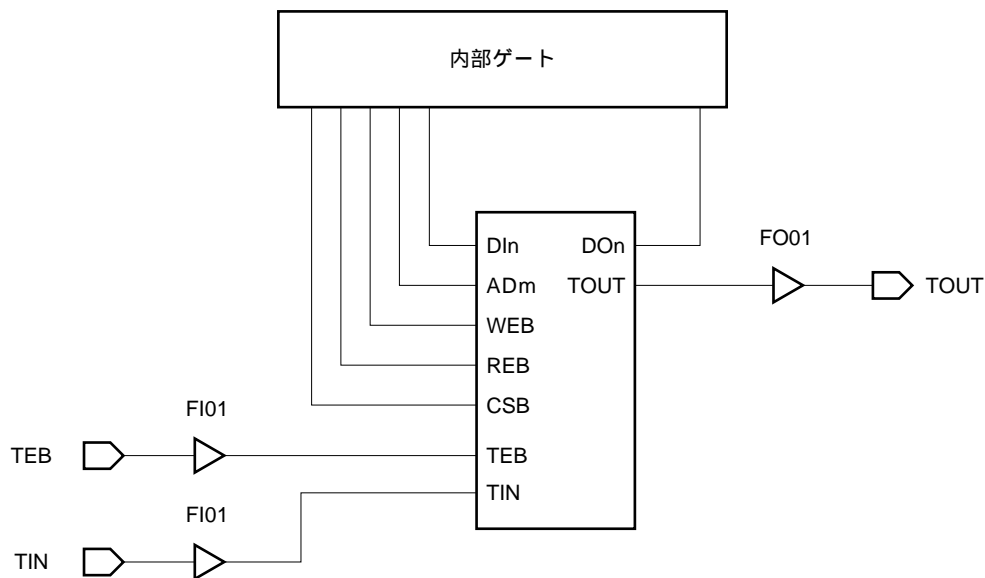
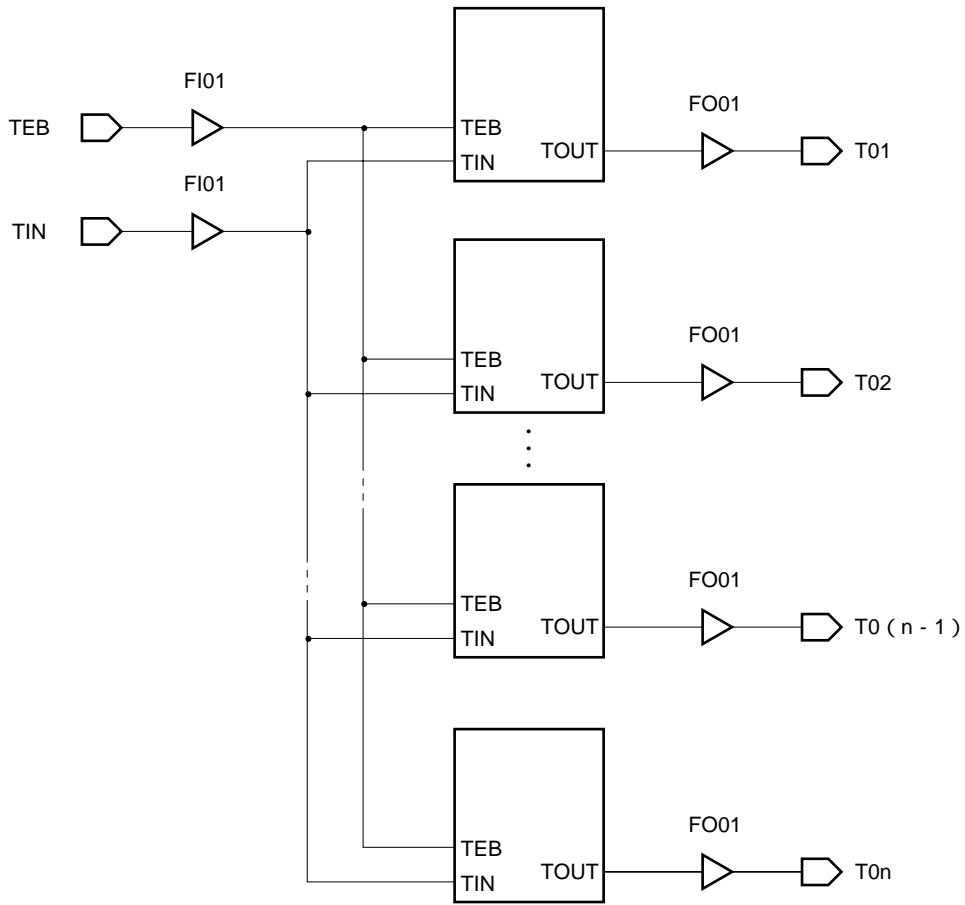




図7 - 11 RAMテスト回路例 (2/2)

(b) RAMブロックを複数搭載した場合の接続例



- (1) TEB入力, TIN入力は必ず1本とし, それぞれのRAMに接続してください。RAMブロックの容量が異なっても, TEB入力, TIN入力は図のように必ず1本にし, 共通化してください。
- (2) TOUTは独立して外部端子に出力します。

## 7.6.2 テスト用入出力端子 (TIN, TEB, TOUT) の設置

### (1) 未使用端子がある場合

電源端子やNC端子を除いても未使用端子がある場合は、その端子をテスト用に使用してください。

### (2) 未使用端子がない場合

すでに使用されている端子を、テスト用端子と兼用させます。次の項目を参考にして端子の兼用化を図ってください。ただしTEB端子は兼用できませんので、専用端子を設けてください。

#### TIN端子の兼用化

通常入力端子および通常出力端子と兼用できます。通常出力端子と兼用する場合は、TEB信号をイネーブル信号として双方向端子化し、通常時は出力端子、テスト時は入力端子として使用してください。またこの場合、お客様のテスト・パターンの最後をロウ・レベルにしてください。接続例を図7-12に示します。

#### TOUT端子の兼用化

通常入力端子および通常出力端子と兼用できます。通常入力端子と兼用する場合は、TEB信号をイネーブル信号として双方向端子化し、通常時は入力端子、テスト時は出力端子として使用してください。通常出力端子と兼用する場合は、内部セクタ回路を併用しTEB信号で切り替えて使用してください。接続例を図7-13に示します。

**注意** GTLインタフェース・バッファ, N-chオープン・ドレイン・バッファ, CMOS用5V耐圧バッファを使用している端子との兼用はできません。

#### ・基板上での処置

各端子において、以降に示す処置のいずれかを採用して処置してください。

TEB端子<sup>注1</sup> : ・プルアップ・バッファを使用

- ・外部でプルアップ
- ・外部でV<sub>DD</sub>に接続

TIN端子<sup>注2</sup> : ・プルアップ・バッファを使用

- ・プルダウン・バッファを使用
- ・外部でV<sub>DD</sub>に接続
- ・外部でGNDに接続

注1. テスト・モードにならない方向へ処置してください。

2. 通常端子と兼用していない場合の処置です。

図7 - 12 TIN端子の兼用化

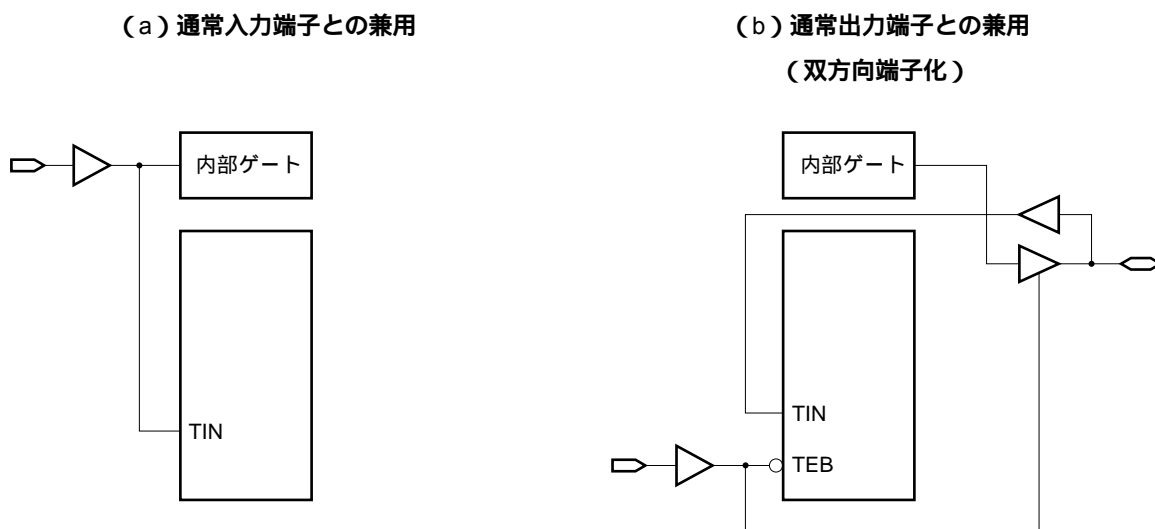
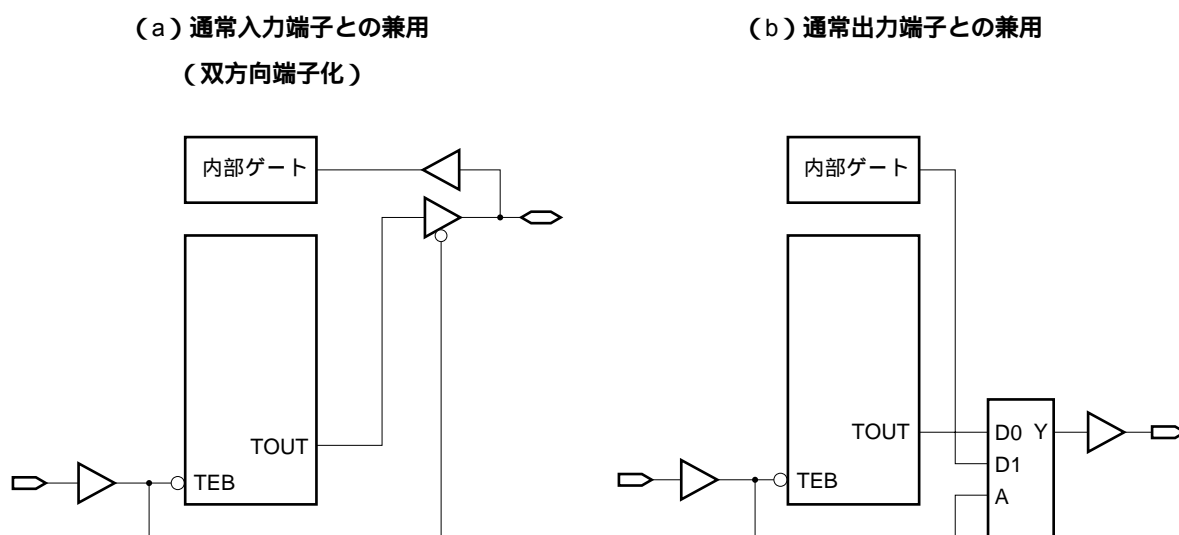


図7 - 13 TOUT端子の兼用化



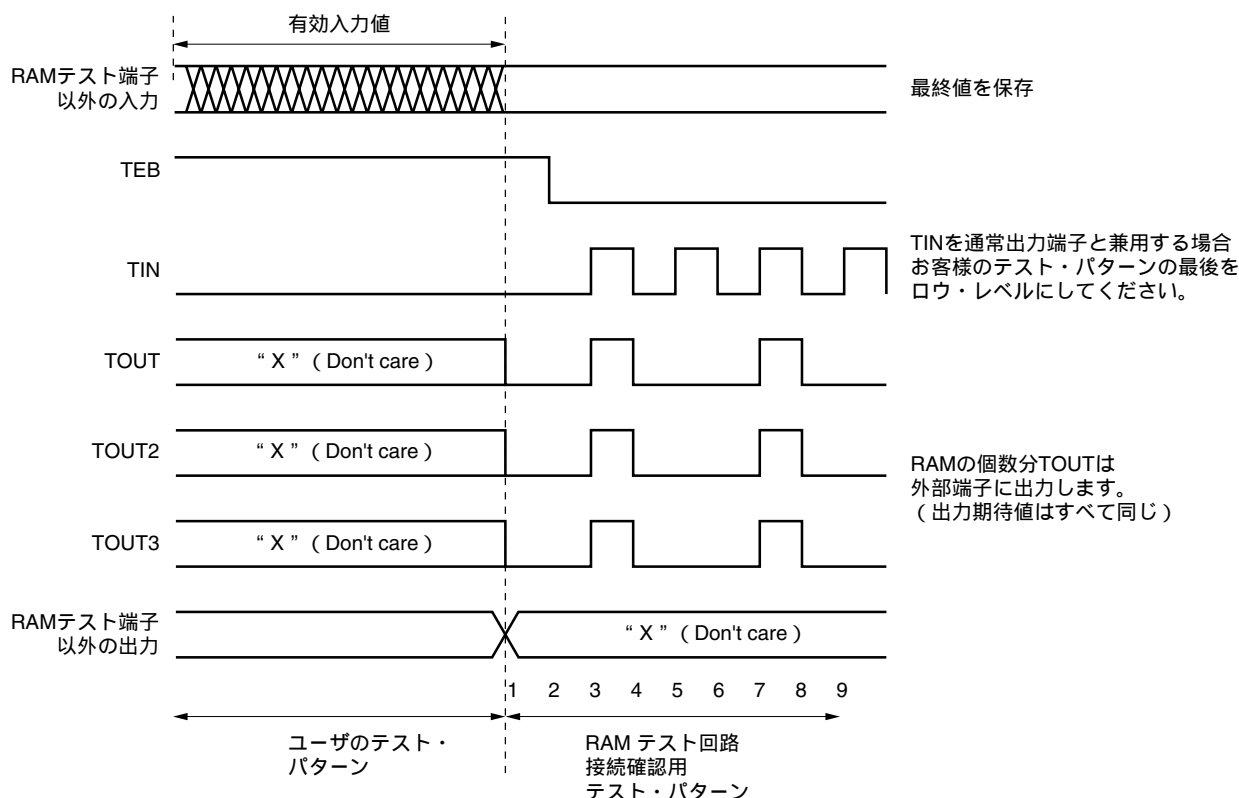
### 7.6.3 RAMテスト回路の接続確認

BIST回路が正しく接続されているかどうかの確認は、OPENCAD上のRAMCHKフローによって行います。RAMCHKフローは、図7 - 14のような接続確認用パターン（9パターン）を自動発生させ、お客様のテスト・パターン（DC検査のためのテスト・パターン：DCパターンが独立している場合はそのパターン）の最後に付加して接続を確認します。このRAMCHKは、弊社へテスト・パターンをインタフェースする前に必ず実施してください。

また、テスト・パターン（DC検査のためのテスト・パターン：DCパターンが独立している場合はそのパターン）の最後では、BISTテストに必要な端子信号（TEB, TIN, TOUTx）が外部より直接入出力できる状態にしておいてください。TINを通常出力端子と兼用する場合、お客様のテスト・パターンの最後にロウ・レベルにしてください。

なお、テスト用のRAM-BISTテスト・パターンは弊社で用意しておりますので、ユーザがRAM-BISTテスト・パターンを作成する必要はありません。

図7-14 テスト・パターン例



- (1) RAMテスト端子以外の入力 ユーザのテスト・パターンの最終値を保持するような形で9パターン入力します。
- (2) TEB 最初にハイ・レベルを1パターン入力し、そのあとロウ・レベルにして、8パターン入力します。
- (3) TIN 最初にロウ・レベルを1パターン入力し、そのあと01の繰り返し信号を8パターン入力します。
- (4) TOUT 001000100を出力期待値とします。複数RAM搭載時にはRAMの個数分TOUTを外部端子に出力する必要があります(RAMテストはすべて並行して行います)。
- (5) RAMテスト端子以外の出力 出力期待値は“X”(Don't care)とします。

**備考** BISTの接続確認パターンは、RAMCHKによって自動発生させるため、あらかじめユーザ・パターンに追加する必要はありません。

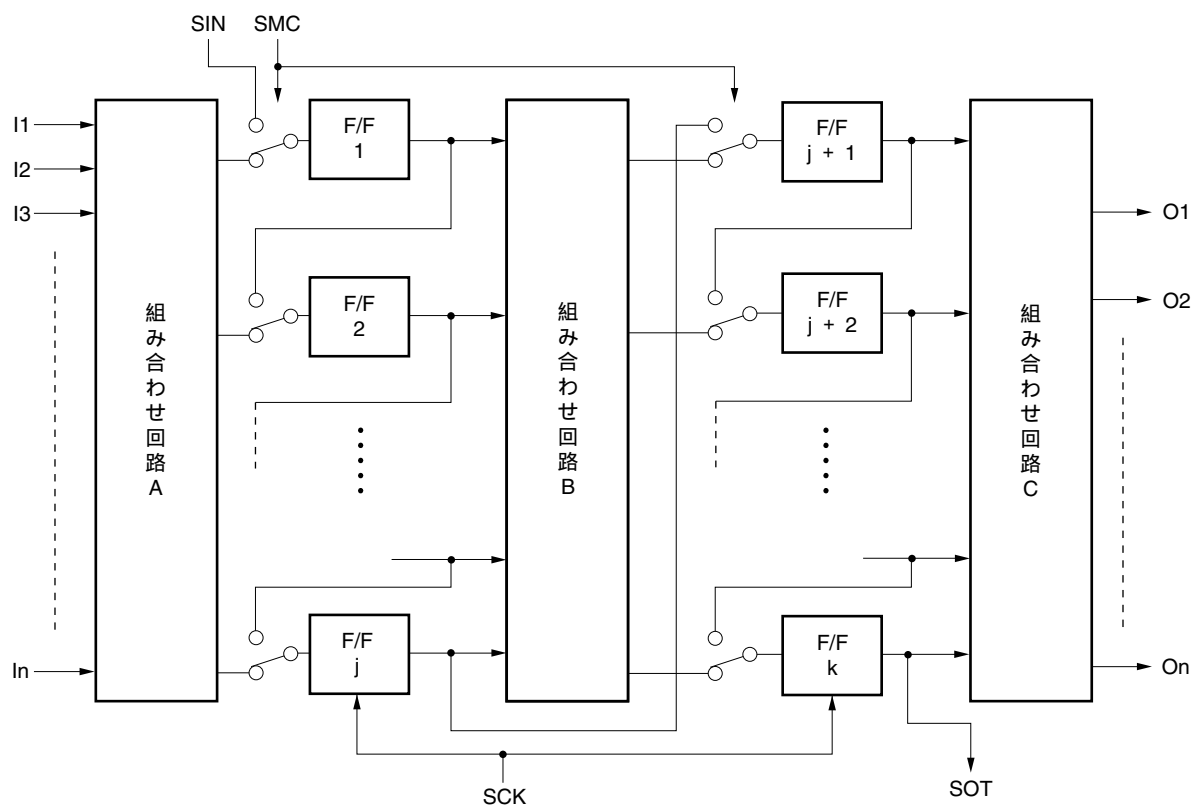
また、RAMCHKではゲートアレイ・タイプRAM、セルベースICタイプRAMのTEB、TINを共通接続することによって、同時にRAMをチェックできます。

## 7.7 スキャンパス・テスト・ブロック

フリップフロップを多用する回路で論理深度の深い回路では、LSIの動作確認をするテスト・パターンを効果的に作成することは非常に困難です。スキャンパス・テストはLSI内部の全F/Fをシフト・レジスタのようにつなぎ換えることができます。このため、論理深度の深い回路の全F/Fのイニシャライズを簡単に行ったり、ある状態における全F/Fの状態の読み出しを行うことで、効率的に回路をテストします。

詳細については、NECシステムLSI設計 テスト容易化設計 ユーザーズ・マニュアルを参照してください。

図7 - 15 スキャンパス・テスト法の原理



- 備考**
- In : 組み合わせ回路テスト時の入力信号または通常入力
  - On : 組み合わせ回路テスト時の診断出力または通常出力
  - SIN : 順序回路テスト時の入力信号
  - SMC : モード切り替え信号
  - SCK : テスト用クロック
  - SOT : 順序回路テスト時の診断出力

## 付録A 詳細な内部回路の消費電力の算出（暫定）

内部回路の正確な消費電力の算出は各ブロック、容量、同時期に動作するブロックの数、各ブロックの動作周波数など、非常に多数の情報が必要になります。このため、計算が非常に煩雑になり、結果的に検討は不可能になります。弊社ではあらかじめ回路の動作や構成を仮定して消費電力の基準値を規定しています。このため、お客様の回路や構成によっては実際より大きくなったり、小さくなったりします。あらかじめ承知してください。

内部回路の消費電力を組み合わせ回路、ラッチ、フリップフロップなどに分けて計算できる消費電力の算出方法を示します。消費電力の見直しに利用してください。ただし、結果を電池の寿命などの算出に使用する場合には、必ず大きめの値になるよう検討してください。

### 内部セルの消費電力

$$\Sigma P_{DCCELL} = \Sigma P_{DGate} + \Sigma P_{DLatch} + \Sigma P_{DF/F} + \Sigma P_{DT}$$

#### (1) 組み合わせ回路

$$P_{DGate} = 6.73 \times f \times \text{Cell} (\mu W)$$

f : データの動作周波数

Cell<sup>注</sup> : fで動作するセル数

注 Cellはブロック数ではありません。

#### (2) ラッチ

$$P_{DLatch} = (P_{D(Gate=ON)} \times N + P_{D(Gate=OFF)} \times (1 - N)) \times f \times \text{Cell} (\mu W)$$

$P_{D(Gate=ON)}$  : 3.43 ( $\mu W/Cell/MHz$ )

N : ゲートONの場合 =  $\frac{T_{(Gate=ON)}}{T_{(Gate=ON)} + T_{(Gate=OFF)}}$

$P_{D(Gate=OFF)}$  : 0.23 ( $\mu W/Cell/MHz$ )

f : データの動作周波数

Cell<sup>注</sup> : fで動作するセル数

注 Cellはブロック数ではありません。

#### (3) D-F/F, JK-F/F, シフト・レジスタ, カウンタ

$$P_{DF/F} = \frac{2 \times P_{D(OUTPUT)} + P_{D(CLK)} \times (N - 2)}{N} \times f \times \text{Cell} (\mu W)$$

$P_{D(OUTPUT)}$  : 1.19 ( $\mu W/Cell/MHz$ )

$P_{D(CLK)}$  : 0.68 ( $\mu W/Cell/MHz$ )

N :  $\frac{T_{(DATA)}}{T_{(CLK)}}$

$T_{(DATA)}$  : データの周期

$T_{(CLK)}$  : クロックの周期

f : クロックの動作周波数

Cell<sup>注</sup> : fで動作するセル数

例. データ1周期に対して, クロックが2倍速い周期とすると次のようになります。

$$N = 1/0.5 = 2$$

注 Cellはブロック数ではありません。

#### (4) T-F/F

$$P_{DT} = 3.8 \times f \times \text{Cell} (\mu W)$$

f : クロックの動作周波数

Cell<sup>注</sup> : fで動作するセル数

注 Cellはブロック数ではありません。

#### (5) 消費電力の負荷依存性（暫定）

消費電力は次の式で示されるように負荷容量に大きく依存します。

$$P_D = CV^2f$$

図A - 1 消費電力の負荷依存性

## 検討中

図A - 1に示されるように, F/O = 2の条件では単位消費電力は3  $\mu$  W/MHzと非常に小さな値になります。しかし, 消費電力はデバイスの信頼性に大きな影響を与えるファクタですので, 現実的な値とする必要があります。

弊社では従来から蓄積してきた配線長やピン・ペアなどの統計データより, 負荷の値を分布の70 %程度がカバーできる次の値としています。

負荷 = (F/I換算)

例

F/O : + L :

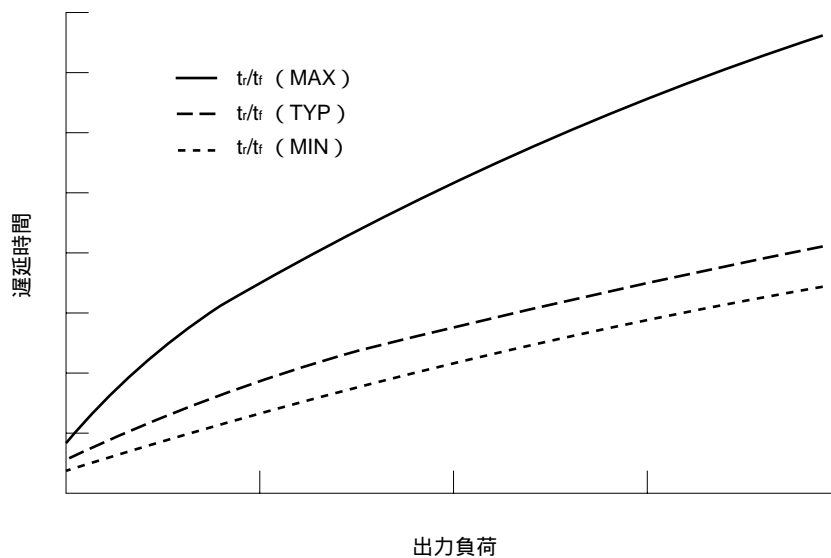
( 検討中 )

## 付録B 伝達遅延時間

各ブロックの遅延時間は図B - 1に示されるように入力される信号波形によって大きくばらつくことになります。ブロック単体の遅延時間が数百psと非常に短くなっているCMOS-N5シリーズでは、この入力波形の影響が無視できない状況になってきます。

図B - 1 入力波形による遅延時間の増加

$$t_r/t_f (\text{MIN}) < t_r/t_f (\text{TYP}) < t_r/t_f (\text{MAX})$$



このため、シミュレータでは各ブロックの入力波形を考慮して、精度の高い遅延シミュレーションを実行するようにしています。しかし、ブロック・ライブラリ<sup>※</sup>では入力波形による結果の相違を記載することができません。したがって、ブロック・ライブラリ<sup>※</sup>では伝達遅延時間算出の精度をある限られた条件に対してだけ上げることになります。CMOS-N5シリーズでは、負荷が軽いと考えられるクリティカル・パスの算出結果の精度が高くなるようにしています。

また、図B - 1は傾向を示しているだけです。実際の値はシミュレーションをもって確認してください。

注 CMOS-N5シリーズ (5.0 V) ブロック・ライブラリ (A13872J) またはCMOS-N5シリーズ (3.3 V) ブロック・ライブラリ (A15895J)



## 付録C ALBATROSS, DIFファイル・フォーマット

### C. 1 ALBATROSSファイル・フォーマット (回路名.alb)

#### (1) ファイル形式

ファイル形式には次の制限があります。

- ・フリー・フォーマット
- ・区切りは、空白 (ブランク) , コロン ( : )
- ・エンドは、セミコロン ( ; )
- ・「」内は繰り返し可
- ・1行は最大80カラムまでとし、最後の文字が ; でない場合は次の行に継続していると認識する
- ・識別子、端子名および単位 (NS固定) は大文字でなければならない
- ・端子名は、最大64文字とする
- ・タイミング情報 (MODULATION + CLOCK) の記述については、6. 6 高速ファンクション・テスト (リアルタイム・テスト) の項の制限に基づく

#### (2) ファイル構成

ファイルは、次の7つの項目から構成されています。

* ALBATROSS	...	ファイル・ヘッダ
* TIMING	...	ヘッダ
PERIOD	...	パターン・ピリオド
MODULATION	...	入カスケュー
CLOCK	...	クロック端子
* END_OF_TIMING	...	エンド・レコード
* END	...	ファイル・エンド

#### (3) ファイル詳細

各項目の詳細は次のとおりです。

##### (a) ファイル・ヘッダ

書式 \*ALBATROSS circuit ;  
機能 パターン・ヘッダ

1 : circuit (文字列) 回路名称

##### (b) ヘッダ

書式 \*TIMING  
機能 ヘッダ

**(c) パターン・ピリオド**

書式 PERIOD period\_t time\_unit ;

機能 パターンのピリオド値

1 : period_t	パターン周期
2 : time_unit	周期単位

**(d) 入力スキュー**

書式 MODULATION modulation\_t time\_unit : 「pin」 ;

機能 入力端子に付加するスキューの値

1 : modulation_t	入力スキューの値
2 : time_unit	スキューの値の単位
3 : pin	端子名

**(e) クロック**

書式 CLOCK TYPE = type : 「ch\_time time\_unit」 : pin ;

機能 クロック端子とクロック波形の定義

```

TYPE = type
    P : ポジティブ・クロック
    N : ネガティブ・クロック
ch_time      波形時刻
time_unit    変化時刻の単位
pin          端子名

```

**(f) エンド**

書式 \*END\_OF\_TIMING ;

機能 エンド

**(g) ファイル・エンド**

書式 \*END

機能 ファイル・エンド

**(4) 例**

```

* ALBATROSS CF191
* TIMING ;
PERIOD 200 NS ;
MODULATION 20 NS : IN1 IN2 IN3 ;
CLOCK TYPE = P : 50NS 150NS : CLK ;
*END_OF_TIMING ;
*END

```

## C.2 DIFファイル・フォーマット (回路名.dif)

詳細については、NECシステムLSI設計 OPENCAD ユーザーズ・マニュアル OPC\_VSHELL編 (A16306J) を参照してください。

### (1) ファイル形式

ファイル形式には、次の制限があります。

- フリー・フォーマット
- 区切りは、空白 (ブランク)
- 1行は最大512文字
- コメント行は、1カラム目が“ ”で始まる行

### (2) ファイル構成

ファイルは、次の3つの項目から構成されています。

- DIF ... ヘッダ
- /DESIGN ... デザイン・ブロック
- /END ... エンダ

### (3) ファイル詳細

各項目の詳細は、次のとおりです。

#### (a) ヘッダ

- 書式 DIF
- 機能 ヘッダ

#### (b) デザイン・ブロック

- 書式 /PIA
- 機能 外部端子全般 (V<sub>DD</sub>, GNDなど)

#### (c) コンディション・ブロック

- 書式 /PIN
- 機能 設計全般 (出力端子付加する端子容量の値など)

#### (d) エンド・カード

- 書式 /END
- 機能 DIFファイルの終了

## (4) 例

```
*DIF opc_pinbe (1.11) 2002.12.12 (12:39:32)
/DESIGN 65880999
TECHNOLOGY = CMOSN5;
CONDITION = cmos_5.0V;
MASTER = 65880;
PACKAGE = LQFP;
PINS = 144;
LAYER = 3L;
/CONDITION 1
/PIN
  ADO
    DIR = INPUT
  ;
  DATA1
    DIR = IO
  ;
  PC1
    DIR = OUTPUT
  ;
/END PIN
/END CONDITION
/PIA
/EPIN PAD
  ADO
    PAD =      77 # dut_ID 22 pin_type IN
    BLOCK = XINB;
  DATA1
    PAD =      24 # dut_ID 179 pin_type IO
    BLOCK = XWN2;
  PCR1
    PAD =     125 # dut_ID 68 pin_type OUT
    BLOCK = XB0D;
/END EPIN

  /POWER PAD
    GND PAD = 13 191;
    VDD PAD = 14;
/END POWER

/END PIA
/END DESIGN
*END
```

## 付録D 回路図，タイミング・チャートの書き方

### D. 1 回路図の書き方

最近では、EWSを使用して回路設計を行うケースが増えてきました。回路図をお客様が作成し、EWS上または弊社でNECフォーマットに変換するインターフェースも行っております。

お客様が回路図を作成する場合には、弊社での作業をスムーズに行うため、次のような点に注意して回路図を作成してください。

#### D. 1.1 論理シンボル

論理シンボルは、原則としてブロック・ライブラリ<sup>※</sup>に記載されているシンボル図を利用してください。ただし、EWS上のライブラリとブロック・ライブラリ<sup>※</sup>に相違がある場合は、EWS上の形状に従ってください。

注 CMOS-N5シリーズ (5.0 V) ブロック・ライブラリ (A13872J) またはCMOS-N5シリーズ (3.3 V) ブロック・ライブラリ (A15895J)

#### D. 1.2 ブロック名（機能名）の記入

入力バッファなどは名称が違っただけで論理シンボルがまったく同じ場合がありますので、必ずブロック名を記入してください。特に入出力バッファは、インターフェース・レベルが異なるだけなので、シミュレーション結果からインターフェース・レベルは判断できません。そのため、ブロック名は分かりやすく記入するようにお願いします。

なお、EWSのライブラリにはあらかじめブロック名が表示されていますので、EWSで作図される場合は、記入は不要です。

#### D. 1.3 端子名の記入（ブロックの入力／出力端子名）

ブロックの入力／出力端子名は、それぞれ順にH01, H02.../N01, N02, ...となっていますが、入力／出力端子が2つ以上あるブロックの場合にはできるだけ端子名を記述してください。

なお、EWSのライブラリには、特別の場合を除き、あらかじめ端子名が表示されています。端子名が表示されている場合、端子名の記入は不要です。詳細は、各EWSのインターフェース・マニュアルの指示に従ってください。

#### D. 1.4 ゲート名の記入（各ブロックの固有名）

回路図中に記入された各ブロックには、それぞれ固有のゲート名を記入してください。ゲート名は必ず255文字以下の英数字で命名し、ほかのゲート名や端子名と重複しないような名称にしてください。

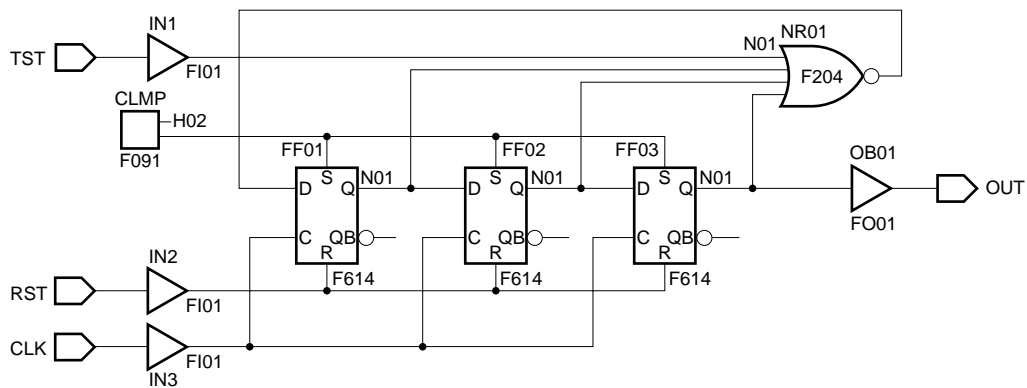
なお、EWSで作図される場合は、使用されるシステムにより命名規則に特例がある場合があります。詳細は、各EWSのインターフェース・マニュアルの指示に従ってください。

## D. 1.5 入出力端子の記述

LSIの入力/出力端子には、64文字以下の英数字の端子名を付けてください。また、端子名はゲート名などと重複しないような名称にしてください。

なお、EWSで作図する場合は、使用するシステムにより命名規則に特例があるときがあります。詳細は各EWSのインタフェース・マニュアルの指示に従ってください。

図D - 1 回路図の例



### (1) 入力端子の記述

入力端子の端子名は、64文字以下の英数字で記述します。

また、入力端子に不定およびハイ・インピーダンスは入力できません。

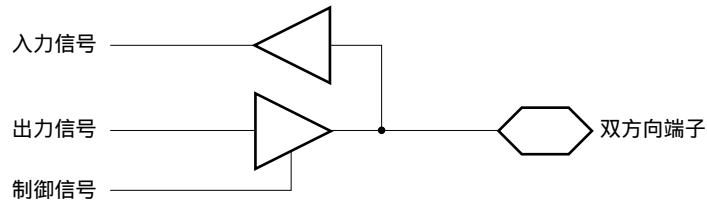
これは、LSIテストでテストする際、そのつど測定条件が変わり測定できないためです。さらに、プルアップ/プルダウン抵抗内蔵の入力バッファや双方向バッファにおいても入力端子に不定およびハイ・インピーダンスを入力することはできません。

不定やハイ・インピーダンスをテスト・パターンとして入力すると、シミュレーション実行時においてエラーが発生します。

**(2) 双方向端子の記述**

双方向バッファなど入力と出力を1つの端子から行う場合、双方向端子を使用して記述してください。端子名は必ず64文字以下の英数字で記述します。

図D - 2 双方向端子の記述例



双方向端子のテスト・パターンは、次の点に注意して作成してください。

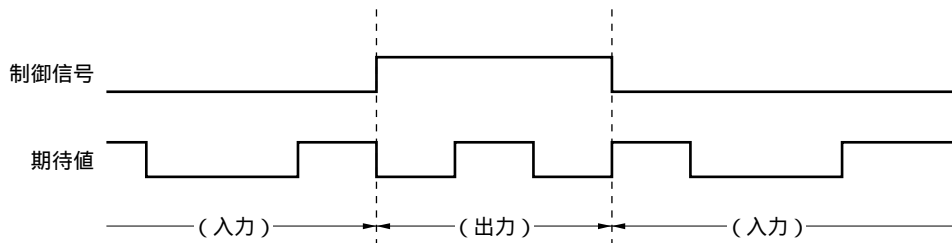
出力モードから入力モードへの切り替え時には、入力と出力の信号は同じにしてください。

制御信号を不定状態にしないでください。制御信号が不定状態になると入力信号へ不定が伝達され、シミュレーションでエラーが発生します。

また、入力モードから出力モードへ切り替える際、制御信号の遅延時間により入力信号に不定が伝達され、シミュレーションでエラーが発生することがあります。入力モードから出力モードへ切り替え時には、入力信号に不定が伝達されないような回路構成にしてください。

詳細は、6.3.6 **双方向端子の入出力モード切り替えの注意**を参照してください。

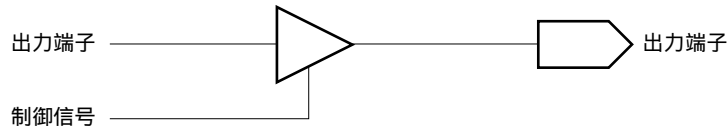
図D - 3 双方向端子のテスト・パターン作成例



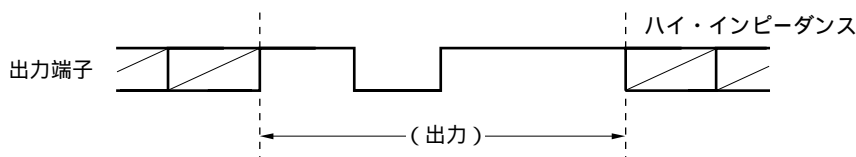
### (3) 3ステート出力端子の記述

3ステート出力端子の記述は、図D-4に示すようにしてください。端子名は必ず64文字以下の英数字で記述します。

図D-4 3ステート出力端子記述例



図D-5 3ステート出力端子のテスト・パターン作成例



## D.2 マクロの取り扱い

大規模な回路の論理設計では、システム内部のブロック化設計や設計工数の分散などのために、階層設計手法を用いて設計することが多くなっています。

階層設計とは、あらかじめ共通に使用される単位機能をマクロ（ユーザ・マクロ）化しておき、個々のLSI設計においてこれらのマクロを接続し、目的の機能を達成する設計手法です。特に大規模回路の設計では、回路をいくつかのブロックに分け、その内部を階層設計するとともに、これらブロックの組み合わせで全体を構成することが普通です。

EWSなどにおいて、ユーザ・マクロを使用して階層設計する場合には、以下の点にご注意ください（図D-6参照）。

各階層の機能は、まとまった1つの論理動作を行うよう設計してください。

最上位階層で、全体の構成、信号の流れが理解できるよう設計してください。

（最上位階層は、1ページ内に描画することをお勧めします。）

閉ループを構成する回路は、できるだけ同一マクロ内に収まるよう設計してください。

入力クランプは、別ページで行わないでください。

クロック・ラインの流れに注意し、ページ間の遅延差が構成の基本原則から外れないよう注意してください。

マクロ機能（最下位階層）はそれ自体、単独で1つの機能を持つよう設計してください。

信号線のみ（通過のみ）の記述は避けてください。

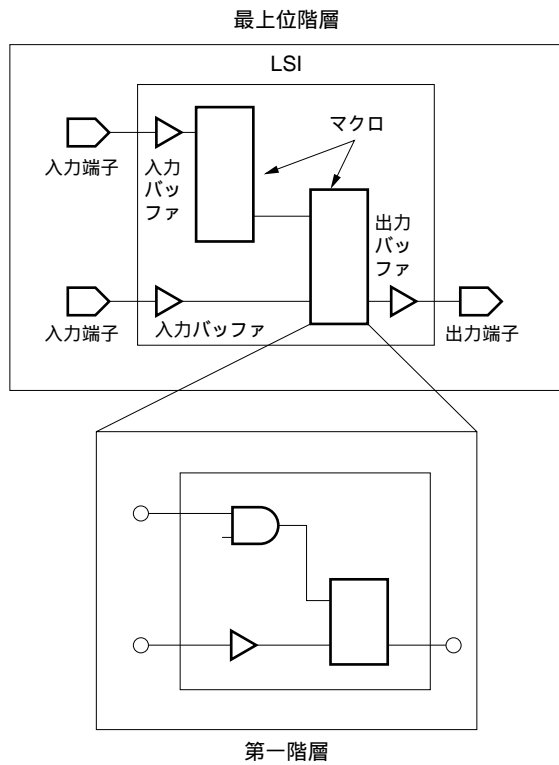
LSI外部からの入出力は、必ず最上位階層を介して行ってください。最上位階層以外の下位マクロから直接外部へ入出力端子を接続することは避けてください。

入力、出力、双方向バッファは、できるだけマクロに含まないように記述してください。

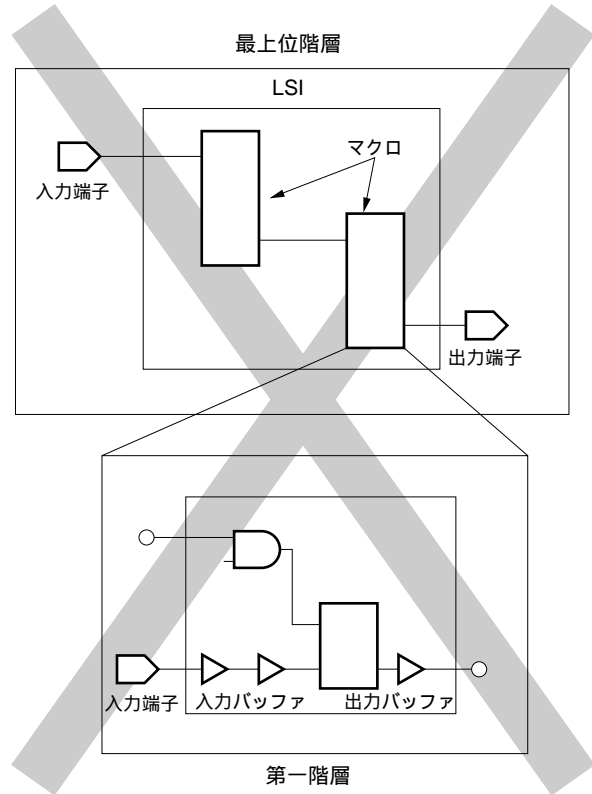


図D - 6 マクロの取り扱い

(a) 良い例



(b) 悪い例



## D.3 タイミング・チャートの書き方

お客様が作成するテスト・パターンをタイミング・チャートとして弊社に引き渡す場合，またお客様が直接テスト・パターンを作成される場合は，次に説明するような点に注意して作成してください。

### (1) 記入の仕方

全入出力端子は端子名称を縦方向に記述し，そのおのおのについて各パターンごとに入力端子には“1”または“0”のパターンを記入し，出力端子にはその期待値を記入してください。テスト・パターンには，必ず1から順番に連続した番号を付けてください。

タイミング・チャートの記入例を図D-7に示します。

図D-7 タイミング・チャートの記入例

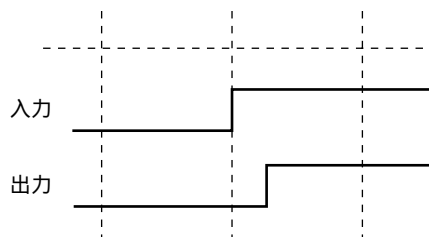
端子名	1	2	3	4	5	6	7
CLK	0	1	1	0	0	1	1
DATA	0	0	1	1	1	1	1
OUT	0	0	0	0	0	1	1

### (2) タイミングのズレ

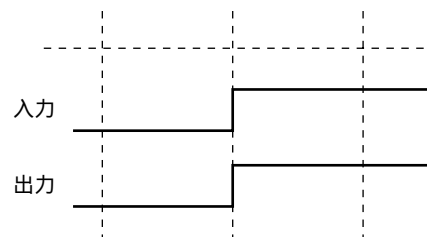
実際の回路では入力パターンが印加されてから出力が変化するので，タイミング上では図D-8(a)のように入力と出力の間には遅延時間があります。しかし，テスト・パターンを作成するときには，図D-8(b)のように入力と出力の間の遅延時間を無視して，すべてが同じタイミングで動作するように作成してください。

図D-8 タイミング・チャートの例

(a) 実際の回路



(b) タイミング・チャートの記入  
(テスト・パターン上の記述)



**(3) “X” (不定またはDon't care) の扱い**

回路構成によっては、最初の数パターンでは出力端子の値が決まらない場合があります。このような場合には、出力端子の期待値に“X” (不定) を指定してください。また、回路の動作上“1”となるか“0”となるかが分からないときなどDon't careとする場合は、出力期待値として“X”を該当パターンの期間のみ指定してください。この場合、期待値照合は行いません。

ただし、入力端子には“X”を与えないでください。もし与えてしまった場合は、シミュレーション上でエラーが発生します。ある期間の入力レベルがハイ・レベルでもロウ・レベルでもかまわない場合は、“1”または“0”のいずれかを指定してください。

**(4) “Z” (ハイ・インピーダンス) の扱い**

3ステート出力バッファや双方向バッファの出力端子は、ハイ・インピーダンス“Z”になる場合があります。この場合は、出力期待値に“Z”を指定してください。

ただし、入力端子には“Z”を与えないでください。もし与えてしまった場合は、シミュレーション上でエラーが発生します。

**(5) 繰り返しパターン (REPEATパターン)**

クロック入力のように同じ波形を繰り返して入力する場合には、REPEATパターンとして効率よく記入できます。

**(6) クリティカル・パス指定**

システム設計上、特にスピード (入力-出力間遅延時間) が重要となる信号パスや、入力-出力間の伝達遅延時間が一定範囲以内でなければならないパスなどが、回路設計時点で明確な場合、配置配線設計段階で要求性能を満たすように配慮できます。

このような場合は、クリティカル・パスとして該当パスをあらかじめ指定してください。このクリティカル・パスには、以下に規定される3種類のものがあります。

- ・絶対値での最大遅延時間 ( $t_{PD}$ ) (MAX)
- ・絶対値での最小遅延時間 ( $t_{PD}$ ) (MIN)
- ・パス間の相対的なばらつき幅

クリティカル・パス指定は、入力-出力間の遅延時間についてのみに有効です。なお、クリティカル・パスの指定は最大6パスです。

**記入例**

	モードNo.	指定端子	出力負荷 (pF)	パターン番号	遅延時間 (ns)		判定
					MIN	MAX	
1	1	IN1 OUT2	15	131	13	50	
2							
3							
4							
5							
6							

## 付録E ブロッカー一覧表

電源電圧によって、使用できないブロックもあります。

○ : 使用可

× : 使用不可

### E. 1 Interface Block

#### E. 1.1 CMOS Level

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
Input Buffer	FI01			-	3 (1)
	FID1			50kΩ Pull-down	3 (1)
	FIU1			50kΩ Pull-up	3 (1)
	FIW1			5kΩ Pull-up	3 (1)
	FIS1W			Schmitt	6 (1)
	FDS1W			Schmitt 50kΩ Pull-down	6 (1)
	FUS1W			Schmitt 50kΩ Pull-up	6 (1)
	FWS1W			Schmitt 5kΩ Pull-up	6 (1)
Input Buffer with Failsafe	FIA1			-	3 (1)
	FDA1			50kΩ Pull-down	3 (1)
	FIE1W			Schmitt	6 (1)
	FDE1W			Schmitt 50kΩ Pull-down	6 (1)
Input Buffer with EN(AND)	FN11			-	6 (1)
	FN21			50kΩ Pull-down	6 (1)
Input Buffer with EN(OR)	FN13			-	4 (1)
	FN23			50kΩ Pull-down	4 (1)
Output Buffer	FO09			3mA	4 (1)
	FO04			6mA	4 (1)
	FO01			9mA	4 (1)
	FO02			12mA	12 (1)
	FO03			18mA	12 (1)
	FO06			24mA	12 (1)
Low-noise Output Buffer	FE09			3mA	5 (1)
	FE04			6mA	5 (1)
	FE01			9mA	5 (1)
	FE02			12mA	5 (1)
	FE03			18mA	5 (1)
	FE06			24mA	5 (1)

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
3-State Buffer	B00T			3mA	7 (1)
	B0DT			3mA 50kΩ Pull-down	7 (1)
	B0UT			3mA 50kΩ Pull-up	7 (1)
	B0WT			3mA 5kΩ Pull-up	7 (1)
	B00E			6mA	7 (1)
	B0DE			6mA 50kΩ Pull-down	7 (1)
	B0UE			6mA 50kΩ Pull-up	7 (1)
	B0WE			6mA 5kΩ Pull-up	7 (1)
	B008			9mA	7 (1)
	B0D8			9mA 50kΩ Pull-down	7 (1)
	B0U8			9mA 50kΩ Pull-up	7 (1)
	B0W8			9mA 5kΩ Pull-up	7 (1)
	B007			12mA	17 (1)
	B0D7			12mA 50kΩ Pull-down	17 (1)
	B0U7			12mA 50kΩ Pull-up	17 (1)
	B0W7			12mA 5kΩ Pull-up	17 (1)
	B009			18mA	17 (1)
	B0D9			18mA 50kΩ Pull-down	17 (1)
	B0U9			18mA 50kΩ Pull-up	17 (1)
	B0W9			18mA 5kΩ Pull-up	17 (1)
B00H			24mA	17 (1)	
B0DH			24mA 50kΩ Pull-down	17 (1)	
B0UH			24mA 50kΩ Pull-up	17 (1)	
B0WH			24mA 5kΩ Pull-up	17 (1)	

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
Low-noise 3-State Buffer	BE0T			3mA	7 (1)
	BEDT			3mA 50kΩ Pull-down	7 (1)
	BEUT			3mA 50kΩ Pull-up	7 (1)
	BEWT			3mA 5kΩ Pull-up	7 (1)
	BE0E			6mA	7 (1)
	BEDE			6mA 50kΩ Pull-down	7 (1)
	BEUE			6mA 50kΩ Pull-up	7 (1)
	BEWE			6mA 5kΩ Pull-up	7 (1)
	BE08			9mA	7 (1)
	BED8			9mA 50kΩ Pull-down	7 (1)
	BEU8			9mA 50kΩ Pull-up	7 (1)
	BEW8			9mA 5kΩ Pull-up	7 (1)
	BE07			12mA	7 (1)
	BED7			12mA 50kΩ Pull-down	7 (1)
	BEU7			12mA 50kΩ Pull-up	7 (1)
	BEW7			12mA 5kΩ Pull-up	7 (1)
	BE09			18mA	7 (1)
	BED9			18mA 50kΩ Pull-down	7 (1)
	BEU9			18mA 50kΩ Pull-up	7 (1)
	BEW9			18mA 5kΩ Pull-up	7 (1)
BE0H			24mA	7 (1)	
BEDH			24mA 50kΩ Pull-down	7 (1)	
BEUH			24mA 50kΩ Pull-up	7 (1)	
BEWH			24mA 5kΩ Pull-up	7 (1)	
N-ch Open drain Buffer	EXT1			9mA	4 (1)
	EXT3			9mA 50kΩ Pull-up	4 (1)
	EXW3			9mA 5kΩ Pull-up	4 (1)
	EXT9			12mA	4 (1)
	EXTB			12mA 50kΩ Pull-up	4 (1)
	EXWB			12mA 5kΩ Pull-up	4 (1)
	EXT5			18mA	4 (1)
	EXT7			18mA 50kΩ Pull-up	4 (1)
	EXW7			18mA 5kΩ Pull-up	4 (1)
	EXTD			24mA	4 (1)
	EXTF			24mA 50kΩ Pull-up	4 (1)
	EXWF			24mA 5kΩ Pull-up	4 (1)
N-ch Open drain Buffer with Failsafe	EXO1			9mA	4 (1)
	EXO9			12mA	4 (1)
	EXO5			18mA	4 (1)
	EXOD			24mA	4 (1)

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
N-ch Open drain I/O Buffer with Failsafe	EBA1			9mA	7 (1)
	EBA9			12mA	7 (1)
	EBA5			18mA	7 (1)
	EBAD			24mA	7 (1)
N-ch Open drain Schmitt I/O Buffer with Failsafe	EBE1W			9mA	10 (1)
	EBE9W			12mA	10 (1)
	EBE5W			18mA	10 (1)
	EBEDW			24mA	10 (1)
I/O Buffer	B00U			3mA	10 (1)
	B0DU			3mA 50kΩ Pull-down	10 (1)
	B0UU			3mA 50kΩ Pull-up	10 (1)
	B0WU			3mA 5kΩ Pull-up	10 (1)
	B00C			6mA	10 (1)
	B0DC			6mA 50kΩ Pull-down	10 (1)
	B0UC			6mA 50kΩ Pull-up	10 (1)
	B0WC			6mA 5kΩ Pull-up	10 (1)
	B003			9mA	10 (1)
	B0D3			9mA 50kΩ Pull-down	10 (1)
	B0U3			9mA 50kΩ Pull-up	10 (1)
	B0W3			9mA 5kΩ Pull-up	10 (1)
	B001			12mA	20 (1)
	B0D1			12mA 50kΩ Pull-down	20 (1)
	B0U1			12mA 50kΩ Pull-up	20 (1)
	B0W1			12mA 5kΩ Pull-up	20 (1)
	B005			18mA	20 (1)
	B0D5			18mA 50kΩ Pull-down	20 (1)
	B0U5			18mA 50kΩ Pull-up	20 (1)
	B0W5			18mA 5kΩ Pull-up	20 (1)
	B00F			24mA	20 (1)
	B0DF			24mA 50kΩ Pull-down	20 (1)
	B0UF			24mA 50kΩ Pull-up	20 (1)
	B0WF			24mA 5kΩ Pull-up	20 (1)

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
Low-noise I/O Buffer	BE0U			3mA	10 (1)
	BEDU			3mA 50kΩ Pull-down	10 (1)
	BEUU			3mA 50kΩ Pull-up	10 (1)
	BEWU			3mA 5kΩ Pull-up	10 (1)
	BE0C			6mA	10 (1)
	BEDC			6mA 50kΩ Pull-down	10 (1)
	BEUC			6mA 50kΩ Pull-up	10 (1)
	BEWC			6mA 5kΩ Pull-up	10 (1)
	BE03			9mA	10 (1)
	BED3			9mA 50kΩ Pull-down	10 (1)
	BEU3			9mA 50kΩ Pull-up	10 (1)
	BEW3			9mA 5kΩ Pull-up	10 (1)
	BE01			12mA	10 (1)
	BED1			12mA 50kΩ Pull-down	10 (1)
	BEU1			12mA 50kΩ Pull-up	10 (1)
	BEW1			12mA 5kΩ Pull-up	10 (1)
	BE05			18mA	10 (1)
	BED5			18mA 50kΩ Pull-down	10 (1)
	BEU5			18mA 50kΩ Pull-up	10 (1)
	BEW5			18mA 5kΩ Pull-up	10 (1)
BE0F			24mA	10 (1)	
BEDF			24mA 50kΩ Pull-down	10 (1)	
BEUF			24mA 50kΩ Pull-up	10 (1)	
BEWF			24mA 5kΩ Pull-up	10 (1)	



Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
Schmitt I/O Buffer	BSIUW			3mA	13 (1)
	BSDUW			3mA 50kΩ Pull-down	13 (1)
	BSUWU			3mA 50kΩ Pull-up	13 (1)
	BSWUW			3mA 5kΩ Pull-up	13 (1)
	BSICW			6mA	13 (1)
	BSDCW			6mA 50kΩ Pull-down	13 (1)
	BSUCW			6mA 50kΩ Pull-up	13 (1)
	BSWCW			6mA 5kΩ Pull-up	13 (1)
	BSI3W			9mA	13 (1)
	BSD3W			9mA 50kΩ Pull-down	13 (1)
	BSU3W			9mA 50kΩ Pull-up	13 (1)
	BSW3W			9mA 5kΩ Pull-up	13 (1)
	BSI1W			12mA	23 (1)
	BSD1W			12mA 50kΩ Pull-down	23 (1)
	BSU1W			12mA 50kΩ Pull-up	23 (1)
	BSW1W			12mA 5kΩ Pull-up	23 (1)
	BSI5W			18mA	23 (1)
	BSD5W			18mA 50kΩ Pull-down	23 (1)
	BSU5W			18mA 50kΩ Pull-up	23 (1)
	BSW5W			18mA 5kΩ Pull-up	23 (1)
	BSIFW			24mA	23 (1)
	BSDFW			24mA 50kΩ Pull-down	23 (1)
BSUFW			24mA 50kΩ Pull-up	23 (1)	
BSWFW			24mA 5kΩ Pull-up	23 (1)	

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
Low-noise Schmitt I/O Buffer	BFIUW			3mA	13 (1)
	BFDUW			3mA 50kΩ Pull-down	13 (1)
	BFUWU			3mA 50kΩ Pull-up	13 (1)
	BFWUW			3mA 5kΩ Pull-up	13 (1)
	BFICW			6mA	13 (1)
	BFDCW			6mA 50kΩ Pull-down	13 (1)
	BFUCW			6mA 50kΩ Pull-up	13 (1)
	BFWCW			6mA 5kΩ Pull-up	13 (1)
	BFI3W			9mA	13 (1)
	BFD3W			9mA 50kΩ Pull-down	13 (1)
	BFU3W			9mA 50kΩ Pull-up	13 (1)
	BFW3W			9mA 5kΩ Pull-up	13 (1)
	BFI1W			12mA	13 (1)
	BFD1W			12mA 50kΩ Pull-down	13 (1)
	BFU1W			12mA 50kΩ Pull-up	13 (1)
	BFW1W			12mA 5kΩ Pull-up	13 (1)
	BFI5W			18mA	13 (1)
	BFD5W			18mA 50kΩ Pull-down	13 (1)
	BFU5W			18mA 50kΩ Pull-up	13 (1)
	BFW5W			18mA 5kΩ Pull-up	13 (1)
	BFIFW			24mA	13 (1)
BFD5W			24mA 50kΩ Pull-down	13 (1)	
BFU5W			24mA 50kΩ Pull-up	13 (1)	
BFW5W			24mA 5kΩ Pull-up	13 (1)	
I/O Buffer with EN(AND)	BN2U			3mA	13 (1)
	BN4U			3mA 50kΩ Pull-down	13 (1)
	BN2C			6mA	13 (1)
	BN4C			6mA 50kΩ Pull-down	13 (1)
	BN23			9mA	13 (1)
	BN43			9mA 50kΩ Pull-down	13 (1)
	BN21			12mA	23 (1)
	BN41			12mA 50kΩ Pull-down	23 (1)
	BN25			18mA	23 (1)
	BN45			18mA 50kΩ Pull-down	23 (1)
	BN2F			24mA	23 (1)
	BN4F			24mA 50kΩ Pull-down	23 (1)

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
I/O Buffer with EN(OR)	BN3U			3mA	11 (1)
	BN5U			3mA 50kΩ Pull-down	11 (1)
	BN3C			6mA	11 (1)
	BN5C			6mA 50kΩ Pull-down	11 (1)
	BN33			9mA	11 (1)
	BN53			9mA 50kΩ Pull-down	11 (1)
	BN31			12mA	21 (1)
	BN51			12mA 50kΩ Pull-down	21 (1)
	BN35			18mA	21 (1)
	BN55			18mA 50kΩ Pull-down	21 (1)
	BN3F			24mA	21 (1)
	BN5F			24mA 50kΩ Pull-down	21 (1)

## E. 1.2 TTL Level

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
Input Buffer	FI02			-	3 (1)
	FID2			50kΩ Pull-down	3 (1)
	FIU2			50kΩ Pull-up	3 (1)
	FIW2			5kΩ Pull-up	3 (1)
	FIS2W			Schmitt	6 (1)
	FDS2W			Schmitt 50kΩ Pull-down	6 (1)
	FUS2W			Schmitt 50kΩ Pull-up	6 (1)
	FWS2W			Schmitt 5kΩ Pull-up	6 (1)
Input Buffer with Failsafe	FIA2			-	3 (1)
	FDA2			50kΩ Pull-down	3 (1)
	FIE2W			Schmitt	6 (1)
	FDE2W			Schmitt 50kΩ Pull-down	6 (1)
Input Buffer with EN(AND)	FN12			-	7 (1)
	FN22			50kΩ Pull-down	7 (1)
Input Buffer with EN(OR)	FN14			-	4 (1)
	FN24			50kΩ Pull-down	4 (1)

注意 電源電圧3.0 V仕様では、TTLレベル・シュミット・バッファは使用できません。

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
N-ch Open drain I/O Buffer with Failsafe	EBA2			9mA	7 (1)
	EBAA			12mA	7 (1)
	EBA6			18mA	7 (1)
	EBAE			24mA	7 (1)
N-ch Open drain Schmitt I/O Buffer with Failsafe	EBE2W			9mA	10 (1)
	EBEAW			12mA	10 (1)
	EBE6W			18mA	10 (1)
	EBEEW			24mA	10 (1)
I/O Buffer	B00V			3mA	10 (1)
	B0DV			3mA 50k $\Omega$ Pull-down	10 (1)
	B0UV			3mA 50k $\Omega$ Pull-up	10 (1)
	B0WV			3mA 5k $\Omega$ Pull-up	10 (1)
	B00D			6mA	10 (1)
	B0DD			6mA 50k $\Omega$ Pull-down	10 (1)
	B0UD			6mA 50k $\Omega$ Pull-up	10 (1)
	B0WD			6mA 5k $\Omega$ Pull-up	10 (1)
	B004			9mA	10 (1)
	B0D4			9mA 50k $\Omega$ Pull-down	10 (1)
	B0U4			9mA 50k $\Omega$ Pull-up	10 (1)
	B0W4			9mA 5k $\Omega$ Pull-up	10 (1)
	B002			12mA	20 (1)
	B0D2			12mA 50k $\Omega$ Pull-down	20 (1)
	B0U2			12mA 50k $\Omega$ Pull-up	20 (1)
	B0W2			12mA 5k $\Omega$ Pull-up	20 (1)
	B006			18mA	20 (1)
	B0D6			18mA 50k $\Omega$ Pull-down	20 (1)
	B0U6			18mA 50k $\Omega$ Pull-up	20 (1)
	B0W6			18mA 5k $\Omega$ Pull-up	20 (1)
B00G			24mA	20 (1)	
B0DG			24mA 50k $\Omega$ Pull-down	20 (1)	
B0UG			24mA 50k $\Omega$ Pull-up	20 (1)	
B0WG			24mA 5k $\Omega$ Pull-up	20 (1)	

注意 電源電圧3.0 V仕様では、TTLレベル・シュミット・バッファは使用できません。

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
Low-noise I/O Buffer	BE0V			3mA	10 (1)
	BEDV			3mA 50kΩ Pull-down	10 (1)
	BEUV			3mA 50kΩ Pull-up	10 (1)
	BEWV			3mA 5kΩ Pull-up	10 (1)
	BE0D			6mA	10 (1)
	BEDD			6mA 50kΩ Pull-down	10 (1)
	BEUD			6mA 50kΩ Pull-up	10 (1)
	BEWD			6mA 5kΩ Pull-up	10 (1)
	BE04			9mA	10 (1)
	BED4			9mA 50kΩ Pull-down	10 (1)
	BEU4			9mA 50kΩ Pull-up	10 (1)
	BEW4			9mA 5kΩ Pull-up	10 (1)
	BE02			12mA	10 (1)
	BED2			12mA 50kΩ Pull-down	10 (1)
	BEU2			12mA 50kΩ Pull-up	10 (1)
	BEW2			12mA 5kΩ Pull-up	10 (1)
	BE06			18mA	10 (1)
	BED6			18mA 50kΩ Pull-down	10 (1)
	BEU6			18mA 50kΩ Pull-up	10 (1)
	BEW6			18mA 5kΩ Pull-up	10 (1)
BE0G			24mA	10 (1)	
BEDG			24mA 50kΩ Pull-down	10 (1)	
BEUG			24mA 50kΩ Pull-up	10 (1)	
BEWG			24mA 5kΩ Pull-up	10 (1)	

注意 電源電圧3.0 V仕様では、TTLレベル・シュミット・バッファは使用できません。

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
Schmitt I/O Buffer	BSIVW			3mA	13 (1)
	BSDVW			3mA 50kΩ Pull-down	13 (1)
	BSUVW			3mA 50kΩ Pull-up	13 (1)
	BSWVW			3mA 5kΩ Pull-up	13 (1)
	BSIDW			6mA	13 (1)
	BSDDW			6mA 50kΩ Pull-down	13 (1)
	BSUDW			6mA 50kΩ Pull-up	13 (1)
	BSWDW			6mA 5kΩ Pull-up	13 (1)
	BSI4W			9mA	13 (1)
	BSD4W			9mA 50kΩ Pull-down	13 (1)
	BSU4W			9mA 50kΩ Pull-up	13 (1)
	BSW4W			9mA 5kΩ Pull-up	13 (1)
	BSI2W			12mA	23 (1)
	BSD2W			12mA 50kΩ Pull-down	23 (1)
	BSU2W			12mA 50kΩ Pull-up	23 (1)
	BSW2W			12mA 5kΩ Pull-up	23 (1)
	BSI6W			18mA	23 (1)
	BSD6W			18mA 50kΩ Pull-down	23 (1)
	BSU6W			18mA 50kΩ Pull-up	23 (1)
	BSW6W			18mA 5kΩ Pull-up	23 (1)
	BSIGW			24mA	23 (1)
	BSDGW			24mA 50kΩ Pull-down	23 (1)
BSUGW			24mA 50kΩ Pull-up	23 (1)	
BSWGW			24mA 5kΩ Pull-up	23 (1)	

注意 電源電圧3.0 V仕様では、TTLレベル・シュミット・バッファは使用できません。

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
Low-noise Schmitt I/O Buffer	BFIVW			3mA	13 (1)
	BFDVW			3mA 50kΩ Pull-down	13 (1)
	BFUVW			3mA 50kΩ Pull-up	13 (1)
	BFVWVW			3mA 5kΩ Pull-up	13 (1)
	BFIDW			6mA	13 (1)
	BFDDW			6mA 50kΩ Pull-down	13 (1)
	BFUDW			6mA 50kΩ Pull-up	13 (1)
	BFWDW			6mA 5kΩ Pull-up	13 (1)
	BFI4W			9mA	13 (1)
	BFD4W			9mA 50kΩ Pull-down	13 (1)
	BFU4W			9mA 50kΩ Pull-up	13 (1)
	BFW4W			9mA 5kΩ Pull-up	13 (1)
	BFI2W			12mA	13 (1)
	BFD2W			12mA 50kΩ Pull-down	13 (1)
	BFU2W			12mA 50kΩ Pull-up	13 (1)
	BFW2W			12mA 5kΩ Pull-up	13 (1)
	BFI6W			18mA	13 (1)
	BFD6W			18mA 50kΩ Pull-down	13 (1)
	BFU6W			18mA 50kΩ Pull-up	13 (1)
	BFW6W			18mA 5kΩ Pull-up	13 (1)
I/O Buffer with EN(AND)	BFIGW			24mA	13 (1)
	BFDGW			24mA 50kΩ Pull-down	13 (1)
	BFUGW			24mA 50kΩ Pull-up	13 (1)
	BFWGW			24mA 5kΩ Pull-up	13 (1)
	BN2V			3mA	14 (1)
	BN4V			3mA 50kΩ Pull-down	14 (1)
	BN2D			6mA	14 (1)
	BN4D			6mA 50kΩ Pull-down	14 (1)
	BN24			9mA	14 (1)
	BN44			9mA 50kΩ Pull-down	14 (1)
	BN22			12mA	24 (1)
	BN42			12mA 50kΩ Pull-down	24 (1)
	BN26			18mA	24 (1)
BN46			18mA 50kΩ Pull-down	24 (1)	
BN2G			24mA	24 (1)	
BN4G			24mA 50kΩ Pull-down	24 (1)	

**注意** 電源電圧3.0V仕様では、TTLレベル・シュミット・バッファは使用できません。

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
I/O Buffer with EN(OR)	BN3V			3mA	11 (1)
	BN5V			3mA 50k $\Omega$ Pull-down	11 (1)
	BN3D			6mA	11 (1)
	BN5D			6mA 50k $\Omega$ Pull-down	11 (1)
	BN34			9mA	11 (1)
	BN54			9mA 50k $\Omega$ Pull-down	11 (1)
	BN32			12mA	21 (1)
	BN52			12mA 50k $\Omega$ Pull-down	21 (1)
	BN36			18mA	21 (1)
	BN56			18mA 50k $\Omega$ Pull-down	21 (1)
	BN3G			24mA	21 (1)
	BN5G			24mA 50k $\Omega$ Pull-down	21 (1)

**注意** 電源電圧3.0 V仕様では、TTLレベル・シュミット・バッファは使用できません。

### E. 1.3 Oscillator

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
Oscillator Input Buffer	OSI1			-	0 (1)
Oscillator Input Buffer for Enable	OSI2			-	0 (1)
Oscillator Input Buffer for OSO9	OSI4			-	0 (1)
Oscillator Output Buffer (Internal Feedback Resistor)	OSO1SW			-	0 (1)
Oscillator Output Buffer (for Enable Type)	OSO7SW			-	0 (1)
Oscillator Output Buffer (External Feedback Resistor)	OSO9SW			-	0 (1)
Oscillator Output Buffer (Internal Feedback Resistor)	OSO1			-	0 (1)
Oscillator Output Buffer (for Enable Type)	OSO7			-	0 (1)
Oscillator Output Buffer (External Feedback Resistor)	OSO9			-	0 (1)



## E. 2 Function Block

## E. 2.1 Level Generator

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
H,L Level Generator	F091			-	1 (-)

## E. 2.2 Inverter, Buffer, CTS Driver, Delay Gate

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
Inverter	L101			Single Out, Low Power	1 (-)
	F101			Single Out	1 (-)
	F102			Single Out, x2-drive	2 (-)
	F143			Single Out, x3-drive	3 (-)
	F144			Single Out, x4-drive	4 (-)
	F145			Single Out, x5-drive	5 (-)
	F146			Single Out, x6-drive	6 (-)
	F148			Single Out, x8-drive	12 (-)
Buffer	L111			Single Out, Low Power	1 (-)
	F111			Single Out	2 (-)
	F112			Single Out, x2-drive	3 (-)
	F153			Single Out, x3-drive	4 (-)
	F154			Single Out, x4-drive	5 (-)
	F158			Single Out, x8-drive	11 (-)
CTS Driver (Inverter Type)	FC42			Single type	132 (-)
	FC82			Single type, x2-drive	396 (-)
	FC44			Double type	340 (-)
	FC84			Double type, x2-drive	1020 (-)
Delay Gate	F131			-	6 (-)
	F132			-	10 (-)

## E. 2. 3 OR (NOR)

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
2-Input NOR	L202			Low Power	1 (-)
	F202			-	2 (-)
	F222			x2-drive	4 (-)
	F282			x4-drive	6 (-)
3-Input NOR	L203		x	Low Power	2 (-)
	F203			-	3 (-)
	F223			x2-drive	6 (-)
4-Input NOR	L204		x	Low Power	2 (-)
	F204			-	4 (-)
5-Input NOR	L205			Low Power	4 (-)
	F205			-	5 (-)
	F225			x2-drive	6 (-)
6-Input NOR	F206			-	5 (-)
	F226			x2-drive	6 (-)
8-Input NOR	L208			Low Power	7 (-)
	F208			-	7 (-)
	F228			x2-drive	8 (-)
2-Input OR	L212			Low Power	2 (-)
	F212			-	2 (-)
	F232			x2-drive	3 (-)
	F252			x4-drive	6 (-)
3-Input OR	L213			Low Power	2 (-)
	F213			-	3 (-)
	F233			x2-drive	4 (-)
4-Input OR	L214			Low Power	3 (-)
	F214			-	3 (-)
	F234			x2-drive	4 (-)
5-Input OR	L215			Low Power	4 (-)
	F215			-	5 (-)
	F235			x2-drive	7 (-)
6-Input OR	L216			Low Power	4 (-)
	F216			-	5 (-)
	F236			x2-drive	7 (-)
8-Input OR	L218			Low Power	6 (-)
	F218			-	8 (-)
	F238			x2-drive	9 (-)

## E. 2. 4 AND (NAND)

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
2-Input NAND	L302			Low Power	1 (-)
	F302			-	2 (-)
	F322			x2-drive	4 (-)
	F382			x4-drive	6 (-)
3-Input NAND	L303			Low Power	2 (-)
	F303			-	3 (-)
	F323			x2-drive	6 (-)
4-Input NAND	L304			Low Power	2 (-)
	F304			-	4 (-)
	F324			x2-drive	8 (-)
5-Input NAND	F305			-	5 (-)
	F325			x2-drive	6 (-)
6-Input NAND	F306			-	5 (-)
	F326			x2-drive	6 (-)
8-Input NAND	F308			-	6 (-)
	F328			x2-drive	7 (-)
2-Input AND	L312			Low Power	2 (-)
	F312			-	2 (-)
	F332			x2-drive	3 (-)
	F352			x4-drive	6 (-)
3-Input AND	L313			Low Power	2 (-)
	F313			-	3 (-)
	F333			x2-drive	4 (-)
4-Input AND	L314			Low Power	3 (-)
	F314			-	3 (-)
	F334			x2-drive	4 (-)
5-Input AND	L315			Low Power	4 (-)
	F315			-	5 (-)
	F335			x2-drive	7 (-)
6-Input AND	L316			Low Power	4 (-)
	F316			-	5 (-)
	F336			x2-drive	7 (-)
8-Input AND	L318			Low Power	5 (-)
	F318			-	6 (-)
	F338			x2-drive	8 (-)

## E. 2. 5 AND-NOR

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
1-2-Input AND-NOR	L421			Low Power	2 (-)
	F421			-	3 (-)
1-1-2-Input AND-NOR	L422		x	Low Power	2 (-)
	F422			-	4 (-)
1-3-Input AND-NOR	L423			Low Power	2 (-)
	F423			-	4 (-)
2-2-Input AND-NOR	L424			Low Power	2 (-)
	F424			-	4 (-)
2-2-2-Input AND-NOR	L425		x	Low Power	3 (-)
	F425		x	-	6 (-)
2-3-Input AND-NOR	L427		x	Low Power	3 (-)
	F427			-	5 (-)
1-2-2-Input AND-NOR	L428		x	Low Power	3 (-)
	F428			-	5 (-)
2-2-2-2-Input AND-NOR	L429			Low Power	6 (-)
	F429			-	6 (-)
1-4-Input AND-NOR	L440		x	Low Power	3 (-)
	F440			-	5 (-)
1-5-Input AND-NOR	L441			Low Power	5 (-)
	F441			-	7 (-)
4-4-4-Input AND-NOR	L444			Low Power	8 (-)
	F444			-	8 (-)
1-1-1-2-Input AND-NOR	L446			Low Power	4 (-)
	F446			-	5 (-)
1-1-1-3-Input AND-NOR	L447			Low Power	5 (-)
	F447			-	5 (-)
1-1-2-2-Input AND-NOR	L448			Low Power	5 (-)
	F448			-	5 (-)
3-3-3-3-Input AND-NOR	F449			-	8 (-)
3-3-3-Input AND-NOR	L460			Low Power	6 (-)
	F460			-	7 (-)
1-2-3-Input AND-NOR	F462		x	-	6 (-)
1-1-3-Input AND-NOR	L463		x	Low Power	3 (-)
	F463		x	-	5 (-)
1-1-4-Input AND-NOR	L464			Low Power	5 (-)
	F464			-	5 (-)
1-1-1-1-2-Input AND-NOR	F465			-	5 (-)
4-4-4-4-Input AND-NOR	F466			-	10 (-)

## E. 2. 6 OR-NAND

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
1-4-Input OR-NAND	L430			Low Power	4 (-)
	F430			-	5 (-)
1-2-Input OR-NAND	L431			Low Power	2 (-)
	F431			-	3 (-)
1-1-2-Input OR-NAND	L432			Low Power	2 (-)
	F432			-	4 (-)
1-3-Input OR-NAND	L433		x	Low Power	2 (-)
	F433			-	4 (-)
2-2-Input OR-NAND	L434		x	Low Power	2 (-)
	F434			-	4 (-)
2-3-Input OR-NAND	F435		x	-	5 (-)
3-3-Input OR-NAND	L436		x	Low Power	3 (-)
	F436		x	-	6 (-)
1-2-2-Input OR-NAND	F437		x	-	5 (-)
2-2-2-Input OR-NAND	F438		x	-	6 (-)
1-5-Input OR-NAND	L439			Low Power	5 (-)
	F439			-	6 (-)
2-4-Input OR-NAND	L450			Low Power	5 (-)
	F450			-	6 (-)
4-4-Input OR-NAND	L451			Low Power	7 (-)
	F451			-	8 (-)
1-1-3-Input OR-NAND	L452			Low Power	4 (-)
	F452			-	5 (-)
1-1-4-Input OR-NAND	L453			Low Power	5 (-)
	F453			-	6 (-)
4-4-4-Input OR-NAND	F457			-	10 (-)
1-1-1-2-Input OR-NAND	L458		x	Low Power	3 (-)
	F458			-	5 (-)
1-1-1-3-Input OR-NAND	L459			Low Power	5 (-)
	F459			-	5 (-)
1-1-1-1-2-Input OR-NAND	F490			-	5 (-)
1-2-3-Input OR-NAND	L491			Low Power	5 (-)
	F491			-	5 (-)
3-3-3-Input OR-NAND	L493			Low Power	6 (-)
	F493			-	7 (-)
1-1-2-2-Input OR-NAND	F495		x	-	6 (-)
3-3-3-3-Input OR-NAND	F496			-	8 (-)
4-4-4-4-Input OR-NAND	F498			-	14 (-)

## E. 2. 7 Exclusive OR, Exclusive NOR

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
2-Input Exclusive OR	L511			Low Power	3 (-)
	F511			-	4 (-)
3-Input Exclusive OR	L516			Low Power	6 (-)
	F516			-	7 (-)
2-Input Exclusive NOR	L512			Low Power	3 (-)
	F512			-	4 (-)
3-Input Exclusive NOR	L517			Low Power	7 (-)
	F517			-	7 (-)

## E. 2. 8 Adder, 3-State Buffer, Decoder, Multiplexer, Generator

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
1-Bit Full Adder	F521			-	9 (-)
4-Bit Full Adder	F523			-	32 (-)
4-Bit Look Ahead Carry Generator	F526			-	34 (-)
4-Bit Carry Look Ahead Adder	F527			-	69 (-)
3-State Buffer	L531			with EN, Low Power	4 (-)
	F531			with EN	5 (-)
	F533			with EN, x2-drive	7 (-)
	F53F			with EN, x4-drive	11 (-)
	L532			with ENB, Low Power	4 (-)
	F532			with ENB	5 (-)
	F534			with ENB, x2-drive	7 (-)
	F53G			with ENB, x4-drive	11 (-)
	F541			Inverter with EN	6 (-)
	F543			Inverter with EN, x2-drive	8 (-)
	F54F			Inverter with EN, x4-drive	12 (-)
	F542			Inverter with ENB	6 (-)
	F544			Inverter with ENB, x2-drive	8 (-)
	F54G			Inverter with ENB, x4-drive	12 (-)
2 to 4 Decoder	L560			Positive Out, Low Power	6 (-)
	F560			Positive Out	10 (-)
	L561			Negative Out, Low Power	6 (-)
	F561			Negative Out	10 (-)
2 to 1 Multiplexer (Positive Out)	L565			Low Power	3 (-)
	F565			-	4 (-)
	L571			with ENB, Low Power	4 (-)
	F571			with ENB	6 (-)
4 to 1 Multiplexer (Positive Out)	F564			-	8 (-)
	F570			with ENB	10 (-)
8 to 1 Multiplexer (Positive Out)	F563			-	18 (-)
	F569			with ENB	18 (-)
Quad 2 to 1 Multiplexer (Negative Out)	L572			with ENB, Low Power	15 (-)
	F572			with ENB	17 (-)
8-Bit Odd Parity Generator	F581			-	19 (-)
8-Bit Even Parity Generator	F582			-	19 (-)

## E. 2. 9 RS-Latch, RS-F/F

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
RS-Latch	F595			-	5 (-)
RS-F/F with R,S	F596			-	11 (-)

## E. 2. 10 D-Latch

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
D-Latch	F601			-	6 (-)
	L601			Q Out, Low Power	4 (-)
	F601NQ			Q Out	5 (-)
	F601NB			QB Out	5 (-)
D-Latch, High Speed	F6R1			-	6 (-)
D-Latch with R	F602			-	6 (-)
	L602			Q Out, Low Power	5 (-)
	F602NQ			Q Out	6 (-)
	F602NB			QB Out	5 (-)
D-Latch with R, High Speed	F6R2			-	7 (-)
D-Latch with RB	F603			-	7 (-)
	L603			Q Out, Low Power	5 (-)
	F603NQ			Q Out	5 (-)
	F603NB			QB Out	6 (-)
D-Latch with RB, High Speed	F6R5			-	6 (-)
D-Latch with SB	F60K			-	7 (-)
	F60KNQ			Q Out	6 (-)
	F60KNB			QB Out	5 (-)
D-Latch with RB,SB	F60J			-	7 (-)
	F60JNQ			Q Out	6 (-)
	F60JNB			QB Out	6 (-)
D-Latch (GB)	F604			-	6 (-)
	L604			Q Out, Low Power	4 (-)
	F604NQ			Q Out	5 (-)
	F604NB			QB Out	5 (-)
D-Latch (GB), High Speed	F6R8			-	6 (-)
D-Latch (GB) with RB	F605			-	7 (-)
	L605			Q Out, Low Power	5 (-)
	F605NQ			Q Out	5 (-)
	F605NB			QB Out	6 (-)
D-Latch (GB) with RB, High Speed	F6R9			-	6 (-)



## E. 2. 11 D-F/F

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
D-F/F	F641			-	8 (-)
	L641			Q Out, Low Power	6 (-)
	F641NQ			Q Out	7 (-)
	F641NB			QB Out	7 (-)
D-F/F with R	F642			-	9 (-)
	F642NQ			Q Out	8 (-)
	F642NB			QB Out	8 (-)
D-F/F with S	F643			-	9 (-)
	F643NQ			Q Out	8 (-)
	F643NB			QB Out	8 (-)
D-F/F with R,S	F644			-	10 (-)
	L644			Q Out, Low Power	8 (-)
	F644NQ			Q Out	9 (-)
	F644NB			QB Out	9 (-)
D-F/F with RB	F615			-	9 (-)
	L645			Q Out, Low Power	7 (-)
	F615NQ			Q Out	8 (-)
	F615NB			QB Out	8 (-)
D-F/F with SB	F616			-	9 (-)
	F616NQ			Q Out	8 (-)
	F616NB			QB Out	8 (-)
D-F/F with RB,SB	F647			-	10 (-)
	L647			Q Out, Low Power	8 (-)
	F647NQ			Q Out	9 (-)
	F647NB			QB Out	9 (-)
D-F/F (CB)	F661			-	8 (-)
	L661			Q Out, Low Power	6 (-)
	F661NQ			Q Out	7 (-)
	F661NB			QB Out	7 (-)
D-F/F (CB) with RB	F665			-	9 (-)
	F665NQ			Q Out	8 (-)
	F665NB			QB Out	8 (-)
D-F/F (CB) with SB	F666			-	9 (-)
	F666NQ			Q Out	8 (-)
	F666NB			QB Out	8 (-)
D-F/F (CB) with RB,SB	F667			-	10 (-)
	L667			Q Out, Low Power	8 (-)
	F667NQ			Q Out	9 (-)
	F667NB			QB Out	9 (-)
D-F/F with 2 to 1 Selector	F641S			-	10 (-)
	F641SQ			Q Out	9 (-)
	F641SB			QB Out	9 (-)

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
D-F/F with R,2 to 1 Selector	F642S			-	11 (-)
	F642SQ			Q Out	10 (-)
	F642SB			QB Out	10 (-)
D-F/F with S,2 to 1 Selector	F643S			-	11 (-)
	F643SQ			Q Out	10 (-)
	F643SB			QB Out	10 (-)
D-F/F with R,S,2 to 1 Selector	F644S			-	12 (-)
	F644SQ			Q Out	11 (-)
	F644SB			QB Out	11 (-)
D-F/F with RB,2 to 1 Selector	F615S			-	11 (-)
	F615SQ			Q Out	10 (-)
	F615SB			QB Out	10 (-)
D-F/F with SB,2 to 1 Selector	F616S			-	11 (-)
	F616SQ			Q Out	10 (-)
	F616SB			QB Out	10 (-)
D-F/F with RB,SB,2 to 1 Selector	F647S			-	12 (-)
	F647SQ			Q Out	11 (-)
	F647SB			QB Out	11 (-)
D-F/F (CB) with 2 to 1 Selector	F661S			-	10 (-)
	F661SQ			Q Out	9 (-)
	F661SB			QB Out	9 (-)
D-F/F (CB) with RB,2 to 1 Selector	F665S			-	11 (-)
	F665SQ			Q Out	10 (-)
	F665SB			QB Out	10 (-)
D-F/F (CB) with SB,2 to 1 Selector	F666S			-	11 (-)
	F666SQ			Q Out	10 (-)
	F666SB			QB Out	10 (-)
D-F/F (CB) with RB,SB,2 to 1 Selector	F667S			-	12 (-)
	F667SQ			Q Out	11 (-)
	F667SB			QB Out	11 (-)
D-F/F with Hold	F641H			-	10 (-)
	F641HQ			Q Out	9 (-)
	F641HB			QB Out	9 (-)
D-F/F with RB,Hold	F615H			-	11 (-)
	F615HQ			Q Out	10 (-)
	F615HB			QB Out	10 (-)
D-F/F with SB,Hold	F616H			-	11 (-)
	F616HQ			Q Out	10 (-)
	F616HB			QB Out	10 (-)
D-F/F with RB,SB,Hold	F647H			-	12 (-)
	F647HQ			Q Out	11 (-)
	F647HB			QB Out	11 (-)
D-F/F (CB) with 2 to 1 Selector(2 CTRL),RB	F673			-	11 (-)
D-F/F (CB) with Hold,2 to 1 Selector(2 CTRL),RB	F674			-	12 (-)

## E. 2. 12 T-F/F, JK-F/F

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
T-F/F with R,S	F744			-	9 (-)
	L744			Q Out, Low Power	7 (-)
	F744NQ			Q Out	8 (-)
T-F/F with RB	F745			-	8 (-)
	F745NQ			Q Out	7 (-)
T-F/F with RB,SB	F747			-	9 (-)
	L747			Q Out, Low Power	7 (-)
	F747NQ			Q Out	8 (-)
T-F/F with Data-Hold R,S	F791			-	12 (-)
T-F/F (TB) with RB	F765			-	8 (-)
	F765NQ			Q Out	7 (-)
T-F/F (TB) with RB,SB	F767			-	9 (-)
	L767			Q Out, Low Power	7 (-)
	F767NQ			Q Out	8 (-)
T-F/F (TB) with Data-Hold RB,SB	F792			-	12 (-)
JK-F/F	F771			-	10 (-)
	F771NQ			Q Out	9 (-)
	F771NB			QB Out	9 (-)
JK-F/F, High Speed	F7D1			-	10 (-)
JK-F/F with R,S	F774			-	12 (-)
	F774NQ			Q Out	11 (-)
	F774NB			QB Out	11 (-)
JK-F/F with RB	F775			-	11 (-)
	F775NQ			Q Out	10 (-)
	F775NB			QB Out	10 (-)
JK-F/F with SB	F776			-	11 (-)
	F776NQ			Q Out	10 (-)
	F776NB			QB Out	10 (-)
JK-F/F with RB,SB	F777			-	12 (-)
	F777NQ			Q Out	11 (-)
	F777NB			QB Out	11 (-)
JK-F/F (CB)	F781			-	10 (-)
	F781NQ			Q Out	9 (-)
	F781NB			QB Out	9 (-)
JK-F/F (CB), High Speed	F7E1			-	10 (-)
JK-F/F (CB) with RB,SB	F787			-	12 (-)
	F787NQ			Q Out	11 (-)
	F787NB			QB Out	11 (-)

## E. 3 Scan Path Block

## E. 3.1 Standard Type

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
Scan D-F/F with R,S,2 to 1 Selector	S000			-	12 (-)
Scan D-F/F with 2 to 1 Selector	S002			-	10 (-)
Scan D-F/F with 2 to 1 Selector, High Speed	S003			-	11 (-)
Scan D-F/F with R,S,Hold,2 to 1 Selector	S050			-	16 (-)
Scan D-F/F with Hold,2 to 1 Selector	S052			-	14 (-)
Scan JK-F/F with R,S,D-F/F Function	S100			-	14 (-)
Scan JK-F/F with D-F/F Function	S102			-	12 (-)
Scan JK-F/F with R,S,Hold,D-F/F Function	S150			-	18 (-)
Scan JK-F/F with Hold,D-F/F Function	S152			-	16 (-)
Scan D-Latch with R,D-F/F Function	S201			-	13 (-)
Scan D-Latch with D-F/F Function	S202			-	12 (-)
Scan D-Latch with D-F/F Function, High Speed	S204			-	12 (-)
Scan D-Latch with R,Special Function,R	S301			-	8 (-)
Scan D-Latch with Special Function	S302			-	7 (-)
Scan D-Latch with Special Function, High Speed	S303			-	7 (-)

## E. 3.2 NEC Scan

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
NEC Scan D-Latch	SE601			-	13 (-)
NEC Scan D-Latch with R	SE602			-	14 (-)
NEC Scan D-Latch with RB	SE603			-	14 (-)
NEC Scan D-Latch(GB)	SE604			-	13 (-)
NEC Scan D-Latch(GB) with RB	SE605			-	14 (-)
NEC Scan D-F/F	SE611			-	11 (-)
NEC Scan D-F/F with R,S	SE614			-	13 (-)
NEC Scan D-F/F with RB	SE615			-	12 (-)
NEC Scan D-F/F with SB	SE616			-	12 (-)
NEC Scan D-F/F with RB,SB	SE617			-	13 (-)
NEC Scan D-F/F (CB)	SE631			-	11 (-)
NEC Scan D-F/F (CB) with RB,SB	SE637			-	13 (-)

## E. 3. 3 Scan Controller

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
Clock Distributor	SCD1			-	8 (-)
Clock Distributor with Test (Positive Clock)	SCDC			-	2 (-)
Clock Distributor with Test (Negative Clock)	SCDD			-	2 (-)
I/F Control (AMC) with EN	SFEH			-	3 (-)
I/F Control (AMC) with ENB	SFEL			-	2 (-)
I/F Control (SMC) with EN	SOEH			-	3 (-)
I/F Control (SMC) with ENB	SOEL			-	2 (-)
Mega Macro Skip	SMS1			-	4 (-)
Set/Reset Control	SRH1			-	2 (-)
Set-B/Reset-B Control	SRL1			-	2 (-)
Loop Cut	SRPD			-	12 (-)
Clock Generator	SCKG			-	16 (-)
Common Input	SC11			-	2 (-)
Common Output	SCO1			-	4 (-)
GND	SGND			-	2 (-)

## E. 4 Boundary Scan Block

## E. 4.1 TAP Macro

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
BScan TAP Macro	SBCJ			-	262 (-)
BScan TAP Macro with NEC Scan	SBCL			-	315 (-)

## E. 4.2 Level Generator

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
BScan Level Generator (CLANP)	SBZ1			-	1 (-)

## E. 4.3 Data Register

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
BScan Data Register for Input	SVRNI2			-	12 (-)
BScan Data Register for Output	SVRN22			-	24 (-)
BScan Data Register for 3-state	SVRN32			-	50 (-)
BScan Data Register for Bid	SVRNB2			-	57 (-)

## E. 4.4 D-latch, Selector, Shift Register

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
BScan D-Latch with SB Q Out, Low Power	L606			-	5 (-)
BScan Selector	SBD1			-	4 (-)
BScan Shift Register	SBR1			-	8 (-)
BScan Data Selector for Output	SVSNA2			-	7 (-)
BScan Data Selector for Bid	SVSNB2			-	7 (-)
BScan Data Enable Selector for 3-state	SVSNC2			-	9 (-)
BScan Data Enable Selector for Bid	SVSNE2			-	9 (-)

## E. 4.5 Soft Macro

Function	Block	5.0 V	3.3 V	Description	Cells (I/O)
BScan TAP Controller	SBCK			-	392 (-)
BScan Instruction Register (Internal Circuit)	SBM4			-	46 (-)
BScan Instruction Register	SBM5			-	140 (-)
BScan Instruction Decoder	SBM6			-	24 (-)
BScan Instruction Decoder with NEC Scan	SBMC			-	37 (-)
BScan Bypass Register	SBS3			-	26 (-)

## 付録F CMOS-N5を利用した汎用機能相当品について

CMOS-N5には、IPマクロを搭載することにより、汎用機能を実現した製品があります。

これらの製品は、ゲートアレイ手法で設計しているため、汎用品と比べてゲートアレイに依存したいくつかの相違点があり、採用時に注意が必要です。

詳細については、次のデータ・シートを参照してください。

表F - 1 CMOS-N5を利用した機能相当品

汎用機能	機能相当品	データ・シート
プログラマブル・タイマ・カウンタ	μPD71054	μPD65881GB-P01 (A18500J)
シリアル・コントロール・ユニット	μPD71051	μPD65881GB-P02 (A18499J)
パラレル・インタフェース・ユニット	μPD71055	μPD65881GB-P03 (A18501J)

## 【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：(044)435-5111

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL（アドレス） <http://www.necel.co.jp/>

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。

---

—— お問い合わせ先 ——

## 【営業関係，デバイスの技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電 話 : (044)435-9494

E-mail : [info@necel.com](mailto:info@necel.com)