

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

PFESiP/V850EP1

PFESiP[®] EP-1 専用 32 ビット・マイクロコントローラ

製品データ編

[メ モ]

目次要約

第 1 章	製品規格	...	12
第 2 章	内蔵 SSCG-PLL の特性	...	52
第 3 章	開発ツールとミドルウェア	...	58

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

PFESiP は、NEC エレクトロニクス株式会社の日本国内における登録商標です。

その他、記載の会社名、製品名などは、各社の登録商標または商標です。

本製品が外国為替及び外国貿易法の規定により規制貨物等に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。該当する場合、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2009年9月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないように、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

（注）

- （1）本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- （2）本事項において使用されている「当社製品」とは、（1）において定義された当社の開発、製造製品をいう。

M8E0710J

本版で改訂された主な箇所

箇 所	内 容
p.17	表 1 - 8 入力クロック・タイミング 修正
p.18	1.7.1 (2) 出力クロック 変更

本文欄外の 印は、本版で改訂された主な箇所を示しています。

この" "を PDF 上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

設計する際は、最新の資料を弊社販売担当または販売特約店にご確認ください。

はじめに

対 象 者	このマニュアルは、V850E2 CPUコア内蔵マイクロコントローラ機能チップ「PFESiP/V850EP1」の機能を理解し、それをういたPFESiP EP-1シリーズ製品を開発検討するユーザを対象とします。		
目 的	このマニュアルは、PFESiP/V850EP1の電気的特性をユーザに理解していただくことを目的としています。		
読 み 方	このマニュアルの読者には、電気、論理回路、マイクロコンピュータ、SRAM、ページROM、SDRAMに関する一般知識を必要とします。		
凡 例	データ表記の重み	: 左が上位桁、右が下位桁	
	アクティブ・ローの表記	: xxxZ (端子、信号名称のあとにZ)	
	注	: 本文中につけた注の説明	
	注意	: 気をつけて読んでいただきたい内容	
	備考	: 本文の補足説明	
	数の表記	: 2進数 ... xxxx またはxxxxB	
		10進数 ... xxxx	
		16進数 ... xxxxH	
	2 のべき数を示す接頭語	: K (キロ) ... $2^{10} = 1024$	
	(アドレス空間、メモリ容量)	M (メガ) ... $2^{20} = 1024^2$	
		G (ギガ) ... $2^{30} = 1024^3$	
	データ・タイプ	: ワード ... 32ビット	
		ハーフワード ... 16ビット	
		バイト ... 8ビット	

関連資料

関係資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。

あらかじめ、ご了承ください。また各コアの開発・企画段階で資料を作成しているため、関連資料は個別のお客様向け資料の場合があります。

PFESiP EP-1 シリーズに関する資料

資料名	資料番号
V850E2 ユーザーズ・マニュアル アーキテクチャ編	U17135J
PFESiP EP-1 シリーズ 設計マニュアル	A19068J
PFESiP/V850EP1 ユーザーズ・マニュアル 製品データ編	このマニュアル
PFESiP/V850EP1 ユーザーズ・マニュアル ハードウェア編 (CPU 機能)	A19070J
PFESiP/V850EP1 ユーザーズ・マニュアル ハードウェア編 (USB 機能)	A19071J
PFESiP/V850EP1 アプリケーション・ノート USB ファンクション機能の設定例	A19349J

PFESiP EP-1 Evaluation Board に関する資料

資料名	資料番号
PFESiP EP-1 Evaluation Board ユーザーズ・マニュアル 技術情報編	A19350J
PFESiP EP-1 Evaluation Board ユーザーズ・マニュアル オーダ情報編	A19352J
PFESiP EP-1 Evaluation Board ユーザーズ・マニュアル FPGA 設計ガイド編	A19351J
PFESiP EP-1 Evaluation Board Lite ユーザーズ・マニュアル 技術情報編	A19354J

関連資料

資料名	資料番号
Annie ユーザーズ・マニュアル ハードウェア編	IDF-02-009281
Annie ユーザーズ・マニュアル 製品データ編	IDF-02-009283
MICROSSP V850E1/V850E2 Annie/AS85EP2 Evaluation Board #3 ユーザーズ・マニュアル 技術情報編	NW-KRZ-0021

開発ツールに関する資料 (ユーザーズ・マニュアル)

資料名		資料番号
RX850 Pro (Ver.3.20)(リアルタイム OS)	基礎編	U13773J
	インストレーション編	U17421J
	テクニカル編	U13772J
	タスク・デバッグ編	U17422J

目 次

第 1 章 製品規格 ... 12

- 1.1 用語説明 ... 12
- 1.2 絶対最大定格 ... 14
- 1.3 推奨動作範囲 ... 14
- 1.4 DC 特性 ... 15
- 1.5 ブルアップ/ブルダウン抵抗値 ... 16
- 1.6 電源投入/遮断手順 ... 16
- 1.7 AC 特性 ... 17
 - 1.7.1 クロック端子 ... 17
 - 1.7.2 最高動作周波数の注意事項 ... 20
 - 1.7.3 外部メモリ・インタフェース端子 ... 20
 - 1.7.4 SiP 内部接続バス・インタフェース端子 ... 33
 - 1.7.5 DMA インタフェース端子 ... 42
 - 1.7.6 SiP 内部接続用 DMA インタフェース端子 ... 43
 - 1.7.7 バス・リセット出力端子 ... 44
 - 1.7.8 CSI インタフェース端子 ... 45
 - 1.7.9 N-Wire インタフェース端子 ... 48
- 1.8 A/D コンバータ特性 ... 51
- 1.9 端子容量 ... 51
 - 1.9.1 入力バッファ ... 51
 - 1.9.2 出力バッファ / 双方向バッファ ... 51

第 2 章 内蔵 SSCG-PLL の特性 ... 52

- 2.1 ブロック図 ... 52
- 2.2 電気的特性 ... 53
 - 2.2.1 推奨動作範囲 ... 53
 - 2.2.2 電気的特性 ... 53
- 2.3 端子による PLL の動作設定 ... 54
 - 2.3.1 PLLM0-PLLM6, PLLN0-PLLN2, PLLP0-PLLP1 (PLLM, N, P-Counter Select) ... 55
 - 2.3.2 SSMDL0-SSMDL1 (Modulation Frequency Range)(入力) ... 56
 - 2.3.3 SSADJ0-SSADJ2 (Dither Range / Mode)(入力) ... 56
 - 2.3.4 PLLS0-PLLS1 (S-Selector)(入力) ... 57
 - 2.3.5 PLLFOEN (PLL FO Output Enable)(入力) ... 57

第 3 章 開発ツールとミドルウェア ... 58

- 3.1 開発ツール ... 58
- 3.2 ミドルウェア ... 58

図の目次

図番号	タイトル, ページ
1 - 1	出力クロック・タイミング ... 18
1 - 2	リセット・タイミング ... 19
1 - 3	基本アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O) ... 21
1 - 4	リード・タイミング (SRAM, 外部 ROM, 外部 I/O) ... 22
1 - 5	ライト・タイミング (SRAM, 外部 ROM, 外部 I/O) ... 23
1 - 6	DMA フライバイ転送タイミング (SRAM→外部 I/O) ... 24
1 - 7	DMA フライバイ転送タイミング (外部 I/O→SRAM 転送) ... 25
1 - 8	ページ ROM アクセス・タイミング ... 26
1 - 9	リード・タイミング (SDRAM アクセス) ... 28
1 - 10	ライト・タイミング (SDRAM アクセス) ... 29
1 - 11	リフレッシュ・タイミング (SDRAM アクセス) ... 30
1 - 12	バス・ホールド・タイミング ... 32
1 - 13	基本アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O) ... 34
1 - 14	リード・タイミング (SRAM, 外部 ROM, 外部 I/O) ... 35
1 - 15	ライト・タイミング (SRAM, 外部 ROM, 外部 I/O) ... 36
1 - 16	DMA フライバイ転送タイミング (SRAM→外部 I/O) ... 37
1 - 17	DMA フライバイ転送タイミング (外部 I/O→SRAM 転送) ... 38
1 - 18	ページ ROM アクセス・タイミング ... 39
1 - 19	バス・ホールド・タイミング ... 41
1 - 20	DMA インタフェース (BUSCLK 同期系信号) ... 42
1 - 21	DMA インタフェース (SBUSCLK 同期系信号) ... 43
1 - 22	外部バス・リセット出力端子 ... 44
1 - 23	SiP 内部接続バス・リセット出力端子 ... 44
1 - 24	CSI アクセス・タイミング (CKP, DAP = 00) ... 46
1 - 25	CSI アクセス・タイミング (CKP, DAP = 01) ... 46
1 - 26	CSI アクセス・タイミング (CKP, DAP = 10) ... 47
1 - 27	CSI アクセス・タイミング (CKP, DAP = 11) ... 47
1 - 28	トレース・インタフェース ... 48
1 - 29	デバッグ・シリアル・インタフェース ... 49
1 - 30	A/D コンバータ特性 ... 50
1 - 31	アナログ入力端子の等価回路 ... 50
2 - 1	SSCG-PLL ブロック図 ... 52

表の目次

表番号	タイトル, ページ
1 - 1	絶対最大定格に関する用語 ... 12
1 - 2	絶対最大定格に関する用語 ... 12
1 - 3	DC 特性に関する用語 ... 13
1 - 4	絶対最大定格 ... 14
1 - 5	推奨動作範囲 ... 14
1 - 6	DC 特性 ($V_{DD} = 3.3 \pm 0.3 \text{ V}$, $T_A = 0 \sim +70 \text{ }^\circ\text{C}$) ... 15
1 - 7	プルアップ / プルダウン抵抗値 ($V_{DD} = 3.3 \pm 0.3 \text{ V}$, $T_A = 0 \sim +70 \text{ }^\circ\text{C}$) ... 16
1 - 8	入力クロック・タイミング ... 17
1 - 9	出力クロック・タイミング ... 18
1 - 10	リセット・タイミング ... 19
1 - 11	PFESiP/V850EP1 の動作条件による最高動作周波数 ... 20
1 - 12	アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O) ... 20
1 - 13	SDRAM アクセス・タイミング ... 27
1 - 14	バス・ホールド・タイミング ... 31
1 - 15	アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O) ... 33
1 - 16	バス・ホールド・タイミング ... 40
1 - 17	BUSCLK 同期系信号 ... 42
1 - 18	SBUSCLK 同期系信号 ... 43
1 - 19	外部バス・リセット出力端子 ... 44
1 - 20	SiP 内部接続バス・インタフェース端子 ... 44
1 - 21	CSI アクセス・タイミング (マスタ・モード) ... 45
1 - 22	CSI アクセス・タイミング (スレーブ・モード) ... 45
1 - 23	トレース・インタフェース ... 48
1 - 24	デバッグ・シリアル・インタフェース ... 49
1 - 25	A/D コンバータ特性 ($EV_{DD} = AV_{DD} = AV_{REFP} = 3.0 \sim 3.6 \text{ V}$, $EV_{SS} = AV_{SS} = AV_{REFM} = 0 \text{ V}$) ... 50
1 - 26	アナログ入力端子の規格 ... 50
1 - 27	インタフェース・ブロックの容量 (入力バッファ) (C_B) ... 51
1 - 28	インタフェース・ブロックの容量 (出力バッファ / 双方向バッファ) (C_B) ... 51
2 - 1	PLL の動作条件 ... 55
2 - 2	SSMDL0-SSMDL1 による SSCG 出力の変調周期設定 ... 56
2 - 3	SSCG 出力の周波数変調率の設定 ... 56
2 - 4	S セレクタの設定 ... 57
2 - 5	PLLFOEN による PLLFO 出力制御 ... 57

第1章 製品規格

1.1 用語説明

表 1 - 1 絶対最大定格に関する用語

項 目	略号	意 味
電源電圧	V_{DD}	V_{DD} 端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
入力電圧	V_I	入力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
出力電圧	V_O	出力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示します。
入力電流	I_I	入力端子に印加しても、ラッチアップを生じない電流の許容絶対値を示します。
出力電流	I_O	出力端子から流し出しても、また流し込んでも、破壊や信頼性低下を生じない DC 電流の許容絶対値を示します。
動作周囲温度	T_A	正常な論理動作をする周囲温度範囲を示します。
保存温度	T_{stg}	電圧、電流を印加しない状態で、破壊や信頼性低下を生じない素子温度範囲を示します。

表 1 - 2 絶対最大定格に関する用語

項 目	略号	意 味
電源電圧	V_{DD}	$V_{SS} = 0V$ としたときに正常な論理動作をする電圧範囲を示します。
ハイ・レベル入力電圧	V_{IH}	PFESiP/V850EP1 の入力に印加する電圧で、入力バッファが正常に動作するハイ・レベル状態の電圧を示します。 ● MIN 値以上の電圧を印加すれば、入力電圧がハイ・レベルであることを保証します。
ロー・レベル入力電圧	V_{IL}	PFESiP/V850EP1 の入力に印加する電圧で、入力バッファが正常に動作するロー・レベル状態の電圧を示します。 ● MAX 値以下の電圧を印加すれば、入力電圧がロー・レベルであることを保証します。
ポジティブ・トリガ電圧	V_P	PFESiP/V850EP1 の入力をロー・レベル側からハイ・レベル側に变化させたときに、出力レベルが反転する入力レベル
ネガティブ・トリガ電圧	V_N	PFESiP/V850EP1 の入力をハイ・レベル側からロー・レベル側に变化させたときに、出力レベルが反転する入力レベル
ヒステリシス電圧	V_H	ポジティブ・トリガ電圧とネガティブ・トリガ電圧の差
入力立ち上がり時間	t_{ri}	PFESiP/V850EP1 の入力に印加する入力電圧が 10% から 90% に立ち上がる時間の制限値を示します。
入力立ち下がり時間	t_{fi}	PFESiP/V850EP1 の入力に印加する入力電圧が 90% から 10% に立ち下がる時間の制限値を示します。

表 1 - 3 DC 特性に関する用語

項 目	略号	意 味
静消費電流	I _{DDS}	入力および出力端子の電圧変化がない状態で、規定された電源電圧において電源端子から流れ込む電流を示します。
オフステート出力電流	I _{OZ}	3 ステート出力で出力がハイ・インピーダンスのとき、規定された電圧において出力端子を流れる電流を示します。
出力短絡電流	I _{OS}	出力ハイ・レベルのときに、出力端子を GND と短絡した場合に流れ出す電流。
入力リーク電流	I _{LI}	入力端子に電圧を印加したときに、入力端子を流れる電流を示します。
ロー・レベル出力電流	I _{OL}	規定されたロー・レベル出力電圧において、出力端子へ流れ込む電流を示します。
ハイ・レベル出力電流	I _{OH}	規定されたハイ・レベル出力電圧において、出力端子から流れ出す電流を示します。
ロー・レベル出力電圧	V _{OL}	ロー・レベル状態にある、出力オープン時の出力電圧を示します。
ハイ・レベル出力電圧	V _{OH}	ハイ・レベル状態にある、出力オープン時の出力電圧を示します。

1.2 絶対最大定格

表 1 - 4 絶対最大定格

項 目	略号	条 件	定 格	単位
電源電圧	V _{DD}	1.5 V 系	-0.5 ~ +2.0	V
		3.3 V 系	-0.5 ~ +4.6	V
入出力電圧	V _I /V _O	3.3 V バッファ V _I /V _O < V _{DD} + 0.5 V	-0.5 ~ +4.6	V
出力電流 (3.3 V バッファ)	I _O	6 mA タイプ (TDOPAC33xx06 相当)	21	mA
		9 mA タイプ (TDOPAC33xx09 相当)	29	mA
		12 mA タイプ (TDOPAC33xx12 相当)	45	mA
		18 mA タイプ (TDOPAC33xx18 相当)	58	mA
アナログ入力電圧	V _{WASN}	ANI-ANI7 端子, AV _{DD} = 3.3 V ± 0.3 V	-0.3 ~ AV _{DD} +0.3 注	V
A/D コンバータ基準入力電圧	AV _{REFP}		-0.3 ~ AV _{DD} +0.3 注	V
	AV _{REFM}		-0.3 ~ +0.3	V
動作周囲温度	T _A		-40 ~ +85	°C
保存温度	T _{stg}		-65 ~ +150	°C

注 それぞれの電源電圧の絶対最大定格 (MAX. 値) を越えないようにしてください。

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。

必ずこの定格値を越えない状態で製品をご使用ください。

備考 入出力端子への 2.5 V または 3.3 V 電圧の印加は、必ず電源電圧が確定してから行ってください。

1.3 推奨動作範囲

表 1 - 5 推奨動作範囲

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	1.5 V 電源 (IV _{DD} , AV _{DD1})	1.35	1.5	1.65	V
		3.3 V 電源 (EV _{DD} , AV _{DD2})	3.0	3.3	3.6	V
ネガティブ・トリガ電圧	V _N	3.3 V バッファ	0.6		1.8	V
ポジティブ・トリガ電圧	V _P	3.3 V バッファ	1.2		2.4	V
ヒステリシス電圧	V _H	3.3 V バッファ	0.3		1.5	V
ロー・レベル入力電圧	V _{IL}	3.3 V バッファ	0		0.8	V
ハイ・レベル入力電圧	V _{IH}	3.3 V バッファ	2.0		V _{DD}	V
入力立ち上がり / 立ち下がり 時間	t _r		0		200	ns
	t _f		0		200	ns
入力立ち上がり / 立ち下がり 時間 (シュミット)	t _r		0		10	ms
	t _f		0		10	ms
動作周囲温度	T _A		0		70	°C

1.4 DC 特性

表 1 - 6 DC 特性 ($V_{DD} = 3.3 \pm 0.3 \text{ V}$, $T_A = 0 \sim +70 \text{ }^\circ\text{C}$)

項 目		略号	条 件		MIN.	TYP.	MAX.	単位
電源電流	通常時	IDD1				450	690	mA
	(200 MHz 動作時)		EVDD 端子			110	150	mA
	HALT 時	IDD2				140	300	mA
	IDLE 時	IDD3				10		mA
出力短絡電流 ^{註1}		Ios	VO = GND				-250	mA
入力リーク電流 (3.3 V バッファ)		II	VI = VDD or GND	通常入力		±10 ⁻¹	±10	μA
			VI = GND	プルアップ抵抗付き (50 kΩ)	-37	-103	-253	μA
				プルアップ抵抗付き (5 kΩ)	-305	-827	-1947	μA
			VI = VDD	プルダウン抵抗付き (50 kΩ)	26	73	175	μA
アナログ端子入力リーク電流		ILWASN	ANI0-ANI7 端子				±10	μA
ロー・レベル出力電流 (3.3 V バッファ)		IOL	VOL = 0.4 V	6 mA タイプ (TDOPAC33xx06)	6.0			mA
				9 mA タイプ (TDOPAC33xx09)	9.0			mA
				12 mA タイプ (TDOPAC33xx12)	12.0			mA
				18 mA タイプ (TDOPAC33xx18)	18.0			mA
ハイ・レベル出力電流 (3.3 V バッファ)		IOH	VOH = 2.4 V	6 mA タイプ (TDOPAC33xx06)	6.0			mA
				9 mA タイプ (TDOPAC33xx09)	9.0			mA
				12 mA タイプ (TDOPAC33xx12)	12.0			mA
				18 mA タイプ (TDOPAC33xx18)	18.0			mA
ロー・レベル出力電圧		VOL	IOL = 0 mA	3.3 V バッファ			0.1	V
ハイ・レベル出力電圧		VOH	IOL = 0 mA	3.3 V バッファ	VDD-0.1			V
差動入力感度		VDI	[(D+) - (D-)]	USB バッファ	0.2			V
コモン・モード電圧範囲		VCM	対ローカル GND リファレンス	USB バッファ	0.8		2.5	V
シングル・エンド 0 受信 スレッシュ・ホールド		VSE	注 2	USB バッファ	0.8		2.0	V
ハイ・レベル出力電圧		VOH	RL of 15 kΩ to GND	USB バッファ	2.8		3.6	V
ロー・レベル出力電圧		VOL	RL of 1.5 kΩ to 3.6 V	USB バッファ	0		0.3	V
データ・ライン Hi-Z リーク電流		ILO	0 V < VIN < 3.3 V	USB バッファ	-10		+10	μA
入力端子容量		CIN	Pin to GND	USB バッファ			20	pF

注 1. 出力短絡電流は、1 秒以下で 1 端子のみ

2. VSE はシングル・エンド・レシーバ入力レベルで、LVTTTL 規格です ($V_{IL} = 0.8 \text{ V}$, $V_{IH} = 2.0 \text{ V}$)。

備考 表中の +, - は電流の方向を示しています。デバイスに流れ込む場合が +, 流れ出す場合が - です。

1.5 プルアップ / プルダウン抵抗値

表 1 - 7 プルアップ / プルダウン抵抗値 ($V_{DD} = 3.3 \pm 0.3 \text{ V}$, $T_A = 0 \sim +70 \text{ }^{\circ}\text{C}$)

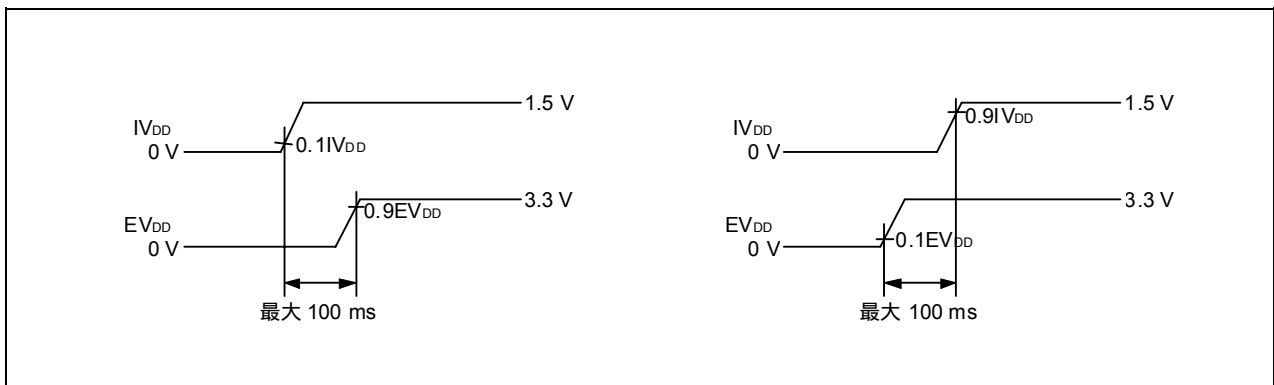
項 目	ライブラリ表現	MIN.	TYP.	MAX.	単位
プルアップ抵抗 (3.3 V バッファ)	5 k Ω	1.8	4.0	9.9	k Ω
	50 k Ω	14.2	31.9	80.7	k Ω
プルダウン抵抗 (3.3 V バッファ)	50 k Ω	20.6	44.9	116.4	k Ω

1.6 電源投入 / 遮断手順

PFESiP/V850EP1 は、内部ユニット用電源端子 (IV_{DD}) と外部端子用電源端子 (EV_{DD}) の 2 電源構成になっています。動作保証範囲以外では、入出力兼用端子の入出力状態が不定になる場合があります。

(1) 電源投入時

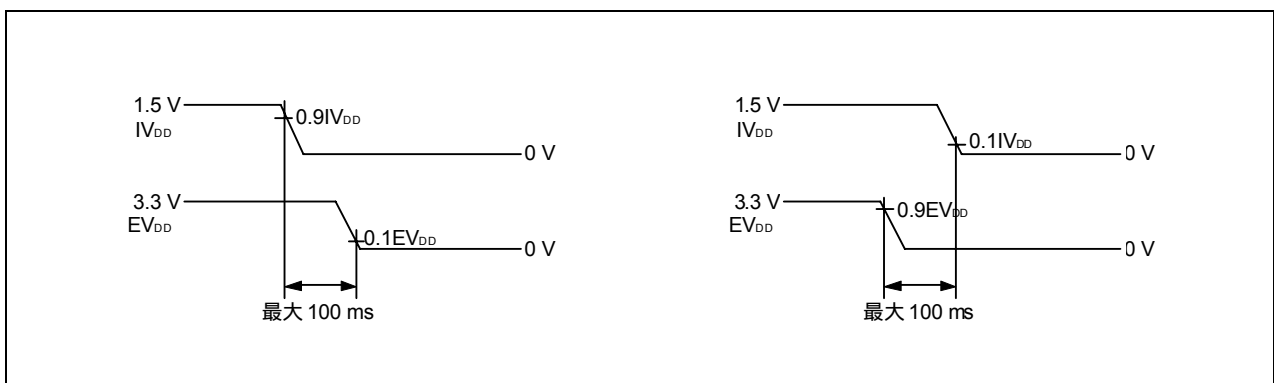
最初に立ち上がる電源のレベルが、 $0.1V_{DD}$ になった時点から、最後に立ち上がる電源のレベルが $0.9V_{DD}$ になるまでを 100 ms 以下にしてください。



なお、 EV_{DD} (3.3 V) を IV_{DD} (1.5 V) より先に立ち上げた場合、 IV_{DD} (1.5 V) が立ち上がるまで端子状態は不定になります。

(2) 電源遮断時

最初に立ち下がる電源のレベルが $0.9V_{DD}$ になった時点から、最後に立ち下がる電源のレベルが $0.1V_{DD}$ になるまでを 100 ms 以下にしてください。



1.7 AC 特性

1.7.1 クロック端子

(1) 入力クロック

表 1 - 8 入力クロック・タイミング

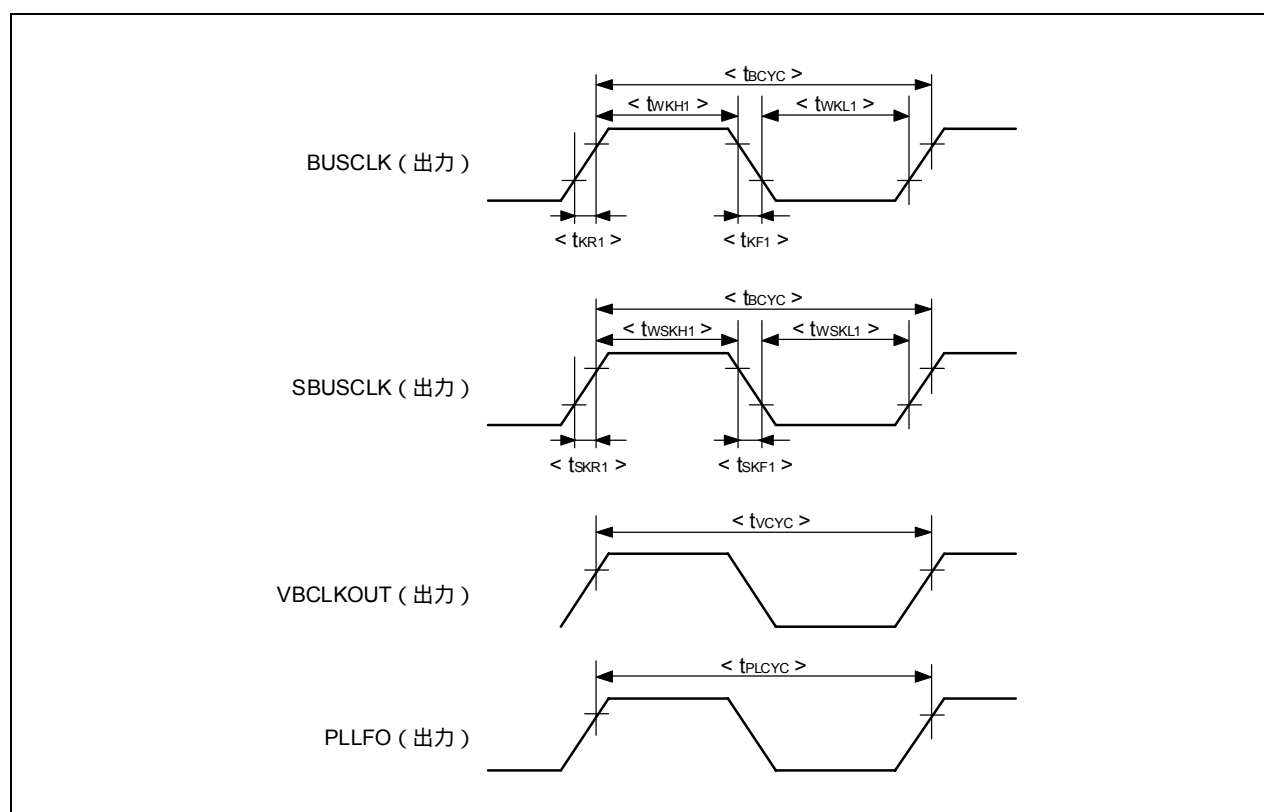
項 目	略号	条 件	MIN.	MAX.	単位
XT1 入力周期	t _{SCLK}		20.83	–	ns
PCLKIN 入力周波数	f _{SPCLK}		25	33	ns
DCK 入力周期	t _{SDCK}		40	–	ns
UCLK 入力周波数	f _{SUCLK}		48 -1500 ppm	48+1500 ppm	MHz
UCLK ハイレベル幅	t _{HWS}		8		ns
UCLK ローレベル幅	t _{LWS}		8		ns

(2) 出力クロック

表1-9 出力クロック・タイミング

項 目	略号	条 件	MIN.	MAX.	単位
BUSCLK 出力周期	t_{BCYC}	出力負荷容量：30 pF 以下	15	—	ns
BUSCLK ハイレベル幅	t_{WKH1}		0.5T-2.7	0.5T+2.7	ns
BUSCLK ローレベル幅	t_{WKL1}		0.5T-2.7	0.5T+2.7	ns
BUSCLK 立ち上がり時間	t_{KR1}			3.3	ns
BUSCLK 立ち下がり時間	t_{KF1}			3.3	ns
SBUSCLK ハイレベル幅	t_{WSKH1}		0.5T-2.1	0.5T+2.1	ns
SBUSCLK ローレベル幅	t_{WSKL1}		0.5T-2.1	0.5T+2.1	ns
SBUSCLK 立ち上がり時間	t_{SKR1}			1.85	ns
SBUSCLK 立ち下がり時間	t_{SKF1}			1.85	ns
VBCLKOUT 出力周期	t_{VCYC}	出力負荷容量：30 pF 以下	10	—	ns
PLLFO 出力周期	t_{PLCYC}	出力負荷容量：20 pF 以下	5	—	ns

図1-1 出力クロック・タイミング



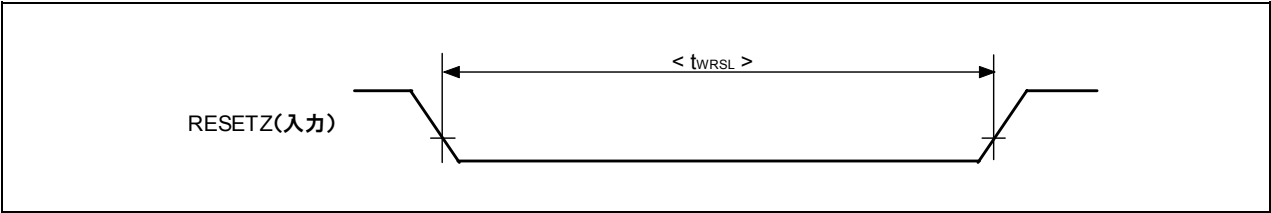
(3) リセット・タイミング

表 1 - 10 リセット・タイミング

項 目	略号	条 件	MIN.	MAX.	単位
RESETZ 端子口 - レベル幅	$t_{WRS\text{L}}$		400		ns

注意 発振安定時間については，十分に評価してください。

図1 - 2 リセット・タイミング



1.7.2 最高動作周波数の注意事項

PFESiP/V850EP1 は、動作条件によって最高動作周波数が異なります。

また、CPCLK, VBCLK, BUSCLK は整数倍の関係にあり、VBCLK は CPCLK の 1/2 以下の条件が加わります。
このため、次のように設定の組み合わせに制限があります。

表 1 - 11 PFESiP/V850EP1 の動作条件による最高動作周波数

SDRAM, 低速マスク ROM	優先クロック	クロック		
		CPCLK	VBCLK	BUSCLK
なし	CPCLK, VBCLK	200 MHz [※]	100 MHz	100 MHz
あり	CPCLK, VBCLK	200 MHz	100 MHz	50 MHz [※]
	BUSCLK	200 MHz	66.6 MHz	66.6 MHz [※]

注 周波数決定の基準となるクロックです。

注意 1. PFESiP/V850EP1 を用いた SiP 化にあたって、特に最高動作周波数については、SiP 内部の配線や、外部メモリ等の負荷により、PFESiP/V850EP1 の設計保証値は必ず実現できるものではありません。

2. PFESiP/V850EP1 の外部端子は、一定の負荷条件で電気的特性を算出しています。

PFESiP/V850EP1 を利用した応用設計では外部回路の構造などにより、この負荷条件を越える場合があります。この場合は、PFESiP/V850EP1 単体の電気的特性より劣ります。

1.7.3 外部メモリ・インタフェース端子

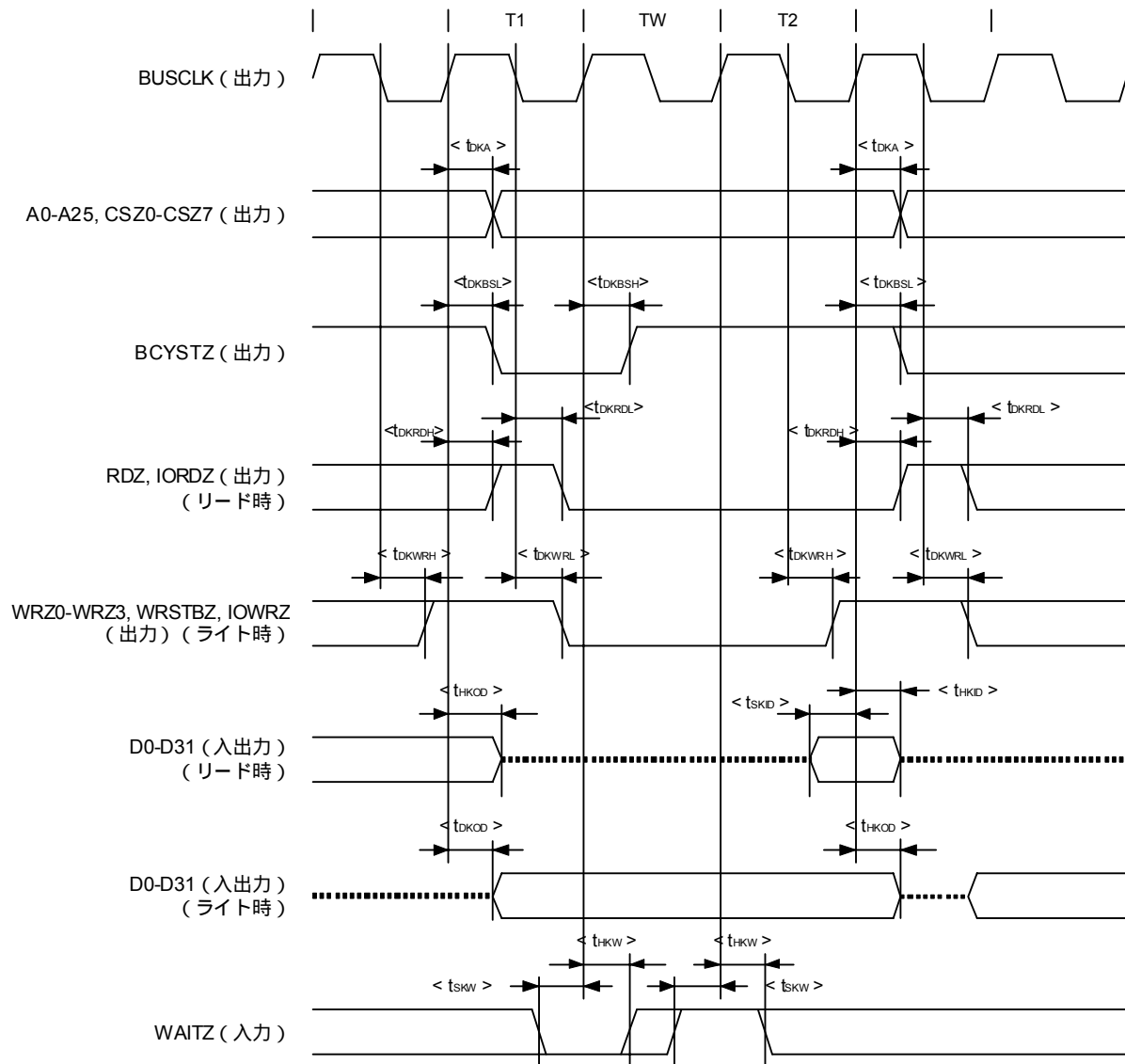
(1) アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O)

表 1 - 12 アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O)

項 目	略号	MIN.	MAX.	単位
アドレス, CSZ0-CSZ7 出力遅延時間 (対 BUSCLK↑)	t _{DKA}	1.5	11.0	ns
RDZ, IORDZ↓遅延時間 (対 BUSCLK↓)	t _{DKRDL}	1.5	11.0	ns
RDZ, IORDZ↑遅延時間 (対 BUSCLK↑)	t _{DKRDH}	1.5	11.0	ns
WRZ0-WRZ3, WRSTBZ, IOWRZ↓ (対 BUSCLK↓)	t _{DKWRL}	1.5	11.0	ns
WRZ0-WRZ3, WRSTBZ, IOWRZ↑ (対 BUSCLK↑)	t _{DKWRH}	1.5	11.0	ns
BCYSTZ↓遅延時間 (対 BUSCLK↑)	t _{DKBSL}	1.5	9.0	ns
BCYSTZ↑遅延時間 (対 BUSCLK↑)	t _{DKBSH}	1.5	9.0	ns
WAITZ 設定時間 (対 BUSCLK↑)	t _{SKW}	3.0	—	ns
WAITZ 保持時間 (対 BUSCLK↑)	t _{HKW}	1.0	—	ns
データ入力設定時間 (対 BUSCLK↑)	t _{SKID}	3.8	—	ns
データ入力保持時間 (対 BUSCLK↑)	t _{HKID}	1.0	—	ns
データ出力遅延時間 (対 BUSCLK↑)	t _{DKOD}	1.5	11.0	ns
データ・フロート遅延時間 (対 BUSCLK↑)	t _{HKOD}	1.5	11.0	ns

(a) 基本アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O)

図1 - 3 基本アクセス・タイミング (SRAM, 外部ROM, 外部I/O)

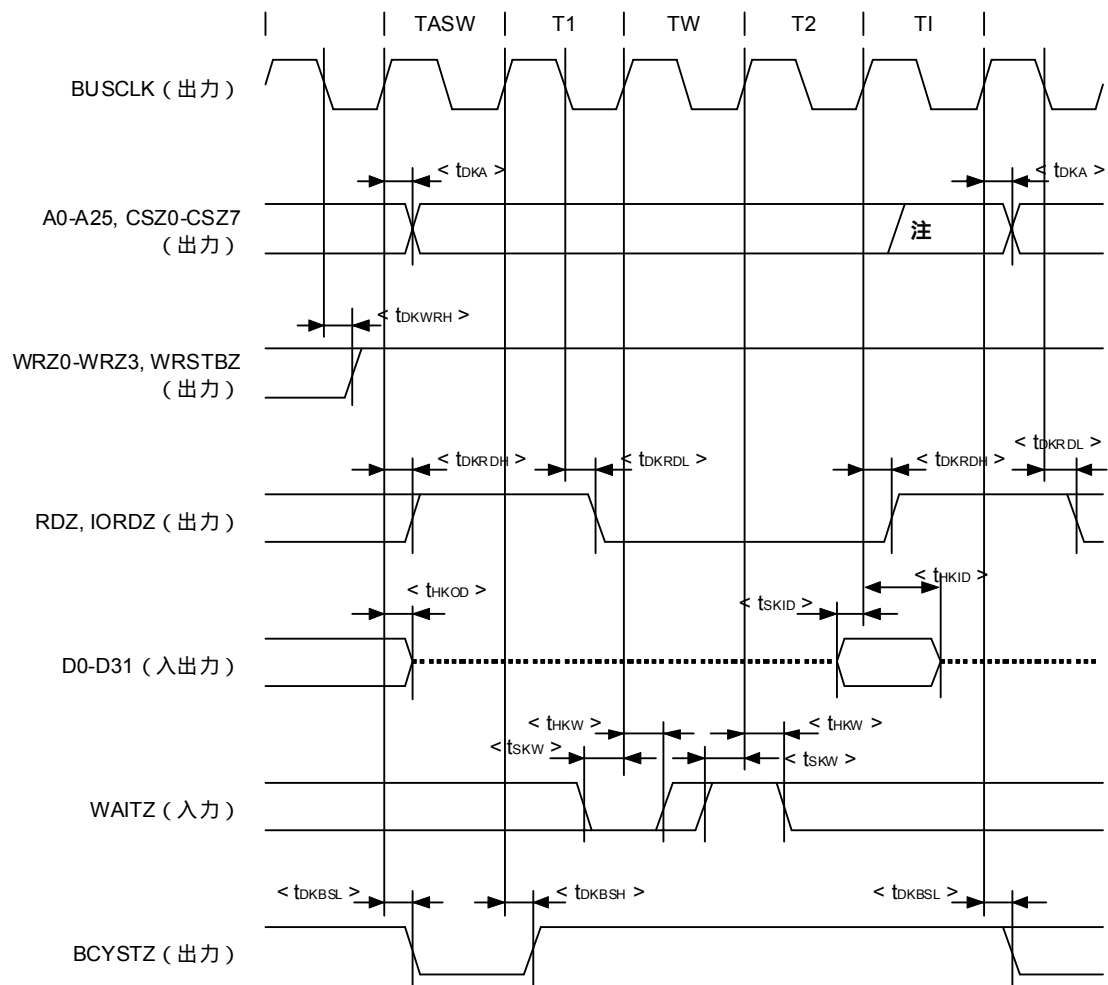


備考 1. DWC0, DWC1 レジスタによるウェイト数が 0 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

(b) リード・タイミング (SRAM, 外部 ROM, 外部 I/O)

図1-4 リード・タイミング (SRAM, 外部ROM, 外部I/O)



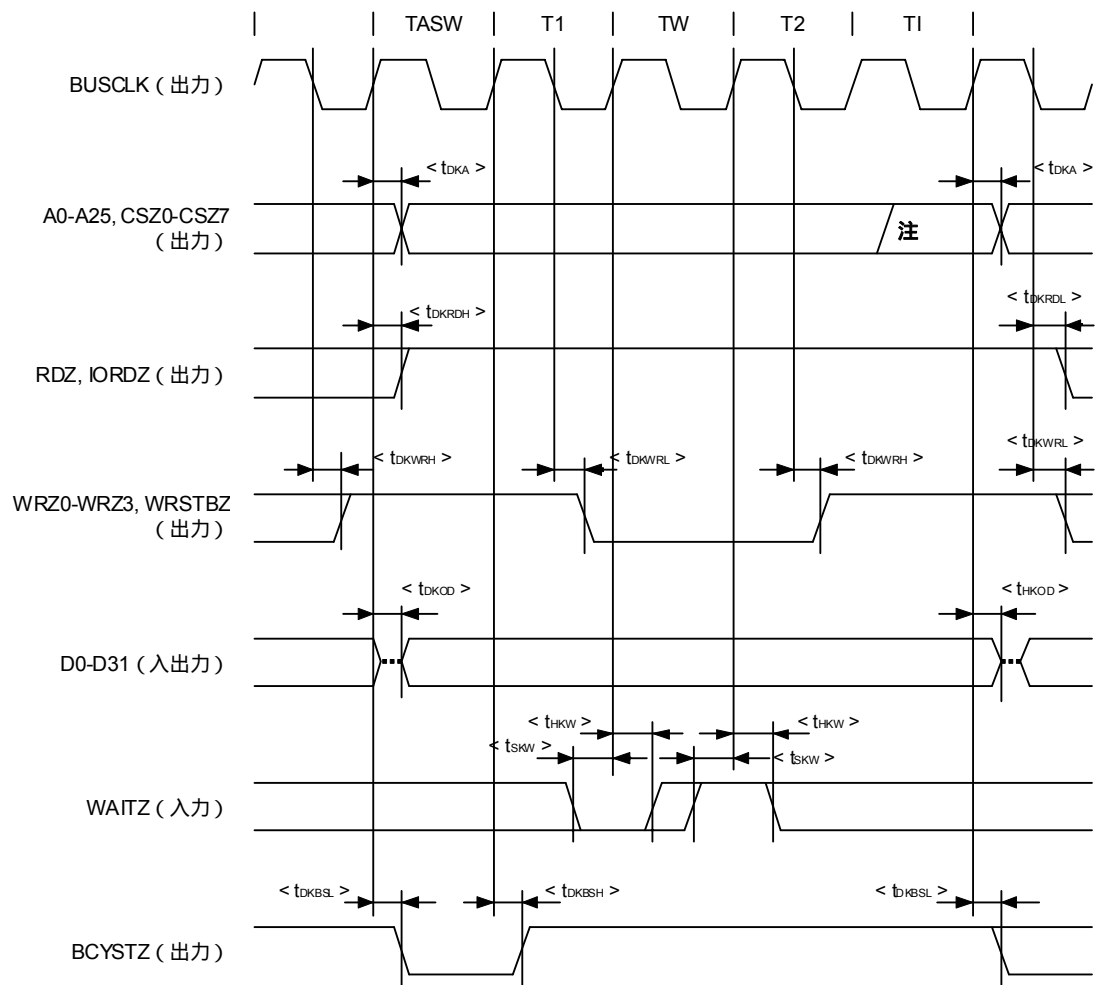
注 CSZ0-CSZ7 の場合

備考 1. DWC0, DWC1 レジスタによるウェイト数が0, BCC レジスタによるアイドル・ステート数が1, ASC レジスタによるウェイト数が1 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

(c) ライト・タイミング (SRAM, 外部 ROM, 外部 I/O)

図1 - 5 ライト・タイミング (SRAM, 外部ROM, 外部I/O)



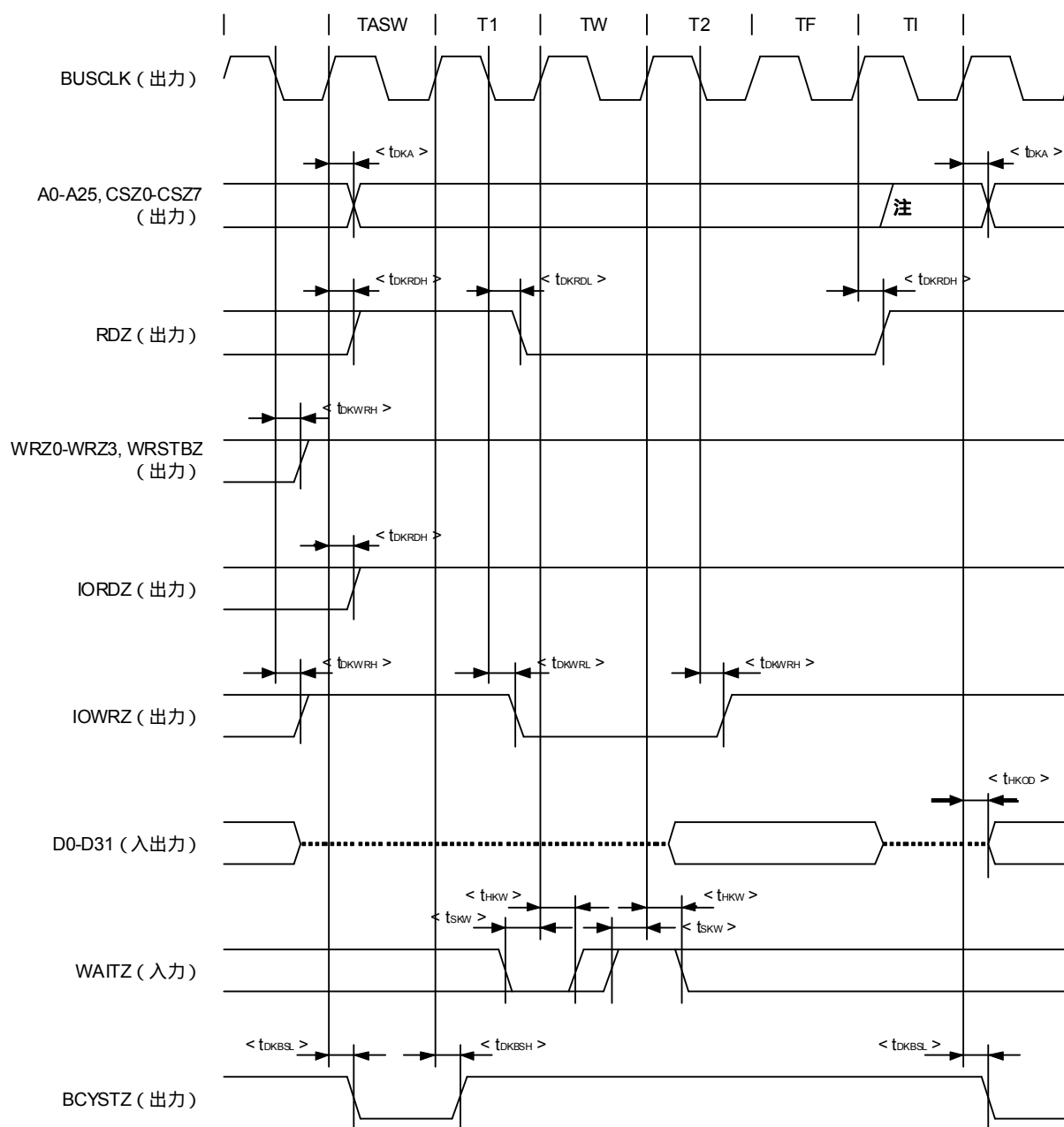
注 CSZ0-CSZ7 の場合

備考 1. DWC0, DWC1 レジスタによるウェイト数が 0, BCC レジスタによるアイドル・ステート数が 1, ASC レジスタによるウェイト数が 1 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

2. 破線はハイ・インピーダンスを示します。

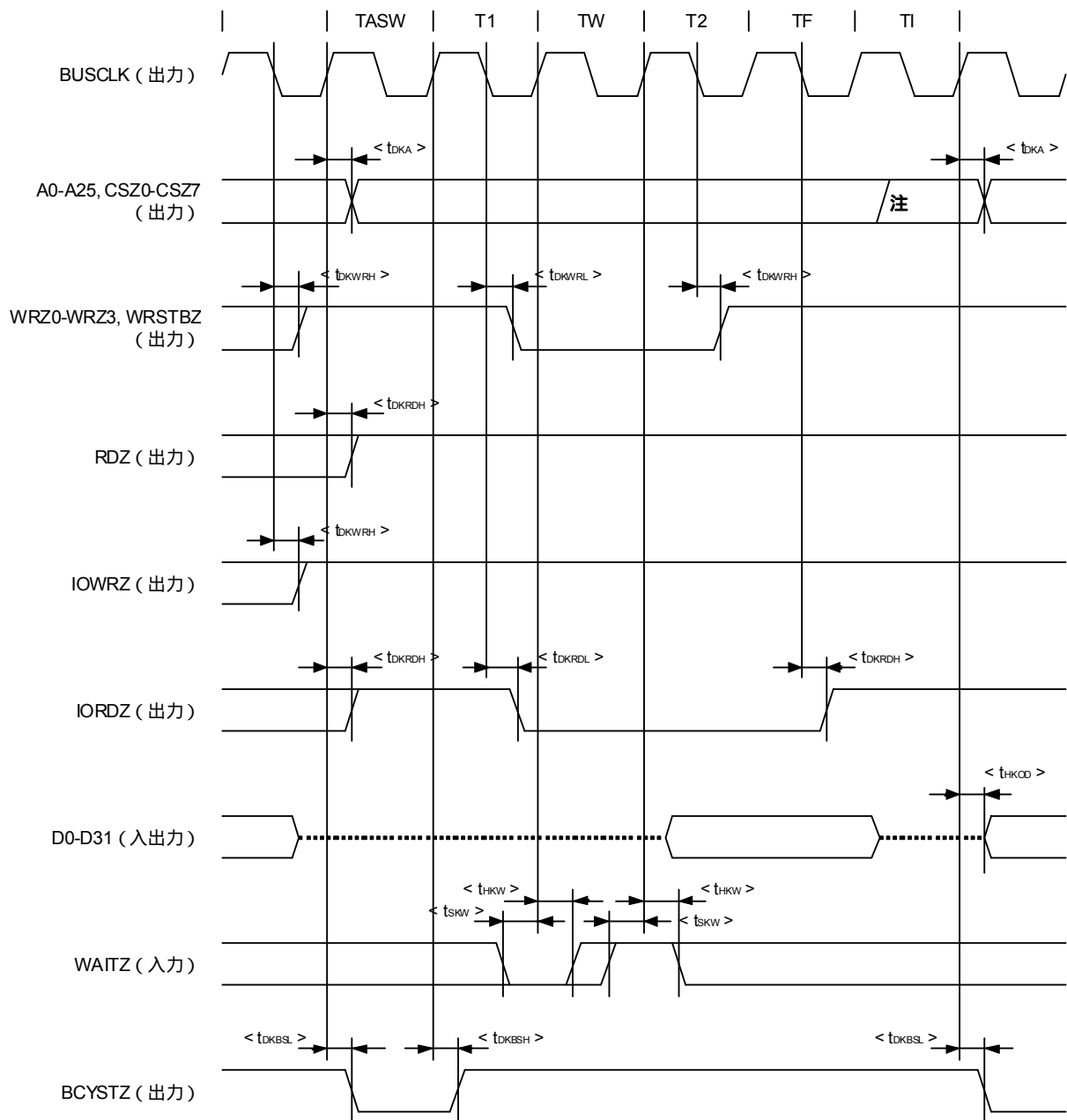
図1 - 6 DMAフライバイ転送タイミング (SRAM→外部I/O)



注 CSZ0-CSZ7 の場合

(e) DMA フライバイ転送タイミング (外部 I/O → SRAM 転送)

図1-7 DMAフライバイ転送タイミング (外部I/O → SRAM転送)



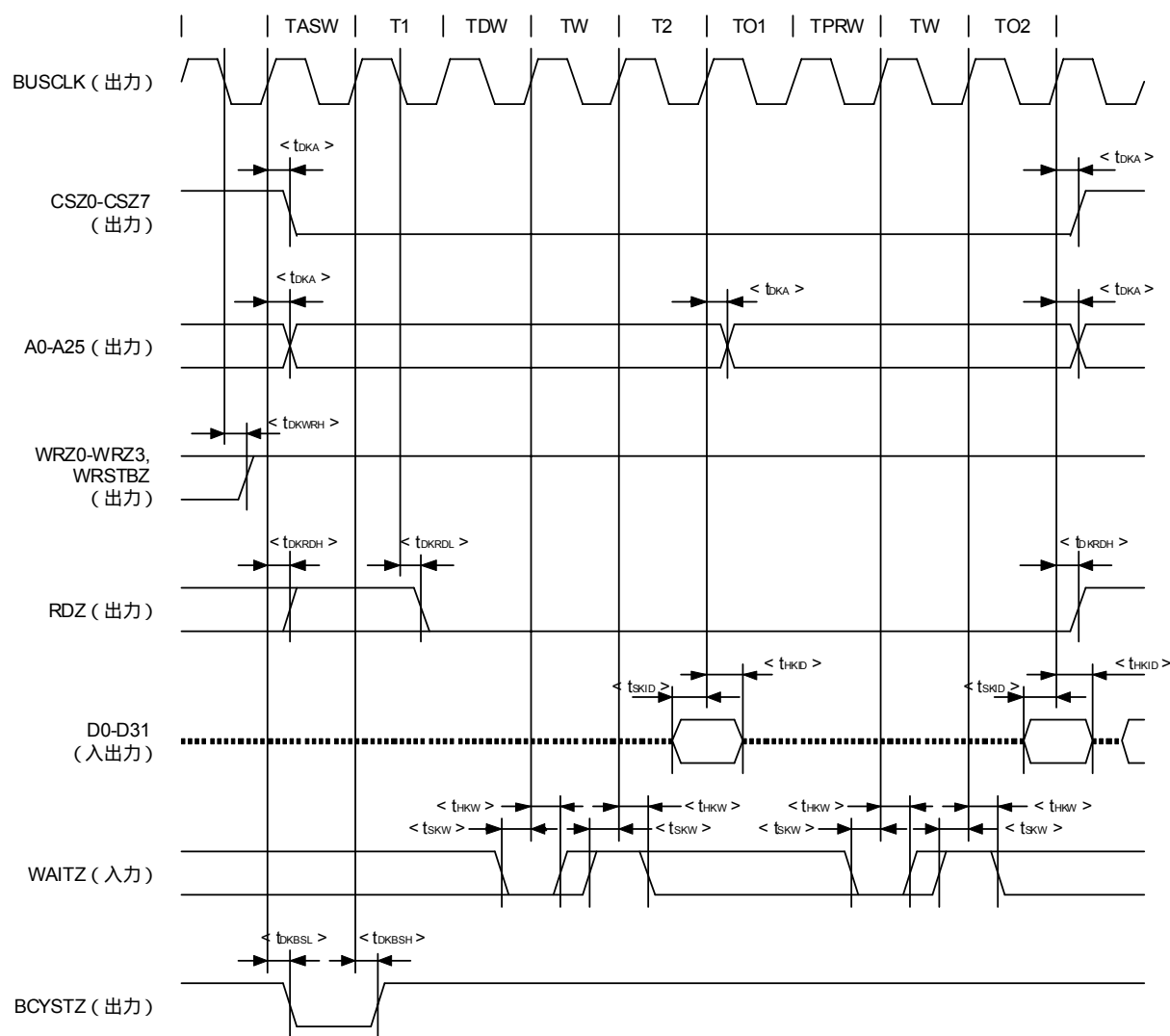
注 CSZ0-CSZ7 の場合

備考 1. DWC0, DWC1 レジスタによるウェイト数が 0, BCC レジスタによるアイドル・ステート数が 1, ASC レジスタによるウェイト数が 1 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

(f) ページ ROM アクセス・タイミング

図1 - 8 ページROMアクセス・タイミング



備考 1. DWC0, DWC1 レジスタによるウェイト数が 0, BCC レジスタによるアイドル・ステート数が 1, ASC レジスタによるウェイト数が 1 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

(2) SDRAM アクセス・タイミング

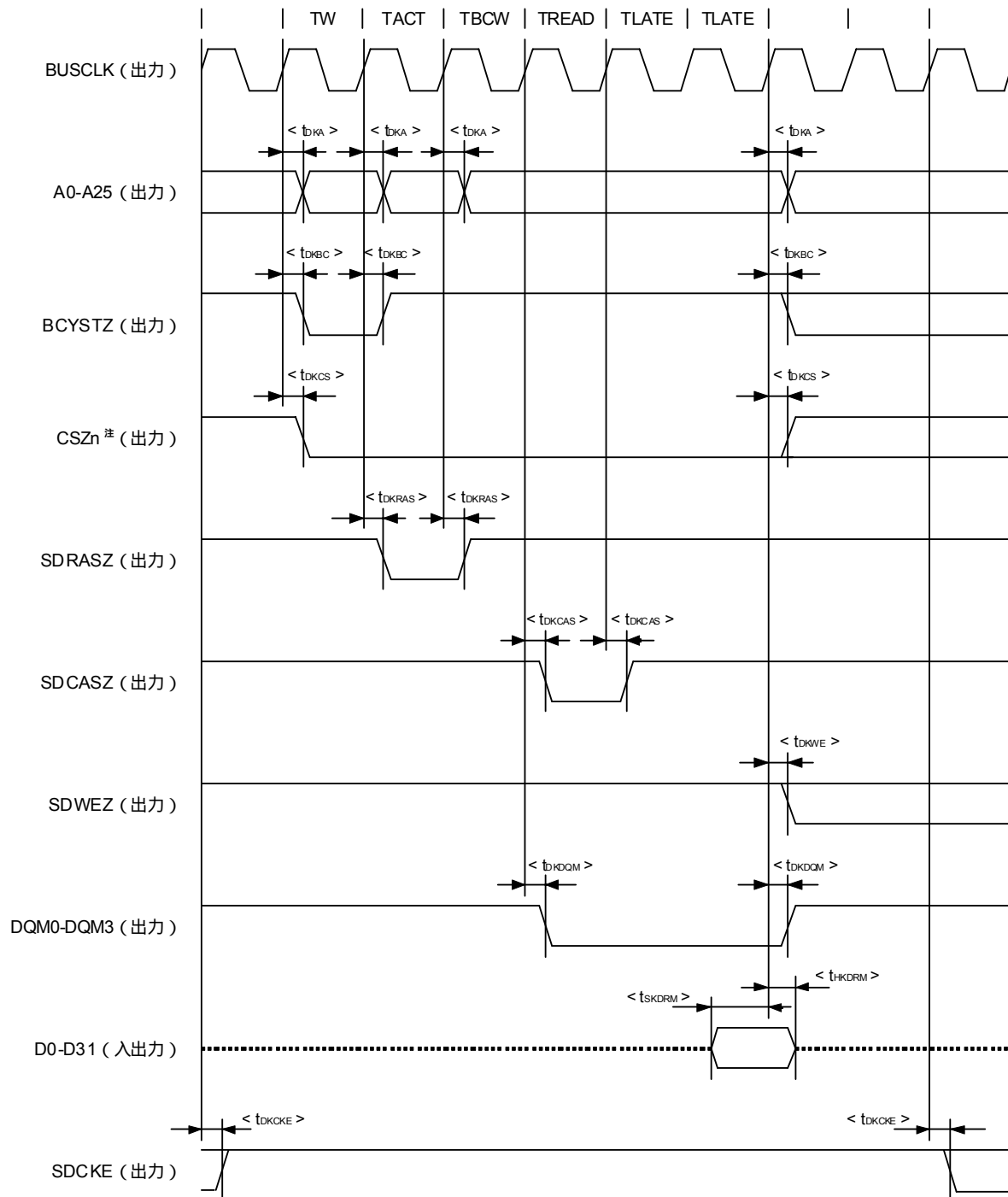
表 1 - 13 SDRAM アクセス・タイミング

項 目	略号	MIN.	MAX.	単位
アドレス遅延時間 (対 BUSCLK↑)	t _{DKA}	1.5	11.0	ns
BCYSTZ 遅延時間 (対 BUSCLK↑)	t _{DKBC}	1.5	9.0	ns
CSZn [※] 遅延時間 (対 BUSCLK↑)	t _{DKCS}	1.5	11.0	ns
SDRASZ 遅延時間 (対 BUSCLK↑)	t _{DKRAS}	1.5	11.0	ns
SDCASZ 遅延時間 (対 BUSCLK↑)	t _{DKCAS}	1.5	11.0	ns
SDWEZ 遅延時間 (対 BUSCLK↑)	t _{DKWE}	1.5	11.0	ns
DQM0-DQM3 遅延時間 (対 BUSCLK↑)	t _{DKDQM}	1.5	11.0	ns
SDCKE (対 BUSCLK↑)	t _{DKCKE}	1.5	11.0	ns
データ入力設定時間 (SDRAM リード時, 対 BUSCLK↑)	t _{SKDRM}	3.8	—	ns
データ入力保持時間 (SDRAM リード時, 対 BUSCLK↑)	t _{HKDRM}	1.0	—	ns
データ出力遅延時間 (対 BUSCLK↑)	t _{DKDT1}	1.5	11.0	ns
	t _{DKDT2}	1.5	11.0	ns
データ・フロート遅延時間 (対 BUSCLK↑)	t _{HZKDT}	1.5	11.0	ns
REFRQZ 時間 (対 BUSCLK↑)	t _{DKREF}	1.5	11.0	ns

注 n = 1, 3, 4, 6

(a) リード・タイミング (SDRAM アクセス)

図1-9 リード・タイミング (SDRAMアクセス)



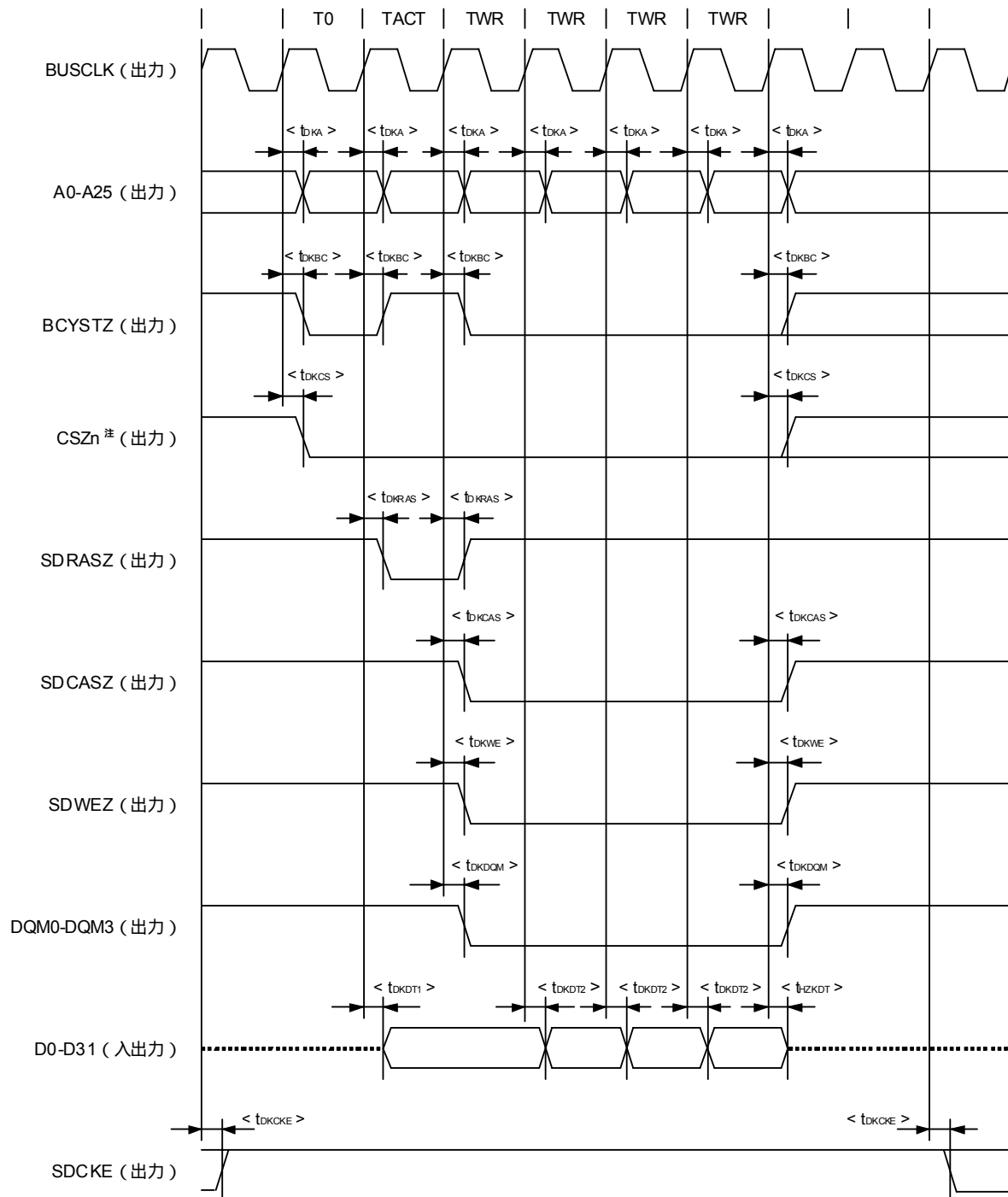
注 $n = 1, 3, 4, 6$

備考 1. SCRN レジスタの BCW1n, BCW0n ビットによるウェイト数 (TBCW)

2. 破線はハイ・インピーダンスを示します。

(b) ライト・タイミング (SDRAM アクセス)

図1 - 10 ライト・タイミング (SDRAMアクセス)

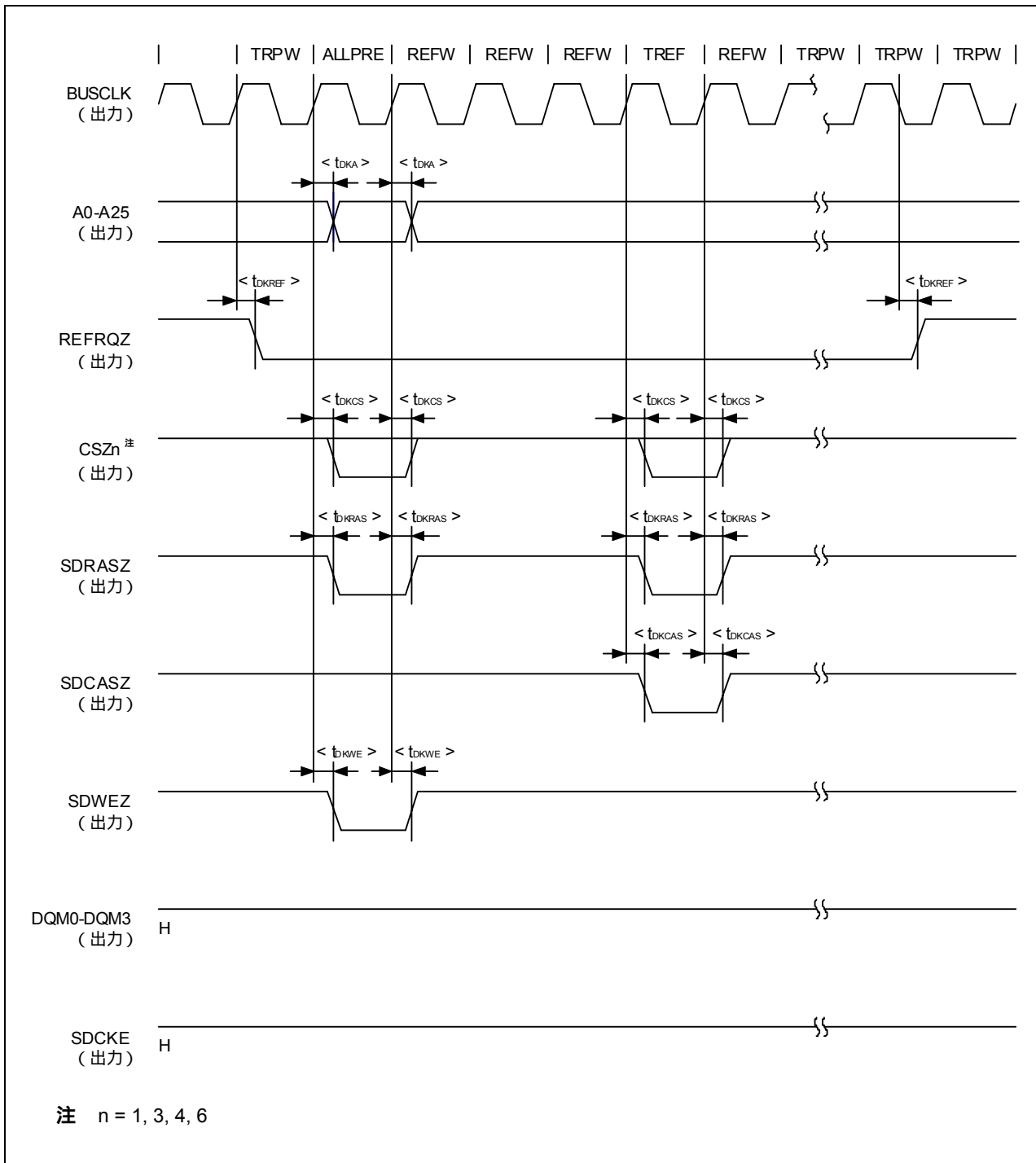


注 $n = 1, 3, 4, 6$

備考 破線はハイ・インピーダンスを示します。

(c) リフレッシュ・タイミング (SDRAM アクセス)

図1-11 リフレッシュ・タイミング (SDRAMアクセス)



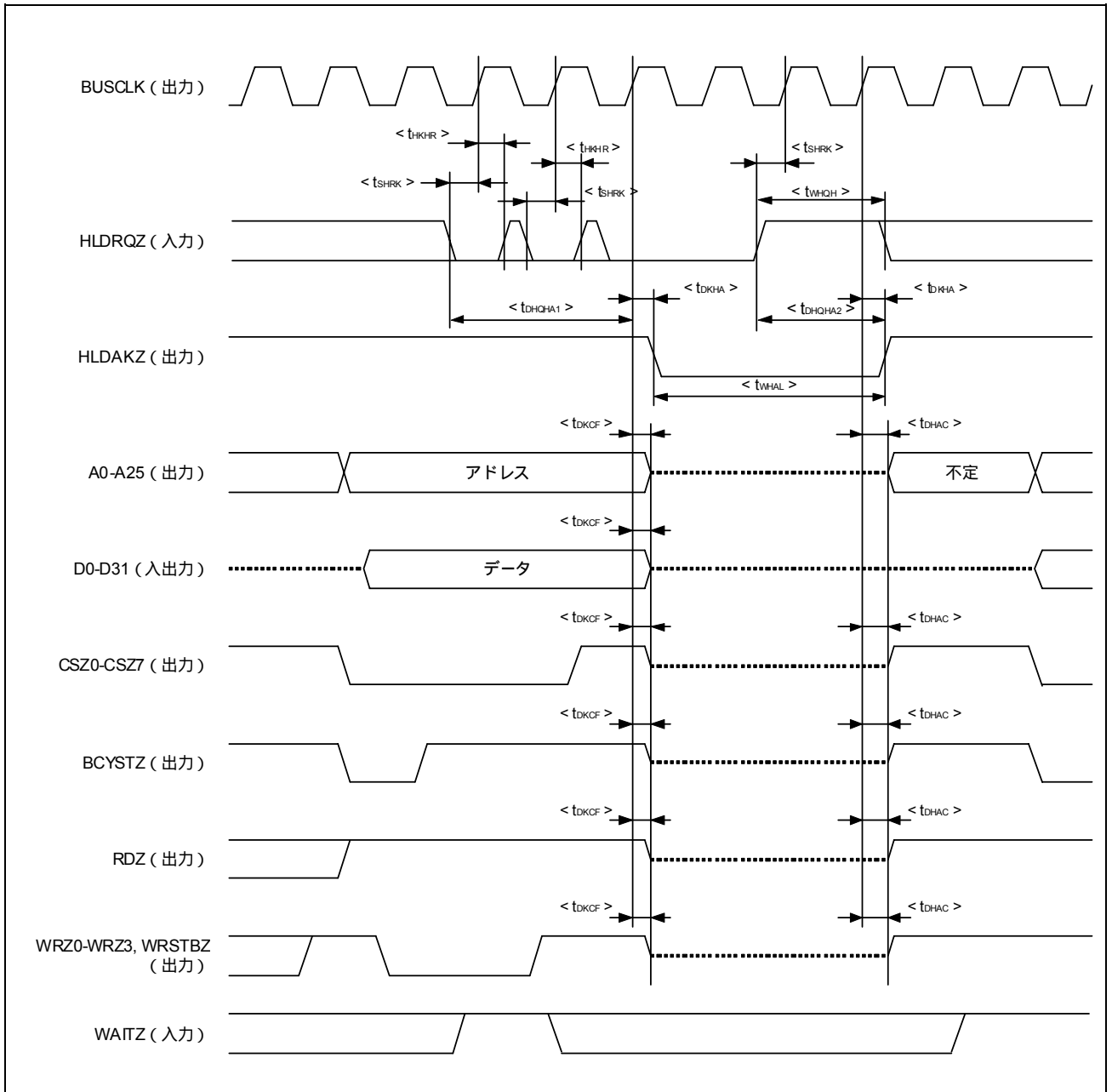
(3) バス・ホールド・タイミング

表 1 - 14 バス・ホールド・タイミング

項 目	略 号	MIN.	MAX.	単位
HLDRQZ 設定時間 (対 BUSCLK↑)	t _{SHRK}	3.8	—	ns
HLDRQZ 保持時間 (対 BUSCLK↑)	t _{HKHR}	2.0	—	ns
BUSCLK↑→HLDKZ 遅延時間	t _{DKHA}	1.5	11.0	ns
HLDRQZ ハイ・レベル幅	t _{WHQH}	$5.8 + t_{BCLK}$	—	ns
HLDKZ ロー・レベル幅	t _{WHAL}	$-9.5 + t_{BCLK}$	—	ns
BUSCLK↑→バス・フロート遅延時間	t _{DKCF}	1.5	—	ns
BUSCLK↑→バス出力遅延時間	t _{DHAC}	1.5	13.0	ns
HLDRQZ↓→HLDKZ↓遅延時間	t _{DHQHA1}	$1.5 \times t_{BCLK}$	—	ns
HLDRQZ↑→HLDKZ↑遅延時間	t _{DHQHA2}	$0.5 \times t_{BCLK}$	$3 \times t_{BCLK} + 3.8$	ns

備考 t_{BCLK} : BUSCLK の周期

図1 - 12 バス・ホールド・タイミング



1.7.4 SiP 内部接続バス・インタフェース端子

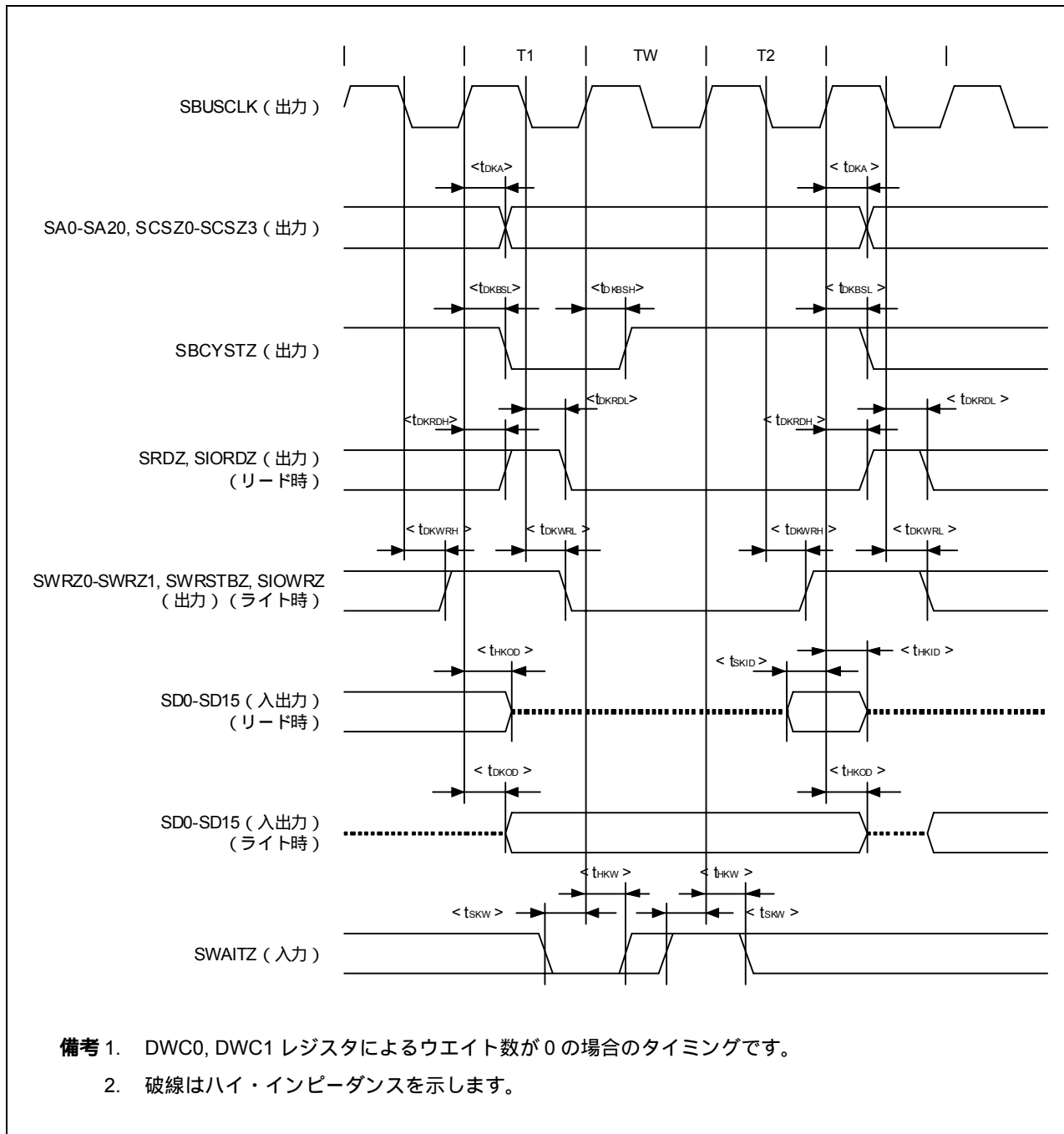
(1) アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O)

表 1 - 15 アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O)

項 目	略号	MIN.	MAX.	単位
アドレス, SCSZ0-SCSZ3 出力遅延時間 (対 SBUSCLK↑)	t _{DKA}	1.5	11.0	ns
SRDZ, SIORDZ↓遅延時間 (対 SBUSCLK↓)	t _{DKRDL}	1.5	11.0	ns
SRDZ, SIORDZ↑遅延時間 (対 SBUSCLK↑)	t _{DKRDH}	1.5	11.0	ns
SWRZ0-SWRZ1, SWRSTBZ, SIOWRZ↓ (対 SBUSCLK↓)	t _{DKWRL}	1.5	11.0	ns
SWRZ0-SWRZ1, SWRSTBZ, SIOWRZ↑ (対 SBUSCLK↓)	t _{DKWRH}	1.5	11.0	ns
SBCYSTZ↓遅延時間 (対 SBUSCLK↑)	t _{DKBSL}	1.5	8.0	ns
SBCYSTZ↑遅延時間 (対 SBUSCLK↑)	t _{DKBSH}	1.5	8.0	ns
SWAITZ 設定時間 (対 SBUSCLK↑)	t _{SKW}	3.0	—	ns
SWAITZ 保持時間 (対 SBUSCLK↑)	t _{HKW}	1.0	—	ns
データ入力設定時間 (対 SBUSCLK↑)	t _{SKID}	3.0	—	ns
データ入力保持時間 (対 SBUSCLK↑)	t _{HKID}	2.0	—	ns
データ出力遅延時間 (対 SBUSCLK↑)	t _{DKOD}	1.5	11.0	ns
データ・フロート遅延時間 (対 SBUSCLK↑)	t _{HKOD}	1.5	11.0	ns

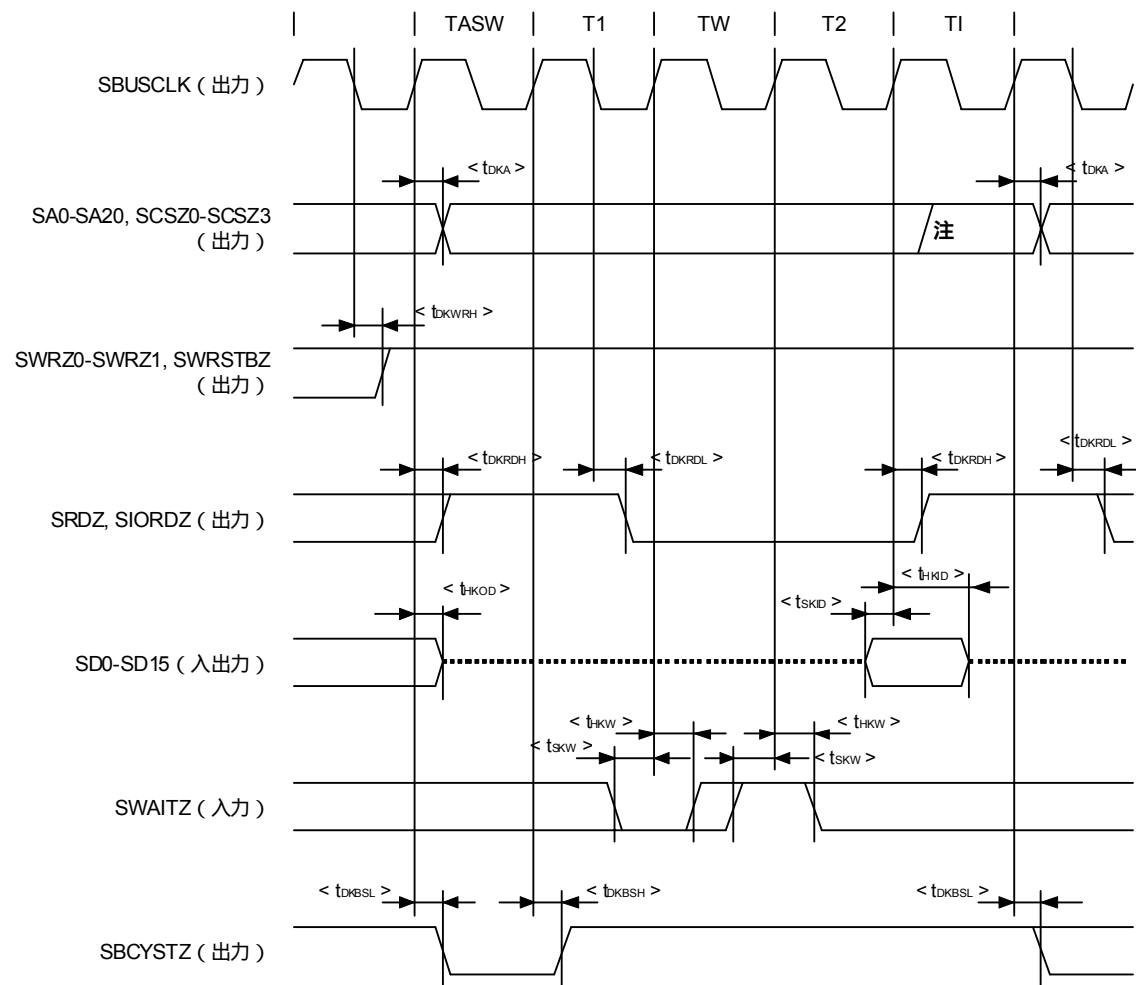
(a) 基本アクセス・タイミング (SRAM, 外部 ROM, 外部 I/O)

図1 - 13 基本アクセス・タイミング (SRAM, 外部ROM, 外部I/O)



(b) リード・タイミング (SRAM, 外部 ROM, 外部 I/O)

図1 - 14 リード・タイミング (SRAM, 外部ROM, 外部I/O)



注 SCSZ0-SCSZ3 の場合

備考 1. DWC0, DWC1 レジスタによるウェイト数が0, BCC レジスタによるアイドル・ステート数が1, ASC レジスタによるウェイト数が1 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

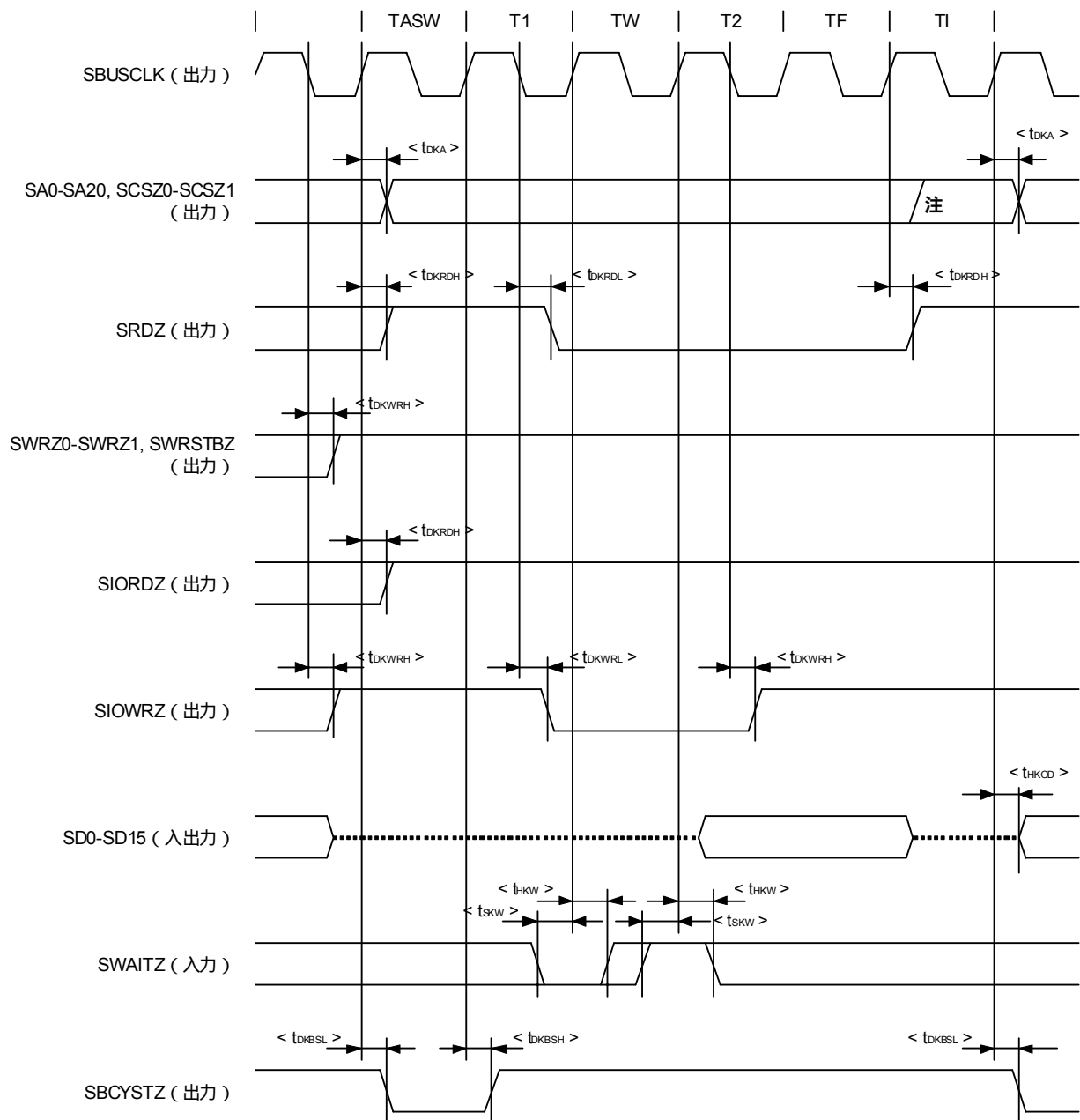
Timing diagram for the SBCYSTZ pin. The diagram shows the relationship between SBCYSTZ (output), SWAITZ (input), and several status/output pins: SBUSCLK, SA0-SA20/SCSZ0-SCSZ3, SRDZ/SIORDZ, and SWRZ0-SWRZ1/SWRSTBZ. The diagram is divided into sections by time intervals: TASW, T1, TW, T2, and T1. Various timing parameters are indicated with arrows and labels: $\langle t_{dKA} \rangle$, $\langle t_{dKRDH} \rangle$, $\langle t_{dKWRH} \rangle$, $\langle t_{dKWRL} \rangle$, $\langle t_{dKOD} \rangle$, $\langle t_{dKBSL} \rangle$, $\langle t_{dKBSH} \rangle$, $\langle t_{dKW} \rangle$, and $\langle t_{dKSW} \rangle$. A note "注" (Note) is present in the SA0-SA20/SCSZ0-SCSZ3 section.

備考 1. DWC0, DWC1 レジスタによるウェイト数が 0, BCC レジスタによるアイドル・ステート数が 1, ASC レジスタによるウェイト数が 1 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

(d) DMA フライバイ転送タイミング (SRAM→外部 I/O)

図1 - 16 DMAフライバイ転送タイミング (SRAM→外部I/O)



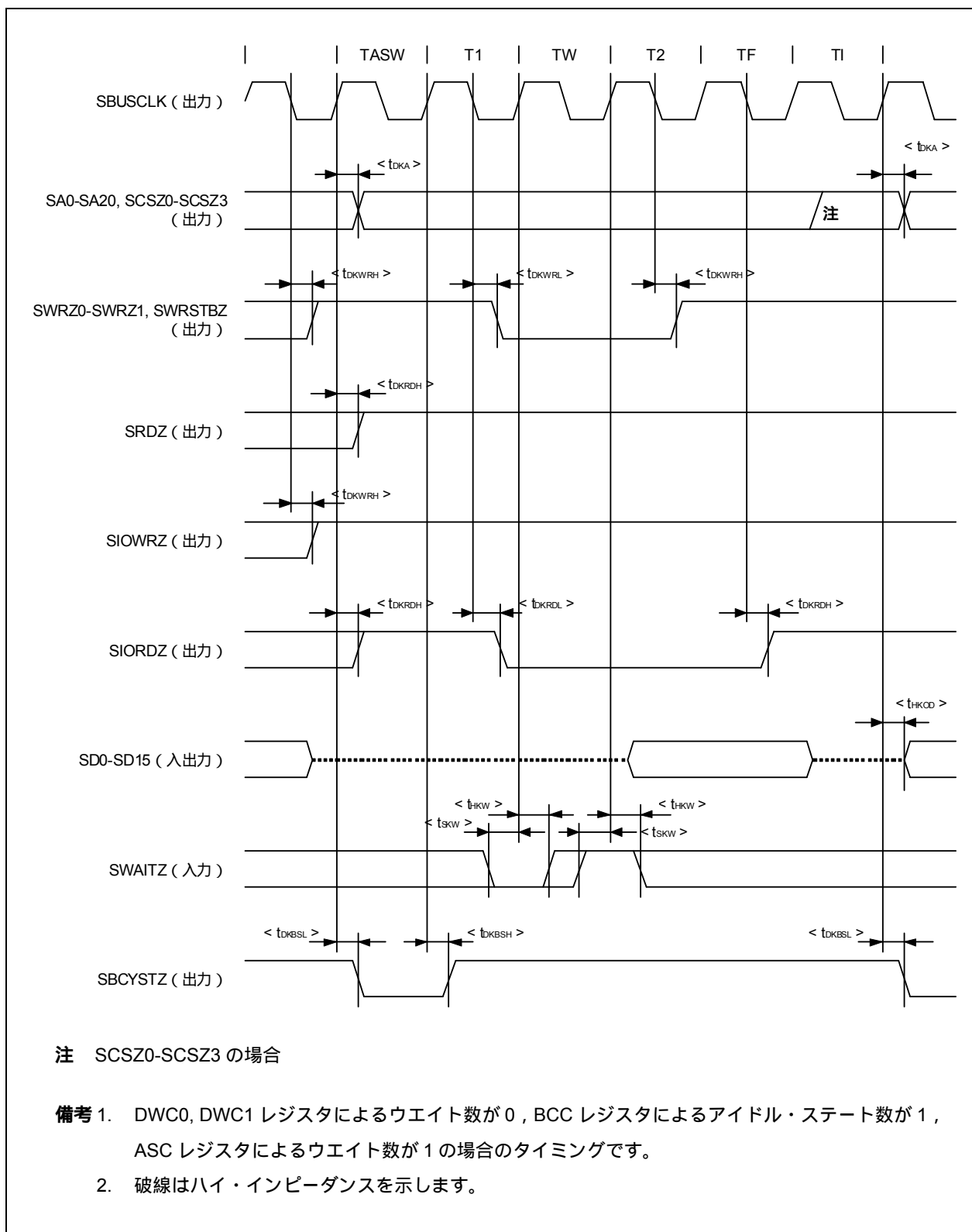
注 SCSZ0-SCSZ3 の場合

備考 1. DWC0, DWC1 レジスタによるウェイト数が 0, BCC レジスタによるアイドル・ステート数が 1, ASC レジスタによるウェイト数が 1 の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

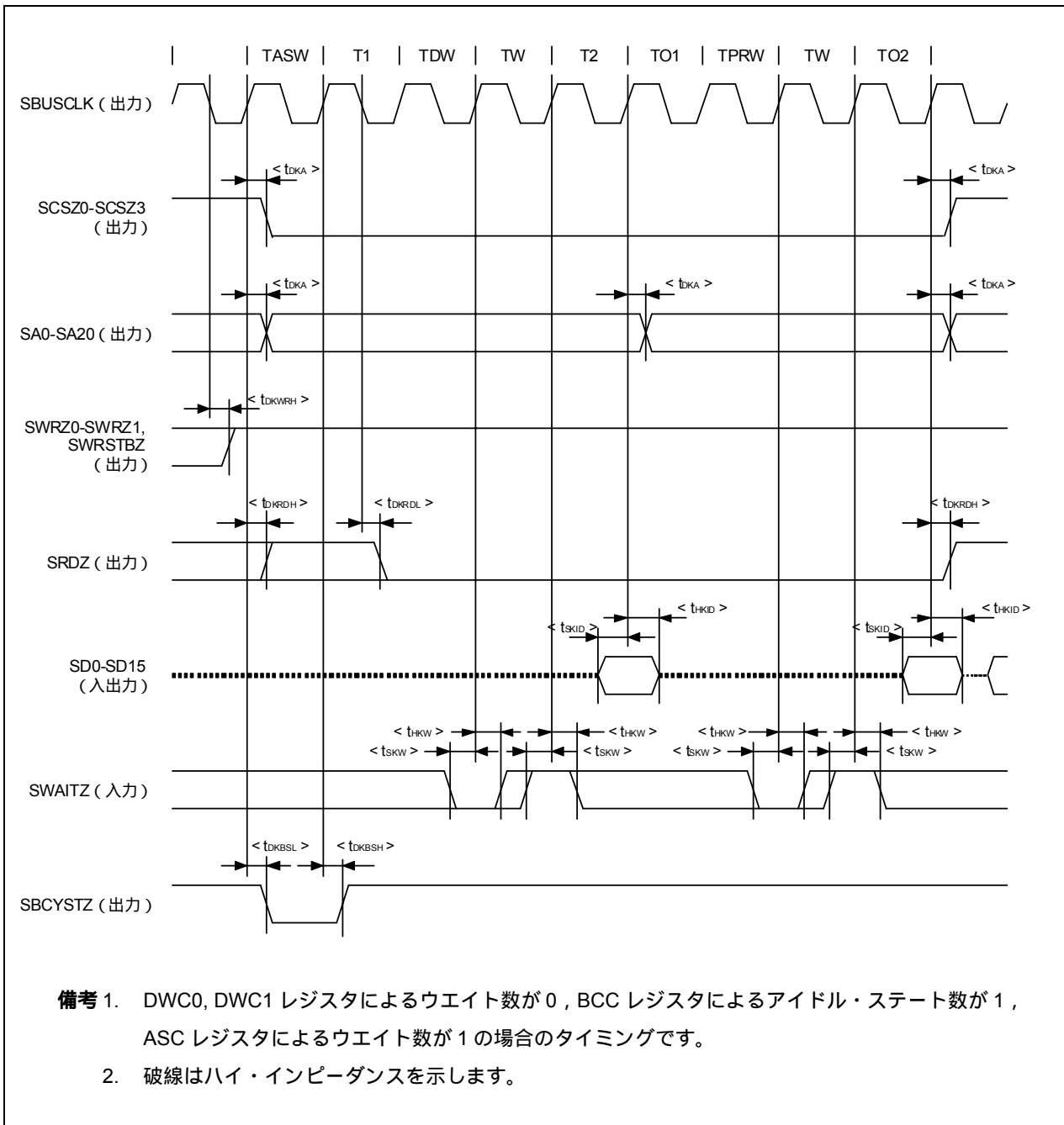
(e) DMA フライバイ転送タイミング (外部 I/O → SRAM 転送)

図1 - 17 DMAフライバイ転送タイミング（外部I/O→SRAM転送）



(f) ページROM アクセス・タイミング

図1-18 ページROMアクセス・タイミング



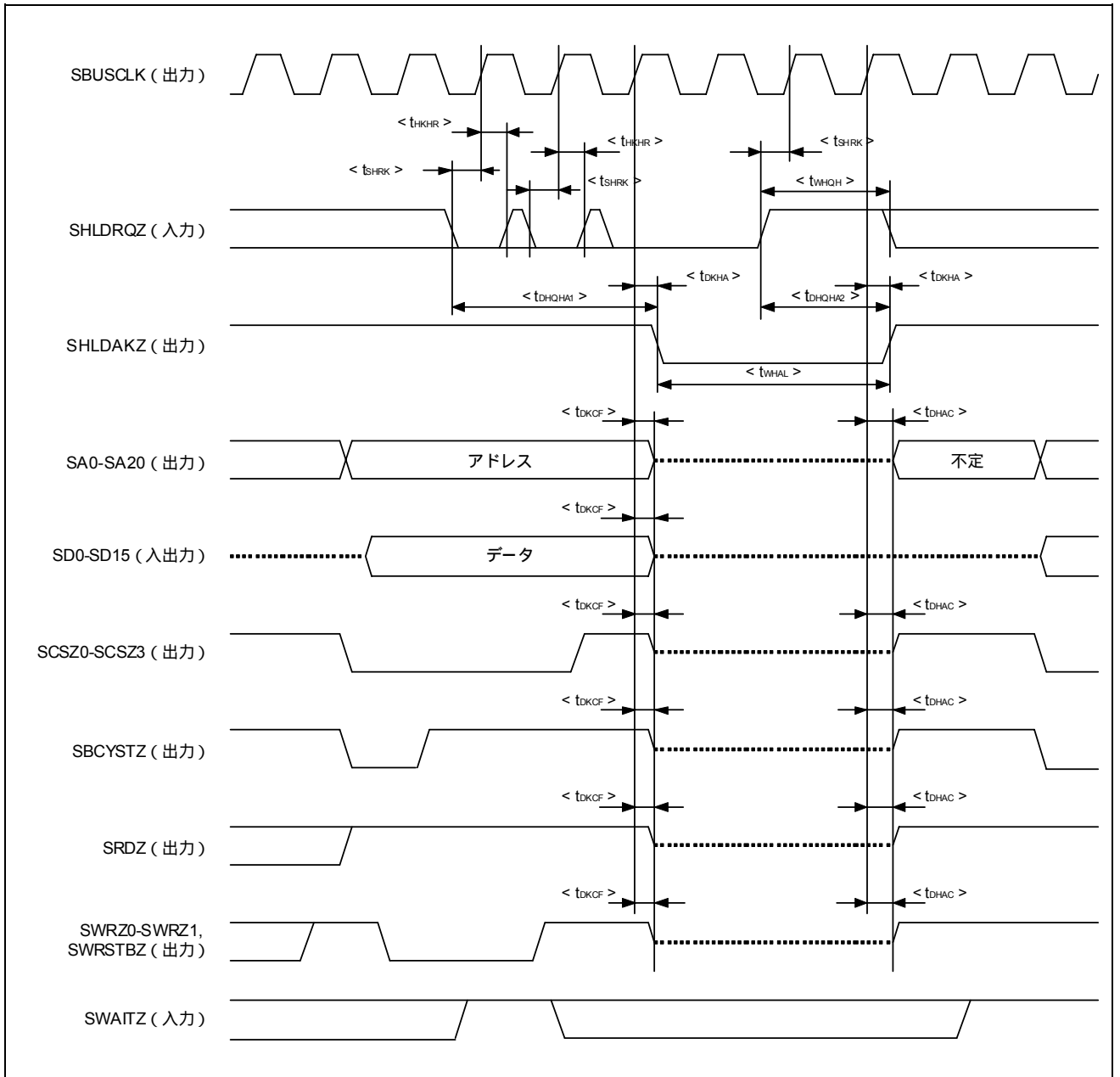
(2) バス・ホールド・タイミング

表 1 - 16 バス・ホールド・タイミング

項 目	略 号	MIN.	MAX.	単位
SHLDRQZ 設定時間 (対 SBUSCLK↑)	t _{SHRK}	3.8	—	ns
SHLDRQZ 保持時間 (対 SBUSCLK↑)	t _{HKHR}	2.0	—	ns
SBUSCLK↑→SHLDAKZ 遅延時間	t _{DKHA}	1.5	11.0	ns
SHLDRQZ ハイ・レベル幅	t _{WHQH}	$5.8 + t_{BCLK}$	—	ns
SHLDAKZ ロー・レベル幅	t _{WHAL}	$-9.5 + t_{BCLK}$	—	ns
SBUSCLK↑→バス・フロート遅延時間	t _{DKCF}	1.5	—	ns
SBUSCLK↑→バス出力遅延時間	t _{DHAC}	1.5	13.0	ns
SHLDRQZ↓→SHLDAKZ↓遅延時間	t _{DHQA1}	$1.5 \times t_{BCLK}$	—	ns
SHLDRQZ↑→SHLDAKZ↑遅延時間	t _{DHQA2}	$0.5 \times t_{BCLK}$	$3 \times t_{BCLK} + 3.8$	ns

備考 t_{BCLK} : SBUSCLK の周期

図1 - 19 バス・ホールド・タイミング



1.7.5 DMA インタフェース端子

(1) BUSCLK 同期系信号

シングル転送における2回目のDMA要求転送禁止タイミングを示します。

表 1 - 17 BUSCLK 同期系信号

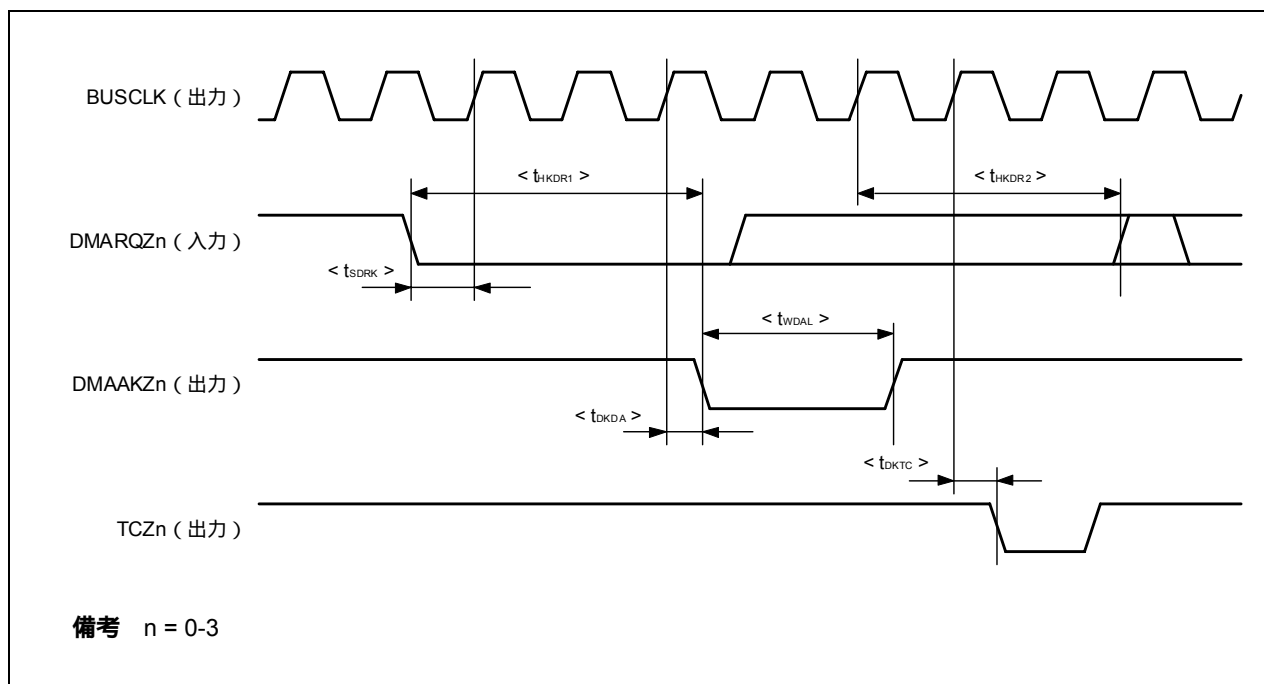
項 目	略号	MIN.	MAX.	単位
DMARQZ0-DMARQZ3 設定時間 (対 BUSCLK↑)	t_{SDRK}	4.3	—	ns
DMARQZ0-DMARQZ3 保持時間 1	t_{HKDR1}	DMAAKZ↓まで	—	ns
DMARQZ0-DMARQZ3 保持時間 2 (対 BUSCLK↑)	t_{HKDR2}	—	$m \times t_{BCLK} - 4.3$	ns
DMAAKZ0-DMAAKZ3 出力遅延時間 (対 BUSCLK↑)	t_{DKDA}	2.0	11.0	ns
DMAAKZ0-DMAAKZ3 ロー・レベル幅	t_{WDAL}	$-9.0 + n \times t_{BCLK}$	$9.0 + n \times t_{BCLK}$	ns
TCZ0-TCZ3 出力遅延時間 (対 BUSCLK↑)	t_{DKTC}	2.0	11.0	ns

備考 1. t_{BCLK} : BUSCLK の周期

2. $m = 0-15$ (DMAIFC0-DMAIFC3 レジスタ設定による DMARQZ0-DMARQZ3 信号マスク幅)

3. $n = 1-16$ (DMAIFC0-DMAIFC3 レジスタ設定による DMAAKZ0-DMAAKZ3 信号アクティブ・レベル幅)

図1 - 20 DMAインタフェース (BUSCLK同期系信号)



1.7.6 SiP 内部接続用 DMA インタフェース端子

(1) SBUSCLK 同期系信号

シングル転送における2回目のDMA要求転送禁止タイミングを示します。

表 1 - 18 SBUSCLK 同期系信号

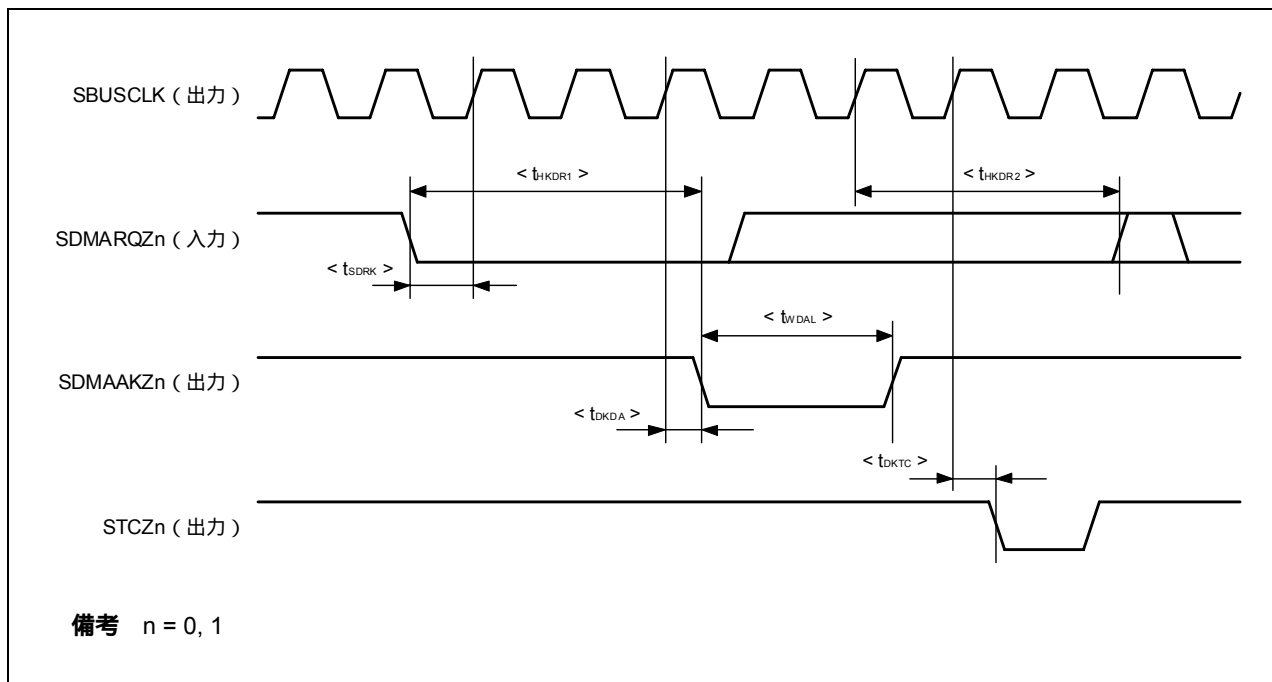
項 目	略号	MIN.	MAX.	単位
SDMARQZ0-SDMARQZ3 設定時間 (対 SBUSCLK↑)	t _{SDRK}	4.3	—	ns
SDMARQZ0-SDMARQZ3 保持時間 1	t _{HKDR1}	DMAAKZ↓まで	—	ns
SDMARQZ0-SDMARQZ3 保持時間 2 (対 SBUSCLK↑)	t _{HKDR2}	—	$m \times t_{BCLK} - 4.3$	ns
SDMAAKZ0-SDMAAKZ3 出力遅延時間 (対 SBUSCLK↑)	t _{DKDA}	2.0	11.0	ns
SDMAAKZ0-SDMAAKZ3 ロー・レベル幅	t _{WDAL}	$-9.0 + n \times t_{BCLK}$	$9.0 + n \times t_{BCLK}$	ns
STCZ0-STCZ3 出力遅延時間 (対 SBUSCLK↑)	t _{DKTC}	2.0	11.0	ns

備考 1. t_{BCLK} : SBUSCLK の周期

2. m = 0-15 (DMAIFC0-DMAIFC3 レジスタ設定による DMARQZ0-DMARQZ3 信号マスク幅)

3. n = 1-16 (DMAIFC0-DMAIFC3 レジスタ設定による DMAAKZ0-DMAAKZ3 信号アクティブ・レベル幅)

図1 - 21 DMAインタフェース (SBUSCLK同期系信号)



1.7.7 バス・リセット出力端子

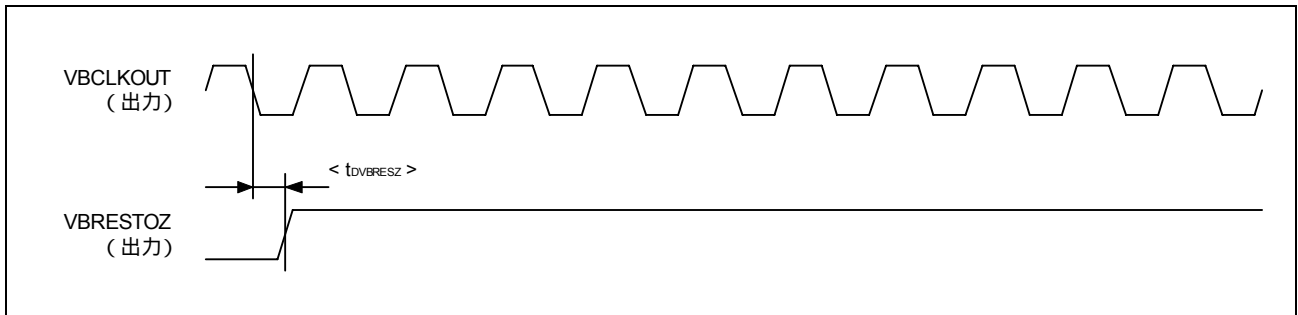
(1) 外部メモリ・インタフェース端子

外部バス・リセット出力端子のアクセス・タイミングを示します。

表 1 - 19 外部バス・リセット出力端子

項 目	略号	MIN.	MAX.	単位
VBRESTOZ 出力遅延時間 (対 VBCLKOUT↓)	$t_{DVBRESZ}$	1.0	10.0	ns

図1 - 22 外部バス・リセット出力端子



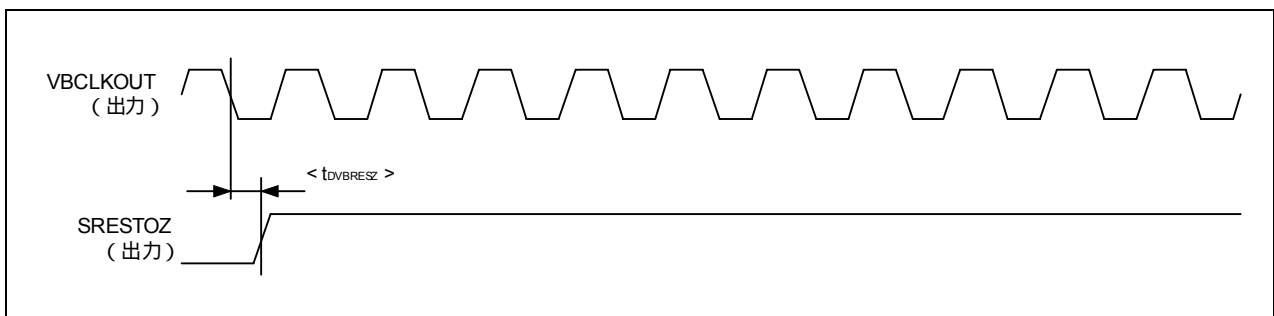
(2) SiP 内部接続バス・インタフェース端子

SiP 内部接続バス・リセット出力端子のアクセス・タイミングを示します。

表 1 - 20 SiP 内部接続バス・インタフェース端子

項 目	略号	MIN.	MAX.	単位
SRESTOZ 出力遅延時間 (対 VBCLKOUT↓)	$t_{DVBRESZ}$	1.0	8.0	ns

図1 - 23 SiP内部接続バス・リセット出力端子



1.7.8 CSI インタフェース端子

CSI (クロック同期式シリアル・インタフェース) のアクセス・タイミングを示します。

CSI はマスタ・モードとスレーブ・モードがあり、それぞれのタイミングを示しています。また、CKP と DAP の設定で動作タイミングが異なります。

表 1 - 21 CSI アクセス・タイミング (マスタ・モード)

項 目	略号	MIN.	MAX.	単位
SCKn 出力周期	t _{CSICYC}	40.0	—	ns
SIn 入力設定時間 (対 SCKn↑)	t _{SSI}	14.0	—	ns
SIn 入力設定時間 (対 SCKn↓)	t _{SSI}	14.0	—	ns
SIn 入力保持時間 (対 SCKn↑)	t _{HSI}	2.0	—	ns
SIn 入力保持時間 (対 SCKn↓)	t _{HSI}	2.0	—	ns
SOn 出力遅延時間 (対 SCKn↑)	t _{DSO}	—	6.0	ns
SOn 出力遅延時間 (対 SCKn↓)	t _{DSO}	—	6.0	ns
SOn 出力保持時間 (対 SCKn↑)	t _{HSO}	t _{CSICYC} × 1/2 - 1.5	—	ns
SOn 出力保持時間 (対 SCKn↓)	t _{HSO}	t _{CSICYC} × 1/2 - 1.5	—	ns

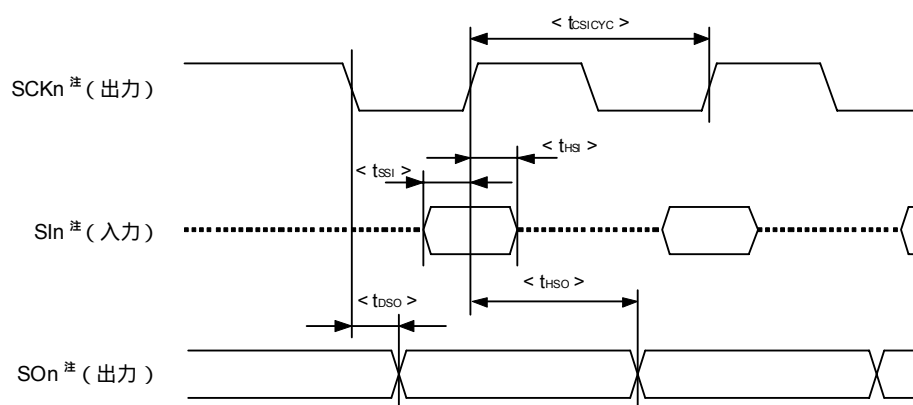
備考 n = 0, 1

表 1 - 22 CSI アクセス・タイミング (スレーブ・モード)

項 目	略号	MIN.	MAX.	単位
SCKn 出力周期	t _{CSICYC}	40.0	—	ns
SIn 入力設定時間 (対 SCKn↑)	t _{SSI}	2.0	—	ns
SIn 入力設定時間 (対 SCKn↓)	t _{SSI}	2.0	—	ns
SIn 入力保持時間 (対 SCKn↑)	t _{HSI}	2.0	—	ns
SIn 入力保持時間 (対 SCKn↓)	t _{HSI}	2.0	—	ns
SOn 出力遅延時間 (対 SCKn↑)	t _{DSO}	—	15.0	ns
SOn 出力遅延時間 (対 SCKn↓)	t _{DSO}	—	15.0	ns
SOn 出力保持時間 (対 SCKn↑)	t _{HSO}	t _{CSICYC} × 1/2 + 2.5	—	ns
SOn 出力保持時間 (対 SCKn↓)	t _{HSO}	t _{CSICYC} × 1/2 + 2.5	—	ns

備考 n = 0, 1

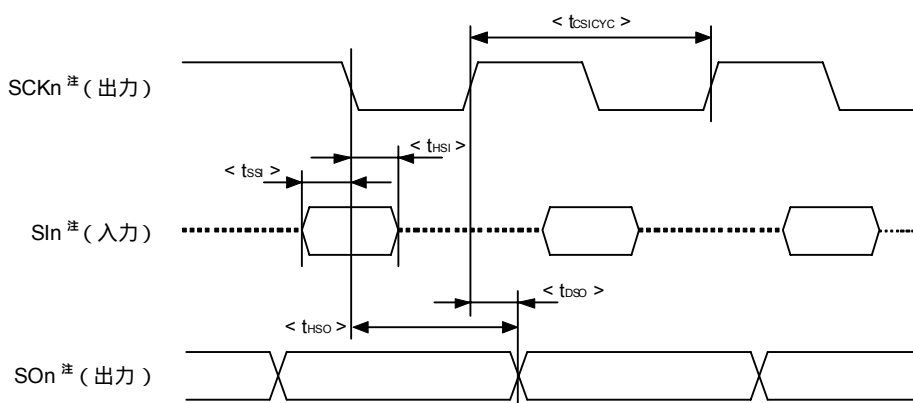
図1 - 24 CSIアクセス・タイミング (CKP, DAP = 00)



注 $n = 0, 1$

備考 破線はハイ・インピーダンスを示します。

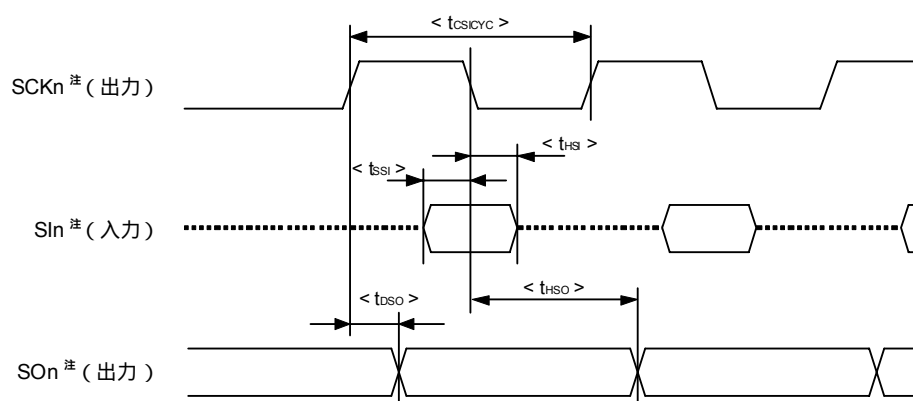
図1 - 25 CSIアクセス・タイミング (CKP, DAP = 01)



注 $n = 0, 1$

備考 破線はハイ・インピーダンスを示します。

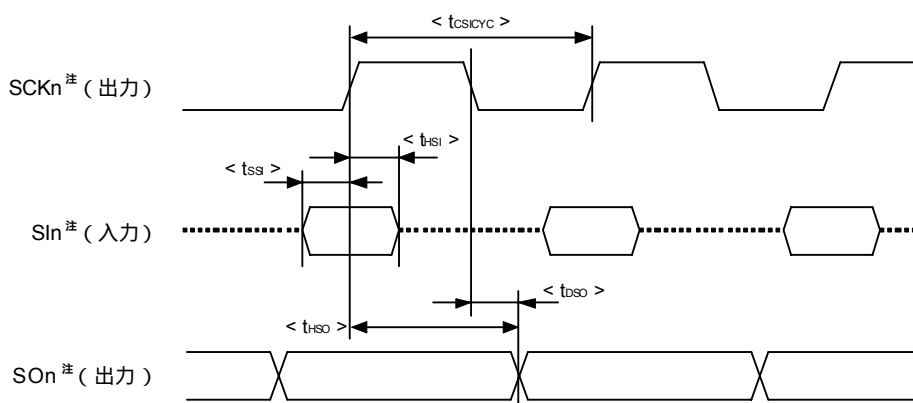
図1 - 26 CSIアクセス・タイミング (CKP, DAP = 10)



注 $n = 0, 1$

備考 破線はハイ・インピーダンスを示します。

図1 - 27 CSIアクセス・タイミング (CKP, DAP = 11)



注 $n = 0, 1$

備考 破線はハイ・インピーダンスを示します。

1.7.9 N-Wire インタフェース端子

(1) トレース・インタフェース

トレース・インタフェースのアクセス・タイミングを示します。

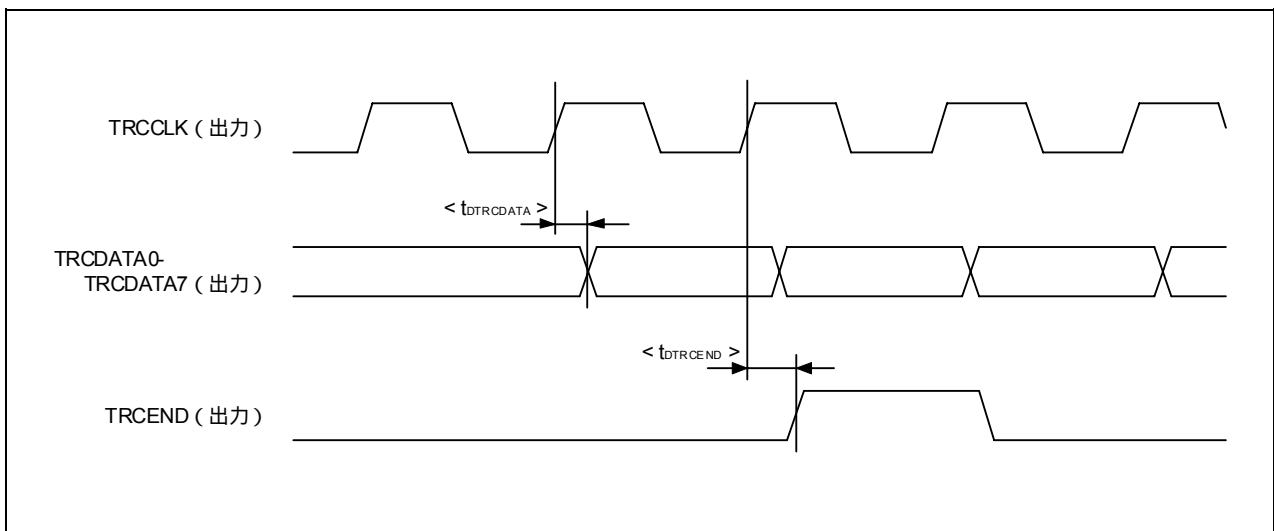
表 1 - 23 トレース・インタフェース

項 目	略号	MIN.	MAX.	単位
TRCDATA 出力遅延時間 (対 TRCCLK↑) 注	t _{DTRCDATA}	0.0	t _{CCLK} × 0.5 + 3.5	ns
TRCEND 出力遅延時間 (対 TRCCLK↑) 注	t _{DTRCEND}	0.0	t _{CCLK} × 0.5 + 3.5	ns

注 TRCDATA0-TRCDATA7 や TRCEND の出力タイミングは TRCCLK の両エッジで出力することもでき、TRCCLK の立ち下がりで出力することもあります。TRCCLK の立ち下がりで出力した場合の各出力遅延時間は、TRCCLK の立ち上がりで出力した場合の各出力遅延時間と同じです。ただし、基準となる TRCCLK のエッジは異なります。

備考 t_{CCLK} : CPCLK の周期

図 1 - 28 トレース・インタフェース



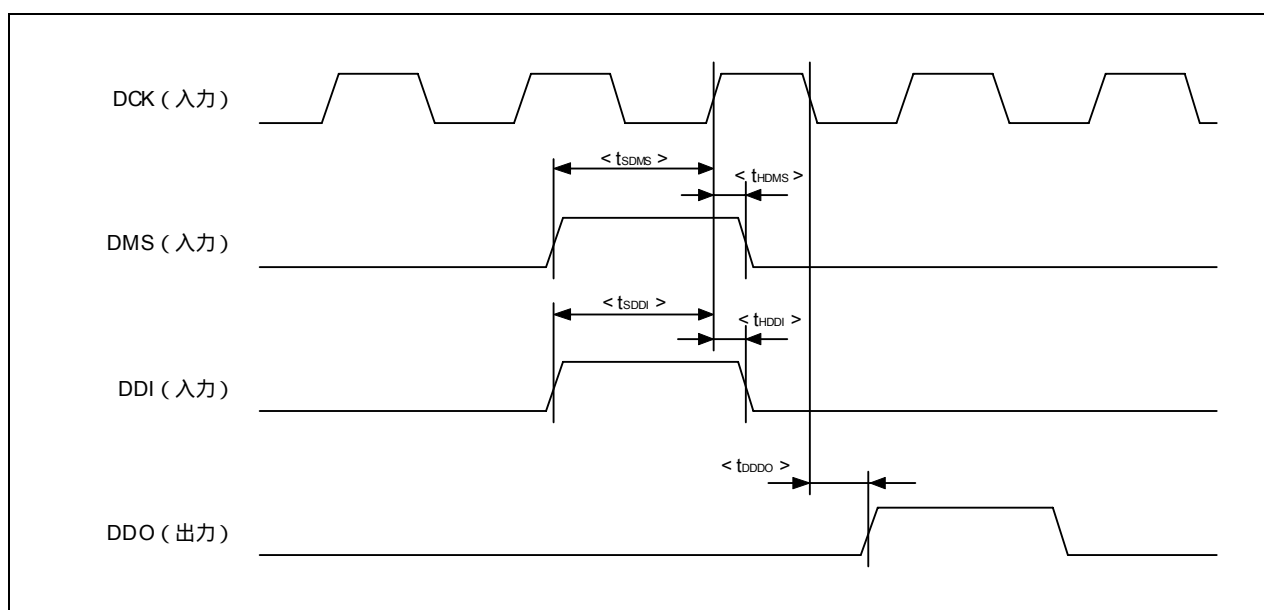
(2) デバッグ・シリアル・インタフェース

デバッグ・シリアル・インタフェースのアクセス・タイミングを示します。

表 1 - 24 デバッグ・シリアル・インタフェース

項 目	略号	MIN.	MAX.	単位
DMS 入力設定時間 (対 DCK↑)	t_{SDMS}	10.0	—	ns
DMS 入力保持時間 (対 DCK↑)	t_{HDMS}	20.0	—	ns
DDI 入力設定時間 (対 DCK↑)	t_{SDDI}	10.0	—	ns
DDI 入力保持時間 (対 DCK↑)	t_{HDDI}	20.0	—	ns
DDO 出力遅延時間 (対 DCK↓)	t_{DDDO}	3.0	15.0	ns

図1 - 29 デバッグ・シリアル・インタフェース



1.8 A/D コンバータ特性

表 1 - 25 A/D コンバータ特性 ($EV_{DD} = AV_{DD} = AV_{REFP} = 3.0 \sim 3.6 \text{ V}$, $EV_{SS} = AV_{SS} = AV_{REFM} = 0 \text{ V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
分解能	—		10			bit
総合誤差 ^{注1}	—				± 0.49	%FSR
量子化誤差	—				$\pm 1/2$	LSB
変換時間	t_{CONV}		2.00		10	μs
サンプリング時間	t_{SAMP}		$3 \times \text{変換クロック}^{\text{注2}}/16$			ns
ゼロスケール誤差 ^{注1}	—				± 0.49	%FSR
フルスケール誤差 ^{注1}	—				± 0.49	%FSR
積分直線性誤差 ^{注3}	—				± 4	LSB
微分直線性誤差 ^{注3}	—				± 4	LSB
アナログ入力電圧	V_{WASN}		AV_{REFM}		AV_{REFP}	V
AV_{DD} 電源電流	I_{DD}				10	mA
ADTRG ハイ・レベル幅	t_{WAIH}		500			ns
ADTRG ロウ・レベル幅	t_{WAIL}		500			ns

注 1. 量子化誤差 ($\pm 0.05 \text{ \%FSR}$) は含みません。

2. 変換クロックは、ADM1 レジスタで設定したクロック数です。

3. 量子化誤差 ($\pm 0.5 \text{ LSB}$) は含みません。

備考 LSB : Least Significant Bit

FSR : Full Scale Range

%FSR はフルスケール値に対する比率です。

図1 - 30 A/Dコンバータ特性

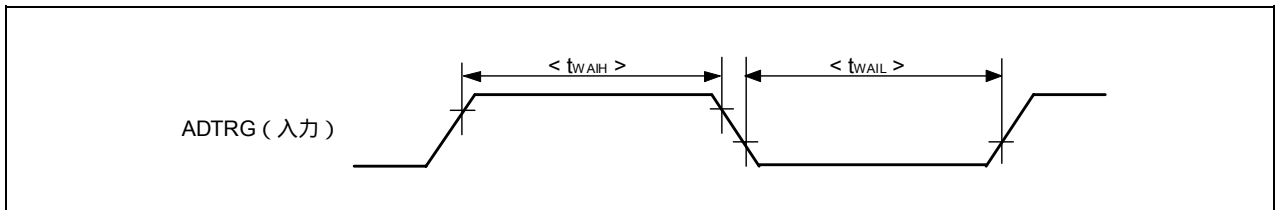


図1 - 31 アナログ入力端子の等価回路

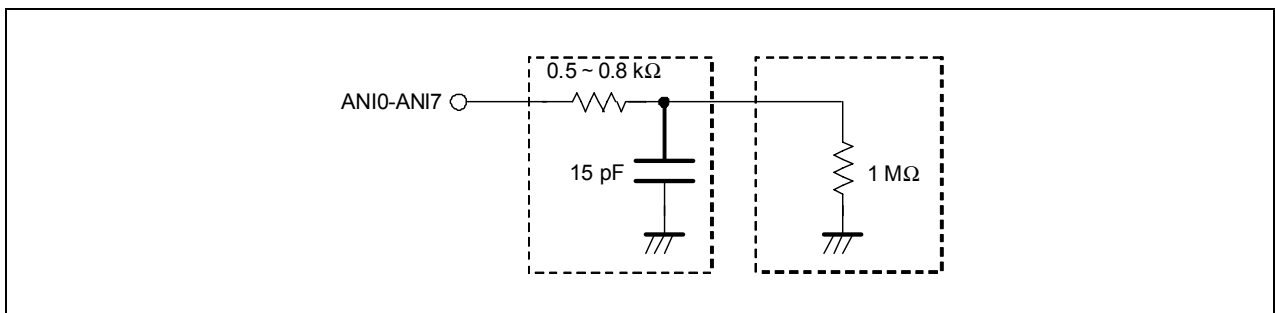


表 1 - 26 アナログ入力端子の規格

項 目	略号	MIN.	MAX.	単位
アナログ入力容量	—		15	pF
許容信号源インピーダンス	—		1	kΩ

1.9 端子容量

端子容量はインタフェース・ブロックの容量と、パッケージ固有の容量の合計になります。

表1-27と表1-28にインタフェース・ブロックの容量 (C_B) を示します。

端子容量は、次の式で算出してください。

$$C_T (\text{端子容量}) = C_B (\text{インタフェース・ブロックの容量}) + C_P (\text{パッケージごとの容量})$$

1.9.1 入力バッファ

表1-27 インタフェース・ブロックの容量 (入力バッファ) (C_B)

インタフェース・レベル	C_B (MIN)	C_B (MAX)
3.3 V	2.0 pF	4.0 pF

備考 $V_{DD} = 0\text{ V}$, $T_J = 25\text{ }^\circ\text{C}$, $f = 1\text{ MHz}$

1.9.2 出力バッファ / 双方向バッファ

表1-28 インタフェース・ブロックの容量 (出力バッファ / 双方向バッファ) (C_B)

インタフェース・レベル	6 mA		9 mA		12 mA		18 mA	
	C_B (MIN)	C_B (MAX)	C_B (MIN)	C_B (MAX)	C_B (MIN)	C_B (MAX)	C_B (MIN)	C_B (MAX)
3.3 V	2.0 pF	4.0 pF	2.0 pF	4.0 pF	2.0 pF	4.0 pF	2.0 pF	4.0 pF

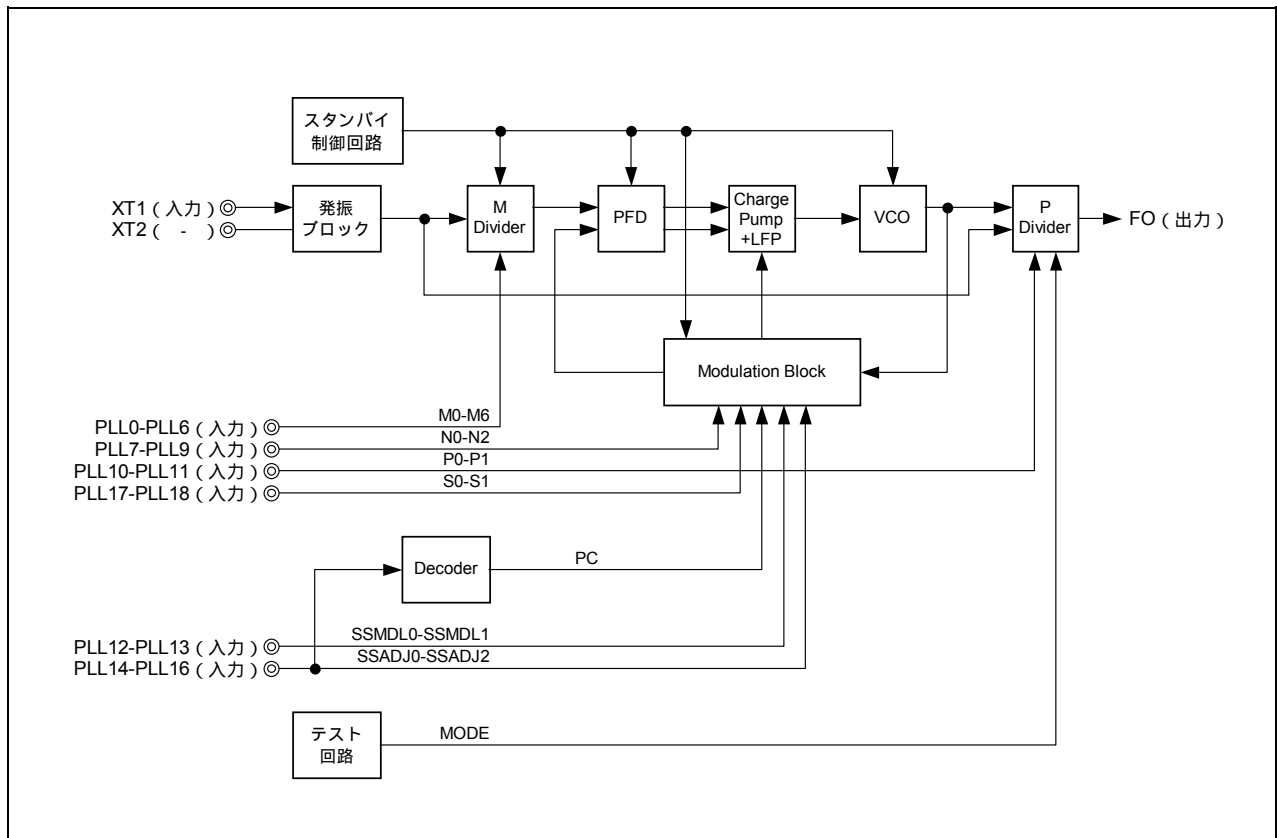
備考 $V_{DD} = 0\text{ V}$, $T_J = 25\text{ }^\circ\text{C}$, $f = 1\text{ MHz}$

第2章 内蔵 SSCG-PLL の特性

PFESiP/V850EP1 に内蔵している SSCG-PLL は、ノイズ対策用スペクトラム拡散クロック・ジェネレータで、EMI（Electromagnetic Interference）ノイズのピーク値を低減する効果があります。

2.1 ブロック図

図2 - 1 SSCG-PLLブロック図



2.2 電気的特性

2.2.1 推奨動作範囲

項 目	略号	条件	MIN.	MAX	単位
発振ブロック入力周波数	f_{osc}	—	2.0	50.0	MHz
入力周波数	f_{std}	—	2.0	200.0	MHz
PFD 入力周波数	f_{pfd}	$f_{pfd} = f_{std} / m$	1.0	2.0	MHz
入力デューティ	I_{duty}	—	30	70	%
通倍率	MULT	$MULT = n / m / p$	0.182	50	—
各分周比設定	m	—	2	128	—
	n	—	93	100	—
	p	—	1	4	—

2.2.2 電気的特性

項 目	略号	条 件	MIN.	TYP	MAX	単位	備考
VCO 出力周波数	f_{vco}	$f_{vco} = f_{std} \times n/m$	100		200	MHz	
出力周波数	f_{out}	$f_{out} = f_{std} \times n/m/p$	25		200	MHz	
出力デューティ	duty	—	47		53	%	C_L 0.2pF
出力ピリオド・ジッタ	t_{pj}	—	−150		150	Ps	固定周波数モード
通倍率	MULT	$MULT = n/m/p$	0.182		50	—	
変調周期	f_{mod}	PLL13-PLL12 (SSMDL1-SSMDL0) = 00		20		kHz	
		PLL13-PLL12 (SSMDL1-SSMDL0) = 01		30		kHz	
		PLL13-PLL12 (SSMDL1-SSMDL0) = 10		40		kHz	
		PLL13-PLL12 (SSMDL1-SSMDL0) = 11		50		kHz	
周波数変調率	f_{dit}	PLL16-PLL14 (SSADJ2-SSADJ0) = 000		−0.5		%	左記以外の設定では変調なしに設定されます。
		PLL16-PLL14 (SSADJ2-SSADJ0) = 001		−1.0		%	
		PLL16-PLL14 (SSADJ2-SSADJ0) = 010		−2.0		%	
		PLL16-PLL14 (SSADJ2-SSADJ0) = 011		−3.0		%	
		PLL16-PLL14 (SSADJ2-SSADJ0) = 100		−4.0		%	
		PLL16-PLL14 (SSADJ2-SSADJ0) = 101		−5.0		%	

備考 PFD 入力周波数は、M ディバイダの出力周波数です。2.1 ブロック図を参照してください。

2.3 端子によるPLLの動作設定

PFESiP/V850EP1は、SSCG-PLLの動作モードを設定するために次に示す端子があります。

電源投入前に、利用条件に合わせて、次の端子を設定してください。

端子名称	内部信号	機 能																																										
PLL0-PLL6 PLL7- PLL9 PLL10- PLL11	PLLM0-PLLM6 PLLN0- PLLN2 PLLP0- PLLP1	内蔵 PLL の通倍率の設定入力 $m = \text{PLLM0-PLLM6 の設定値 (0-127)} + 1$: 2-128 $n = \text{PLLN0-PLLN2 の設定値 (0-7)} + 92 + 1$: 93-100 $p = 2^{\text{PLLP0-PLLP1 の設定値}}$: 1, 2, 4 通倍率 = $n / m / p$ <table><tr><th>項 目</th><th>略号</th><th>計算式</th><th>MIN.</th><th>MAX</th><th>単位</th></tr><tr><td>入力周波数</td><td>f_{std}</td><td>—</td><td>2.0</td><td>200</td><td>MHz</td></tr><tr><td>PFD 入力周波数</td><td>f_{pfd}</td><td>$f_{\text{pfd}} = f_{\text{std}} / m$</td><td>1.0</td><td>2.0</td><td>MHz</td></tr><tr><td>VCO 出力周波数</td><td>f_{vco}</td><td>$f_{\text{vco}} = f_{\text{std}} \times n / m$</td><td>100</td><td>200</td><td>MHz</td></tr><tr><td>出力周波数</td><td>f_{out}</td><td>$f_{\text{out}} = f_{\text{std}} \times n / m / p$</td><td>25</td><td>200</td><td>MHz</td></tr><tr><td>入力デューティ</td><td>I_{duty}</td><td>—</td><td>30</td><td>70</td><td>%</td></tr><tr><td>通倍率</td><td>MULT</td><td>$MULT = n / m / p$</td><td>0.182</td><td>50</td><td>—</td></tr></table>	項 目	略号	計算式	MIN.	MAX	単位	入力周波数	f_{std}	—	2.0	200	MHz	PFD 入力周波数	f_{pfd}	$f_{\text{pfd}} = f_{\text{std}} / m$	1.0	2.0	MHz	VCO 出力周波数	f_{vco}	$f_{\text{vco}} = f_{\text{std}} \times n / m$	100	200	MHz	出力周波数	f_{out}	$f_{\text{out}} = f_{\text{std}} \times n / m / p$	25	200	MHz	入力デューティ	I_{duty}	—	30	70	%	通倍率	MULT	$MULT = n / m / p$	0.182	50	—
項 目	略号	計算式	MIN.	MAX	単位																																							
入力周波数	f_{std}	—	2.0	200	MHz																																							
PFD 入力周波数	f_{pfd}	$f_{\text{pfd}} = f_{\text{std}} / m$	1.0	2.0	MHz																																							
VCO 出力周波数	f_{vco}	$f_{\text{vco}} = f_{\text{std}} \times n / m$	100	200	MHz																																							
出力周波数	f_{out}	$f_{\text{out}} = f_{\text{std}} \times n / m / p$	25	200	MHz																																							
入力デューティ	I_{duty}	—	30	70	%																																							
通倍率	MULT	$MULT = n / m / p$	0.182	50	—																																							
PLL12- PLL13	SSMDL0- SSMDL1	SSCG のモジュレーション範囲の設定入力 <table><tr><th>SSMDL1</th><th>SSMDL0</th><th>変調周期</th></tr><tr><td>0</td><td>0</td><td>15.00-26.25 kHz (オープン時)</td></tr><tr><td>0</td><td>1</td><td>25.00-36.75 kHz</td></tr><tr><td>1</td><td>0</td><td>35.00-48.30 kHz</td></tr><tr><td>1</td><td>1</td><td>45.00-68.25 kHz</td></tr></table>	SSMDL1	SSMDL0	変調周期	0	0	15.00-26.25 kHz (オープン時)	0	1	25.00-36.75 kHz	1	0	35.00-48.30 kHz	1	1	45.00-68.25 kHz																											
SSMDL1	SSMDL0	変調周期																																										
0	0	15.00-26.25 kHz (オープン時)																																										
0	1	25.00-36.75 kHz																																										
1	0	35.00-48.30 kHz																																										
1	1	45.00-68.25 kHz																																										
PLL14- PLL16	SSADJ0- SSADJ2	SSCG の周波数拡散モードとその範囲の設定入力 <table><tr><th>SSADJ2</th><th>SSADJ1</th><th>SSADJ0</th><th>周波数変調率</th></tr><tr><td>0</td><td>0</td><td>0</td><td>約-0.5 %</td></tr><tr><td>0</td><td>0</td><td>1</td><td>約-1.0 %</td></tr><tr><td>0</td><td>1</td><td>0</td><td>約-2.0 %</td></tr><tr><td>0</td><td>1</td><td>1</td><td>約-3.0 %</td></tr><tr><td>1</td><td>0</td><td>0</td><td>約-4.0 %</td></tr><tr><td>1</td><td>0</td><td>1</td><td>約-5.0 %</td></tr><tr><td>1</td><td>1</td><td>0</td><td>変調なし</td></tr><tr><td>1</td><td>1</td><td>1</td><td>変調なし</td></tr></table>	SSADJ2	SSADJ1	SSADJ0	周波数変調率	0	0	0	約-0.5 %	0	0	1	約-1.0 %	0	1	0	約-2.0 %	0	1	1	約-3.0 %	1	0	0	約-4.0 %	1	0	1	約-5.0 %	1	1	0	変調なし	1	1	1	変調なし						
SSADJ2	SSADJ1	SSADJ0	周波数変調率																																									
0	0	0	約-0.5 %																																									
0	0	1	約-1.0 %																																									
0	1	0	約-2.0 %																																									
0	1	1	約-3.0 %																																									
1	0	0	約-4.0 %																																									
1	0	1	約-5.0 %																																									
1	1	0	変調なし																																									
1	1	1	変調なし																																									
PLL17- PLL18	PLLS0- PLLS1	SSCG の S セクタ入力 (周波数変調モード) <table><tr><th>PLLS1</th><th>PLLS0</th><th>PFD 入力周波数</th></tr><tr><td>0</td><td>0</td><td>1.00 MHz $f_{\text{pfd}} < 1.20 \text{ MHz}$ (オープン時)</td></tr><tr><td>0</td><td>1</td><td>1.20 MHz $f_{\text{pfd}} < 1.45 \text{ MHz}$</td></tr><tr><td>1</td><td>0</td><td>1.45 MHz $f_{\text{pfd}} < 1.70 \text{ MHz}$</td></tr><tr><td>1</td><td>1</td><td>1.70 MHz $f_{\text{pfd}} < 2.00 \text{ MHz}$</td></tr></table>	PLLS1	PLLS0	PFD 入力周波数	0	0	1.00 MHz $f_{\text{pfd}} < 1.20 \text{ MHz}$ (オープン時)	0	1	1.20 MHz $f_{\text{pfd}} < 1.45 \text{ MHz}$	1	0	1.45 MHz $f_{\text{pfd}} < 1.70 \text{ MHz}$	1	1	1.70 MHz $f_{\text{pfd}} < 2.00 \text{ MHz}$																											
PLLS1	PLLS0	PFD 入力周波数																																										
0	0	1.00 MHz $f_{\text{pfd}} < 1.20 \text{ MHz}$ (オープン時)																																										
0	1	1.20 MHz $f_{\text{pfd}} < 1.45 \text{ MHz}$																																										
1	0	1.45 MHz $f_{\text{pfd}} < 1.70 \text{ MHz}$																																										
1	1	1.70 MHz $f_{\text{pfd}} < 2.00 \text{ MHz}$																																										

2.3.1 PLLM0-PLLM6, PLLN0-PLLN2, PLLP0-PLLP1 (PLLM, N, P-Counter Select)

内蔵 PLL の逡倍率を設定します。

PLLM0-PLLM6 と PLLP0-PLLP1 は、内蔵 PLL の AAPLSCGH に直接接続されています。

PLLN0-PLLN2 は、AAPLSCGH の入力範囲が 10 進数で 92～99 のため、92 を加算して AAPLSCGH に接続しています。

逡倍率は、次の式で求められます。

$$m = \text{PLLM0-PLLM6 の設定値 (0-127)} + 1 \quad : 2-128$$

$$n = \text{PLLN0-PLLN2 の設定値 (0-7)} + 92 + 1 \quad : 93-100$$

$$p = 2^{\text{PLLP0-PLLP1 の設定値}} \quad : 1, 2, 4$$

$$\text{逡倍率} = n / m / p$$

なお、AAPLSCGH では、次の規格を守らなければなりません。

表 2 - 1 PLL の動作条件

項 目	略号	計算式	MIN.	MAX	単位
入力周波数	f_{std}	—	2.0	200	MHz
PFD 入力周波数	f_{pfd}	$f_{pfd} = f_{std} / m$	1.0	2.0	MHz
VCO 出力周波数	f_{vco}	$f_{vco} = f_{std} \times n / m$	100	200	MHz
出力周波数	f_{out}	$f_{out} = f_{std} \times n / m / p$	25	200	MHz
入力デューティ	I_{duty}	—	30	70	%
逡倍率	MULT	$MULT = n / m / p$	0.182	50	—

PLL11	PLL10	p	PLL 出力周波数 [MHz]
PLLP1	PLLP0		
0	0	1	100-200
0	1	2	50-100
1	0	4	25-50
1	1	スルー・モード	スルー・モード

設定禁止 (PLLM0-PLLM6 がすべてロー・レベル, PLLP0-PLLP1 がすべてハイ・レベル) の場合は、双方とも PLL スルー・モードになります。

2.3.2 SSMDL0-SSMDL1 (Modulation Frequency Range) (入力)

SSCG 出力の変調周期を設定します。

AAPLSCGH の MDL0, MDL1 に直接接続されています。

表 2 - 2 SSMDL0-SSMDL1 による SSCG 出力の変調周期設定

PLL13	PLL12	変調周期 [kHz]
SSMDL1	SSMDL0	
0	0	15.00-26.25 (オープン時)
0	1	25.00-36.75
1	0	35.00-48.30
1	1	45.00-68.25

2.3.3 SSADJ0-SSADJ2 (Dither Range / Mode) (入力)

SSCG 出力の周波数変調率を設定します。

AAPLSCGH の ADJ0-ADJ2 に接続されています。

なお, SSADJ2 = 1, SSADJ1 = 1 の場合には, 周波数変調を行わないモードになります。

表 2 - 3 SSCG 出力の周波数変調率の設定

PLL16	PLL15	PLL14	周波数変調率
SSADJ2	SSADJ1	SSADJ0	
0	0	0	約-0.5 %
0	0	1	約-1.0 %
0	1	0	約-2.0 %
0	1	1	約-3.0 %
1	0	0	約-4.0 %
1	0	1	約-5.0 %
1	1	0	変調なし
1	1	1	変調なし

注意 変調に設定した場合は, UART のボー・レート, タイマのインターバル時間に影響を与えます。

たとえば, UART では通信相手とのボー・レート許容誤差を検討してください。

2.3.4 PLLS0-PLLS1 (S-Selector)(入力)

周波数拡散モードで使用する場合、表 2 - 1 の PFD 入力周波数 (f_{pfd}) によって、S セレクタの値を次のように設定してください。

表 2 - 4 S セレクタの設定

PLL18	PLL17	PFD 入力周波数 [MHz]
PLLS1	PLLS0	
0	0	1.00 $f_{pfd} < 1.20$ (オープン時)
0	1	1.20 $f_{pfd} < 1.45$
1	0	1.45 $f_{pfd} < 1.70$
1	1	1.70 $f_{pfd} < 2.00$

2.3.5 PLLFOEN (PLL FO Output Enable)(入力)

内蔵 PLL の FO 出力を PLLFO 端子から出力することができます。

IDLE 制御回路は CPU 側にあるため、IDLE モードでも停止しません。

PLLFOEN にハイ・レベルが入力されている場合のみ PLLFO に FO が出力されます。

PLLFOEN にロー・レベルが入力されている場合は、ロー・レベルを出力します。

この出力制御はイネーブル制御構造です。動作中の切り替えはノイズ（ヒゲ）などが発生する可能性があります。

表 2 - 5 PLLFOEN による PLLFO 出力制御

PLLFOEN	PLLFO 出力制御
0	ロー・レベル出力
1	出力許可

第3章 開発ツールとミドルウェア

PFESiP/V850EP1 を使用するシステム開発のために、次の開発ツールおよびミドルウェアを用意しています。

3.1 開発ツール

リアルタイム OS	コンパイラ	デバッガ	サーバ	インサートキット・エミュレータ	備 考
RX850pro (NECエレクトロニクス株式会社)	CCV850 注1 (Green Hills Software, Inc.)	Multi (Green Hills Software, Inc.)	rteserve (株式会社アドバンスト・データ・コントロールズ)	RTE-2000-TP (株式会社マイダス・ラボ) RTE-2000H-TP (株式会社マイダス・ラボ)	8本トレース可能
			YDCSERVE 注2 (株式会社アドバンスト・データ・コントロールズ)	advicePLUS (横河デジタルコンピュータ)	8本トレース可能
		MicroVIEW-PLUS (横河デジタルコンピュータ株式会社)	—	advicePLUS (横河デジタルコンピュータ)	8本トレース可能
	CA850 (NECエレクトロニクス株式会社)	ID850QB 注3 (NECエレクトロニクス株式会社)	N-EXEC (株式会社マイダス・ラボ)	RTE-2000-TP (株式会社マイダス・ラボ) RTE-2000H-TP (株式会社マイダス・ラボ)	8本トレース可能
			—	QB-V850MINI (NECエレクトロニクス株式会社) (MINI CUBE)	トレース機能なし
		PARTNER 注4 (京都マイクロコンピュータ株式会社)	—	PARTNER-Jet (京都マイクロコンピュータ株式会社)	4本トレース可能

注 1. V850E2 CPU の性能を生かすために、パイプライン最適化対応済みの Ver. 4.0 を推奨します。

2. CCV850, Multi, YDCSERVE を統合した「IDE FOR V800 WITH YDCSERVE」もあります。

3. QB-V850MINI には、ID850QB が添付されます。

4. PARTNER-Jet には、PARTNER が添付されます。

3.2 ミドルウェア

PFESiP/V850EP1 は、USB ホスト・コントローラと USB ファンクション・コントローラを内蔵します。

一般的には USB 機能を利用するためには、それを内蔵しているマイコンごとのドライバが必要になります。そこで、USB ファンクション・コントローラのマストストレージ・クラス・サンプル・ドライバを提供しています。

また、USB ドライバ・パッケージ製品をグレースシステム株式会社よりご提供しています。

[メ モ]

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電 話 ： 044-435-9494

E-mail ： info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。