

要旨

本アプリケーションノートは、RZ/T2H および RZ/N2H グループの LSI を搭載したハードウェアを設計する際の参考資料として、設計のポイントとなる項目をまとめたものです。

対象 LSI

- RZ/T2H グループ
- RZ/N2H グループ

商標

- * Ethernet およびイーサネットは、富士ゼロックス株式会社の登録商標です。
- * EtherCAT は、ドイツ Beckhoff Automation GmbH によりライセンスされた特許取得済み技術であり登録商標です。
- * PCIe、PCI-SIG は、PCI-SIG の登録商標です。
- * その他、本資料中の製品名やサービス名はすべてそれぞれの所有者に属する商標または登録商標です。

目次

1. 電源	5
1.1 電源	5
1.2 電源投入／遮断シーケンス	6
1.2.1 GreenPAK を使用した電源回路例	8
1.2.2 PMIC を使用した電源回路例	10
1.2.3 リセット回路	13
2. 動作モード	15
2.1 概要	15
2.2 動作モードの種類と選択	15
2.2.1 動作モード (MDn)	15
2.2.2 動作モード I/O ドメインの動作電圧設定 (MDV)	16
2.2.3 ハッシュによる JTAG 認証の選択 (MDD)	16
2.2.4 ATCM ウェイトサイクルの選択 (MDWn)	16
2.3 モード入力電圧およびタイミング	17
2.4 注意事項	18
3. 発振回路	19
3.1 クロック端子	19
3.2 外部クロック接続	19
3.3 水晶振動子の接続	20
3.3.1 レイアウト例	21
4. フラッシュメモリ	23
4.1 xSPIn (n = 0, 1) ブートモード (x1 ブートシリアルフラッシュ)	23
4.1.1 ハードウェアリセット付きのシリアルフラッシュの場合	24
4.1.2 ハードウェアリセット端子の無いシリアルフラッシュの場合	25
4.2 xSPI0 ブートモード (x8 ブートシリアルフラッシュ)	26
5. Ethernet	27
5.1 Ethernet PHY	27
5.1.1 Ethernet PHY のレイアウト注意点	30
5.2 EtherCAT	31
5.2.1 PHY のアドレス	31
5.2.2 PHY との接続	31
5.2.3 EEPROM との接続	32
5.2.4 LED との接続	33
6. eMMC および SD	34
6.1 eMMC	35

6.2	SD	36
7.	PCIe	38
7.1	PCB 仕様およびレイアウト	38
7.1.1	PCB レイヤーの厚みと層数.....	38
7.1.2	PCB レイアウトについての注意事項	38
7.1.3	推奨電源フィルター構成	39
7.2	回路例	40
7.2.1	Root Complex	40
7.2.2	End Point	41
8.	LPDDR4.....	42
9.	USB2.0	43
9.1	PCB レイアウトについての注意事項.....	43
9.2	推奨電源フィルター構成	44
9.3	回路例	45
9.3.1	ホストコントローラ回路例.....	45
9.3.2	ファンクションコントローラ回路例	46
9.3.3	OTG システム回路例	47
10.	ADC	48
10.1	PCB レイアウトについての注意事項.....	48
10.2	推奨電源フィルター構成	48
11.	PLL	49
11.1	PCB レイアウトについての注意事項.....	49
11.2	推奨電源フィルター構成	49
12.	OTP	50
12.1	PCB レイアウトについての注意事項.....	50
12.2	推奨電源フィルター構成	50
13.	TSU	51
13.1	PCB レイアウトについての注意事項.....	51
13.2	推奨電源フィルター構成	51
14.	未使用端子の処理について	52
15.	その他バイパスコンデンサ	53
15.1	I/O 電源のバイパスコンデンサ.....	53
15.2	コア電源のバイパスコンデンサ	53

改訂記録	55
------------	----

1. 電源

1.1 電源

表 1.1 は、RZ/T2H および RZ/N2H グループの電源です。

- ボード設計時には、デジタル電源からのノイズの回り込みを防ぐため、デジタル電源とアナログ電源をできるだけ分離してください。
- すべての電源、およびグランド端子を接続してください。開放端子がある場合、LSI の動作は保証されません。

表 1.1 電源

項目	電源端子名	Min.	Typ.	Max.	単位
3.3-V I/O 電源電圧	VDD33, VDD1833_0 to VDD1833_7 (3.3-V mode)	3.135	3.3	3.465	V
1.8-V I/O 電源電圧	VDD1833_0 to VDD1833_7 (1.8-V mode), VDDP_18_33, VDDP_18_0 to VDDP_18_7	1.71	1.8	1.89	V
Core 電源電圧	VDD08	0.76	0.8	0.84	V
グランド	VSS	—	0	—	V
水晶電源電圧	VDD33_X	3.135	3.3	3.465	V
	VDDP_18_X	1.71	1.8	1.89	V
PLL 電源電圧	VDD18_PLL0 to VDD18_PLL4	1.71	1.8	1.89	V
	VDD08_PLL0 to VDD08_PLL4	0.76	0.8	0.84	V
	VSS_PLL0 to VSS_PLL4	—	0	—	V
TSU 電源電圧	AVDD18A_TSU	1.71	1.8	1.89	V
	DVDD08A_TSU	0.76	0.8	0.84	V
OTP 電源電圧	OTPVDD18	1.71	1.8	1.89	V
	OTPVDD08	0.76	0.8	0.84	V
USB 電源電圧	USB_USVDD33	3.135	3.3	3.465	V
	USB_USVDD18	1.71	1.8	1.89	V
	USB_USDVDD	0.76	0.8	0.84	V
PCI Express 電源電圧	PCIE_VDD18A_CMN, PCIE_VDD18A_L0, PCIE_VDD18A_L1	1.71	1.8	1.89	V
	PCIE_VDD08A_L0, PCIE_VDD08A_L1	0.76	0.8	0.84	V
LPDDR4 電源電圧	DDR_VAA	1.71	1.8	1.89	V
	DDR_VDDQ	1.06	1.1	1.17	V
ADC12 電源電圧	AVDDIO_ADC0 to AVDDIO_ADC2	1.71	1.8	1.89	V
	AVDD_ADC0 to AVDD_ADC2	0.76	0.8	0.84	V
	AVSSIO_ADC0 to AVSSIO_ADC2	—	0	—	V
	AVSS_ADC0 to AVSS_ADC2	—	0	—	V

1.2 電源投入／遮断シーケンス

電源投入／遮断シーケンスとタイミングを図 1.1 と表 1.2 に示します。

電源投入では、0.8 V 電源 (VDD08) を最初に供給し、それから 1.8 V 電源 (VDD18、AVDD)、1.1 V 電源、3.3 V 電源 (DDR_VDDQ、VDD33) の順に供給する必要があります。電源投入シーケンスは、100 ms 以内に完了する必要があります。リセット信号 (RES#) は、電源投入中 Low レベルにしておく必要があります。

電源遮断では、まず 1.1 V と 3.3 V 電源 (DDR_VDDQ、VDD33) を先に遮断し、それから 0.8 V と 1.8 V 電源 (VDD08、VDD18、および AVDD) を遮断する必要があります。電源遮断シーケンスは、100 ms 以内に完了する必要があります。

各電源の投入時の立ち上がりの時間は 40 μ s、遮断時の立ち下りの時間は 10 μ s より長い必要があります。

電源電圧とリセット信号は、単調に立ち上がる必要があります。

電源電圧に負の電圧を印加しないでください。

リセット信号 (RES#) が High に駆動されているときは、安定したクロックを EXTAL/XTAL または EXTCLKIN 端子に供給する必要があります。

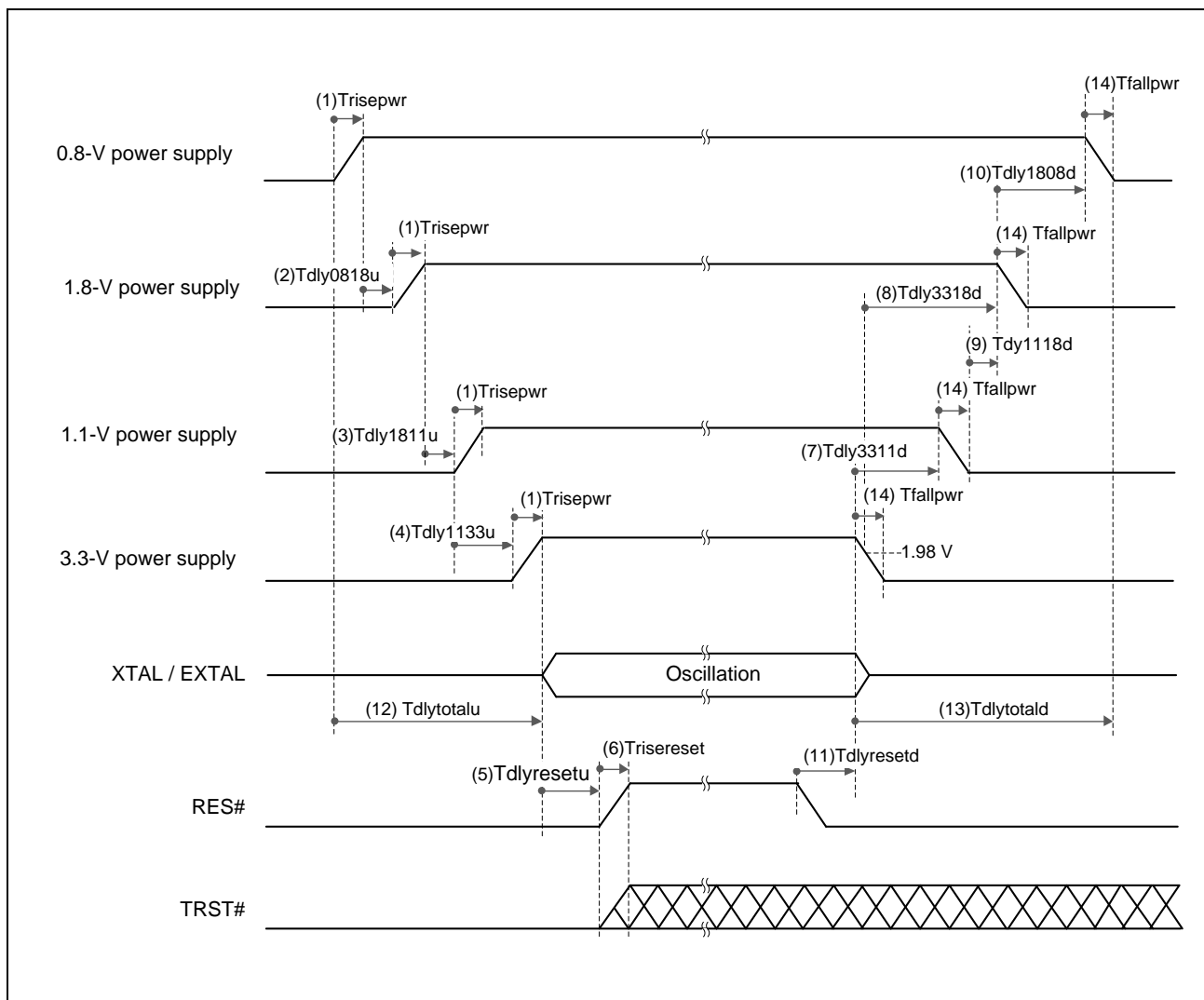


図 1.1 電源投入／遮断シーケンス

表 1.2 電源投入/遮断シーケンスタイミング

No	シンボル	説明	値		
			Min.	Typ.	Max.
(1)	Trisepwr	電源電圧の立ち上がり時間	40 μ s	—	30 ms
(2)	Tdly0818u	0.8 V 電源電圧の立ち上がり完了から、1.8 V 電源電圧の立ち上がり開始までの遅延時間	1 μ s	—	100 ms
(3)	Tdly1811u	1.8 V 電源電圧の立ち上がり完了から、1.1 V 電源電圧の立ち上がり開始までの遅延時間	0	—	100 ms
(4)	Tdly1133u	1.1 V 電源電圧の立ち上がり開始から、3.3 V 電源電圧の立ち上がり開始までの遅延時間	0	—	100 ms
(5)	Tdlyresetu	3.3 V 電源電圧の立ち上がり完了から、RES#信号の立ち上がり開始までの遅延時間	10 ms	—	—
(6)	Trisereset	RES#信号の立ち上がり時間	—	—	150 μ s
(7)	Tdly3311d	3.3 V 電源電圧の立ち下がり開始から、1.1 V 電源電圧の立ち下がり開始までの遅延時間	0	—	100 ms
(8)	Tdly3318d	3.3 V 電源電圧が 1.98 V を下回った時から、1.8 V 電源電圧の立ち下がり開始までの遅延時間	0	—	100 ms
(9)	Tdly1118d	1.1 V 電源電圧の立ち下がり完了から、1.8 V 電源電圧の立ち下がり開始までの遅延時間	0	—	100 ms
(10)	Tdly1808d	1.8 V 電源電圧の立ち下がり開始から、0.8 V 電源電圧の立ち下がり開始までの遅延時間	0	—	100 ms
(11)	Tdlyresetd	RES#信号の立ち下がり開始から、3.3 V 電源電圧の立ち下がり開始までの遅延時間	10 μ s	—	—
(12)	Tdlytotalu	すべての電源電圧の起動時間	0	—	100 ms
(13)	Tdlytotald	すべての電源電圧の遮断時間	0	—	100 ms
(14)	Tfallpwr	電源電圧の立ち下がり時間	10 μ s	—	30 ms

1.2.1 GreenPAK を使用した電源回路例

図 1.2 に、GreenPAK™ (SLG7RN47598) を使用した電源回路例を示します。図 1.3 に、本電源回路例のタイミングチャートを示します。

各レギュレータのイネーブル信号を制御することで電源投入/遮断シーケンスを実現します。なお、本回路例に関しては、レギュレータ周辺回路は省略しています。詳細は、各レギュレータのデータシートを参照してください。電源立ち下げ時（スイッチ OFF 時）、各レギュレータ出力の立ち下がり時間は、システム構成（回路負荷）で異なるため、必要に応じて、放電用抵抗を追加してください。なお、主電源の瞬停には対応していません。

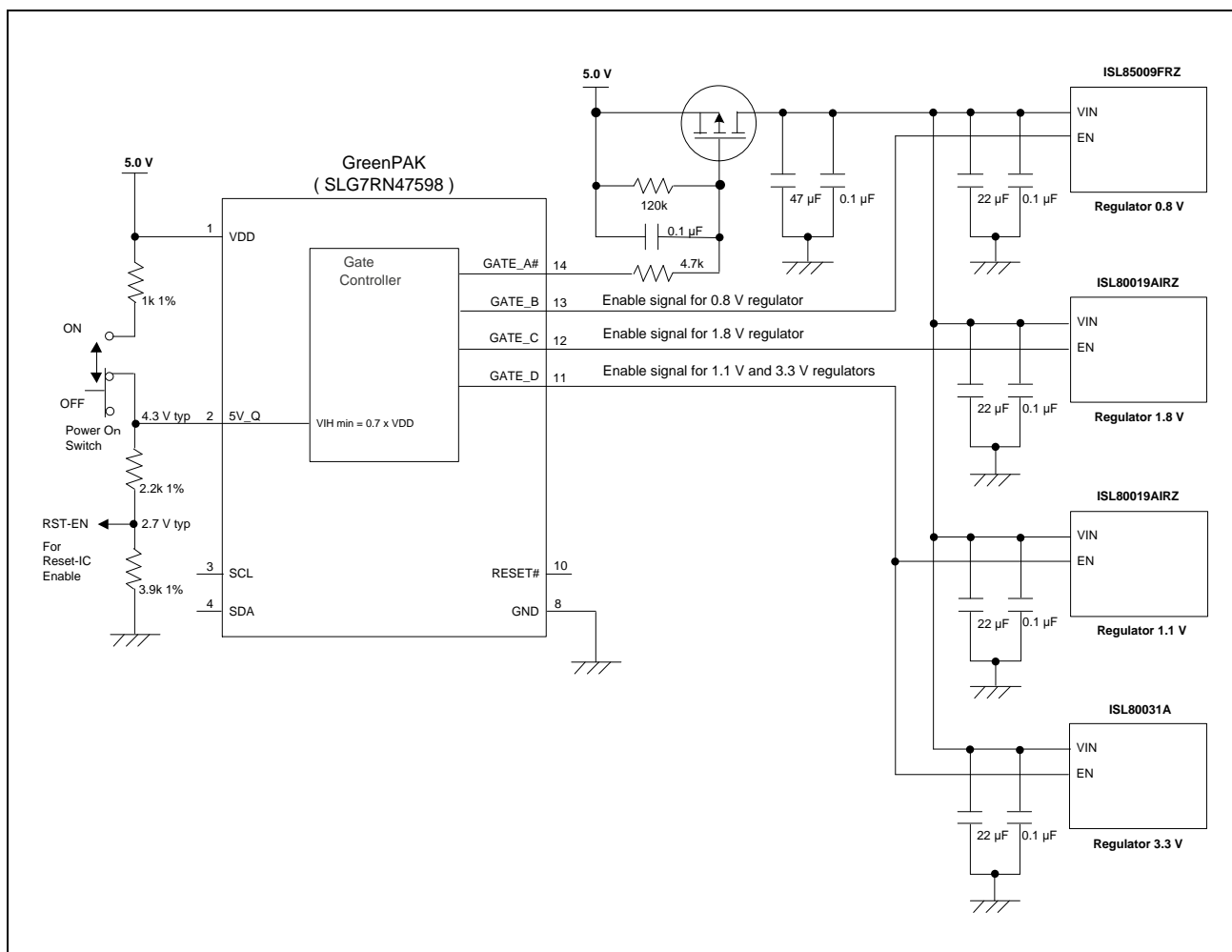


図 1.2 GreenPAK を使用した電源回路例

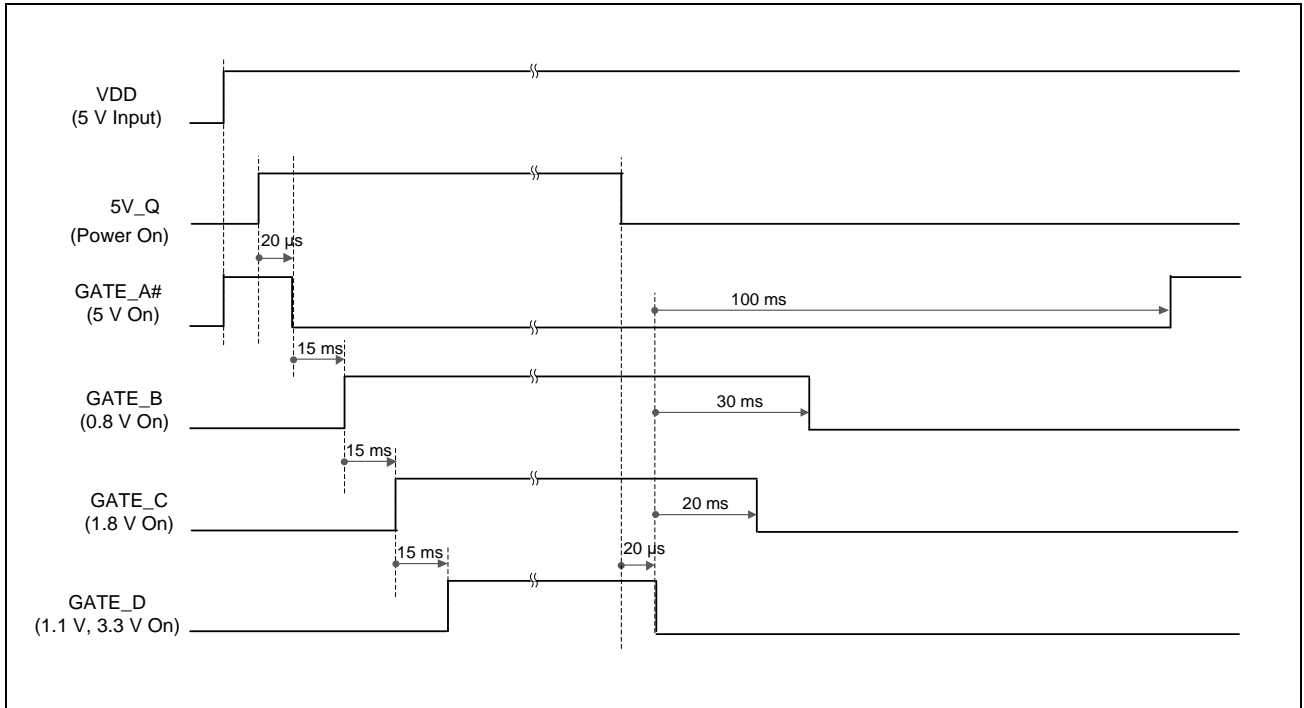


図 1.3 GreenPAK (SLG7RN47598) を使用した電源回路のタイミングチャート

1.2.2 PMIC を使用した電源回路例

図 1.4 に、RAA215310AGNP#HA0 と DA9217-17V72 を使用した電源回路例を示します。本 LSI の電源投入／遮断シーケンスを実現します。図 1.5 に、本電源回路例のタイミングチャートを示します。DA9217-17V72 は、最大 6 A の出力電流を供給できる DC-DC コンバータです。RAA215310AGNP#HA0 および DA9217-17V72 の詳細については、それぞれのデータシートを参照してください。

本回路例に関しては、必要なバイパスコンデンサ等の周辺回路は一部省略しています。電源立ち下げ時（スイッチ OFF 時）、各レギュレータ出力の立ち下がり時間は、システム構成（回路負荷）で異なるため、必要に応じて、放電用抵抗を追加してください。なお、主電源の瞬停には対応していません。

なお、RAA215310AGNP#HA0 と DA9217-17V72 に関しては、OTP が設定されたカスタム製品となります。

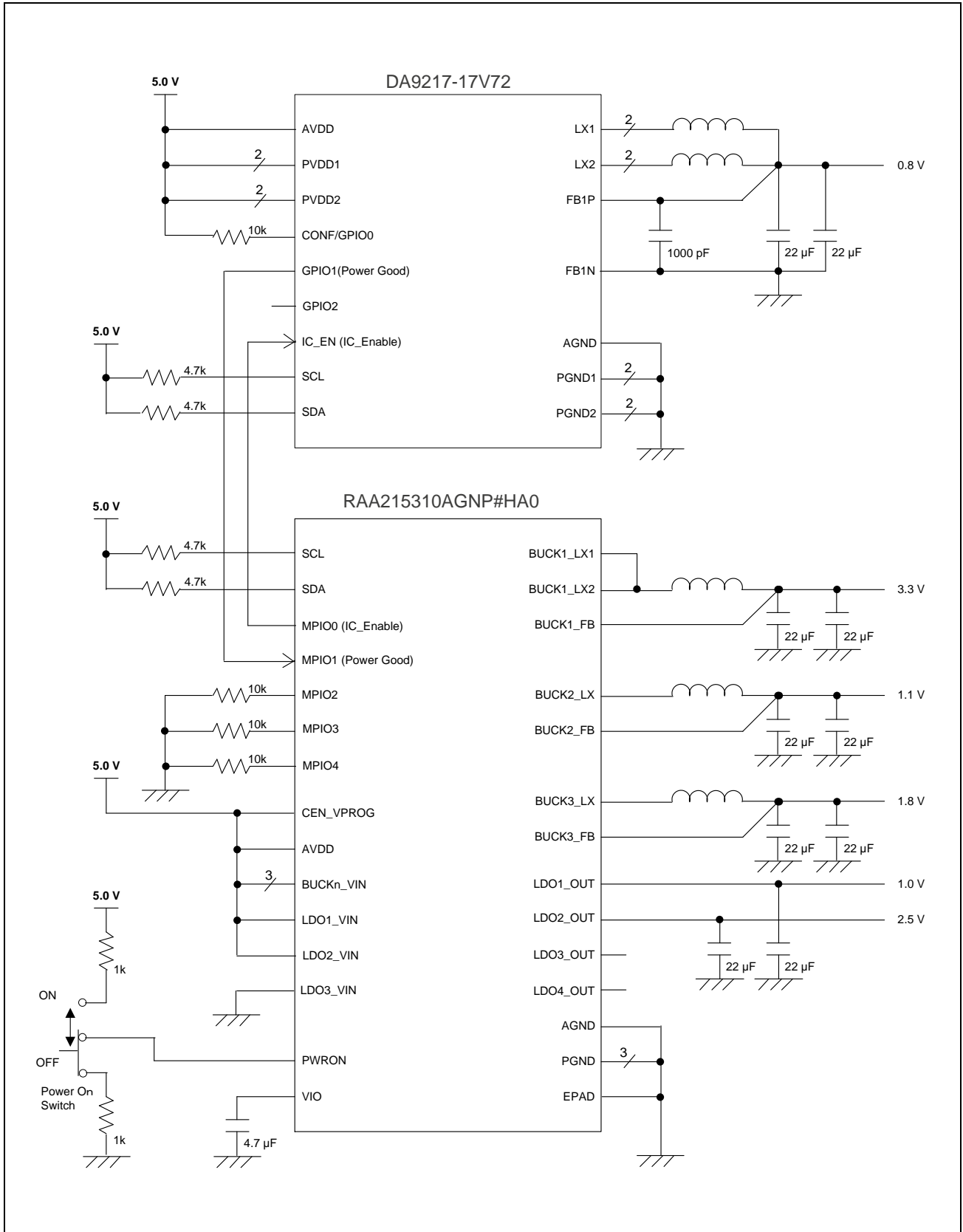


図 1.4 RAA215310AGNP#HA0 + DA9217-17V72 を使用した電源回路例

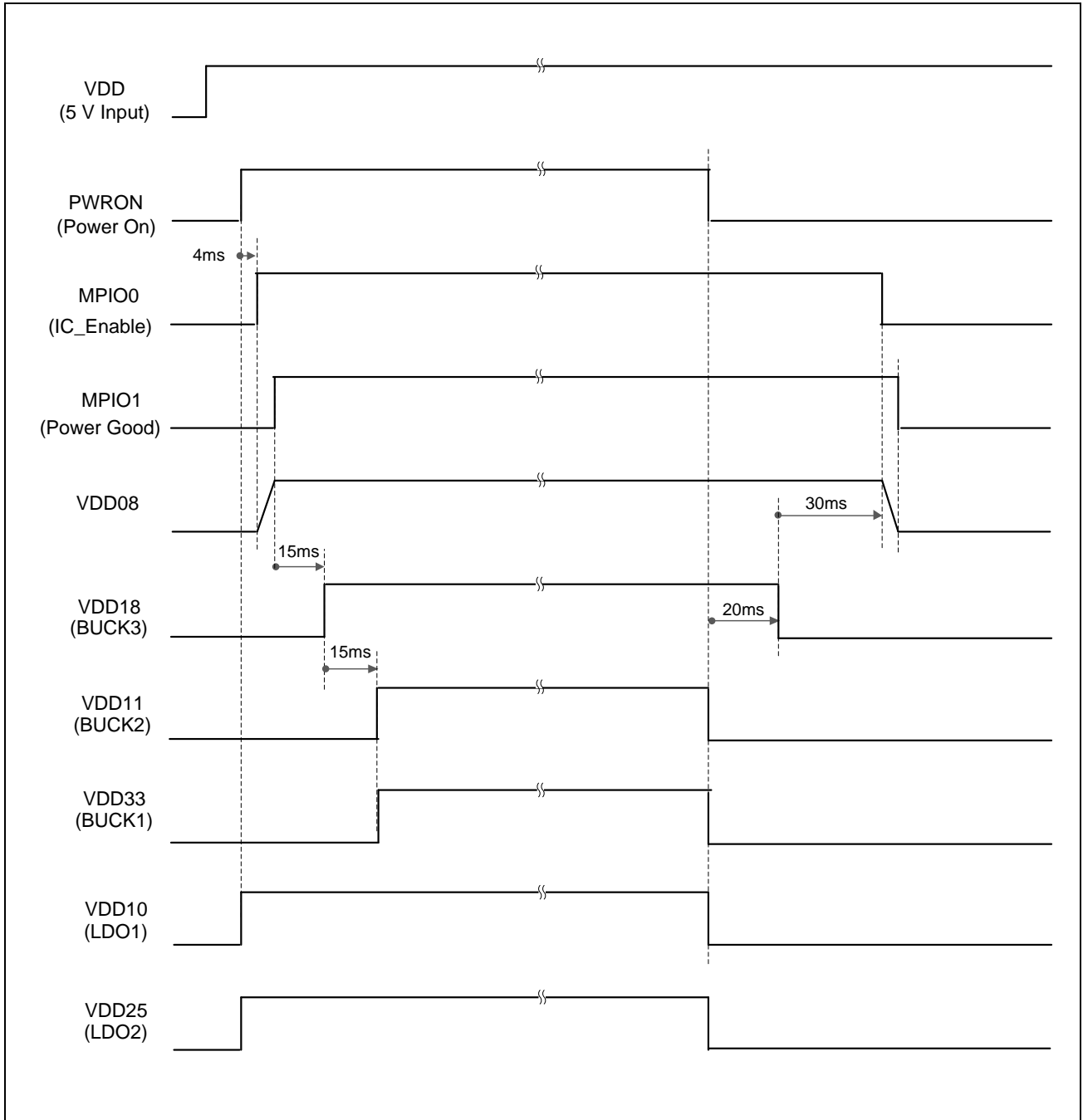


図 1.5 RAA215310AGNP#HA0 + DA9217-17V72 を使用した電源回路のタイミングチャート

1.2.3 リセット回路

図 1.6 にリセット回路例を示します。この例では GreenPAK (SLG7RN46360) を使用することで、容易に Debugger インタフェースを含むリセット回路を構成可能です。EXTRST 端子はオプション機能のため、プルアップ抵抗のみで問題ありません。図 1.7 にリセット回路のタイミング例を示します。

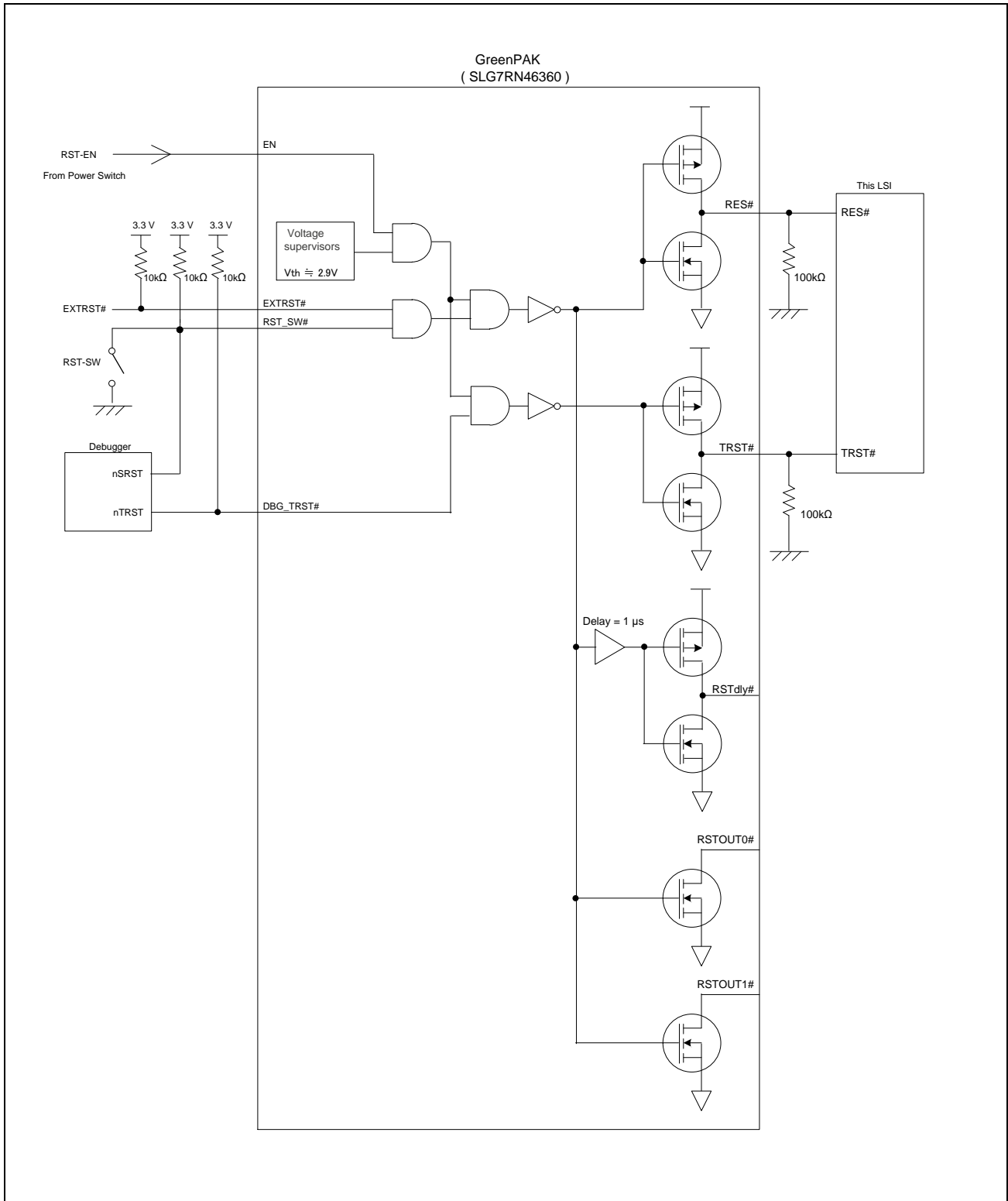


図 1.6 リセット回路

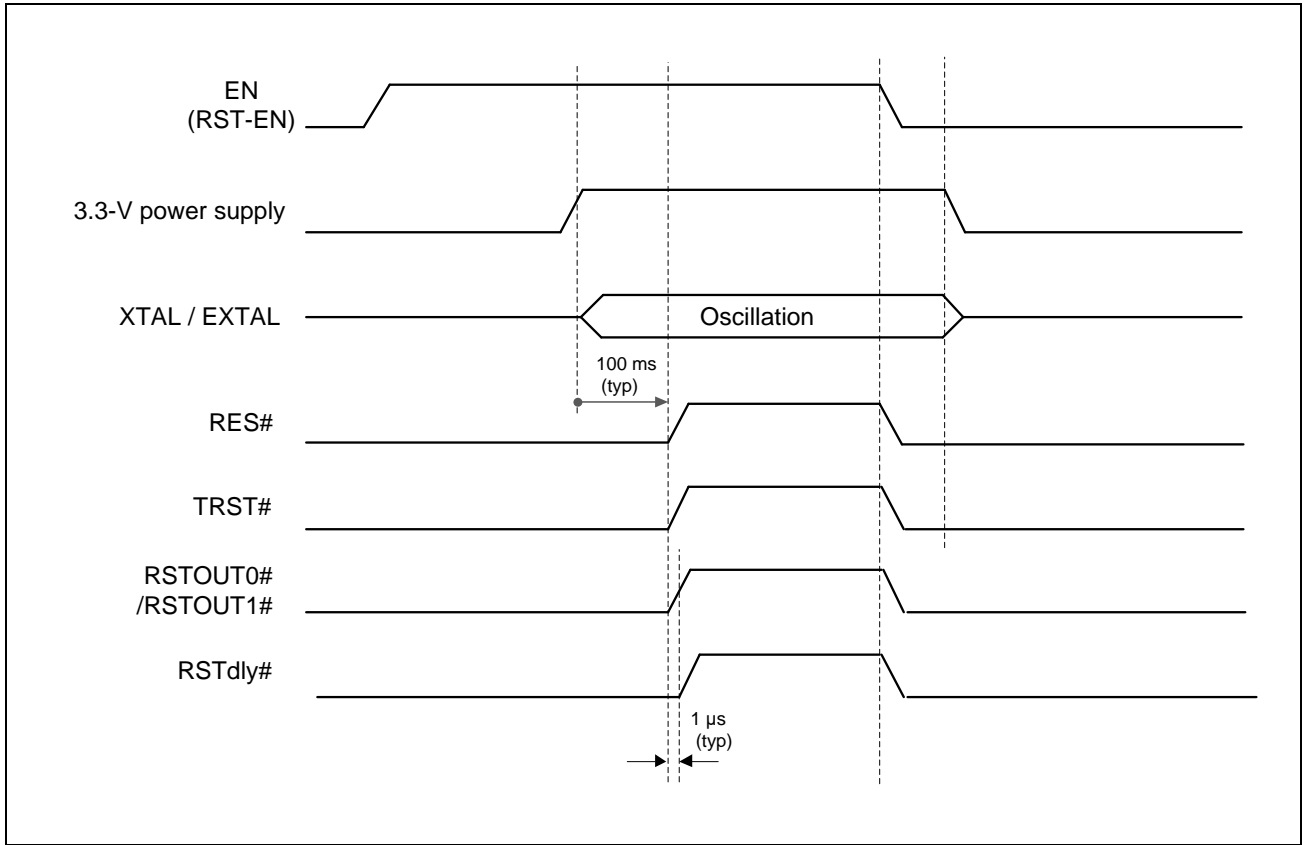


図 1.7 リセット回路のタイミング例

2. 動作モード

2.1 概要

本 LSI は、外付けフラッシュメモリからの起動を前提としています。フラッシュメモリからブートするモードでは、対応する外付けフラッシュメモリに格納されたユーザープログラムから起動して、ブート処理を実行します。セキュリティ機能対応品は、暗号化によりユーザープログラムが保護されるセキュアブートモードも選択可能です。

2.2 動作モードの種類と選択

2.2.1 動作モード (MDn)

外付けフラッシュメモリとデバイスへの接続方式により、7 種類の動作モードが選択可能です。動作モードは、端子リセット (ソフトウェアリセットを除く) 解除時のモード設定端子 (MD2~MD0) の入力レベルによって選択されます。

リセット解除時のモード設定端子 (MD2~MD0) の入力レベルとその時に選択される動作モードの関係を表 2.1 に示します。端子 (MD2~MD0) の値がリセット解除時にレジスタにラッチされます。

表 2.1 MDn 設定端子設定

モード設定端子			動作モード
MD2	MD1	MD0	
Low	Low	Low	xSPI0 ブートモード (x1 ブートシリアルフラッシュ) xSPI0 CS0 空間に接続された x1 ブートシリアルフラッシュメモリからプログラムをブートします。 サポート電圧 (3.3 V または 1.8 V)
Low	Low	High	xSPI0 ブートモード (x8 ブートシリアルフラッシュ) xSPI0 CS0 空間に接続された HyperFlash™ メモリなどの x8 ブートシリアルフラッシュメモリからプログラムをブートします。サポート電圧 (3.3 V または 1.8 V)
Low	High	Low	xSPI1 ブートモード (x1 ブートシリアルフラッシュ) xSPI0 CS0 空間に接続された x1 ブートシリアルフラッシュメモリからプログラムをブートします。 サポート電圧 (3.3 V または 1.8 V)
Low	High	High	eSD ブートモード SDHI1 に接続された eSD からプログラムをブートします。 サポート電圧 (3.3 V)
High	Low	Low	eMMC ブートモード SDHI0 に接続された eMMC からプログラムをブートします。 サポート電圧 (3.3 V または 1.8 V)
High	Low	High	SCI (UART) ブートモード SCI0 に接続された UART 通信により、ホスト PC からプログラムをブートします。フラッシュライター用です。
High	High	Low	USB ブートモード ホスト PC から USB によりプログラムをブートします。フラッシュライター用です。
High	High	High	Reserved (設定禁止)

2.2.2 動作モード I/O ドメインの動作電圧設定 (MDV)

電圧設定端子 (MDV) の入力レベルを基に 3.3 V または 1.8 V 対応のブート周辺 IO 電圧が選択されます。

表 2.2 に 3.3 V または 1.8 V 対応のブート周辺 IO 電源電圧の選択を示します。リセット解除時に端子 (MDV) の値がレジスタに保持されます。ターゲット動作モードは xSPI0 ブートモード (x1、x8)、xSPI1 ブートモード (x1)、および eMMC ブートモードです。eSD ブートモード、SCI ブートモード、USB ブートモードの場合、MDV 設定は影響しません。

表 2.2 3.3 V または 1.8 V 対応のブート周辺 IO 電源電圧の選択

MDV	電源電圧端子
Low	1.8 V
High	3.3 V

2.2.3 ハッシュによる JTAG 認証の選択 (MDD)

ハッシュによる JTAG 認証はブート ROM により処理されます。ブート ROM は JTAG がブートシーケンスで接続されているかどうかを識別しなければなりません。ハッシュイネーブル端子 (MDD) による JTAG 認証は、JTAG が安全に接続されたかどうかを CPU に通知するために使用されます。本端子の値は他のモード設定端子と同様にリセット解除時にレジスタにラッチされます。本端子は、セキュリティ機能に対応している製品に対して有効です。

表 2.3 ハッシュによる JTAG 認証の選択

MDD	JTAG モード
Low	通常モード ハッシュによる JTAG 認証無効
High	ハッシュモードによる JTAG 認証

2.2.4 ATCM ウェイトサイクルの選択 (MDWn)

Cortex-R52 の ATCM ウェイトサイクルはリセット中のみ 0 ウェイトまたは 1 ウェイトから選択可能です。よって、ATCM ウェイトサイクル設定端子 (CPU0 の場合は MDW0、CPU1 の場合は MDW1) は値をキャプチャするために使用されます。これらの端子の値は MDn 端子および MDV 端子と同様にリセット解除時にレジスタにラッチされます。

表 2.4 ATCM ウェイトサイクル設定端子 (MDWn) の選択

MDW0/1	ATCM ウェイトサイクル
Low	0 ウェイト CPU の動作周波数が 500 MHz の場合に有効です。
High	1 ウェイト CPU の動作周波数が 500 MHz または 1000 MHz の場合に有効です。 1000 MHz を使用する場合はこの設定を選択してください。

2.3 モード入力電圧およびタイミング

動作モード端子である MDn、MDV、MDD、MDWn は、動作モード遷移が完了するまで、VDD1833_n_domain 電圧に従って、表 2.5 または表 2.6 を満たす適切なレベルの電圧 (V_{IH33} , V_{IL33}) を入力してください。また、表 2.7 のモードホールド時間を満足する必要があります。(図 2.1 を参照) モード端子は本 LSI の周辺機能と兼用しているため、注意して実装してください。特に、周辺機能が入力端子となる場合には外部からの信号入力も考慮が必要です。

表 2.5 入力レベル電圧 (VDD1833_n_domain) (3.3-V mode)

項目	シンボル	条件	Min	Typ	Max	単位
入力 High レベル電圧	V_{IH33}	—	$VDD1833 \times 0.7$	—	$VDD1833 + 0.3$	V
入力 Low レベル電圧	V_{IL33}	—	-0.3	—	$VDD1833 \times 0.3$	V

表 2.6 入力レベル電圧 (VDD1833_n_domain) (1.8-V mode)

項目	シンボル	条件	Min	Typ	Max	単位
入力 High レベル電圧	V_{IH18}	—	$VDD1833 \times 0.7$	—	$VDD1833 + 0.3$	V
入力 Low レベル電圧	V_{IL18}	—	-0.3	—	$VDD1833 \times 0.3$	V

表 2.7 モードホールド時間

パラメータ	シンボル	条件	Min	Typ	Max	単位
モードホールド時間 (From RES#)	t_{MDH}	—	250	—	—	ns

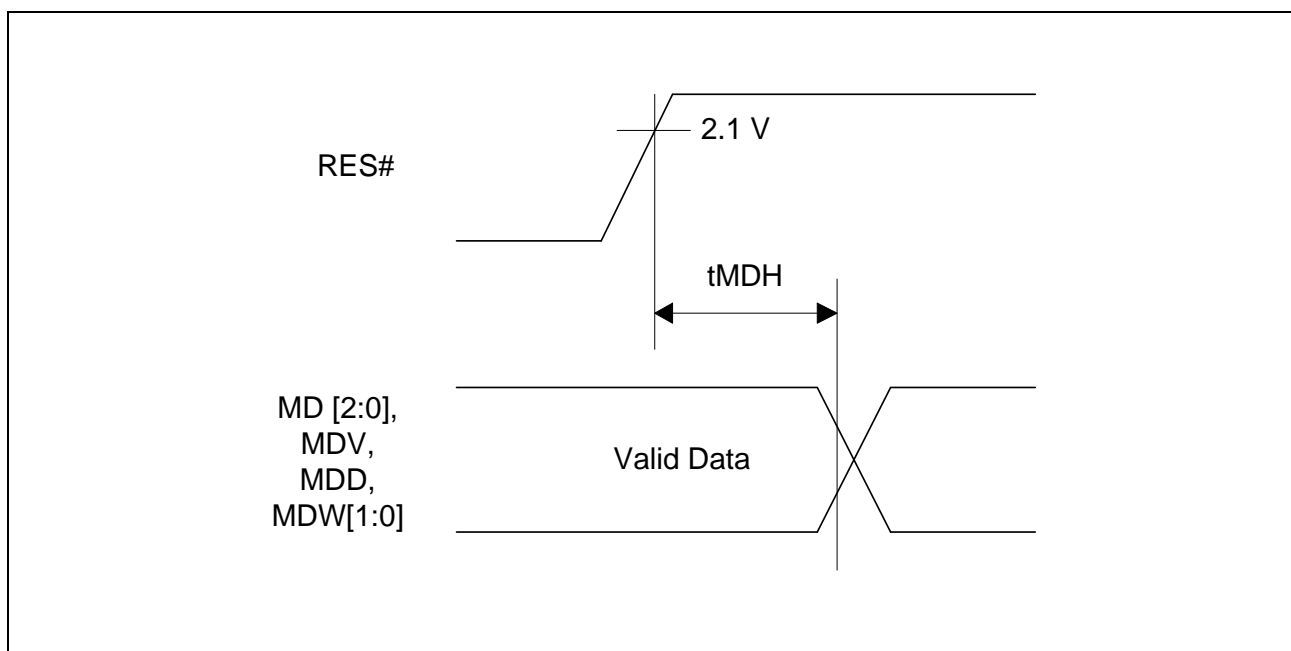


図 2.1 モード入力タイミング

2.4 注意事項

モード設定端子 MDn、MDV、MDD、MDWn の一部の端子は、Ethernet 関連の端子と共通になっております。特に Ethernet で RGMII モードを使用する場合は、信号周波数が高くなるため注意する必要があります。

不要な反射を抑えるため、モード設定用回路部品（プルアップ/プルダウン抵抗）は可能な限り LSI の近くに配置してください。LSI から部品までの配線長は 1.5 cm 以内を推奨します。

3. 発振回路

3.1 クロック端子

RZ/T2H および RZ/N2H のメインクロックとして、外部クロックを入力する方法と、水晶振動子を接続する方法があります。

表 3.1 に水晶振動子を接続できる、またはクロックを入力できる端子とその周波数を示します。EtherCAT® 使用時には±25 ppm の精度を満たしてください。

表 3.1 クロック端子

Xin 端子	Xout 端子	説明	条件	周波数
EXTAL	XTAL	EXTAL クロック入力周波数	—	25.00 MHz ±50 ppm
			EtherCAT 使用時	25.00 MHz ±25 ppm

3.2 外部クロック接続

図 3.1 に外部クロック入力の接続例を示します。EXTAL は抵抗を介して VSS に接続し、XTAL はオープンのままにします。さらに、XTALSEL を抵抗を介して VSS に接続します。水晶発振器を使用する場合は、EXTCLKIN 端子のできるだけ近くに配置する必要があります。EXTCKIN に入力するクロック信号パターンは、水晶発振器の回路 GND パターンでシールドしてください。シールドに使用される GND 幅が 0.3 mm 以上で、隣接する信号との間隔が 0.3 mm～2.0 mm を推奨します。

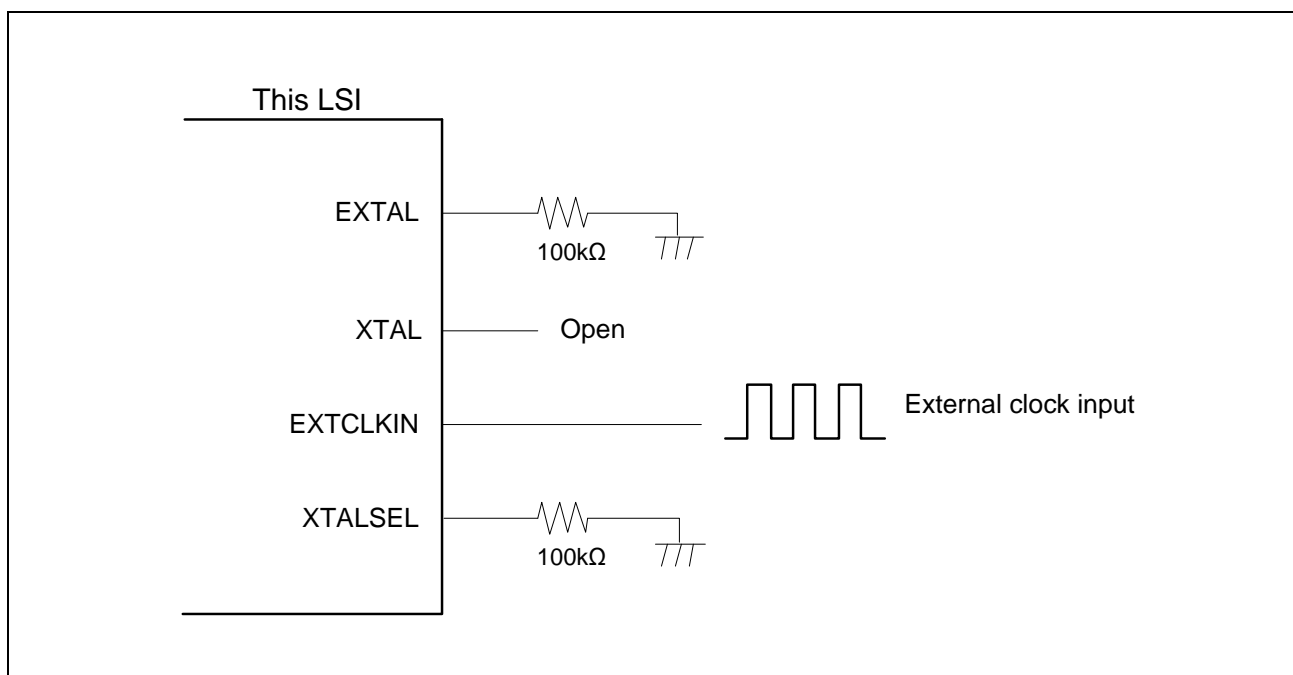


図 3.1 外部クロックの接続例

3.3 水晶振動子の接続

図 3.2 に水晶振動子の接続例を示します。EXTCLKIN は抵抗を介して VSS に接続し、XTALSEL は抵抗を介して VDD33 に接続してください。

水晶振動子を使用する場合は、環境温度やノイズなどの影響を受けやすくなるためレイアウトには特にご注意ください。

試作プリント基板 (PCB) の設計には、水晶回路部品と組み合わせたときに適切な発振動作に必要な場合に備えて、オプションの抵抗 R_d を含めることをお勧めします。

RZ/T2H および RZ/N2H グループの LSI は帰還抵抗 R_{if} を内蔵していませんので、外付け帰還抵抗 R_f は必須となります。また、制限抵抗 R_d は 0Ω を推奨しますので、PCB に実装する必要はありません。

ただし、水晶振動子の特性によっては、オプションの外付け抵抗 (R_d) が必要になる場合があります。また、図 3.2 に示す CL1、CL2 定数は参考値であり、水晶振動子の特性により最適値は異なりますので、お客様のシステムに最適な発振回路定数が必要な場合は、水晶振動子メーカーにお問い合わせください。

これらの抵抗器は、量産前の PCB に取り付けられた量産水晶回路コンポーネントで発振回路の性能を評価した後、量産 PCB 設計から削除することができます。

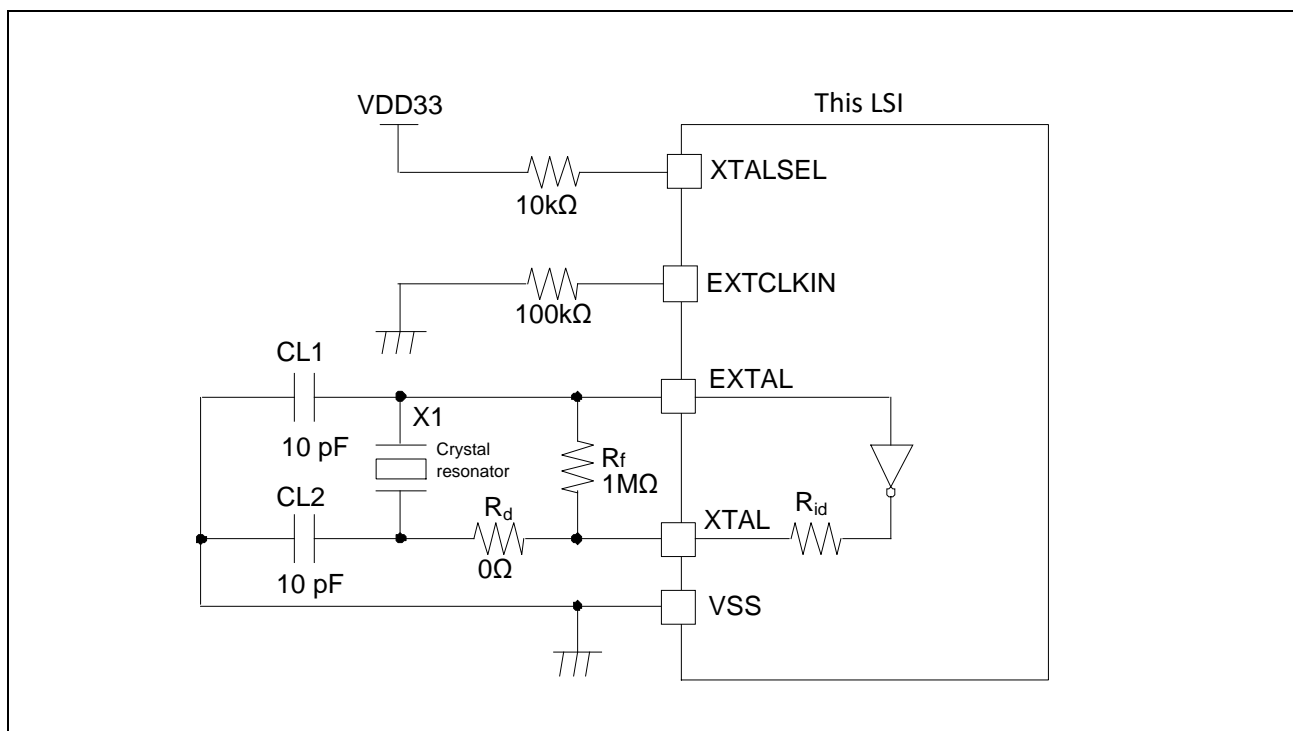


図 3.2 水晶振動子の接続例

3.3.1 レイアウト例

本章では、水晶振動子周辺回路のレイアウト例を示します。

クロック入出力端子にノイズが乗ると、クロック波形が乱れ、MCU の誤動作やプログラム暴走の原因となる場合があります。また、MCU の VSS 入力と水晶振動子に電位差があると、MCU に正確なクロック信号を入力できませんのでご注意ください。

図 3.3 に、水晶振動子接続用の PCB レイアウトの Layer1 の例を示します。

以下のポイントに注意してください。

- 水晶振動子とコンデンサ CL1 および CL2 は、Xin (EXTAL) 端子と Xout (XTAL) 端子のできるだけ近くに配置してください。
- インダクタンスを回避し、正常に発振させるために、水晶振動子と追加するコンデンサの接地点を共通にし、配線パターンがこれらの部品の近くに配置されないようにしてください。
- クロック入出力端子の配線パターンは水晶振動子周辺回路の GND パターンでシールドし、クロック入出力端子のパターンは大電流が流れるパターンや急激なレベル変化をするパターンと平行や交差させないでください。
- シールドの GND 幅は 0.3 mm 以上、隣接する信号との間隔が 0.3 mm～2.0 mm を推奨します。

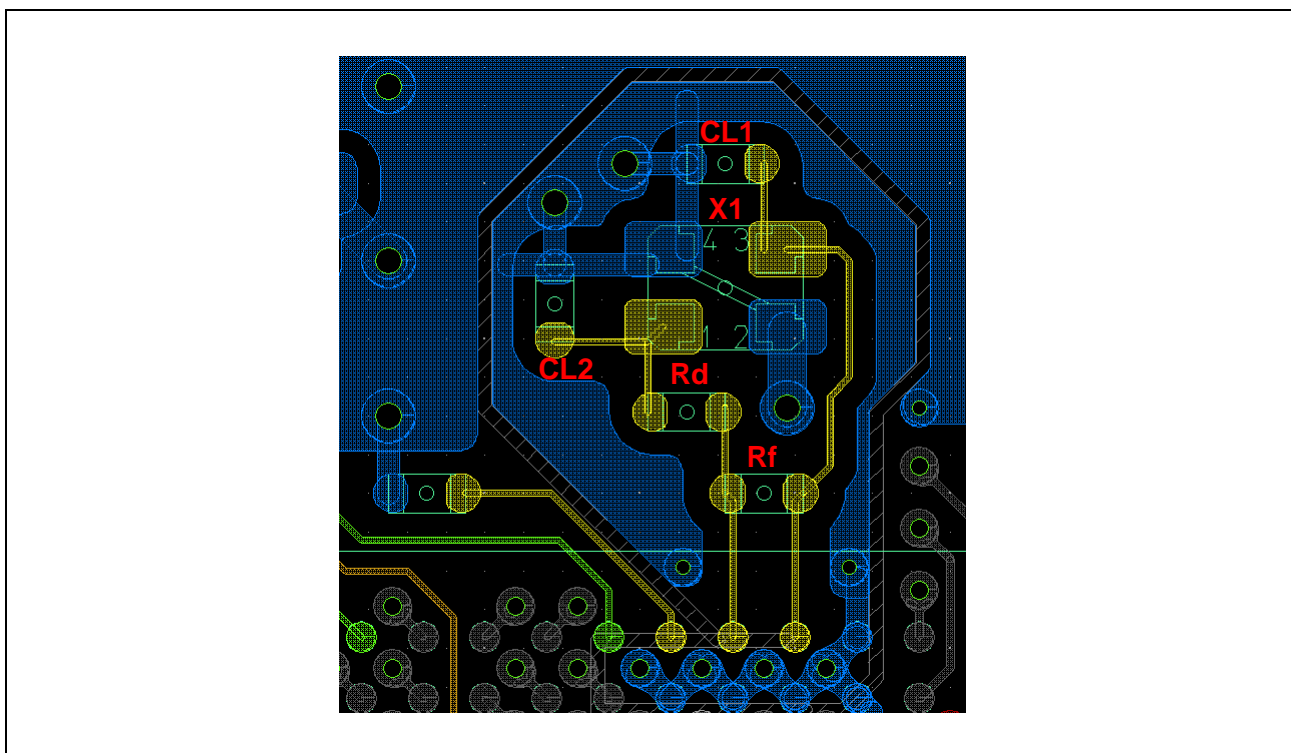


図 3.3 基板の 1 層目 (Layer1) のレイアウト例

図 3.4 に PCB の発振回路から最も遠い層のレイアウト例を示します。

水晶振動子周辺回路が配置されている領域の中間層のパターン配線は、他の GND や信号に影響を与えるため禁止されています。水晶振動子周辺回路から最も遠い層の領域は必ず水晶振動子周辺回路の GND としてください。

- 水晶振動子周辺回路の GND と DGND を分離してください。
- 水晶振動子周辺回路の GND は LSI 近くの GND と 1 点で接続してください。

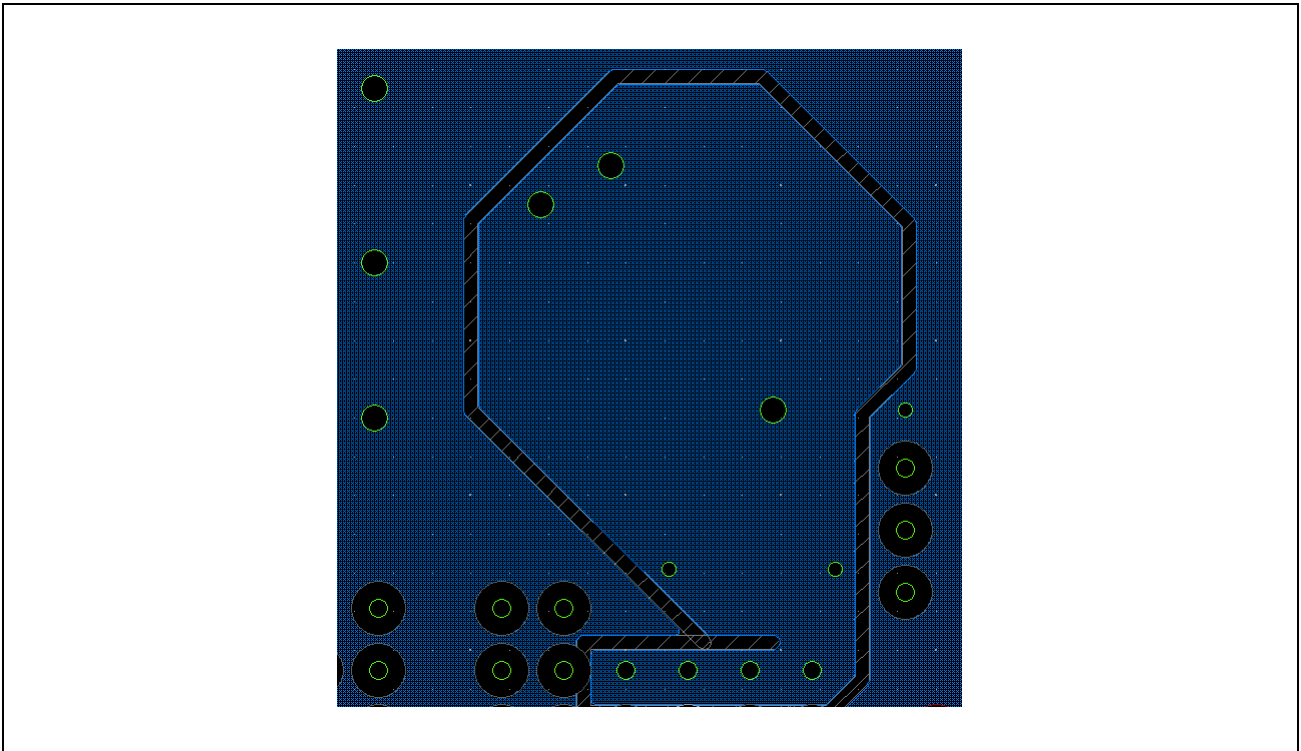


図 3.4 発振回路から最も遠い層のレイアウト例

4. フラッシュメモリ

本 LSI のブート動作とフラッシュメモリの動作モードとが一致しない場合、ブートに失敗します。本章ではフラッシュメモリとの接続で考慮すべき点を説明します。

選択したフラッシュメモリの電源仕様（3.3 V または 1.8 V）によって、VDD1833 の電源電圧を切り替える必要があります。**表 4.1** に、I/O ドメインと VDD1833 電圧設定を示します。

表 4.1 I/O ドメインと VDD1833 電圧設定

I/O ドメイン	電源ピン	電源電圧
xSPI0	VDD1833_4	3.3 V or 1.8 V
xSPI1	VDD1833_5	3.3 V or 1.8 V

4.1 xSPI_n (n = 0, 1) ブートモード (x1 ブートシリアルフラッシュ)

本 LSI には、xSPI コントローラが搭載されており、外部シリアルフラッシュに対して、xSPI0 ブートまたは xSPI1 ブート (x1 ブートシリアルフラッシュ) モードで起動できる仕様となっております。起動時にはシリアルフラッシュに対して、プロトコルモード 1S-1S-1S でアクセスし、システムソフトウェアリセットを行います。なお、本ブートモード設定に関しては、**表 2.1** を参照してください。

リセット解除後に xSPI_n (n = 0, 1) ブートモード (x1 ブートシリアルフラッシュ) でブート処理開始直後、ローダ用パラメータを転送するまで処理を実行します。

注意

x1 ブートシリアルフラッシュモードでは、アプリケーションプログラムによりシリアルフラッシュのプロトコルモードを 1S-1S-1S から別のモードに切り替えた場合、リセット後のシリアルフラッシュのプロトコルモード設定に注意する必要があります。本 LSI のみをリセットした場合、シリアルフラッシュはブート時の 1S のコマンドを受けられず正常に起動することができません。対応案について以降、説明いたします。

4.1.1 ハードウェアリセット付きのシリアルフラッシュの場合

アプリケーションプログラムによりシリアルフラッシュのプロトコルモードを 1S-1S-1S 以外に変更する場
合、以下のソフトウェアおよびハードウェア対策を実装してください。

- (1) ソフトウェアリセット前にシリアルフラッシュのプロトコルモードを 1S-xx-xx (コマンドは、1S モー
ド) に切り替える。
- (2) システムリセット時にシリアルフラッシュに対してもハードウェアリセットをかける。

図 4.1 にリセット端子付き Quad シリアルフラッシュの接続例を示します。Quad シリアルフラッシュにハー
ドウェアリセットがかかると、Quad シリアルフラッシュのプロトコルモード設定もリセットされます。

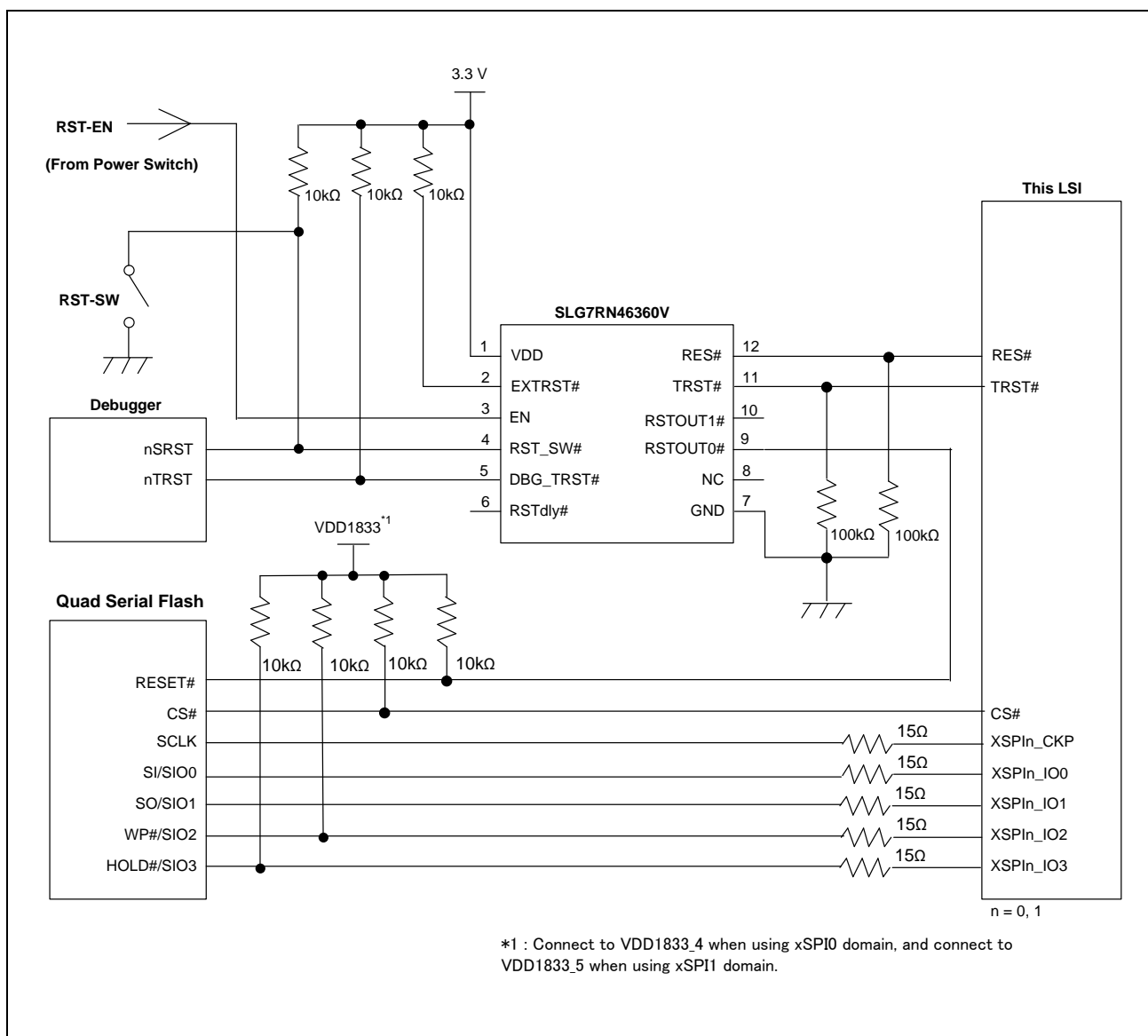


図 4.1 リセット端子付き Quad シリアルフラッシュの接続例

4.1.2 ハードウェアリセット端子の無いシリアルフラッシュの場合

ハードウェアリセット端子の無いシリアルフラッシュを使用する場合、ユーザープログラムでシリアルフラッシュのプロトコル設定を 1S-1S-1S プロトコルから他のプロトコルモードに変更した後に本 LSI をリセットすると、ブートプログラムのプロトコルモードとシリアルフラッシュのプロトコルモードが不一致となり、ブートエラーが発生しますので、以下のような対応をしてください。

- (1) シリアルフラッシュのプロトコルモードは 1S-1S-1S のまま使用する。
- (2) 1S-xx-xx（コマンドは、1S）を使用する。

図 4.2 にリセット端子無しの Quad シリアルフラッシュの接続例を示します。

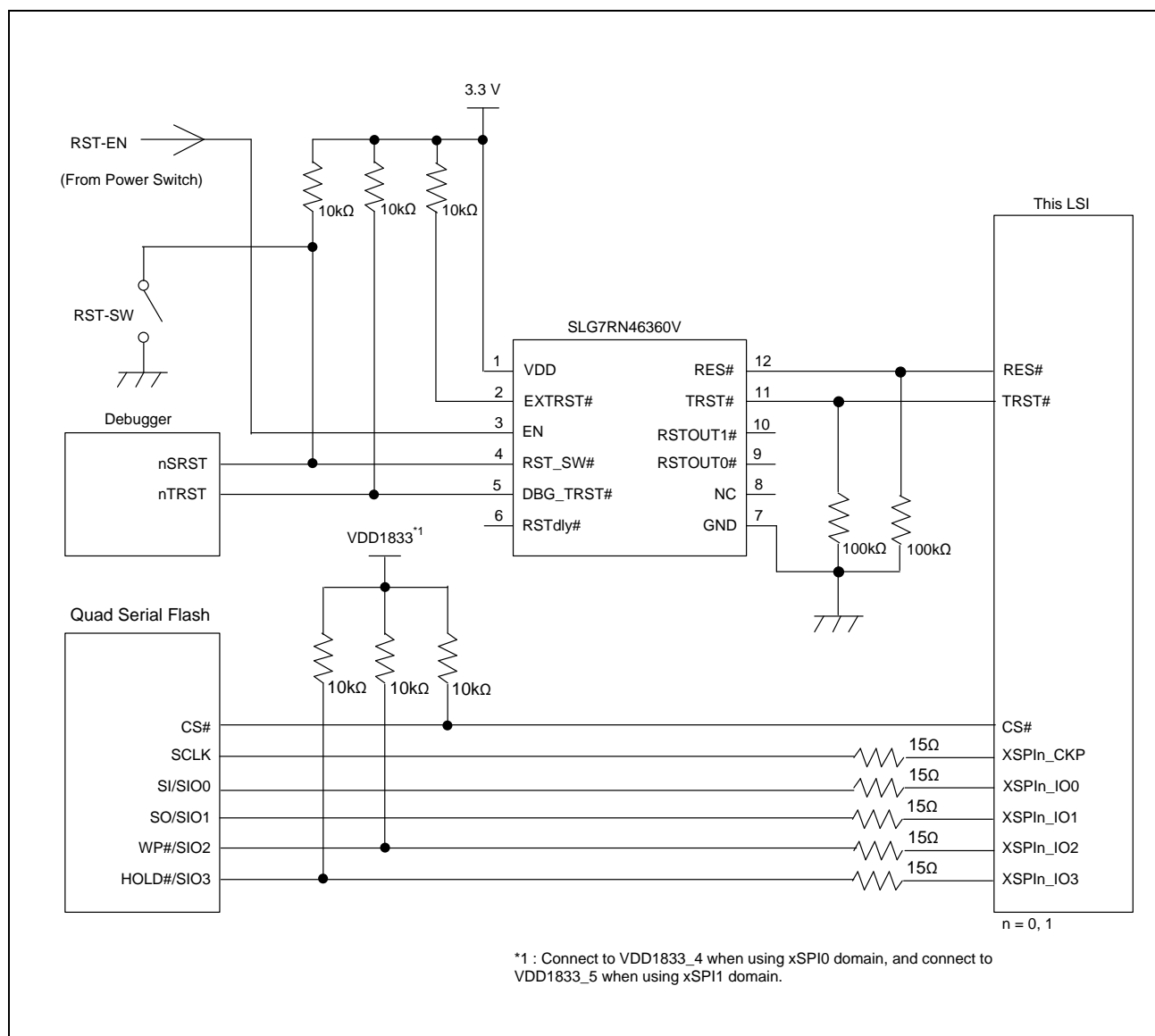


図 4.2 リセット端子無しの Quad シリアルフラッシュの接続例

4.2 xSPI0 ブートモード (x8 ブートシリアルフラッシュ)

図 4.3 に、x8 ブートシリアルフラッシュの接続例を示します。

xSPI0 boot (x8 ブートシリアルフラッシュ) モードでは、起動時にはシリアルフラッシュに対して、プロトコルモード 8D-8D-8D プロファイル 2.0 でアクセスし、XSPIO_RESET#0 端子によりハードウェアリセットを行います。なお、本ブートモード設定に関しては、表 2.1 を参照してください。

注意

プロトコルモード 8D-8D-8D プロファイル 2.0 に対応したシリアルフラッシュを選定してください。

ブート時は、リードレイテンシサイクル 10 で HyperFlash からデータを読み出します。リードレイテンシサイクルが 10 の HyperFlash をお使いください。

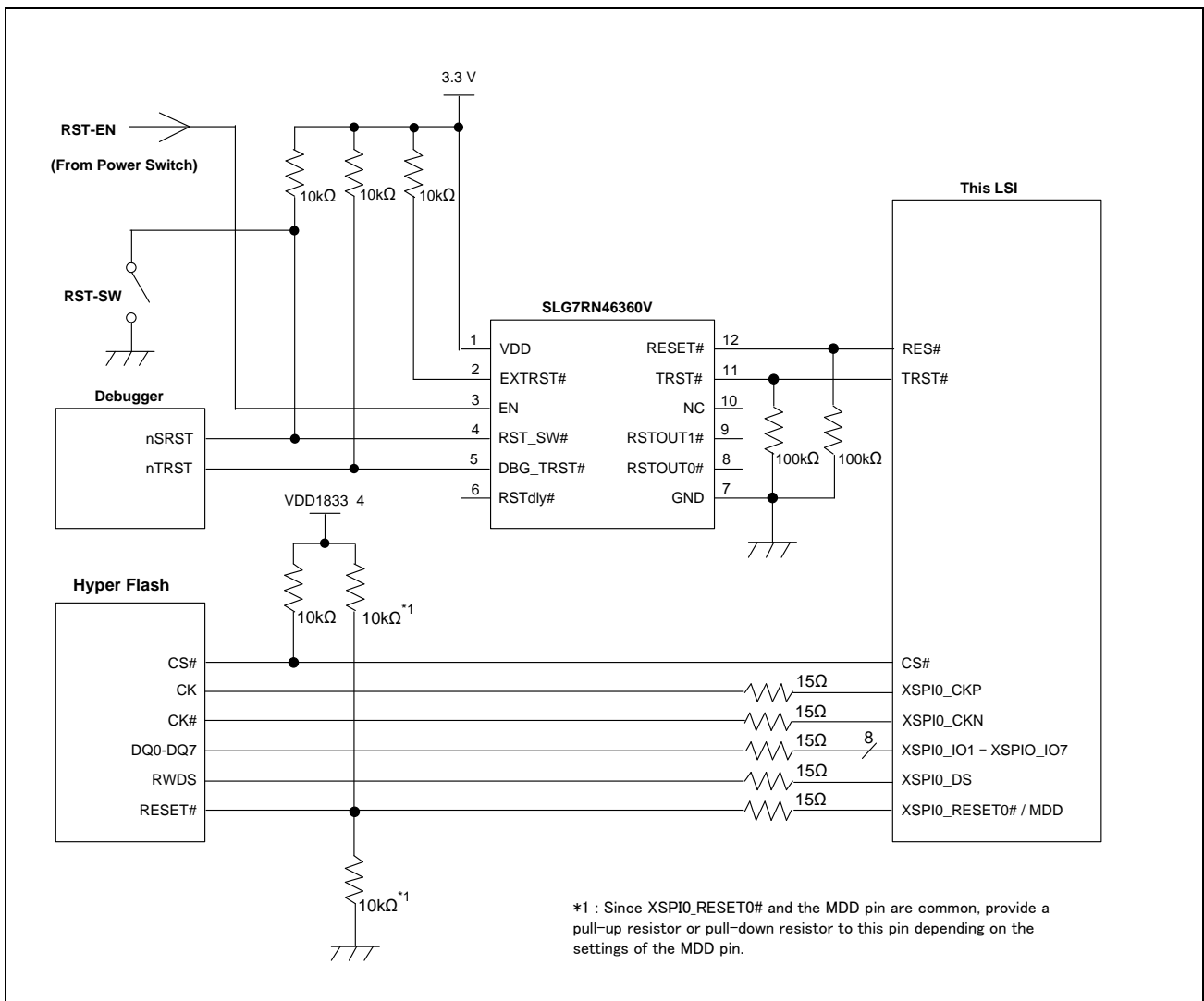


図 4.3 x8 ブートシリアルフラッシュの接続例

5. Ethernet

5.1 Ethernet PHY

本 LSI は、10Mbps と 100Mbps に対応している MII のほかに、信号数を減らした RMII、ギガビット Ethernet に対応可能な RGMII の 3 種類が利用可能です。図 5.1～図 5.3 に、各 Ethernet モードの回路例を示します。各回路例のダンピング抵抗値は一例であり、実際の値は波形を確認して決定してください。

選択した MII モードによって、VDD1833 の電源電圧を切り替える必要があります。表 5.1 に、MII モードと VDD1833 電圧設定を示します。

表 5.1 MII モードと VDD1833 電圧設定

I/O ドメイン	電源ドメイン	MII / RMII	RGMII
ETH0	VDD1833_0	3.3 V	1.8 V
ETH1	VDD1833_1	3.3 V	1.8 V
ETH2	VDD1833_2	3.3 V	1.8 V
ETH3	VDD1833_3	3.3 V	1.8 V

図 5.1 に、Ethernet PHY との MII の接続例を示します。

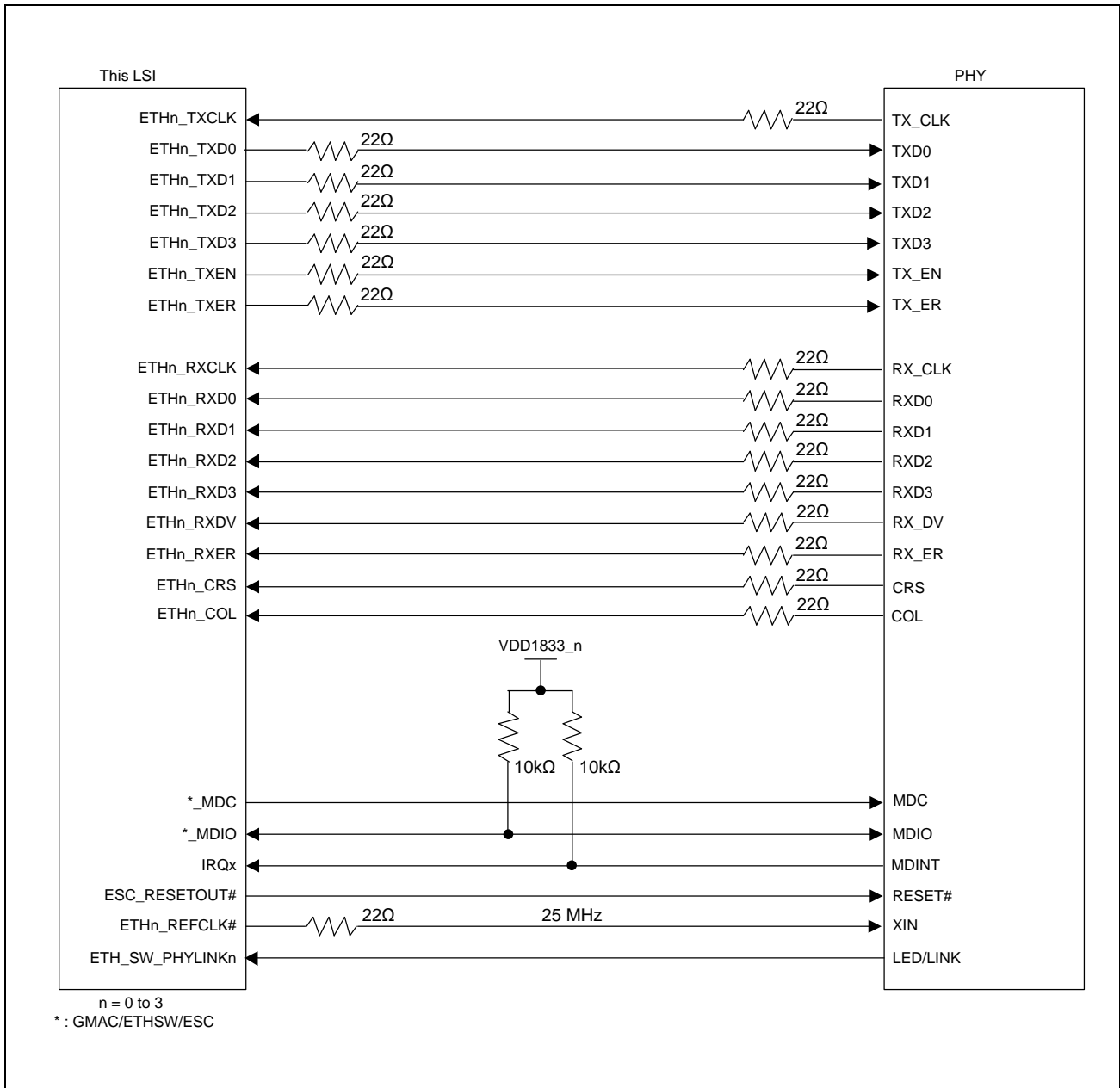


図 5.1 Ethernet PHY との MII 接続例

図 5.2 に、Ethernet PHY との RGMII の接続例を示します。

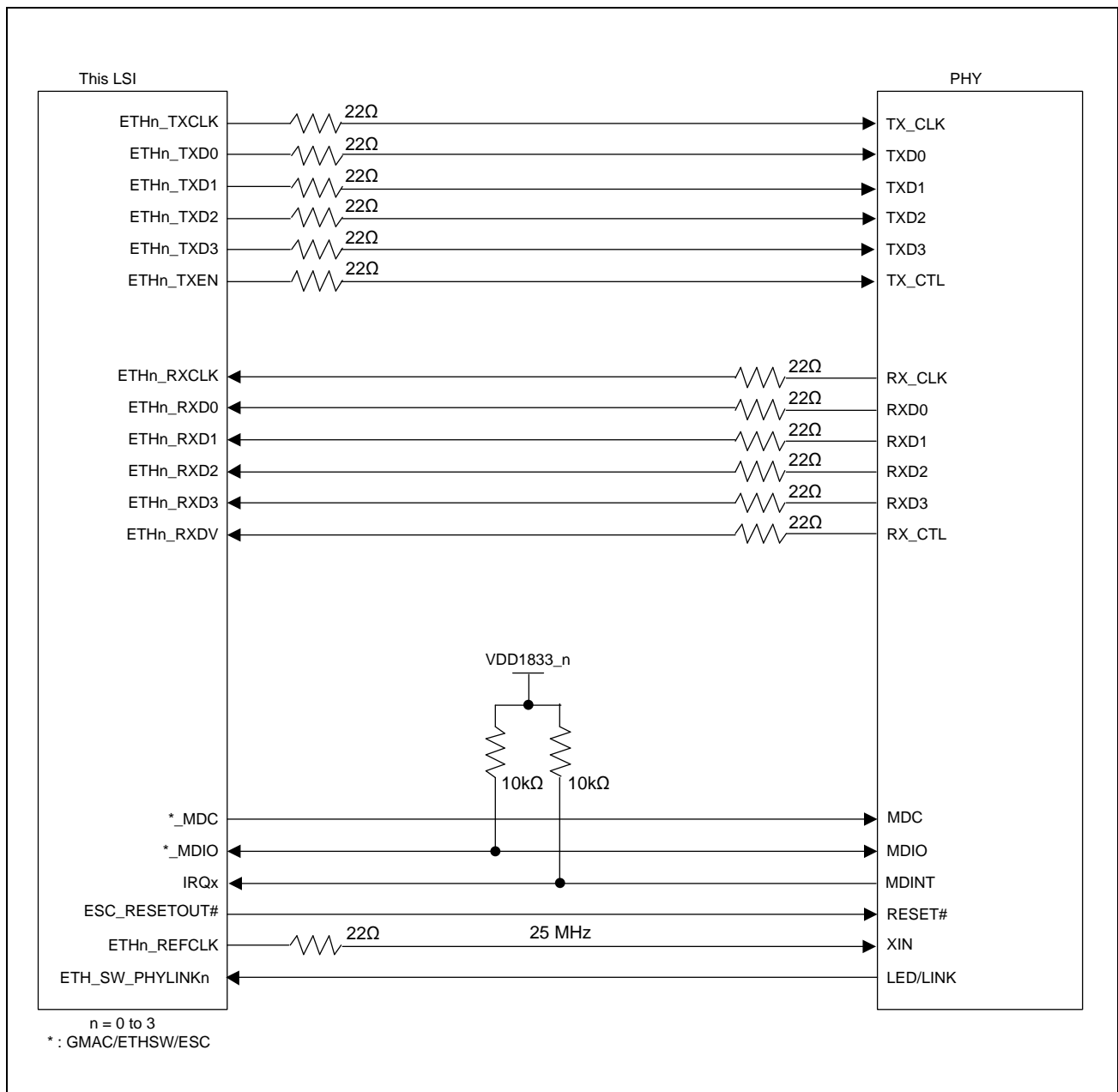


図 5.2 Ethernet PHY との RGMII 接続例

図 5.3 に、Ethernet PHY との RMI I の接続例を示します。

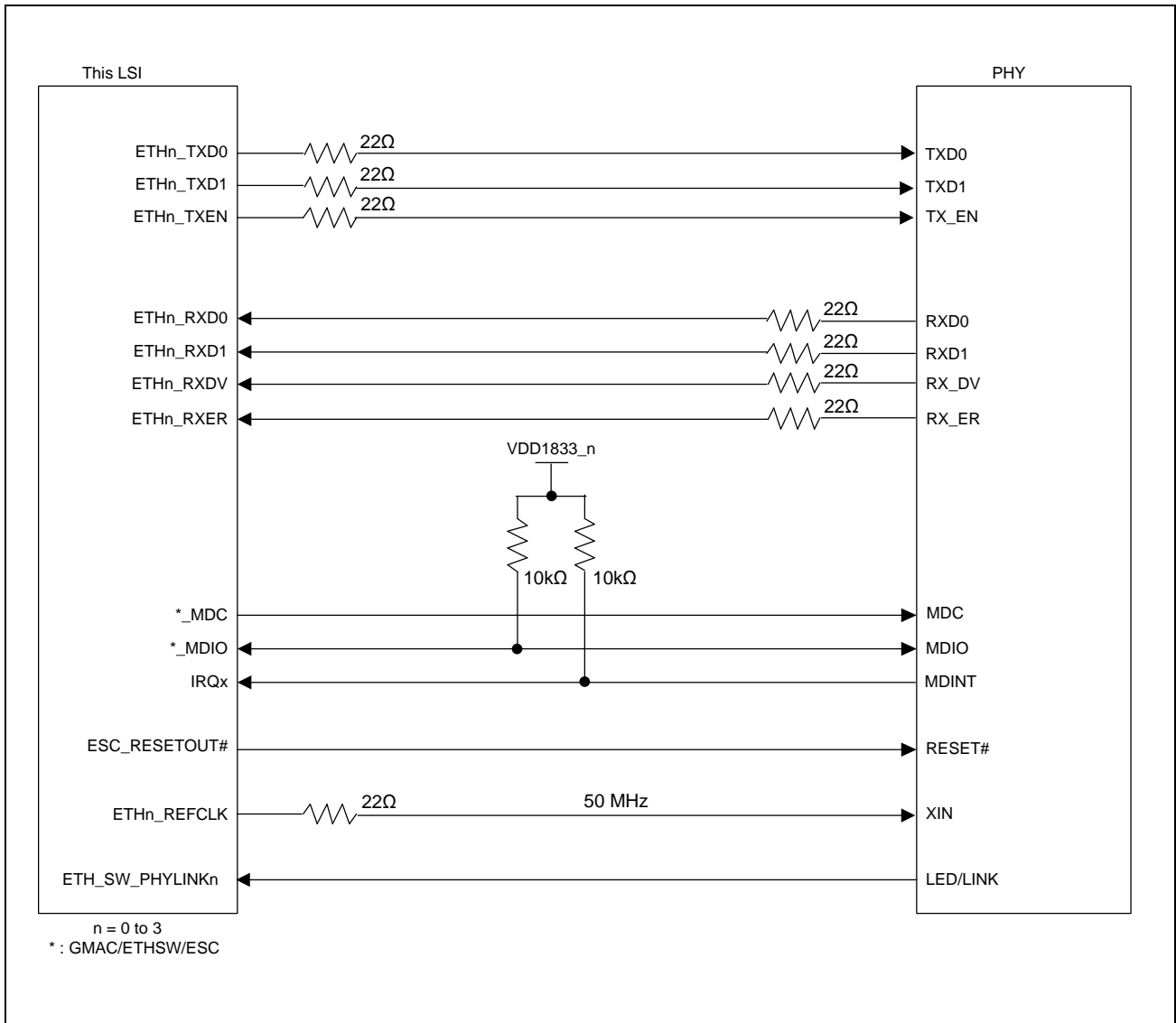


図 5.3 Ethernet PHY との RMI I 接続例 (50 MHz クロックを出力する場合)

5.1.1 Ethernet PHY のレイアウト注意点

ETHn_TXCLK と ETHn_TXD[3:0]、および ETHn_RXCLK と ETHn_RXD[3:0]は、等長配線してください。

5.2 EtherCAT

EtherCAT 使用時に注意すべき接続を説明します。ただし、EtherCAT Technology Group (ETG) の認証を得るためには ETG の関連文書を必ず参照してください。

ハードウェア機能の詳細は Beckhoff 社の“EtherCAT IP Core for Xilinx FPGAs” v2.04e のドキュメントを参照してください。

5.2.1 PHY のアドレス

PHY デバイスのアドレスは ESC のポート 0、1、2 の順に連続アドレスになるようにしてください。ESC は Enhanced Link Detection などの一部の機能において、PHY レジスタへ自動的にアクセスします。

ESC が検出する PHY のベースアドレスは ECATOFFADR レジスタ (EtherCAT PHY Offset Address Setting Register) で変更可能です。初期状態ではベースアドレスは 0 です。

5.2.2 PHY との接続

5.2.2.1 MAC-PHY インタフェース

本 LSI は、MAC-PHY インタフェースとして MII/RMII/RGMII をサポートしていますが、ETG の関連文書では MII を推奨されています。なぜならば、RMII または RGMII は PHY の内部での遅延が原因で、EtherCAT 通信の精度が MII より劣る可能性があるためです。詳細は PHY の製造ベンダおよび ETG にお問い合わせください。

5.2.2.2 PHY の Link LED 端子との接続

入力信号 ESC_PHYLINK0/1/2 に、PHY の Link LED を接続してください。ESC はこの信号により、物理 Link の状態を監視します。

PHYLNK レジスタ (Ethernet PHY Link Mode Register) により、信号のアクティブレベルを変更できます。初期状態は Low アクティブです。

5.2.2.3 PHY リセット端子との接続

ESC がリセットされた場合に PHY も同期してリセットしたい場合には、ESC_RESETOUT#を PHY のリセット端子に接続してください。これにより、EtherCAT マスターからのコマンドにより本 ESC がリセットされた時、同時に PHY もリセットすることができます。

注意

ESC は初期リセット状態では ESC_RESETOUT#信号は GPIO モードになっていますので、初期状態では PHY のリセット端子をアサートできません。該当の端子を GPIO の出力モードに設定し PHY のリセットを制御した後で、ESC_RESETOUT#モードに PinMux を変更してください。

5.2.2.4 REFCLK 信号と TXCLK 信号

EtherCAT では PHY の動作クロックと ESC の動作クロックが同一位相であることが理想であるため、ETHn_REFCLK 信号からの 25 MHz クロックを PHY の 25 MHz クロック入力に接続します。

ESC の TXCLK はオプション端子ですが、ESC の“Automatic TX shift compensation”を有効化するために PHY の TXCLK と接続することを推奨します。ETHn_REFCLK の基準クロックに Main clock を使用した場合は、Automatic TX CLK shift 機能の使用が必須となります。

REFCLK と TXCLK の組み合わせは、表 5.2 を参照してください。

表 5.2 Automatic TX shift compensation 設定

REFCLK と PHY との接続	TXCLK 接続	TXCLK 未接続
25 MHz の REFCLK を PHY に接続 PHYSEL = 0 (REFCLK は PLL 基準)	Automatic TX shift が有効 ECATDBGC レジスタによる位相調整は不要	Automatic TX shift が無効 ECATDBGC レジスタによる位相調整が必要
25 MHz の REFCLK を PHY に接続 PHYSEL = 1 (REFCLK は OSC 基準)	Automatic TX shift が有効 ECATDBGC レジスタによる位相調整が必要	使用不可
25 MHz の REFCLK を PHY に接続しない	Automatic TX shift が有効 ECATDBGC レジスタによる位相調整が必要	使用不可

5.2.2.5 CRS、COL 信号

ESC は全二重モードしかサポートしていないため、MII 接続時には ETHn_CRIS (n = 0~2) 信号と ETHn_COL (n = 0~2) を無視します。従って、ESC でしか使用しない場合には CRS と COL 端子は不要です。

5.2.3 EEPROM との接続

ESC_I2CCLK/ESC_I2CDATA 信号を EEPROM と接続してください。ESC は起動時に EEPROM からコンフィギュレーション情報をロードします。

注意

EEPROM が 16k ビットより大きいサイズになると通信プロトコルが変化します。初期状態では 16k ビット以下のサイズ向けの設定になっていますので、これより大きいサイズの EEPROM を接続した場合は ECATOPMOD レジスタ (EtherCAT Operation Mode Register) のレジスタ設定を変更後に ESC のリセットを解除してください。

5.2.4 LED との接続

ESC の動作状態を示す信号 ESC_LED_{RUN}、ESC_LED_{ERR}、ESC_LED_{STER} (オプション) を LED に接続してください。

ESC の通信状態を示す信号 ESC_LINKACT_n (n = 0~2) を LED に接続してください。必要に応じて、トランジスタ等のバッファ回路を追加してください。

ESC の LED 接続例を図 5.4 に示します。詳細は、ETG の文書“ETG.1300 Indicator and Labeling”を参照してください。

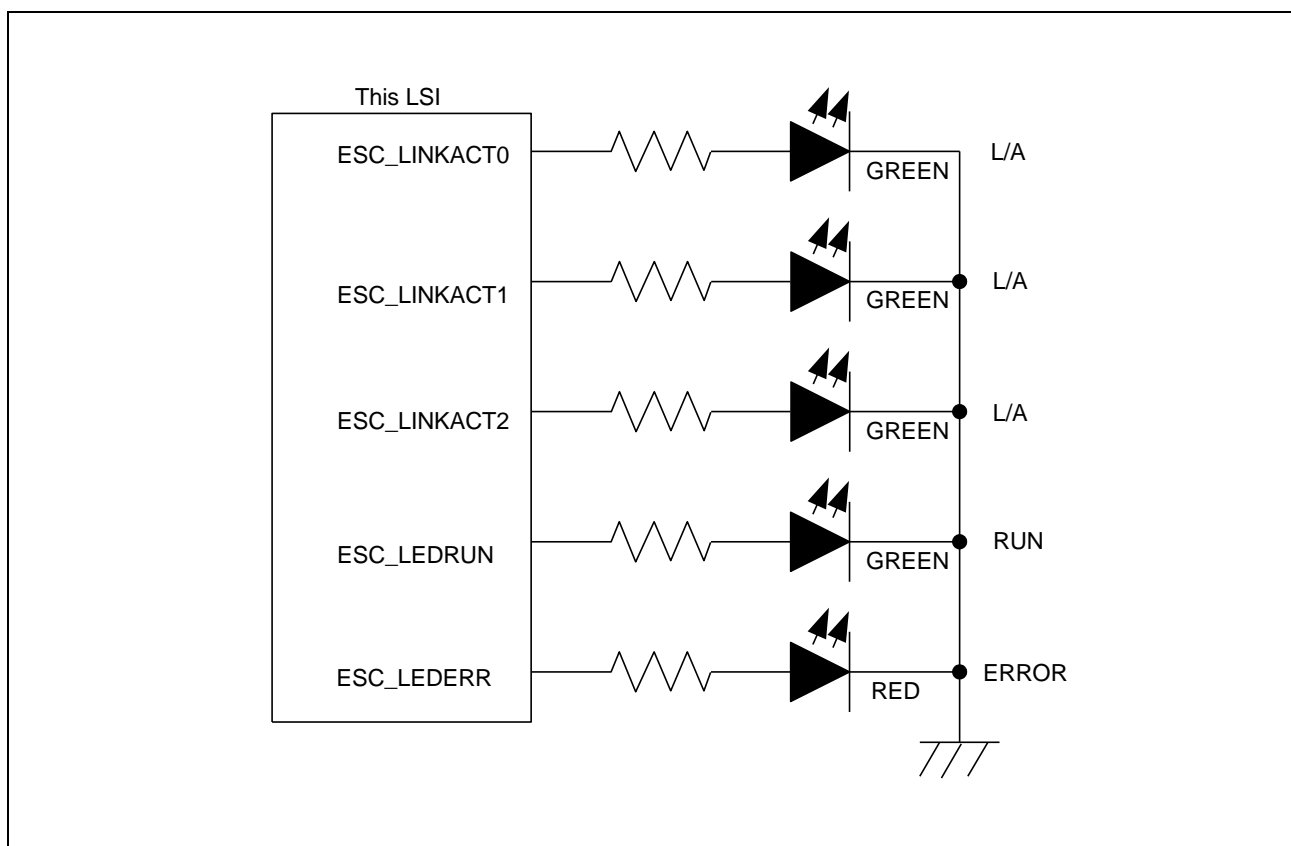


図 5.4 ESC の LED 接続例

6. eMMC および SD

本 LSI は eMMC/SD ホストインタフェースとして SDHI0 と SDHI1 の 2 チャンネルを備えています。

表 6.1 に eMMC および SD の機能割り当てを示します。SDHI0 は eMMC または SD インタフェースに対応し、SDHI1 は SD インタフェースのみに対応します。

以下に注意点を記載します。

- eMMC は、SDHI0 チャンネルのみの割り当てとなります。
- eSD ブートは、SDHI1 チャンネルのポートに自動的に割り当てられており、変更することはできません。
- LVS (Low Voltage Signals) カードでは、3.3 V と 1.8 V の電源切り替えに対応する必要があります。SD ポートとして使用しない同じ電源ドメイン (VDD1833_6 または VDD1833_7) の汎用ポート (**表 6.1** の (*)) にも 3.3 V と 1.8 V の電源切り替えが発生するため、注意が必要です。

表 6.1 eMMC および SD 機能割り当て

電源ドメイン	チャンネル	ピン機能	SD ポート	eMMC ポート
VDD1833_6	SDHI0	P12_0	SD0_CLK	SD0_CLK
		P12_1	SD0_CMD	SD0_CMD
		P12_2	SD0_DATA0	SD0_DATA0
		P12_3	SD0_DATA1	SD0_DATA1
		P12_4	SD0_DATA2	SD0_DATA2
		P12_5	SD0_DATA3	SD0_DATA3
		P12_6	(*)	SD0_DATA4
		P12_7	(*)	SD0_DATA5
		P13_0	(*)	SD0_DATA6
		P13_1	(*)	SD0_DATA7
	P13_2	(*)	SD0_RST#	
	SDHI0 以外	P13_3	(*)	—
		P13_4	(*)	—
		P13_5	(*)	—
P13_6		(*)	—	
VDD_1833_7	SDHI1	P16_5	SD1_CLK	—
		P16_6	SD1_CMD	—
		P16_7	SD1_DATA0	—
		P17_0	SD1_DATA1	—
		P17_1	SD1_DATA2	—
	P17_2	SD1_DATA3	—	
	SDHI1 以外	P17_3	(*)	—

6.1 eMMC

図 6.1 に本 LSI と eMMC デバイスの接続図例を示します。各回路例のダンピング抵抗およびプルアップ抵抗の値は一例であり、実際の値は eMMC デバイス仕様や波形を確認した上で決定してください。なお、この回路例には電源に必要なバイパスコンデンサは含まれていませんので、必要に応じて追加してください。

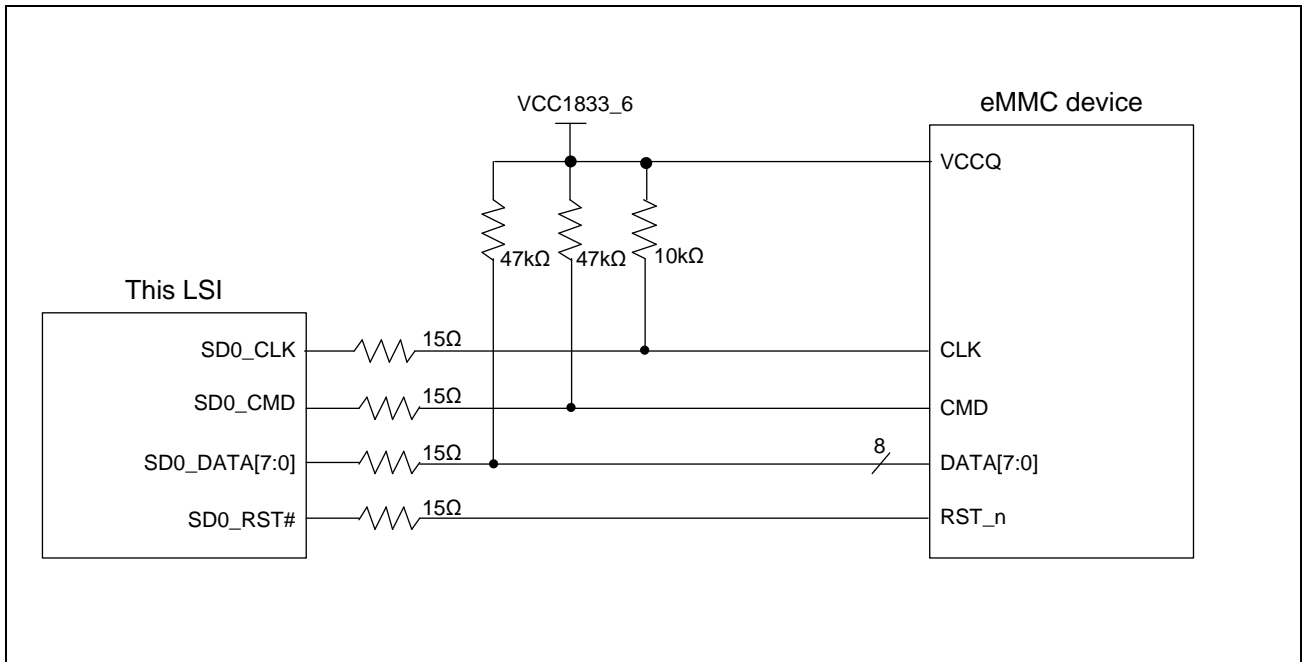


図 6.1 本 LSI と eMMC デバイスの接続図

6.2 SD

図 6.2 に eSD Boot で使用する場合の、接続図例を示します。また、図 6.3 に、VDD1833_7 で SDHI1 チャンネルを使用した場合の本 LSI と SD スロットの接続図例を示します。SD_n_PWEN については SD カードの初期化が必要な場合に、SD カードに供給する電源のオン/オフを制御するために使用してください。本回路例では LVS (Low Voltage Signaling) カードを考慮して、リセット状態になった時に SD カードの電源を切るような回路構成となっています。

なお、この回路例には電源に必要なバイパスコンデンサは含まれていませんので、必要に応じて追加してください。

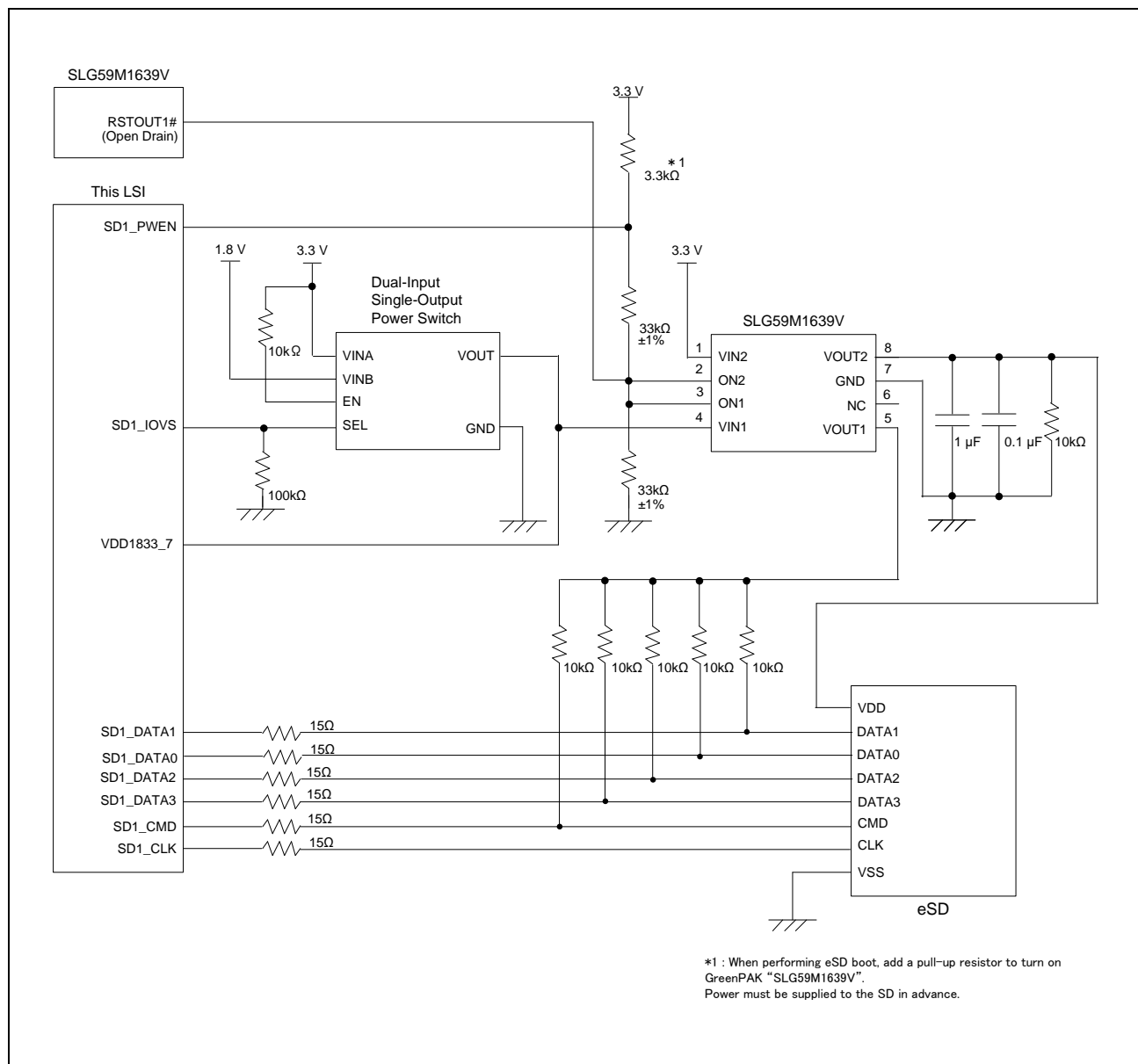


図 6.2 eSD Boot 時の本 LSI と eSD の接続図

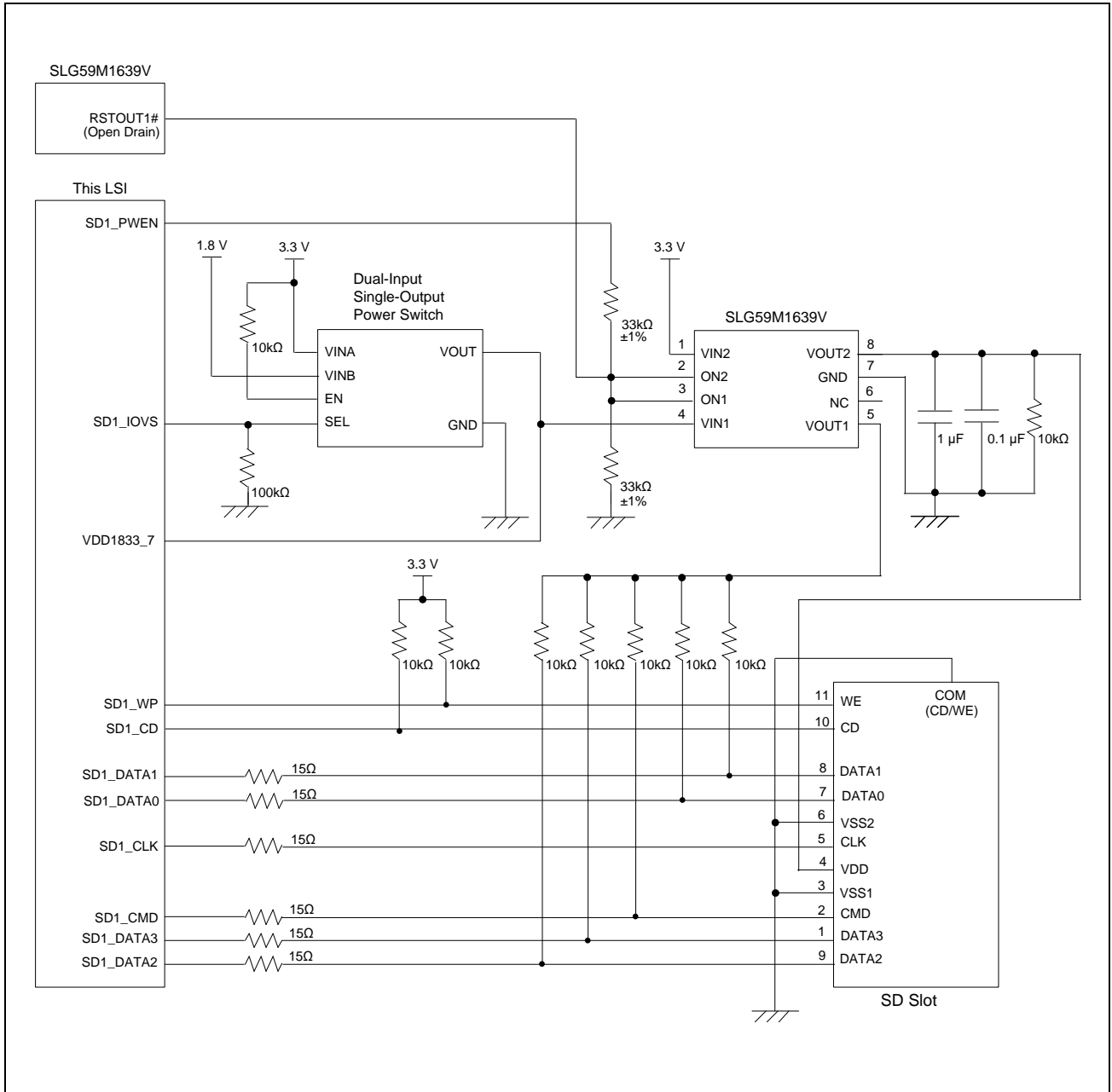


図 6.3 本 LSI と SD スロットの接続図

7. PCIe

7.1 PCB 仕様およびレイアウト

7.1.1 PCB レイヤーの厚みと層数

エッジコネクタのないボードは任意の層数と厚さで設計可能ですが、エッジを設ける場合はボード全体の厚さが 1.57 mm (0.062 inch) になるように設計する必要があります。

7.1.2 PCB レイアウトについての注意事項

基板上の配線は以下に注意してください。

- TX 端子の近くに 0.22 μ F の AC カップリングコンデンサを配置してください。
- 差動信号のスキューを避けるため、差動信号は等長配線してください。
- 差動信号配線は、差動インピーダンスを TYP 100 Ω (\pm 5%)、シングルエンドインピーダンスを TYP 50 Ω (\pm 5%) で設計することを推奨します。また、差動インピーダンスを TYP 85 Ω (\pm 5%)、シングルエンドインピーダンスを TYP 42.5 Ω (\pm 5%) で設計することも可能です。
- ビアを使用して差動信号をトレースする場合、各差動信号には同じ数のビアが必要になります。トレースのビアや層の変更は可能な限り避けてください。
- コンプライアンステストで使用するテストフィクスチャ CLB3 には、x4/x8 と x1/x16 の 2 種類があります。PCIe® スロットの選択に関しては、1 レーン (1 レーンのみサポート) または 4 レーンをお勧めします。
- 未接続の全レーンは、コンプライアンステスト中に終端する必要があります。
- PCIe 規格では PCB 上のインサクションロスバジェットが想定されています。CPU から PCIe スロットやエッジまでのパターン配線を可能な限り短くし、インサクションロスを低減するようにしてください。

7.1.3 推奨電源フィルター構成

図 7.1 に推奨電源フィルター構成を示します。

ノイズの影響を軽減するため電源端子フィルターを構成してください。ノイズの影響を避けるためボード電源と PCIe 電源の間にフェライトビーズ (FB) の使用を推奨します。デカップリングコンデンサは電源端子のできるだけ近くに配置してください。

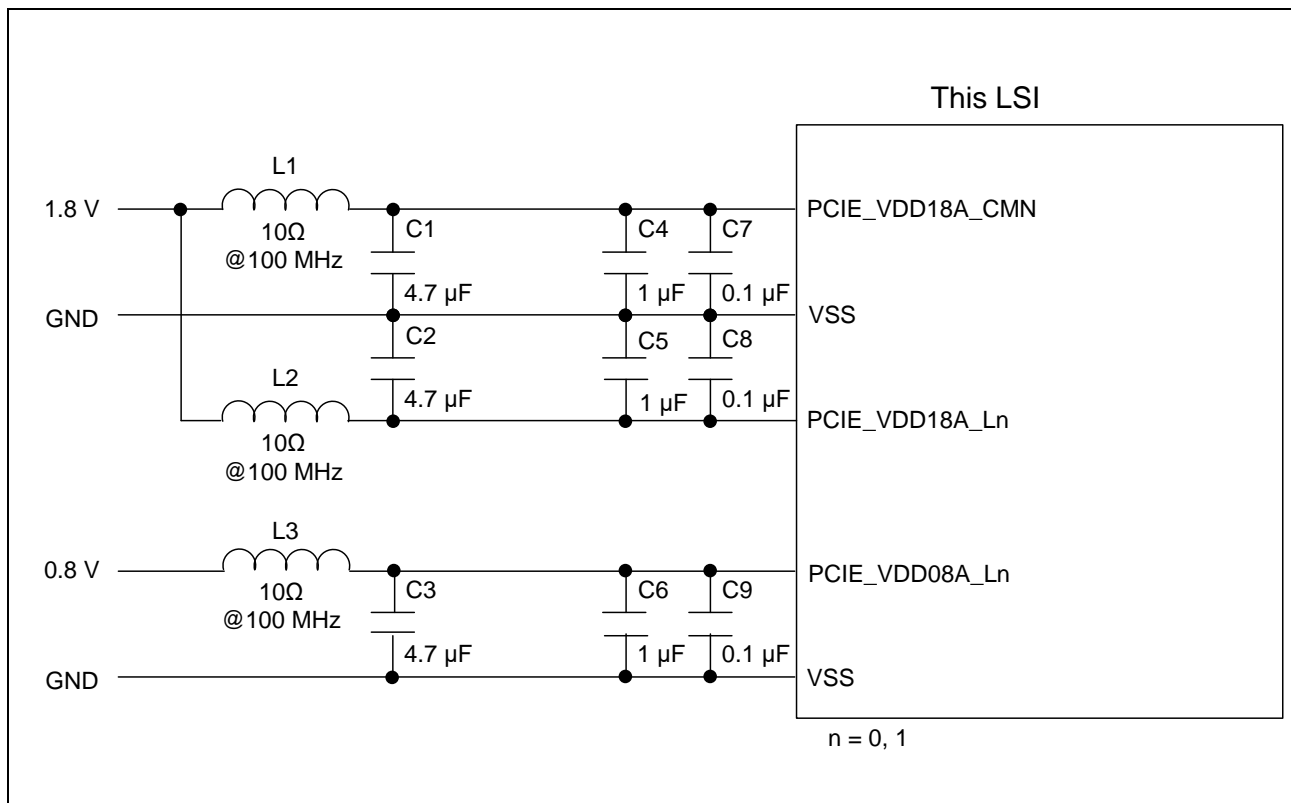


図 7.1 PCIe 推奨フィルター構成

表 7.1 PCIe 推奨部品リスト

部品	種類	仕様	推奨部品
L1, L2, L3	フェライトビーズ (FB)	10Ω@100 MHz	BLM15AX100SN1D
C1, C2, C3	セラミックコンデンサ	4.7 μF ±10%	GRM188C71A475KE11D
C4, C5, C6	セラミックコンデンサ	1.0 μF ±20%	GRM033D70G105ME01
C7, C8, C9	セラミックコンデンサ	0.1 μF ±10%	GRM033C71A104KE14

7.2 回路例

本章では PCIe の回路例を示します。PERST#と WAKE#端子はオープンドレイン出力のためシステムボード上でプルアップ抵抗を追加する必要があります。これらの端子には VOH 仕様はありません。本回路例では、差動信号配線に関して差動インピーダンス TYP 100Ω (±5%)、シングルエンドインピーダンスが TYP 50Ω (±5%) での設計例を示します。

7.2.1 Root Complex

図 7.2 に PCIe Root Complex の回路例を示します。すべての PCI Express アドインカードコネクタには、+12V と +3.3V の 2 つの電源レールと、オプションの 3 つ目の 3.3Vaux レールが必要です。

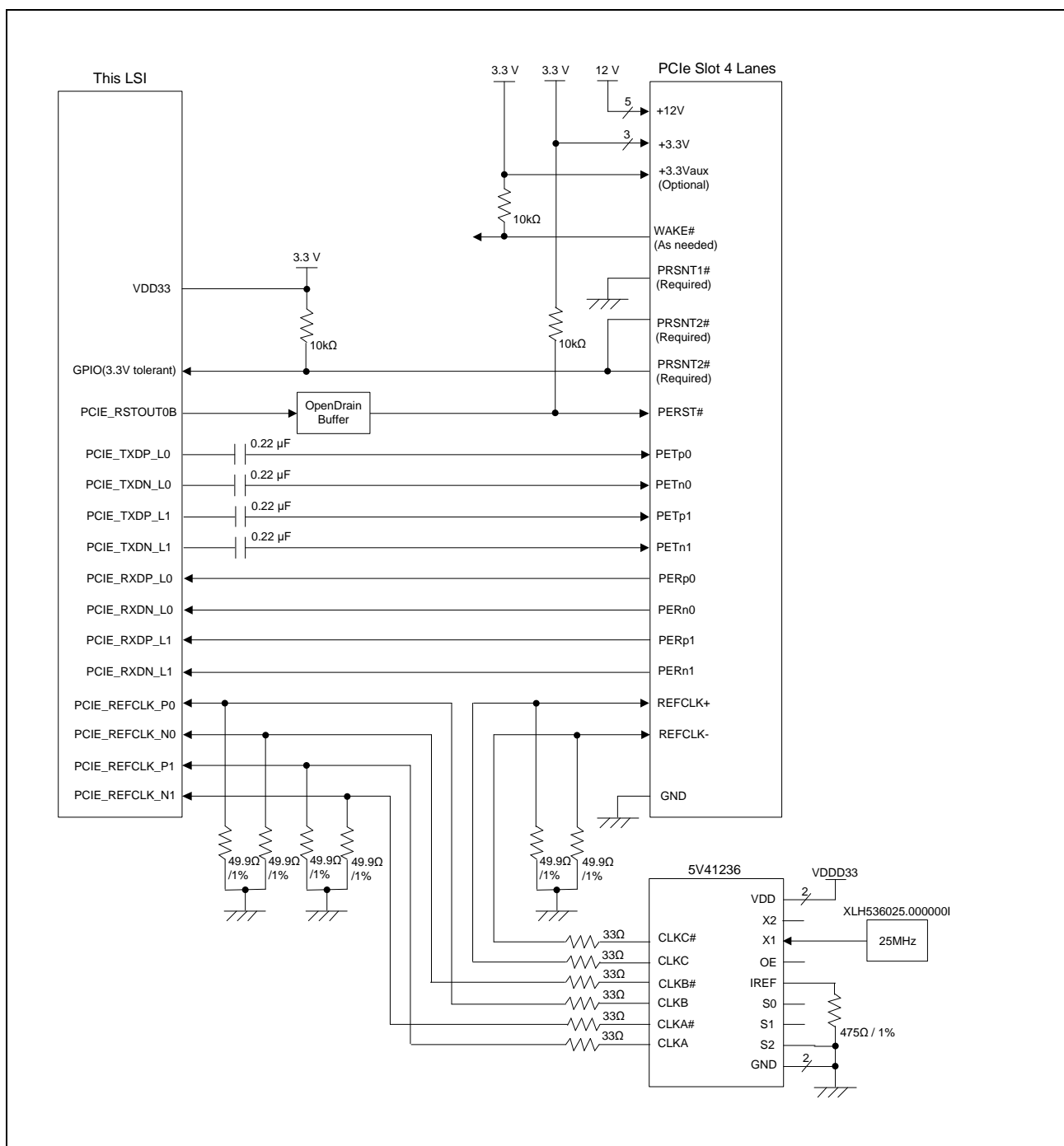


図 7.2 PCIe Root Complex 回路例

7.2.2 End Point

図 7.3 に PCIe End Point の回路例を示します。

PRSNT1#信号は、最も離れた PRSNT2#信号に 1 本のトレースで接続する必要があります。たとえば、4 Lane コネクタを使用した場合は、A1 ピンの PRSNT1#を B31 ピンの PRSNT2#に接続します。

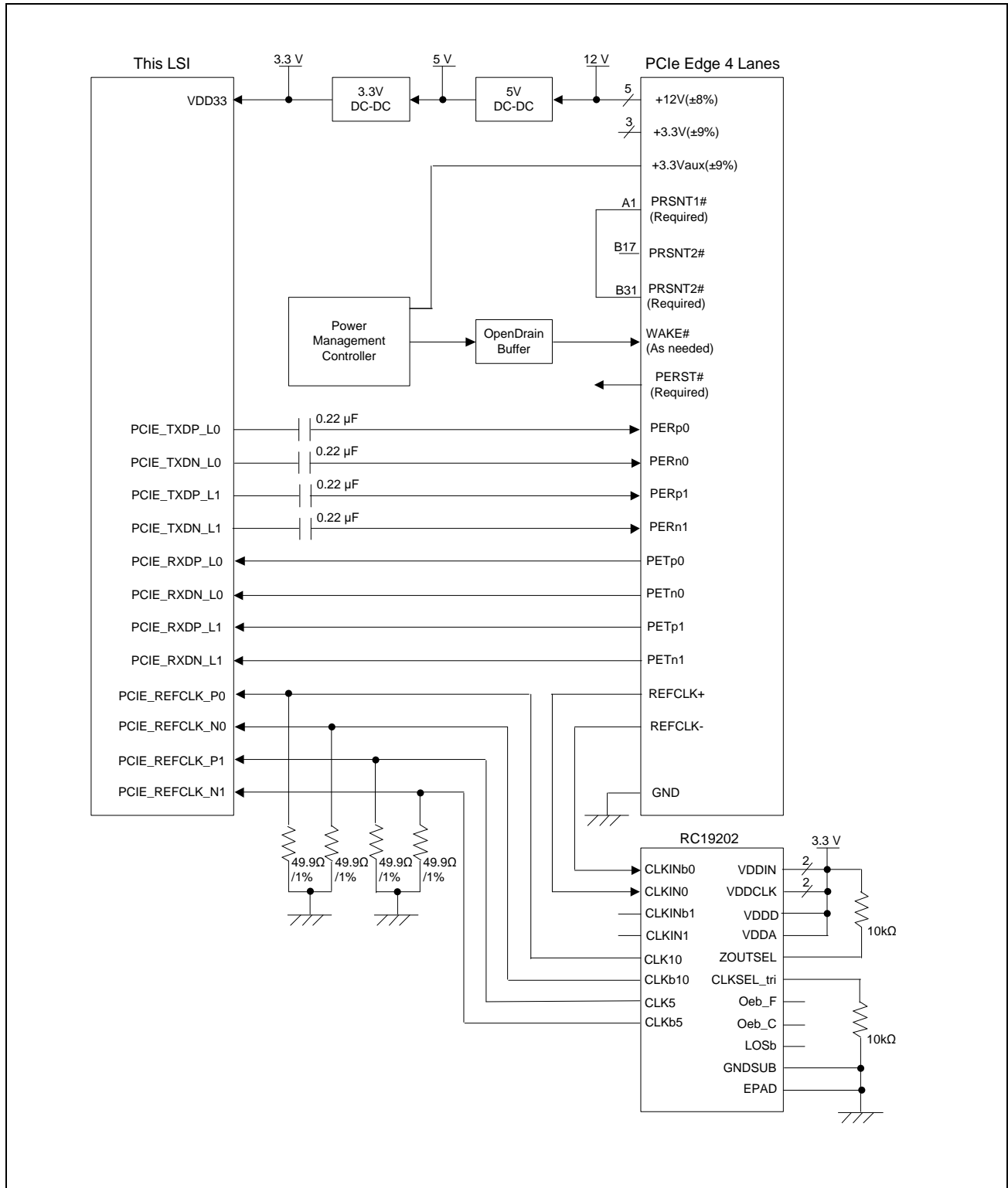


図 7.3 PCIe End Point 回路例

8. LPDDR4

本 LSI において LPDDR4 に関する次のドキュメントを用意しています。ドキュメントは最新版を使用してください。下記資料番号の末尾****部分は版数です。当社ホームページより最新版をダウンロードして参照ください。

表 8.1 LPDDR4 ドキュメント一覧

ドキュメントの種類	記載内容	資料名	資料番号
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、周辺機能の仕様、電気的特性、タイミング）と動作説明	RZ/T2H and RZ/N2H Groups User's Manual: Hardware	R01UH1039JJ****
アプリケーションノート	DDR IF に関する PCB 検証ガイド	RZ/T2H and RZ/N2H Groups PCB Verification Guide for LPDDR4	R01AN7260EJ****
アプリケーションノート	DDR IF に関する PCB 設計手法	RZ/T2H and RZ/N2H Groups PCB Design Guideline for LPDDR4	R01AN7268EJ****

9. USB2.0

9.1 PCB レイアウトについての注意事項

基板上の配線は以下に注意してください。

- デジタル電源プレーンはアナログ電源プレーンから分離してください。
- すべての電源にデカップリングコンデンサが必要であり、小さな容量 (0.1~2.2 μF) をチップ周辺に、大きな容量 (10~47 μF) をレギュレータ側に配置してください。
- L/C/R の合計値は、下記の値以下にしてください。
 - インダクタンス : 4 nH 以下
 - 容量 : 5 pF 以下
 - 抵抗 : 1 Ω 以下
- 各電源 (USB_USVDD33、USB_USVDD18、USB_USDVDD) を他の電源と共有する場合は、フェライトビーズ (FB) を使用して他の電源と分離してください。
- USB_VUBUSIN および USB_TXRTUNE の外付け抵抗は各端子近くに配置してください。
- ノイズを発生する信号 (クロックなど) は、USB_TXRTUNE から離すか、グラウンドでシールドしてください。(交差禁止)
- USB_TXRTUNE の外付け抵抗と並列に容量を配置しないでください。
- USB_TXRTUNE の外付け抵抗および配線の下層は、GND プレーンとしてください。
- DP/DM 配線は、差動インピーダンスが TYP 90 Ω ($\pm 10\%$)、シングルエンドインピーダンスが TYP 45 Ω ($\pm 10\%$) で設計することを推奨します。なお、特性は差動インピーダンスを優先してください。
- USB DP/DM の本 LSI とコネクタ間の配線は短くしてください。USB Specification では、ファンクションとハブのダウンストリームでは 3 ns 以下、ホストとハブのアップストリームでは 1 ns 以下と規格化されています。プリント基板の材質により長さ当りの遅延値が異なりますので注意が必要です。
- DP/DM 配線は、等長・平行・等幅で同じ層にしてください。(配線長の差の目標値：最大 1 mm 以内)
- DP/DM 配線は、他の信号と交差させないでください。交差させる場合はデジタル電源プレーンまたは GND プレーンを挟んでください。
- ノイズ混入を防ぐため、USB DP/DM 配線は折れ曲がりやスルーホールを最小限にし、DP/DM 配線の下層は GND プレーンにしてください。(ビア数は同じでビアと層変更はできるだけ避けて最上層または最下層を推奨)
- USB DP/DM 配線は他の信号配線から離してください。特にクロックやデータバスなどの変化の大きい信号には注意してください。
- DP/DM 配線は、両側を GND シールドしてください。
- DP/DM ビアに隣接して GND リターンビアを配置してください。
- リターンパスは GND で連続している必要があります。

9.2 推奨電源フィルター構成

図 9.1 に推奨電源フィルター構成を示します。ノイズの影響を軽減するため電源端子フィルターを構成してください。

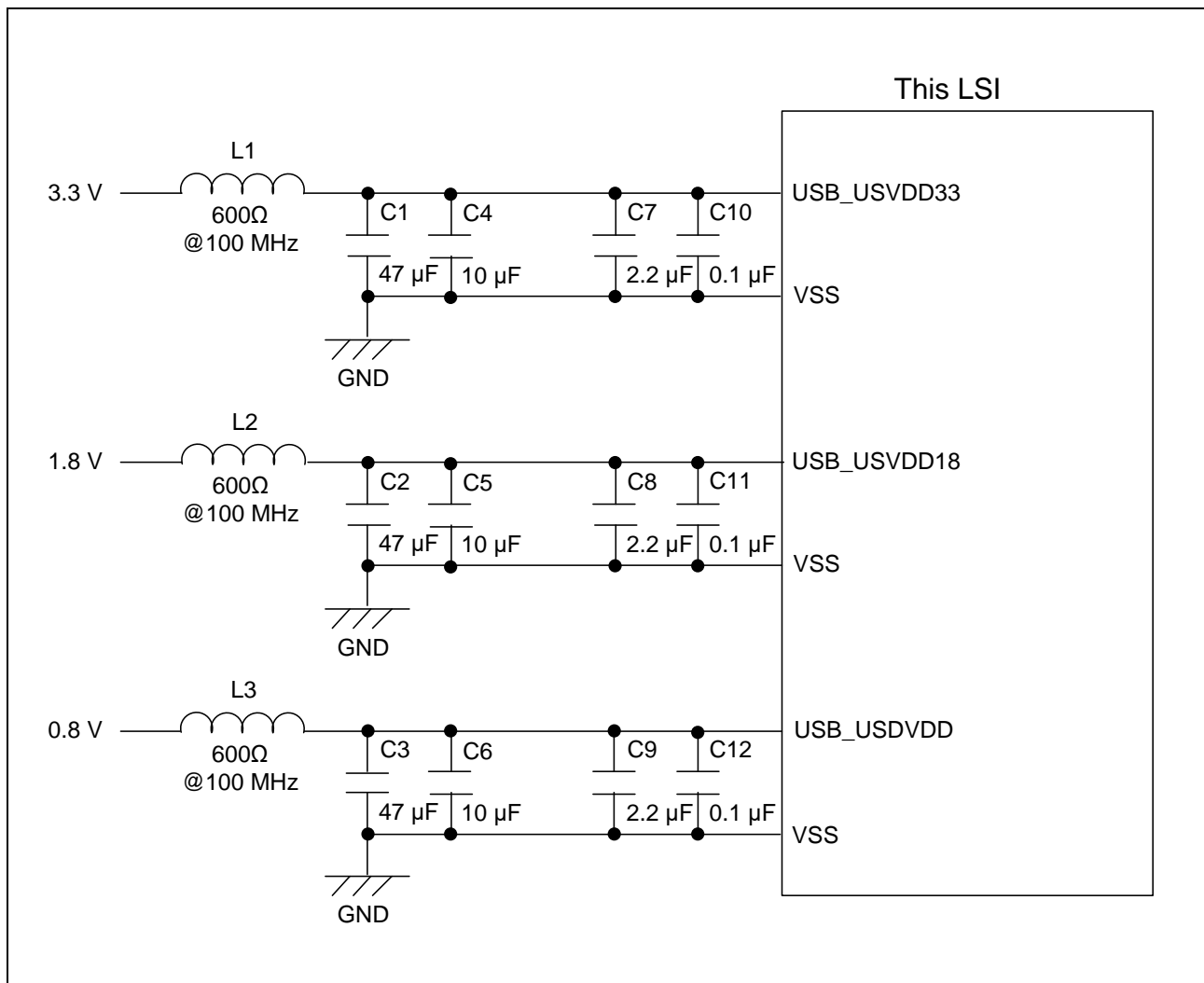


図 9.1 USB2.0 推奨フィルター構成

表 9.1 USB2.0 推奨部品リスト

部品	種類	仕様	推奨部品
L1, L2, L3	フェライトビーズ (FB)	600Ω@100 MHz	BLM15AX601SZ1D
C1, C2, C3	セラミックコンデンサ	47 µF	GRM32ER71A476ME15L
C4, C5, C6	セラミックコンデンサ	10 µF	GRM188D71A106MA73D
C7, C8, C9	セラミックコンデンサ	2.2 µF	GRM155Z71A225KE44D
C10, C11, C12	セラミックコンデンサ	0.1 µF	GRM033C71A104KE14

9.3 回路例

本章では USB の回路例を示します。VBUS ラインには、USB ケーブル接続時にインピーダンスの不整合によって、オーバーシュートが発生する場合がありますため、TVS ダイオード等を追加して USB_VBUSIN のポートを保護してください。また、DM、DP 信号も同様に、TVS ダイオード等で保護してください。

9.3.1 ホストコントローラ回路例

図 9.2 は、ホストコントローラをサポートするための回路例を示します。ホストコントローラとして使用する場合、ファンクション機器に対して、VBUS 電源を供給する必要があります。VBUS 電源の制御には、ルネサスエレクトロニクス製 ISL6186 などの過電流制限機能付き USB ポート電源コントローラ IC を使用することを推奨します。VBUS ラインの付加容量が $120\ \mu\text{F}$ 以上となるように設計してください。（本回路例では、 $150\ \mu\text{F}$ としています。）また、以下の例では、USB_VBUSEN の電源ドメインは、 $3.3\ \text{V}$ になるように設計してください。ISL6186 の EN ピンの立ち上がり閾値電圧を十分に満足する必要があります。USB_OVRCUR の電源ドメイン電圧に応じてプルアップ抵抗を追加してください。

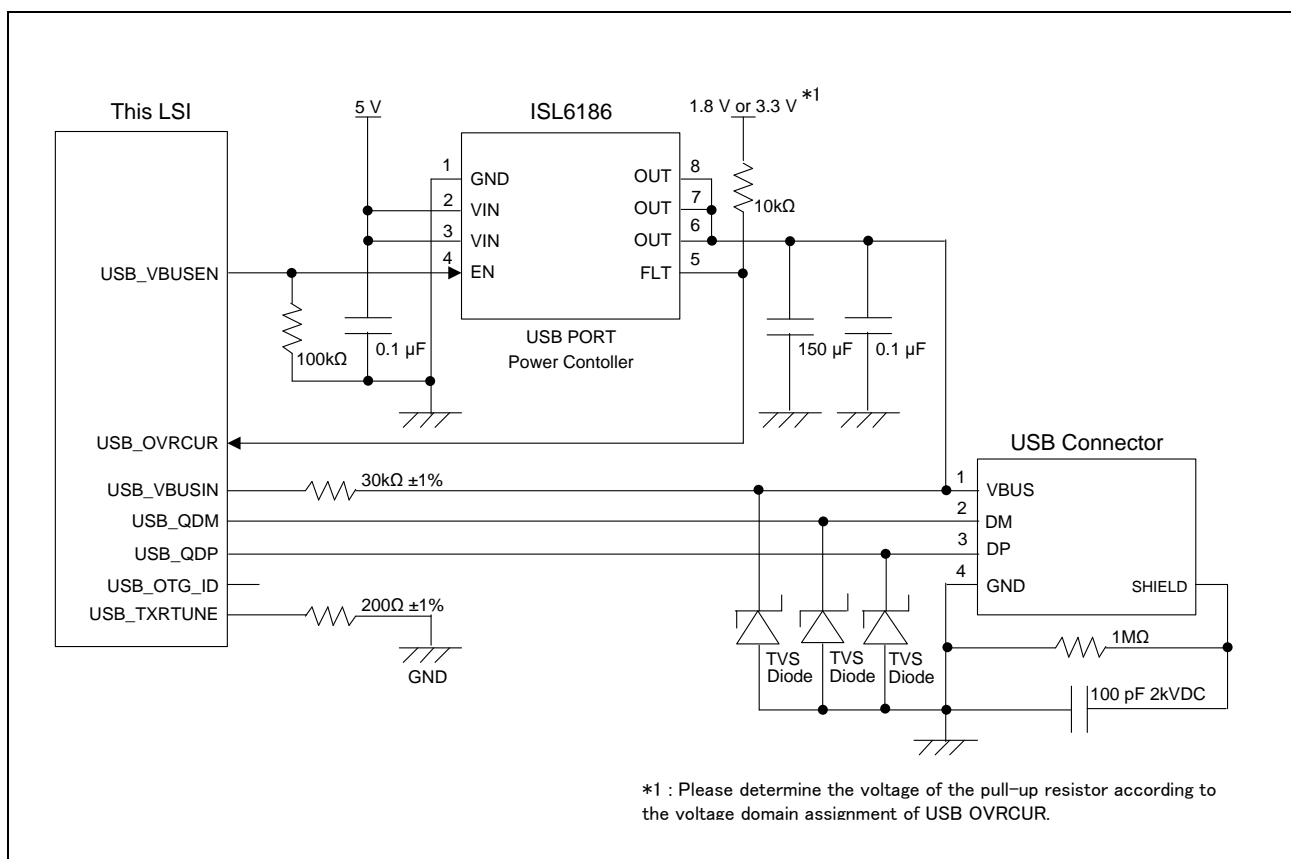


図 9.2 ホストコントローラ回路例

9.3.2 ファンクションコントローラ回路例

図 9.3 は、ファンクションコントローラをサポートするための回路例を示します。

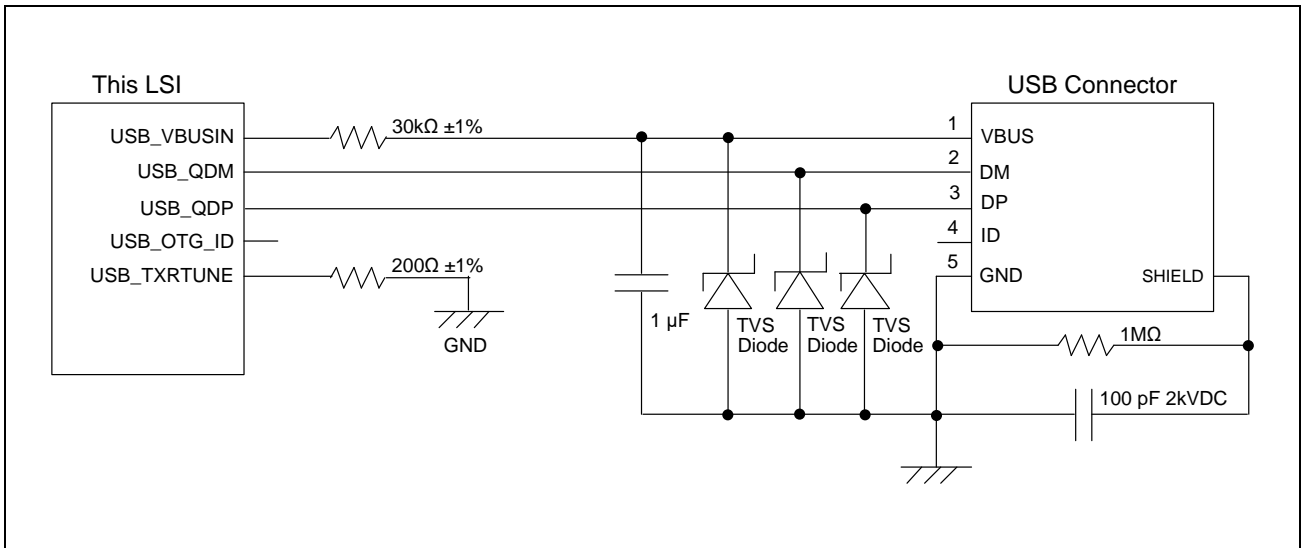


図 9.3 ファンクションコントローラ回路例

9.3.3 OTG システム回路例

図 9.4 は、OTG 機能をサポートするための回路例を示します。この構成では、外部の OTG Transceiver を使用した例となります。OFFVBUS# を Low にすると、VBUS と USB OTG Transceiver のチャージポンプが無効になります。通常の VBUS 動作では、OFFVBUS を Low にします。SHDN を Low にすると、USB OTG Transceiver はシャットダウンモードに入ります。シャットダウンモードでは、USB OTG Transceiver のチャージポンプとコンパレータが無効になります。

- VBUS ラインの付加容量が 120 μF 以上となるように設計してください。（本回路例では、150 μF としています。）
- 本回路例では、USB_VBUSIN、USB_EXICEN、USB_OVRCUR の電源ドメインが 3.3 V 設定になるように設計してください。

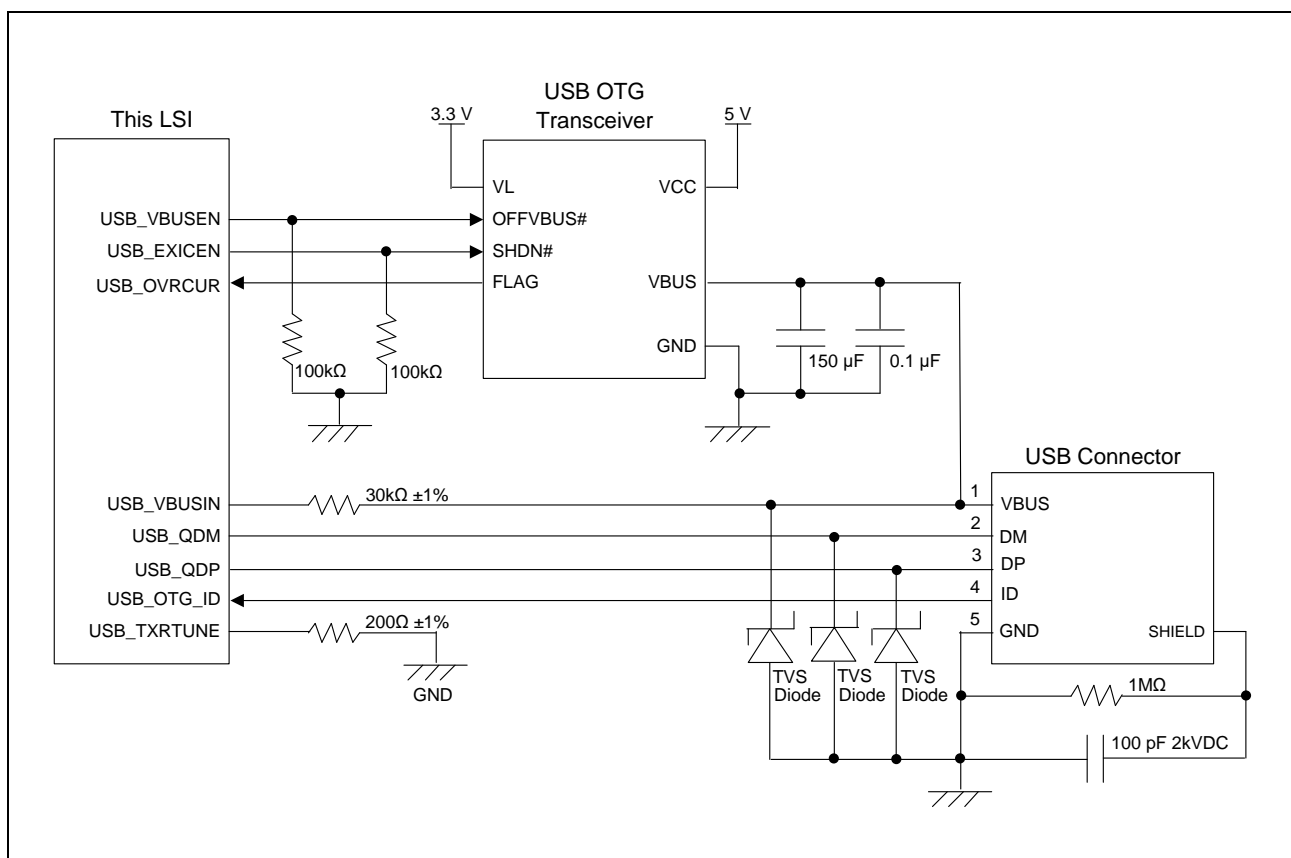


図 9.4 OTG システム回路例

10. ADC

10.1 PCB レイアウトについての注意事項

基板上の配線は以下に注意してください。

- すべての電源にデカップリングコンデンサが必要であり、小さな容量 (0.1~2.2 μF) をチップ周辺に、大きな容量 (10~47 μF) をレギュレータ側に配置してください。
- 各電源 (AVDDIO_ADCn、AVDDREF_ADCnD) を他の電源と共有する場合は、フェライトビーズ (FB) を使用して他の電源と分離してください。
- AN200~AN214 への入力信号を PCB 上の AVSSIO_ADCn でシールドすることを強くお勧めします。
- AN200~AN214 は、デジタル信号等の高速信号やクロック入力と交差または平行にならないようにしてください。

10.2 推奨電源フィルター構成

図 10.1 に推奨電源フィルター構成を示します。

ノイズの影響を軽減するため電源端子フィルターを構成してください。

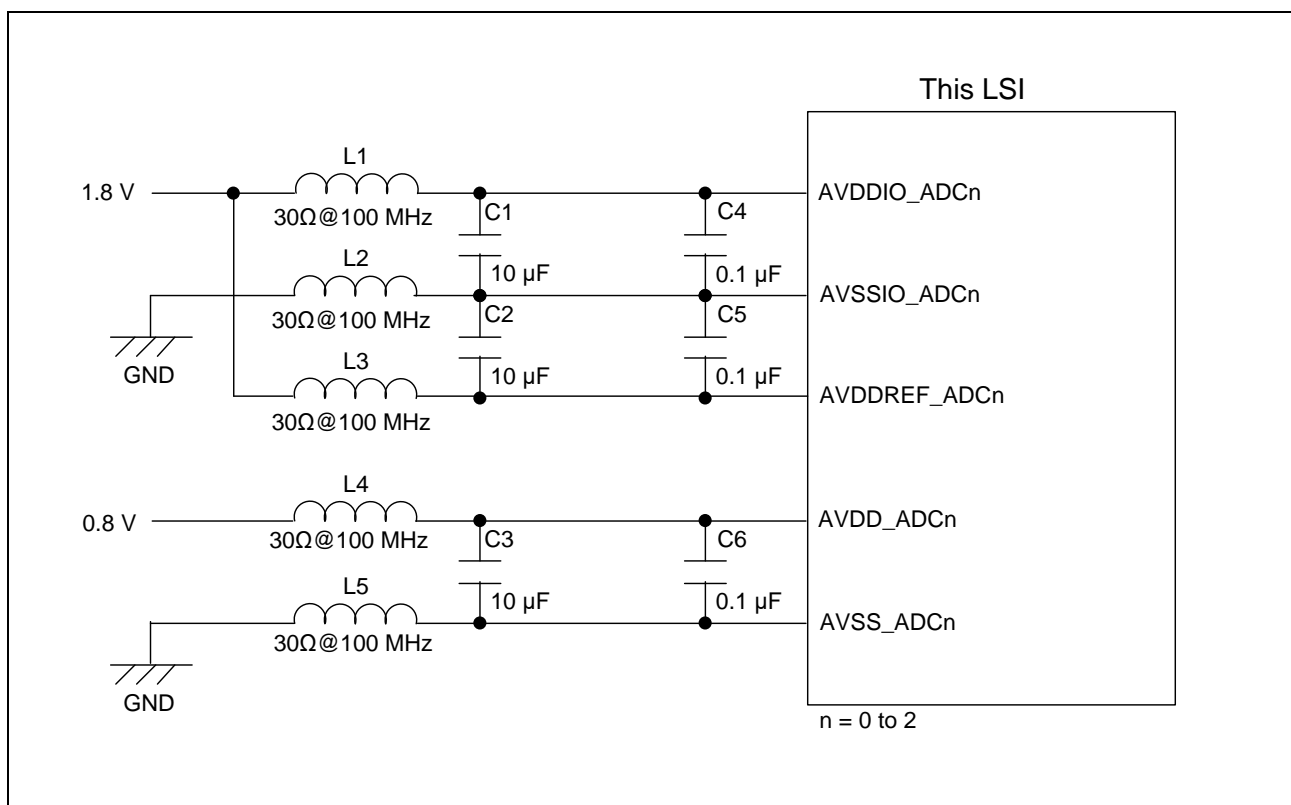


図 10.1 ADC 推奨フィルター構成

表 10.1 ADC 推奨部品リスト

部品	種類	仕様	推奨部品
L1, L2, L3	フェライトビーズ (FB)	30Ω@100 MHz	BLM15AX300SZ1
C1, C2, C3	セラミックコンデンサ	10 μF	GRM188D71A106MA73D
C4, C5, C6	セラミックコンデンサ	0.1 μF	GRM033C71A104KE14

11. PLL

11.1 PCB レイアウトについての注意事項

基板上の配線は以下に注意してください。

- すべての電源にデカップリングコンデンサが必要であり、小さな容量（0.1～2.2 μF ）をチップ周辺に、大きな容量（10～47 μF ）をレギュレータ側に配置してください。
- 各電源（VDD18_PLLn、VDD08_PLLn）を他の電源と共有する場合は、フェライトビーズ（FB）を使用して他の電源と分離してください。

11.2 推奨電源フィルター構成

図 11.1 に PLL 推奨電源フィルター構成例を示します。

ノイズの影響を軽減するため電源端子フィルターを構成してください。

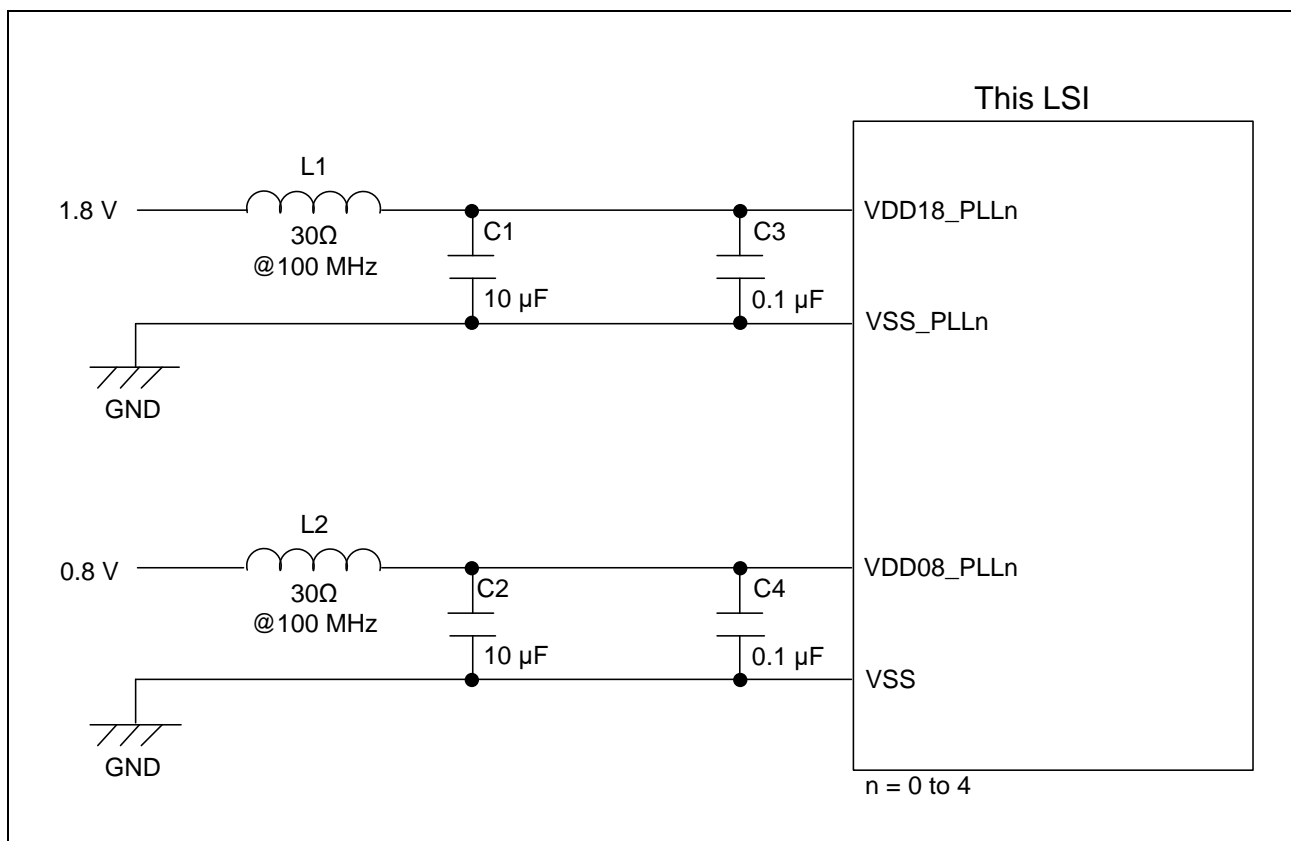


図 11.1 PLL 推奨フィルター構成

表 11.1 PLL 推奨部品リスト

部品	種類	仕様	推奨部品
L1, L2	フェライトビーズ (FB)	30Ω@100 MHz	BLM15AX300SZ1
C1, C2	セラミックコンデンサ	10 μF	GRM188D71A106MA73D
C3, C4	セラミックコンデンサ	0.1 μF	GRM033C71A104KE14

12. OTP

12.1 PCB レイアウトについての注意事項

基板上の配線は以下に注意してください。

- すべての電源にデカップリングコンデンサが必要であり、小さな容量 (0.1~2.2 μF) をチップ周辺に、大きな容量 (10~47 μF) をレギュレータ側に配置してください。

12.2 推奨電源フィルター構成

図 12.1 に OTP 推奨電源フィルター構成例を示します。

ノイズの影響を軽減するため電源端子フィルターを構成してください。

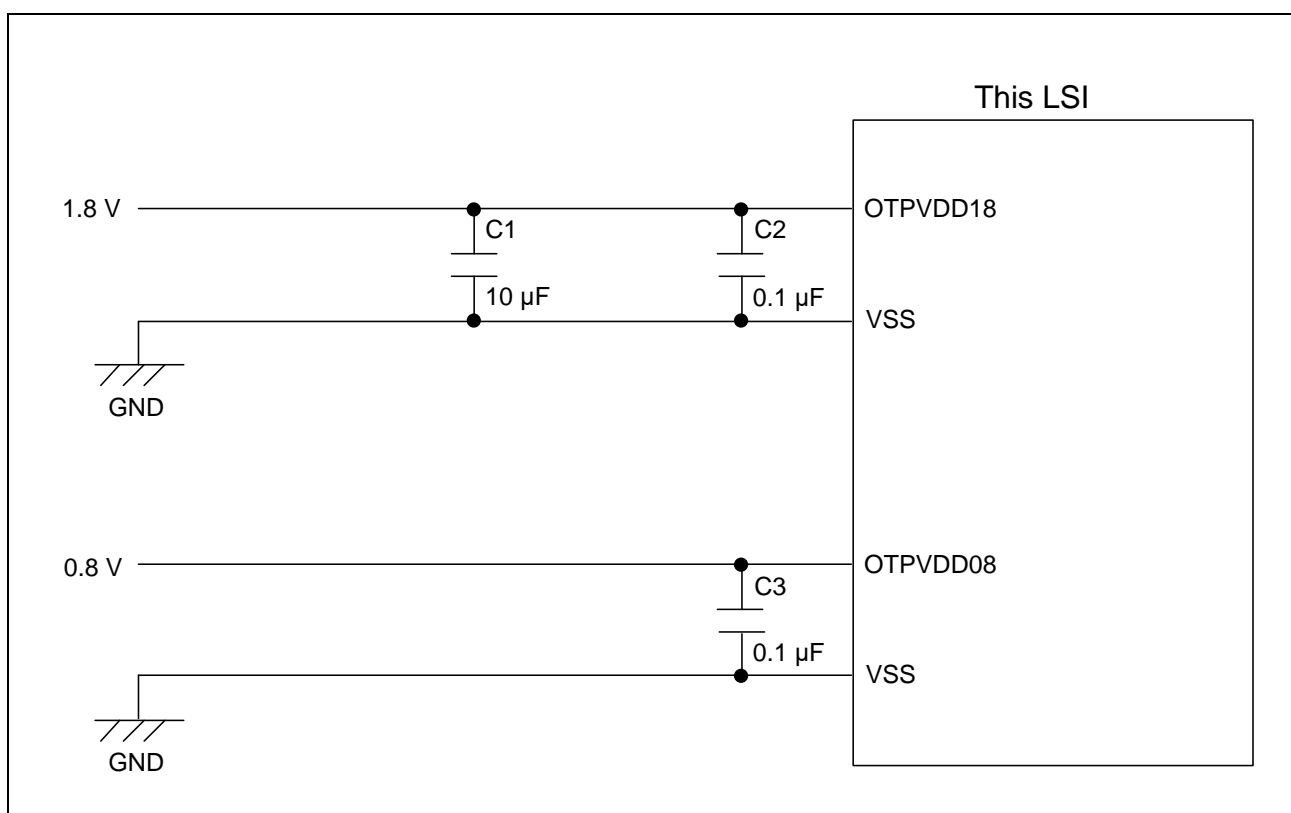


図 12.1 OTP 推奨フィルター構成

表 12.1 OTP 推奨部品リスト

部品	種類	仕様	推奨部品
C1	セラミックコンデンサ	10 μF	GRM188D71A106MA73D
C2, C3	セラミックコンデンサ	0.1 μF	GRM033C71A104KE14

13. TSU

13.1 PCB レイアウトについての注意事項

基板上の配線は以下に注意してください。

- すべての電源にデカップリングコンデンサが必要であり、小さな容量 (0.1~2.2 μF) をチップ周辺に、大きな容量 (10~47 μF) をレギュレータ側に配置してください。
- ボードの電源配線 (AVDD18A_TSU、DVDD08A_TSU) の L、R それぞれの合計値は、下記の値以下にしてください。
 - インダクタンス : 3 nH 以下
 - 抵抗 : 300m Ω 以下

13.2 推奨電源フィルター構成

図 13.1 に TSU 推奨電源フィルター構成を示します。

ノイズの影響を軽減するため電源端子フィルターを構成してください。

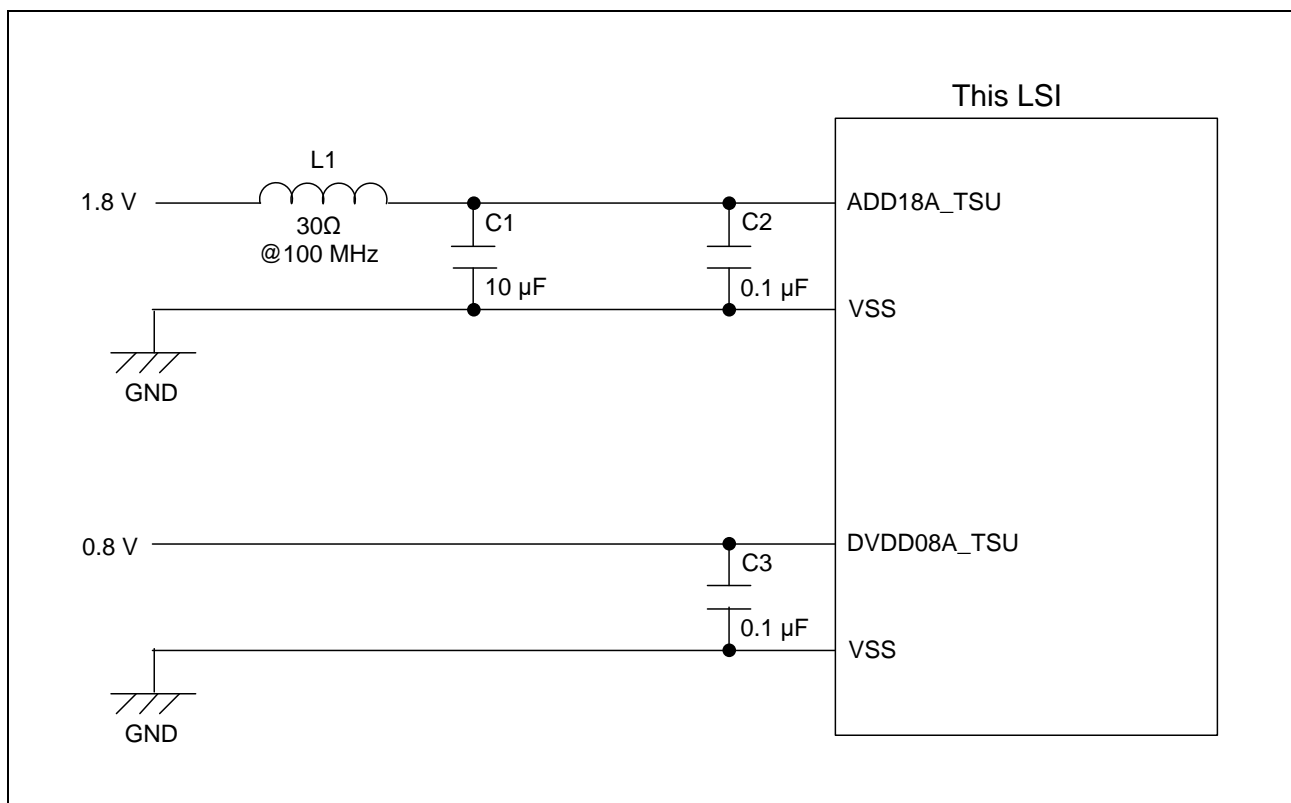


図 13.1 TSU 推奨電源フィルター構成

表 13.1 TSU 推奨部品リスト

部品	種類	仕様	推奨部品
L1	フェライトビーズ (FB)	30 Ω @100 MHz	BLM15AX300SZ1D
C1	セラミックコンデンサ	10 μF	GRM188D71A106MA73D
C2, C3	セラミックコンデンサ	0.1 μF	GRM033C71A104KE14

14. 未使用端子の処理について

未使用端子の処理に関して、以下に注意してください。表 14.1 に未使用端子の処理を示します。

- 未使用モジュールの専用電源端子に関しても、電源に接続してください。

表 14.1 未使用端子の処理

項目	端子名	処理
Clock	XTAL	外部クロックを使用する場合は、オープン
	EXTAL	外部クロックを使用する場合は、プルダウン抵抗を介して VSS に接続
	EXTCLKIN	水晶振動子を使用する場合は、プルダウン抵抗を介して VSS に接続
Debug	TRST#	プルダウン抵抗を介して VSS に接続、または RES#端子と同じ信号を入力
	TCK (P08_3)	プルダウン抵抗を介して VSS に接続
	TMS (P08_1)	プルアップ抵抗を介して VDD33 に接続
	TDI (P08_2)	プルアップ抵抗を介して VDD33 に接続
	TDO (P08_4)	オープン
System	RSTOUT# (P08_5)	オープン
	MDX*3	プルダウン抵抗を介して VSS に接続
	BSCANP	プルダウン抵抗を介して VSS に接続
ADC12*1	AN000 to AN003, AN100 to AN103, AN200 to AN214	オープン
	AVDDREF_ADC0	AVDDIO_ADC0 に接続
	AVDDREF_ADC1	AVDDIO_ADC1 に接続
	AVDDREF_ADC2	AVDDIO_ADC2 に接続
USB*1	USB_QDP, USB_QDM, USB_OTG_ID	オープン
	USB_VUBUSIN, USB_TXRTUNE	プルダウン抵抗を介して VSS に接続、またはオープン
PCIE*1	PCIE_REFCLK_P0, PCIE_REFCLK_N0, PCIE_REFCLK_P1, PCIE_REFCLK_N1, PCIE_RXDP_L0, PCIE_RXDN_L0, PCIE_RXDP_L1, PCIE_RXDN_L1, PCIE_TXDP_L0, PCIE_TXDN_L0, PCIE_TXDP_L1, PCIE_TXDN_L1	オープン
DDRSS*1	DDR_ZN	DDR_VDDQ に接続
	DDR_DTEST, DDR_ATEST, DDR_RESET_N, DDR_CKA_T, DDR_CKA_C, DDR_CKB_T, DDR_CKB_C, DDR_CKEA[1:0], DDR_CKEB[1:0], DDR_CSA[1:0], DDR_CSB[1:0], DDR_CAA[5:0], DDR_CAB[5:0], DDR_DQA[15:0], DDR_DQB[15:0], DDR_DMIA[1:0], DDR_DMIB[1:0], DDR_DQSA_T[1:0], DDR_DQSB_T[1:0], DDR_DQSA_C[1:0], DDR_DQSB_C[1:0]	オープン
Other	Other pins*2	オープン、プルアップ抵抗を介して VDD33 に接続、またはプルダウン抵抗を介して VSS に接続

注1. モジュールをスタンバイまたは低電力モードに設定してください。リセット解除後この状態になります。モジュールの状態は変更しないでください。

注2. 未使用端子として処理する場合、ポート m モードレジスタ (PMm: m = 00 to 35) の対応するビットをリセット解除後の値である "Non-use (Hi-Z input protection)" に設定してください。

注3. MDX は、常に未使用処理をしてください。

15. その他バイパスコンデンサ

15.1 I/O 電源のバイパスコンデンサ

- VDD1833_n (n = 0~7) に関して、各 VDD1833_n の Ball 2 個に対して 0.1 μ F 程度のバイパスコンデンサを LSI 直近に配置してください。
- VDD33 に関して、Ball 2 個に対して、0.1 μ F 程度のバイパスコンデンサを LSI 直近に配置してください。

15.2 コア電源のバイパスコンデンサ

コア電源 VDD08 に関して、表 15.1 の LSI モデルおよび図 15.1 のトポロジーにて、図 15.2 のターゲットインピーダンスを満足するように、バイパスコンデンサを配置してください。表 15.2 に、VDD08 の参考バイパスコンデンサ推奨例を示します。パッケージ下部は、小さな容量から優先に配置してください。

表 15.1 LSI モデル

	Cchip [nF]	Rpkg [m Ω]	Lpkg [nH]
VDD08 (RZ/N2H)	174.49	0.613	0.0335
VDD08 (RZ/T2H)	174.49	0.515	0.0281

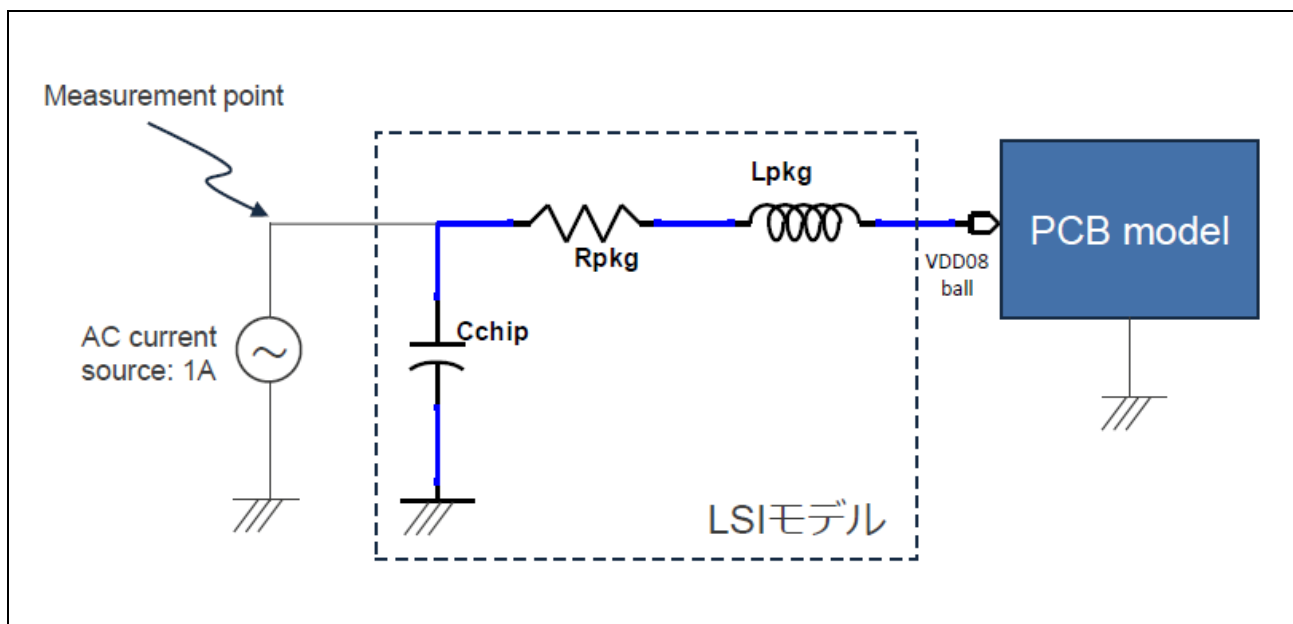


図 15.1 トポロジー

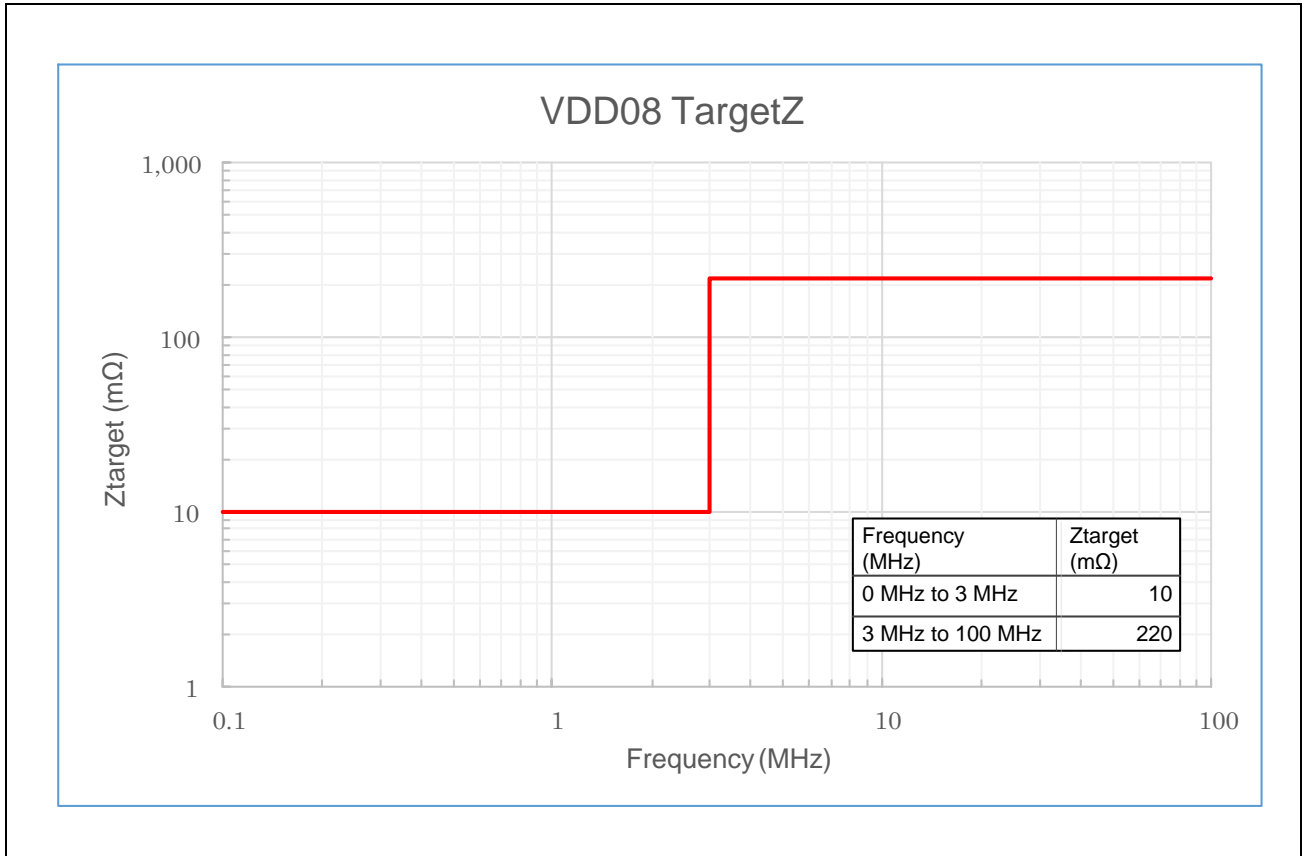


図 15.2 VDD08 ターゲットインピーダンス

表 15.2 VDD08 参考バイパスコンデンサ推奨例

定数	個数
6800 pF	1
0.01 μ F	6
0.1 μ F	5

改訂記録	RZ/T2H, RZ/N2Hグループ ハードウェアデザインガイド
------	-------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2024.11.08	—	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。