

RX FAMILY ハードウェア マニュアルガイド (電気的特性編)

2026/02 REV 2.01
ルネサスエレクトロニクス株式会社

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因してまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとなります。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

(Rev. 5.0-1 2020.10)

DC特性

絶対最大定格

61.1 絶対最大定格

表 61.1 絶対最大定格

条件 : $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V$

項目	記号	定格値	単位	
電源電圧	VCC, VCC_USB	-0.3 ~ +4.0	V	
V _{BATT} 電源電圧	V _{BATT}	-0.3 ~ +4.0	V	
入力電圧 (5Vトレラント対応ポート (注1)以外)	V _{in}	-0.3 ~ VCC + 0.3 (最大 4.0)	V	
入力電圧 (5Vトレラント対応ポート (注1))	V _{in}	-0.3 ~ VCC + 4.0 (最大 5.8)	V	
リファレンス電源電圧	VREFH0	-0.3 ~ AVCC0 + 0.3 (最大 4.0)	V	
アナログ電源電圧	AVCC0, AVCC1 (注2)	-0.3 ~ +4.0	V	
アナログ入力電圧	V _{AN}	-0.3 ~ AVCC + 0.3 (最大 4.0)	V	
ジャンクション温度	Dバージョン	T _j	-40 ~ +105	°C
	Gバージョン	T _j	-40 ~ +125	°C
保存温度	T _{stg}	-55 ~ +125	°C	

【使用上の注意】絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

注1. P07、P11～P17、P20、P21、P30～P33、P67、PC0～PC3は、5Vトレラント対応です。

注2. AVCC0、AVCC1、VCC_USBはVCCに、AVSS0、AVSS1、VSS_USBはVSSに接続してください。

A/Dコンバータのユニット0を使用しない場合、VREFH0端子はVCCに、VREFL0端子はVSSにそれぞれ接続し開放しないでください。AVCC0とAVSS0間、AVCC1とAVSS1間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1μF程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

絶対最大定格は、マイコンが「永久破壊」とならない範囲を示すものであり、安定動作を保証するものではありません。

条件は、電気的特性を保証するうえでの必要条件です。

永久破壊を防ぐ電源電圧範囲です。

各端子における、永久破壊とならない入力電圧範囲です。
(最大)の条件は、VCCまたはAVCCが推奨動作条件 min以上の場合に有効です。

永久破壊を防ぐジャンクション温度範囲です。

チップを動作させていないときの保管可能な温度範囲です。

電気特性項目に対する補足情報です。正しくお使いになるためには、こちらの条件も確認いただく必要があります。

推奨動作条件

USB電源電圧は、使用時と不使用時で異なります。USBを不使用として5VのVCC電源をUSB_VCC電源を接続した状態において、USBを使用すると、USB端子の電源電圧特性を守れません。USB使用時は必ず電源電圧をお守りください。

表 45.2 推奨動作条件 (1)

項目		記号	min	typ	max	単位	
電源電圧		VCC (注1)	2.7	—	5.5	V	
		VSS	—	0	—		
USB電源電圧 (注2)	USB使用時	VCC_USB (注1)	3.0	—	3.6		
		VSS_USB	—	0	—		
		VCC_USB	—	VCC	—		
		VSS_USB	—	VSS	—		
アナログ電源電圧 (注3)		AVCC0, AVCC1, AVCC2 (注1)	3.0	—	5.5		
		AVSS0, AVSS1, AVSS2	—	0	—		
入力電圧	PB1, PB2, PC0 (注4), PD2 (注4)	V_{in}	—0.3	—	5.8	°C	
	P40~P42, P44~P46		負入力許可時 (注5)	—1.0	—		AVCC1 + 0.3
			負入力禁止時	—0.3	—		—
	PH0, PH4		負入力許可時 (注5)	—0.5	—		AVCC1 + 0.3
			負入力禁止時	—0.3	—		—
	P43, P47, PH1~PH3, PH5~PH7		—0.3	—	AVCC1 + 0.3		
	P50~P55, P60~P65		—0.3	—	AVCC2 + 0.3		
	USB0_DP, USB0_DM		—0.3	—	VCC_USB + 0.3		
	上記以外		—0.3	—	VCC + 0.3		
	動作温度		Dバージョン	T_{opr}	—40		—
Gバージョン			—40	—	105		

- 注1. 各電源電圧の関係は以下を守ってください。
 $VCC_USB \leq VCC \leq AVCC0 = AVCC1 = AVCC2$
- 注2. USBを使用しないときは、VCC_USBとVCC、VSS_USBとVSSをそれぞれ接続し、VOLSR.USBVON = 0にしてください。
- 注3. 12ビットA/Dコンバータ(ユニット0~2)、12ビットD/Aコンバータ、コンパレータC、温度センサのいずれも使用しないときは、AVCC0、AVCC1、AVCC2はVCCに、AVSS0、AVSS1、AVSS2はVSSにそれぞれ接続してください。詳細は「38.6.10 アナログ電源端子他の設定範囲」を参照してください。
- 注4. RAM容量が128Kバイトの製品のみ
- 注5. VOLSR.PGAVLS = 0かつADPGADC.R0.PxDEN = 1 (x = 000, 001, 002, 100, 101, 102)のとき

表 45.3 推奨動作条件 (2)

項目	記号	規格値
内部電源安定用平滑コンデンサ容量	C_{VCL}	0.47 μ F \pm 30% (注1)

- 注1. 静電容量の公称値が0.47 μ F、静電容量許容差が \pm 30%以内の積層セラミックコンデンサを使用してください。

推奨動作条件は、マイコンがスペックを保証し、安定動作できる条件になります。

端子により基準電圧が異なりますので注意してください。

高温動作時の注意事項をまとめたアプリケーションノートを用意しております。併せてご確認ください。

高温動作に関する注意事項

VCLはVCCに接続せず、コンデンサを経由してVSSにのみ接続してください。

内部電源安定用平滑コンデンサは必ず積層セラミックコンデンサをお使いください。

動作を保証できる温度です。特に記載のない限り、Taと同等です。

電源立ち上げ時この関係を遵守願います。

内部電源安定用平滑コンデンサは必ず規格値に該当するものをお使いください。これ以外の場合、動作の保証はできません。

DC特性

表 45.4 DC特性(1)

条件: VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	CAN入力端子、MTU入力端子、 GPTW入力端子、POE入力端子、 POEG入力端子、TMR入力端子、 SCI入力端子、ADTRG#入力端 子、RES#、NMI	V _{IH}	0.8 × VCC	—	—	V
		V _{IL}	—	—	0.2 × VCC	
		ΔV _T	0.06 × VCC	—	—	
	IRQ入力端子 (P52 ~ P55、P60 ~ P65 を除く)	V _{IH}	0.8 × VCC	—	—	
		V _{IL}	—	—	0.2 × VCC	
		ΔV _T	0.06 × VCC	—	—	
	IRQ入力端子 (P52 ~ P55、P60 ~ P65)	V _{IH}	0.8 × AVCC2	—	—	
		V _{IL}	—	—	0.2 × AVCC2	
		ΔV _T	0.06 × AVCC2	—	—	
	I ² C入力端子 (SMBusを除く)	V _{IH}	0.7 × VCC	—	—	
		V _{IL}	—	—	0.3 × VCC	
		ΔV _T	0.06 × VCC	—	—	
	5Vトレラント対応端子 (PB1、PB2、PC0(注1)、PD2(注1))	V _{IH}	0.8 × VCC	—	—	
		V _{IL}	—	—	0.2 × VCC	
	アナログ入力端子 (P40 ~ P47、PH0 ~ PH7)	V _{IH}	0.8 × AVCC1	—	—	
		V _{IL}	—	—	0.2 × AVCC1	
	アナログ入力端子 (P50 ~ P55、P60 ~ P65)	V _{IH}	0.8 × AVCC2	—	—	
		V _{IL}	—	—	0.2 × AVCC2	
その他の入力端子 (上記以外のポート)	V _{IH}	0.8 × VCC	—	—		
	V _{IL}	—	—	0.2 × VCC		
Highレベル入力 電圧(シュミット トリガ入力端子を 除く)	MD端子、EMLE EXTAL、WAIT#、RSPI入力端子 D0 ~ D15 I ² C(SMBus)	V _{IH}	0.9 × VCC	—	V	
		V _{IH}	0.8 × VCC	—		
		V _{IH}	0.7 × VCC	—		
		V _{IH}	2.1	—		
Lowレベル入力 電圧(シュミット トリガ入力端子を 除く)	MD端子、EMLE EXTAL、WAIT#、RSPI入力端子 D0 ~ D15 I ² C(SMBus)	V _{IL}	—	—	V	
		V _{IL}	—	—		0.1 × VCC
		V _{IL}	—	—		0.2 × VCC
		V _{IL}	—	—		0.3 × VCC
						0.8

注1. RAM容量が128Kバイトの製品のみ

下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。

端子により基準電圧が異なりますので注意してください。

ΔV_tが明記されていない端子は、ヒステリシス幅を持つことを保証しておらず、V_{IH}min以上であればHighと認識すること、V_{IL}max以下であればLowと認識することのみの保証となります。

DC特性

下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。

表 45.5 DC特性(2)
 条件: VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
 VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
 T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件	
Highレベル出力電圧	P43, P47, PH1~PH3, PH5~PH7	V _{OH}	AVCC1 - 0.5	—	—	V	I _{OH} = -1.0mA
	P50~P55, P60~P65		AVCC2 - 0.5	—	—		I _{OH} = -1.0mA
	P90~P95, P71~P76, P81, PB5, PD3		VCC - 1.0	—	—		I _{OH} = -5.0 mA (大電流出力設定時)
	上記以外		VCC - 0.5	—	—		I _{OH} = -1.0mA
Lowレベル出力電圧	P43, P47, PH1~PH3, PH5~PH7	V _{OL}	—	—	0.5		I _{OL} = 1.0mA
	P50~P55, P60~P65		—	—	0.5		I _{OL} = 1.0mA
	P90~P95, P71~P76, P81, PB5, PD3		—	—	1.0		I _{OL} = 15 mA (大電流出力設定時)
	RIIC端子		—	—	0.4		I _{OL} = 3.0mA
	上記以外		—	—	0.6		I _{OL} = 6.0mA
入力リーク電流	RES#, MD端子、PE2、EMLE (注1)	I _{in}	—	—	1.0	μA	V _{in} = 0V V _{in} = VCC
	P40~P42, P44~P46		—	—	1.0		V _{in} = 0V V _{in} = AVCC1
	PH0, PH4		—	—	1.0		V _{in} = 0V V _{in} = AVCC1 VOLSR.PGAVLS = 1
	上記以外		—	—	1.0		V _{in} = 0V V _{in} = VCC
スリーステートリーク電流(オフ状態)	RIIC端子	I _{TSI}	—	—	5.0		V _{in} = 0V V _{in} = VCC
	上記以外		—	—	1.0		
入力プルアップ抵抗電流	P43, P47, PH1~PH3, PH5~PH7, P50~P55, P60~P65	I _p	-300	—	-10		AVCC1 = AVCC2 = 3.0~5.5V V _{in} = 0V
	上記以外および、PE2以外の端子		-300	—	-10		VCC = 2.7~5.5V V _{in} = 0V
入力プルダウン抵抗電流	EMLE		10	—	300		V _{in} = VCC = AVCC
入力端子容量	RIIC端子, PH0, PH4	C _{in}	—	—	16	pF	V _{bias} = 0V V _{vamp} = 20mV f = 1MHz T _a = 25°C
	USB0_DP, USB0_DM端子		—	—	16		
	上記以外		—	—	8		
VCL端子出力電圧		V _{CL}	—	1.25	—	V	

記載していない条件下での情報に関しては、IBISモデルでの確認をお願いいたします。

上記「入力リーク電流」に記載の端子以外のリーク電流に関してはこちらをご確認ください。
 なお、オフ状態とはハイインピーダンス状態を指します。

内蔵プルアップ抵抗値はここから算出願います。
 プルアップ抵抗 = ご使用の電圧 ÷ I_p

注1. EMLE端子の入力リーク電流はV_{in} = 0V時のみの値です。

DC特性

BGOを除く全機能動作時の消費電流です。

BGOを除き、かつモジュールストップコントロールレジスタに示すモジュールにクロック供給/停止した際の消費電流です。

各モードにおける消費電流値になります。その際の状態は消費電力低減機能をご参照下さい。以下は一例です。

遷移および解除方法と動作状態	スリープモード	全モジュールクロックストップモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード
遷移方法	制御レジスタ・命令	制御レジスタ・命令	制御レジスタ・命令	制御レジスタ・命令
リセット以外の解除方法	割り込み	割り込み (注1)	割り込み (注2)	割り込み (注3)
解除後の状態 (注4)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (リセット処理)
メインクロック発振器	動作可能	動作可能	停止	停止
高速オンチップオシレータ	動作可能	動作可能	停止	停止
低速オンチップオシレータ	動作可能	動作可能	停止	停止
IWDI専用オンチップオシレータ	動作可能 (注5)	動作可能 (注5)	動作可能 (注5)	停止 (不定) (注5)
PLL	動作可能	動作可能	停止	停止
CPU	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
RAM、ECCRAM	動作可能 (保持)	動作可能 (保持)	停止 (保持)	停止 (不定)
フラッシュメモリ	動作可能	停止 (保持)	停止 (保持)	停止 (保持)
USBFSホスト/ファンクションモジュール (USB)	動作可能	停止 (注6)	停止 (保持)	停止 (不定)
ウォッチドッグタイマ (WDTA)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
独立ウォッチドッグタイマ (WDTI)	動作可能 (注5)	動作可能 (注5)	動作可能 (注5)	停止 (不定) (注5)
ボートアウトブレイク可能 (POE)	動作可能	動作可能 (注7)	停止 (保持)	停止 (不定)
8ビットタイマ (ユニット0, 1) (TMR)	動作可能	動作可能 (注8)	停止 (保持)	停止 (不定)
電圧検出回路 (LVDA)	動作可能	動作可能	動作可能	動作可能 (注9)
パワーオンリセット回路	動作可能	動作可能	動作可能	動作可能
周辺モジュール	動作可能	停止 (保持)	停止 (保持)	停止 (不定)
IOポート	動作可能	保持 (注10)	保持 (注11)	保持 (注11)

表 45.6 DC特性 (3) (RAM容量が64Kバイトの製品、Dバージョン)
条件: VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = T_{opr}$

項目	記号	Dバージョン			単位	測定条件
		min	typ	max		
消費電流 (注1)	I_{CC} (注3)	最大動作 (注2)	—	—	75	ICLK = 160MHz PCLKA = 80MHz PCLKB = 40MHz PCLKC = 160MHz PCLKD = 40MHz FCLK = 40MHz BCLK = 40MHz BCLK端子 = 40MHz
		通常動作	—	21	—	
		動作	—	12	—	
		CoreMark動作	—	21	—	
		スリープモード時: 周辺機能クロック供給状態 (注4)	—	18	37	
		全モジュールクロックストップモード時 (参考値)	—	9.4	23	
		BGO動作時の増加分 (注6)	—	13	—	
Trusted Secure IP動作時の増加分	—	3.9	5.0			
ソフトウェアスタンバイモード	—	0.9	7.0	μA	VOLSR.PGAVLS = 1	
ディープソフトウェアスタンバイモード	—	14	20	μA	VOLSR.PGAVLS = 1	

下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。

Typ/maxの相違は、温度と製造バラつきなどにより発生します。特に温度に依存します。

注1. 消費電流値は、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ抵抗を無効にした場合の値です。

注2. 周辺機能クロック供給状態。BGO動作は除きます。

注3. I_{CC} は、下記の式のとおりICLK周波数f (MHz)に依存します (ICLK:PCLKA:PCLKB:PCLKC:PCLKD:BCLK:BCLK端子 = 4:2:1:4:1:1:1 @EXTAL = 16MHz)。

・Dバージョン製品
 $I_{CC} \text{ max} = 0.375 \times f + 15$ (高速動作モード、最大動作時)
 $I_{CC} \text{ typ} = 0.099 \times f + 5$ (高速動作モード、通常動作時)
 $I_{CC} \text{ max} = 0.135 \times f + 15$ (スリープモード時)

注4. BGO動作は除きます。また、周辺機能クロックの供給/停止は、モジュールストップコントロールレジスタA~D定でのみ制御しています。

注5. 周辺機能クロック停止時の各クロック周波数は、FCLK = BCLK = PCLKA = PCLKB = PCLKC = PCLKD = BCLK端子を64分周に設定しています。

注6. プログラム実行中に、コードフラッシュメモリまたはデータフラッシュメモリをプログラム/イレーズした場合の増加分です。

実際の消費電流の求め方は、「各グループの高温動作に関する注意事項」に記載しています。詳細は下記より資料をご参照ください。
RX 高温動作に関する注意事項

DC特性

下記スペックを保证するうえで遵守すべき条件です。必ずご確認ください。

表 45.11 DC特性(5)
 条件: VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
 VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
 T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件	
電源投入時VCC立ち上がり勾配	通常起動時	SrVCC	0.02	—	8	ms/V	
		起動時電圧監視0リセット有効時(注1, 注2)	0.02	—	20		
許容電源変動立ち上がり/立ち下がり勾配	dt/dVCC	1.0	—	—		VCC変動がVCC±10%を超える場合	

VCC変動が±10%を超える場合、許容出来る電源変動勾配です。

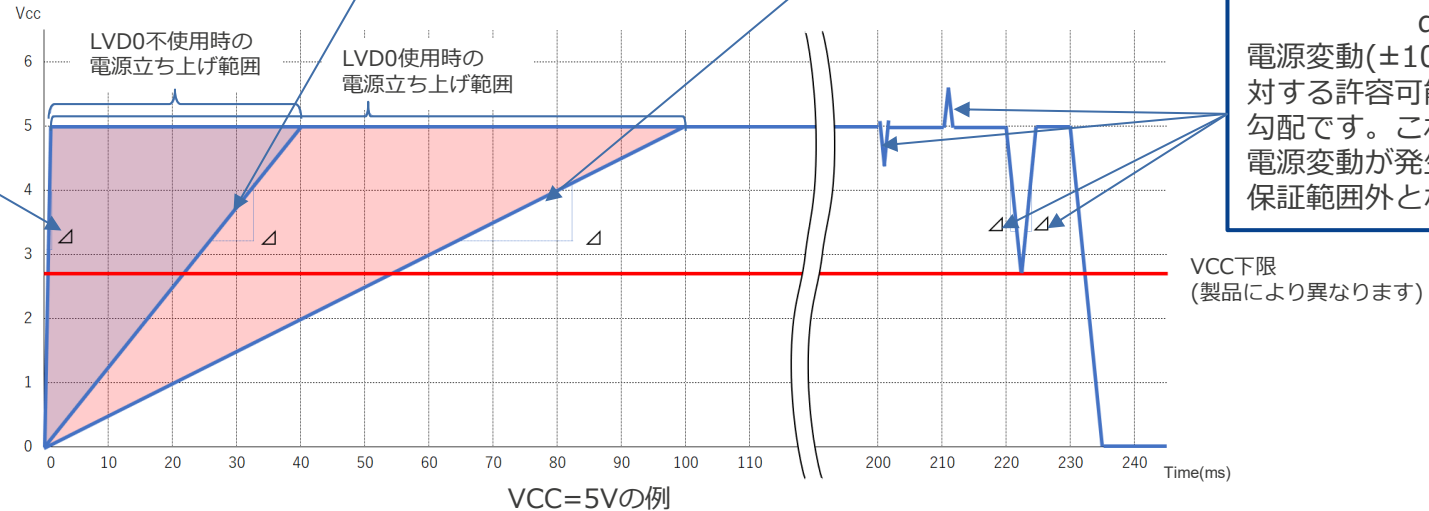
注1. OFS1.LVDAS = 0を設定した場合です。
 注2. ブートモード、ユーザブートモード時はOFS1レジスタにて設定した値は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

SrVCC(MAX)
 LVD0不使用時の電源立ち上げ勾配です。これよりも緩慢に電源を立ち上げる場合は保証範囲外となります。(8ms/V)

SrVCC(MAX)
 LVD0使用時の電源立ち上げ勾配です。これよりも緩慢に電源を立ち上げる場合は保証範囲外となります。(20ms/V)

SrVCC(MIN)
 これよりも急激に電源を立ち上げる場合は保証範囲外となります。(0.02ms/V)

dt/dVCC
 電源変動(±10%を超える変動)に対する許容可能立ち上がり/下がり勾配です。これよりも急激に電源変動が発生した場合は保証範囲外となります。(1ms/V)



DC特性

下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。

表 63.8 出力許容電流
 条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V, 2.7V \leq V_{REFH0} \leq AV_{CC0},$
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = 0V,$
 $T_a = T_{opr}$

外部から電流を引き込んだ時の値となります。

MCU駆動時間に対する平均電流です。
 (例)各々同じ時間軸で1mA、2mA、3mAを出力する場合、 $6mA/3 =$ 平均2mAとなります。

1端子に流せる最大許容電流値です。
 これを超えると信頼性確保が出来なくなります。

MCUの全出力端子の合計電流値です。

MCUから外部に電流を吐き出した時の値となります。

項目	記号	min	typ	max	単位
Lowレベル出力許容電流 (1端子あたりの平均値)	全出力端子(注1) 通常駆動	—	—	2.0	mA
	全出力端子(注2) 高駆動	—	—	3.8	
	全出力端子(注3) 高速インタフェース用高駆動	—	—	7.5	
Lowレベル出力許容電流 (1端子あたりの最大値)	全出力端子(注1) 通常駆動	—	—	4.0	mA
	全出力端子(注2) 高駆動	—	—	7.6	
	全出力端子(注3) 高速インタフェース用高駆動	—	—	15	
Lowレベル出力許容電流(総和)	ΣI_{OL}	—	—	80	mA
Highレベル出力許容電流 (1端子あたりの平均値)	全出力端子(注1) 通常駆動	—	—	-2.0	mA
	全出力端子(注2) 高駆動	—	—	-3.8	
	全出力端子(注3) 高速インタフェース用高駆動	—	—	-7.5	
Highレベル出力許容電流 (1端子あたりの最大値)	全出力端子(注1) 通常駆動	—	—	-4.0	mA
	全出力端子(注2) 高駆動	—	—	-7.6	
	全出力端子(注3) 高速インタフェース用高駆動	—	—	-15	
Highレベル出力許容電流(総和)	ΣI_{OH}	—	—	-80	mA

駆動能力制御レジスタ(DSCRx)にてポート駆動能力を設定した際のデータです。
 出カインピーダンスは以下となります。
 通常駆動 > 高駆動 > 高速インタフェース用高駆動

【使用上の注意】 MCUの信頼性を確保するため、出力電流値は表 63.8の値を超えないようにしてください。
 注1. 通常駆動が選択できる端子で通常駆動を設定した場合の値
 注2. 通常駆動が選択できる端子で高駆動を設定した場合、あるいは高駆動固定の端子の値
 注3. 高速インタフェース用高駆動設定ができる端子で、高速インタフェース用高駆動設定をした場合の値

DC特性

表 45.13 熱抵抗値(参考値)

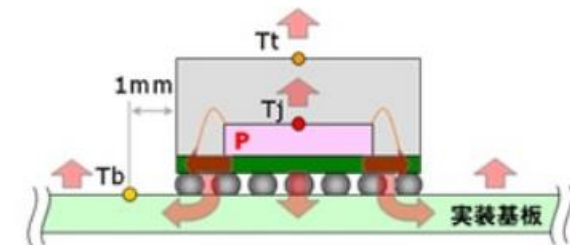
条件 : VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
 VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = T_{opr}$

項目	パッケージ	記号	min	typ	max	単位	測定条件
熱抵抗	144ピンLFQFP (PLQP0144KA-B)	θ_{ja}	—	—	32.4	°C/W	JEDEC規格に則った熱抵抗を記載しております。 詳細は以下をご参照下さい。 <放熱のメカニズム Renesas>
	112ピンLQFP (PLQP0112JA-B)		—	—	33.8		
	100ピンLFQFP (PLQP0100KB-B)		—	—	35.0		
	80ピンLFQFP (PLQP0080KB-B)		—	—	36.3		
	80ピンLQFP (PLQP0080JA-A)		—	—	35.7		
	64ピンLFQFP (PLQP0064KB-C)		—	—	37.9		
	144ピンLFQFP (PLQP0144KA-B)	ψ_{jt}	—	—	0.6		
	112ピンLQFP (PLQP0112JA-B)		—	—	0.6		
	100ピンLFQFP (PLQP0100KB-B)		—	—	0.8		
	80ピンLFQFP (PLQP0080KB-B)		—	—	0.8		
	80ピンLQFP (PLQP0080JA-A)		—	—	0.8		
	64ピンLFQFP (PLQP0064KB-C)		—	—	0.8		

JEDEC規格に則った熱抵抗を記載しております。
 詳細は以下をご参照下さい。
 <放熱のメカニズム | Renesas>

$$\theta_{ja} = (T_j - T_a) / P$$

$$\psi_{jt} = (T_j - T_t) / P$$



様々な経路で放熱

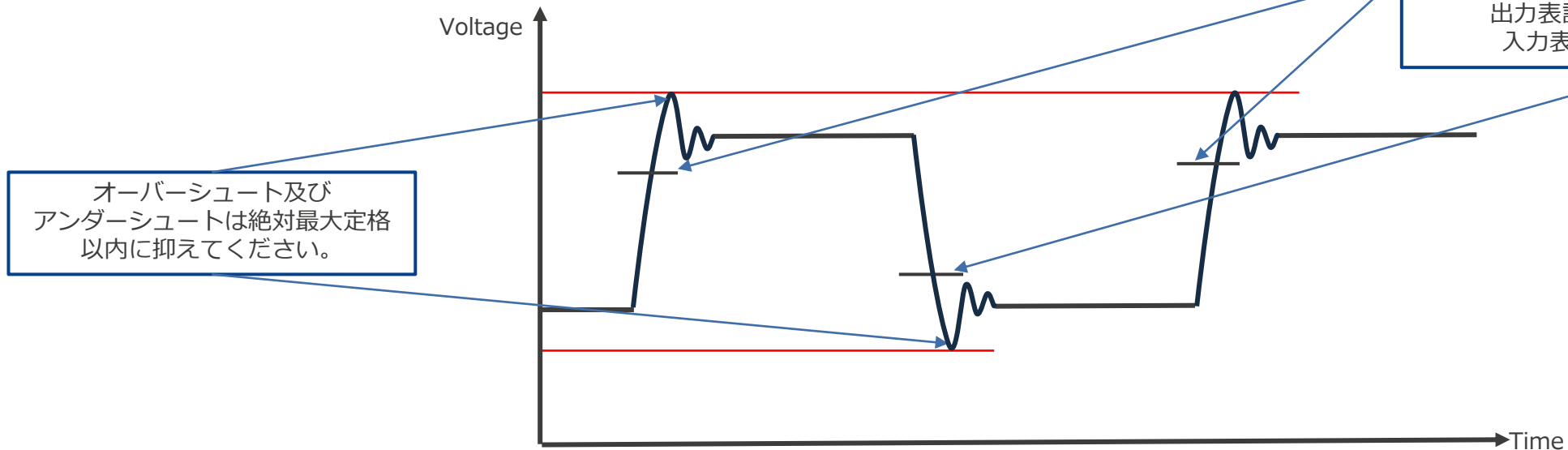
T_a : 発熱源の影響を受けない場所の温度

注. 数値は4層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC規格を参照してください。

AC特性およびその他特性

前提条件：

1. ACスペック章図中の表記について



ACスペック図中の表記例

2. ACスペック章におけるクロック表記について

製品によっては、クロックの表記を省略して記載している箇所があります。正確なクロック名称に関しては、ハードウェアマニュアルのクロック章をご参照願います。

例：ACスペック章表記：PCLK クロック章表記：PCLKB
ACスペック章表記：ADCLK クロック章表記：PCLKD

リセットタイミング

45.4.1 リセットタイミング

下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。

表45.15 リセットタイミング

条件: VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t _{RESWP}	2.0	—	—	ms
	ディープソフトウェアスタンバイモード	t _{RESWD}	0.6	—	—	ms
	ソフトウェアスタンバイモード	t _{RESWS}	0.3	—	—	ms
	コードフラッシュメモリのプログラム/イレーズ中、データフラッシュメモリのプログラム/イレーズ/ブランクチェック中	t _{RESWF}	200	—	—	μs
	上記以外	t _{RESW}	200	—	—	μs
RES#解除後待機時間	t _{RESWT}	62	—	63	t _{Lyc}	ms
内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセット)	t _{RESW2}	108	—	116	μs	

内部初期化に必要なリセット時間です。必ず本記載の値以上のリセットを入力してください。リセット時間が短い場合、マイコンが正しく初期化されず、正常動作できない可能性があります。

リセット端子がHighになった後、内部でさらにリセット処理を必要とする時間です。本時間経過後、リセットが解除されユーザプログラムを実行します。

t_{RESWP}の起点は推奨電源電圧の下限値(本例の場合、2.7V)となります。

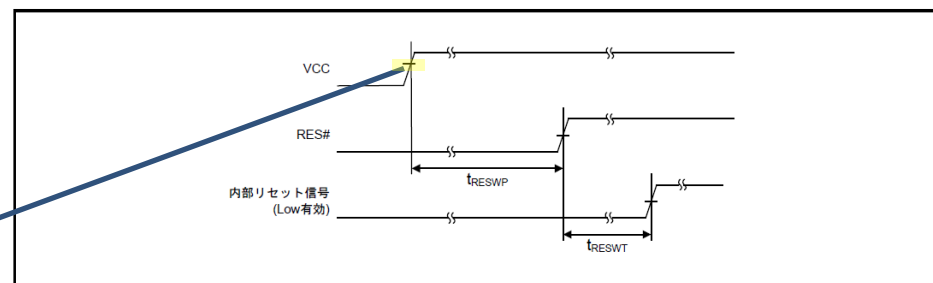


図 45.2 電源投入時リセット入カタイミング

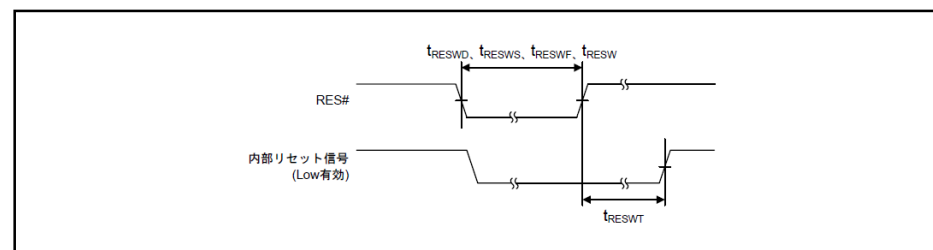


図 45.3 リセット入カタイミング

パワーオンリセット回路、電圧検出回路特性

電源立ち上げ時(VCC上昇時)に内部リセットを解除する電圧です。内部リセット解除は、VPOR電圧から tdet+tPOR時間経過後に解除します。解除までにVCCを使用電圧まで立ち上げて下さい。LVD0を使用している場合、VCC電圧がVdet0電圧を下回っているとLVD0リセットが更に発生します。

内部リセットを発生させる電圧で有効/無効を選択できます。有効時は電圧をnレベル(本例では2レベル)から選択出来ます。内部リセット解除はVdet0電圧から tdet+tLVD0時間経過後に解除します。解除までにVCCを使用電圧まで立ち上げて下さい。VCCが立ち上がりVdet0電圧を下回っている場合、LVD0リセットが発生します。

VCC上昇時・下降時に割り込み(ノンマスクابل、マスクابلから選択でき、かつ発生タイミングは、上昇時、下降時、両方から選択できます)、または内部リセットを発生させる電圧です。有効/無効を選択できます。電圧はnレベル(本例では5レベル)から選択出来ます。内部リセット解除はLVD1RN(LVD2RN)="0"の場合、Vdet1(2)上昇電圧から tdet+tLVD1(2)時間経過後に、LVD1RN(LVD2RN)="1"の場合、Vdet1(2)下降電圧から tLVD1(2)時間経過後に解除します。解除までにVCCを使用電圧まで立ち上げて下さい。

45.11 パワーオンリセット回路、電圧検出回路特性

表 45.54 パワーオンリセット回路、電圧検出回路特性
条件 : VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V, VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット(POR)	V _{POR}	2.46	2.58	2.70	V	図 45.67
	電圧検出回路(LVD0)	V _{det0_1}	4.04	4.22	4.40		図 45.68
		V _{det0_2}	2.71	2.83	2.95		
	電圧検出回路(LVD1)	V _{det1_0}	4.39	4.57	4.75		図 45.69
		V _{det1_1}	4.29	4.47	4.65		
		V _{det1_2}	4.14	4.32	4.50		
		V _{det1_3}	2.81	2.93	3.05		
	電圧検出回路(LVD2)	V _{det1_4}	2.76	2.88	3.00		
		V _{det2_0}	4.39	4.57	4.75		図 45.70
		V _{det2_1}	4.29	4.47	4.65		
V _{det2_2}		4.14	4.32	4.50			
V _{det2_3}		2.81	2.93	3.05			
内部リセット時間	V _{det2_4}	2.76	2.88	3.00			
	パワーオンリセット時間	t _{POR}	—	13.7	—	ms	図 45.67
	LVD0リセット時間	t _{LVD0}	—	0.70	—		図 45.68
	LVD1リセット時間	t _{LVD1}	—	0.57	—		図 45.69
最小VCC低下時間	LVD2リセット時間	t _{LVD2}	—	0.57	—		図 45.70
	t _{VOFF}	200	—	—	μs	図 45.67、 図 45.68	
応答遅延時間	t _{det}	—	—	200	μs	図 45.67 ~ 図 45.70	
LVD動作安定時間(LVD有効切り替え時)	T _{d(E-A)}	—	—	20	μs	図 45.69、 図 45.70	
ヒステリシス幅(LVD1, LVD2)	V _{LH}	—	80	—	mV		

注. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベルV_{POR}, V_{det1}, V_{det2}のmin値を下回っている時間です。

下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。

PORの内部リセット保持時間です。

LVDnの内部リセット保持時間です。

検出電圧を下回る時間(VCC下降時に電圧検出してからVCC上昇時に電圧検出するまでの時間)です。時間が確保されない場合、VCC上昇時に正しく電圧を検出できず、パワーオンリセットが発生しなくなります。

電圧検出応答遅延時間(電圧検出後に反応するまでの遅延時間)です。

LVD有効にしても直ぐにLVDとして機能しません。必ずT_{d(E-A)}時間待ってからご使用下さい。

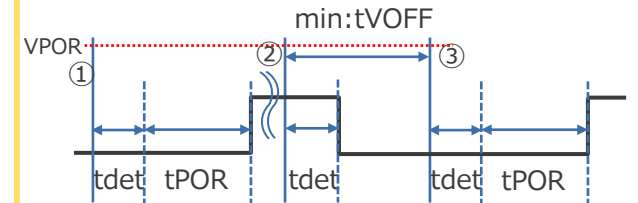
電圧検出はヒステリシスを持っています。TYP:80mVの検出ズレが発生します。

パワーオンリセット回路、電圧検出回路特性補足

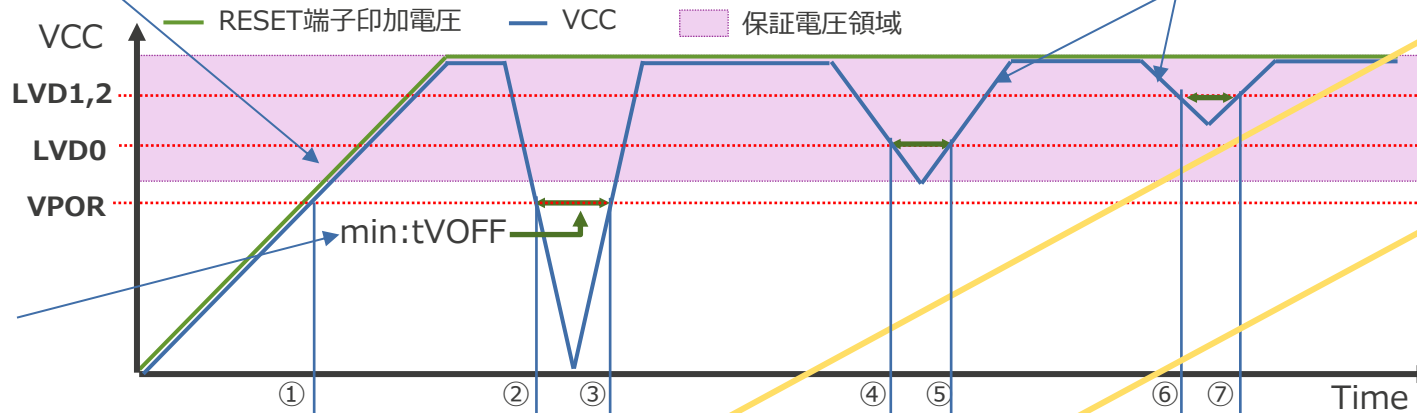
■ PORを有効にするにはRESET端子にVCC*1以上の電圧を印加して下さい。
 なお、RESET端子にノイズ保護目的でコンデンサを入れた場合、RESET端子立ち上がり電位がVCC立ち上がり電位より遅くなるため、パワーオンリセットではなくRESET端子リセットであると判断してしまうので注意願います。
 *1：VCCは以下の立ち上がり勾配(SrVCC)をお守りください。
 RX66Tの例)
 LVD0不使用時の電源立ち上げ範囲： $(0.02\text{ms/V}) \leq \text{SrVCC} \leq (8\text{ms/V})$
 LVD0使用時の電源立ち上げ範囲： $(0.02\text{ms/V}) \leq \text{SrVCC} \leq (20\text{ms/V})$

■ dt/dVCC
 電源変動($\pm 10\%$ を超える変動)に対する許容可能立ち上がり/下がり勾配です。**1ms/V**よりも急激に電源変動が発生した場合は保証範囲外となります。
 *以上はRX66Tの例です。既定のない製品もございます

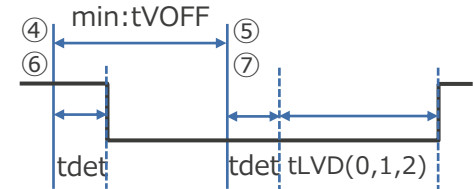
■ POR適用時の内部リセット信号動作



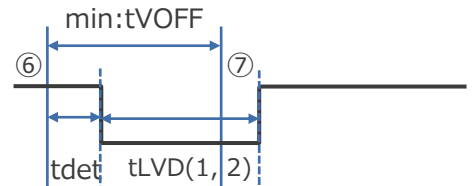
■ tVOFF
 確実にリセットを発生させるためには、tVOFF時間以上電位を低下させておく必要があります。tVOFF時間前に電位が戻った場合、正しくリセットを発行できません。



■ LVD0, 1, 2による内部リセット信号動作 (LVDnCR0.LVDnRN = "0"の場合)



■ LVD1, 2による内部リセット信号動作 (LVDnCR0.LVDnRN = "1"の場合)



*LVD1, 2はLVDnCR0.LVDnRN = "1"にすることで、リセット解除タイミングを変更できます

内部リセット信号

1) LVDnCR0.LVDnRN = "0"の場合

2) LVDnCR0.LVDnRN = "1"の場合

n : 1,2

注：文、表中の各種値は製品により異なりますので、各製品のハードウェアマニュアルの電気的特性をご参照ください。

クロックタイミング

45.4.2 クロックタイミング

BCLK端子は相手デバイスに接続されますので、相手側デバイスの仕様も確認の上、本特性をご確認ください。

表 45.18 BCLK端子出カクロックタイミング(1)

条件: $4.5 \leq VCC \leq 5.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
BCLK端子出カサイクル時間	t_{Bcyc}	25	—	—	ns	図 45.4
BCLK端子出カHighレベルパルス幅	t_{CH}	7.5	—	—		
BCLK端子出カLowレベルパルス幅	t_{CL}	7.5	—	—		
BCLK端子出カ立ち上がり時間	t_{Cr}	—	—	5		
BCLK端子出カ立ち下がり時間	t_{Cf}	—	—	5		

表 45.19 BCLK端子出カクロックタイミング(2)

条件: $2.7V \leq VCC < 4.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
BCLK端子出カサイクル時間	t_{Bcyc}	31.25	—	—	ns	図 45.4
BCLK端子出カHighレベルパルス幅	t_{CH}	10.625	—	—		
BCLK端子出カLowレベルパルス幅	t_{CL}	10.625	—	—		
BCLK端子出カ立ち上がり時間	t_{Cr}	—	—	5		
BCLK端子出カ立ち下がり時間	t_{Cf}	—	—	5		

t_{CH} の起点と終点はVOHになります。

t_{Bcyc} の起点と終点はVCCの中央値 ($0.5 \times VCC$) になります。

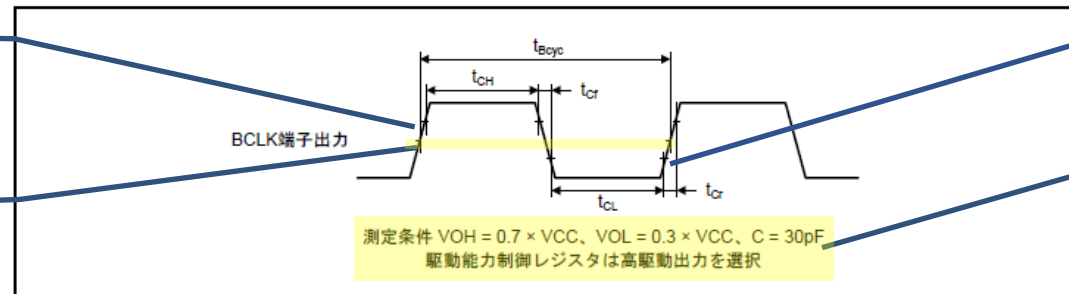


図 45.4 BCLK 端子出カタイミング

下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。
 また、左記2つの表のように同じ端子出力でも2種類記載されるケースがございますが、これらは条件が異なりますので、お客様の使用条件にあった方をご確認ください。

図中に記載される測定条件もスペックを保証するうえで遵守すべき条件です。必ずご確認ください。

クロックタイミング

表 45.21 メインクロックタイミング

条件 : VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件
メインクロック発振器発振周波数	f _{MAIN}	8	—	24	MHz	
メインクロック発振安定時間(水晶振動子使用時)	t _{MAINOSC}	—	—	—(注1)	ms	図45.6
メインクロック発振安定待機時間(水晶振動子使用時)	t _{MAINOSCWT}	—	—	—(注2)		

注1. メインクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注2. メインクロック発振安定待機時間は、MOSCWTCR.MSTS[7:0]ビットで選択したサイクル数に応じて、次式で算出されます。

$$t_{\text{MAINOSCWT}} = [(MSTS[7:0] \text{ ビット} \times 32) + 7] / f_{\text{Loco}}$$

下記スペックを保証するうえで遵守すべき条件です。
必ずご確認ください。

マイコンによってクロック発振安定時間やクロック発振安定待機時間が記載されているものもございますが、あくまで参考値になります。

MOSCWTCR.MSTS [7:0] ビットの値は、t_{MAINOSC}以上にする必要があります。
計算式はクロック発生回路のMOSCWTCRの章に記載しています。

f_{Loco}はmax側の仕様でご検討ください。詳細はMOSCWTCRレジスタの章をご確認ください。

発振子の発振が安定するまでの時間です。本値は発振子メーカーによるマッチング評価に沿った値になります。

外部発振子が安定してから、さらに内部回路を安定させるために必要な時間です。

メインクロック発振器停止ビットです。本ビットを"0"にすることでメインクロック発振器の出力が開始されます。

メインクロック発振安定フラグです。t_{MAINOSCWT}時間経過後、本フラグが"1"になります。本フラグは、MOSCWTCR.MSTS [7:0]ビットの値に依存します。設定値が正しい場合、発振子が安定したことを示すフラグとして使用できます。

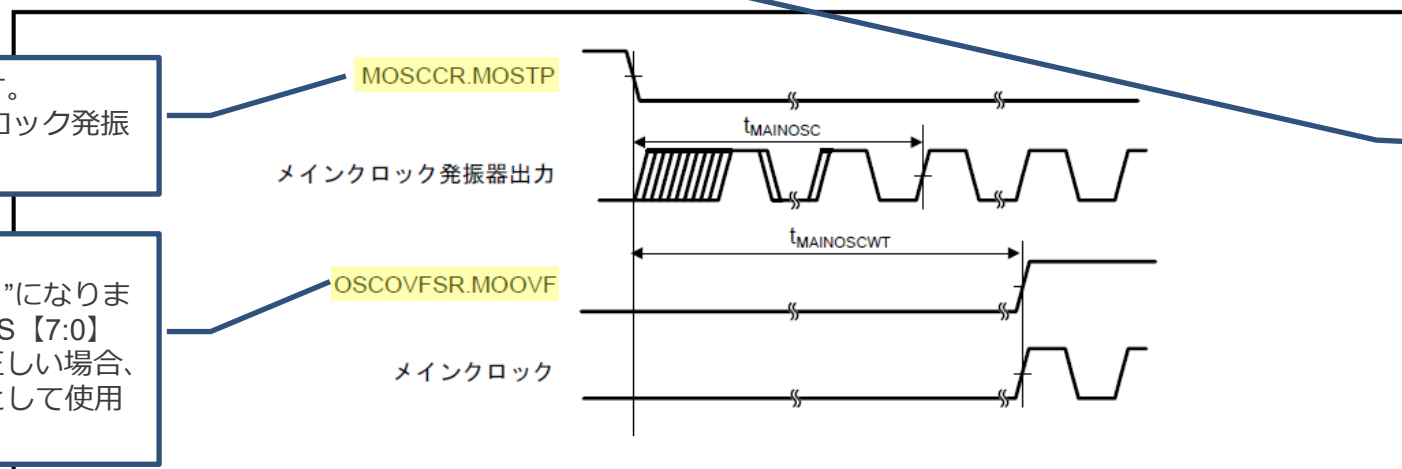


図 45.6 メインクロック発振開始タイミング

LOCO, IWDTCロックタイミグ

表 45.22 LOCO, IWDTC専用低速クロックタイミグ

条件: VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件
LOCOクロックサイクル時間	t _{LCyc}	3.78	4.16	4.63	μs	
LOCOクロック発振周波数	f _{LOCO}	216	240	264	kHz	
LOCOクロック発振安定時間	t _{LOCOWT}	—	—	44	μs	図 45.7
IWDTC専用低速クロックサイクル時間	t _{ILCyc}	7.57	8.33	9.26		
IWDTC専用低速クロック発振周波数	f _{ILCO}	108	120	132	kHz	
IWDTC専用低速クロック発振安定待機時間	t _{ILCOWT}	—	142	190	μs	図 45.8

下記スペックを保証するうえで遵守すべき条件です。
必ずご確認ください。

LOCOの1サイクル時間(周期)です。
LOCOの発振周波数から計算した値です。
例)TYP : 4.16us = 1/240KHz

LOCOの発振周波数誤差を現しています。この値から精度を算出できます。
マイナス側 : - 10%=(216-240)/240
プラス側 : +10%=(264-240)/240

LOCOを発振動作 (LOCOCR.LCSTP=0に)してから発振が安定するまでの時間です。
本表での条件下では最大44usかかります。

IWDTC専用オンチップオシレータの1サイクル時間(周期)です。
IWDTC専用オンチップオシレータの発振周波数から計算した値です。
例)TYP : 8.33us = 1/140KHz

IWDTC専用オンチップオシレータの発振周波数誤差を現しています。この値から精度を算出できます。
マイナス側 : - 10%=(108-120)/120
プラス側 : +10%=(132-120)/120

IWDTC専用オンチップオシレータを発振動作(ILCOCR.ILCSTP=0に)してから発振が安定するまでの時間です。
本表での条件下では最大190usかかります。

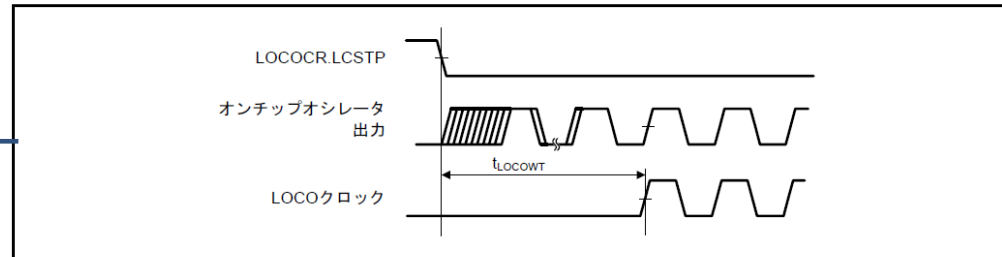


図 45.7 LOCO クロック発振開始タイミグ

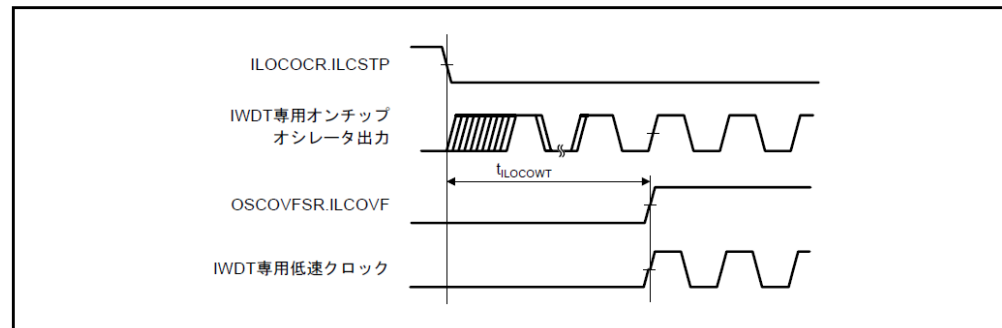


図 45.8 IWDTC専用低速クロック発振開始タイミグ

HOCOクロックタイミング

HOCOの発振周波数は、複数の中から選択できる製品があります。本電特の場合、16/18/20MHzの発振周波数から選択できます。また、本表では各々の発振周波数での誤差を現しています。また、測定条件に温度特性がありますので、ご注意ください。本値による精度は以下になります。

発振周波数 (MHz)	誤差 (Ta=-20~105°C)	誤差 (Ta=-40~-20°C)
16	±2.4375%	±3%
18	±2.44%	±3%
20	±2.4	±3%

HOCOに電源供給してから動作が安定するまでの時間です。HOCO電源をOFF→ONに変更する場合は、本電源安定時間経過後にHOCOの発振動作(HOCO CR.HCSTP=0)をして下さい。なお、リセット後は電源供給(HOCO PCR.HOCOPCNT=0)状態となります。

表 45.23 HOCOクロックタイミング

条件 : VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V, VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, Ta = Topr

項目	記号	min	typ	max	単位	測定条件
HOCOクロック発振周波数	f _{HOCO}	15.61	16	16.39	MHz	-20°C ≤ Ta ≤ 105°C
		17.56	18	18.44		
		19.52	20	20.48		
		15.52	16	16.48		-40°C ≤ Ta < -20°C
		17.46	18	18.54		
		19.40	20	20.60		
HOCOクロック発振安定待機時間	t _{HOCOWT}	—	105	149	μs	図 45.9
HOCOクロック電源安定時間	t _{HOCOP}	—	—	150	μs	図 45.10

下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。

HOCOを発振動作(HOCO CR.HCSTP=0)してから発振が安定するまでの時間です。本表での条件下では最大149usかかります。

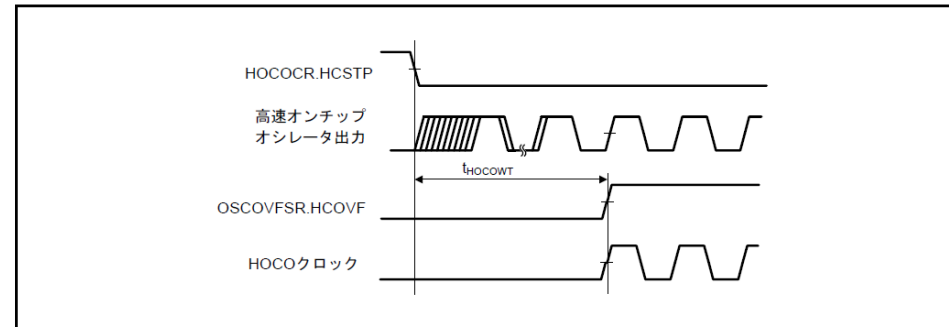


図 45.9 HOCO クロック発振開始タイミング (HOCO CR.HCSTP 設定による発振開始)

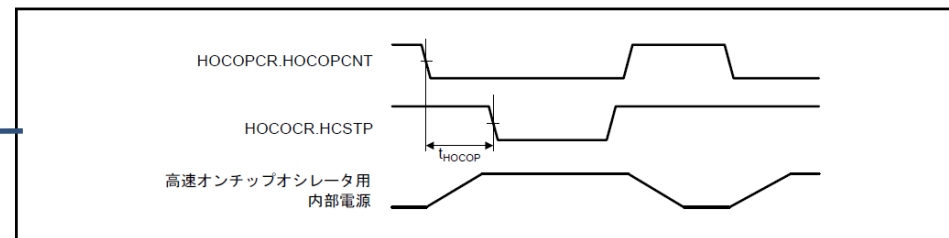


図 45.10 高速オンチップオシレータ電源制御タイミング

PLLクロックタイミング

PLL周波数シンセサイザの出力クロック周波数範囲です。動作クロックではないのでご注意ください。また、PLL周波数シンセサイザの**入力周波数範囲**は、製品により決まっております^注ので、併せてご注意ください。

注：ユーザーズマニュアルハードウェア編のクロック発生回路章を参照下さい。

PLLを発振動作(PLLCR2.PLLEN=0)にしてから発振が安定するまでの時間です。本表での条件下では最大320usかかります。

表 45.24 PLLクロックタイミング

条件：VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V, VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$

下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。

項目	記号	min	typ	max	単位	測定条件
PLLクロック発振周波数	f_{PLL}	120	—	240	MHz	
PLLクロック発振安定待機時間	t_{PLLWT}	—	259	320	μs	図 45.11

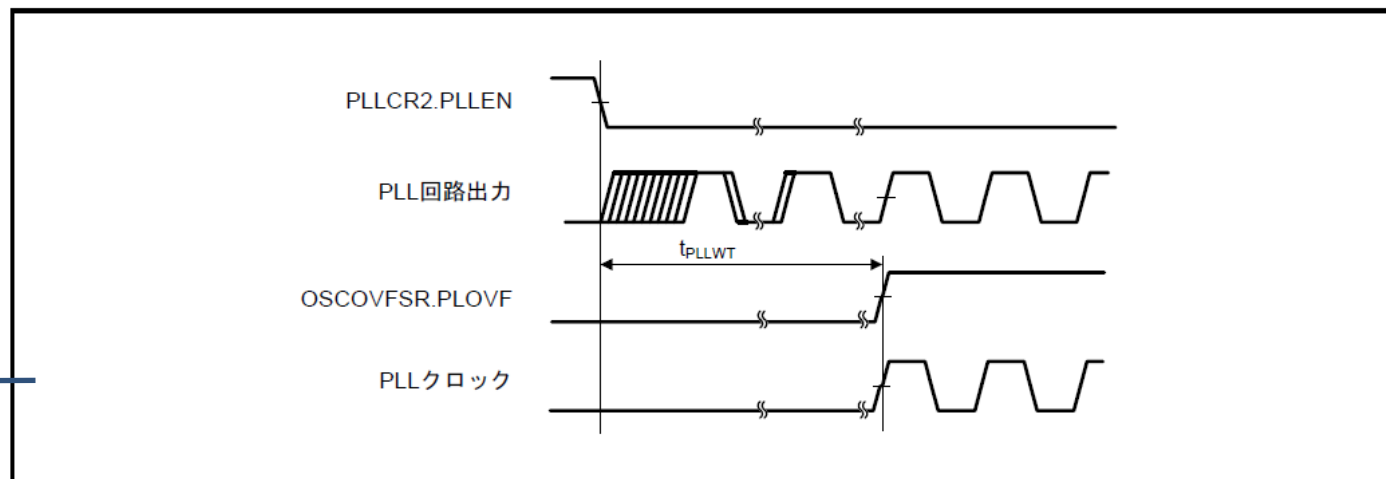


図 45.11 PLL クロック発振開始タイミング

低消費電力

45.4.3 低消費電力状態からの復帰タイミング

下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。

表45.23 低消費電力状態からの復帰タイミング(1)
 条件: VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
 VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
 T_a = T_{opr}

項目	記号	min	typ	max		単位	測定条件		
				t _{SBYOSCWT} (注2)	t _{SBYSEQ} (注3)				
ソフトウェアスタンバイモード解除後復帰時間(注1)	メインクロック発振器に水晶振動子を接続 メインクロック発振器動作	t _{SBYMC}	—	—	{(MSTS[7:0] ビット × 32) + 76} / 0.216	100 + 7 / f _{ICLK} + 2n / f _{MAIN}	μs	図 45.12	
					t _{SBYPC}	{(MSTS[7:0] ビット × 32) + 138} / 0.216			100 + 7 / f _{ICLK} + 2n / f _{PLL}
	メインクロック発振器に外部クロックを入力 メインクロック発振器動作	t _{SBYEX}	—	—	352	100 + 7 / f _{ICLK} + 2n / f _{EXMAIN}			
					t _{SBYPE}	639			100 + 7 / f _{ICLK} + 2n / f _{PLL}
	高速オンチップオシレータ動作 高速オンチップオシレータ動作	t _{SBYHO}	—	—	—	454			100 + 7 / f _{ICLK} + 2n / f _{HOCO}
						t _{SBYPH}			741
低速オンチップオシレータ動作(注4)	t _{SBYLO}	—	—	—	338	100 + 7 / f _{ICLK} + 2n / f _{LOCO}			

復帰時間はお客様の使用条件に合わせて必要なパラメータ値を入力して算出ください。

注1. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間(t_{SBYOSCWT})とソフトウェアスタンバイモード解除シーケンサ動作時間(t_{SBYSEQ})の加算値で決まります。
 注2. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間はt_{SBYOSCWT}のうち、最も大きな値が選択されます。
 注3. nは内部クロックの分周設定のうち、最も大きな値が選択されます。
 注4. 本条件は、f_{ICLK}: f_{FCLK} = 1:1、2:1、4:1の場合に適用されます。

制御信号タイミング

45.4.4 制御信号タイミング

表 45.25 制御信号タイミング

条件 : $VCC = 2.7 \sim 5.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = T_{opr}$

項目	記号	min (注1)	typ	max	単位	測定条件 (注1)
NMIパルス幅	t_{NMIW}	200	—	—	ns	$2 \times t_{PBcyc} \leq 200ns$ 、図 45.14
		$2 \times t_{PBcyc}$	—	—		$2 \times t_{PBcyc} > 200ns$ 、図 45.14
IRQパルス幅	t_{IRQW}	200	—	—		$2 \times t_{PBcyc} \leq 200ns$ 、図 45.15
		$2 \times t_{PBcyc}$	—	—		$2 \times t_{PBcyc} > 200ns$ 、図 45.15

注1. t_{PBcyc} : PCLKBの周期

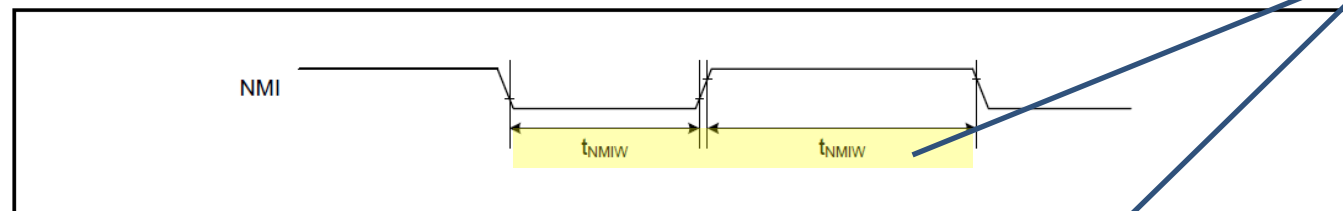


図 45.14 NMI 割り込み入力タイミング

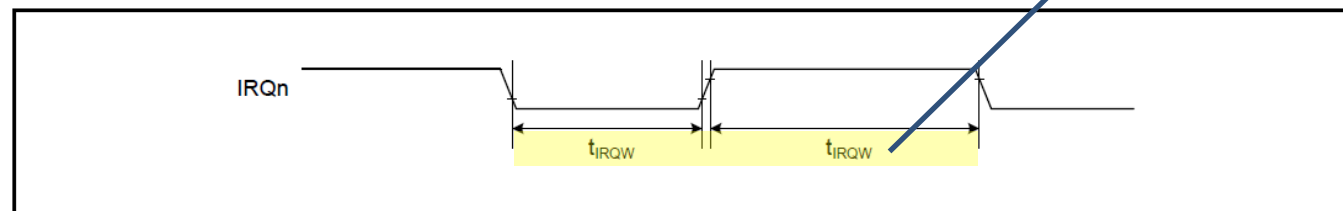


図 45.15 IRQ 割り込み入力タイミング

使用するクロック周波数によってはパルス幅のminが変わることにご注意ください。

レベル検出、エッジ検出双方において、この条件を満たす必要があります。

バスタイミング

45.4.5 バスタイミング

外部バスの下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。
特に出力負荷条件、並びに駆動能力の選択は注意してください。バス駆動において通常駆動出力を選択した場合、タイミングが間に合わず正しくアクセスできない可能性があります。

表45.26 バスタイミング(1)

条件 : $4.5V \leq VCC \leq 5.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$, $T_a = T_{opr}$,
 $ICLK = 8 \sim 160MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $PCLKC = 8 \sim 160MHz$, $BCLK = 8 \sim 60MHz$,
 出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択(P53 ~ P55、P60 ~ P65以外)

項目	記号	min	typ	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	—	12.5	ns	図45.16 ~ 図45.21
バイトコントロール遅延時間	t_{BCD}	—	—	12.5		
CS#遅延時間	t_{CSD}	—	—	12.5		
ALE遅延時間	t_{ALED}	—	—	12.5		
RD#遅延時間	t_{RSD}	—	—	12.5		
リードデータセットアップ時間	t_{RDS}	12.5	—	—		
リードデータホールド時間	t_{RDH}	0	—	—		
WR#遅延時間	t_{WRD}	—	—	12.5		
ライトデータ遅延時間	t_{WDD}	—	—	12.5		
ライトデータホールド時間	t_{WDH}	0	—	—		
WAIT#セットアップ時間	t_{WTS}	12.5	—	—		
WAIT#ホールド時間	t_{WTH}	0	—	—		

本値に関しては、0以下になることはありません。

外部バス リード/ライトタイミング

1ライトストロブモード時、
ライトタイミングで常時WR#信号がアサートされ、それと同時に該当するBCn#信号がアサートされます。
バイトストロブ時、BCn#信号は無効です

バイトストロブモード時、
ライトタイミングで該当するWRn#(0~3)信号がアサートされます。
1ライトストロブ時、WR0#以外は無効です。

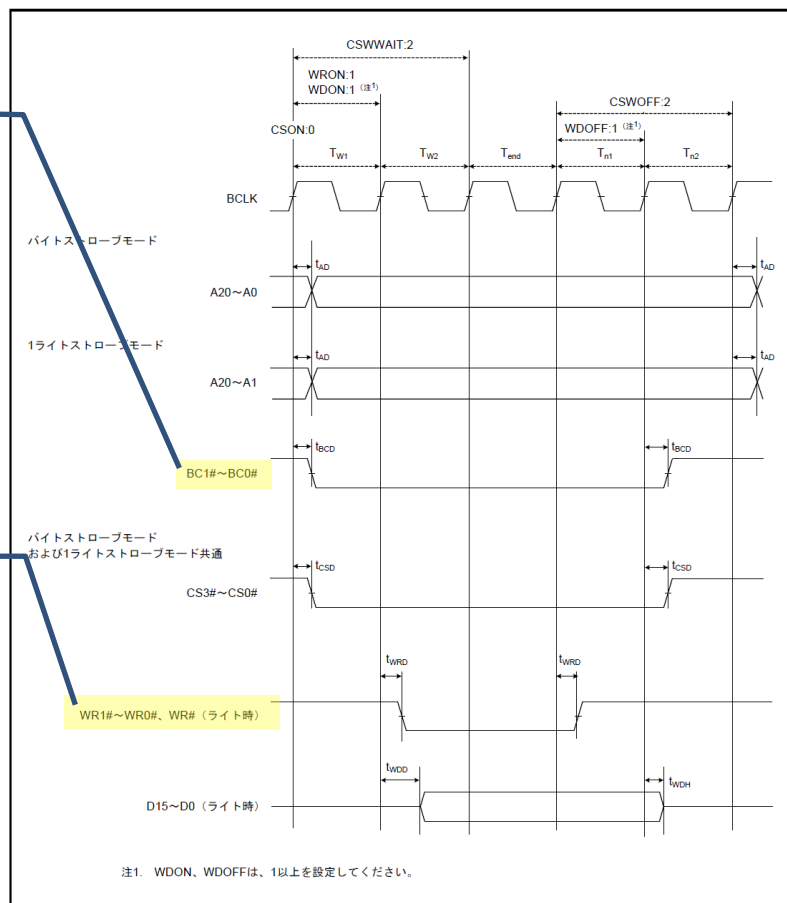


図 45.19 外部バスタイミング / ノーマルライトサイクル (バスクロック同期)

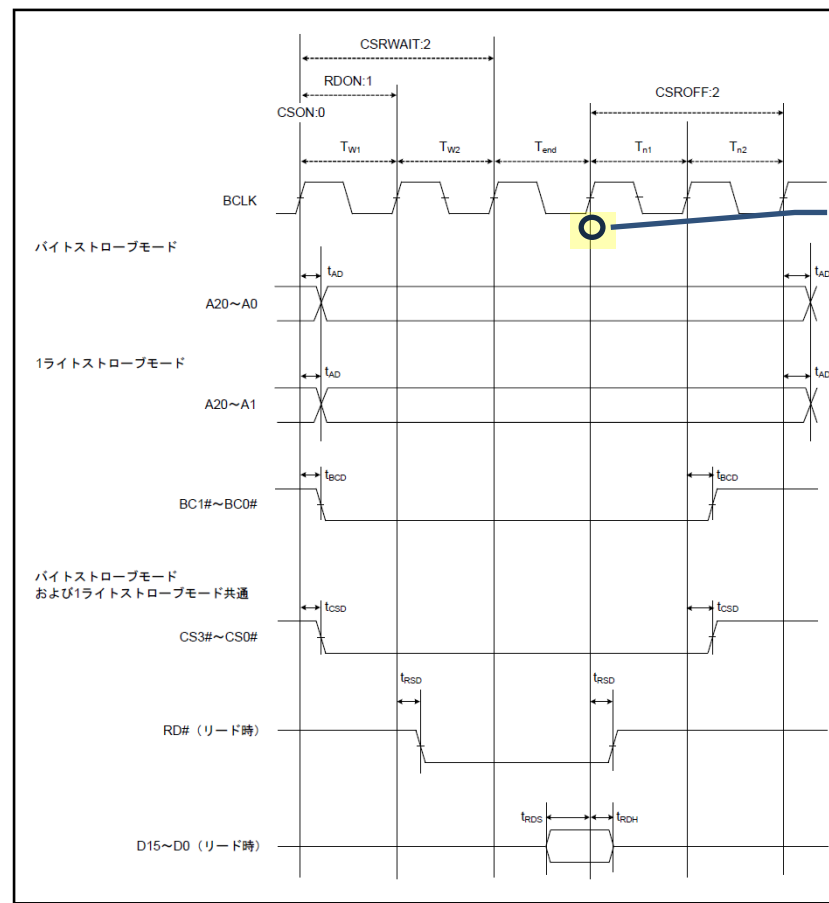


図 45.18 外部バスタイミング / ノーマルリードサイクル (バスクロック同期)

リードタイミングはBCLKのT_{end}の立ち上がりです。
(BCLK端子=内部BCLKの場合)

アドレス/データマルチプレクスタイミング

A0~A15は、アドレスバス/データバス(A0/D0~A15/D15)から出力されます。A16以降はAxxのアドレスバスから出力されます。

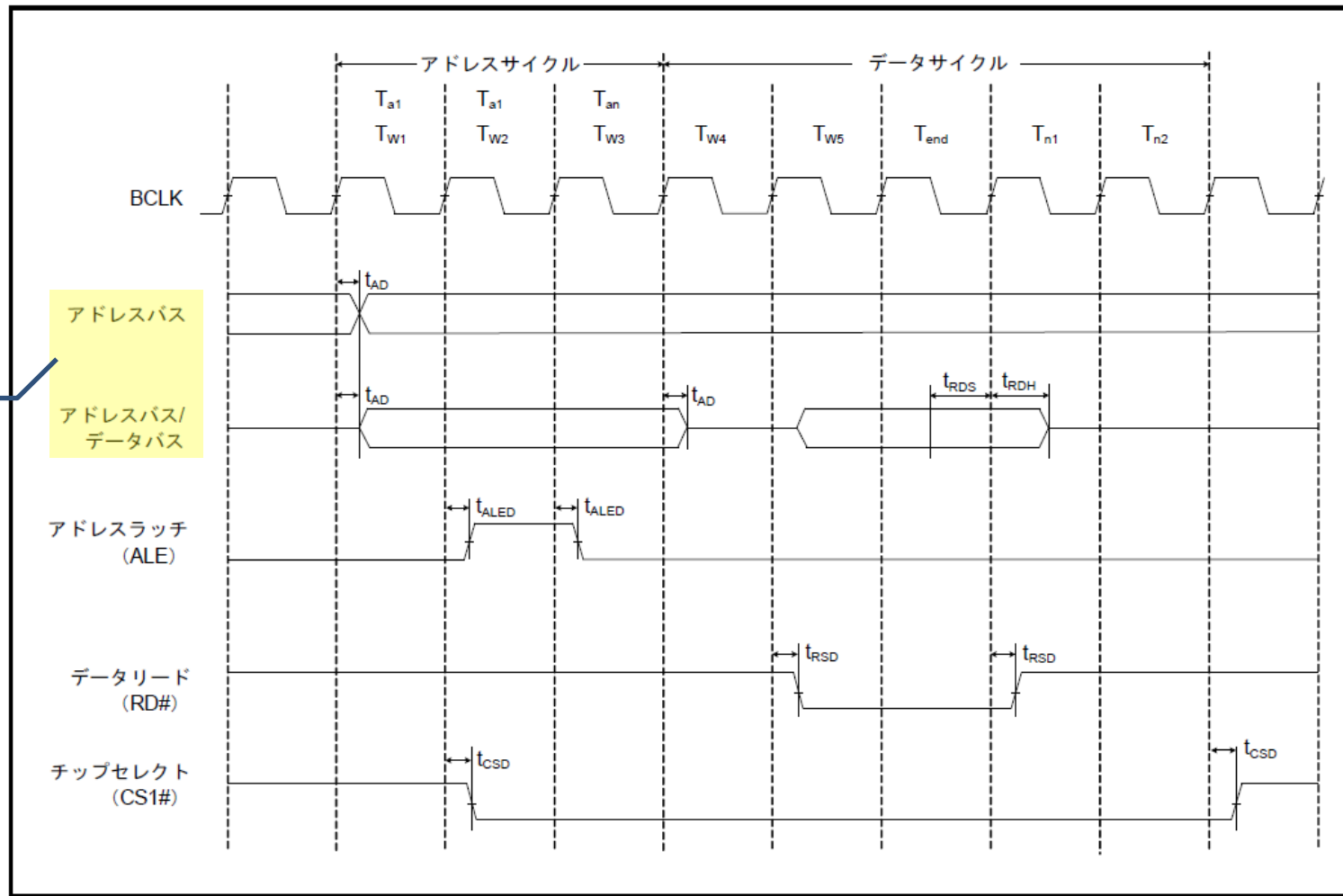
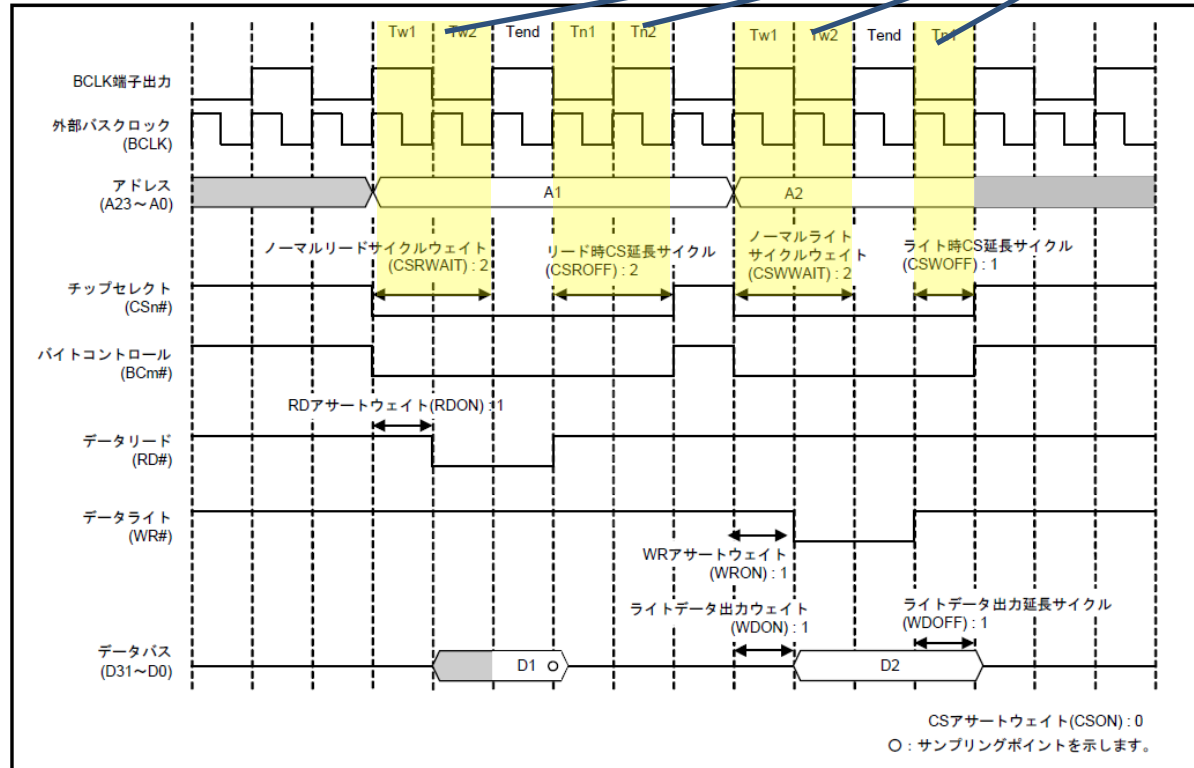


図 45.16 アドレス/データマルチプレクスバスのリードアクセスタイミング

BCLK端子出力選択ビットでBCLKの2分周を設定した場合



WAITサイクルはBCLKに同期して挿入されます。BCLK端子出力をBCLKクロックの2分周に設定した場合、各制御信号のアサート/ネゲートタイミングは設定したWAIT数によりBCLK端子の立ち上がりタイミングだけでなく立ち下がりタイミングで変化する場合があります。ご注意ください。

図 16.26 ノーマルアクセスの動作例 (BCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合) (n = 0 ~ 7, m = 0 ~ 3)

I/Oポートタイミング

45.4.6.1 I/Oポート

表 45.30 I/Oポートタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$,
 $ICLK = 8 \sim 160MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $PCLKC = 8 \sim 160MHz$, $BCLK = 8 \sim 60MHz$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択 (P53 ~ P55、P60 ~ P65 以外)

項目	記号	min	max	単位 (注1)	測定条件
I/Oポート 入力データパルス幅	t_{PRW}	1.5	—	t_{PBcyc}	図 45.23

注1. t_{PBcyc} : PCLKBの周期

基準となるクロックは、I/Oポートに供給される周辺モジュールクロックです。クロック発生回路章でご確認ください。以下の例では、PCLKBになります。

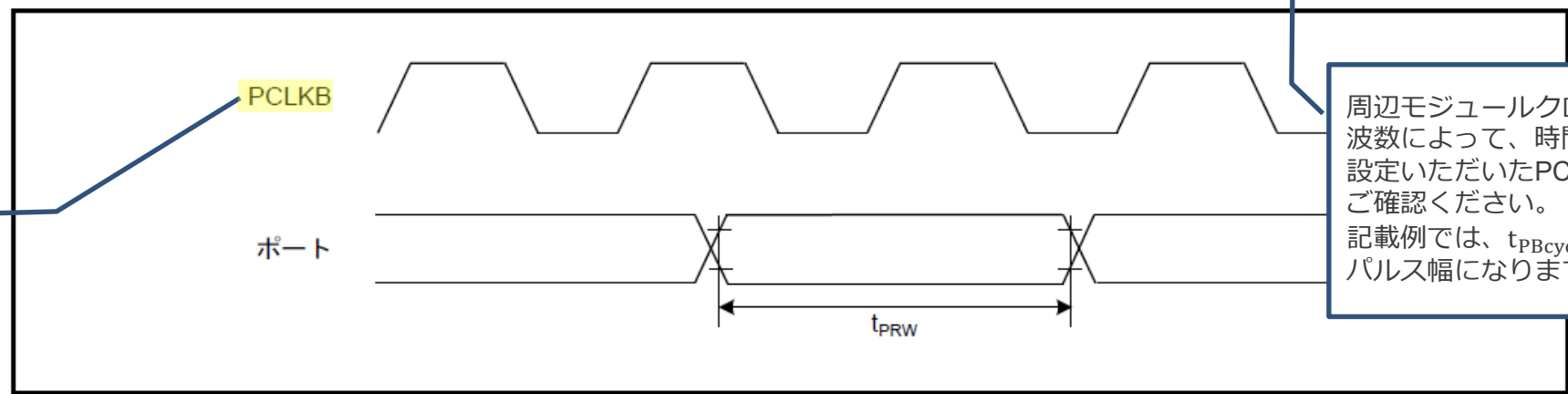
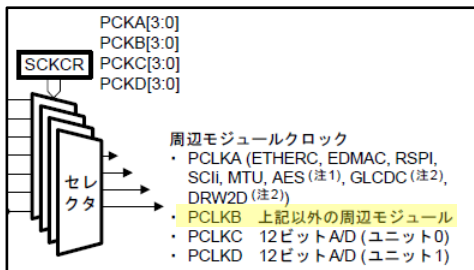


図 45.23 I/Oポート入力タイミング

MTUタイミング

インプットキャプチャ端子の MTIOCnm端子(n=0~4,6,7,9、m=A~D)、MTIC5m端子(m=U,V,W)と内部クロックは非同期ですので、インプットキャプチャ入力パルス幅は最低でも単エッジで1.5PCLKC、両エッジで2.5PCLKCの幅を必要とします。

外部クロック端子、位相係数モードの外部クロック端子の入カタイミンングです。High幅/Low幅の規定がありますのでご注意ください。

表 45.30 MTUタイミング

条件: VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V, VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr}, ICLK = 8~160MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz, PCLKC = 8~160MHz, BCLK = 8~60MHz, 出力負荷条件: V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF, 駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65以外)

下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。特にクロック、出力負荷条件などはクロックタイミングに大きく影響を受けます。

項目	記号	min	max	単位 (注1)	測定条件
MTU インプットキャプチャ入力パルス幅	単エッジ指定	1.5	—	t _{PCyc}	図 45.25
	両エッジ指定	2.5	—		
タイマクロックパルス幅	単エッジ指定	1.5	—	t _{MTCKWH}	図 45.26
	両エッジ指定	2.5	—	t _{MTCKWL}	
	位相計数モード	2.5	—		

注1. t_{PCyc}: PCLKCの周期

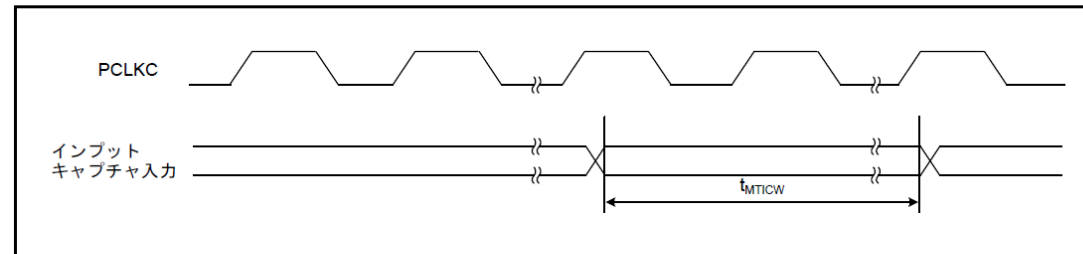


図 45.25 MTU インプットキャプチャ入力タイミンング

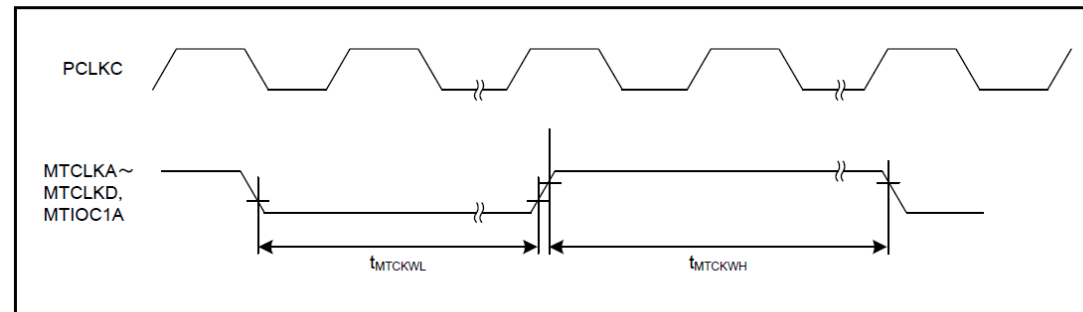


図 45.26 MTU クロック入力タイミンング

POE, POEG タイミング

表 45.31 POE, POEG タイミング

条件: $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$
 $ICLK = 8 \sim 160MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $PCLKC = 8 \sim 160MHz$, $BCLK = 8 \sim 60MHz$,
 出力負荷条件: $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択 (P53 ~ P55, P60 ~ P65 以外)

下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。特にクロック、出力負荷条件などはタイミングに大きく影響を受けます。

POE3(ポートアウトプットイネーブル3)モジュールに関する規定です。POE3の制御対象端子はMTU3のPWM出力端子、およびGPTWのPWM出力端子です。

POEG(GPTW専用ポートアウトプットイネーブル)モジュールに関する規定です。POEGの制御対象端子はGPTWのPWM出力端子です。MTU3のPWM出力端子は含まれませんのでご注意ください。

項目	記号	min	typ	max	単位 (注1)	測定条件	
POE	POEn#入力パルス幅 (n = 0, 4, 8 ~ 14)	t _{POEW}	1.5	—	—	t _{PBcyc} 図 45.27	
	出力ディセーブル時間	POEn#端子の変化	t _{POEDI}	—	—	5 PCLKB + 0.24	μs 図 45.28 立ち下がりエッジ検出時 (ICSRm.POEnM[3:0] = 0000 (m = 1 ~ 5, 7 ~ 9, n = 0, 4, 8 ~ 14))
		出力端子の短絡	t _{POEDO}	—	—	3 PCLKB + 0.2	μs 図 45.29
		コンパレータ出力検出	t _{POEDC}	—	—	5 PCLKB + 0.2	μs 図 45.30 コンパレータ C のノイズフィルタ 不使用時 (CMPCTL.CDFS[1:0] = 00)、 コンパレータ C の検出時間は除く
		レジスタ設定	t _{POEDS}	—	—	1 PCLKB + 0.2	μs 図 45.31 レジスタアクセス時間は除く
発振停止検出	t _{POEDOS}	—	—	21	μs 図 45.32		
POEG	GTETRnGn入力パルス幅 (n = A ~ D)	t _{POEGW}	1.5	—	—	t _{PBcyc} 図 45.33	
	出力ディセーブル時間	GTETRnGn端子の入カレベル検出 (フラグ経由)	t _{POEGDI}	—	—	3 PCLKB + 0.34	μs 図 45.34 デジタルノイズフィルタ不使用時 (POEGn.NFEN = 0 (n = A ~ D))
		GPTWからの出力停止信号検出 (デットタイムエラー、同時 High 出力、同時 Low 出力)	t _{POEGDE}	—	—	0.5	μs 図 45.35
		コンパレータエッジ検出	t _{POEGDC}	—	—	4 PCLKB + 0.5	μs 図 45.36 コンパレータ C のノイズフィルタ 不使用時 (CMPCTL.CDFS[1:0] = 00)、 コンパレータ C の検出時間は除く
		レジスタ設定	t _{POEGDS}	—	—	1 PCLKB + 0.3	μs 図 45.37 レジスタアクセス時間は除く
		発振停止検出	t _{POEGDOS}	—	—	21	μs 図 45.38
		GTETRnGn端子の入カレベル検出 (フラグ非経由)	t _{POEGDDI}	—	—	2 PCLKB + 1 PCLKC + 0.34	μs 図 45.39
コンパレータレベル検出	t _{POEGDDC}	—	—	3 PCLKC + 0.3	μs 図 45.40 コンパレータ C のノイズフィルタ 不使用時 (CMPCTL.CDFS[1:0] = 00)、 コンパレータ C の検出時間は除く		

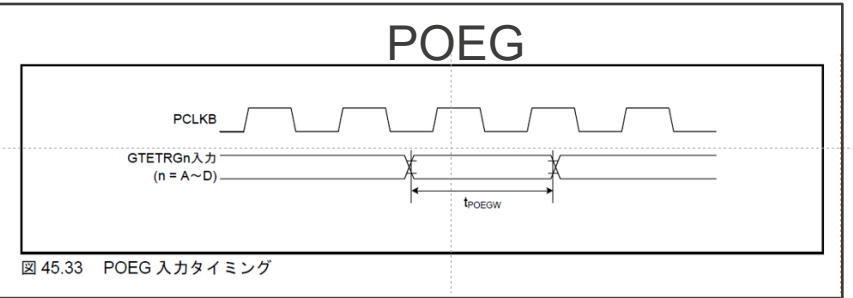
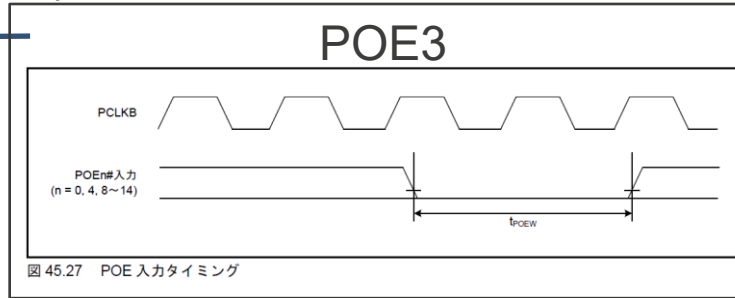
POE(MTU3/GPTW用ポートアウトプットイネーブル)、POEG(GPTW専用ポートアウトプットイネーブル)は、電気的特性の通り、仕様に相違ある為、反映タイミングが変わりますのでご注意ください。

注1. t_{PBcyc}: PCLKBの周期

POE, POEG タイミング (トリガ端子入力)

■ 外部トリガ端子入力 (パルス幅規定)

POE3、POEGモジュールのトリガ端子入力パルス幅(POE3: POEn#, POEG:GTETR Gn)です。どちらも内部クロックとは非同期ですので、入力パルス幅は最低でも1.5PCLKBの幅を必要とします。



■ 外部トリガ端子入力 (停止時間)

POE3はPOEn#の入力、POEGはGTETR Gnの入力をしてから以下の対象PWM出端子が出力停止するまでの時間です。

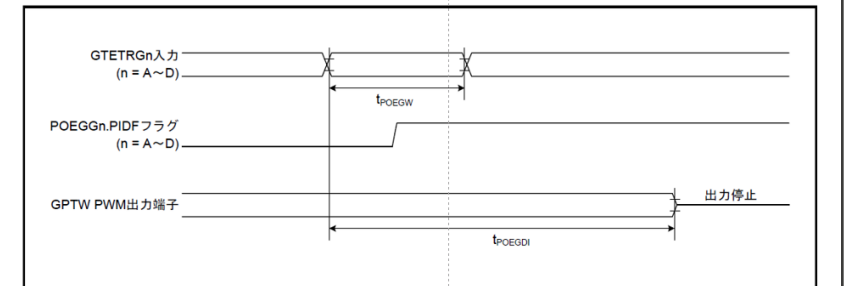
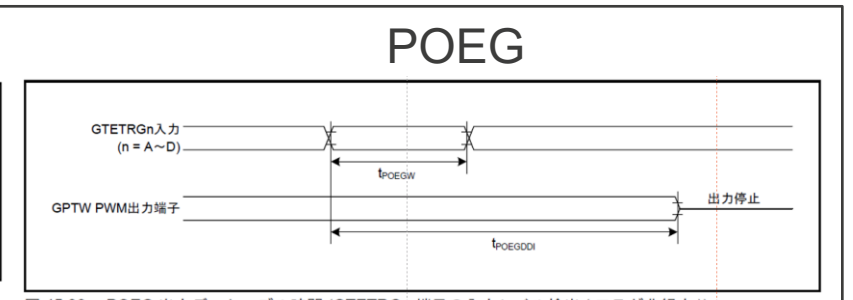
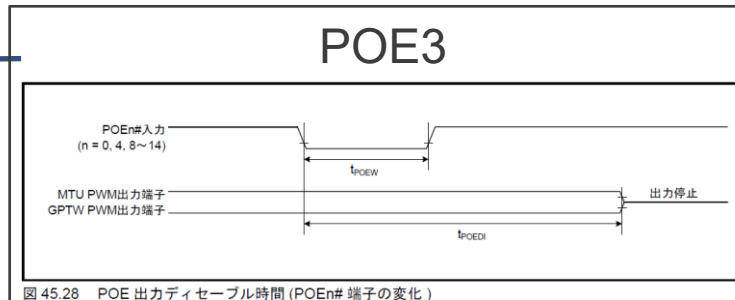
■ 対象PWM出力端子

POE3 : MTU3、GPTWのPWM出力端子

POEG : GPTWのPWM出力端子

右図のPOE3はエッジ検出時、POEGは、ノイズフィルタ不使用時のタイミングで、フラグを経由する場合と経路しない場合のタイミング図です。

なお、レベル検出は、POE3の場合、ICSRm.POEnM2[3:0]、POEGの場合、OEGGn.NFCS[1:0]で設定したサンプリング回数を満たした後、右図の出力停止までの時間経過後に対象PWM出力端子を出力停止します。



POE, POEG タイミング (PWM出力短絡、発振停止)

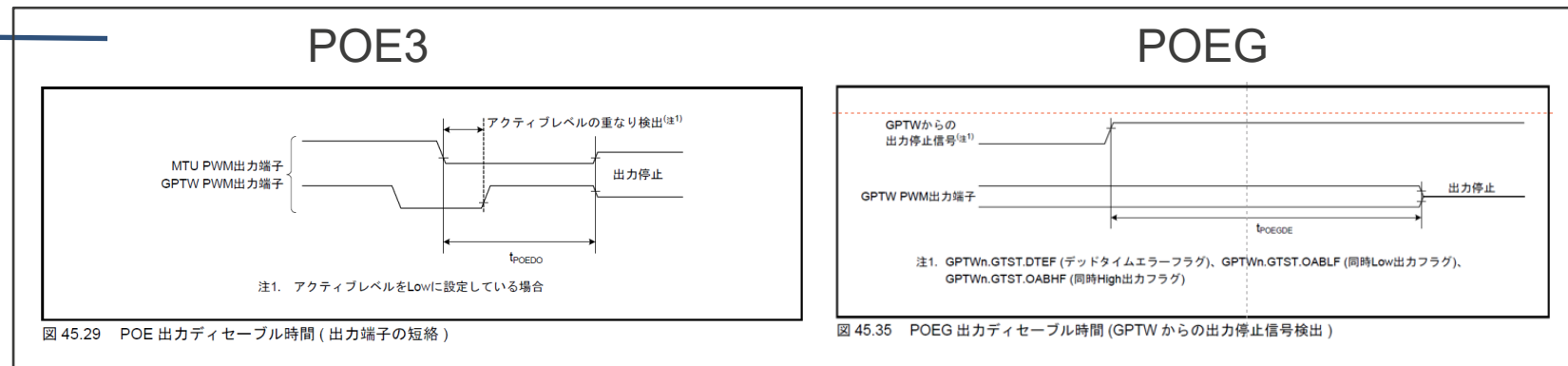
■ PWM出力短絡

PWM出力信号の短絡(正相と逆相が同時にアクティブレベル)が1PCLK以上継続した場合に以下の対象PWM出端子が出力停止するまでの時間です。

■ 対象PWM出力端子

POE3 : MTU3、GPTWのPWM出力端子

POEG : GPTWのPWM出力端子



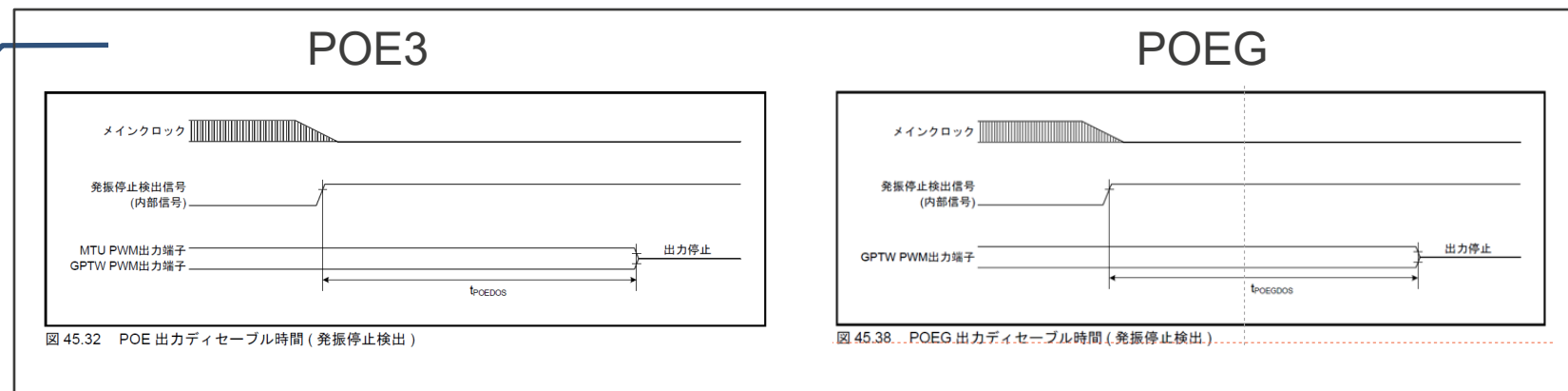
■ 発振停止

POE3、POEGモジュールに発振停止検出信号が入力された場合に以下の対象PWM出端子が出力停止するまでの時間です。

■ 対象PWM出力端子

POE3 : MTU3、GPTWのPWM出力端子

POEG : GPTWのPWM出力端子



POE, POEG タイミング (コンパレータ検出、レジスタ設定)

■ コンパレータ出力検出

POE3、POEGモジュールにCOMPnのレベル検出信号が入力された場合に以下の対象PWM出端子が出力停止するまでの時間です。

■ 対象PWM出力端子

POE3 : MTU3、GPTWのPWM出力端子
 POEG : GPTWのPWM出力端子

■ レジスタ設定

ソフトウェア(以下レジスタ)にて出力停止設定した場合に以下の対象PWM出端子が出力停止するまでの時間です。

■ 停止設定レジスタ

POE3 : SPOERレジスタ
 POEG : POEGGn.SSFビット

■ 対象PWM出力端子

POE3 : MTU3、GPTWのPWM出力端子
 POEG : GPTWのPWM出力端子

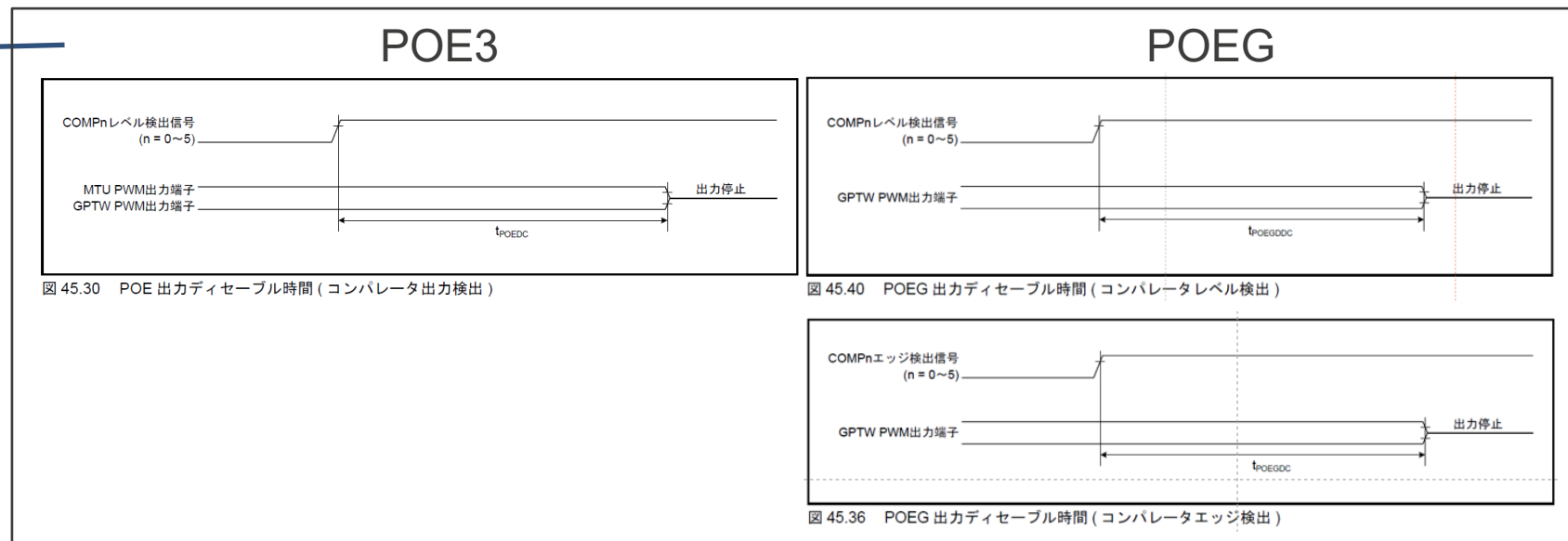


図 45.30 POE 出力ディセーブル時間 (コンパレータ出力検出)

図 45.40 POEG 出力ディセーブル時間 (コンパレータレベル検出)

図 45.36 POEG 出力ディセーブル時間 (コンパレータエッジ検出)

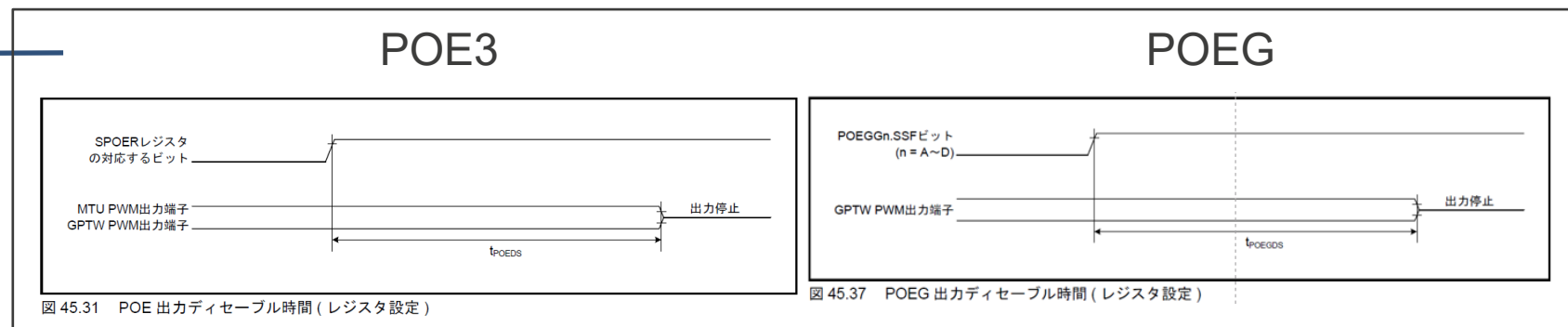


図 45.31 POE 出力ディセーブル時間 (レジスタ設定)

図 45.37 POEG 出力ディセーブル時間 (レジスタ設定)

A/Dコンバータトリガタイミング

表 45.33 A/Dコンバータトリガタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$,

$ICLK = 8 \sim 160MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $PCLKC = 8 \sim 160MHz$, $BCLK = 8 \sim 60MHz$,

出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,

駆動能力制御レジスタは高駆動出力を選択 (P53 ~ P55、P60 ~ P65 以外)

項目	記号	min	max	単位 (注1)	測定条件
A/D コンバータ	A/Dコンバータトリガ入力パルス幅	t_{TRGW}	1.5	—	t_{PBcyc} 図 45.44

注1. t_{PBcyc} : PCLKBの周期

A/Dコンバータトリガ端子レベルの取り込みタイミングクロックは、A/D用の動作クロックではなく、I/O用の動作クロックで取り込みます。
 *本電特の場合、PCLKBはA/D動作クロックではなくI/O動作クロックです。

VIH/VILは、DC特性のシュミットトリガ入力電圧のADTRG#入力端子項を参照下さい。なお、ADTRG#入力端子はヒステリシス幅を持つ端子です。

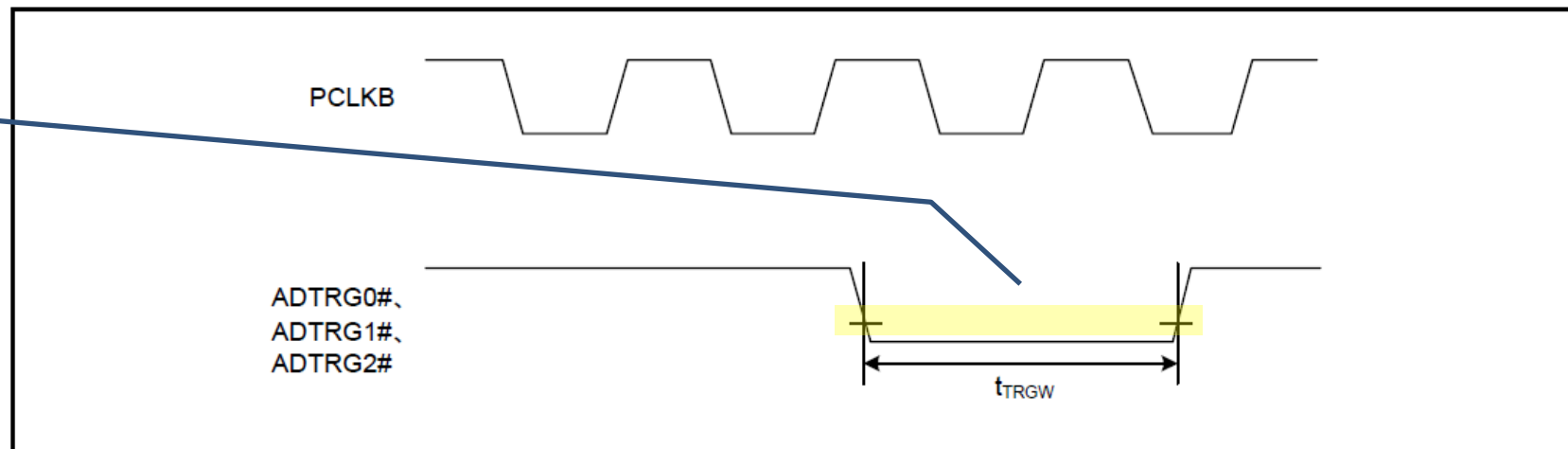


図 45.44 A/Dコンバータトリガ入力タイミング

RSPIタイミング

最大ビットレートは通信対向側ICのセットアップ、ホールドなどのスペックやバス構成（バス負荷）などを考慮して、ご検討ください。

下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。

表45.36 RSPIタイミング
 条件：VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},
 ICLK = 8~160MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz, PCLKC = 8~160MHz, BCLK = 8~60MHz,
 出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65以外)

項目	記号	min (注1)	max (注1)	単位 (注1)	測定条件				
RSPI	RSPCK クロック サイクル	マスタ	t _{SPyc}	2	4096	図45.47			
		スレーブ		4	—				
	RSPCK クロック High レベルパルス幅	マスタ	t _{SPCKWH}	(t _{SPyc} - t _{SPCKr} - t _{SPCKf}) / 2 - 3	—		ns		
		スレーブ		(t _{SPyc} - t _{SPCKr} - t _{SPCKf}) / 2	—		ns		
	RSPCK クロック Low レベルパルス幅	マスタ	t _{SPCKWL}	(t _{SPyc} - t _{SPCKr} - t _{SPCKf}) / 2 - 3	—		ns		
		スレーブ		(t _{SPyc} - t _{SPCKr} - t _{SPCKf}) / 2	—		ns		
	RSPCK クロック立ち上がり/立ち下がり時間	出力	t _{SPCKr}	—	5		ns		
		入力	t _{SPCKf}	—	1		μs		
	データ入力セットアップ時間	マスタ	t _{SU}	6	—		ns	VCC ≥ 4.5V	図45.48 ~ 図45.53
				11	—			VCC < 4.5V	
スレーブ		8.3	—	図45.48~図45.53					
データ入力ホールド時間	マスタ	PCLKAを2分周に設定 t _{HF}	0	—	ns				
			PCLKAを2分周以外に設定 t _H	t _{PAcyc}			—		
	スレーブ	8.3	—						
SSL セットアップ時間	マスタ	t _{LEAD}	1	8	t _{SPyc}				
	スレーブ		6	—	t _{PAcyc}				
SSL ホールド時間	マスタ	t _{LAG}	1	8	t _{SPyc}				
	スレーブ		6	—	t _{PAcyc}				
データ出力遅延時間	マスタ	t _{OD}	—	6.3	ns	VCC ≥ 4.5V	図45.48 ~ 図45.53		
			—	28		VCC < 4.5V			
	マスタ	—	11.3	ns					
	スレーブ	—	33	ns					
データ出力ホールド時間	マスタ	t _{OH}	0	—	ns	図45.48~図45.53			
	スレーブ		0	—					
連続送信遅延時間	マスタ	t _{TD}	t _{SPyc} + 2 × t _{PAcyc}	8 × t _{SPyc} + 2 × t _{PAcyc}	ns				
	スレーブ		6 × t _{PAcyc}	—					
MOSI、MISO 立ち上がり/立ち下がり時間	出力	t _{Dr} , t _{Df}	—	5	ns				
	入力		—	1			μs		
SSL 立ち上がり/立ち下がり時間	出力	t _{SSLr}	—	5	ns				
	入力	t _{SSLf}	—	1			μs		
スレーブアクセス時間	—	t _{SA}	—	2 × t _{PAcyc} + 28	ns	VCC ≥ 4.5V	図45.52 、 図45.53		
			—	2 × t _{PAcyc} + 33		VCC < 4.5V			
スレーブ出力開放時間	—	t _{REL}	—	2 × t _{PAcyc} + 28	ns	VCC ≥ 4.5V			
			—	2 × t _{PAcyc} + 33		VCC < 4.5V			

注1. t_{PAcyc} : PCLKAの周期

簡易SPIタイミング

表 45.37 簡易SPIタイミング

条件: VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
 VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},
 ICLK = 8 ~ 160MHz, PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, PCLKC = 8 ~ 160MHz, BCLK = 8 ~ 60MHz,
 出力負荷条件: V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択(P53 ~ P55、P60 ~ P65以外)

下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。

最大ビットレートは通信相手側ICのセットアップ、ホールドなどのスペックやバス構成（バス負荷）などを考慮して、ご検討ください。

項目	記号	min	max	単位 (注1)	測定条件	
簡易SPI (SCI11)	SCKクロックサイクル出力(マスタ)	t _{SPcyc}	4	65536	t _{PAcyc}	図 45.47
	SCKクロックサイクル入力(スレーブ)		8	—		
	SCKクロック High レベルパルス幅	t _{SPCKWH}	0.4	0.6	t _{SPcyc}	
	SCKクロック Low レベルパルス幅	t _{SPCKWL}	0.4	0.6	t _{SPcyc}	
	SCKクロック立ち上がり/立ち下がり時間	t _{SPCKr} , t _{SPCKf}	—	20	ns	
	データ入力セットアップ時間	t _{SU}	33.3	—	ns	図 45.48 ~ 図 45.53
	データ入力ホールド時間	t _H	33.3	—	ns	
	SS入力セットアップ時間	t _{LEAD}	1	—	t _{SPcyc}	—
	SS入力ホールド時間	t _{LAG}	1	—	t _{SPcyc}	
	データ出力遅延時間	t _{OD}	—	33.3	ns	—
	データ出力ホールド時間	t _{OH}	-10	—	ns	
	データ立ち上がり/立ち下がり時間	t _{Dr} , t _{Df}	—	16.6	ns	—
	SS入力立ち上がり/立ち下がり時間	t _{SSLr} , t _{SSLf}	—	16.6	ns	
	スレーブアクセス時間	t _{SA}	—	7	t _{PAcyc}	図 45.52、 図 45.53
スレーブ出力開放時間	t _{REL}	—	7	t _{PAcyc}		
簡易SPI (SCI1、SCI5、SCI6、SCI8、SCI9、SCI12)	SCKクロックサイクル出力(マスタ)	t _{SPcyc}	4	65536	t _{PBcyc}	図 45.47
	SCKクロックサイクル入力(スレーブ)		8	—		
	SCKクロック High レベルパルス幅	t _{SPCKWH}	0.4	0.6	t _{SPcyc}	
	SCKクロック Low レベルパルス幅	t _{SPCKWL}	0.4	0.6	t _{SPcyc}	
	SCKクロック立ち上がり/立ち下がり時間	t _{SPCKr} , t _{SPCKf}	—	20	ns	
	データ入力セットアップ時間	t _{SU}	33.3	—	ns	図 45.48 ~ 図 45.53
	データ入力ホールド時間	t _H	33.3	—	ns	
	SS入力セットアップ時間	t _{LEAD}	1	—	t _{SPcyc}	—
	SS入力ホールド時間	t _{LAG}	1	—	t _{SPcyc}	
	データ出力遅延時間	t _{OD}	—	33.3	ns	—
	データ出力ホールド時間	t _{OH}	-10	—	ns	
	データ立ち上がり/立ち下がり時間	t _{Dr} , t _{Df}	—	16.6	ns	—
	SS入力立ち上がり/立ち下がり時間	t _{SSLr} , t _{SSLf}	—	16.6	ns	
	スレーブアクセス時間	t _{SA}	—	7	t _{PBcyc}	図 45.52、 図 45.53
スレーブ出力開放時間	t _{REL}	—	7	t _{PBcyc}		

注 1. t_{PAcyc}: PCLKAの周期、t_{PBcyc}: PCLKBの周期

RSPIタイミング

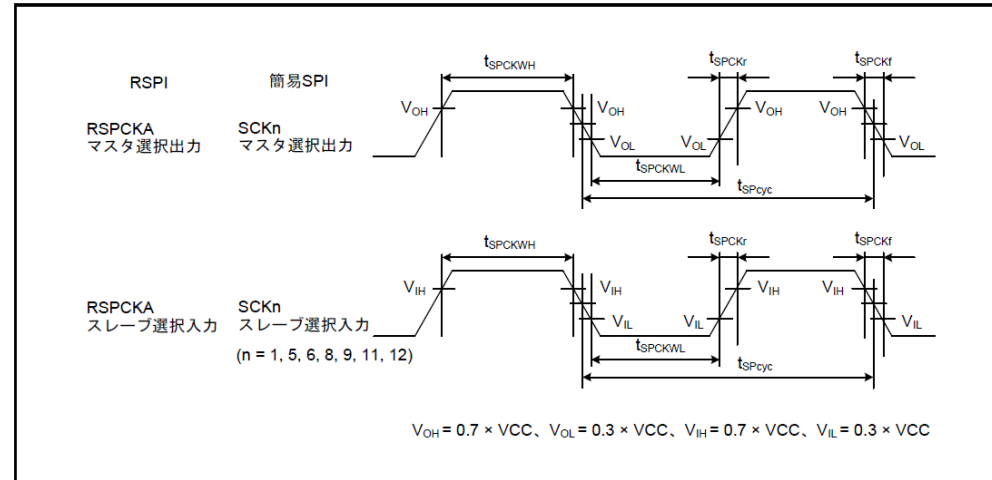


図 45.47 RSPI クロックタイミング/簡易 SPI クロックタイミング

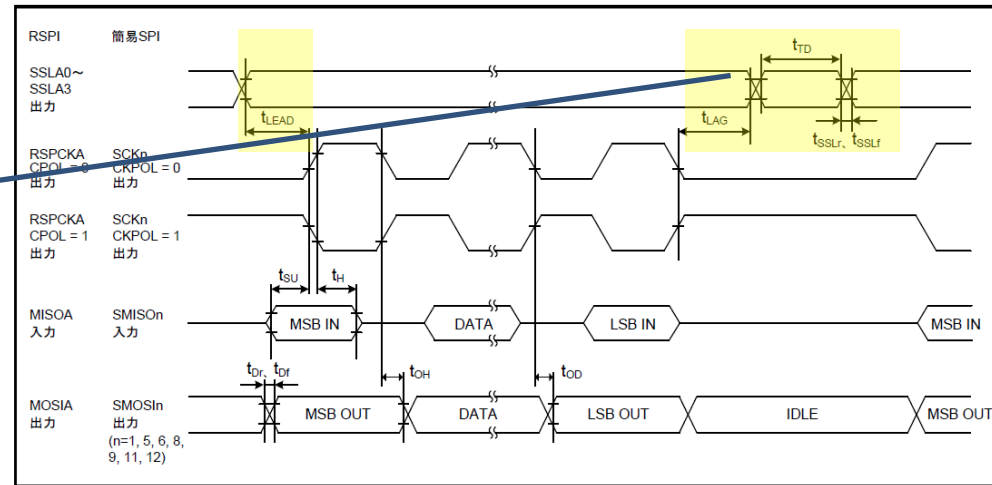


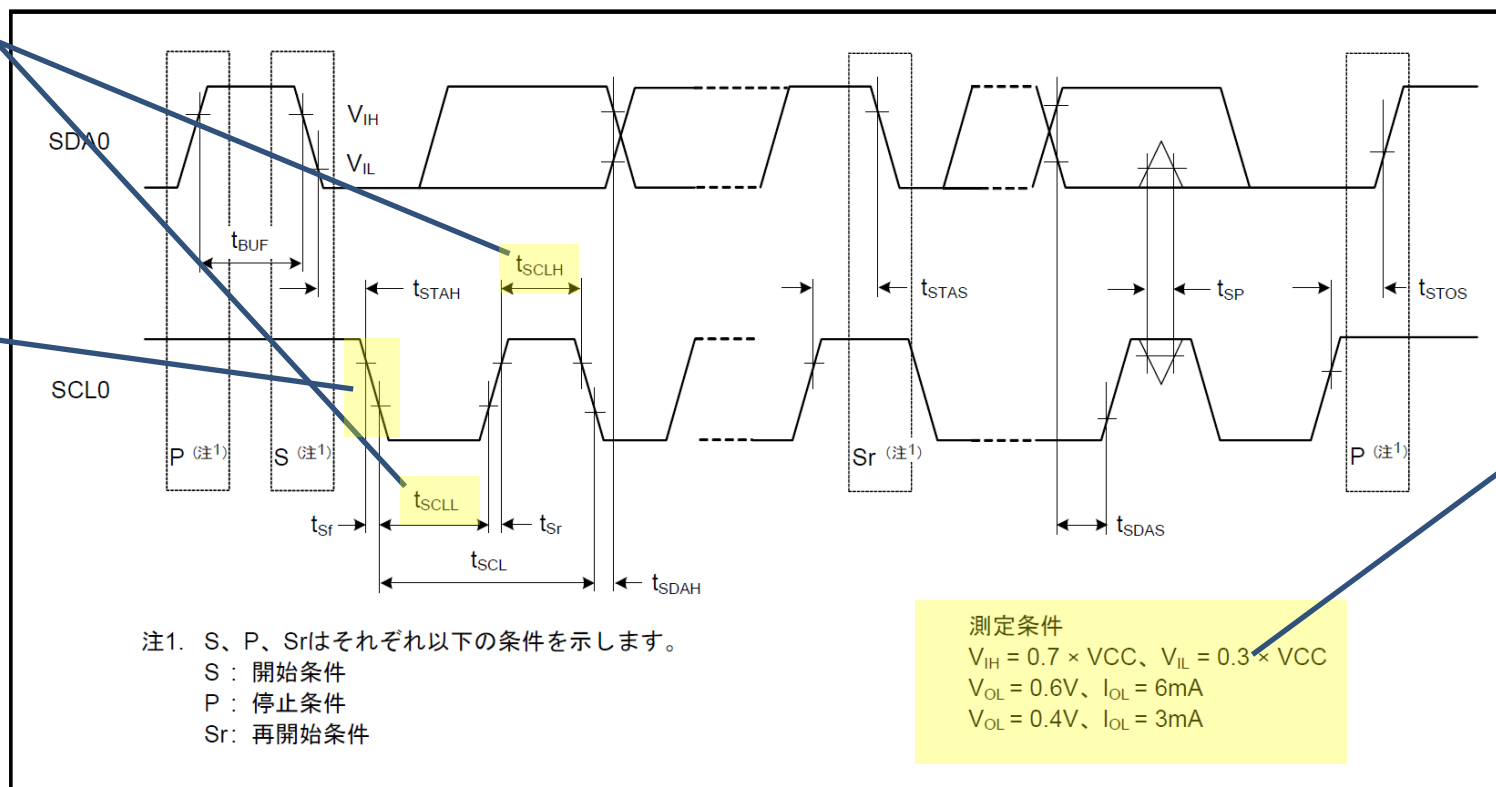
図 45.48 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 1)

連続通信を行う際は1フレームのデータ送信時に待ち時間が必要です。

IIC特性

tSCLH,tSCLLはIICの通信速度により、上限/下限が異なります。詳細はNXP社が提唱する「IICバス仕様書」を参照してください。

立ち上がり時間は負荷条件で変わるため、ボード実装後実際の出力波形を観測してご確認ください。



IICの特性は、NXP社が提唱する「IICバス仕様書」に基づくものです

図 45.60 RIIC バスインタフェース入出力タイミング

A/D変換特性

下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。

A/D変換特性用語は、次ページをご参照ください。

チャンネル専用サンプル&ホールド回路使用時にA/D変換精度を保証できる入力範囲を示しています。この場合、ダイナミックレンジ範囲外の入力電圧ではA/D変換精度は保証されません。
チャンネル専用サンプル&ホールド回路を使用しない場合、ダイナミックレンジによる制限はありません。

ハードウェアマニュアル「アナログ入力のサンプリング時間とスキャン変換時間(比較時間)」の項目も合わせてご参照ください。

45.6 A/D 変換特性

表 45.49 12ビットA/D (ユニット0, 1, 2)変換特性(1)
 条件: $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $4.5 \leq AV_{CC0} = AV_{CC2} \leq 5.5V$,
 $V_{SS} = V_{SS_USB} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$, $PCLKB = PCLKD = 8 \sim 60MHz$ (注1),
 信号源インピーダンス = 1.0 k Ω

項目	min	typ	max	単位	測定条件	
分解能	12	12	12	ビット		
アナログ入力容量	—	—	30	pF		
変換時間(注2) (PCLKD = 60MHz時)	AN000 ~ AN002, AN100 ~ AN102	チャンネル専用サンプル&ホールド回路使用時	1.00	—	μs	<ul style="list-style-type: none"> サンプリング時間 24 PCLKD チャンネル専用サンプル&ホールド回路のサンプリング時間 24 PCLKD サンプリング時間 24 PCLKD サンプリング時間 30 PCLKD サンプリング時間 30 PCLKD サンプリング時間 33 PCLKD サンプリング時間 39 PCLKD
		チャンネル専用サンプル&ホールド回路不使用時	1.40	—		
	AN003 ~ AN006, AN103 ~ AN106	0.90	—	—		
	AN007, AN107, AN200 ~ AN211	0.95	—	—		
	AN216 ~ AN217	1.05	—	—		
オフセット誤差	—	± 1.5	± 6.0	LSB	AN000 ~ AN002, AN100 ~ AN102 = 0.2V	
フルスケール誤差	チャンネル専用サンプル&ホールド回路使用時	チャンネル専用サンプル&ホールド回路使用時	± 1.5	± 5.0	AN000 ~ AN002 = AVCC0 - 0.2V AN100 ~ AN102 = AVCC1 - 0.2V	
		チャンネル専用サンプル&ホールド回路不使用時	± 1.5	± 5.5		
量子化誤差	チャンネル専用サンプル&ホールド回路使用時	チャンネル専用サンプル&ホールド回路使用時	± 0.5	—		
		チャンネル専用サンプル&ホールド回路不使用時	± 0.5	—		
絶対精度	AN000 ~ AN002, AN100 ~ AN102	チャンネル専用サンプル&ホールド回路使用時	± 3.0	± 6.0		
		チャンネル専用サンプル&ホールド回路不使用時	± 2.5	± 5.5		
	AN003 ~ AN007, AN103 ~ AN107	± 2.5	± 5.5			
	AN200 ~ AN211 AN216 ~ AN217	± 2.5	± 6.5			
DNL 微分非直線性誤差	チャンネル専用サンプル&ホールド回路使用時	± 1.0	± 2.5			
チャンネル専用サンプル&ホールド回路不使用時	± 1.5	± 4.0				
INL 積分非直線性誤差	チャンネル専用サンプル&ホールド回路使用時	チャンネル専用サンプル&ホールド回路使用時	± 1.5	± 4.0		
		チャンネル専用サンプル&ホールド回路不使用時	± 1.5	± 2.5		
チャンネル専用サンプル&ホールド回路のホールド特性	—	—	20	μs		
ダイナミックレンジ	AN000 ~ AN002	チャンネル専用サンプル&ホールド回路使用時	0.2	—	AVCC0 - 0.2	
	AN100 ~ AN102	チャンネル専用サンプル&ホールド回路使用時	0.2	—	AVCC1 - 0.2	

使用条件のPCLKに上限/下限があります。設定可能な周波数は製品ごとに異なりますのでご注意ください。

チャンネル専用サンプル&ホールド回路(ANx00~ANx02)のすべてのチャンネルの変換をこの時間までに終了してください。

注. 上記規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中に外部バスアクセスを行った場合は、上記規格値に収まらない可能性があります。
 注1. PCLKD > 40 MHzの場合、AVCC0-AVSS0間、AVCC1-AVSS1間、AVCC2-AVSS2間に挿入している0.1 μF のコンデンサに、下記容量のコンデンサを並列に接続して測定しています。
 ・RAM容量が64Kバイトの製品：100 pF
 ・RAM容量が128Kバイトの製品：0.01 μF
 注2. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングクロック数を示します。

A/Dコンバータ特性用語説明

■ 絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅 (1LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 12 ビット、基準電圧 ($V_{REFH0} = 3.072V$) の場合、1LSB 幅は $0.75mV$ で、アナログ入力電圧には $0mV$ 、 $0.75mV$ 、 $1.5mV$... を使用します。絶対精度 = $\pm 5LSB$ とは、アナログ入力電圧が $6mV$ の場合、理論的な A/D 変換特性では出力コード "008h" を期待できますが、実際の A/D 変換結果は "003h" ~ "00Dh" になることを意味します。

■ 積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際出力コードとの最大偏差です。

■ 微分非直線性誤差 (DNL)

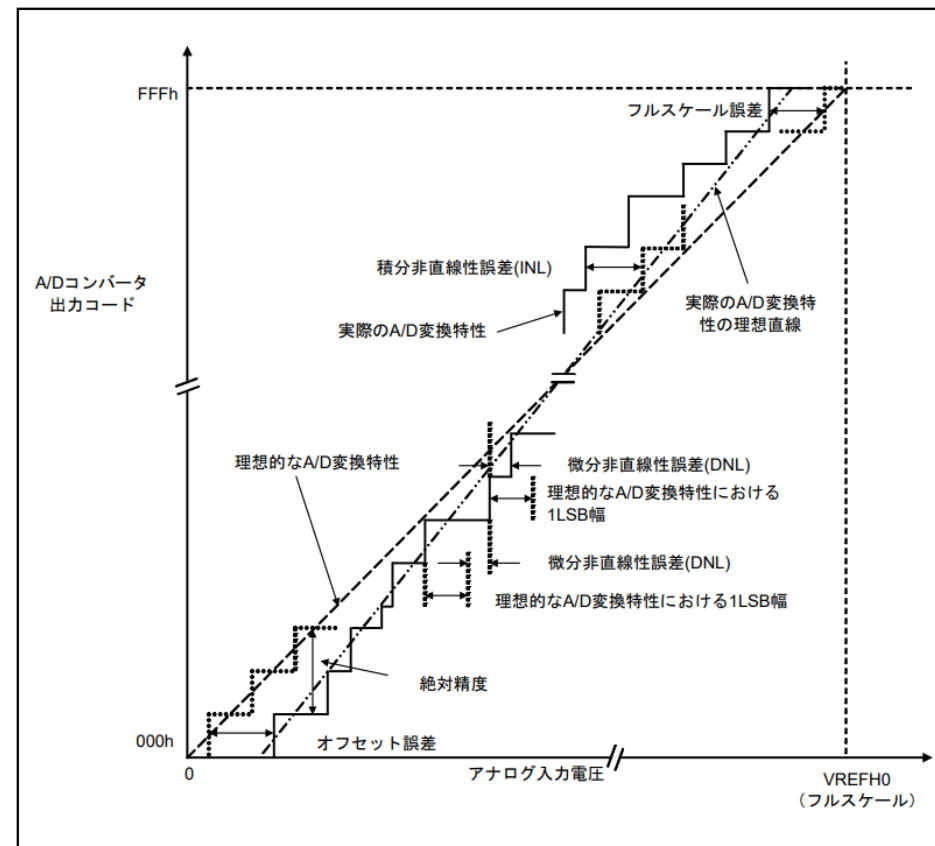
微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

■ オフセット誤差

オフセット誤差とは、理想的な最初出力コードの変化点と実際の最初出力コードとの差です。

■ フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。



A/D内部基準電圧特性

A/Dコンバータのリファレンス電圧ではなく、チップ内部の基準電圧です。本電圧を測定することで、内部ADモジュールが故障していないかどうかの判別に活用できます。

電圧変動や温度変動、経年変化やMCU個体バラつきを含めトータルで考慮したものになります。

表 45.45 A/D内部基準電圧特性

条件 : $VCC = 2.7 \sim 5.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$, $T_a = T_{opr}$, $PCLKB = PCLKD = 8 \sim 60MHz$

項目	min	typ	max	単位	測定条件
A/D内部基準電圧	1.20	1.25	1.30	V	

注. 上記規格値は、通常動作時の値です。

下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。

AD内部モジュールの故障か、リファレンス電圧の故障かの判別に使用できません

プログラマブルゲインアンプ特性

45.7 プログラマブルゲインアンプ特性

表 45.46 PGA 特性 (シングルエンド入力時)
 条件: VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
 VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V _{IO}	—	3	8	mV	
シングルエンド入力電圧範囲	V _{ISR}	V _{OSR} (min)/G	—	V _{OSR} (max)/G	V	
出力電圧範囲	V _{OR}	0.10 × AVCCn	—	0.90 × AVCCn		G = 2.000 ~ 3.636
		0.15 × AVCCn	—	0.85 × AVCCn		G = 4.000 ~ 6.667
		0.20 × AVCCn	—	0.80 × AVCCn		G = 8.000 ~ 20.000
ゲイン	G	2.000	—	20.000	倍	
ゲインエラー	E _G	—	±0.5	±2.0	%	G = 2.000
		—	±0.5	±2.0		G = 2.500
		—	±0.5	±2.0		G = 3.077
		—	±0.5	±2.0		G = 3.636
		—	±0.6	±2.0		G = 4.000
		—	±0.6	±2.0		G = 4.444
		—	±0.7	±2.0		G = 5.000
		—	±0.7	±3.0		G = 6.667
		—	±0.7	±3.0		G = 8.000
		—	±0.7	±4.0		G = 10.000
		—	±1.1	±4.0		G = 13.333
—	±1.3	±4.0	G = 20.000			
スループレート	SR	10	—	—	V/μs	
動作安定時間	t _{start}	—	—	5	μs	

n = 0, 1

表 45.47 PGA 特性 (疑似差動入力時)
 条件: VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
 VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件 (注1)
入力オフセット電圧	V _{IO}	—	10	20	mV	
差動入力電圧範囲	V _{IDR}	-0.28 × AVCCn / G	—	0.28 × AVCCn / G	V	
出力電圧範囲	V _{OR}	0.22 × AVCC	—	0.78 × AVCC		
入力電圧範囲 (PGAVSS)	V _I (PGAVSS)	-0.5	—	0.3		
ゲインエラー	E _G	—	±0.5	±2.0	%	G = 1.500
		—	±0.5	±2.0		G = 4.000
		—	±0.8	±3.0		G = 7.000
		—	±1.2	±4.0		G = 12.333
スループレート	SR	10	—	—	V/μs	
動作安定時間	t _{start}	—	—	5	μs	

n = 0, 1

注1: AVCC0 = AVCC1 = AVCC2 ≥ 4.0V のとき、VOLSR.PGAVLS = 0
 AVCC0 = AVCC1 = AVCC2 < 4.0V のとき、VOLSR.PGAVLS = 1

0 ~ min, max ~ AVCCの範囲は電圧が出力されますが、その値は保証できません。

S12ADx.ADPGACR.PxxxCR[3:0]にてPGAを有効に設定した後、動作が安定するまでの時間です。

コンパレータ特性

45.8 コンパレータ特性

下記スペックを保证するうえで遵守すべき条件です。必ずご確認ください。

表45.48 コンパレータ特性

条件 : $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$,
 $V_{SS} = V_{SS_USB} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V_{IO}	—	8	40	mV	
リファレンス入力電圧範囲	V_{ref}	0	—	AVCC1	V	CMPSEL1.CVRS[3:0] = 0100b, 1000b
		0	—	AVCC2	V	CMPSEL1.CVRS[3:0] = 0001b, 0010b
応答時間	$t_{tot(r)}$	—	—	200	ns	VOD = 100mV CMPCTL.CDFS = 0
	$t_{tot(f)}$	—	—	200	ns	
入力切り替え時の安定待ち時間	t_{cwait}	300	—	—	—	
動作安定時間	t_{cmp}	—	—	1	μs	

CMPSELxレジスタによりコンパレータの設定を変更後、動作を安定させるために必要な待ち時間です。

CMPCTL.HCMPON=1に設定した後、動作が安定するまでの時間です。

オーバードライブ電圧(VOD)=100mVでの電气的特性値となります。

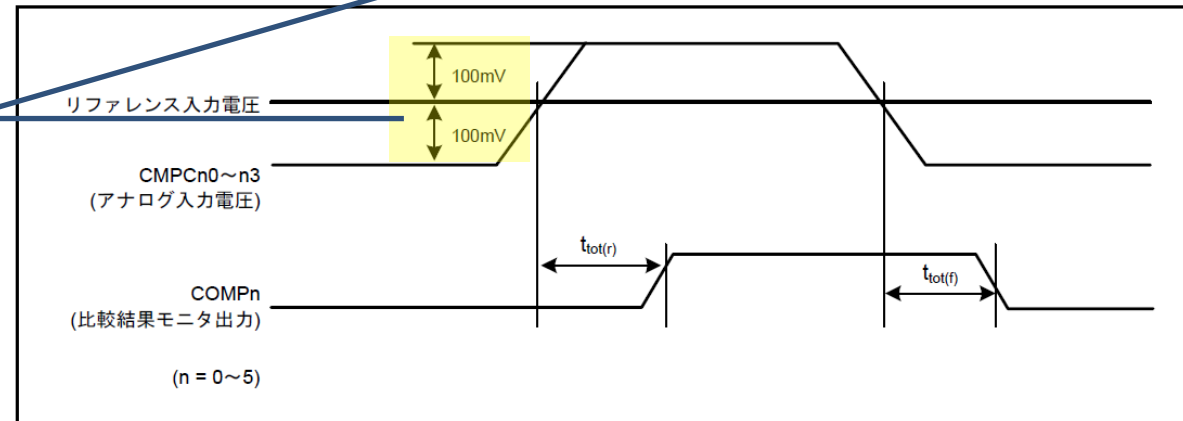


図 45.60 コンパレータ応答時間

D/A変換特性

65.7 D/A 変換特性

下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。

表 65.58 D/A 変換特性

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = 0V$,
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
分解能		—	12	12	12	ビット	
バッファなし出力	絶対精度	—	—	—	±6.0	LSB	負荷抵抗 2MΩ 10 ビット換算
	微分非直線性誤差	DNL	—	±1.0	±2.0	LSB	負荷抵抗 2MΩ
	出力抵抗	R_O	—	8.6	—	kΩ	
	変換時間	t_s	—	—	3	μs	負荷容量 20pF
バッファ出力	負荷抵抗	R_L	5	—	—	kΩ	
	負荷容量	C_L	—	—	50	pF	
	出力電圧	V_O	0.2	—	AVCC1 -0.2	V	
	微分非直線性誤差	DNL	—	±1.0	±2.0	LSB	
	積分非直線性誤差	INL	—	±2.0	±4.0	LSB	
	変換時間	t_s	—	—	4	μs	

低容量インピータンス
バッファを有効にした場合の
バッファ特性です。

バッファのない製品もご
ざいます。

バッファなし出力を使用し、
外部にバッファを接続する
場合はRO抵抗より大きな値
(例えば100倍以上)にする必
要があります。
(次ページ参照)

0V~0.2V、およびAVCC1-
0.2~AVCC1の範囲は電圧が
出力されますが、その値は
保証できません。

バッファ出力の場合、絶対精度ではなく
DNL,INL特性で保証しています。

D/A変換特性 出力抵抗について

65.7 D/A 変換特性

表 65.58 D/A 変換特性

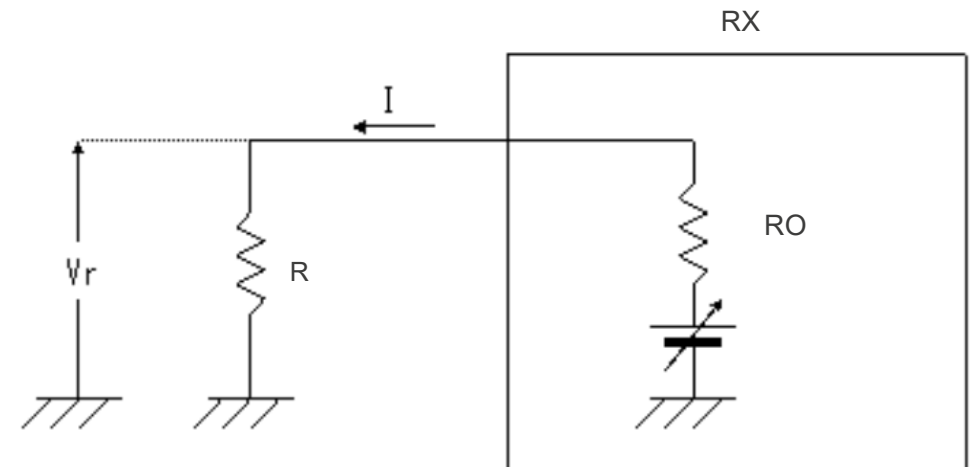
条件: $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AVCC0$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件	
分解能	—	12	12	12	ビット		
バッファなし出力	絶対精度	—	—	±6.0	LSB	負荷抵抗 2MΩ 10 ビット換算	
	微分非直線性誤差	DNL	—	±1.0	±2.0	LSB	負荷抵抗 2MΩ
	出力抵抗	R_O	—	8.6	—	kΩ	
	変換時間	t_s	—	—	3	μs	負荷容量 20pF
バッファ出力	負荷抵抗	R_L	5	—	—	kΩ	
	負荷容量	C_L	—	—	50	pF	
	出力電圧	V_O	0.2	—	AVCC1 −0.2	V	
	微分非直線性誤差	DNL	—	±1.0	±2.0	LSB	
	積分非直線性誤差	INL	—	±2.0	±4.0	LSB	
	変換時間	t_s	—	—	4	μs	

D/Aコンバータ内部に持つ出力抵抗(R_O)です。
 外部にバッファを接続する場合、D/Aコンバータ内部の出力抵抗により電圧降下が発生し、実際の V_r は下記になります。

$$V_r = \text{出力電圧} \cdot R / (R + R_O)$$

よって、 V_r を出力電圧に近づけるため、
 外部抵抗(R)を R_O より大きな値(例えば100倍以上)にする
 必要があります。



温度センサ特性

本値を用いて温度算出ができます。ただし、本値はあくまで平均値であり、個体差があります。

より正確な温度測定を行いたい場合、チップごとに二点測定を行い、個別に傾きを算出する方法を推奨します。

周囲温度が25°Cの時の温度センサ出力電位の平均値です。本値を用いて温度算出ができます。ただし、本値はあくまで平均値であり、個体差があります。

より正確な温度測定を行いたい場合、チップごとに実測を行い、その値を利用する方法を推奨します。

温度センサの出力（基準電圧）安定待ち時間になります。温度センサ起動後、本温度センサ起動時間を待ってからA/D変換を開始してください。温度センサ起動信号は、マイコンごとに異なりますので、温度センサ章をご確認ください。

45.10 温度センサ特性

表 45.53 温度センサ特性

条件 : VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},
PCLKB = PCLKD = 8 ~ 60MHz

項目	min	typ	max	単位	測定条件
相対精度	—	±1.0	—	°C	
温度傾斜	—	-2.0	—	mV/°C	
出力電位	—	0.63	—	V	T _a = 25°C
温度センサ起動時間	—	—	200	μs	
サンプリング時間 (注1)	3	—	—	μs	

注1. 12ビットA/Dコンバータのサンプリング時間が本規格を満たすようにS12AD2.ADSSTRTレジスタを設定してください。

本温度センサにより、チップ内部の温度を測定できます。本温度センサには個体間ばらつきがあるため、本温度センサ特性の温度傾斜と出力電位は平均値 (typ値) を掲載しています。より精度の高い温度を測定する場合は、個体ごとに温度1点及び2点の試行測定を行い、温度傾斜と出力電位を計算してご使用ください。計算方法は、温度センサ章にあります温度センサの使用方法をご確認ください。

フラッシュメモリ特性

45.13 フラッシュメモリ特性

表 45.56 コードフラッシュメモリ特性

条件: VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V
プログラム/イレーズ時の動作温度範囲: T_a = T_{opr}

項目	記号	FCLK = 4MHz			20MHz ≤ FCLK ≤ 60MHz			単位	条件
		min	typ	max	min	typ	max		
プログラム時間 (N _{PEC} ≤ 100)	256バイト	t _{p256}	—	0.9	13.2	—	0.4	6	ms
	8Kバイト	t _{p8K}	—	29	176	—	13	80	
	32Kバイト	t _{p32K}	—	116	704	—	52	320	
プログラム時間 (N _{PEC} > 100)	256バイト	t _{p256}	—	1.1	15.8	—	0.5	7.2	
	8Kバイト	t _{p8K}	—	35	212	—	16	96	
	32Kバイト	t _{p32K}	—	140	848	—	64	384	
イレーズ時間 (N _{PEC} ≤ 100)	8Kバイト	t _{E8K}	—	71	216	—	39	120	
	32Kバイト	t _{E32K}	—	254	864	—	141	480	
イレーズ時間 (N _{PEC} > 100)	8Kバイト	t _{E8K}	—	85	260	—	47	144	
	32Kバイト	t _{E32K}	—	304	1040	—	169	576	
プログラム/イレーズ回数 (注1)	N _{PEC}	1000 (注2)	—	—	1000 (注2)	—	—	回	
プログラムサスペンド遅延時間	t _{SPD}	—	—	264	—	—	120	μs	
1回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)	t _{SESD1}	—	—	216	—	—	120		
2回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)	t _{SESD2}	—	—	1.7	—	—	1.7	ms	
イレーズサスペンド遅延時間 (イレーズ優先モード時)	t _{SEED}	—	—	1.7	—	—	1.7		
強制終了コマンド	t _{FD}	—	—	32	—	—	20	μs	
データ保持時間 (注3, 注4)	t _{DRP}	20	—	—	20	—	—	年	T _a ≤ 85°C
		10	—	—	10	—	—		T _a ≤ 105°C

注1. プログラム/イレーズ回数の定義: プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。たとえば、8Kバイトのブロックについて、それぞれ異なる番地に256バイトプログラムを32回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。

注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保證できるプログラム/イレーズ回数の最低値です。

注3. フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。

注4. 信頼性試験から得られた結果です。

下記スペックを保證するうえで遵守すべき条件です。必ずご確認ください。

Typ,max値の範囲は、製品の個体差、温度、書き込み回数などに依存します。

プログラム/イレーズ回数の対象領域は、プログラム単位の領域ごとです。例えば32KBの領域に対してプログラム単位が4Bとした場合、同じ領域に連続して書き込まず、領域をずらして書き込むようにすれば、全体として記載以上の書き込み回数を実現可能です。

データフラッシュ特性

下記スペックを保証するうえで遵守すべき条件です。必ずご確認ください。

表 45.57 データフラッシュメモリ特性

条件 : VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V
プログラム/イレーズ時の動作温度範囲 : T_a = T_{opr}

項目	記号	FCLK = 4MHz			20MHz ≤ FCLK ≤ 60MHz			単位	条件	
		min	typ	max	min	typ	max			
プログラム時間	4バイト	t _{DP4}	—	0.36	3.8	—	0.16	1.7	ms	
イレーズ時間	64バイト	t _{DE64}	—	3.1	18	—	1.7	10		
ブランクチェック時間	4バイト	t _{DBC4}	—	—	84	—	—	30	μs	
	64バイト	t _{DBC64}	—	—	280	—	—	100		
	2Kバイト	t _{DBC2K}	—	—	6160	—	—	2200		
プログラム/イレーズ回数 (注1)	N _{DPEC}	100000 (注2)	—	—	100000 (注2)	—	—	—	回	
プログラムサスペンド遅延時間	t _{DSPD}	—	—	264	—	—	120	μs		
1回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)	t _{DSESD1}	—	—	216	—	—	120			
2回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)	t _{DSESD2}	—	—	300	—	—	300			
イレーズサスペンド遅延時間 (イレーズ優先モード時)	t _{DSEED}	—	—	300	—	—	300			
強制終了コマンド	t _{FD}	—	—	32	—	—	20			
データ保持時間 (注3, 注4)	t _{DDRP}	20	—	—	20	—	—	年	T _a ≤ 85°C	
		10	—	—	10	—	—		T _a ≤ 105°C	

Typ,max値の範囲は、製品の個体差、温度、書き込み回数などに依存します。

プログラム/イレーズ回数の対象領域は、プログラム単位の領域ごとです。例えば32KBの領域に対してプログラム単位が4Bとした場合、同じ領域に連続して書き込まず、領域をずらして書き込むようにすれば、全体として記載以上の書き込み回数を実現可能です。

注1. プログラム/イレーズ回数の定義 : プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。たとえば、2Kバイトのブロックについて、それぞれ異なる番地に4バイトプログラムを512回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。

注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。

注3. フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。

注4. 信頼性試験から得られた結果です。

プログラム/イレーズ回数を超えると、書き込み/消去時間が長くなったり、読み込みミスを起こしやすくなります。

改訂履歴

Revision	Date	Page	Contents
1.00	2022/11	-	初版発行
2.00	2024/07	P12 ~ 48	“AC特性およびその他特性”に関する内容を追加。
2.10	2026/02	P5	文言修正 (ACスペック→スペック)
		P9	文言修正 (未使用→不使用)
		P15	文言削除(“VCC下降時に”)

