
μPD70F3564

— V850E2/FL4-H —

R01DS0163JJ0101

Rev.1.01

ルネサスマイクロコンピュータ2014.04.16

μPD70F3564 は、リアルタイム制御向け 32 ビット・シングルチップ・マイクロコントローラ「V850 マイコン」の一製品です。32 ビット CPU, ROM, RAM, 割り込みコントローラ, タイマ, シリアル・インタフェース, A/D コンバータ, DMA コントローラ, CAN コントローラなどを 1 チップに集積しています。

詳しい機能説明などは下記ユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

V850E2/Fx4-H ハードウェア編 : R01UH0318JJ

V850E2M アーキテクチャ編 : R01US0001JJ

用 途

○自動車電装分野

目 次

1.	概要	16
1.1	端子名称について	16
1.1.1	兼用機能端子	16
1.1.2	電源端子	16
1.2	端子グループ	17
1.3	通常測定条件	17
1.3.1	AC 特性の測定条件	17
2.	絶対最大定格	18
2.1	電源電圧	18
2.2	ポート電圧	19
2.3	ポート電流	20
2.4	温度特性	20
3.	電源スペック	21
3.1	電源接続の要件	21
3.1.1	グランド端子の定義	21
3.1.2	電源端子の定義	21
3.2	電源供給領域の定義	21
3.3	電源電圧	22
3.3.1	AWO 電源内蔵レギュレータ特性	23
3.3.2	Iso0/Iso1 電源内蔵レギュレータ特性	24
3.3.3	パワーオン・クリア回路（POC）特性	25
3.4	電源電圧の電源立ち上げ／電源立ち下げ順序（使用条件）	26
3.4.1	条件 1	27
3.4.2	条件 2	28
3.4.3	条件 3	29
3.4.4	条件 4	30
3.4.5	条件 5	31
3.4.6	条件 6	32
4.	クロック発生回路	33
4.1	CPU クロック周波数	33
4.2	周辺クロック周波数	33
4.3	発振回路特性	33
4.3.1	メイン発振回路（MainOsc）特性	33
4.3.2	サブ発振回路（SubOsc）特性	35
4.3.3	内蔵発振器特性	35
4.4	PLL 特性	35
5.	入出力スペック	36
5.1	ポート特性	36
5.1.1	PgE0	36
5.1.2	PgE1	37

5.1.3	PgB0	38
5.1.4	PgA0, PgA1	39
5.2	入出力容量	39
6.	電源電流	40
7.	周辺機能スペック	41
7.1	リセット・タイミング	41
7.2	NMI タイミング	41
7.3	外部割り込みタイミング	41
7.4	FLMD0 タイミング	42
7.5	タイマ・タイミング	43
7.6	マルチプレクス・バス・タイミング	46
7.6.1	MEMC0CLK 非同期タイミング (リード／ライト・サイクル)	47
7.6.2	MEMC0CLK 同期タイミング (リード／ライト・サイクル)	50
7.7	CSI タイミング	53
7.7.1	CSIG タイミング (マスタ・モード)	53
7.7.2	CSIG タイミング (スレーブ・モード)	56
7.7.3	CSIH タイミング (マスタ・モード)	60
7.7.4	CSIH タイミング (スレーブ・モード)	66
7.8	UARTE タイミング	70
7.9	CAN (FCN) タイミング	70
7.10	FlexRay タイミング	71
7.11	I ² C タイミング	73
7.12	Ethernet タイミング	75
7.12.1	MII インタフェース	75
7.13	周波数出力機能 (FOUT)	78
7.14	RAM 保持フラグ特性	78
7.15	電圧コンパレータ特性	79
7.16	LVI 回路特性	80
7.17	A/D コンバータ特性	81
7.17.1	12 ビット分解能 A/D : ADCAnIm	81
7.17.2	12 ビット分解能 A/D : ADCA0I0-ADCA0I5	82
7.17.3	10 ビット分解能 A/D : ADCAnIm	84
7.17.4	10 ビット分解能 A/D : ADCA0I0-ADCA0I5	85
7.17.5	アナログ入力部の等価回路 (参考値)	87
7.17.6	ADCAnTRGm タイミング	87
7.18	キー・リターン・タイミング	88
8.	メモリ・スペック	89
8.1	コード・フラッシュ特性	89
8.2	データ・フラッシュ特性	89
8.3	シリアル書き込みオペレーション特性	90
9.	外形図	91

仕様概要

(1/2)

愛 称			FL4-H-2M
品 名			μPD70F3564
内蔵メモリ	命令フラッシュ		2 MB
	データ・フラッシュ		64 KB
	RAM		144 KB
	バックアップ RAM		16 KB
外部メモリ・インタフェース (MEMC)			あり
CPU	CPU システム		V850E2M
	FPU		あり
	CPU 周波数		160 MHz max.
	システム保護機能 (SPF)	MPU	あり
		SRP	あり
		TSU	あり
		PPU	あり
命令キャッシュ		8 KB/ 2 way associative (4 KB/ way)	
DMA			16 チャンネル
Ethernet MAC			1 チャンネル
動作クロック	メイン・クロック発振回路 (MainOsc)		4 MHz ~ 20 MHz
	低速内蔵発振回路 (LS IntOsc)		240 kHz typ.
	高速内蔵発振 (HS IntOsc)		8 MHz typ.
	サブクロック発振回路 (SubOsc)		32768 Hz typ.
	PLL0 (SSCG0)		80 MHz max.
	PLL1		80 MHz max.
	PLL2 (SSCG2)		80 MHz max.
I/O ポート			157
A/D コンバータ (ADCA)			1 × 24 チャンネル, 12 ビット, 6 S & H 1 × 24 チャンネル, 12 ビット
タイマ	タイマ・アレイ・ユニット A (TAUA) , 16 ビット		1 ユニット × 16 チャンネル
	タイマ・アレイ・ユニット B (TAUB) , 16 ビット		2 ユニット × 16 チャンネル
	タイマ・アレイ・ユニット C (TAUC) , 16 ビット		5 ユニット × 8 チャンネル
	タイマ・アレイ・ユニット J (TAUJ) , 32 ビット		2 ユニット × 4 チャンネル
	PWM 診断ユニット (PMCA)		1 ユニット (64 チャンネル)
	PWM ディレイ・ユニット (DLYA)		1 ユニット (64 チャンネル)
	リアルタイム・クロック (RTCA) キャリブレーション		1 ユニット
	ウインドウ・ウォッチドッグ・タイマ (WDTA)		2 チャンネル
	OS タイマ (OSTM)		1 チャンネル
	モータ制御 (TAPA)		1 チャンネル
エンコーダ・タイマ (ENCA)			1 チャンネル

愛 称			FL4-H-2M
品 名			μPD70F3564
シリアル・ インタフェース	CAN (FCN)		3 チャンネル (64 メッセージ・バッファ) 2 チャンネル (128 メッセージ・バッファ)
	Diagnostic CAN (DCN)		1 チャンネル (128 メッセージ・バッファ)
	LIN マスタ・コントローラ付き (LM) UART (URTE)		12 チャンネル
	CSI (CSIG)		3 チャンネル
	FIFO 付き CSI (CSIH)		3 チャンネル
	I ² C (IICB)		1 チャンネル
	FlexRay [®]		1 ユニット (2ch)
	割り込み	マスカブル	外部
内部			221
ノンマスカブル (NMI)		外部	1
		内部	2
その他の機能	パワーオン・クリア		あり
	電圧コンパレータ		2 チャンネル
	クロック・モニタ (CLMA)		メイン・クロック, 高速内蔵発振, PLL0 監視可能
	ランダム・ナンバ・ジェネレータ (RNGA)		1 チャンネル
	データ CRC (DCRA)		1 チャンネル
	キー割り込み (KR)		8 チャンネル
	ウェイクアップ信号出力		あり
	補助周波数出力 (FOUT)		あり
	オンチップ・デバッグ		あり
電源			3.3 電源電圧を参照してください。
動作温度			2.4 温度特性を参照してください。
パッケージ			208 ピン QFP 272 ピン PBGA

オーダ情報

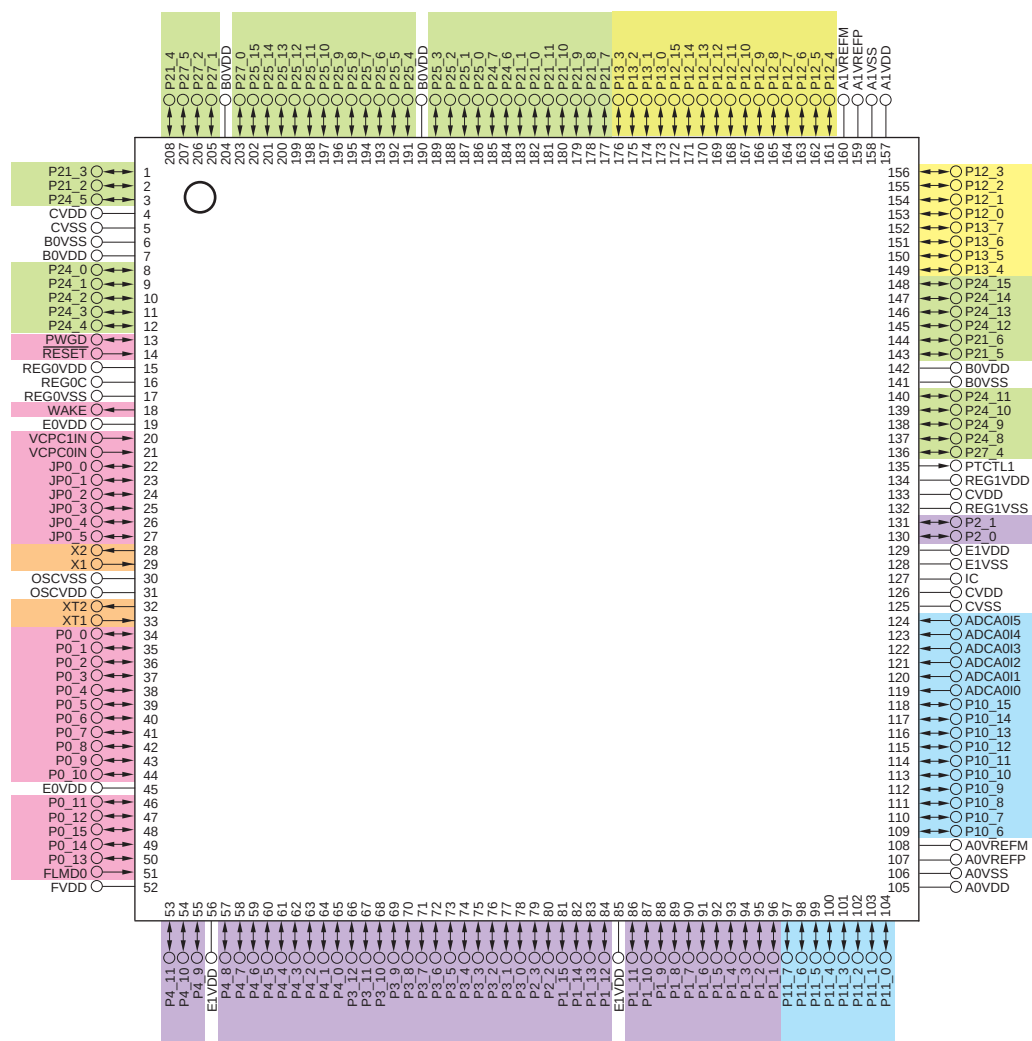
オーダ名称	パッケージ	内蔵コード・フラッシュ	内蔵ローカル RAM	備 考
μPD70F3564GD(A)-FAD-AX	208 ピン・プラスチック QFP (ファインピッチ) (28 × 28)	2 M バイト	144 K バイト	FlexRay コントローラ 内蔵製品
μPD70F3564GD(A1)-FAD-AX				
μPD70F3564F1(A)-JN1-A	272 ピン・プラスチック PBGA (21 × 21)			
μPD70F3564F1(A1)-JN1-A				

- 備考**
- 各品質水準の動作周囲温度は次のとおりです。
 (A) 品 : - 40 ~ + 85 °C
 (A1) 品 : - 40 ~ + 110 °C
 - オーダ名称末尾「-A」「-AX」の製品は、鉛フリー製品です。

端子接続図 (Top View)

(1) 208 ピン・プラスチック QFP (ファインピッチ) (28 × 28)

- 端子接続図



備考 電源供給元の電源端子

注意: IC端子はVSSに直接接続するかオープンとしてください。

- : E0VDD
- : OSCVDD
- : E1VDD
- : A0VDD
- : B0VDD
- : A1VDD

• ピン配置

(1/6)

ピン番号	名 称
1	P21_3/INTP11/MEMC0BEN0/CSIH2DCS/CSIH2SO/IICB0SCL/TAUB2I14/TAUB2O14
2	P21_2/INTP10/MEMC0BEN1/CSIH2SI/IICB0SDA/TAUB2I13/TAUB2O13
3	P24_5/INTP10/URTE0RX/FCN4TX
4	CVDD
5	CVSS
6	B0VSS
7	B0VDD
8	P24_0/URTE8TX
9	P24_1/INTP8/URTE8RX
10	P24_2/FCN5RX/URTE9TX
11	P24_3/INTP9/URTE9RX/FCN5TX
12	P24_4/FCN4RX/URTE0TX
13	PWGD
14	RESET
15	REG0VDD
16	REG0C
17	REG0VSS
18	WAKE
19	E0VDD
20	VCPC1IN
21	VCPC0IN
22	JP0_0/INTP0/VCPC1OUT/TAUJ0I0/TAUJ0O0/DCUTDI
23	JP0_1/INTP1/VCPC0OUT/TAUJ0I1/TAUJ0O1/DCUTDO
24	JP0_2/INTP2/CSCXFOUT/TAUJ0I2/TAUJ0O2/DCUTCK
25	JP0_3/INTP3/TAUJ0I3/TAUJ0O3/DCUTMS
26	JP0_4/DCUTRST
27	JP0_5/NMI/RTCA0OUT/DCURDY
28	X2
29	X1
30	OSCVSS
31	OSCVDD
32	XT2
33	XT1
34	P0_0/TAUJ1I0/TAUJ1O0/CSIG4SSI/ADCA0TRG0/INTP0/RESETOUT
35	P0_1/TAUJ1I1/TAUJ1O1/CSIG4DCS/CSIG4SO/URTE2RX/INTP1/TAUA0O1/FLMD1
36	P0_2/TAUJ1I2/TAUJ1O2/CSIG4SI/RTCA0OUT/ADCA0TRG2/URTE2TX/INTP2/TAUA0O2/MODE0
37	P0_3/TAUJ1I3/TAUJ1O3/CSIG4SC/ADCA0TRG1/INTP3/TAPA0ESO/MODE1
38	P0_4/FCN0TX/INTP11
39	P0_5/FCN0RX/INTP12
40	P0_6/FCN1RX/URTE11TX/KR0I1/CSIH2CSS1/NMI

ピン番号	名 称
41	P0_7/URTE11RX/FCN1TX/KR0I2/CSIH2CSS2/INTP4
42	P0_8/FCN2RX/URTE10TX/KR0I3/CSIH2CSS3/INTP5/TAUA0O5/IICB0SDA
43	P0_9/URTE10RX/FCN2TX/KR0I4/CSIH2CSS4/INTP6/TAUA0O6/IICB0SCL
44	P0_10/FCN3RX/URTE11TX/INTP9
45	E0VDD
46	P0_11/URTE11RX/FCN3TX/INTP10
47	P0_12/TAUJ0I0/TAUJ0O0/KR0I0/INTP8/FCN4TX/CSIG0SSI/CSCXFOUT
48	P0_15/TAUJ0I3/TAUJ0O3/KR0I7/CSIH2CSS7/FCN4RX/TAUB1O14/CSIG0SC/SOSCOUT
49	P0_14/TAUJ0I2/TAUJ0O2/KR0I6/CSIH2CSS6/FCN5RX/TAUB1O13/CSIG0DCS/CSIG0SO
50	P0_13/TAUJ0I1/TAUJ0O1/KR0I5/CSIH2CSS5/INTP7/FCN5TX/CSIG0SI/MOSCOUT
51	FLMD0
52	FVDD
53	P4_11/TAUB1I15/TAUB1O15/CSIG2SC/CSIH0CSS7
54	P4_10/TAUB1I14/TAUB1O14/CSIG4RYI/CSIG2SO/INTP15/CSIH0CSS6/URTE8RX
55	P4_9/TAUB1I13/TAUB1O13/CSIG2SI/CSIG0RYO/CSIH0CSS5/URTE8TX
56	E1VDD
57	P4_8/TAUB1I11/TAUB1O11/CSIG4SC/KR0I0/CSIH0CSS4/ENCA0ZIN
58	P4_7/INTP4/TAUB1O10/URTE11RX/CSIG4SO/KR0I1/CSIH0CSS3/ENCA0BIN
59	P4_6/TAUB1I9/TAUB1O9/CSIG4SI/URTE11TX/KR0I2/CSIH0CSS2/ENCA0AIN
60	P4_5/TAUB1I7/TAUB1O7/CSIG0SC/KR0I3/CSIH0CSS1/ENCA0TIN1
61	P4_4/INTP2/TAUB1O6/URTE10RX/CSIG0SO/CSIH0SSI/CSIH0CSS0/ENCA0TIN0
62	P4_3/TAUB1I5/TAUB1O5/CSIG0SI/URTE10TX/CSIH0RYI/CSIH0RYO/INTP10
63	P4_2/TAUB1I3/TAUB1O3/TAUA0I15/TAUA0O15/CSIH0SC/FCN3RX/URTE2TX
64	P4_1/TAUB1I2/TAUB1O2/TAUA0I14/TAUA0O14/CSIH0DCS/CSIH0SO/URTE2RX/FCN3TX
65	P4_0/TAUB1I1/TAUB1O1/TAUA0I13/TAUA0O13/CSIH0SI/URTE7TX
66	P3_12/TAUB2I15/TAUB2O15/TAUA0I12/TAUA0O12/URTE7RX/URTE6TX/INTP14
67	P3_11/TAUB2I14/TAUB2O14/TAUA0I11/TAUA0O11/URTE6RX/INTP13
68	P3_10/TAUB2I13/TAUB2O13/TAUA0I10/TAUA0O10/FCN5RX/URTE5TX
69	P3_9/TAUB2I11/TAUB2O11/TAUA0I9/TAUA0O9/URTE5RX/FCN5TX/INTP12/URTE3TX
70	P3_8/TAUB2I10/TAUB2O10/TAUA0I8/TAUA0O8/INTP11/URTE6TX/URTE3RX
71	P3_7/TAUB2I9/TAUB2O9/TAUA0I7/TAUA0O7/URTE7RX/CSIG0SI/URTE3TX
72	P3_6/TAUB2I7/TAUB2O7/TAUA0I6/TAUA0O6/CSIG0DCS/CSIG0SO
73	P3_5/TAUB2I6/TAUB2O6/TAUA0I5/TAUA0O5/KR0I4/CSIG0SC
74	P3_4/TAUB2I5/TAUB2O5/TAUA0I4/TAUA0O4/KR0I5/CSIG0RYI/CSIG0RYO
75	P3_3/TAUB2I3/TAUB2O3/TAUA0I3/TAUA0O3/KR0I6/CSIG2RYI/CSIG2RYO
76	P3_2/TAUB2I2/TAUB2O2/TAUA0I2/TAUA0O2/KR0I7/CSIG2SC
77	P3_1/TAUB2I1/TAUB2O1/TAUA0I1/TAUA0O1/CSIG2DCS/CSIG2SO
78	P3_0/TAUJ1I1/TAUJ1O1/TAUA0I0/TAUA0O0/CSIG2SI
79	P2_3
80	P2_2/URTE7RX/FCN4TX/INTP1/CSIH1CSS7/TAUJ1I2/TAUJ1O2
81	P1_15/TAUA0I15/TAUA0O15/URTE5RX/FLX0TXENB/CSIH1CSS4/INTP9

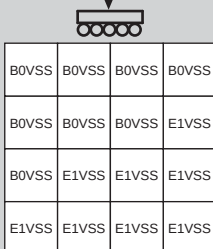
ピン番号	名 称
82	P1_14/TAUA0I14/TAUA0O14/FLX0STPWT/URTE5TX/CSIH1CSS3/INTP8
83	P1_13/TAUA0I13/TAUA0O13/URTE4RX/FLX0TXDB/CSIH1CSS2/INTP7
84	P1_12/TAUA0I12/TAUA0O12/FLX0RXDB/URTE4TX/CSIH1CSS1/INTP6
85	E1VDD
86	P1_11/TAUA0I11/TAUA0O11/URTE3RX/FLX0TXDA/CSIH1CSS0/INTP5
87	P1_10/TAUA0I10/TAUA0O10/FLX0RXDA/URTE3TX/CSIH1RYI/CSIH1RYO/INTP4
88	P1_9/TAUA0I9/TAUA0O9/INTP3/FLX0TXENA/CSIH1SC/URTE4RX/FCN2TX
89	P1_8/TAUA0I8/TAUA0O8/TAUC4O14/CSIH1DCS/CSIH1SO/FCN2RX/URTE4TX
90	P1_7/TAUA0I7/TAUA0O7/TAUC4O13/CSIH1SI/TAPA0WN/FCN0RX/CSIH2CSS1
91	P1_6/TAUA0I6/TAUA0O6/TAUC4O10/CSIH1SSI/TAPA0WP/CSIH2SSI/CSIH2CSS0
92	P1_5/TAUA0I5/TAUA0O5/TAUC4O9/ENCA0TIN1/TAPA0VN/CSIH2RYI/CSIH2RYO
93	P1_4/TAUA0I4/TAUA0O4/TAUC4O6/ENCA0TIN0/TAPA0VP/CSIH2SC
94	P1_3/TAUA0I3/TAUA0O3/TAUC4O5/ENCA0ZIN/TAPA0UN/CSIH2DCS/CSIH2SO
95	P1_2/TAUA0I2/TAUA0O2/TAUC4O2/ENCA0BIN/TAPA0UP/CSIH2SI/FCN1TX
96	P1_1/TAUA0I1/TAUA0O1/TAUC4O1/ENCA0AIN/FCN1RX/FCN0TX
97	P11_7/ADCA0I23
98	P11_6/ADCA0I22
99	P11_5/ADCA0I21
100	P11_4/ADCA0I20
101	P11_3/ADCA0I19
102	P11_2/ADCA0I18
103	P11_1/ADCA0I17
104	P11_0/ADCA0I16
105	A0VDD
106	A0VSS
107	A0VREFP
108	A0VREFM
109	P10_6/ADCA0I6
110	P10_7/ADCA0I7
111	P10_8/ADCA0I8
112	P10_9/ADCA0TRG0/ADCA0I9
113	P10_10/ADCA0TRG1/ADCA0I10
114	P10_11/ADCA0TRG2/ADCA0I11
115	P10_12/ADCA0I12
116	P10_13/ADCA0I13
117	P10_14/ADCA0I14
118	P10_15/ADCA0I15
119	ADCA0I0
120	ADCA0I1
121	ADCA0I2
122	ADCA0I3

ピン番号	名 称
123	ADCA0I4
124	ADCA0I5
125	CVSS
126	CVDD
127	IC
128	E1VSS
129	E1VDD
130	P2_0/FCN4RX/URTE6TX/CSIH1CSS5/INTP10
131	P2_1/URTE6RX/URTE7TX/INTP0/CSIH1CSS6/TAUJ1I3/TAUJ1O3
132	REG1VSS
133	CVDD
134	REG1VDD
135	PTCTL1
136	P27_4/INTP4
137	P24_8/TAUC7O1
138	P24_9/TAUC7O2
139	P24_10/TAUC7O5
140	P24_11/TAUC7O6
141	B0VSS
142	B0VDD
143	P21_5/INTP13/MEMC0RD/CSIH2RYI/CSIH2RYO/URTE9TX/TAUC3O2
144	P21_6/INTP14/MEMC0CLK/CSIH2SSI/CSIH2CSS0/URTE9RX/TAUC3O5
145	P24_12/TAUC7O9
146	P24_13/TAUC7O10
147	P24_14/ETH0COL/TAUC7O13
148	P24_15/ETH0TXCLK/TAUC7O14
149	P13_4/ADCA1I20
150	P13_5/ADCA1I21
151	P13_6/ADCA1I22
152	P13_7/ADCA1I23
153	P12_0/ADCA1I0
154	P12_1/ADCA1I1
155	P12_2/ADCA1I2
156	P12_3/ADCA1I3
157	A1VDD
158	A1VSS
159	A1VREFP
160	A1VREFM
161	P12_4/ADCA1I4
162	P12_5/ADCA1I5
163	P12_6/ADCA1I6

ピン番号	名 称
164	P12_7/ADCA1I7
165	P12_8/ADCA1I8
166	P12_9/ADCA1TRG0/ADCA1I9
167	P12_10/ADCA1TRG1/ADCA1I10
168	P12_11/ADCA1TRG2/ADCA1I11
169	P12_12/ADCA1I12
170	P12_13/ADCA1I13
171	P12_14/ADCA1I14
172	P12_15/ADCA1I15
173	P13_0/ADCA1I16
174	P13_1/ADCA1I17
175	P13_2/ADCA1I18
176	P13_3/ADCA1I19
177	P21_7/MEMC0WAIT/CSIH2CSS1/URTE0TX/TAUC3O6
178	P21_8/INTP15/CSIH2CSS2/URTE0RX/PMCA0MSEL0/TAUC3O9
179	P21_9/MEMC0CS2/CSIH2CSS3/PMCA0MSEL1/TAUC3O10
180	P21_10/MEMC0CS3/CSIH2CSS4/URTE1RX/PMCA0MSEL2/TAUC3O13
181	P21_11/MEMC0CS4/CSIH2CSS5/URTE1TX/TAUC3O14
182	P21_0/ETH0COL
183	P21_1/ETH0TXCLK
184	P24_6/URTE1TX
185	P24_7/INTP11/URTE1RX
186	P25_0/MEMC0AD0/INTP6/ETH0TXD3/URTE6RX/CSIG2SO/TAUC6O1
187	P25_1/MEMC0AD1/ETH0TXD2/CSIG2SI/URTE6TX/TAUC6O2
188	P25_2/MEMC0AD2/ETH0TXD1/CSIG2SC/TAUC6O5
189	P25_3/MEMC0AD3/ETH0TXD0/CSIG4SI/URTE7TX/TAUC6O6
190	B0VDD
191	P25_4/MEMC0AD4/INTP7/ETH0TXEN/URTE7RX/CSIG4SO/TAUC6O9
192	P25_5/MEMC0AD5/ETH0TXER/CSIG4SC/TAUC6O10
193	P25_6/MEMC0AD6/ETH0CRSDV/TAUC6O13
194	P25_7/MEMC0AD7/ETH0RXER/TAUC6O14
195	P25_8/MEMC0AD8/ETH0RXD0/TAUC5O1
196	P25_9/MEMC0AD9/ETH0RXD1/TAUC5O2
197	P25_10/MEMC0AD10/ETH0RXD2/CSIH2CSS6/TAUC5O5
198	P25_11/MEMC0AD11/ETH0RXD3/CSIH2CSS7/TAUC5O6
199	P25_12/MEMC0AD12/ETH0RXDV/IICB0SDA/TAUC5O9
200	P25_13/MEMC0AD13/ETH0RXCLK/IICB0SCL/TAUC5O10
201	P25_14/MEMC0AD14/ETH0MDC/INTP5/URTE5RX/FCN3TX/TAUC5O13
202	P25_15/MEMC0AD15/ETH0MDI/ETH0MDO/FCN3RX/URTE5TX/TAUC5O14
203	P27_0/INTP0/MEMC0A16/ADCA1TRG2/PMCA0MSEL0
204	B0VDD

ピン番号	名 称
205	P27_1/INTP1/MEMC0A17/ETH0COL/ADCA1TRG1/PMCA0MSEL1
206	P27_2/INTP2/MEMC0A18/ETH0TXCLK/ADCA1TRG0/PMCA0MSEL2
207	P27_5/INTP5/MEMC0ASTB
208	P21_4/INTP12/MEMC0WR/CSIH2SC/TAUC3O1

(2) 272 ピン・プラスチック PBGA (21 × 21)

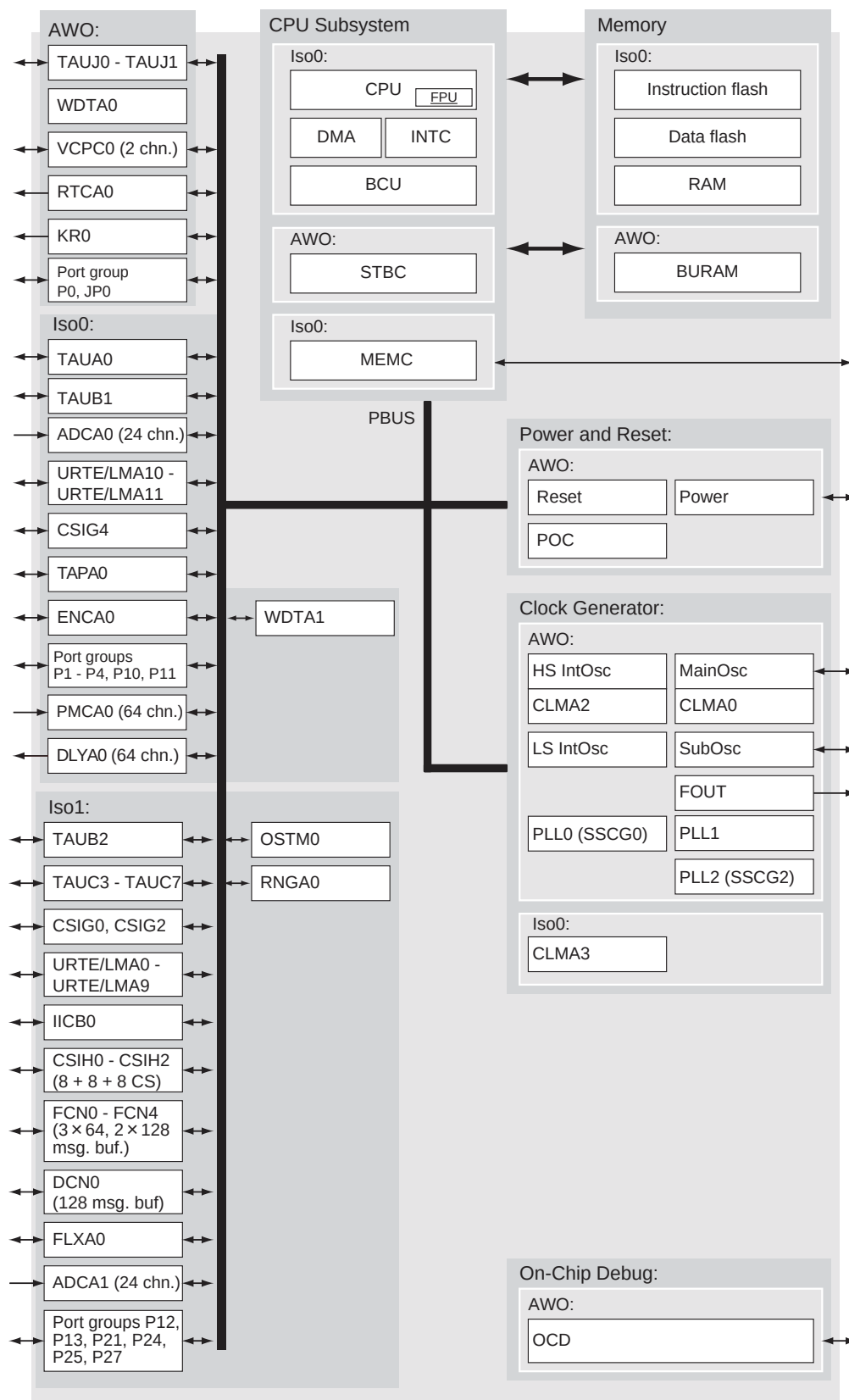
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	Y	
20	B0VSS	P27_2	P27_0	P25_13	P25_10	P25_7	P25_4	P25_1	P24_6	P21_11	P21_8	P21_7	P13_1	P12_14	P12_11	P12_8	P12_5	A1VRE FM	A1VDD	B0VSS	20
19	P27_5	B0VSS	P27_1	P25_14	P25_11	P25_8	P25_5	P25_2	P24_7	P21_0	P21_9	P13_3	P13_0	P12_13	P12_10	P12_7	P12_4	A1VRE FP	B0VSS	P12_3	19
18	P21_3	P21_4	B0VSS	P25_15	P25_12	P25_9	P25_6	P25_3	P25_0	P21_1	P21_10	P13_2	P12_15	P12_12	P12_9	P12_6	A1VSS	B0VSS	P12_2	P12_1	18
17	P24_0	P21_2	CVDD	B0VSS	B0VSS	B0VDD	B0VSS	B0VSS	B0VDD	B0VSS	B0VSS	B0VDD	B0VSS	B0VSS	B0VSS	B0VSS	B0VSS	P12_0	P13_7	P13_6	17
16	P24_3	P24_2	P24_1	P24_5	Top View 												B0VSS	P13_5	P13_4	P24_15	16
15	RESET	PWGD	P24_4	CVSS													B0VSS	P24_14	P24_13	P24_12	15
14	REG0 VSS	REG0C	REG0 VDD	E0VSS													B0VSS	P21_6	P21_5	P24_11	14
13	VCPC0 IN	VCPC1 IN	WAKE	E0VSS													B0VDD	P24_10	P24_9	P24_8	13
12	JP0_2	JP0_1	JP0_0	E0VDD													B0VSS	REG1 VDD	P27_4	PTCTL1	12
11	JP0_5	JP0_4	JP0_3	E0VSS													E1VDD	CVDD	REG1 VSS	P2_1	11
10	X1	X2	E0VSS	E0VSS													E1VSS	CVDD	IC	P2_0	10
9	XT2	OSC VSS	OSC VDD	E0VSS													E1VSS	CVSS	ADCA0 I4	ADCA0 I5	9
8	XT1	P0_0	P0_3	E0VSS													E1VSS	ADCA0 I1	ADCA0 I2	ADCA0 I3	8
7	P0_1	P0_2	P0_6	E0VDD													E1VSS	P10_14	P10_15	ADCA0 I1	7
6	P0_4	P0_5	P0_9	E0VSS	E1VSS	P10_11	P10_12	P10_13	6												
5	P0_7	P0_8	P0_12	E0VSS	E1VSS	P10_8	P10_9	P10_10	5												
4	P0_10	P0_11	P0_13	E0VSS	E1VSS	E1VSS	E1VDD	E1VSS	E1VDD	E1VSS	E1VDD	E1VSS	E1VSS	E1VSS	E1VSS	E1VSS	E1VSS	A0VSS	P10_6	P10_7	4
3	P0_15	P0_14	FVDD	P4_7	P4_4	P4_1	P3_11	P3_8	P3_5	P3_2	P3_0	P1_14	P1_11	P1_8	P1_5	P1_2	P11_6	P11_3	A0VRE FP	A0VRE FM	3
2	FLMD0	P4_11	P4_9	P4_6	P4_3	P4_0	P3_10	P3_7	P3_4	P3_1	P1_15	P1_12	P1_9	P1_6	P1_3	P11_7	P11_4	P11_1	E1VSS	A0VDD	2
1	E1VSS	P4_10	P4_8	P4_5	P4_2	P3_12	P3_9	P3_6	P3_3	P2_3	P2_2	P1_13	P1_10	P1_7	P1_4	P1_1	P11_5	P11_2	P11_0	E1VSS	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	Y	

Caution: IC (Inter-Connection) pin:
Please be connected to the VSS directly or open.

Remark: Power system of pins

	: E0VDD
	: OSCVDD
	: E1VDD
	: A0VDD
	: B0VDD
	: A1VDD

内部ブロック図



1. 概要

1.1 端子名称について

1.1.1 兼用機能端子

周辺機能	マクロ名に続く数字	機能名	末尾の数字
マクロ名の略称	同一周辺モジュールの連番 ^a	周辺マクロ端子の機能名	同一端子名の連番 ^a

a) 1 つしかない場合は省略

例

- TAUA0I0
- URTE0TX, URTE0RX, URTE1TX, URTE1RX
- CSIH0SO, CSIH0SI, CSIH0SC, CSIH0SSI, CSIH0RYL, CSIH0RYO, CSIH0CSS0, CSIH1SO, CSIH1SI, CSIH1SC, CSIH1SSI, CSIH1RYI, CSIH1RYO, CSIH1CSS0

1.1.2 電源端子

機 能	端子名に続く数字	電源の種類
略称	各機能の連番 ^a	VDD または VSS

a) 1 つしかない場合は省略

例

- CVDD, E0VDD, REG0VSS

略 称	機 能
C	内部用電源
REG	内部レギュレータ用電源
OSC	発振回路用電源
F	フラッシュ・モジュール用電源
E	ポート用電源
B	ポート用電源
A	アナログ・モジュール用電源（A/D コンバータなど）

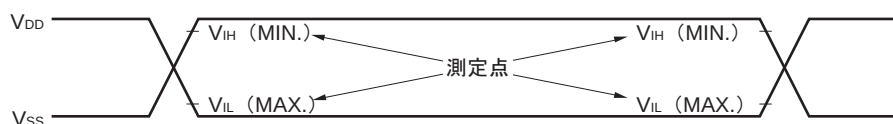
1.2 端子グループ

略 号	ポート・グループの電源	関連ポート／関連端子
PgE0	E0VDD, E0VSS	関連ポート : JP0, P0 関連端子 : RESET, FLMD0, PWGD, WAKE, VCPC0IN, VCPC1IN
PgE1	E1VDD, E1VSS	関連ポート : P1, P2, P3, P4
PgB0	B0VDD, B0VSS	関連ポート : P21, P24, P25, P27
PgOSC	OSCVDD, OSCVSS	関連端子 : X1, X2, XT1, XT2
PgA0	A0VDD, A0VSS	関連ポート : P10, P11, ADC0Im
PgA1	A1VDD, A1VSS	関連ポート : P12, P13

1.3 通常測定条件

1.3.1 AC 特性の測定条件

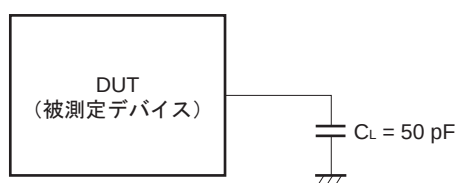
(1) AC テスト入力測定点



(2) AC テスト出力測定点



(3) 負荷条件



注意 回路構成により負荷容量が 50 pF を越える場合は、バッファを入れるなどして、このデバイスの負荷容量を 50 pF 以下にしてください。

2. 絶対最大定格

- 注意**
1. IC 製品の出力（または入出力）端子同士を直結したり、VDD または VCC や GND に直結したりしないでください。
 2. 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。DC 特性と AC 特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。
 3. ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直結可能です。

2.1 電源電圧

表 2-1 VDD

項 目	略 号	条 件	定 格	単位
システム用電源電圧	CVDD		− 0.5 ~ + 1.6	V
	FVDD		− 0.5 ~ + 6.0	V
	OSCVDD		− 0.5 ~ + 6.0	V
	REG0VDD		− 0.5 ~ + 6.0	V
	REG1VDD		− 0.5 ~ + 6.0	V
ポート用電源電圧	E0VDD		− 0.5 ~ + 6.0	V
	E1VDD		− 0.5 ~ + 6.0	V
	B0VDD		− 0.5 ~ + 6.0	V
A/D コンバータ用電源電圧	A0VDD		− 0.5 ~ + 6.0	V
	A0VREFP	$A0VREFP \leq A0VDD + 0.3 \text{ V}$	− 0.3 ~ + 6.0	V
	A1VDD		− 0.5 ~ + 6.0	V
	A1VREFP	$A0VREFP \leq A0VDD + 0.3 \text{ V}$	− 0.3 ~ + 6.0	V

(Ta = 25 °C)

表 2-2 VSS

項 目	略 号	条 件	定 格	単位
システム用電源電圧	CVSS		- 0.5 ~ + 0.5	V
	OSCVSS		- 0.5 ~ + 0.5	V
	REG0VSS		- 0.5 ~ + 0.5	V
	REG1VSS		- 0.5 ~ + 0.5	V
ポート用電源電圧	E0VSS		- 0.5 ~ + 0.5	V
	E1VSS		- 0.5 ~ + 0.5	V
	B0VSS		- 0.5 ~ + 0.5	V
A/D コンバータ用電源電圧	A0VSS		- 0.5 ~ + 0.5	V
	A0VREFM	$A0VREFM \leq A0VDD + 0.3 \text{ V}$	- 0.3 ~ + 6.0	V
	A1VSS		- 0.5 ~ + 0.5	V
	A1VREFM	$A0VREFM \leq A0VDD + 0.3 \text{ V}$	- 0.3 ~ + 6.0	V

(Ta = 25 °C)

2.2 ポート電圧

表 2-3 ポート入力電圧

項 目	端子グループ ^a	略 号	条 件	定 格	単位
入力電圧 ^b	PgE0	Vi	$E0VDD \leq 5.5 \text{ V}$	- 0.5 ~ $E0VDD + 0.5$	V
	PgE1		$E1VDD \leq 5.5 \text{ V}$	- 0.5 ~ $E1VDD + 0.5$	V
	PgB0		$B0VDD \leq 5.5 \text{ V}$	- 0.5 ~ $B0VDD + 0.5$	V
	PgOSC		$OSCVDD \leq 5.5 \text{ V}$	- 0.5 ~ $OSCVDD + 0.5$	V
	PgA0			0.3 ~ $A0VDD + 0.3$	V
	PgA1			0.3 ~ $A1VDD + 0.3$	V

^{a)} 端子グループ欄は、V850E2/Fx4-H シリーズ全体に含まれているものを記載しているため、製品によっては実装されていないものもあります。

^{b)} 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

(Ta = 25 °C)

2.3 ポート電流

表 2-4 ハイ・レベル・ポート出力電流

項 目	端子グループ ^a	略 号	条 件	定 格 (MAX.)	単位
ハイ・レベル 出力電流	PgE0	IOH	1 端子	－ 10	mA
			全端子合計	－ 50	mA
	PgE1		1 端子	－ 10	mA
			全端子合計	－ 150	mA
	PgB0		1 端子	－ 10	mA
			全端子合計	－ 200	mA
	PgA0		1 端子	－ 10	mA
			全端子合計	－ 25	mA
	PgA1		1 端子	－ 10	mA
			全端子合計	－ 25	mA

a) 端子グループ欄は、V850E2/Fx4-H シリーズ全体に含まれているものを記載しているため、製品によっては実装されていないものもあります。

表 2-5 ロウ・レベル・ポート出力電流

項 目	端子グループ ^a	略 号	条 件	定 格 (MAX.)	単位
ロウ・レベル 出力電流	PgE0	IOL	1 端子	10	mA
			全端子合計	50	mA
	PgE1		1 端子	10	mA
			全端子合計	150	mA
	PgB0		1 端子	10	mA
			全端子合計	150	mA
	PgA0		1 端子	10	mA
			全端子合計	25	mA
	PgA1		1 端子	10	mA
			全端子合計	25	mA

a) 端子グループ欄は、V850E2/Fx4-H シリーズ全体に含まれているものを記載しているため、製品によっては実装されていないものもあります。

2.4 温度特性

表 2-6 温度特性

項 目	略 号	条 件	定 格	単位
保存温度	T _{stg}		− 65 + 150	°C
動作周囲温度	T _a	(A) 品	− 40 ~ + 85	°C
		(A1)	− 40 ~ + 110	°C

3. 電源スペック

3.1 電源接続の要件

3.1.1 グランド端子の定義

このデータ・シートでは、グランド端子を次のように定義します。

VSS = OSCVSS = REGnVSS = EnVSS = BnVSS = AnVSS = CVSS = 0 V

詳細な端子名は次のようになります。

- REGnVSS : REG0VSS, REG1VSS
- EnVSS : E0VSS, E1VSS
- BnVSS : B0VSS
- AnVSS : A0VSS, A1VSS

3.1.2 電源端子の定義

このデータ・シートでは、電源端子を次のように定義します。

- EnVDD, BnVDD, FVDD, REGnVDD, OSCVDD, CVDD, AnVDD, AnVREFM, AnVREFP

なお、詳細な端子名は次のようになります。

- EnVDD : E0VDD, E1VDD
- BnVDD : B0VDD
- REGnVDD : REG0VDD, REG1VDD
- AnVDD : A0VDD, A1VDD
- AnVREFM : A0VREFM, A1VREFM
- AnVREFP : A0VREFP, A1VREFP

3.2 電源供給領域の定義

V850E2/FL4-Hは、次に示す電源供給領域で構成されています。

- AWO (Always-On エリア)
- Iso0 (Isolated エリア0)
- Iso1 (Isolated エリア1)

表 3-1に、各電源供給領域の電源電圧と電源端子の関係を示します。

表 3-1 電源供給領域のグランド、電源端子

電源供給領域	供給	端子
AWO	CPU 用電源供給	REG0VDD, REG0VSS, REG0C
	ポート用電源供給	E0VDD
	その他電源供給	OSCVDD, OSCVSS, FVDD
Iso0	CPU 用電源供給	REG1VDD, REG1VSS
	ポート用電源供給	E1VDD, E1VSS
	その他電源供給	A0VDD, A0VSS, A0VREFP, A0VREFM
Iso1	CPU 用電源供給	REG1VDD, REG1VSS CVDD, CVSS
	ポート用電源供給	B0VDD, B0VSS
	その他電源供給	A1VDD, A1VSS, A1VREFP, A1VREFM

3.3 電源電圧

表 3-2 電源電圧（動作条件）

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
システム用電源電圧	CVDD		1.1		1.3	V
	FVDD		V _{POC} ^a		5.5	V
	OSCVDD		V _{POC} ^a		5.5	V
	REG0VDD		V _{POC} ^a		5.5	V
	REG1VDD		V _{POC} ^a		5.5	V
ポート用電源電圧	E0VDD		V _{POC} ^a		5.5	V
	E1VDD		V _{POC} ^a		5.5	V
	B0VDD		V _{POC} ^a		5.5	V
A/D コンバータ用 電源電圧	A0VDD	12 ビット分解能	4.5		5.5	V
		10 ビット分解能	3		5.5	V
	A0VREFP	$A0VREFP - A0VREFM > A0VDD/2$	A0VDD		A0VDD	V
	A1VDD	12 ビット分解能	4.5		5.5	V
		10 ビット分解能	3		5.5	V
	A1VREFP	$A1VREFP - A1VREFM > A1VDD/2$	A1VDD		A1VDD	V

a) V_{POC} : POC 検出電圧

V_{POC} の詳細については、3.3.3 パワーオン・クリア回路（POC）特性を参照してください。

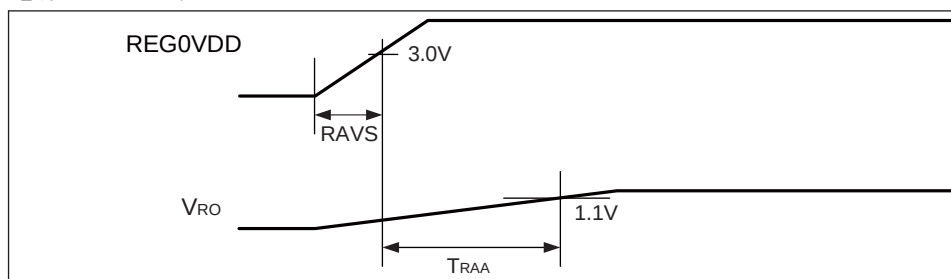
3.3.1 AWO 電源内蔵レギュレータ特性

表 3-3 AWO 電源内蔵レギュレータ特性

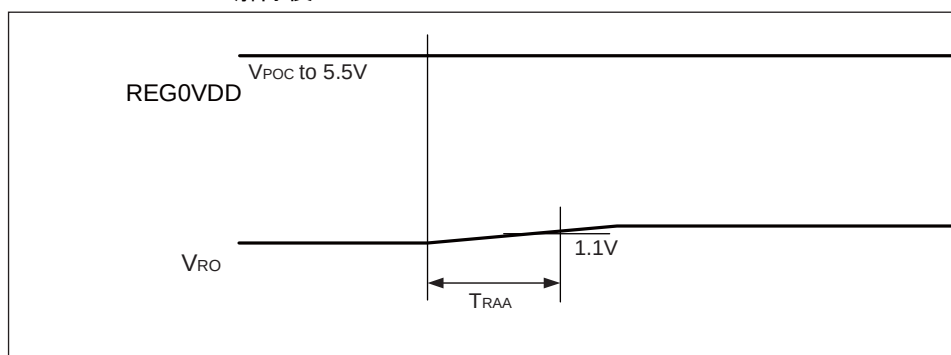
項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
入力電圧	REG0VDD		V_{POC}^a		5.5	V
出力電圧	V_{RO}		1.1	1.2	1.3	V
REG0C 端子の キャパシタンス	REG0C		3.29	4.7	6.11	μF
電圧勾配	RAVS	0 V to 3.0 V			1.8	V/μs
出力電圧安定時間	T_{RAA}	REG0VDD が 3.0 V に達したあと			1	ms
		DEEPSTOP モード解除後			0.5	ms

- a) V_{POC} : POC 検出電圧
 V_{POC} の詳細については、3.3.3 パワーオン・クリア回路 (POC) 特性を参照してください。

電源立ち上げ中



DEEPSTOPモード解除後



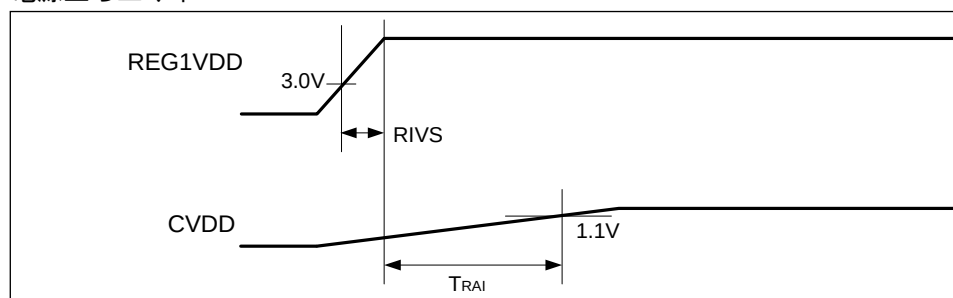
3.3.2 Iso0/Iso1 電源内蔵レギュレータ特性

表 3-4 Iso0/Iso1 電源内蔵レギュレータ特性

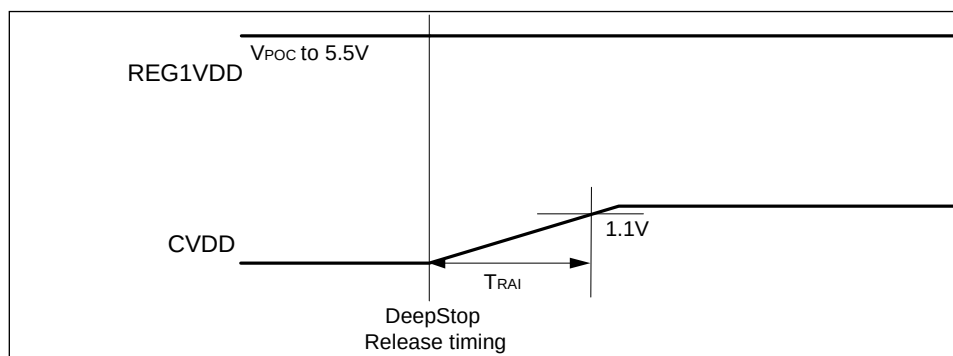
項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
入力電圧	REG1VDD		V_{POC}^a		5.5	V
CVDD 端子の キャパシタンス	CVDDC	各 CVDD 用 ^c	3.29	4.7	6.11	μF
電圧勾配	RIVS	3.0 V to 5.5 V			5.6	V/ms
出力電圧安定時間	T_{RAI}	REG1VDD が 3.0 V に達したあと			1	ms
		DEEPSTOP モード後			0.5	ms
PTCTL1 出力電流 ^b	I_{PTCTL}				1.55	mA

- a) V_{POC} : POC 検出電圧
 V_{POC} の詳細については、3.3.3 パワーオン・クリア回路 (POC) 特性を参照してください。
b) 外部電源トランジスタのベース電流です
c) PTCTL1 端子を使用しない場合、各 CVDD 用コンデンサは必要ありませんが、外部レギュレータ用には必要です。

電源立ち上げ中



DEEPSTOPモード後



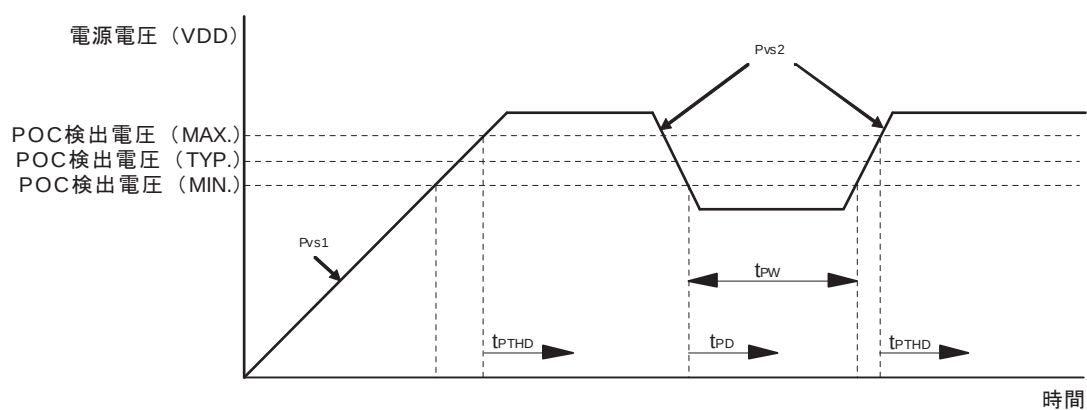
3.3.3 パワーオン・クリア回路（POC）特性

表 3-5 パワーオン・クリア回路（POC）特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
POC 検出電圧	V _{POC}		2.8	2.9	3.0	V
電圧の傾き 1	P _{VS1}		0.18		1800	V/ms
電圧の傾き 2	P _{VS2}		0.0018		1800	V/ms
応答時間 1 ^a	t _{PTHD}				2	ms
応答時間 2 ^b	t _{PD}				2	ms
VDD 最小幅	t _{PW}		0.2			ms

a) POC 検出電圧を検出してからリセット信号（POCRES）を解除するまでの時間です。

b) POC 検出電圧を検出してからリセット信号（POCRES）が発生するまでの時間です。



3.4 電源電圧の電源立ち上げ／電源立ち下げ順序（使用条件）

条件の内容

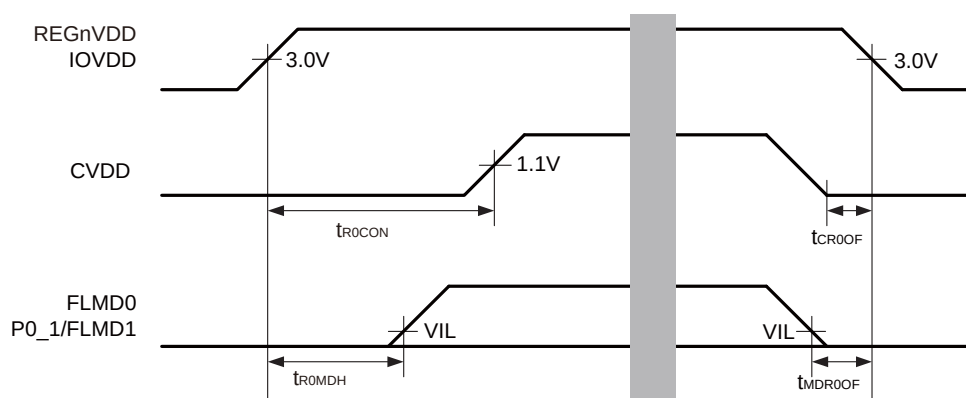
条 件	モード	電源制御信号
条件 1	シングルチップモード	未使用
条件 2	シリアル・プログラミングモード OSC モニタモード BSCAN モード	未使用
条件 3	シングルチップモード	WAKE/PWGD
条件 4	シリアル・プログラミングモード OSC モニタモード BSCAN モード	WAKE/PWGD
条件 5	シングルチップモード	PTCTL1
条件 6	シリアル・プログラミングモード OSC モニタモード BSCAN モード	PTCTL1

3.4.1 条件1

WAKE, PTCTL1端子未使用
シングルチップモード

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
REGnVDD, IOVDD ↑ → CVDD ↑	t _{ROCON}		1		10	ms
REG0VDD, IOVDD ↑ → FLMD0, 1 (≦ VIL) ホールド時間	t _{ROMDH}		2			ms
FLMD0, 1 (≦ VIL) → REG0VDD, IOVDD ↓	t _{MDROOF}		0			ms
CVDD (0 V) → REG0VDD, IOVDD ↓	t _{CR0OF}		0			ms

n = 0, 1



備考 ・ IOVDD : AnVDD (n = 0, 1), B0VDD, EnVDD (n = 0, 1), FVDD, OSCVDD

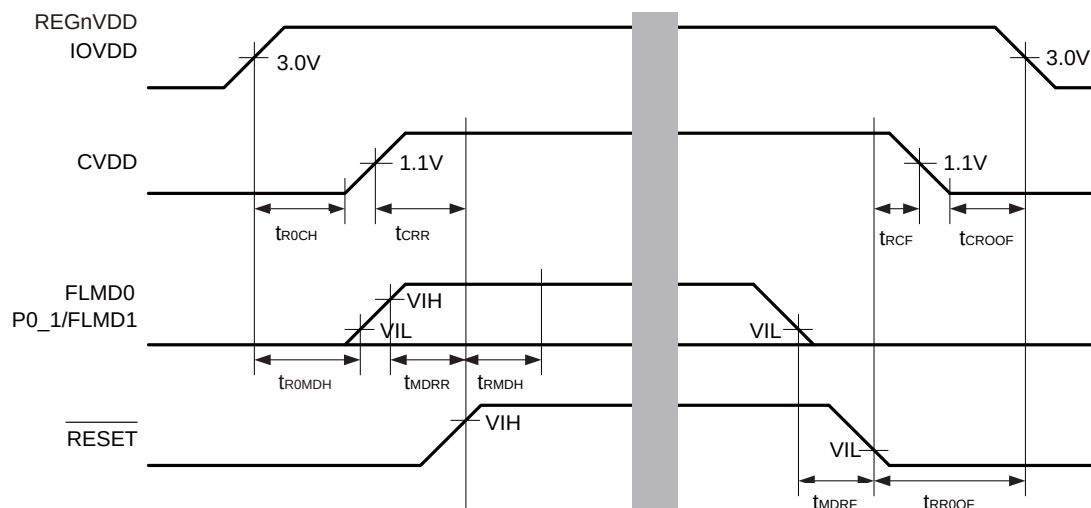
3.4.2 条件 2

WAKE, PTCTL1 端子未使用

シリアル・プログラミング・モード, OSC モニタモード, BSCAN モード

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
REGnVDD, IOVDD ↑ → CVDD (0 V) ホールド時間	t _{ROCH}		1			ms
REG0VDD, REG1VDD, IOVDD ↑ → FLMD0, 1 (≤ VIL) ホールド時間	t _{ROMDH}		1			ms
CVDD ↑ → RESET ↑	t _{CRR}		0			ms
FLMD0,1 (VIH or VIL1) ^a → RESET ↑	t _{MDDR}		1			ms
RESET ↑ → FLMD0,1 (VIH or VIL) ホールド時間	t _{RMDH}		1			ms
FLMD0,1, MODE0, 1 (≤ VIL) ↓ → RESET ↓	t _{MDRF}		0			ms
RESET ↓ → CVDD ↓	t _{RCF}		0			ms
CVDD (0V) → REGnVDD, IOVDD ↓	t _{CROOF}		0			ms
RESET ↓ → REGnVDD, IOVDD ↓	t _{RR0OF}		0			ms

a) BSCAN モードおよび OSC モニタモードの場合, MODE0, MODE1 端子も設定が必要です。
n = 0, 1

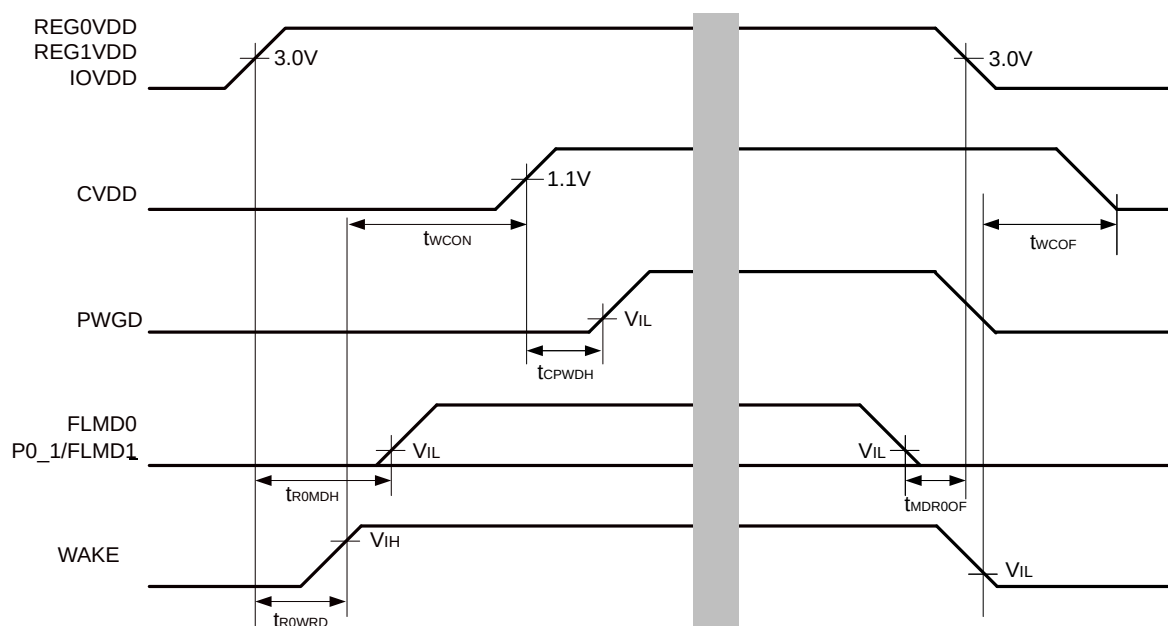


備考 ・ IOVDD : AnVDD(n = 0, 1), B0VDD, EnVDD(n = 0, 1), FVDD, OSCVDD

3.4.3 条件 3

WAKE/PEGD 端子使用
シングルチップモード

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
REG0VDD, REG1VDD, IOVDD ↑ → WAKE ↑ 出力遅延時間	t_{R0WRD}				2	ms
WAKE ↑ → CVDD ↑	t_{WCON}		0		8	ms
CVDD ↑ → PWGD ↑	t_{CPWDH}		0			ms
REG0VDD, REG1VDD, IOVDD ↑ → FLMD0,1 ($\leq V_{IL}$) ホールド時間	t_{R0MDH}		2			ms
FLMD0,1 ($\leq V_{IL}$) → REG0VDD, IOVDD ↓	t_{MDR0OF}		0			ms
WAKE ↓ → CVDD (0V)	t_{WCOF}		0		8	ms



備考 ・ IOVDD : AnVDD (n = 0, 1), B0VDD, EnVDD (n = 0, 1), FVDD, OSCVDD

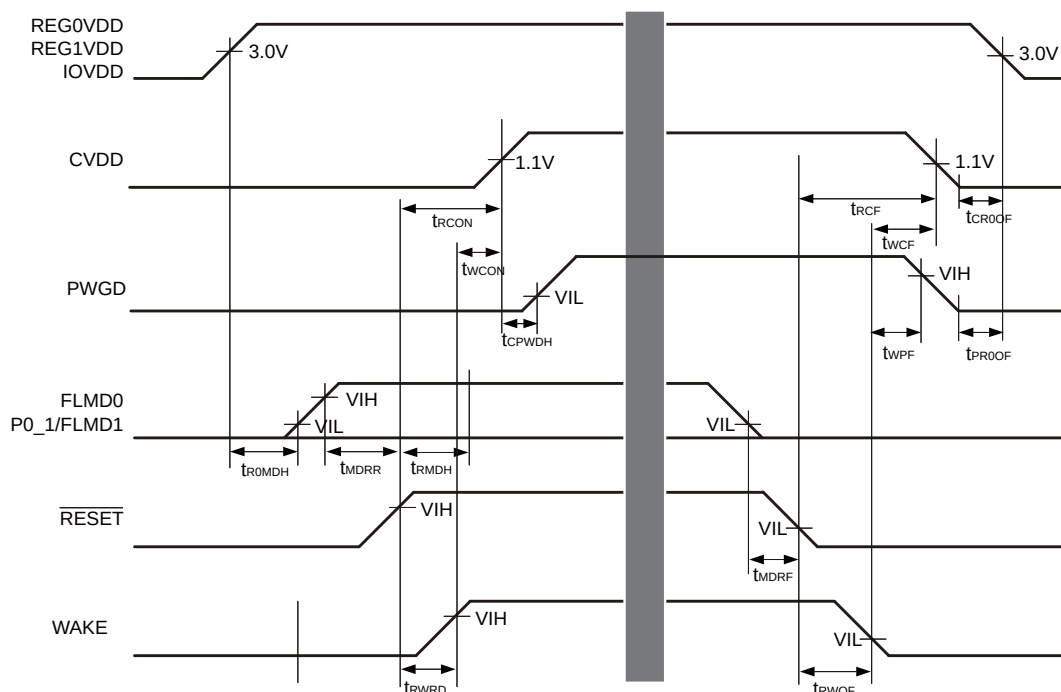
3.4.4 条件 4

WAKE/PEGD 端子使用

シリアル・プログラミング・モード/OSC モニタモード/BSCAN モード

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
REG0VDD, REG1VDD, IOVDD ↑ → FLMD0,1 (≤ VIL) ホールド時間	t _{RMDH}		1			ms
FLMD0,1 (VIH or VIL1) ^a → RESET ↑	t _{MDDR}		1			ms
RESET ↑ → CVDD ↑	t _{RCON}		0		10	ms
WAKE ↑ → CVDD ↑	t _{WCON}		0			ms
RESET ↑ → WAKE ↑ 出力遅延時間	t _{RWON}				1	μs
CVDD ↑ → PWGD ↑	t _{CPWDH}		0			ms
RESET ↑ → FLMD0,1 (VIH or VIL1) ^a ホールド時間	t _{RMDH}		1			ms
FLMD0,1 (≤ VIL) → RESET ↓	t _{MDRF}		0			ms
RESET ↓ → CVDD ↓	t _{RCF}		0		10	ms
WAKE ↓ → CVDD ↓	t _{WCF}		0			ms
RESET ↓ → WAKE ↓ 出力遅延時間	t _{RWOF}				1	μs
PWGD (VIH) → CVDD ↓	t _{PCF}		0			ms
CVDD (0V) → REG0VDD,IOVDD ↓	t _{CR0OF}		0			ms

a) BSCAN モードおよび OSC モニタモードの場合、MODE0, MODE1 端子も設定が必要です。

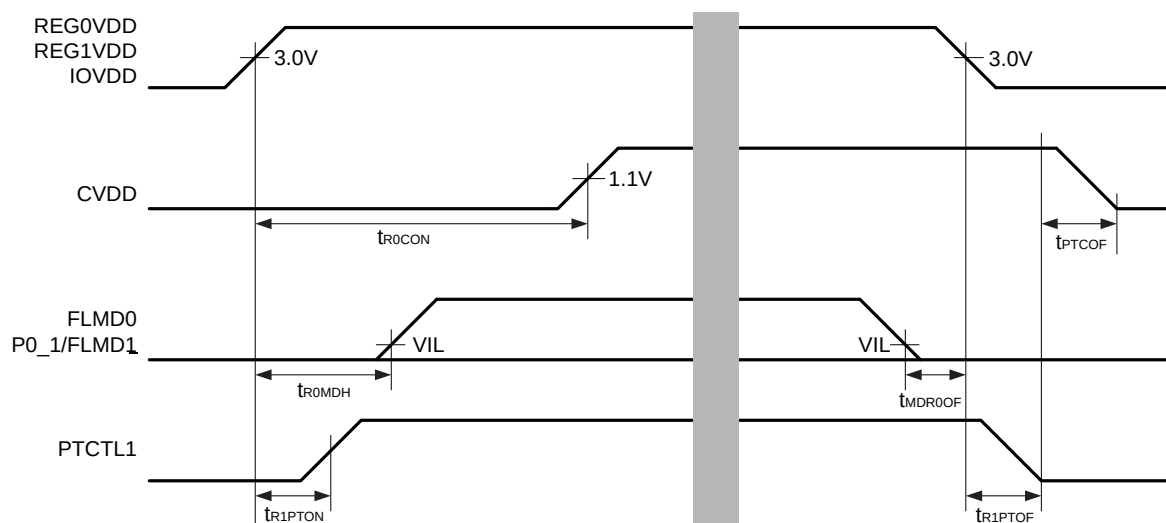


備考 ・ IOVDD : AnVDD (n = 0, 1), B0VDD, EnVDD (n = 0, 1), FVDD, OSCVDD

3.4.5 条件 5

PTCTL1端子使用
シングルチップモード

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
REG0VDD, REG1VDD, IOVDD ↑ → PTCTL1 ↑ セットアップ時間	tr1PTON				1	ms
REG0VDD, REG1VDD, IOVDD ↑ → CVDD ↑ by PTCTL1 ↑	tr0CON		1		10	ms
REG0VDD, REG1VDD, IOVDD ↑ → FLMD0,1 ($\leq$ VIL) ホールド時間	tr0MDH		2			ms
FLMD0,1 ($\leq$ VIL) → REG0VDD, REG1VDD, IOVDD ↓	tMDR0OF		0			ms
REG0VDD, REG1VDD, IOVDD ↓ → PTCTL1 ↓	tr1PTOF				1	ms
PTCTL1 ↓ → CVDD ↓	tPTCOF		0		8	ms



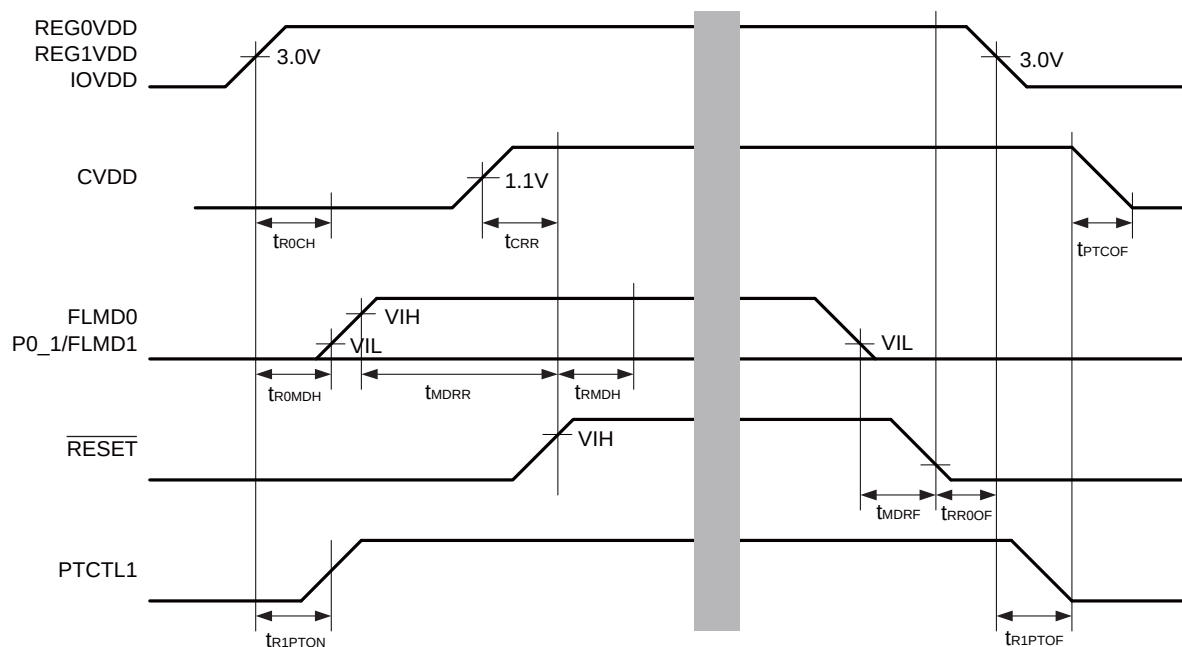
備考 ・ IOVDD : AnVDD (n = 0, 1), B0VDD, EnVDD (n = 0, 1), FVDD, OSCVDD

3.4.6 条件 6

PTCTL1端子使用

シリアル・プログラミング・モード/OSCモニタモード/BSCANモード

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
REG0VDD, REG1VDD, IOVDD ↑ → CVDD (0V) ホールド時間	t _{ROCH}				1	ms
REG1VDD ↑ → PTCTL1 ↑ セットアップ時間	t _{R1PTON}				1	ms
REG0VDD, IOVDD ↑ → FLMD0,1 (≦ VIL) ホールド時間	t _{ROMDH}		1			ms
CVDD ↑ → RESET ↑	t _{CRR}		0			ms
FLMD0,1 (VIH or VIL) → RESET ↑	t _{MDRR}		1			ms
RESET ↑ → FLMD0,1 (VIH or VIL) ホールド時間	t _{RMDH}		1			ms
FLMD0,1, MODE0,1 (≦ VIL) → RESET ↓	t _{MDRF}		0			ms
RESET ↓ → REG0VDD, IOVDD ↓	t _{RR0OF}		0			ms
REG1VDD ↓ → PTCTL1 ↓	t _{R1PTOF}				1	ms
PTCTL1 ↓ → CVDD ↓	t _{PTCOF}		0		8	ms



備考 ・ IOVDD : AnVDD (n = 0, 1), B0VDD, EnVDD (n = 0, 1), FVDD, OSCVDD

4. クロック発生回路

4.1 CPUクロック周波数

表 4-1 CPU クロック周波数

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
CPU クロック周波数	f_{CPU}	PLL 使用時			160	MHz
		SSCG 使用時			176.64	MHz

4.2 周辺クロック周波数

表 4-2 周辺クロック周波数

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
周辺クロック周波数	f_{PERI}				80	MHz

4.3 発振回路特性

4.3.1 メイン発振回路（MainOsc）特性

表 4-3 メイン発振回路（MainOsc）特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
メイン発振回路（MainOsc）クロック周波数	f_{MOSC}	セラミック発振子または水晶振動子	4		20	MHz
MainOsc 安定時間	f_{MSTB}			a		μs

a) この値は、MOSCST レジスタ設定値に依存します。

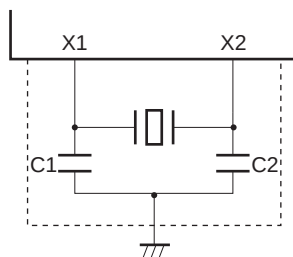


図 4-1 推奨メイン発振回路（MainOsc）

-
- 注意
1. 外部クロック入力は禁止です。
 2. プリント基板をレイアウトする際には、図中の破線の部分を次のように配線してください。
 - 配線は極力短くする。
 - 他の信号線と交差させない。
 - 変化する大電流が流れる信号線に接近させない。
 - 発振回路のコンデンサの接地点は、常に REG0VSS および OSCVSS と同電位になるようにする。
 - 大電流が流れるグラウンド・パターンに接地しない。
 - 発振回路から信号を取り出さない。
 3. C1, C2 の値は、ご使用のセラミック発振子または水晶振動子 によるため、発振子／振動子メーカーとご相談の上、決定してください。
-

4.3.2 サブ発振回路 (SubOsc) 特性

表 4-4 サブ発振回路 (SubOsc) 特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
サブ発振回路 (SubOsc) クロック 周波数	f _{SOSC}	水晶振動子		32.768		kHz
SubOsc 安定時間	f _{SSTB}			a		s

a) この値は、SOSCST レジスタ設定値に依存します。

4.3.3 内蔵発振器特性

表 4-5 内蔵発振器特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
低速内蔵発振回路 (低速 IntOsc) クロック周波数	f _{RL}	• Deep Stop Mode 以外または, • Deep Stop Mode でかつ, PSCn.PSCnREGSTP = 0 (n = 0,1)	220.8	240	259.2	kHz
	f _{RLLP}	• Deep Stop Mode でかつ, PSCn.PSCnREGSTP = 1 (n = 0,1)	216	240	264	kHz
高速内蔵発振回路 (高速 IntOsc) クロック周波数	f _{RH}	• Deep Stop Mode 以外または, • Deep Stop Mode でかつ, PSCn.PSCnREGSTP = 0 (n = 0,1)	7.2	8	8.8	MHz
	f _{RHLP}	• Deep Stop Mode でかつ, PSCn.PSCnREGSTP = 1 (n = 0,1)	6.64	8	8.8	MHz
高速内蔵発振回路 (高速 IntOsc) 安定時間	t _{RHSTB}				19	μs

4.4 PLL 特性

表 4-6 PLL 特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
入力周波数	f _{Xn}		4		20	MHz
出力周波数	f _{XXn}	PLL モード	25		160	MHz
		SSCG モード	22.40		176.6	MHz
ロック時間	t _{LCKPn}	PLL モード			650	μs
	t _{LCKSn}	SSCG モード			1300	μs

5. 入出力スペック

5.1 ポート特性

5.1.1 PgE0

表 5-1 PgE0

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH}	CMOS	0.7 E0VDD		E0VDD + 0.3	V
		シュミット 1 (SHMT1)	0.7 E0VDD		E0VDD + 0.3	V
		シュミット 2 (SHMT2)	0.8 E0VDD		E0VDD + 0.3	V
		シュミット 4 (SHMT4) ^b	0.8 E0VDD		E0VDD + 0.3	V
ロウ・レベル入力電圧	V _{IL}	CMOS	− 0.5		0.3 E0VDD	V
		シュミット 1 (SHMT1)	− 0.5		0.3 E0VDD	V
		シュミット 2 (SHMT2)	− 0.5		0.2 E0VDD	V
		シュミット 4 (SHMT4) ^b	− 0.5		0.5 E0VDD	V
ハイ・レベル出力電圧	V _{OH}	I _{OH} = − 5 mA ^a	E0VDD − 1.0			V
		I _{OH} = − 100 μA	E0VDD − 0.5			V
ロウ・レベル出力電圧	V _{OL}	I _{OL} = 5 mA ^a			0.4	V
		I _{OL} = 100 μA			0.4	V
シュミットの 入力ヒステリシス	V _H	シュミット 1 (SHMT1)	0.3			V
		シュミット 2 (SHMT2)	0.3			V
		シュミット 4 (SHMT4)	0.1			V
プルアップ抵抗 ^c	R _U		20	40	100	kΩ
プルダウン抵抗 ^c	R _D		20	40	100	kΩ
ハイ・レベル入力リーク電流	I _{LIH}	V _I = E0VDD			0.5	μA
ロウ・レベル入力リーク電流	I _{LIL}	V _I = 0 V			− 0.5	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _O = E0VDD			0.5	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V			− 0.5	μA
出力周波数	f _O	ロウ・ドライブ強度			25	MHz
		ハイ・ドライブ強度			40	MHz
立ち上がり時間（出力）	t _{KRP}	ロウ・ドライブ強度			15	ns
		ハイ・ドライブ強度			8	ns
立ち下がり時間（出力）	t _{KFP}	ロウ・ドライブ強度			15	ns
		ハイ・ドライブ強度			8	ns

a) PgE0 の合計電流値として、I_{OH} は − 20 mA、I_{OL} は 20 mA を越えないでください。

b) E0VDD = V_{POC} ~ 3.0V の条件下での V_{IH}, V_{IL} は、以下になります。

V_{IH} (MIN) : 0.84 E0VDD

V_{IL} (MAX) : 0.4 E0VDD

c) FLMD0 を除く

5.1.2 PgE1

表 5-2 PgE1

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH}	CMOS	0.7 E1VDD		E1VDD + 0.3	V
		シュミット 1 (SHMT1)	0.7 E1VDD		E1VDD + 0.3	V
		シュミット 2 (SHMT2)	0.8 E1VDD		E1VDD + 0.3	V
		シュミット 4 (SHMT4) ^b	0.8 E1VDD		E1VDD + 0.3	V
ロウ・レベル入力電圧	V _{IL}	CMOS	− 0.5		0.3 E1VDD	V
		シュミット 1 (SHMT1)	− 0.5		0.3 E1VDD	V
		シュミット 2 (SHMT2)	− 0.5		0.2 E1VDD	V
		シュミット 4 (SHMT4) ^b	− 0.5		0.5 E1VDD	V
ハイ・レベル出力電圧	V _{OH}	I _{OH} = − 5 mA ^a	E1VDD − 1.0			V
		I _{OH} = − 100 μA	E1VDD − 0.5			V
ロウ・レベル出力電圧	V _{OL}	I _{OL} = 5 mA ^a			0.4	V
		I _{OL} = 100 μA			0.4	V
シュミットの 入力ヒステリシス	V _H	シュミット 1 (SHMT1)	0.3			V
		シュミット 2 (SHMT2)	0.3			V
		シュミット 4 (SHMT4)	0.1			V
プルアップ抵抗	R _U		20	40	100	kΩ
プルダウン抵抗	R _D		20	40	100	kΩ
ハイ・レベル入力リーク電流	I _{LIH}	V _I = E1VDD			0.5	μA
ロウ・レベル入力リーク電流	I _{LIL}	V _I = 0 V			− 0.5	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _O = E1VDD			0.5	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V			− 0.5	μA
出力周波数	f _o	ロウ・ドライブ強度			25	MHz
		ハイ・ドライブ強度			40	MHz
立ち上がり時間（出力）	t _{KRP}	ロウ・ドライブ強度			15	ns
		ハイ・ドライブ強度			8	ns
立ち下がり時間（出力）	t _{KFP}	ロウ・ドライブ強度			15	ns
		ハイ・ドライブ強度			8	ns

- a) PgE1 の合計電流値として、I_{OH} は − 150 mA、I_{OL} は 150 mA を越えないでください。
PgE1 で出力バッファのポート・ドライブ強度を Fast mode（ハイ・ドライブ強度）に設定した場合、使用可能な PgE1 は 8 本です。また、Slow mode（ロウ・ドライブ強度）に設定した場合、使用可能な PgE1 は 5 本です。
- b) E1VDD = V_{POC} ~ 3.0V の条件下での V_{IH}, V_{IL} は、以下になります。
V_{IH} (MIN) : 0.84 E1VDD
V_{IL} (MAX) : 0.4 E1VDD

5.1.3 PgB0

表 5-3 PgB0

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH}	CMOS	0.7 B0VDD		B0VDD + 0.3	V
		シュミット 1 (SHMT1)	0.7 B0VDD		B0VDD + 0.3	V
		シュミット 2 (SHMT2)	0.8 B0VDD		B0VDD + 0.3	V
		シュミット 4 (SHMT4) ^b	0.8 B0VDD		B0VDD + 0.3	V
ロウ・レベル入力電圧	V _{IL}	CMOS	− 0.5		0.3 B0VDD	V
		シュミット 1 (SHMT1)	− 0.5		0.3 B0VDD	V
		シュミット 2 (SHMT2)	− 0.5		0.2 B0VDD	V
		シュミット 4 (SHMT4) ^b	− 0.5		0.5 B0VDD	V
ハイ・レベル出力電圧	V _{OH}	I _{OH} = − 5 mA ^a	B0VDD − 1.0			V
		I _{OH} = − 100 μA	B0VDD − 0.5			V
ロウ・レベル出力電圧	V _{OL}	I _{OL} = 5 mA ^a			0.4	V
		I _{OL} = 100 μA			0.4	V
シュミットの 入力ヒステリシス	V _H	シュミット 1 (SHMT1)	0.3			V
		シュミット 2 (SHMT2)	0.3			V
		シュミット 4 (SHMT4)	0.1			V
プルアップ抵抗	R _U		20	40	100	kΩ
プルダウン抵抗	R _D		20	40	100	kΩ
ハイ・レベル入力リーク電流	I _{LIH}	V _I = B0VDD			0.5	μA
ロウ・レベル入力リーク電流	I _{LIL}	V _I = 0 V			− 0.5	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _O = B0VDD			0.5	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V			− 0.5	μA
出力周波数	f _O	ロウ・ドライブ強度			25	MHz
		ハイ・ドライブ強度			40	MHz
立ち上がり時間（出力）	t _{KRP}	ロウ・ドライブ強度			15	ns
		ハイ・ドライブ強度			8	ns
立ち下がり時間（出力）	t _{KFP}	ロウ・ドライブ強度			15	ns
		ハイ・ドライブ強度			8	ns

- a) PgB0 の合計電流値として、I_{OH} は − 150 mA、I_{OL} は 150 mA を越えないでください。
PgB0 で出力バッファのポート・ドライブ強度を Fast mode（ハイ・ドライブ強度）に設定した場合、使用可能な PgB0 は 8 本です（メモリ・インタフェース（MEMO）関連端子使用時は除く）。また、Slow mode（ロウ・ドライブ強度）に設定した場合、使用可能な PgB0 は 5 本です。
- b) B0VDD = V_{POC} ~ 3.0V の条件下での V_{IH}, V_{IL} は、以下になります。
V_{IH} (MIN) : 0.84 B0VDD
V_{IL} (MAX) : 0.4 B0VDD

5.1.4 PgA0, PgA1

表 5-4 PgA0, PgA1

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH}	CMOS	0.7 AnVDD		$\text{AnVDD} + 0.3$	V
ロウ・レベル入力電圧	V_{IL}	CMOS	-0.5		0.3 AnVDD	V
ハイ・レベル出力電圧	V_{OH}	$I_{OH} = -1 \text{ mA}^a$	$\text{AnVDD} - 1.0$			V
		$I_{OH} = -100 \mu\text{A}$	$\text{AnVDD} - 0.5$			V
ロウ・レベル出力電圧	V_{OL}	$I_{OL} = 1 \text{ mA}^a$			0.4	V
		$I_{OL} = 100 \mu\text{A}$			0.4	V
ハイ・レベル入力リーク電流	I_{LIH}	$V_I = \text{AnVDD}$			0.2	μA
ロウ・レベル入力リーク電流	I_{LIL}	$V_I = 0 \text{ V}$			-0.2	μA
ハイ・レベル出力リーク電流	I_{LOH}	$V_O = \text{AnVDD}$			0.2	μA
ロウ・レベル出力リーク電流	I_{LOL}	$V_O = 0 \text{ V}$			-0.2	μA
出力周波数	f_o				25	MHz
立ち上がり時間（出力）	t_{KRP}				15	ns
立ち下がり時間（出力）	t_{KFP}				15	ns

a) PgAn の合計電流値として、 I_{OH} は -20 mA 、 I_{OL} は 20 mA を越えないでください。

$n = 0, 1$

5.2 入出力容量

表 5-5 入出力容量

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
入力容量	C_i	$f_x = 1 \text{ MHz}$ 被測定ピン以外は 0 V			15	pF
入出力容量	C_{io}				15	pF
出力容量	C_o				15	pF

6. 電源電流

• μPDF703564 の場合

項 目	電源			条 件							規格値				単位
	AWO	ISO0	ISO1	PLL	CPU 周波数	周辺 機能	240 kHz	8 MHz	メイン OSC	サブ OSC	Min.	Typ.	Max.		
													(A)	(A1)	
RUN モード	ON	ON	ON	ON	160	動作	ON	ON	ON	ON		247	394	415	mA
	ON	ON	ON	ON	160	停止	ON	ON	ON	ON		153	-	-	mA
	ON	ON	ON	OFF	8	動作	ON	ON	OFF	ON		30	60	62	mA
	ON	ON	ON	OFF	8	停止	ON	ON	OFF	ON		22	-	-	mA
	ON	ON	OFF	ON	160	動作	ON	ON	ON	ON		176	285	300	mA
	ON	ON	OFF	ON	160	停止	ON	ON	ON	ON		140	-	-	mA
	ON	ON	OFF	OFF	8	動作	ON	ON	OFF	ON		24	50	52	mA
	ON	ON	OFF	OFF	8	動作	ON	ON	OFF	ON		21	-	-	mA
HALT モード	ON	ON	ON	ON	160	動作	ON	ON	ON	ON		236	305	311	mA
	ON	ON	ON	ON	160	停止	ON	ON	ON	ON		150	-	-	mA
	ON	ON	ON	OFF	8	動作	ON	ON	OFF	ON		29	50	51	mA
	ON	ON	ON	OFF	8	停止	ON	ON	OFF	ON		21	-	-	mA
STOP モード	ON	ON	ON	OFF	-	停止	ON	OFF	OFF	OFF		2.5	57	67	mA
	ON	ON	OFF	OFF	-	停止	ON	OFF	OFF	OFF		2.2	49	57	mA
DEEPSTOP モード	ON	OFF	OFF	OFF	-	停止	ON	OFF	OFF	OFF		0.06	3.4	3.6	mA
	ON	OFF	OFF	OFF	-	停止	ON	ON	OFF	OFF		0.60	8.0	9.2	mA
	ON	OFF	OFF	OFF	-	停止	ON	ON	OFF	ON		0.60	8.1	9.2	mA

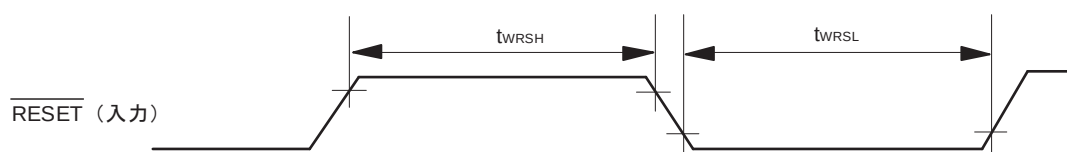
- 備考
1. ON : 電力供給オン状態
OFF : 電力供給オフ状態
 2. SSCG の場合、周波数 = 160 MHz は平均周波数です。
 3. 上記は、ポート・バッファ、A/D コンバータの電流は含みません。
 4. RUN モード時の電流には、セルフ・プログラミング時および EEPROM[®] エミュレーション実行時の電流を含みます。
 5. 動作周波数が 8 MHz の場合、FlexRay コントローラおよびイーサネットコントローラの電流は含みません。
 6. TYP. 値は参考値です。
TYP. 値の条件を次に示します。
 - T_A = 25 °C
 - REGnVDD = FVDD = OSCVDD = EnVDD = B0VDD = AnVDD = AnVREFP = 5.0 V (n = 0-1).
 - CVDD = 1.2V
 - REGnVSS = CVSS = OSCVSS = EnVSS = B0VSS = AnVSS = AnVREFM = 0V (n = 0-1)

7. 周辺機能スペック

7.1 リセット・タイミング

表 7-1 リセット・タイミング

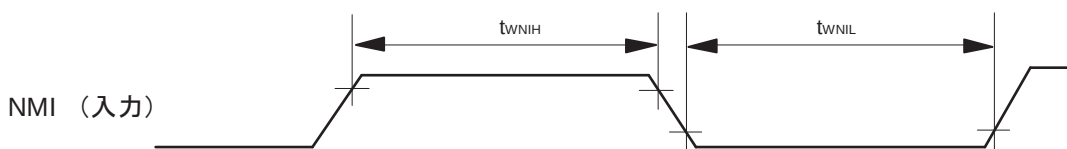
項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
RESET 入力ハイ・レベル幅	t_{WRSH}	8M 高速内蔵発振器動作時	450			ns
		8M 高速内蔵発振器停止時	4.7			μs
RESET 入力ロウ・レベル幅	t_{WRSL}	8M 高速内蔵発振器動作時 電源オン時を除く	450			ns
		8M 高速内蔵発振器停止時	4.7			μs



7.2 NMI タイミング

表 7-2 NMI タイミング

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
NMI 入力ハイ・レベル幅	t_{WNIH}		300			ns
NMI 入力ロウ・レベル幅	t_{WNIL}		300			ns

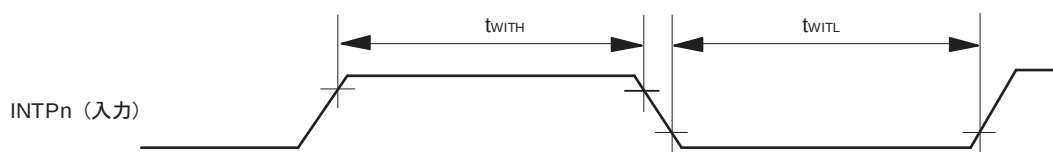


7.3 外部割り込みタイミング

表 7-3 外部割り込みタイミング

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
INTPn 入力ハイ・レベル幅	t_{WITH}		300			ns
INTPn 入力ロウ・レベル幅	t_{WITL}		300			ns

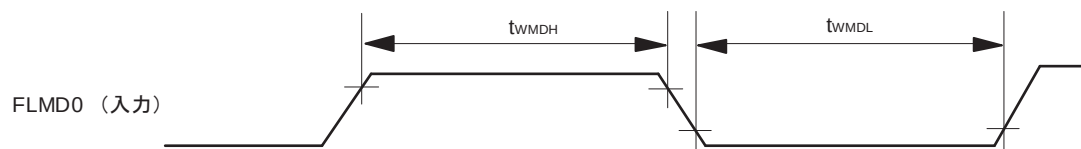
備考 n = 0-15



7.4 FLMD0 タイミング

表 7-4 FLMD0 タイミング

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
FLMD0 入力ハイ・レベル幅	t_{WMDH}		300			ns
FLMD0 入力ロウ・レベル幅	t_{WMDL}		300			ns



7.5 タイマ・タイミング

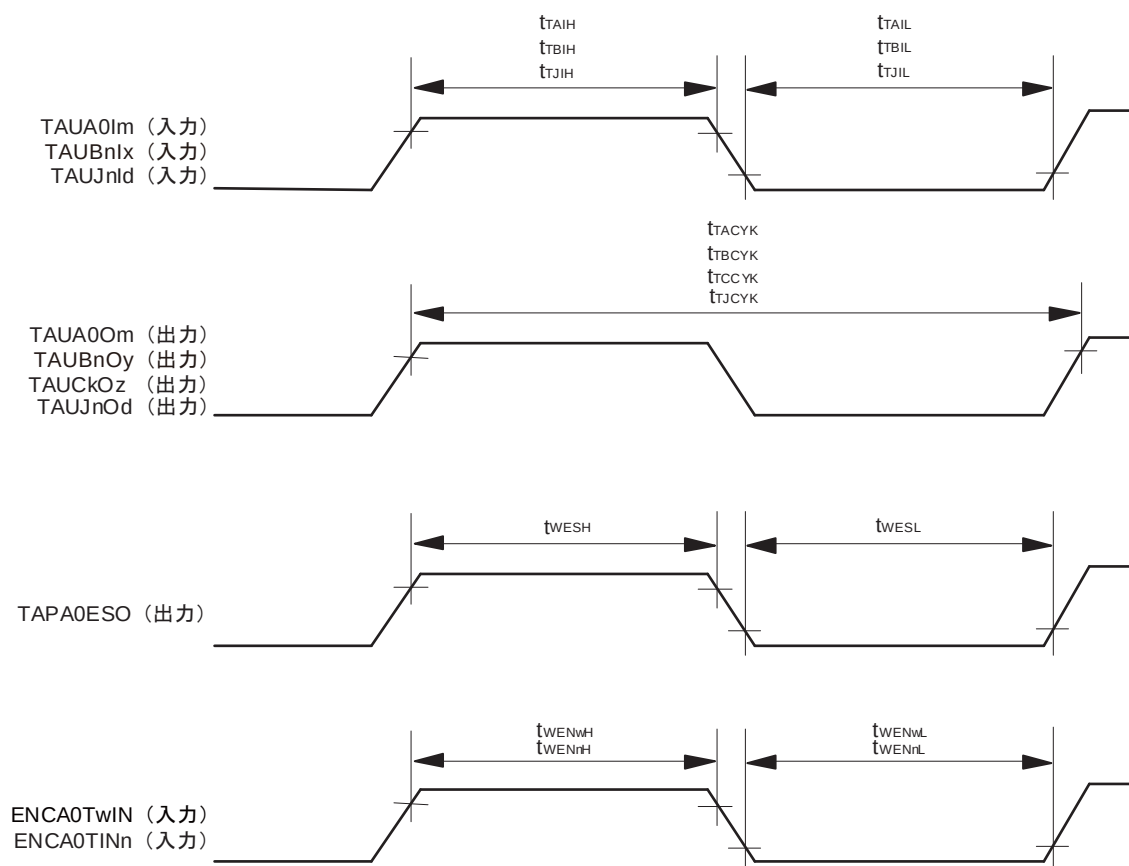
表 7-5 タイマ・タイミング (1/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
TAUA0Im 入力ハイ・レベル幅	tTAIH	m = 0-15, デジタル・ノイズ・フィルタ使用	a			ns
		m = 0-15, デジタル・ノイズ・フィルタをバイパス	b			ns
TAUA0Im 入力ロウ・レベル幅	tTAIL	m = 0-15, デジタル・ノイズ・フィルタ使用	a			ns
		m = 0-15, デジタル・ノイズ・フィルタをバイパス	b			ns
TAUBnIx 入力ハイ・レベル幅	tTBIH	n = 1, 2 n = 1 のとき x = 1-3, 5, 7, 9, 11, 13-15 n = 2 のとき x = 1-3, 5-7, 9-11, 13-15 デジタル・ノイズ・フィルタ使用	a			ns
		n = 1, 2 n = 1 のとき x = 1-3, 5, 7, 9, 11, 13-15 n = 2 のとき x = 1-3, 5-7, 9-11, 13-15 デジタル・ノイズ・フィルタをバイパス	b			ns
TAUBnIx 入力ロウ・レベル幅	tTBIL	n = 1, 2 n = 1 のとき x = 1-3, 5, 7, 9, 11, 13-15 n = 2 のとき x = 1-3, 5-7, 9-11, 13-15 デジタル・ノイズ・フィルタ使用	a			ns
		n = 1, 2 n = 1 のとき x = 1-3, 5, 7, 9, 11, 13-15 n = 2 のとき x = 1-3, 5-7, 9-11, 13-15 デジタル・ノイズ・フィルタをバイパス	b			ns
TAUJnId 入力ハイ・レベル幅	tTJIH	n = 0, 1, d = 0-3, アナログ・ノイズ・フィルタ使用 240k 内蔵発振器以外の動作	300			ns
		n = 0, 1, d = 0-3, アナログ・ノイズ・フィルタ使用またはアナログ・ノイズ・フィルタをバイパス 240k 内蔵発振器動作	4.7			μs
		n = 0, 1, d = 0-3, アナログ・ノイズ・フィルタをバイパス 240k 内蔵発振器以外の動作	b			ns

表 7-5 タイマ・タイミング (2/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
TAUJnId 入力ロウ・レベル幅	tTJIL	n = 0, 1, d = 0-3, アナログ・ノイズ・フィルタ使用 240k 内蔵発振器以外の動作	300			ns
		n = 0, 1, d = 0-3, アナログ・ノイズ・フィルタ使用またはアナログ・ノイズ・フィルタをバイパス 240k 内蔵発振器動作	4.7			μs
		n = 0, 1, d = 0-3, アナログ・ノイズ・フィルタをバイパス 240k 内蔵発振器以外の動作	b			ns
TAUA0Om 出力周期	tTACYK	m = 0-15			20	MHz
TAUBnOy 出力周期	tTBCYK	n = 1,2 y = 1-3, 5-7, 9-11, 13-15			20	MHz
TAUCkOz 出力周期	tTCCYK	k = 3-7 z = 1, 2, 5, 6, 9, 10, 13, 14			20	MHz
TAUJnOd 出力周期	tTJCYK	n = 0, 1, d = 0-3			20	MHz
TAPA0ESO 入力ハイ・レベル幅	tWESH		300			ns
TAPA0ESO 入力ロウ・レベル幅	tWESL		300			ns
ENCA0TwIN ハイ・レベル幅	tWENwH	w = A, B, Z, デジタル・ノイズ・フィルタ使用	a			ns
		w = A, B, Z, デジタル・ノイズ・フィルタをバイパス	b			ns
ENCA0TwIN ロウ・レベル幅	tWENwL	w = A, B, Z, デジタル・ノイズ・フィルタ使用	a			ns
		w = A, B, Z, デジタル・ノイズ・フィルタをバイパス	b			ns
ENCA0TINn ハイ・レベル幅	tWENnH	n = 0, 1, デジタル・ノイズ・フィルタ使用	a			ns
		n = 0, 1, デジタル・ノイズ・フィルタをバイパス	b			ns
ENCA0TINn ロウ・レベル幅	tWENnL	n = 0, 1, デジタル・ノイズ・フィルタ使用	a			ns
		n = 0, 1, デジタル・ノイズ・フィルタをバイパス	b			ns

- a) 選択されたデジタル・ノイズ・フィルタ設定により異なります。
 $2T_{SMP} + 20$, $3T_{SMP} + 20$, $4T_{SMP} + 20$, $5T_{SMP} + 20$ のいずれかの値
 T_{SMP} : ノイズ除去サンプリング・クロック周期
 デジタル・ノイズ・フィルタを通過後の信号が、タイマ・マクロの PCLK 1 クロックよりも長い幅になるように設定してください。
- b) タイマ・マクロの PCLK 1 クロック + 20

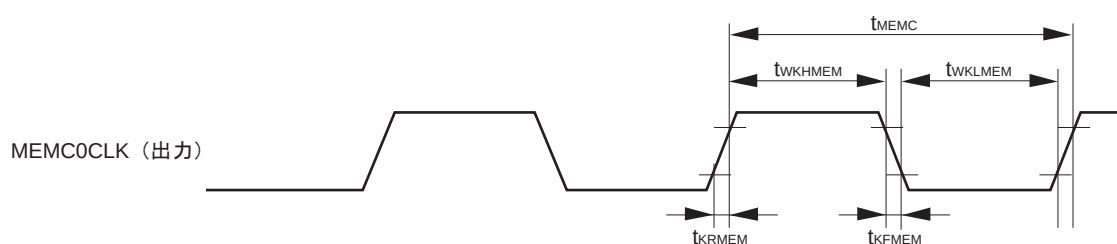


7.6 マルチプレクス・バス・タイミング

表 7-6 MEMC クロック・タイミング

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
MEMC0CLK 出力周期	t_{MEMC}		25			ns
MEMC0CLK ハイ・レベル幅	t_{WKHMEM}		$t_{MEMC}/2 - 10$			ns
MEMC0CLK ロウ・レベル幅	t_{WKLMEM}		$t_{MEMC}/2 - 10$			ns
MEMC0CLK 立ち上がり時間	t_{KRMEM}				10	ns
MEMC0CLK 立ち下がり時間	t_{KFMEM}				10	ns

備考 上記スペックは、SSCG による変調を含みません。



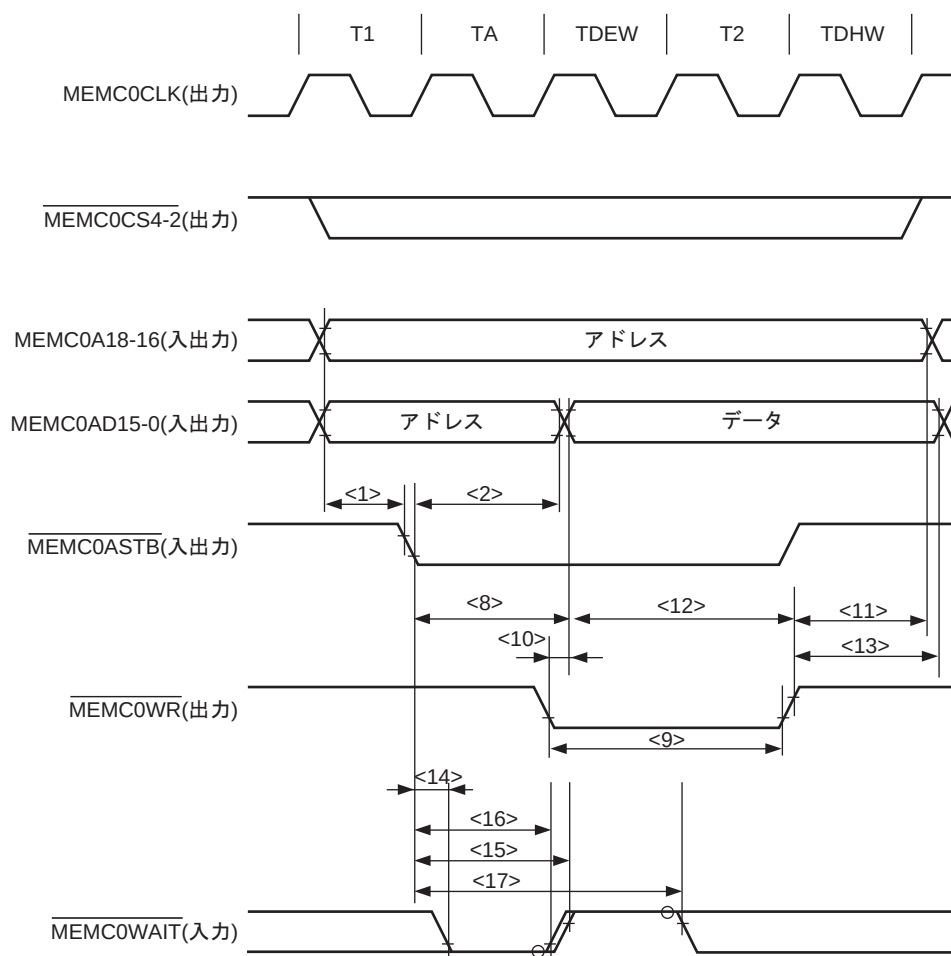
7.6.1 MEMC0CLK 非同期タイミング（リード／ライト・サイクル）

表 7-7 MEMC0CLK 非同期タイミング（リード／ライト・サイクル）

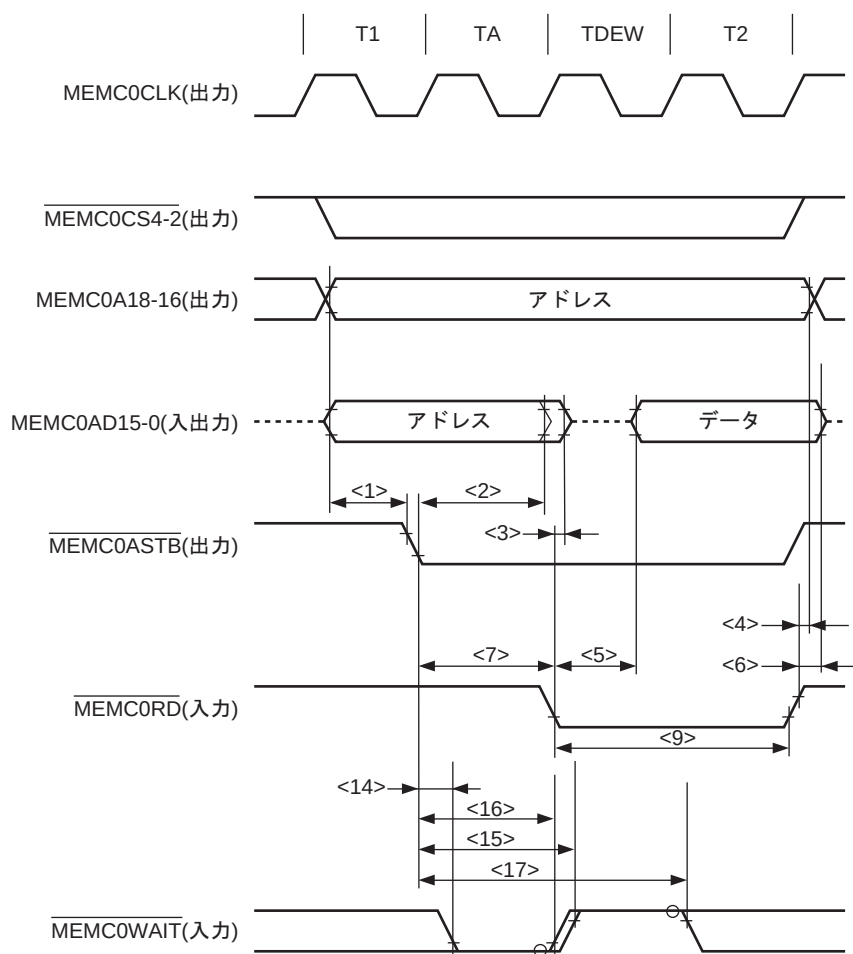
項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
バス動作周期	T		25			ns
アドレス・セットアップ時間 (対 MEMC0ASTB ↓)	tsAST	<1>	$(1 + ASW) T - 15$			ns
アドレス・ホールド時間 (対 MEMC0ASTB ↓)	thSTA	<2>	$(1 + AHW) T - 15$			ns
MEMC0RD ↓→アドレス・ フロート遅延時間	tFRDA	<3>			6	ns
アドレス・ホールド時間 (対 MEMC0RD ↑)	thRDA	<4>	0			ns
MEMC0RD ↓→データ入力 遅延時間	tDRDID	<5>	6		$(1 + w) T - 35$	ns
データ入力ホールド時間 (対 MEMC0RD ↑)	thRDID	<6>	0			ns
MEMC0ASTB ↓→MEMC0RD ↓遅延時間	tdSTRD	<7>	$(1 + AHW) T - 15$			ns
MEMC0ASTB ↓→MEMC0WR ↓遅延時間	tdSTWR	<8>	$(1 + AHW) T - 15$			ns
MEMC0RD, MEMC0WR ロウ・レベル幅	tWRDST	<9>	$(1 + w) T - 10$			ns
MEMC0WR ↓→データ出力 遅延時間	tdWROD	<10>			10	ns
アドレス・ホールド保持時間 (対 MEMC0WR ↑)	thWRA	<11>	$T - 15$			ns
データ出力セットアップ時間 (対 MEMC0WR ↑)	tsODWR	<12>	$(1 + w) T - 15$			ns
データ出力ホールド時間 (MEMC0WR ↑)	thWROD	<13>	$T - 15$			ns
MEMC0WAIT セットアップ時間 (対 MEMC0ASTB ↓)	tsSWT1	<14>			$(1 + AHW) T - (2HEAPCK + 35)$	ns
	tsSWT2	<15> $w \geq 1$			$(1 + W + AHW) T - (2HEAPCK + 35)$	ns
MEMC0WAIT ホールド時間 (対 MEMC0ASTB ↓)	thSWT1	<16> $w \geq 1$	$(w + AHW) T - (2HEAPCLK + 20)$			ns
	thSWT2	<17> $w \geq 1$	$(1 + w + AHW) T - (2HEAPCLK + 20)$			ns

- 備考
1. ASW : マルチプレクス・バスのアドレス・セットアップ・ウェイト数
 2. AHW : マルチプレクス・バスのアドレス・ホールド・ウェイト数
 3. w : データ・ウェイト数
 4. HEAPCLK : CPU クロック周波数
 5. T が 41ns 以下の時, t_{DRDID} は少なくとも一回のデータウェイト数を必要とします。(w = 1)

- マルチプレクス・バス・モード時 ライト・サイクル（非同期タイミング：1 データ・ウェイト）



- マルチプレクス・バス・モード時 リード・サイクル（非同期タイミング：1 データ・ウェイト）

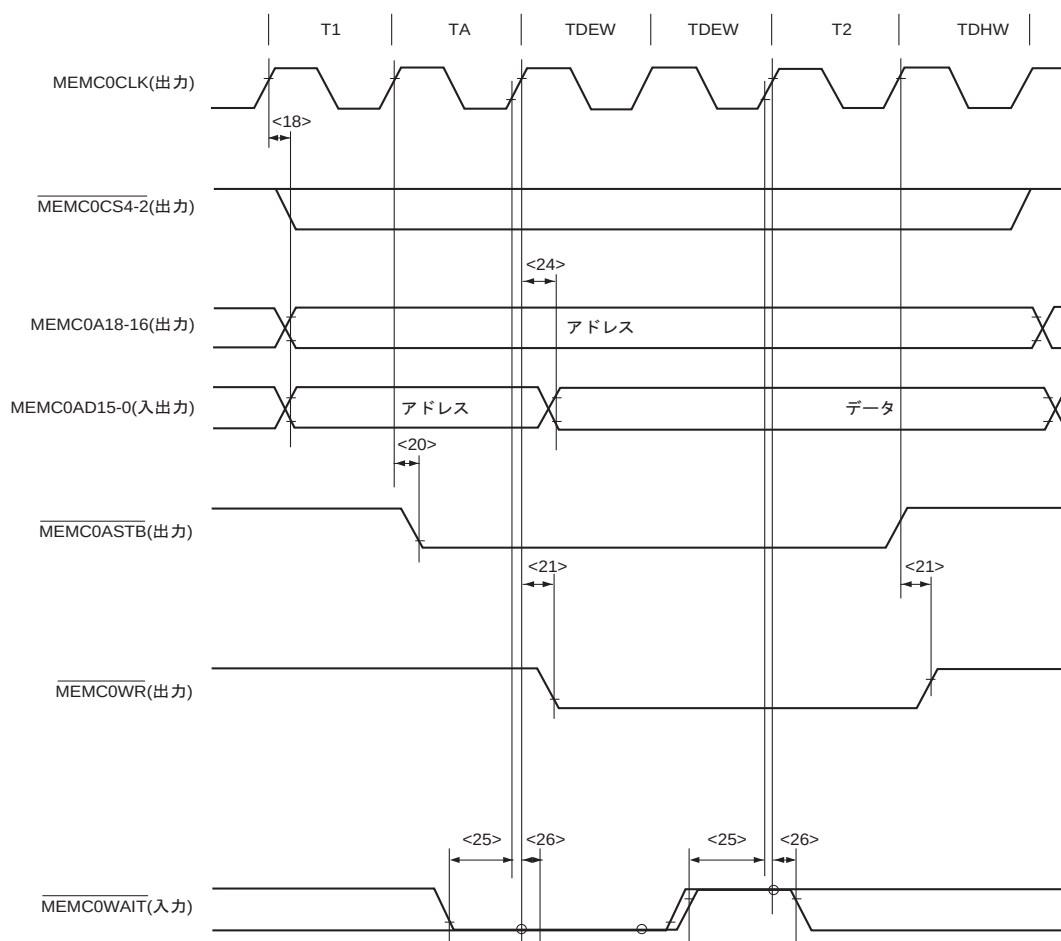


7.6.2 MEMC0CLK同期タイミング（リード／ライト・サイクル）

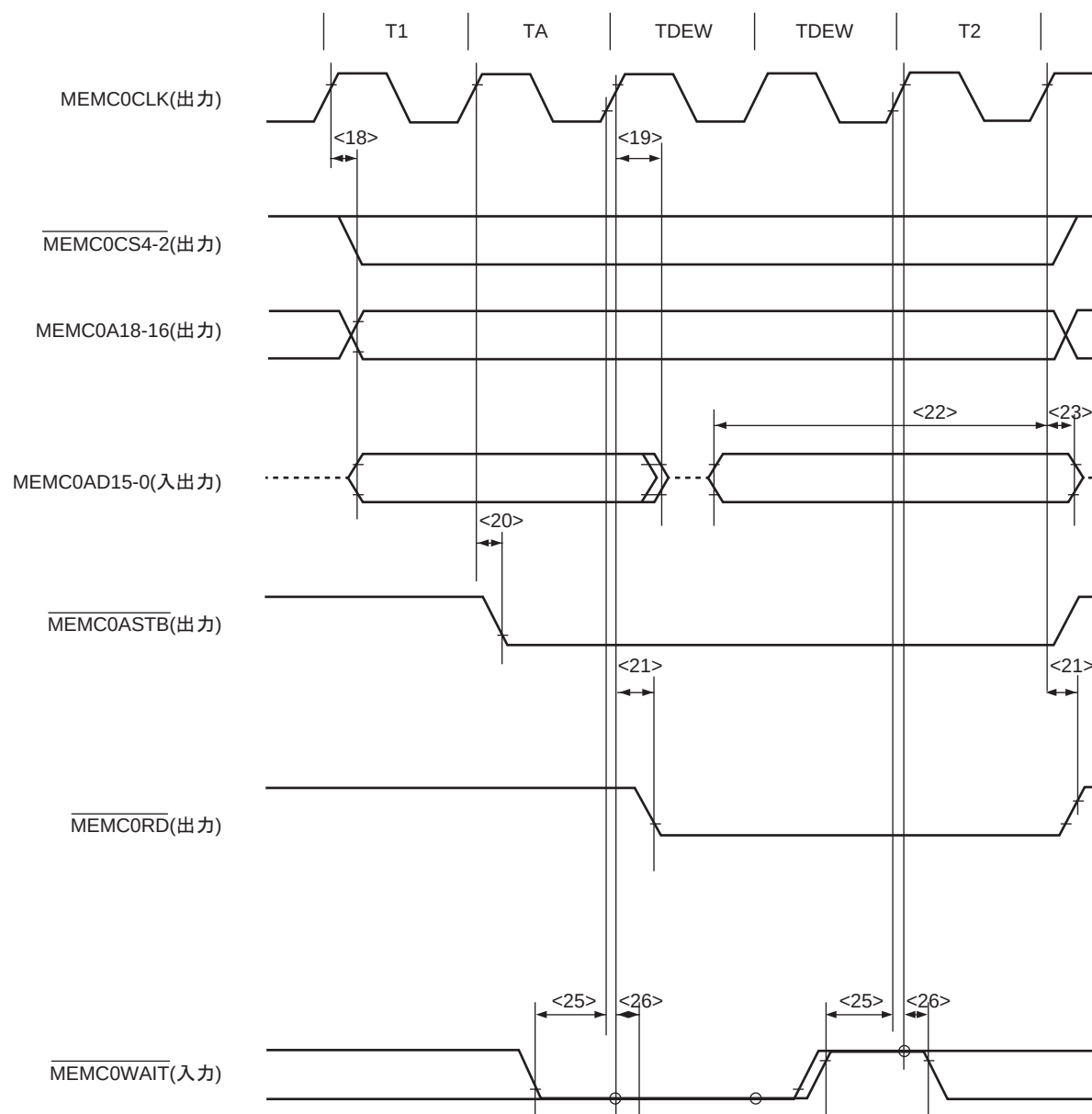
表 7-8 MEMC0CLK 同期タイミング（リード／ライト・サイクル）

項 目	略 号		条 件	MIN.	TYP.	MAX.	単位
バス動作周期	T			25			ns
MEMC0CLK ↑→アドレス遅延時間	t _{DKA}	<18>		0		12	ns
MEMC0CLK ↑→アドレス・フロート遅延時間	t _{FKA}	<19>		0		12	ns
MEMC0CLK ↑→MEMC0ASTB ↓遅延時間	t _{DKST}	<20>		0		11	ns
MEMC0CLK ↑→MEMC0RD, MEMC0WR 遅延時間	t _{DKRDWR}	<21>		− 2.5		6	ns
データ入力セットアップ時間 (対 MEMC0CLK ↑)	t _{SIDK}	<22>		10			ns
データ入力ホールド時間 (対 MEMC0CLK ↑)	t _{HKID}	<23>		2.5			ns
MEMC0CLK ↑→データ出力遅延時間	t _{DKOD}	<24>				11	ns
MEMC0WAIT セットアップ時間 (対 MEMC0CLK ↑)	t _{SWTK}	<25>	3.5 V ≤ B0VDD ≤ 5.5 V	23			ns
			V _{POC} ≤ B0VDD < 3.5 V	27			ns
MEMC0WAIT ホールド時間 (対 MEMC0CLK ↑)	t _{HKWT}	<26>		2.5			ns

• ライト・サイクル (2 データ・ウェイト) : マルチプレクス・バス・モード時



• リード・サイクル (2 データ・ウェイト) : マルチプレクス・バス・モード時



7.7 CSI タイミング

7.7.1 CSIG タイミング (マスタ・モード)

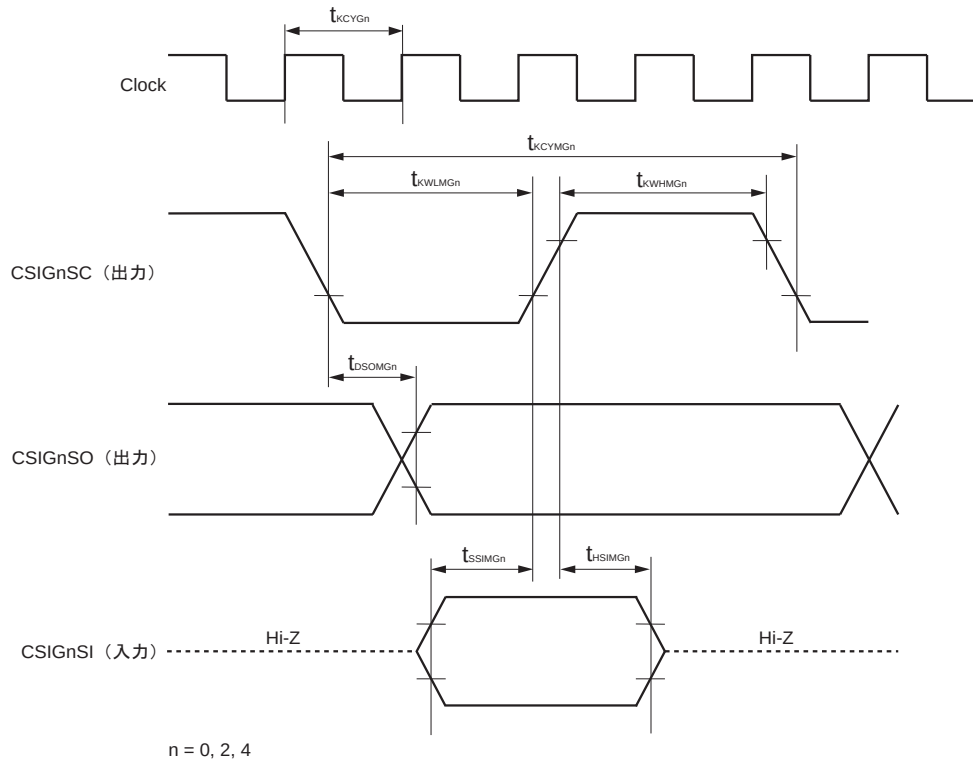
表 7-9 CSIG タイミング (マスタ・モード)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
CSIG 動作クロック・サイクル・タイム	t_{KCYGn}		12.5			ns
CSIGnSC サイクル・タイム	t_{KCYMGn}		100			ns
CSIGnSC ハイ・レベル幅	t_{KWHMGn}		$0.5t_{KCYMGn} - 10$			ns
CSIGnSC ロウ・レベル幅	t_{KWLMGn}		$0.5t_{KCYMGn} - 10$			ns
CSIGnSI セットアップ時間 (対 CSIGnSC)	t_{SSIMGn}	CSIGnSC 端子の PDSC 設定が 1 のとき	30			ns
		CSIGnSC 端子の PDSC 設定が 0 のとき	38			ns
CSIGnSI ホールド時間 (対 CSIGnSC)	t_{HSIMGn}		0			ns
CSIGnSC → CSIGnSO 出力 遅延時間	t_{DSOMGn}				7	ns
CSIGnRYI セットアップ時間 (対 CSIGnSC)	t_{SRYIGn}	CSIGnCTL1.CSIGnSIT ビット = 0 または 1, CSIGnCTL1.CSIGnHSE ビット = 1	$2t_{KCYGn} + 25$			ns
CSIGnRYI ハイ・レベル幅	t_{WRYIGn}	CSIGnCTL1.CSIGnHSE ビット = 1	$t_{KCYGn} - 5.0$			ns

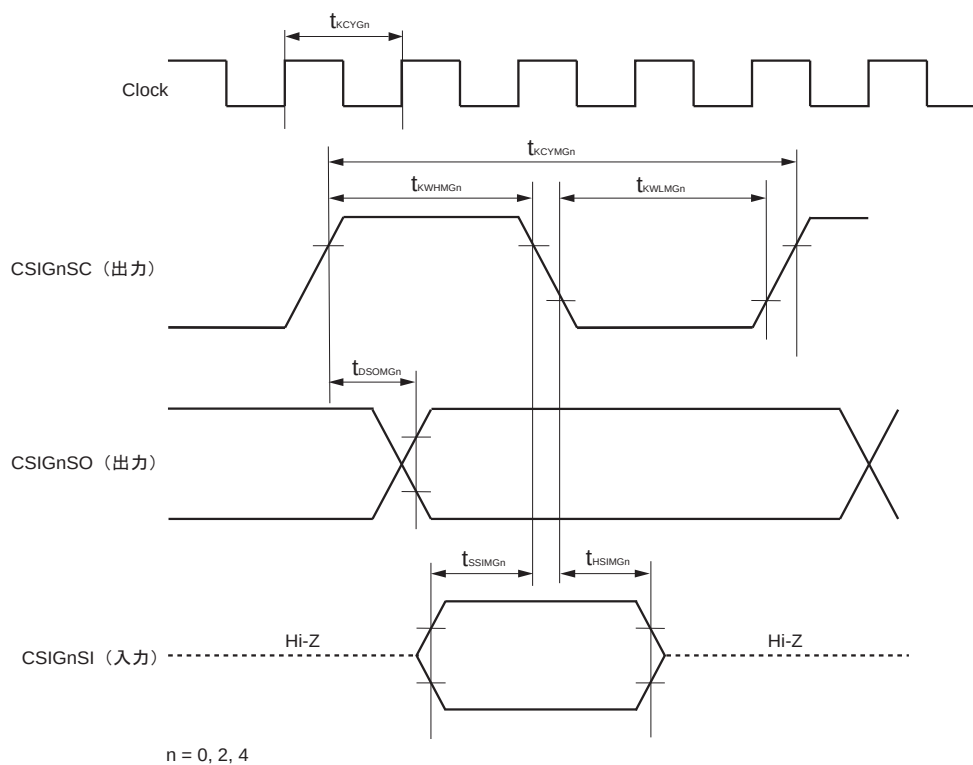
備考 n = 0, 2, 4

(1) CSIGnSC, CSIGnSO, CSIGnSI 端子 (マスタ・モード)

- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 0 の場合, または
CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 1 の場合

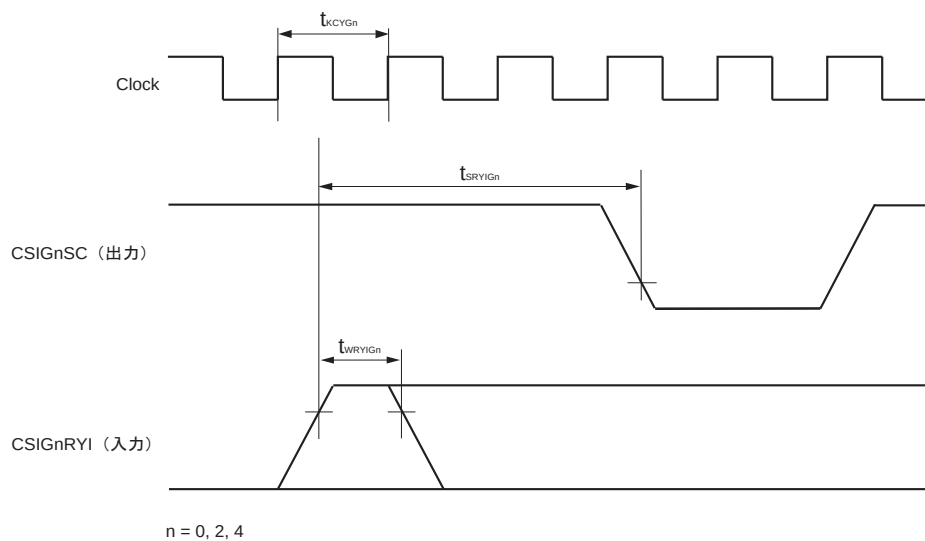


- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 1 の場合, または
CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 0 の場合

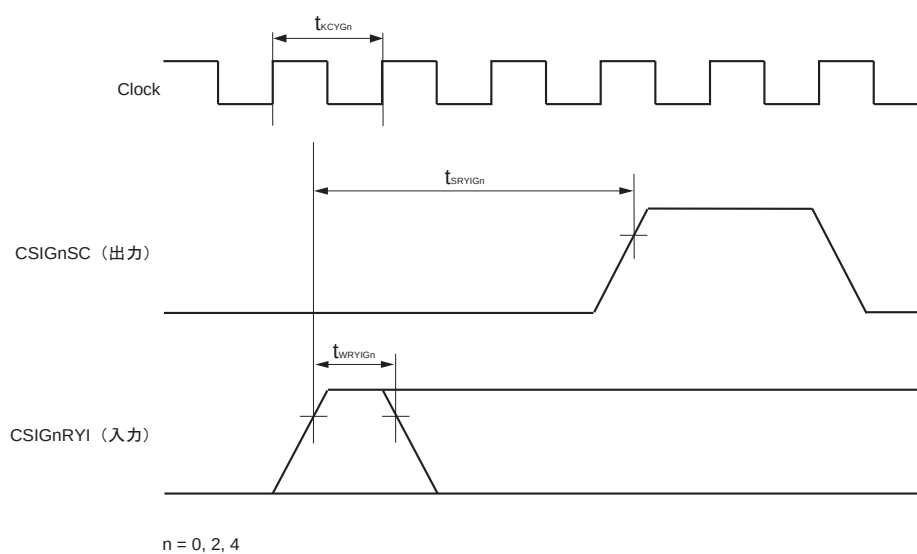


(2) CSIGnRYI 端子 (マスタ・モード)

- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCTL1.CSIGnSIT ビット = 0, CSIGnCTL1.CSIGnHSE ビット = 1 の場合



- CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCTL1.CSIGnSIT ビット = 0, CSIGnCTL1.CSIGnHSE ビット = 1 の場合



7.7.2 CSIG タイミング (スレーブ・モード)

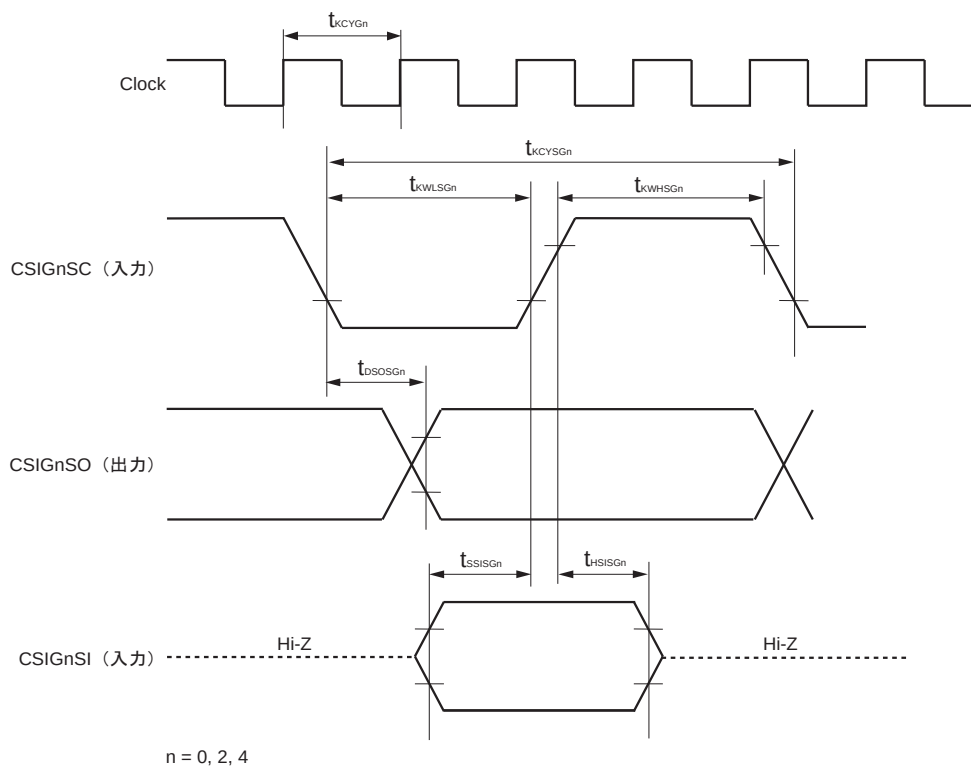
表 7-10 CSIG タイミング (スレーブ・モード)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
CSIG 動作クロック・ サイクル・タイム	t_{KCYGn}		12.5			ns
CSIGnSC サイクル・タイム	t_{KCYSGn}		200			ns
CSIGnSC ハイ・レベル幅	t_{KWHSGn}		$0.5t_{KCYSGn} - 10$			ns
CSIGnSC ロウ・レベル幅	t_{KWLSGn}		$0.5t_{KCYSGn} - 10$			ns
CSIGnSI セットアップ時間 (対 CSIGnSC)	t_{SSISGn}		20			ns
CSIGnSI ホールド時間 (対 CSIGnSC)	t_{HSISGn}		$t_{KCYGn} + 5.0$			ns
CSIGnSC → CSIGnSO 出力 遅延時間	t_{DSOSGn}				35	ns
CSIGnRYO 出力遅延時間	t_{SRYOGn}				35	ns
CSIGnSSI セットアップ時間 (対 CSIGnSC)	$t_{SSSISGn}$		$0.5t_{KCYSGn} - 5.0$			ns
CSIGnSSI ホールド時間 (対 CSIGnSC)	$t_{HSSISGn}$		$t_{KCYGn} + 5.0$			ns

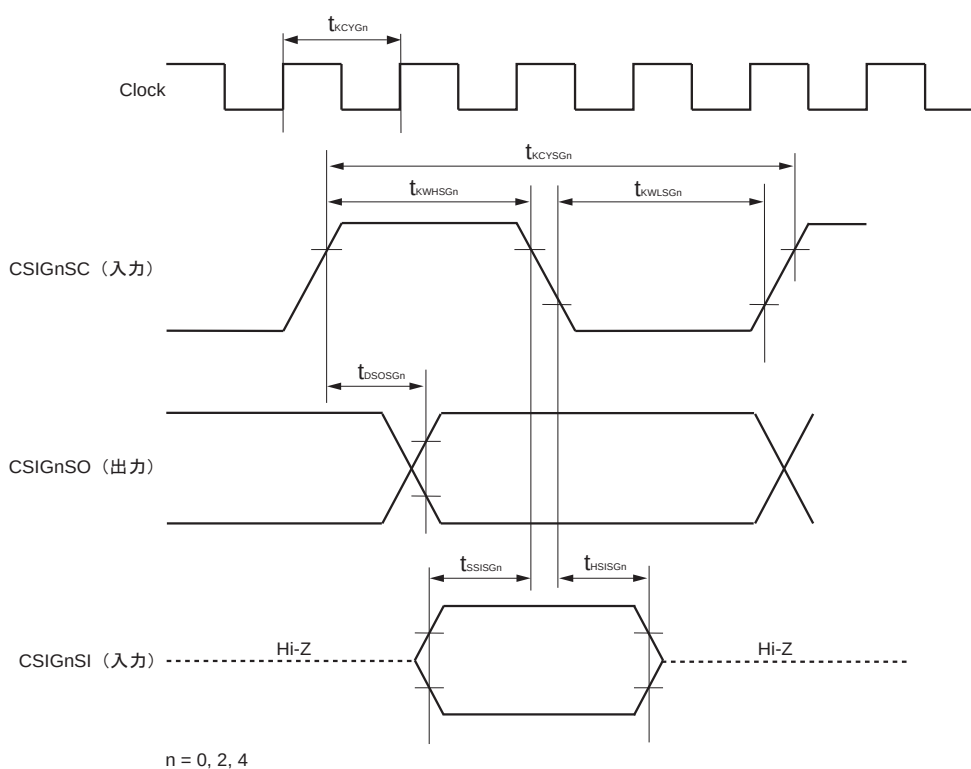
備考 $n = 0, 2, 4$

(1) CSIGnSC, CSIGnSO, CSIGnSI 端子 (スレーブ・モード)

- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 0 の場合, または CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 1 の場合

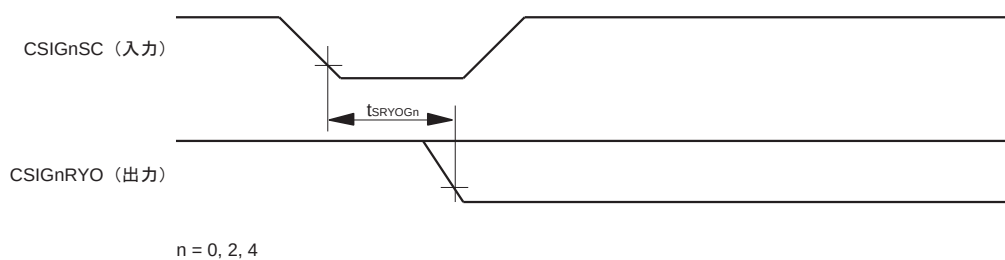


- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 1 の場合, または CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 0 の場合

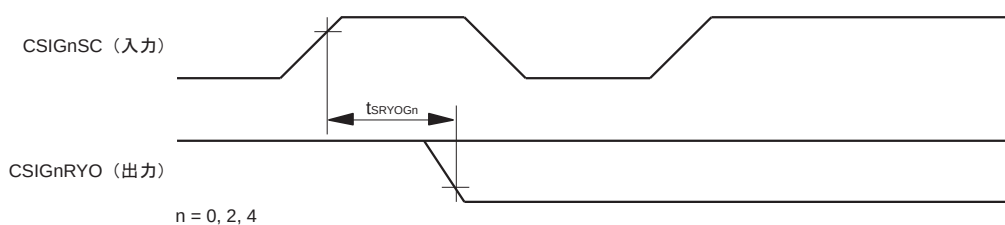


(2) CSIGnRYO 端子 (スレーブ・モード)

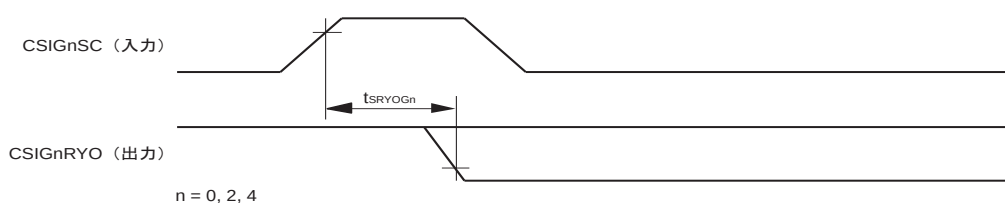
- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 0 の場合



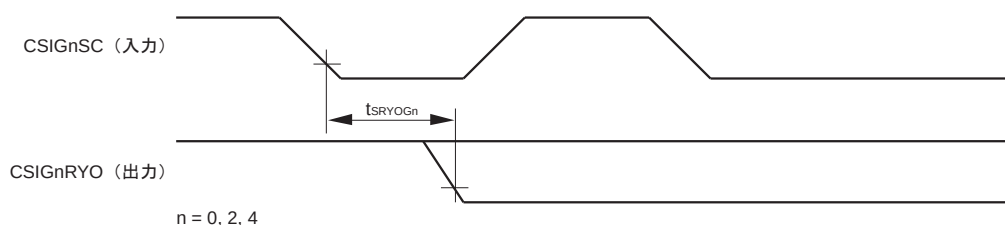
- CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 1 の場合



- CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 0 の場合

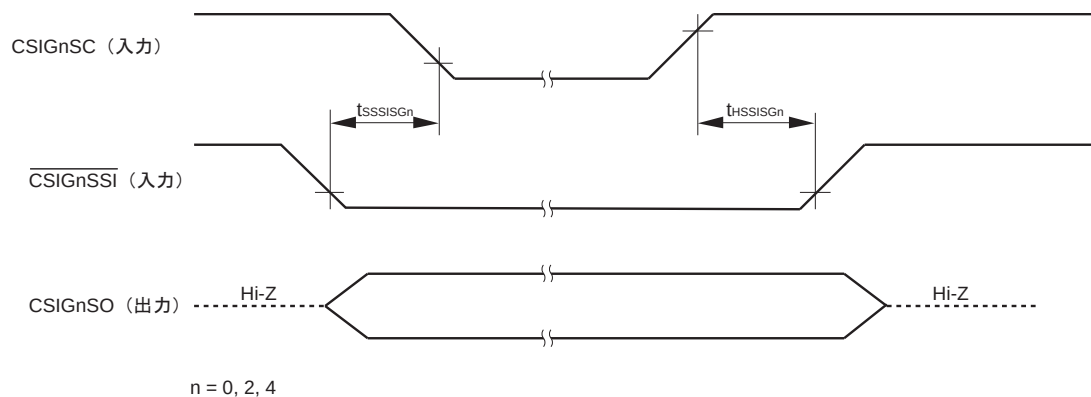


- CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 1 の場合

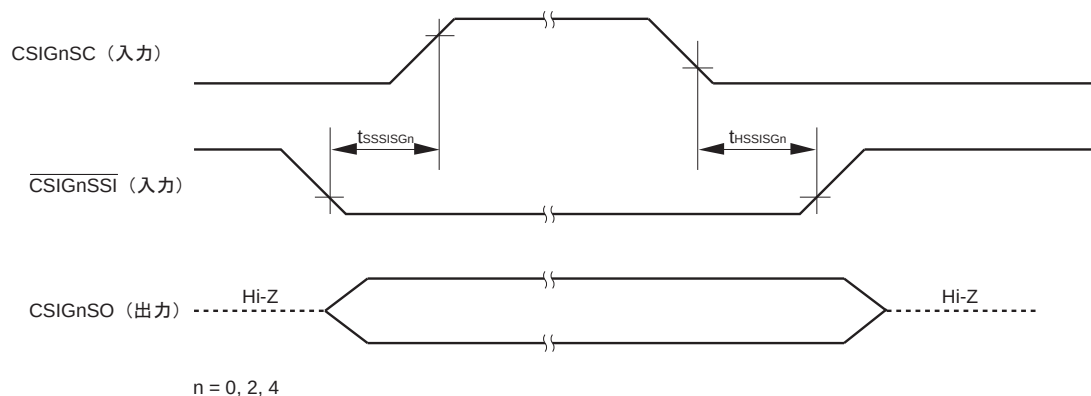


(3) CSIGnSSI 端子 (スレーブ・モード)

- CSIGnCTL1.CSIGnSSE ビット = 1, かつ
CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 0 の場合, または
CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 1 の場合



- CSIGnCTL1.CSIGnSSE ビット = 1, かつ
CSIGnCTL1.CSIGnCKR ビット = 0, CSIGnCFG0.CSIGnDAP ビット = 1 の場合, または
CSIGnCTL1.CSIGnCKR ビット = 1, CSIGnCFG0.CSIGnDAP ビット = 0 の場合



7.7.3 CSIH タイミング (マスタ・モード)

表 7-11 CSIH タイミング (マスタ・モード)

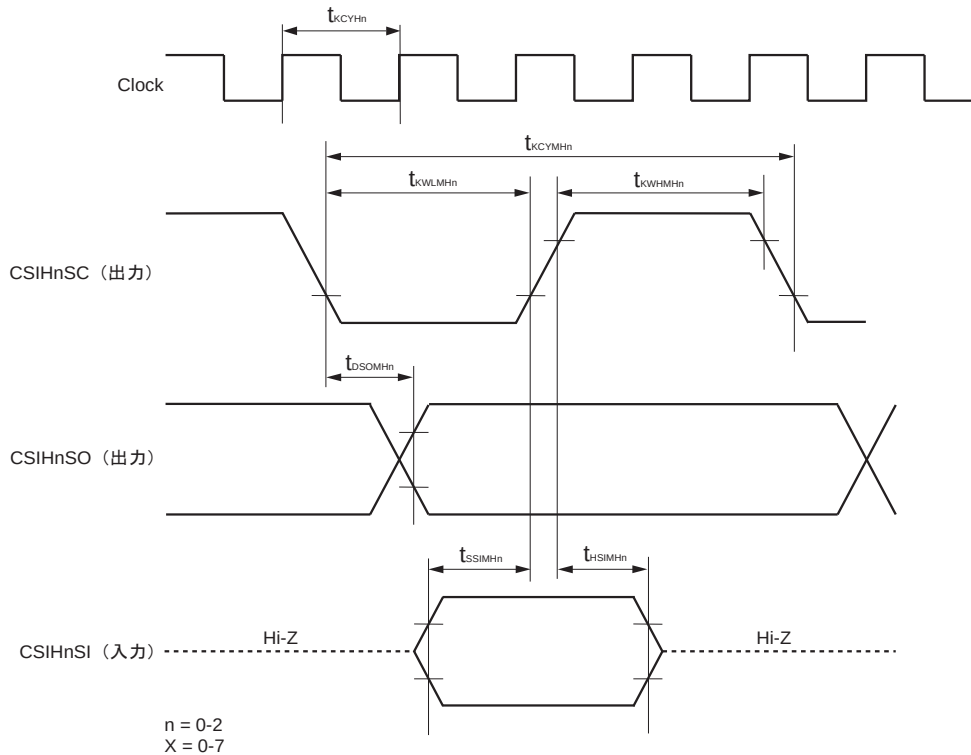
項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
CSIH 動作クロック・サイクル・タイム	t _{KCYHn}		12.5			ns
CSIHnSC サイクル・タイム	t _{KCYMHn}		100			ns
CSIHnSC ハイ・レベル幅	t _{KWHMHn}		0.5t _{KCYMHn} - 10			ns
CSIHnSC ロウ・レベル幅	t _{KWLMHn}		0.5t _{KCYMHn} - 10			ns
CSIHnSI セットアップ時間 (対 CSIHnSC)	t _{SSIMHn}	CSIHnSC 端子の PDSC 設定が 1 のとき	30			ns
		CSIHnSC 端子の PDSC 設定が 0 のとき	38			ns
CSIHnSI ホールド時間 (対 CSIHnSC)	t _{HSIMHn}		0			ns
CSIHnSC → CSIHnSO 出力 遅延時間	t _{DSOMHn}				7	ns
CSIHnRYI セットアップ時間 (対 CSIHnSC)	t _{SRYIHn}	CSIHnCTL1.CSIHnSIT ビット = 0 または 1 CSIHnCTL1.CSIHnHSE ビット = 1	2t _{KCYHn} + 25			ns
CSIHnRYI ハイ・レベル幅	t _{WRYIHn}	CSIHnCTL1.CSIHnHSE ビット = 1	t _{KCYHn} - 5.0			ns
CSIHnCSS0-CSIHnCSS7 インアクティブ幅	t _{WSCSBHn}		CSIDLE t _{KCYMHn} - 5.0			ns
CSIHnCSS0-CSIHnCSS7 セットアップ時間 (対 CSIHnSC)	t _{SSCSBHn0}	CSIHnCFGx.CSIHnDAP ビット = 0	CSSETUP t _{KCYMHn} - 5.0			ns
	t _{SSCSBHn1}	CSIHnCFGx.CSIHnDAP ビット = 1	(CSSETUP + 0.5) t _{KCYMHn} - 5.0			ns
CSIHnCSS0-CSIHnCSS7 ホールド時間 (対 CSIHnSC)	t _{HSCSBHn0}	CSIHnCTL1.CSIHnSIT ビット = 0	CSHOLD t _{KCYMHn} - 10			ns
	t _{HSCSBHn1}	CSIHnCTL1.CSIHnSIT ビット = 1	(CSHOLD + 0.5) t _{KCYMHn} - 5.0			ns

備考 1. n = 0-2
x = 0-7

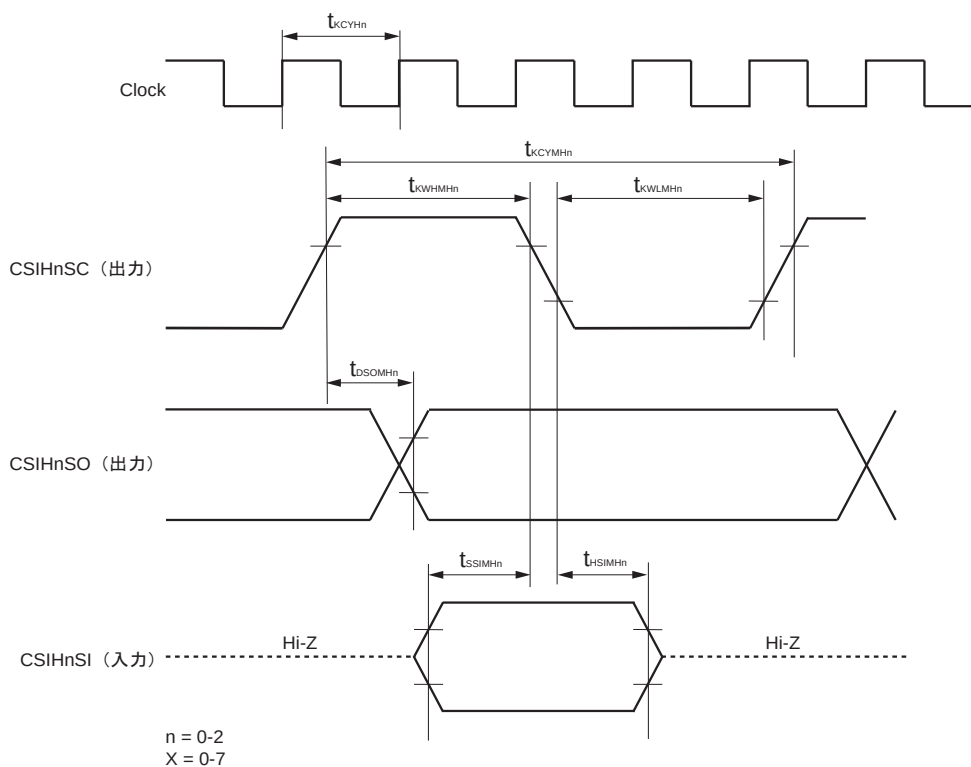
2. CSSETUP : CSIHnCFGx.CSIHnSPx[3:0] 設定値
3. CSHOLD : CSIHnCFGx.CSIHnHDx[3:0] 設定値
4. CSIDLE : CSIHnCFGx.CSIHnIDx[2:0] 設定値

(1) CSHnSC, CSHnSO, CSHnSI 端子 (マスタ・モード)

- CSIHnCFGx.CSIHnCKPx ビット = 0, CSHnDAPx ビット = 0 の場合, または CSHnCFGx.CSIHnCKPx ビット = 1, CSHnDAPx ビット = 1 の場合

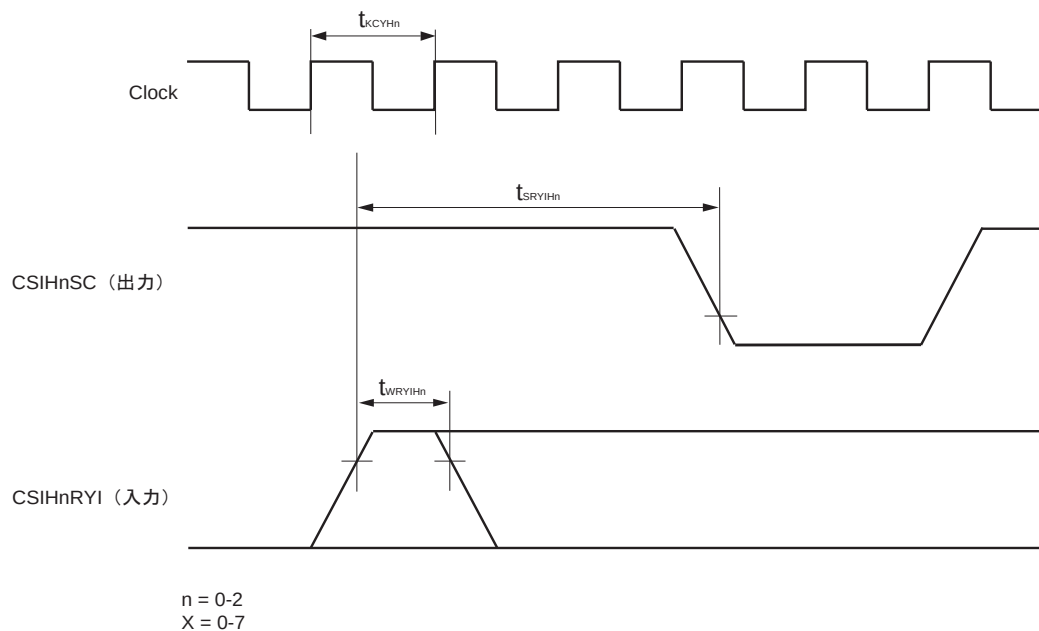


- CSIHnCFGx.CSIHnCKPx ビット = 0, CSHnDAPx ビット = 1 の場合, または CSHnCFGx.CSIHnCKPx ビット = 1, CSHnDAPx ビット = 0 の場合

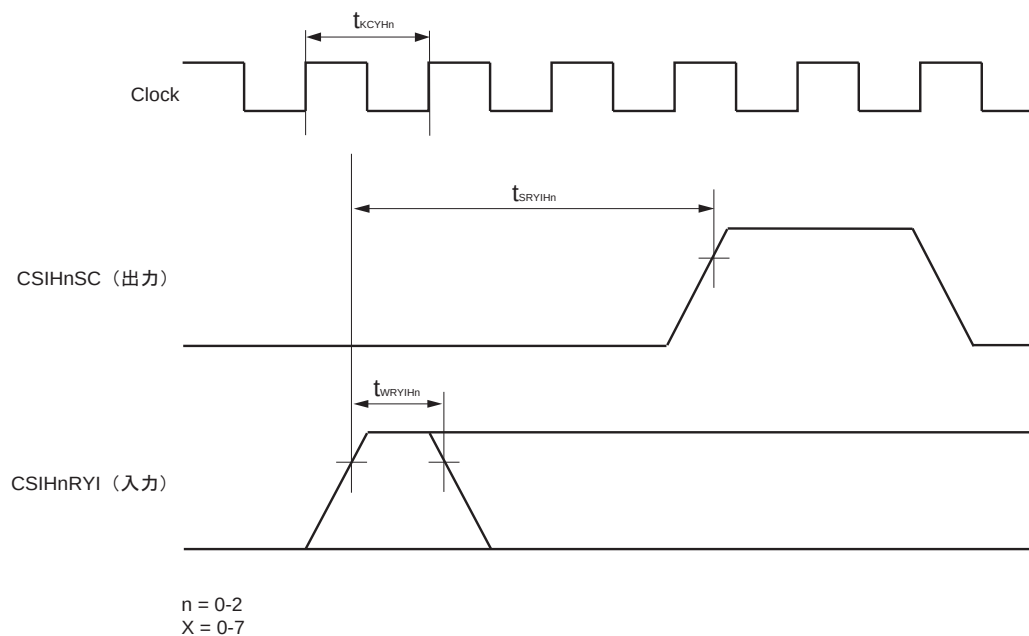


(2) CSIHnRYI 端子 (マスタ・モード)

- CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnCTL1.CSIHnSIT ビット = 0, CSIHnCTL1.CSIHnHSE ビット = 1 の場合

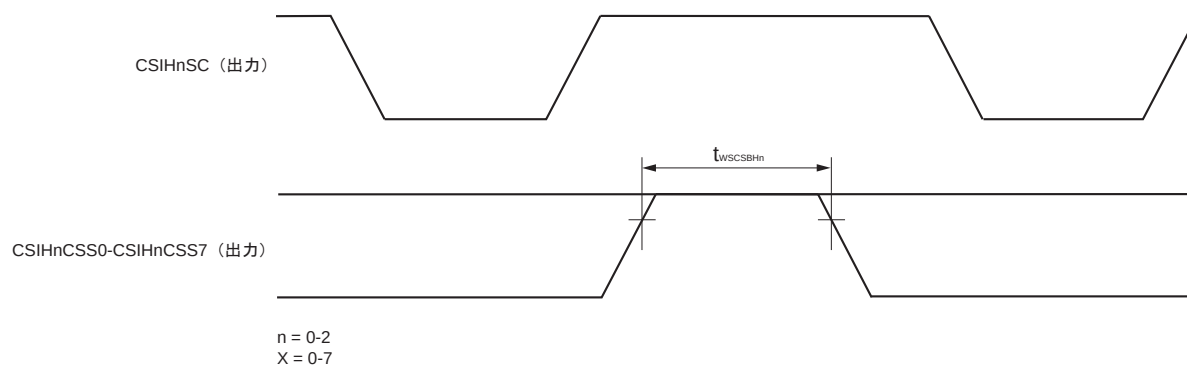


- CSIHnCFGx.CSIHnCKPx ビット = 1, CSIHnCTL1.CSIHnSIT ビット = 0, CSIHnCTL1.CSIHnHSE ビット = 1 の場合



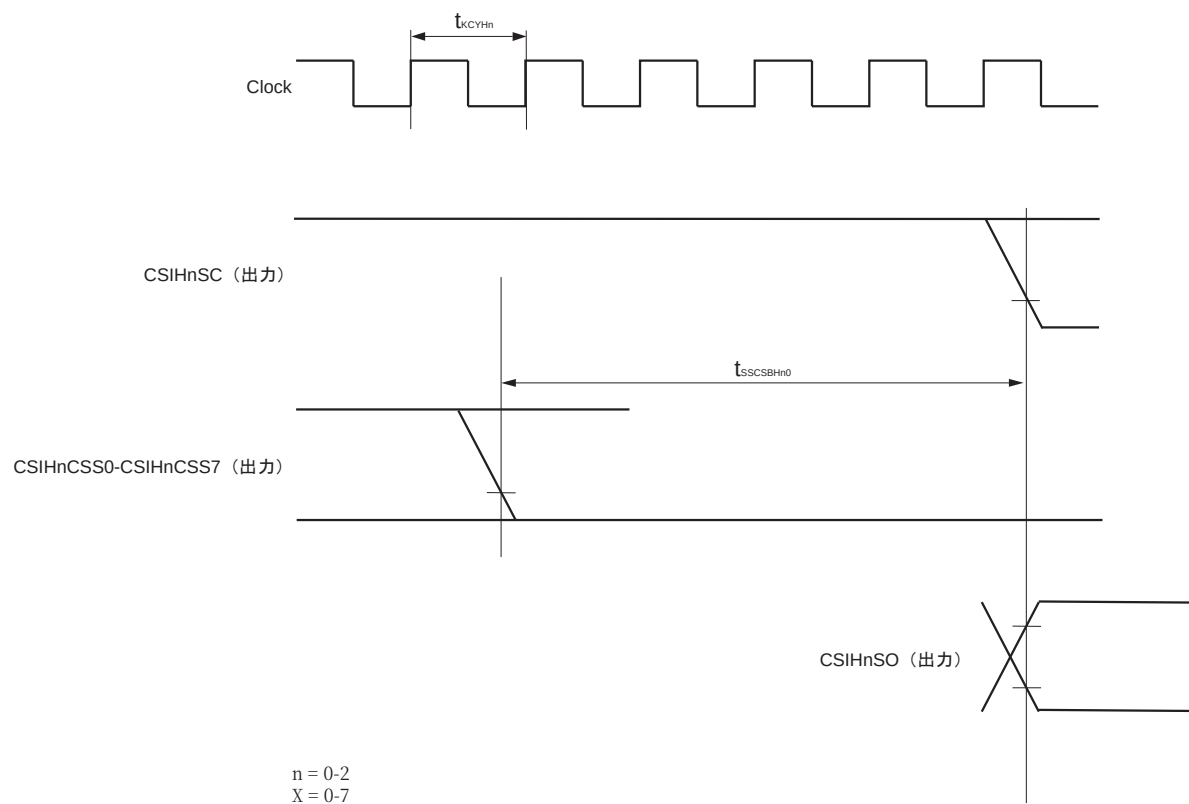
(3) CSHnCSS0-CSHnCSS7 端子 (マスタ・モード) : インアクティブ幅

- CSHnCFGx.CSHnCKPx ビット = 0, CSHnDAPx ビット = 0 の場合

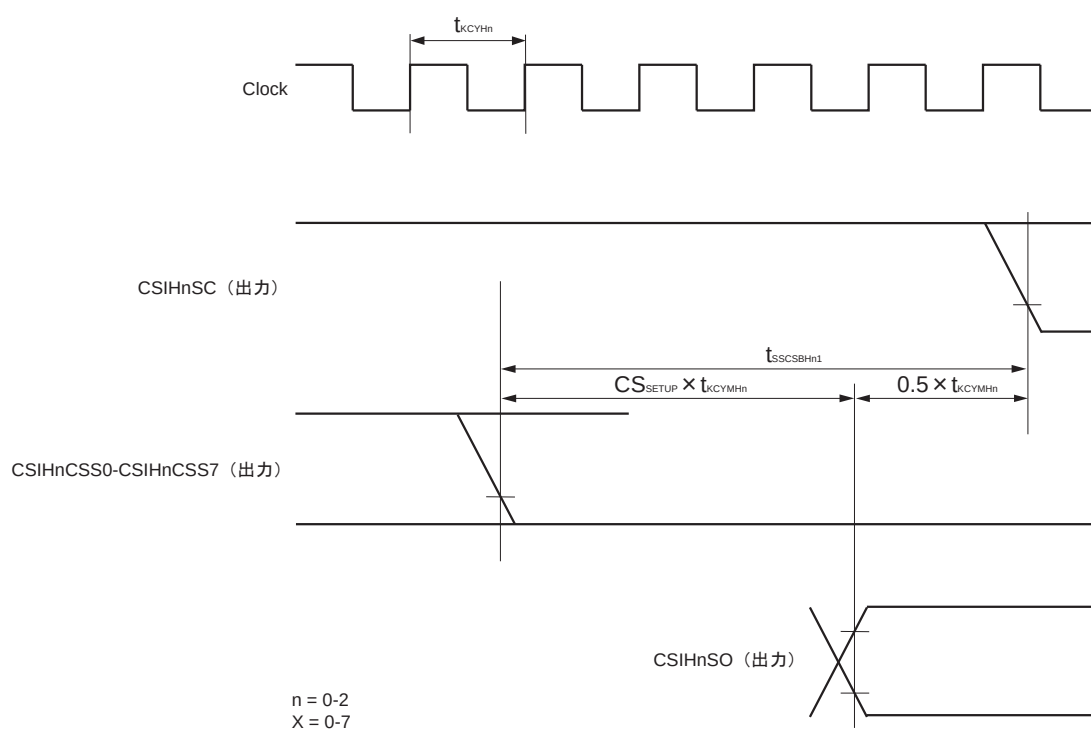


(4) CSIHnCSS0-CSIHnCSS7 端子 (マスタ・モード) : セットアップ時間

- CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnDAPx ビット = 0 の場合

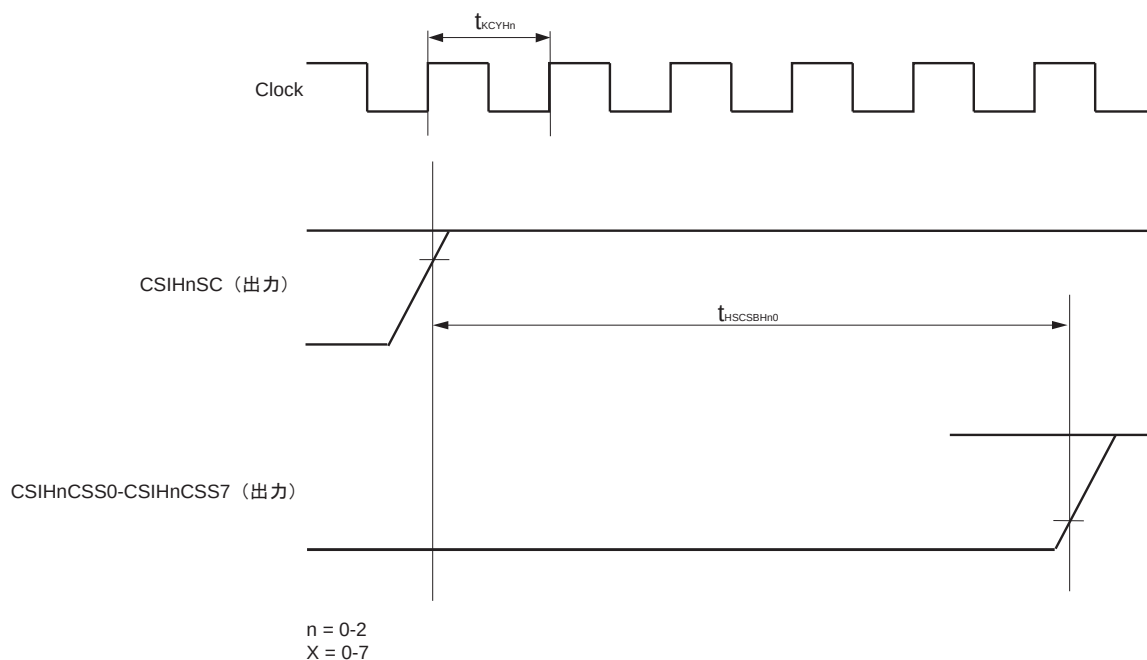


- CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnDAPx ビット = 1 の場合

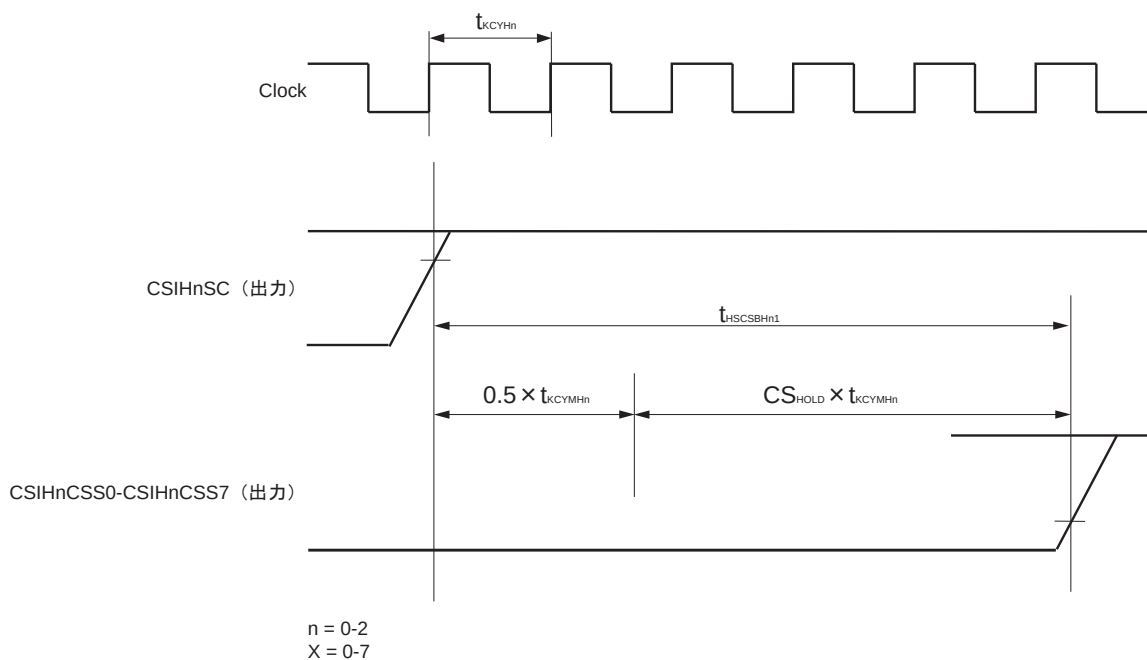


(5) CSIHnCSS0-CSIHnCSS7 端子 (マスタ・モード) : ホールド時間

- CSIHnCTL1.CSIHnSIT ビット = 0, かつ
CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnDAPx ビット = 0 の場合



- CSIHnCTL1.CSIHnSIT ビット = 1, かつ
CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnDAPx ビット = 0 の場合



7.7.4 CSIH タイミング (スレーブ・モード)

表 7-12 CSIH タイミング (スレーブ・モード)

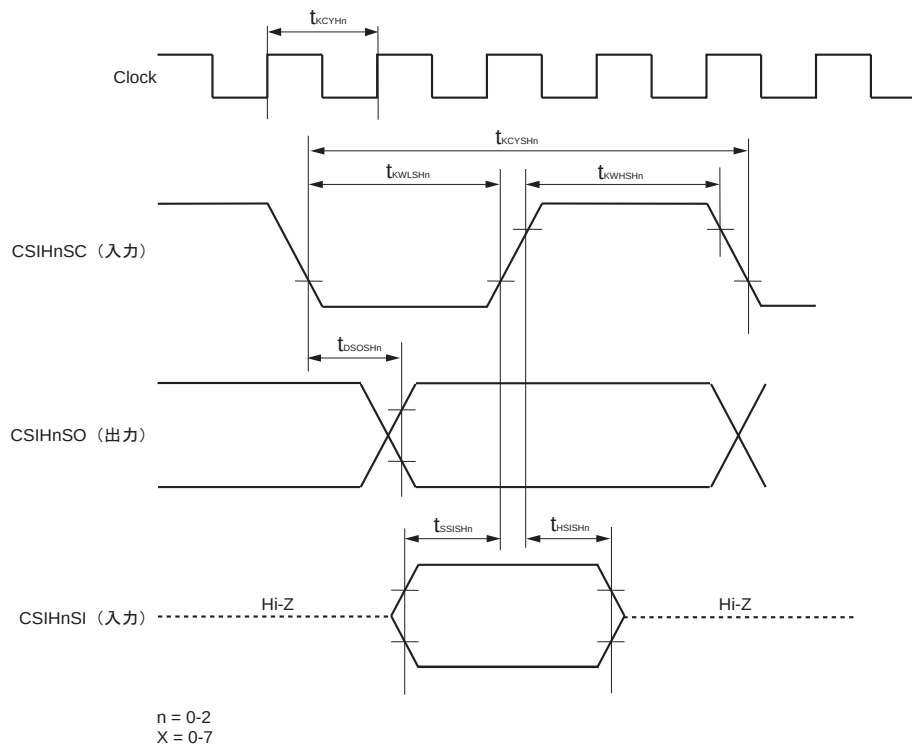
項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
CSIH 動作クロック・ サイクル・タイム	t_{KCYHn}		12.5			ns
CSIHnSC サイクル・タイム	t_{KCYSHn}		200			ns
CSIHnSC ハイ・レベル幅	t_{KWHSHn}		$0.5t_{KCYSHn} - 10$			ns
CSIHnSC ロウ・レベル幅	t_{KWLSHn}		$0.5t_{KCYSHn} - 10$			ns
CSIHnSI セットアップ時間 (対 CSIHnSC)	t_{SSISHn}		20			ns
CSIHnSI ホールド時間 (対 CSIHnSC)	t_{HSISHn}		$t_{KCYHn} + 5.0$			ns
CSIHnSC → CSIHnSO 出力 遅延時間	t_{DSOSHn}				35	ns
CSIHnRYO 出力遅延時間	t_{SRYOHn}				35	ns
CSIHnSSI セットアップ時間 (対 CSIHnSC)	$t_{SSSISHn}$		$0.5t_{KCYSHn} - 5.0$			ns
CSIHnSSI ホールド時間 (対 CSIHnSC)	$t_{HSSISHn}$		$t_{KCYHn} + 5.0$			ns

備考 n = 0-2

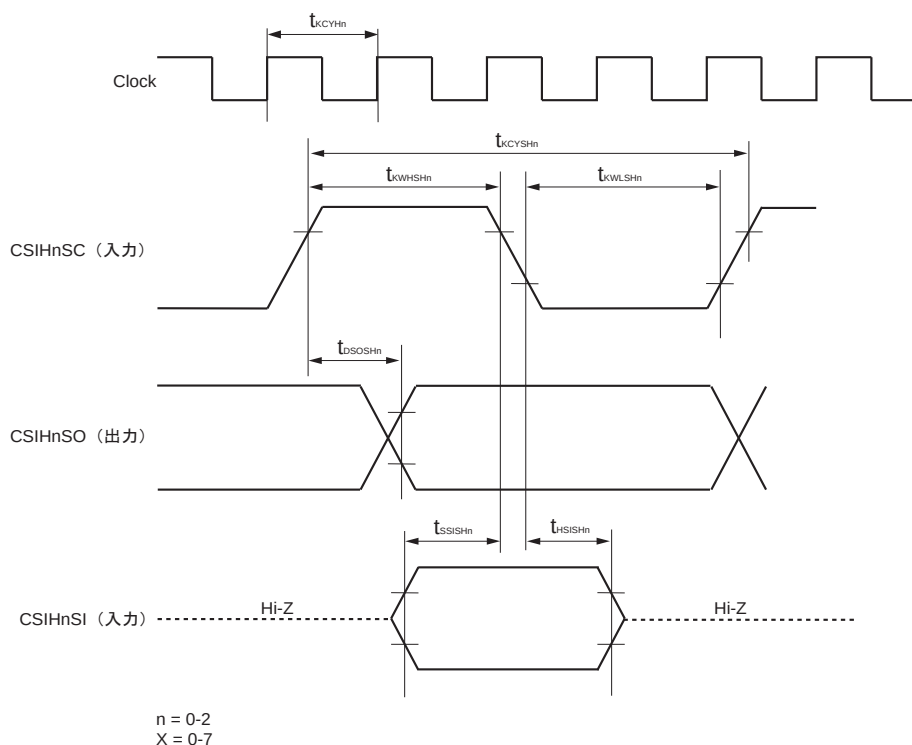
x = 0-7

(1) CSHnSC, CSHnSO, CSHnSI 端子 (スレーブ・モード)

- CSIHnCFGx.CSIHnCKPx ビット = 0, CSHnDAPx ビット = 0 の場合, または CSHnCFGx.CSIHnCKPx ビット = 1, CSHnDAPx ビット = 1 の場合

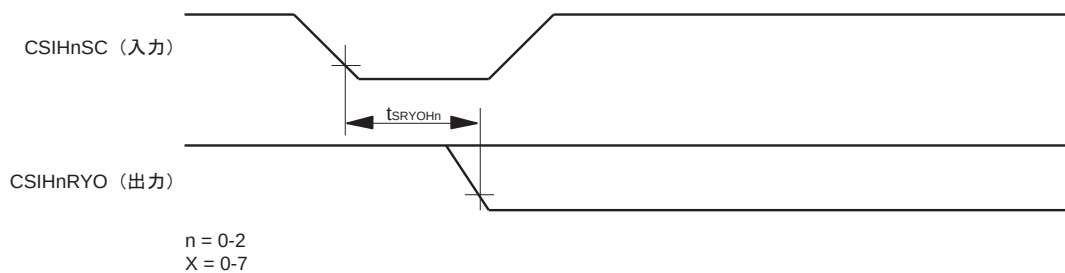


- CSIHnCFGx.CSIHnCKPx ビット = 0, CSHnDAPx ビット = 1 の場合, または CSHnCFGx.CSIHnCKPx ビット = 1, CSHnDAPx ビット = 0 の場合

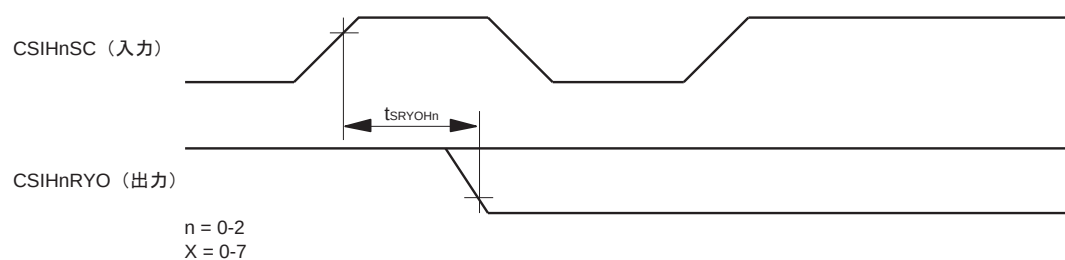


(2) CSIHnRYO 端子 (スレーブ・モード)

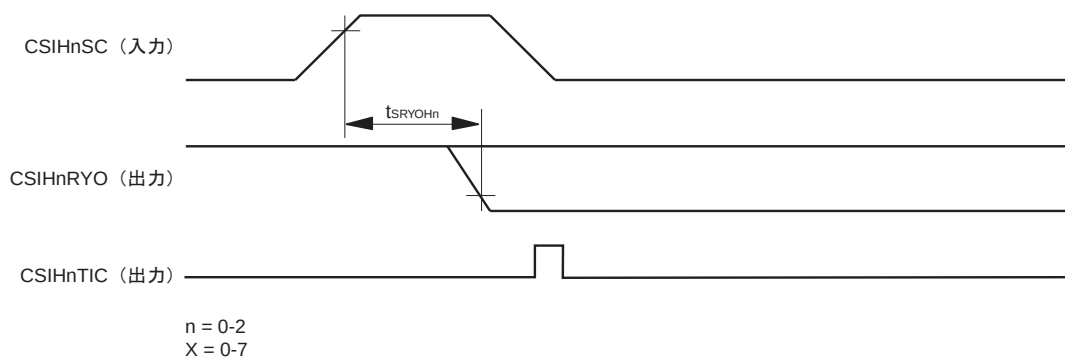
- CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnDAPx ビット = 0 の場合



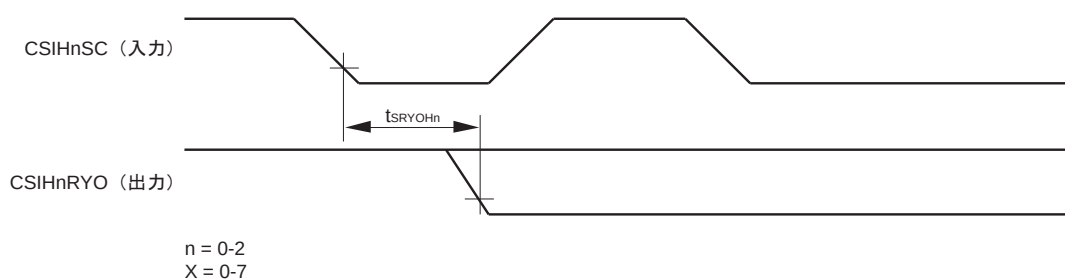
- CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnDAPx ビット = 1 の場合



- CSIHnCFGx.CSIHnCKPx ビット = 1, CSIHnDAPx ビット = 0 の場合

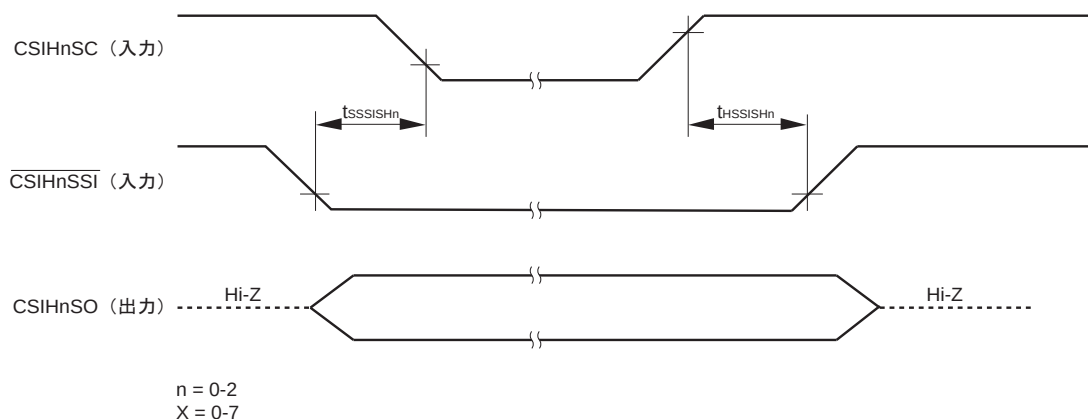


- CSIHnCFGx.CSIHnCKPx ビット = 1, CSIHnDAPx ビット = 11 の場合

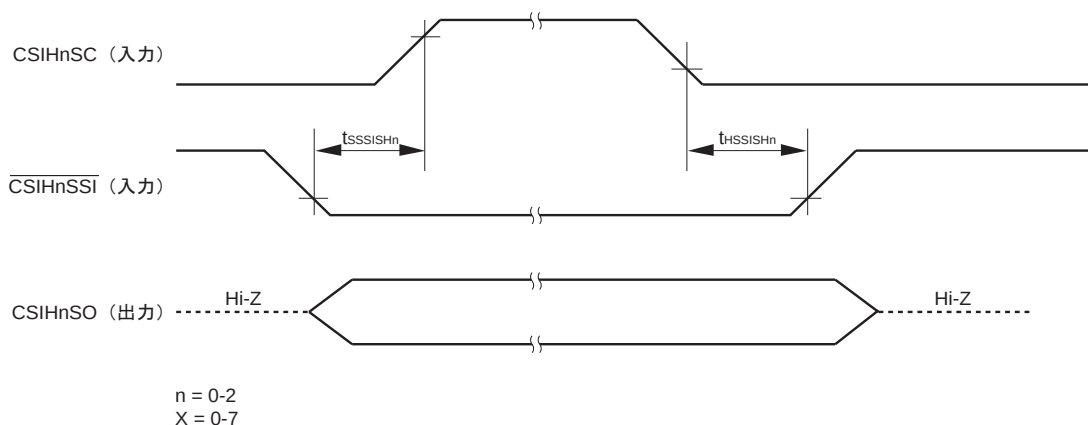


(3) $\overline{\text{CSIHnSSI}}$ 端子 (スレーブ・モード)

- CSIHnCTL1.CSIHnSSE ビット = 1, かつ
CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnDAPx ビット = 0 の場合, または
CSIHnCFGx.CSIHnCKPx ビット = 1, CSIHnDAPx ビット = 1 の場合



- CSIHnCTL1.CSIHnSSE ビット = 1, かつ
CSIHnCFGx.CSIHnCKPx ビット = 0, CSIHnDAPx ビット = 1 の場合, または
CSIHnCFGx.CSIHnCKPx ビット = 1, CSIHnDAPx ビット = 0 の場合



7.8 UARTE タイミング

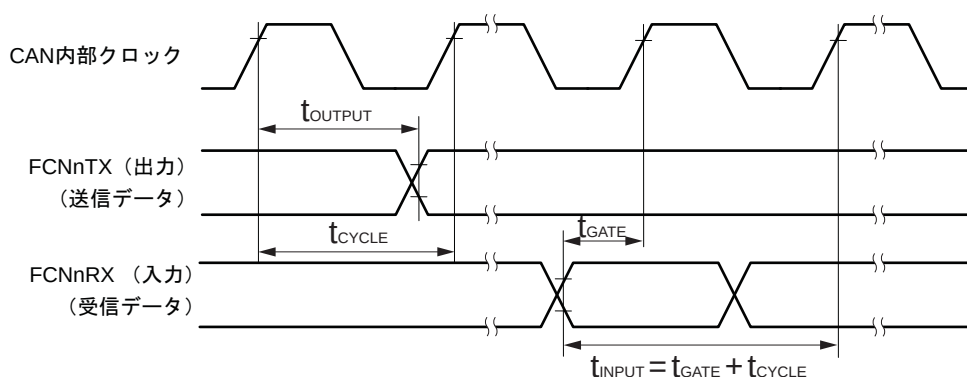
表 7-13 UARTE タイミング

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
転送レート					1.5	Mbps

7.9 CAN (FCN) タイミング

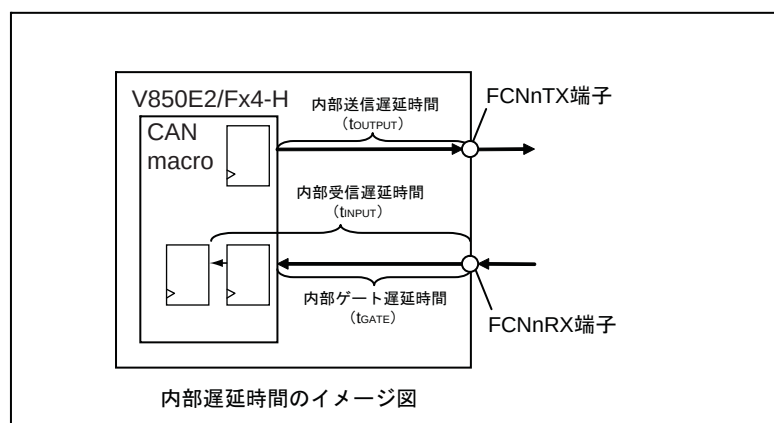
表 7-14 CAN (FCN) タイミング

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
転送レート					1	Mbps
内部遅延時間	t_{INTDEL}				37.5	ns
CAN ノード遅延時間	t_{NODE}	$t_{CYCLE} = 62.5 \text{ ns}$			100	ns



CANノード遅延時間 (t_{NODE}) = 内部送信遅延時間 (t_{OUTPUT}) + 内部受信遅延時間 (t_{INPUT})

内部遅延時間 (t_{INTDEL}) = 内部ゲート遅延時間 (t_{GATE}) + 内部送信遅延時間 (t_{OUTPUT})

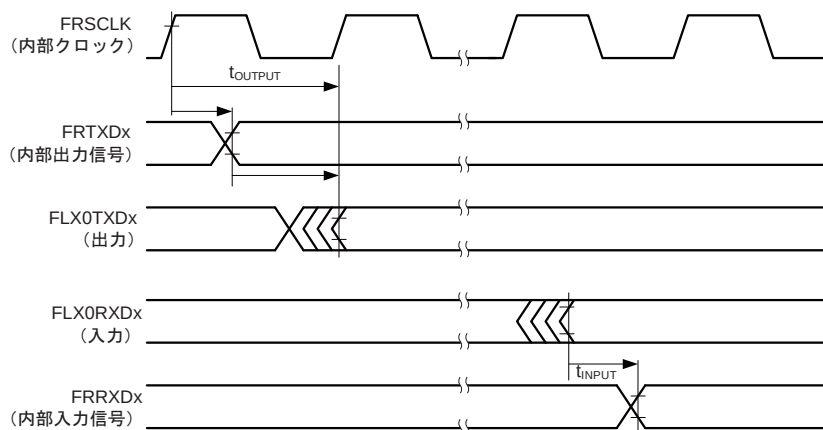
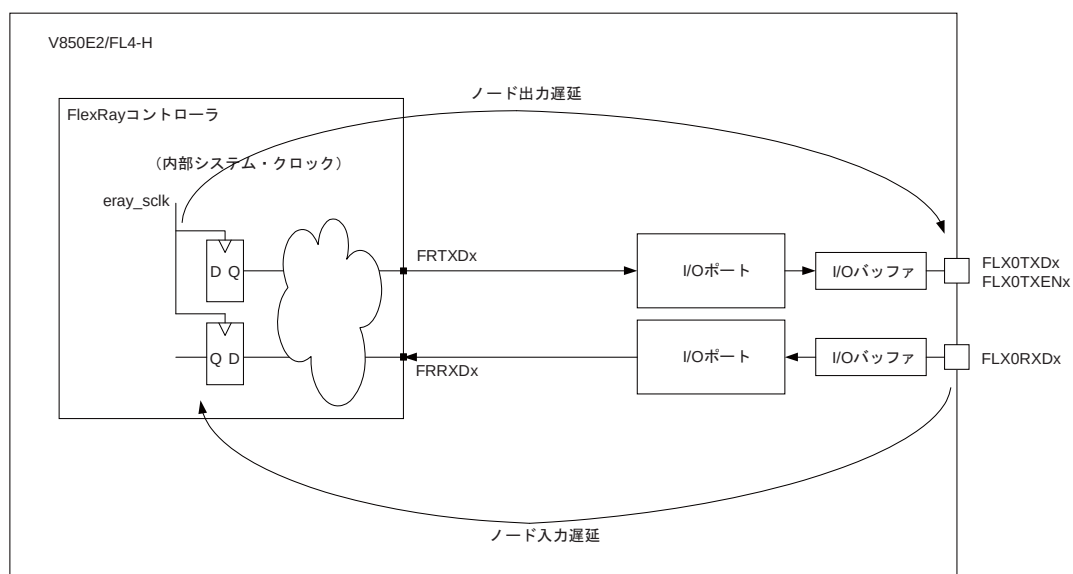


備考 n = 0-5

7.10 FlexRay タイミング

表 7-15 FlexRay タイミング (1)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
転送レート					10	Mbps
ノード出力遅延時間	t_{OUTPUT}	FLX0TXDA, FLX0TXDB, FLX0TXENA, FLX0TXENB			25	ns
ノード入力遅延時間	t_{INPUT}	FLX0RXDA, FLX0RXDB			10	ns



備考 x = A, B

表 7-16 FlexRay タイミング (2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
FLX0TXENA FLX0TXENB	dTxEN _{RISE-FALL}	C _L = 25pF, 20-80% E1VDD で測定			9	ns
	dCCTxEN01				25	ns
	dCCTxEN10				25	ns
FLX0TXDA FLX0TXDB	dCCTxAsym	50% E1VDD で測定			2.45	ns
	dCCTxD _{RISE25} + dCCTxD _{FALL25}	C _L = 25pF, 20-80% E1VDD で測定			9	ns
		C _L = 10pF, 20-80% E1VDD で測定 50Ω の終端 , 1ns マイクロストリップライン			9	ns
	dCCTxD01	—			25	ns
	dCCTxD10	—			25	ns
FLX0RXDA FLX0RXDB	dCCRxAsmAccept	50% E1VDD で測定 入力信号 : C _L = 25pF, 6.5ns (20-80% E1VDD)			5.5	ns
	C_CCRxD	—			10	pf
	uLogic_1	—	35		70	%
	uLogic_0	—	30		65	%
	dCCRxD01	—			10	ns
	dCCRxD10	—			10	ns

7.11 I²C タイミング

表 7-17 標準モード

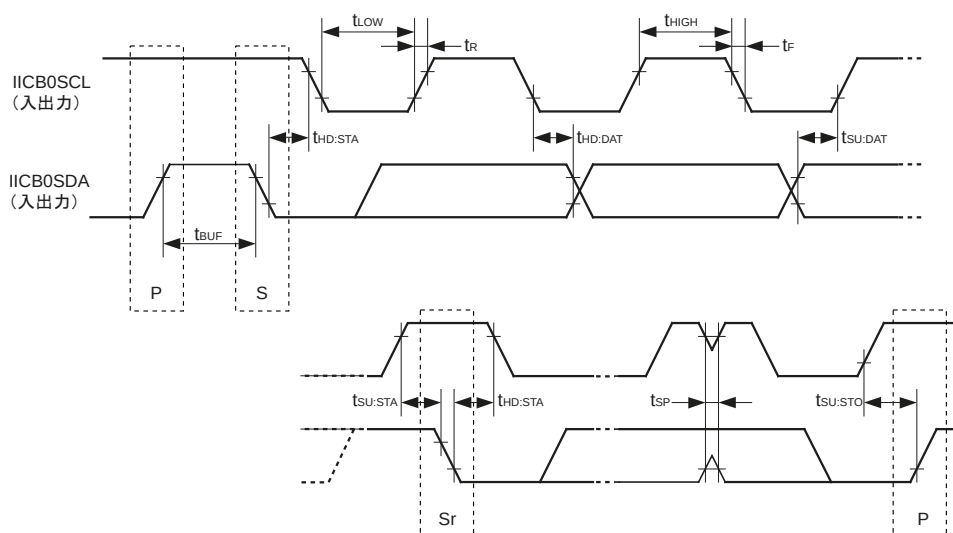
項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
IICB0SCL クロック周波数	f _{CLK}		0		100	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}		4.7			μs
スタート／リスタート保持時間 ^{a)}	t _{HD:STA}		4			μs
IICB0SCL クロックのロウ・レベル 保持時間	t _{LOW}		4.7			μs
IICB0SCL クロックのハイ・レベル 保持時間	t _{HIGH}		4			μs
スタート／リスタート・コンディションの セットアップ時間	t _{SU:STA}		4.7			μs
データ保持時間	t _{HD:DAT}	CBUS 互換マスタの 場合	5			μs
		I ² C モードの場合	0			μs
データ設定時間	t _{SU:DAT}		250			ns
IICB0SDA および IICB0SCL 信号の 立ち上がり時間	t _R				1000	ns
IICB0SDA および IICB0SCL 信号の 立ち下がり時間	t _F				300	ns
ストップ・コンディションの設定時間	t _{SU:STO}		4			μs
各バス・ラインの容量性負荷	C _b				400	pF

a) スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

表 7-18 高速モード

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
IICB0SCL クロック周波数	f _{CLK}		0		400	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}		1.3			μs
スタート/リスタート保持時間 ^a	t _{HD:STA}		0.6			μs
IICB0SCL クロックのロウ・レベル 保持時間	t _{LOW}		1.3			μs
IICB0SCL クロックのハイ・レベル 保持時間	t _{HIGH}		0.6			μs
スタート/リスタート・コンディション のセットアップ時間	t _{SU:STA}		0.6			μs
データ保持時間	t _{HD:DAT}	I ² C モードの場合	0		0.9	μs
データ設定時間	t _{SU:DAT}		100			ns
IICB0SDA および IICB0SCL 信号の 立ち上がり時間	t _r		20 + 0.1C _b		300	ns
IICB0SDA および IICB0SCL 信号の 立ち下がり時間	t _f		20 + 0.1C _b		300	ns
ストップ・コンディションの設定時間	t _{SU:STO}		0.6			μs
入力フィルタによって抑制される スパイクのパルス幅	t _{SP}		0		50	ns
各バス・ラインの容量性負荷	C _b				400	pF

a) スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。



- 備考
1. P : ストップ・コンディション
 2. S : スタート・コンディション
 3. Sr : リスタート・コンディション

7.12 Ethernet タイミング

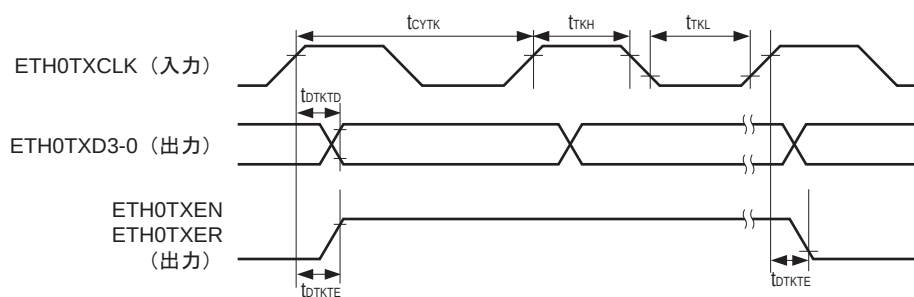
7.12.1 MII インタフェース

(1) 送信インタフェース

表 7-19 送信インタフェース

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
ETH0TXD3-0 遅延時間 (対 ETH0TXCLK ↑)	tDTKTD		0		25	ns
ETH0TXEN, ETH0TXER 遅延時間 (対 ETH0TXCLK ↑)	tDTKTE		0		25	ns
ETH0TXCLK クロック周期	tCYTK		40			ns
ETH0TXCLK ハイ・レベル幅	tTKH		0.4 tCYTK		0.6 tCYTK	ns
ETH0TXCLK ロウ・レベル幅	tTKL		0.4 tCYTK		0.6 tCYTK	ns

備考 $C_L = 30 \text{ pF}$

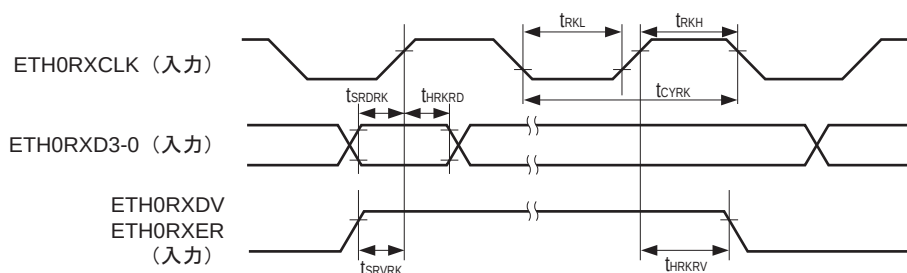


(2) 受信インタフェース

表 7-20 受信インタフェース

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
ETH0RXD3-0 ホールド時間 (対 ETH0RXCLK ↑)	t _{HRKRD}		5			ns
ETH0RXD3-0 セットアップ時間 (対 ETH0RXCLK ↑)	t _{SRDRK}		5			ns
ETH0RXER, ETH0RXDV ホールド時間 (対 ETH0RXCLK ↑)	t _{HRKRV}		5			ns
ETH0RXER, ETH0RXDV セットアップ時間 (対 ETH0RXCLK ↑)	t _{SRVRK}		5			ns
ETH0RXCLK クロック周期	t _{CYRK}		40			ns
ETH0RXCLK ハイ・レベル幅	t _{RKH}		0.4 t _{CYRK}		0.6 t _{CYRK}	ns
ETH0RXCLK ロウ・レベル幅	t _{RKL}		0.4 t _{CYRK}		0.6 t _{CYRK}	ns

備考 C_L = 30 pF

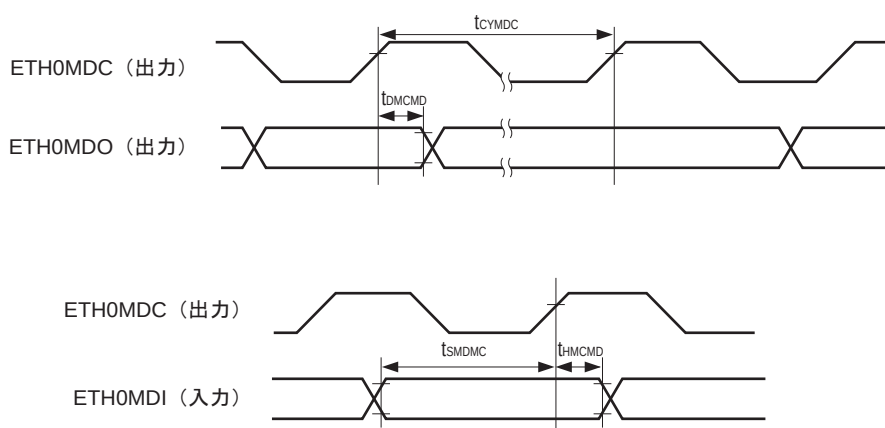


(3) マネジメント・インタフェース

表 7-21 マネジメント・インタフェース

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
ETH0MDC クロック周期	t_{CYMDC}		400			ns
ETH0MDO 遅延時間 (対 ETH0MDC ↑)	t_{DMCMD}		0		300	ns
ETH0MDI セットアップ時間 (対 ETH0MDC ↑)	t_{SMDMC}		50			ns
ETH0MDI ホールド時間 (対 ETH0MDC ↑)	t_{HMCMD}		50			ns

備考 $C_L = 30 \text{ pF}$

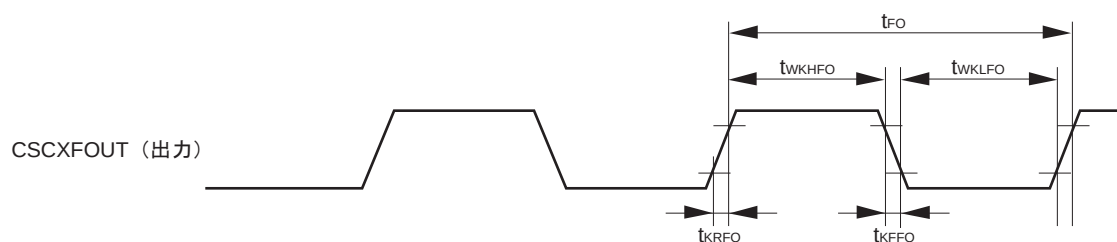


7.13 周波数出力機能（FOUT）

表 7-22 周波数出力機能（FOUT）

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
CSCXFOUT 出力サイクル	t_{FO}		50			ns
CSCXFOUT ハイ・レベル幅	t_{WKHFO}		$t_{FO}/2 - 10$			ns
CSCXFOUT ロウ・レベル幅	t_{WKLFO}		$t_{FO}/2 - 10$			ns
CSCXFOUT 立ち上がり時間	t_{KRFO}				10	ns
CSCXFOUT 立ち下がり時間	t_{KFFO}				10	ns

備考 上記スペックは、SSCG による変調を含みません。

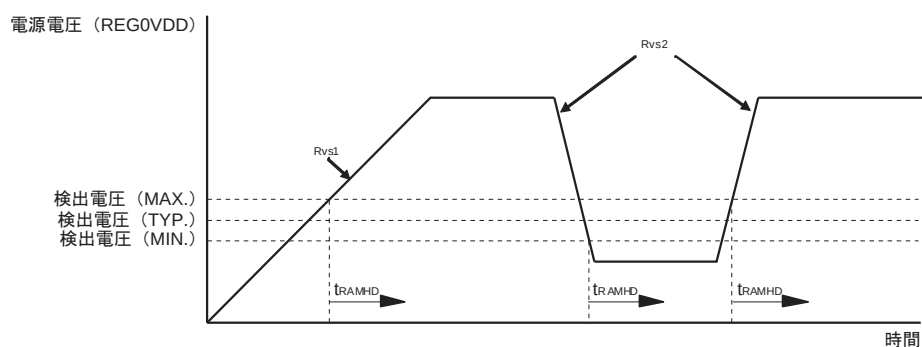


7.14 RAM保持フラグ特性

表 7-23 RAM 保持フラグ特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
検出電圧	V_{RAMHF}		1.8	1.9	2.0	V
電圧の傾き 1	R_{vs1}		0.18		1800	V/ms
電圧の傾き 2	R_{vs2}		0.0018		1800	V/ms
応答時間 ^{a)}	t_{RAMHD}				2	ms

a) 検出電圧を検出してから VLVF.VLVF ビットをセット（1）するまでの時間です。

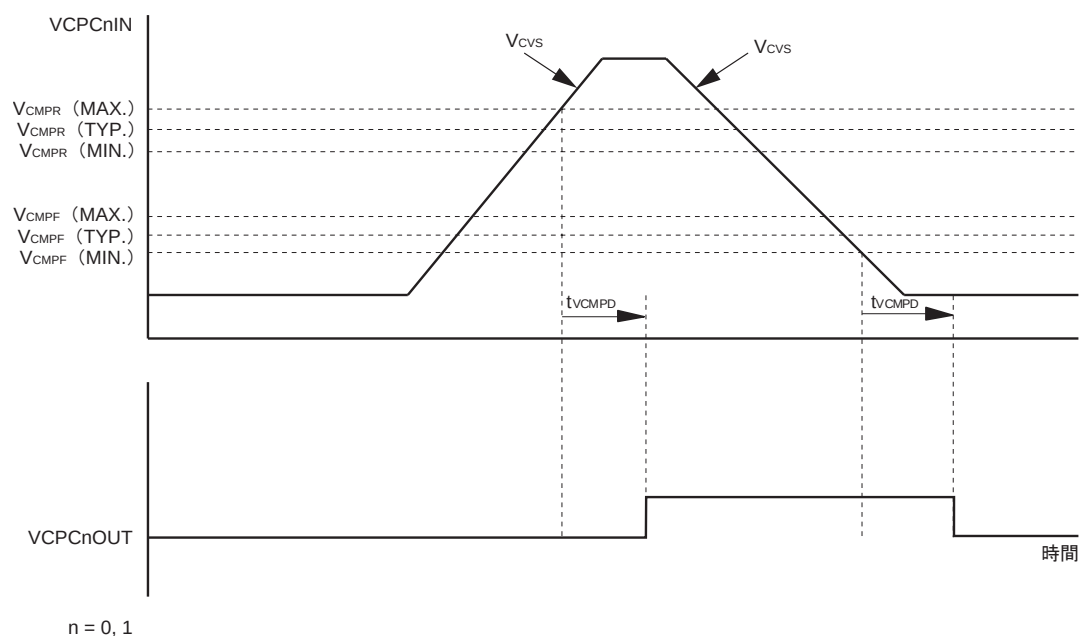


7.15 電圧コンパレータ特性

表 7-24 電圧コンパレータ特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
スレッシュ・ホールド電圧 (立ち上がり)	V _{CMPR}		1.745	1.780	1.815	V
スレッシュ・ホールド電圧 (立ち下がり)	V _{CMPIF}		1.645	1.680	1.715	V
電圧の傾き	V _{CVS}				50	mV/μs
検出時間	t _{VCMPD}				2	μs
安定化時間	t _{VCMPST}	VCPC00En を 1 に設定後, V _{CMP} が動作可能			2	ms
VCPCnIN 信号の入力電圧範囲	V _{ICMP}		REG0VSS		REG0VDD	V
V _{CMP} 電流	I _{VCMP}			200	300	μA

n = 0, 1

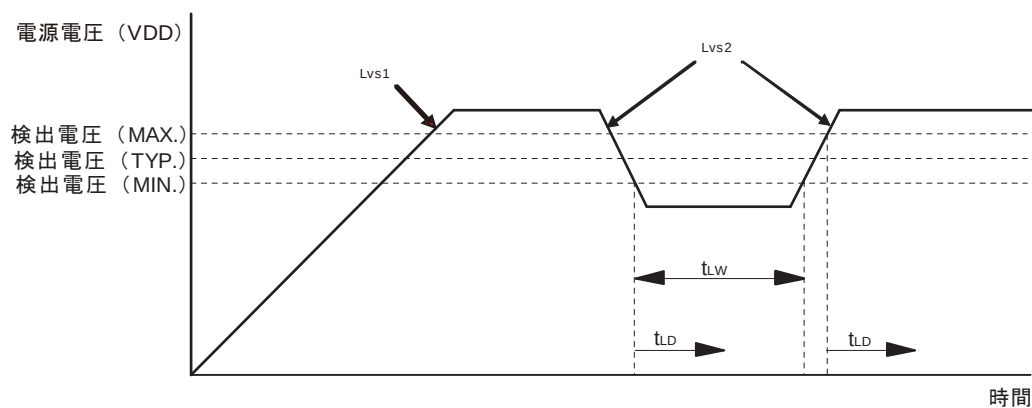


7.16 LVI 回路特性

表 7-25 LVI 回路特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
LVI 検出電圧	V _{LVI0}		3.9	4.0	4.1	V
	V _{LVI1}		3.6	3.7	3.8	V
	V _{LVI2}		3.4	3.5	3.6	V
電圧の傾き 1	L _{vs1}		0.18		1800	V/ms
電圧の傾き 2	L _{vs2}		0.0018		1800	V/ms
応答時間 ^a	t _{LD}				2.0	ms
REG0VDD 最小幅	t _{LW}		2			ms
安定時間	t _{LVI ST}	LVICNT0, 1 を 1 に設定後, LVI が動作可能			350	μs

a) LVI 検出電圧を検出してから割り込み要求信号 (INTLVI) または内部リセット信号 (LVIRES) を発生するまでの時間です。



7.17 A/D コンバータ 特性

7.17.1 12 ビット分解能 A/D : ADCAnIm

表 7-26 12 ビット分解能 A/D : ADCAnIm

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
分解能	RES _n		12	12	12	bit
変換時間	T _{CON} _n	変換時間（追加変換時間を除く）	1.5		10	μs
総合誤差 ^a	TOE _n				±6.0	LSB
積分非直線性誤差 ^a	ILE _n				±2.5	LSB
微分非直線性誤差 ^a	DLE _n				±1.5	LSB
ゼロスケール誤差 ^a	ZSE _n				±5.0	LSB
フルスケール誤差 ^a	FSE _n				±5.0	LSB
アナログ入力電圧	V _{AIN} _n		AnVREFM		AnVREFP	V
パワーダウン復帰時間 ^b					1	μs
AnVDD 電流	AI _{DD} _n	ADCAnCTL1.ADCAnBPC ビット = 0（自己診断機能未使用時）		4.0	6.3	mA
		ADCAnCTL1.ADCAnBPC ビット = 0（自己診断機能使用時）		5.2	8.1	mA
		ADCAnCTL1.ADCAnBPC ビット = 1（自己診断機能未使用時）		4.6	7.4	mA
		ADCAnCTL1.ADCAnBPC ビット = 1（自己診断機能使用時）		6.2	9.2	mA
	AI _{DD} _{nPD}	パワーダウン時 ^b		1		μA
AnVREFP 電流	AI _{REF} _n			650		μA
自己診断機能使用時 変換結果	TESH _n	AnVDD を変換 ^c	4015		4095	LSB
	TESHL _{n3}	2/3 AnVDD を変換 ^c	2691	2731	2771	LSB
	TESHL _{n2}	1/2 AnVDD を変換 ^c	2018	2048	2078	LSB
	TESHL _{n1}	1/3 AnVDD を変換 ^c	1325	1365	1405	LSB
	TESL _n	AnVSS を変換 ^c	0		80	LSB

a) 量子化誤差（±0.5LSB）は含みません。

b) パワーダウンとは、ADCAnCTL1.ADCAnGPS ビット = 0 時のことです。

c) AnVREFP = AnVDD, AnVREFM = AnVSS, I_{OH}/I_{OL} = 0 μA

備考 n = 0, 1

n = 0 のとき m = 6-23, n = 1 のとき m = 0-23

7.17.2 12ビット分解能 A/D : ADCA0I0-ADCA0I5

表 7-27 12ビット分解能 A/D : ADCA0I0-ADCA0I5 (チャネル S/H 機能無効時)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
分解能	RES0SN		12	12	12	bit
変換時間	TCON0SN	変換時間 (追加変換時間を除く)	1.5		10	μs
総合誤差 ^a	TOE0SN				±6.0	LSB
積分非直線性誤差 ^a	ILE0SN				±2.5	LSB
微分非直線性誤差 ^a	DLE0SN				±1.5	LSB
ゼロスケール誤差 ^a	ZSE0SN				±5.0	LSB
フルスケール誤差 ^a	FSE0SN				±5.0	LSB
アナログ入力電圧	VAIN0SN		A0VREFM		A0VREFP	V
パワーダウン復帰時間 ^b					1	μs
A0VDD 電流	AIDD0SN	ADCA0CTL1.ADCA0BPC ビット = 0 (自己診断機能未使用時)		4.0	6.3	mA
		ADCA0CTL1.ADCA0BPC ビット = 0 (自己診断機能使用時)		5.2	8.1	mA
		ADCA0CTL1.ADCA0BPC ビット = 1 (自己診断機能未使用時)		4.6	7.4	mA
		ADCA0CTL1.ADCA0BPC ビット = 1 (自己診断機能使用時)		6.2	9.2	mA
	AIDD0SNPD	パワーダウン時 ^b		1		μA
A0VREFP 電流	AIREF0SN			650		μA
自己診断機能使用時 変換結果	TESH0SN	A0VDD を変換 ^c	4015		4095	LSB
	TESHL0SN3	2/3 A0VDD を変換 ^c	2691	2731	2771	LSB
	TESHL0SN2	1/2 A0VDD を変換 ^c	2018	2048	2078	LSB
	TESHL0SN1	1/3 A0VDD を変換 ^c	1325	1365	1405	LSB
	TESL0SN	A0VSS を変換 ^c	0		80	LSB

a) 量子化誤差 (±0.5LSB) は含みません。

b) パワーダウンとは、ADCA0CTL1.ADCA0GPS ビット = 0 時のことです。

c) A0VREFP = A0VDD, A0VREFM = A0VSS, I_{OH}/I_{OL} = 0μA

表 7-28 12 ビット分解能 A/D : ADCA0I0-ADCA0I5 (チャネル S/H 機能有効時)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
分解能	RES0S		12	12	12	bit
変換時間	TCON0S	変換時間 + 追加変換時間 (ADCA0BPC = 1 変換時間のみ、 自己診断機能動作の時間は含ま ない)	1.8		12	μs
チャネル S/H 時間			50			μs
総合誤差 ^a	TOE0S				e	LSB
積分非直線性誤差 ^a	ILE0S				e	LSB
微分非直線性誤差 ^a	DLE0S				e	LSB
ゼロスケール誤差 ^a	ZSE0S				e	LSB
フルスケール誤差 ^a	FSE0S				e	LSB
アナログ入力電圧	VAIN0S		0.2		A0VREFP − 0.2	V
パワーダウン復帰時間 ^b					1	μs
A0VDD 電流	AIDD0S	ADCA0CTL1.ADCA0BPCビット = 1 (自己診断機能未使用時)		^d	22.1	mA
		ADCA0CTL1.ADCA0BPCビット = 1 (自己診断機能使用時)		^d	24.0	mA
	AIDD0SPD	パワーダウン時		1		μA
A0VREFP 電流	AIREF0S			650		μA
自己診断機能使用時 変換結果	TESHL0S3	2/3 A0VDD を変換 ^c	2689	2731	2773	LSB
	TESHL0S2	1/2 A0VDD を変換 ^c	2016	2048	2080	LSB
	TESHL0S1	1/3 A0VDD を変換 ^c	2016	1365	1407	LSB

- a) 量子化誤差 (±0.5LSB) は含みません。
- b) パワーダウンとは、ADCA0CTL1.ADCA0GPS ビット = 0 時のことです。
- c) A0VREFP = A0VDD, A0VREFM = A0VSS, IOH/IOL = 0μA
- d) AIDDn + 1.72 (mA) × (使用するチャネル S/H 回路数)
AIDDn の詳細については、表 7-26 12 ビット分解能 A/D : ADCAnIm を参照してください。
- e) 本デバイスで A/D コンバータのチャネル S/H 機能を使用した場合、A/D 変換誤差はスペックを満たしません。
回避策につきましては、当社担当営業までご確認下さい。

7.17.3 10ビット分解能 A/D : ADCAnIm

表 7-29 10ビット分解能 A/D : ADCAnIm

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
分解能	RESn		10	10	10	bit
変換時間	TCONn		1.5		10	μs
総合誤差 ^a	TOEn				±2.0	LSB
積分非直線性誤差 ^a	ILEn				±1.5	LSB
微分非直線性誤差 ^a	DLEn				±1.0	LSB
ゼロスケール誤差 ^a	ZSEn				±1.5	LSB
フルスケール誤差 ^a	FSEn				±1.5	LSB
アナログ入力電圧	VAInn		AnVREFM		AnVREFP	V
パワーダウン復帰時間 ^b					1	μs
AnVDD 電流	AIDDn	ADCAnCTL1.ADCAnBPC ビット = 0 (自己診断機能未使用時)		4.0	6.3	mA
		ADCAnCTL1.ADCAnBPC ビット = 0 (自己診断機能使用時)		5.2	8.1	mA
		ADCAnCTL1.ADCAnBPC ビット = 1 (自己診断機能未使用時)		4.6	7.4	mA
		ADCAnCTL1.ADCAnBPC ビット = 1 (自己診断機能使用時)		6.2	9.2	mA
	AIDnPD	パワーダウン時 ^b		1		μA
AnVREFP 電流	AIREFn			500		μA
自己診断機能使用時 変換結果	TESHn	AnVDD を変換 ^c	1003		1023	LSB
	TESHLn3	2/3 AnVDD を変換 ^c	673	683	693	LSB
	TESHLn2	1/2 AnVDD を変換 ^c	504	512	520	LSB
	TESHLn1	1/3 AnVDD を変換 ^c	331	341	351	LSB
	TESLn	AnVSS を変換 ^c	0		20	LSB

- a) 量子化誤差 (±0.5LSB) は含みません。
b) パワーダウンとは, ADCAnCTL1.ADCAnGPS ビット = 0 時のことです。
c) AnVREFP = AnVDD, AnVREFM = AnVSS, IOH/IOL = 0μA

備考 n = 0, 1
n = 0 のとき m = 6-23, n = 1 のとき m = 0-23

7.17.4 10ビット分解能 A/D : ADCA0I0-ADCA0I5

表 7-30 10ビット分解能 A/D : ADCA0I0-ADCA0I5 (チャネル S/H 機能無効時)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
分解能	RES0SN		10	10	10	bit
変換時間	TCON0SN	変換時間 (追加変換時間を除)	1.5		10	μs
総合誤差 ^a	TOE0SN				±2.0	LSB
積分非直線性誤差 ^a	ILE0SN				±2.0	LSB
微分非直線性誤差 ^a	DLE0SN				±1.5	LSB
ゼロスケール誤差 ^a	ZSE0SN				±1.5	LSB
フルスケール誤差 ^a	FSE0SN				±1.5	LSB
アナログ入力電圧	VAIN0SN		A0VREFM		A0VREFP	V
パワーダウン復帰時間 ^b					1	μs
A0VDD 電流	AIDD0SN	ADCA0CTL1.ADCA0BPC ビット = 0 (自己診断機能未使用時)		4.0	6.3	mA
		ADCA0CTL1.ADCA0BPC ビット = 0 (自己診断機能使用時)		5.2	8.1	mA
		ADCA0CTL1.ADCA0BPC ビット = 1 (自己診断機能未使用時)		4.6	7.4	mA
		ADCA0CTL1.ADCA0BPC ビット = 1 (自己診断機能使用時)		6.2	9.2	mA
	AIDD0SNPD	パワーダウン時 ^b		1		μA
A0VREFP 電流	AIREF0SN			500		μA
自己診断機能使用時 変換結果	TESH0SN	A0VDD を変換 ^c	1003		1023	LSB
	TESHL0SN3	2/3 A0VDD を変換 ^c	673	683	693	LSB
	TESHL0SN2	1/2 A0VDD を変換 ^c	504	512	520	LSB
	TESHL0SN1	1/3 A0VDD を変換 ^c	331	341	351	LSB
	TESL0SN	A0VSS を変換 ^c	0		20	LSB

a) 量子化誤差 (±0.5LSB) は含みません。

b) パワーダウンとは、ADCA0CTL1.ADCA0GPS ビット = 0 時のことです。

c) A0VREFP = A0VDD, A0VREFM = A0VSS, I_{OH}/I_{OL} = 0μA

表 7-31 10 ビット分解能 A/D : ADCA0I0-ADCA0I5 (チャネル S/H 機能有効時)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
分解能	RES0S		10	10	10	bit
変換時間	TCON0S	変換時間 + 追加変換時間 (ADCA0BPC = 1 変換時間のみ, 自己診断機能動作の時間は含まない)	1.84		12.2	μs
チャネル S/H 時間			50			μs
総合誤差 ^a	TOE0S				e	LSB
積分非直線性誤差 ^a	ILE0S				e	LSB
微分非直線性誤差 ^a	DLE0S				e	LSB
ゼロスケール誤差 ^a	ZSE0S				e	LSB
フルスケール誤差 ^a	FSE0S				e	LSB
アナログ入力電圧	VAIN0S		0.2		A0VREFP - 0.2	V
パワーダウン復帰時間 ^b					1	μs
A0VDD 電流	AIDD0S	ADCA0CTL1.ADCA0BPC ビット = 1 (自己診断機能未使用時)		d	d	mA
		ADCA0CTL1.ADCA0BPC ビット = 1 (自己診断機能使用時)		d	d	mA
	AIDD0SPD	パワーダウン時 ^b		1		μA
A0VREFP 電流	AIREF0S			500		μA
自己診断機能使用時 変換結果	TESHL0S3	2/3 A0VDD を変換 ^c	672	683	694	LSB
	TESHL0S2	1/2 A0VDD を変換 ^c	503	512	521	LSB
	TESHL0S1	1/3 A0VDD を変換 ^c	330	341	352	LSB

- a) 量子化誤差 (±0.5LSB) は含みません。
- b) パワーダウンとは, ADCA0CTL1.ADCA0GPS ビット = 0 時のことです。
- c) A0VREFP = A0VDD, A0VREFM = A0VSS, IOH/IOL = 0μA
- d) AnVDD 電流 (AIDDn) と同じ値です。
AIDDn の詳細については, 表 7-27 12 ビット分解能 A/D : ADCA0I0-ADCA0I5 (チャネル S/H 機能無効時) を参照してください。
- e) 本デバイスで A/D コンバータのチャネル S/H 機能を使用した場合, A/D 変換誤差はスペックを満たしません。
回避策につきましては, 当社担当営業までご確認下さい。

7.17.5 アナログ入力部の等価回路（参考値）

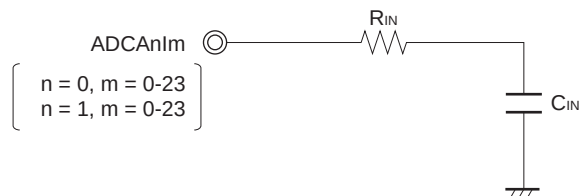


表 7-32 等価回路（参考値）

端 子	条 件	R _{IN} (kΩ)	C _{IN} (pF)
ADCA0I0-ADCA0I5	チャネル S/H 機能使用時	0.7	3.6
	チャネル S/H 機能未使用時	ADCA0CTL1.ADCA0BPC ビット = 0	12.6
		ADCA0CTL1.ADCA0BPC ビット = 1	7.1
ADCA0I6-ADCA0I23	ADCA0CTL1.ADCA0BPC ビット = 0	1.2	11.9
	ADCA0CTL1.ADCA0BPC ビット = 1	1.1	7.1
ADCA1I0-ADCA1I23	ADCA0CTL1.ADCA0BPC ビット = 0	1.2	11.9
	ADCA0CTL1.ADCA0BPC ビット = 1	1.1	7.1

備考 上記値は MAX. 値（参考値）です。

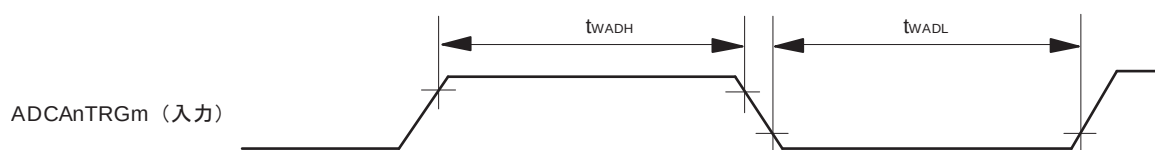
7.17.6 ADCAnTRGm タイミング

表 7-33 ADCAnTRGm タイミング

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
ADCAnTRGm 入力ハイ・レベル幅	t _{WADH}	デジタル・ノイズ・フィルタ使用	a			ns
		デジタル・ノイズ・フィルタをバイパス	b			ns
ADCAnTRGm 入力ロウ・レベル幅	t _{WADL}	デジタル・ノイズ・フィルタ使用	a			ns
		デジタル・ノイズ・フィルタをバイパス	b			ns

- a) 選択されたデジタル・ノイズ・フィルタ設定により異なります。
2T_{smp} + 20, 3T_{smp} + 20, 4T_{smp} + 20, 5T_{smp} + 20
デジタル・ノイズ・フィルタを通過後の信号が、A/D の PCLK1 クロックよりも長い幅になるよう設定してください。
- b) t_{SYNC} + 20 (t_{SYNC} : A/D の 1PCLK)

備考 n = 0, 1
m = 0-2

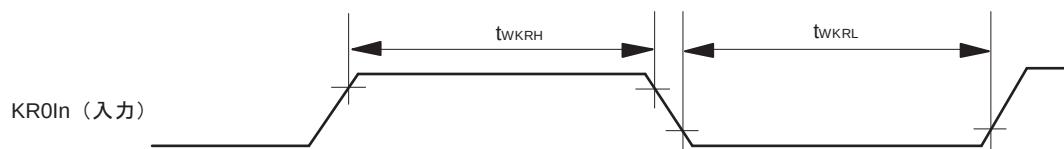


7.18 キー・リターン・タイミング

表 7-34 キー・リターン・タイミング

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
KR0In 入力ハイ・レベル幅	tWKRH		300			ns
KR0In 入力ロウ・レベル幅	tWKRL		300			ns

備考 n = 0-7



8. メモリ・スペック

8.1 コード・フラッシュ特性

表 8-1 コード・フラッシュ特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
動作周波数	f _{CPU}	PLL 使用時			160	MHz
		SSCG 使用時			176.64	MHz
電源電圧	VDD		V _{POC} ^a		5.5	V
書き換え回数	C _{WRT}	データ保存 20 年			100	回
プログラミング温度	t _{PRG}	(A) 品	− 40		85	°C
		(A1) 品	− 40		110	°C

a) V_{POC} : POC 検出電圧
V_{POC} の詳細については、3.3.3 パワーオン・クリア回路（POC）特性を参照してください。

注意 出荷品に対する初回書き込み時には、「消去→書き込み」の場合も「書き込みのみ」の場合も、書き換え回数は 1 回となります。

例（P : 書き込み, E : 消去）

出荷品 → P → E → P → E → P : 書き換え回数 3 回

出荷品 → E → P → E → P → E → P : 書き換え回数 3 回

8.2 データ・フラッシュ特性

表 8-2 データ・フラッシュ特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
動作周波数	f _{CPU}	PLL 使用時			160	MHz
		SSCG 使用時			176.64	MHz
電源電圧	VDD		V _{POC} ^a		5.5	V
書き換え回数	D _{WRT1}	データ保存 20 年			1000	回
	D _{WRT2}	データ保存 15 年			5000	回
	D _{WRT3}	データ保存 5 年			15000	回
プログラミング温度	t _{PRG}	(A) 品	− 40		85	°C
		(A1) 品	− 40		110	°C

a) V_{POC} : POC 検出電圧
V_{POC} の詳細については、3.3.3 パワーオン・クリア回路（POC）特性を参照してください。

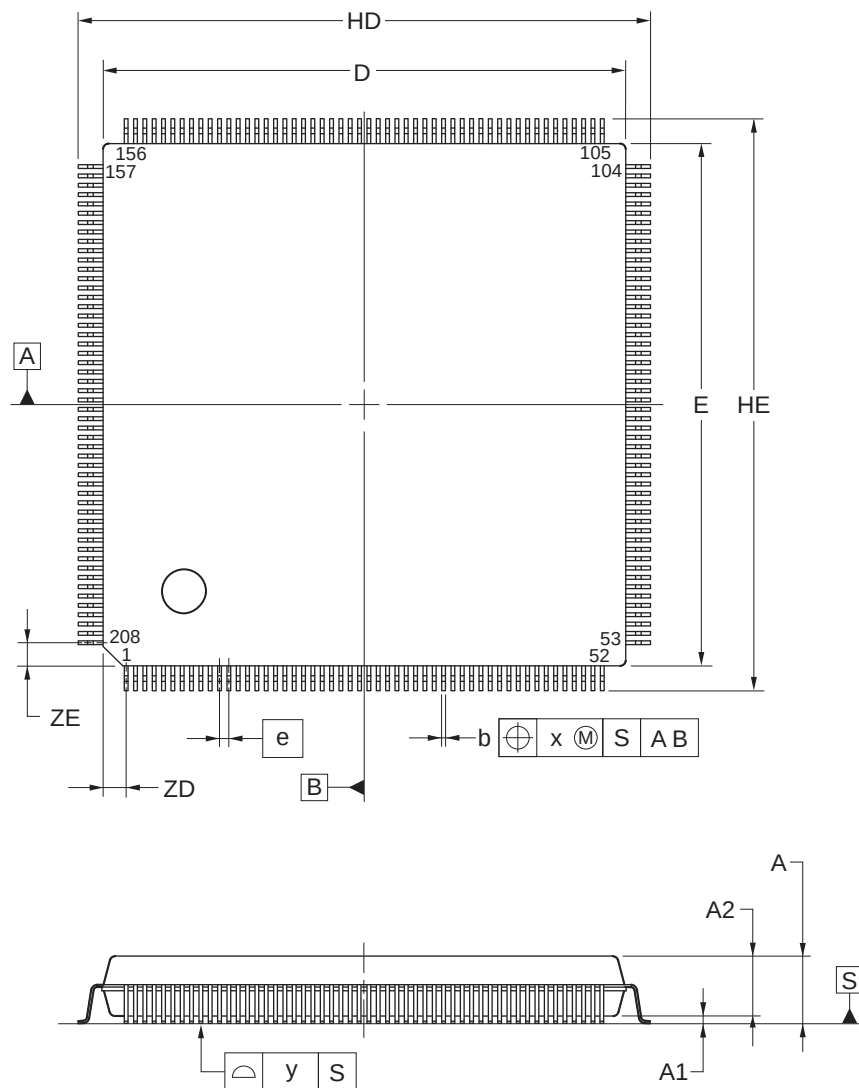
8.3 シリアル書き込みオペレーション特性

表 8-3 シリアル書き込みオペレーション特性

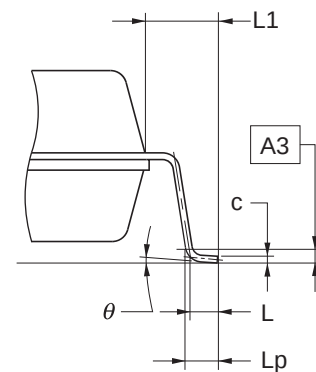
項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
FLMD0 設定時間	t _{DR}		1			ms
RESET 解除時間	t _{PR}		2			ms
FLMD0 ロウ・レベル幅／ ハイ・レベル幅	t _{PW}		10		100	μs
FLMD0 立ち上がり時間	t _R				20	ns
FLMD0 立ち下がり時間	t _F				20	ns
消去時間		4 K バイト単位			54	ms
プログラミング時間		128 ビット単位			50	μs

9. 外形図

208-PIN PLASTIC QFP (FINE PITCH) (28x28)



detail of lead end

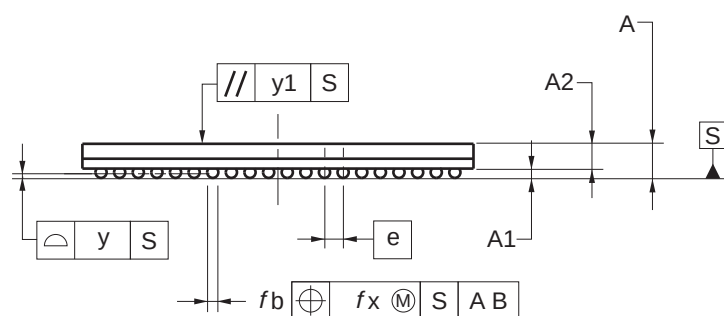
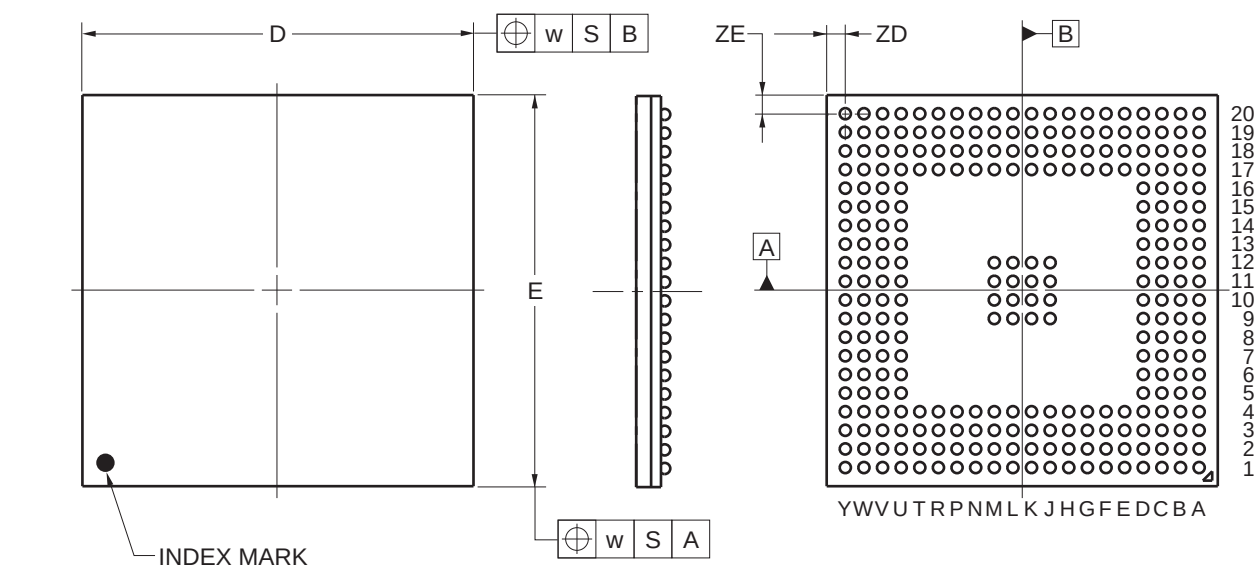


(UNIT:mm)

ITEM	DIMENSIONS
D	28.00±0.20
E	28.00±0.20
HD	30.60±0.20
HE	30.60±0.20
A	3.80 MAX.
A1	0.40±0.10
A2	3.20±0.10
A3	0.25
b	0.20 ^{+0.07} _{-0.02}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.325 ^{+0.175} _{-0.225}
θ	3° ^{+7°} _{-3°}
e	0.50
x	0.10
y	0.10
ZD	1.25
ZE	1.25

P208GD-50-FAD

272-PIN PLASTIC PBGA (21x21)



(UNIT:mm)	
ITEM	DIMENSIONS
D	21.00±0.20
E	21.00±0.20
w	0.30
e	1.00
A	1.83±0.20
A1	0.50±0.10
A2	1.33
b	0.60±0.10
x	0.15
y	0.15
y1	0.35
ZD	1.00
ZE	1.00

P272F1-100-JN1

改訂記録	μPD70F3564 データシート
------	-------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2013.09.17	—	初版発行
1.01	2014.04.16	p.4-5	仕様概要 3M, 4M 品 削除
		p.20	表 2-6 温度特性 動作接合温度 削除
		p.24	表 3-4 Iso0/Iso1 電源内蔵レギュレータ特性 電圧勾配 略号変更、電源立ち上げ中 タイミング・チャート変更
		p.27, 29, 31	3.4.1 条件1、3.4.3 条件3、3.4.5 条件5 備考を一部削除
		p.29	3.4.3 条件3 タイミング・チャートに信号名を追加
		p.30	3.4.4 条件4 略号変更
		p.36, 37	表 5-1 PgE0、表 5-2 PgE1 ロウ・レベル出力電圧 条件を修正
		p.40	6. 電源電流 備考2～6 追加
		p.43-44	表 7-5 タイマ・タイミング 単位 修正、追記
		p.56, 66	表 7-10 CSIG タイミング (スレーブ・モード)、表 7-12 CSIH タイミング (スレー ブ・モード) MIN. の略号を修正
		p.77	7.12.1 (3) マネジメント・インタフェース タイミングチャートを修正
		p.89	表 8-1 コード・フラッシュ特性、表 8-2 データ・フラッシュ特性 動作周波数 略 号を修正

注意：本製品はRobert Bosch GmbHからライセンスを受けたFlexRay® IP モジュールを使用しています。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。
FlexRayは、Daimler AGの登録商標です。

すべての商標および登録商標は、それぞれの所有者に帰属します。

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、
各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>