

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

携帯電話用オーディオ・プロセッサ

μPD99920 は、オーディオ再生機能を搭載した携帯電話用 LSI です。本 LSI は低消費電力設計のため、長時間のオーディオ再生が可能になり、さらにオーディオ・コーデックは MP3/AAC など、さまざまなコーデックに対応します。

特 徴

大容量バッファの搭載により長時間再生を実現

高性能 Digital Signal Processor (DSP) を搭載し、次の機能を実現

MP3, WMA, AAC, HE-AAC, Enhanced aacPlus デコード

AGC (Automatic Gain Controller)

SRC (Sampling Rate Converter)

5-band PEQ (Parametric Equalizer)

3D サラウンド機能を搭載

オーディオ・シリアル入出力インタフェース (16 ビット) を 2 セット装備

シリアル・データの入力周波数は 32 fs ~ 128 fs まで可変可能 (スレーブ・モード時)

I²S フォーマットに対応

ホスト・インタフェースとして 16 ビット・パラレル・インタフェースを装備

汎用出力ポートを装備

マスタ・クロック生成用 PLL 内蔵により、32.768 kHz クロック入力に対応

外部アクセサリ用クロック出力機能を装備

電源制御システムとして次のモードで動作

Operation mode

Sleep mode (メモリ、レジスタ・データの保持)

Transparency mode (ASIO1, ASIO2 の直接接続)

Deep sleep mode

電源電圧

EV_{DD}: 1.7 ~ 2.0 V

DV_{DD}: 1.16 ~ 1.24 V

PLL_{VDD}: 1.16 ~ 1.24 V

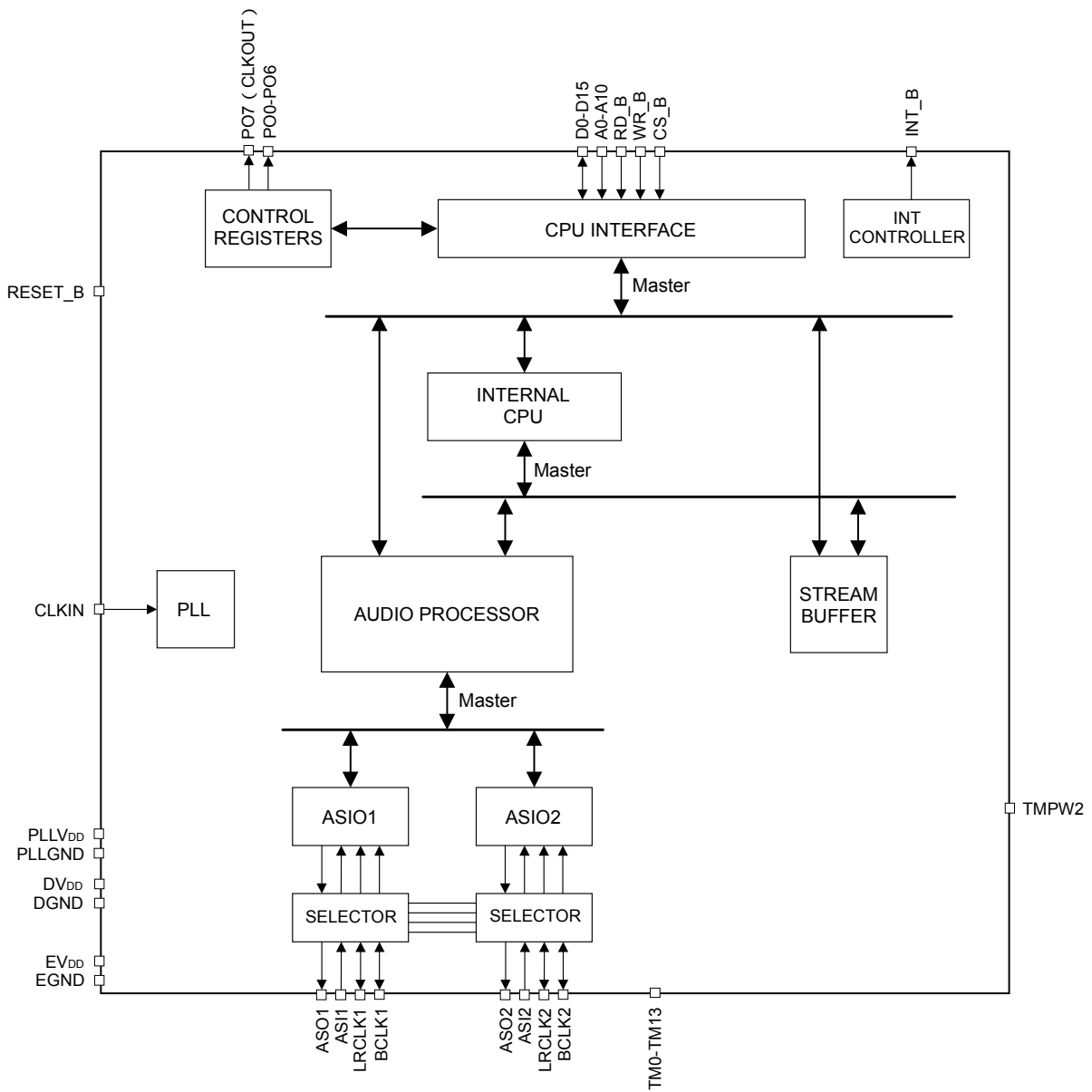
本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

オーダ情報

オーダ名称	パッケージ
μ PD99920F1-BAC-A	97ピン・プラスチックFBGA (6×6mm)

備考 鉛フリー製品です。

ブロック図



(1) オーディオ・プロセッサ

本 LSI はオーディオ・デコード機能を実現するために、高性能 DSP を搭載しています。

デコードを行うファームウェアはホスト CPU を通じて、外部メモリからダウンロードします。そのためさまざまな機能を実装することができ、次の機能を実現します。

- オーディオ・デコーダ
MP3, WMA, AAC, HE-AAC, Enhanced aacPlus
- 3D サラウンド
- サンプリング・レート・コンバータ (SRC)
- ボリューム・コントローラ (ソフト・ボリューム機能を含む)
- オートマチック・ゲイン・コントローラ (AGC)
- 5 バンド・パラメトリック・イコライザ
- チャンネル・コントローラ
ステレオ / モノ

(2) PLL

32.768 kHz のクロック入力に対応したマスタ・クロック生成用 PLL を内蔵しています。PLL ではこの入力クロックを逡倍し、内部信号処理に必要となるマスタ・クロック信号を生成します。本 LSI は PLL 起動後、2 ms 以上経過したあとに通常動作を開始します。

(3) 汎用出力 (PO0-PO7)

PO0-PO7 ポートはチップ・コントロール・レジスタにより制御可能です。

(4) ホスト・インタフェース

16 ビット・パラレル・インタフェースを装備しています。

(5) オーディオ・シリアル・インタフェース (ASIO1, ASIO2)

ASIO1, ASIO2 は外部オーディオ・シリアル・データ・インタフェースへの入出力インタフェースです。フォーマットは I²S に対応しています。シリアル・クロックの周波数は変更することが可能です。

Transparency mode では、LSI 内部にて ASIO1/ASIO2 を直接接続することが可能です。

(6) 電源制御

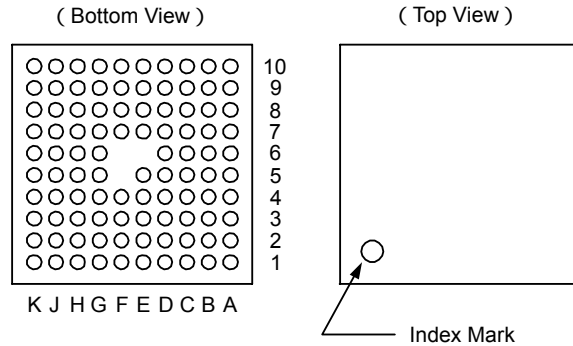
内部に電源制御システムを搭載しています。低消費電力動作を実現するため、次の動作モードを提供します。

- Operation mode (通常動作モード)
- Sleep mode (メモリ、レジスタ・データの保持)
- Transparency mode (ASIO1/ASIO2 の直接接続)
- Deep sleep mode (EV_{DD} 供給, DV_{DD} 未供給状態)

端子接続図

・ 97 ピン・プラスチック FBGA (6 × 6 mm)

μ PD99920F1-BAC-A



端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
A1	A10 と接続	C6	D3	F1	TM12	H7	EGND
A2	TM10	C7	D6	F2	TM13	H8	A1
A3	WR_B	C8	TM5	F3	EGND	H9	A5
A4	RD_B	C9	D8	F4	EGND	H10	A4
A5	D0	C10	D7	F7	TMPW2	J1	PLLGND
A6	BCLK2	D1	DGND	F8	A9	J2	TM4
A7	D5	D2	ASI1	F9	A10	J3	PO0
A8	EV _{DD}	D3	LRCLK1	F10	DV _{DD}	J4	PO2
A9	TM7	D4	EGND	G1	EGND	J5	PO5
A10	A1 と接続	D5	DGND	G2	EV _{DD}	J6	EGND
B1	EV _{DD}	D6	DV _{DD}	G3	EGND	J7	RESET_B
B2	EGND	D7	D12	G4	DV _{DD}	J8	A3
B3	TM6	D8	D11	G5	DV _{DD}	J9	TM2
B4	ASO2	D9	D9	G6	DGND	J10	TM0
B5	ASI2	D10	D10	G7	A0	K1	K10 と接続
B6	D2	E1	EGND	G8	A8	K2	TM3
B7	D4	E2	EGND	G9	A6	K3	PO1
B8	EGND	E3	EGND	G10	A7	K4	PO3
B9	TM8	E4	DGND	H1	PLL _{VDD}	K5	PO6
B10	TM9	E5	DV _{DD}	H2	EGND	K6	INT_B
C1	BCLK1	E7	D15	H3	CLKIN	K7	EV _{DD}
C2	LRCLK2	E8	D14	H4	EGND	K8	A2
C3	ASO1	E9	D13	H5	PO4	K9	TM1
C4	CS_B	E10	DGND	H6	PO7	K10	K1 と接続
C5	D1						

備考 A1 番と A10 番 , K1 番と K10 番はパッケージ上で接続されています。

端子名称

A0-A10:	Address Bus	INT_B:	Interruption
ASI1 , ASI2:	Audio Serial Data Input	LRCLK1 , LRCLK2:	Left Right Clock Input/Output
ASO1 , ASO2:	Audio Serial Data Output	PLL_GND:	Ground for PLL
BCLK1 , BCLK2:	Bit Clock Input/Output	PLL_VDD:	Power Supply for PLL
CLKIN:	System Clock input	PO0-PO7:	General Purpose Output Port
CS_B:	Chip Select	RD_B:	Read Strobe
D0-D15:	Data Bus	RESET_B:	Reset
DGND:	Ground for Digital Block	TM0-TM7 , TM9-TM13:	Test Mode Input
DVDD:	Power Supply for Digital Block	TM8:	Test Mode Output
EGND:	Ground for I/O Pins	TMPW2:	Internal Power Supply Output
EVDD:	Power Supply for I/O Pins	WR_B:	Write Strobe

目 次

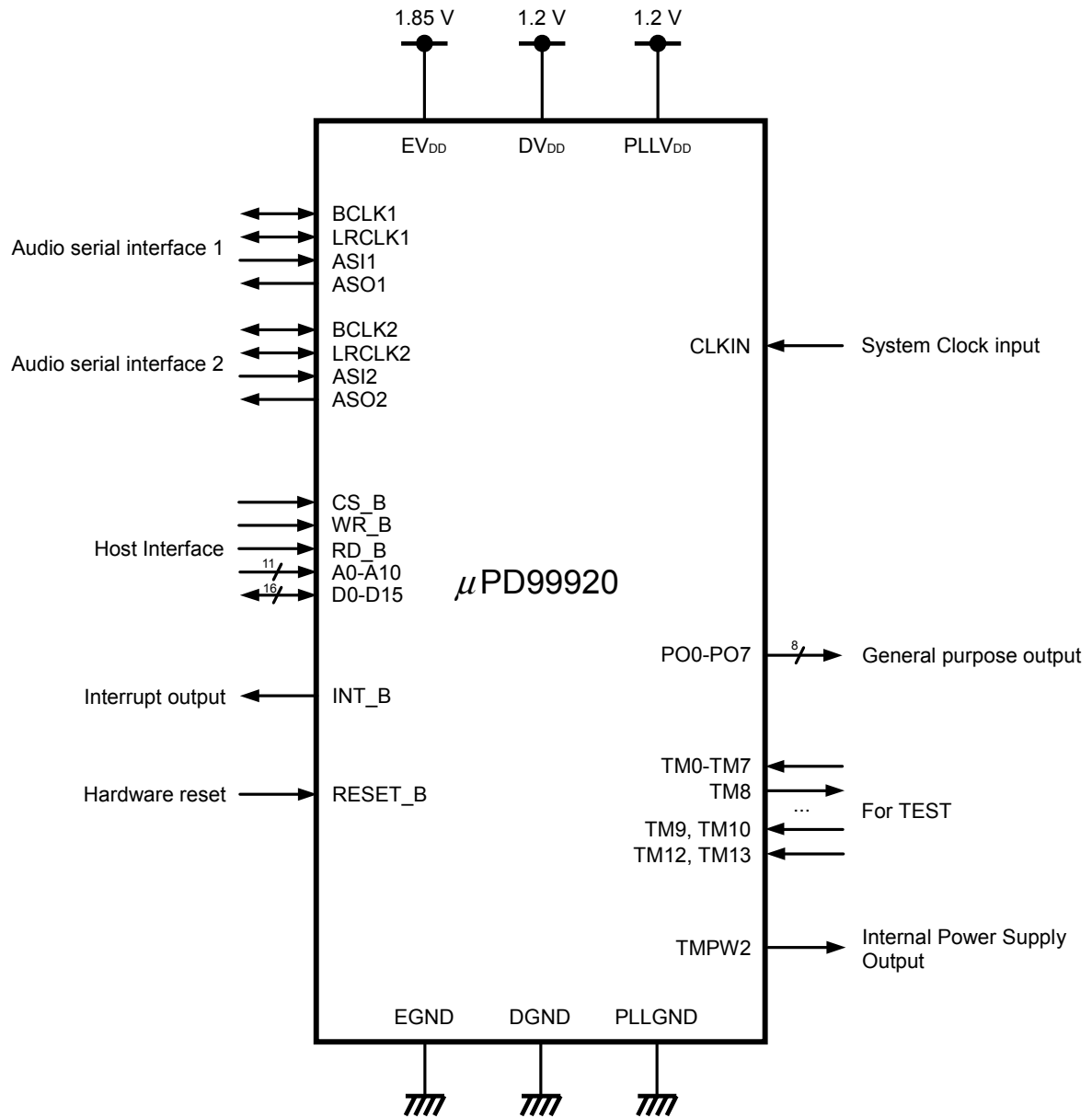
1. 端 子 ...	9
1.1 端子構成 ...	9
1.2 端子機能説明 ...	10
1.3 未使用端子の処理 ...	12
1.4 端子の初期状態 ...	12
1.5 端子の保護 ...	12
1.6 端子入出力回路 ...	13
2. 内部電源/クロック供給 ...	14
2.1 電源供給 ...	14
2.1.1 ハードウェア・リセット ...	15
2.1.2 DV _{DD2} ドメインの電源/リセット制御 ...	16
2.2 クロック供給 ...	17
2.2.1 CLKIN ...	17
2.2.2 PLL ...	17
2.2.3 デバイダとクロック領域 ...	17
2.2.4 スタンバイ ...	17
3. ホスト CPU インタフェース ...	18
4. オーディオ・シリアル・インタフェース ...	19
4.1 フォーマット ...	19
4.2 同期動作 ...	20
4.3 Transparency mode ...	21
5. レジスタ ...	22
5.1 レジスタ・マップ ...	22
5.1.1 チップ・コントロール・レジスタ一覧 ...	22
5.1.2 DSP コントロール・レジスタ一覧 ...	23
5.1.3 CPU コントロール・レジスタ一覧 ...	23
5.1.4 3D アクセラレータ・コントロール・レジスタ一覧 ...	23
5.2 チップ・コントロール・レジスタ ...	24
5.2.1 パワー・ドメイン・コントロール・レジスタ : PWSW (アドレス : 000H) ...	24
5.2.2 パワー・ドメイン Async リセット・レジスタ : RSTB (アドレス : 002H) ...	24
5.2.3 スタンバイ設定レジスタ : STNBY (アドレス : 004H) ...	25
5.2.4 マスタ・クロック設定レジスタ : MCLK (アドレス : 006H) ...	26
5.2.5 クロック出力レジスタ : CLKOUT (アドレス : 008H) ...	28
5.2.6 ASIO コントロール・レジスタ : ASIOCNT (アドレス : 00AH) ...	29
5.2.7 クロック・ディバイド・レジスタ (オプション) : CLKDIV (アドレス : 00CH) ...	31
5.2.8 汎用出力ポート設定レジスタ : POUT (アドレス : 020H) ...	31
5.2.9 割り込み要因レジスタ : INTSRC (アドレス : 030H) ...	31

5.2.10	タイマ割り込みクリア・レジスタ：ITIM（アドレス：032H）	...	32
5.2.11	割り込みマスク・コントロール・レジスタ：INTM（アドレス：034H）	...	32
5.2.12	PLL イネーブル・フラグ有効レジスタ：ENFLG（アドレス：040H）	...	32
5.2.13	連続データ・アクセス・コントロール・レジスタ：CSTA（アドレス：042H）, CCLR（アドレス：044H）	...	33
5.2.14	3D アクセラレータ・コントロール・レジスタ（アドレス：050H）	...	34
5.2.15	製品識別 / LSI バージョン・レジスタ（アドレス：070H）	...	34
5.3	DSP コントロール・レジスタ	...	35
5.4	CPU コントロール・レジスタ	...	35
5.5	3D アクセラレータ・コントロール・レジスタ（アドレス：050H）	...	35
5.6	R/W レジスタ・テスト・レジスタ：TREGRW（アドレス：0FEH）	...	35
6.	電源制御	...	36
6.1	電源領域	...	36
6.2	動作モード	...	37
6.2.1	Sleep mode（STNBY = 0000H, PWSW = 0000H, RSTB = 0000H）	...	37
6.2.2	Sleep mode（STNBY = 0000H, PWSW = 0001H）	...	37
6.2.3	Transparency mode（STNBY = 0000H, PWSW = 0000H, RSTB = 0000H）	...	37
6.2.4	Transparency mode	...	37
6.2.5	Deep sleep mode	...	38
7.	電源投入手順	...	39
7.1	電源起動	...	39
7.1.1	基本手順	...	39
7.1.2	DV _{DD2} 領域電源起動	...	40
7.2	電源立ち下げ手順	...	41
7.3	動作時の電源制御	...	42
7.3.1	DV _{DD2} 制御	...	42
8.	電気的特性	...	43
8.1	絶対最大定格	...	43
8.2	推奨動作条件	...	43
8.3	容量	...	43
8.4	DC 特性	...	43
8.5	AC 特性	...	44
8.5.1	クロック	...	44
8.5.2	リセット	...	44
8.5.3	内部電源起動時待機時間	...	45
8.5.4	ホスト・インタフェース	...	45
8.5.5	オーディオ・シリアル・インタフェース	...	47

- 9. 消費電流特性 ... 49
- 10. 外形図 ... 50
- 11. 半田付け推奨条件 ... 51

1. 端子

1.1 端子構成



1.2 端子機能説明

(1) 電源, GND

端子名称	端子番号	入出力	機能
DVDD	D6, E5, F10, G4, G5	-	デジタル・ブロック用電源 0.1 μF のコンデンサを本端子と DGND の間に接続してください。
DGND	D1, D5, E10, E4, G6	-	デジタル・ブロック用 GND
EVDD	A8, B1, G2, K7	-	I/O 用電源 0.1 μF のコンデンサを本端子と EGND の間に接続してください。
EGND	B2, B8, D4, E1, E2, E3, F3, F4, G1, G3, H2, H4, H7, J6	-	I/O 用 GND
PLLVD	H1	-	PLL 用電源 0.1 μF のコンデンサを本端子と PLLGND の間に接続してください。
PLLGND	J1	-	PLL 用グランド

(2) クロック, システム・コントロール

端子名称	端子番号	入出力	機能
CLKIN	H3	入力	基準クロック入力 マスタ・クロック生成用クロック入力です。
RESET_B	J7	入力	ハードウェア・リセット信号入力 LSI をリセットします。リセット解除後, 各レジスタの値は初期値になります。

(3) ホスト CPU インタフェース

端子名称	端子番号	入出力	機能
A0-A10	G7, H8, K8, J8, H10, H9, G9, G10, G8, F8, F9	入力	アドレス・バス信号入力 内部レジスタ・アドレスを指定します。
D0-D15	A5, C5, B6, C6, B7, A7, C7, C10, C9, D9, D10, D8, D7, E9, E8, E7	入出力	データ・バス ホスト CPU が本 LSI にアクセスするときのデータ入出力です。 CS_B がインアクティブ (ハイ・レベル) の場合, Hi-Z になります。
CS_B	C4	入力	チップ・セレクト・ストロープ入力 ホスト CPU がホスト・インタフェース・レジスタにアクセスする場合, この端子をアクティブ (ロー・レベル) にします。
WR_B	A3	入力	ライト・ストロープ入力 ホスト CPU がホスト・インタフェース・レジスタに対し書き込みをする場合, この端子をアクティブ (ロー・レベル) にします。 本端子と RD_B を同時にアクティブにしないでください。
RD_B	A4	入力	リード・ストロープ入力 ホスト CPU がホスト・インタフェース・レジスタに対し読み出しをする場合, この端子をアクティブ (ロー・レベル) にします。 本端子と WR_B を同時にアクティブにしないでください。
INT_B	K6	出力	割り込み出力 (レベルトリガ) データ転送時のデータ送受信要求, 内部状態通知時の要求などに使用します。 ロー・レベルでアクティブ (割り込み状態) になります。

(4) オーディオ・シリアル・インタフェース1 (オプション)

端子名称	端子番号	入出力	機能
BCLK1	C1	入出力	ビット同期クロック入出力
LRCLK1	D3	入出力	フレーム同期クロック入出力
ASO1	C3	出力	オーディオ・シリアル用データ出力
ASI1	D2	入力	オーディオ・シリアル用データ入力

(5) オーディオ・シリアル・インタフェース2 (DAC)

端子名称	端子番号	入出力	機能
BCLK2	A6	入出力	ビット同期クロック入出力
LRCLK2	C2	入出力	フレーム同期クロック入出力
ASO2	B4	出力	オーディオ・シリアル用データ出力
ASI2	B5	入力	オーディオ・シリアル用データ入力

(6) 内部電源出力

端子名称	端子番号	入出力	機能
TMPW2	F7	出力	内部 DV _{DD2} 出力 0.1 μF のコンデンサを本端子と DGND の間に接続してください。

(7) 汎用出力ポート

端子名称	端子番号	入出力	機能
PO0-PO7	J3, K3, J4, K4, H5, J5, K5, H6	出力	汎用出力ポート PO7 のみ, 設定により外部アクセサリ用クロックを出力 (5.2.5 クロック出力レジスタ: CLKOUT (アドレス: 008H) 参照)

(8) テスト用端子

端子名称	端子番号	入出力	機能
TM0-TM7	J10, K9, J9, K2, J2, C8, B3, A9	入力	テスト用入力。通常使用時は EGND へ接続してください。
TM8	B9	出力	テスト用出力。通常使用時はオープンにしてください。
TM9, TM10	B10, A2	入力	テスト用入力。通常使用時は EGND へ接続してください。
TM12, TM13	F1, F2	入力	テスト用入力。通常使用時は EGND へ接続してください。

(9) その他

端子名称	端子番号	入出力	機能
-	A1, A10	-	パッケージ上で接続
-	K1, K10	-	パッケージ上で接続

1.3 未使用端子の処理

未使用の端子は次のように接続することを推奨します。

端子名	入出力	推奨接続方法
A0	入力	EGND へ接続してください。
ASO1	出力	オープンにしてください。
ASI1, ASI2	入力	EGND へ接続してください。
BCLK1	入出力	オープンにしてください。
LRCLK1	入出力	オープンにしてください。
PO0-PO7	出力	オープンにしてください。
TM0-TM7	入力	EGND へ接続してください。
TM8	出力	オープンにしてください。
TM9, TM10	入力	EGND へ接続してください。
TM12, TM13	入力	EGND へ接続してください。

1.4 端子の初期状態

端子名	入出力	リセット中	リセット後
INT_B	出力	ハイ・レベル出力	ハイ・レベル出力
ASO1, ASO2	出力	Hi-Z	出力
BCLK1	入出力	Hi-Z	出力
BCLK2	入出力	Hi-Z	入力
LRCLK1	入出力	Hi-Z	出力
LRCLK2	入出力	Hi-Z	入力
D0-D15	入出力	Hi-Z	入力
PO0-PO7	出力	ロー・レベル出力	ロー・レベル出力

- 備考 1.** リセット解除後は“Transparency mode”として動作します。
- 2.** “Deep sleep mode”における端子状態は、リセット中と同一の状態になります。
- 3.** リセット解除後は ASMODE レジスタにより ASO1/2, BCLK1/2, LRCLK1/2 を制御することができません。

1.5 端子の保護

RESET_B 端子がロー・レベルのとき（リセット状態）、各端子はバス・ラインから保護され、バスが動作していてもスイッチング電流が流れることはありません。

1.6 端子入出力回路

端子名	入出力	説明	端子名	入出力	説明
RESET_B CLKIN WR_B RD_B	入力		CS_B	入力	The input buffer will be protected from the BUS and Clock during RESET_B = Low.
A0-A10 ASI1 ASI2	入力	The input buffer will be protected from the BUS and Clock during RESET_B = Low.	ASO1 ASO2	出力	The output will be Hi-Z state during RESET_B = Low.
PO0- PO7	出力	The output will be Low state during RESET_B = Low.	INT_B	出力	The output will be High state during RESET_B = Low
D0-D15 BCLK1 BCLK2 LRCLK1 LRCLK2	入出力	The output will be Hi-Z state and the input buffer will be protected from the BUS during RESET_B = Low.			

2. 内部電源/クロック供給

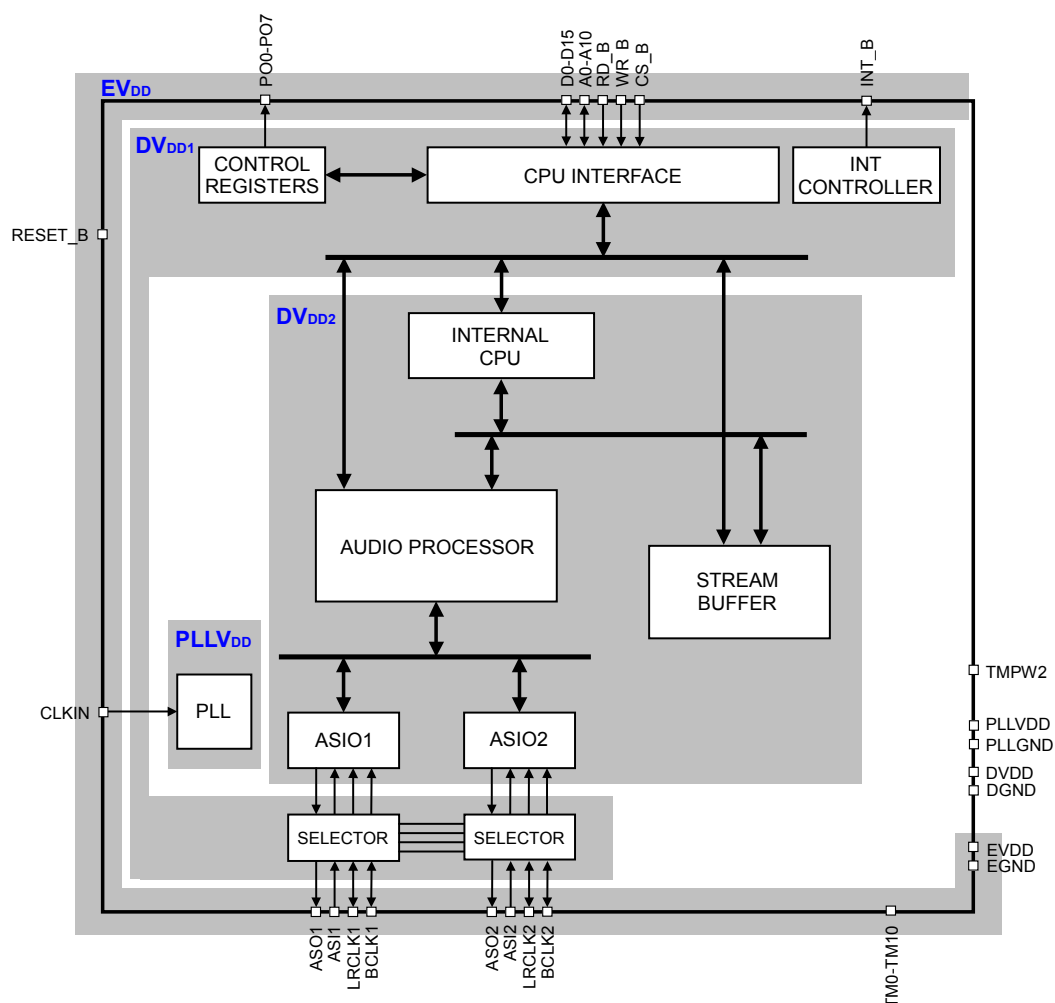
2.1 電源供給

本 LSI は EV_{DD}, DV_{DD}, PLLV_{DD} の 3 つの電源供給が必要です。DV_{DD} は、内部で DV_{DD1} と DV_{DD2} の 2 つの領域に分かれます。DV_{DD1} は DV_{DD} に直結しており、DV_{DD} 投入と同時に供給されます。DV_{DD2} は DV_{DD1} から電源スイッチを介して供給され、必要に応じて電源の ON/OFF をコマンド・レジスタで制御することができます。

表 2 - 1 電源供給

項目	Analog / Digital	電圧範囲	端子名	機能ブロック
I/O	Digital	1.7 ~ 2.0 V	EV _{DD} EGND	デジタル入出力バッファ
Digital Core	Digital	1.16 ~ 1.24 V	DV _{DD1} DGND	ホスト・インタフェース, 端子制御, チップ・コントロール・レジスタ
			DV _{DD2} DGND	CPU, オーディオ・プロセッサ, ストリーム・バッファ
PLL	Analog	1.16 ~ 1.24 V	PLLV _{DD} PLL _{GND}	PLL

図 2 - 1 電源供給



2.1.1 ハードウェア・リセット

本 LSI には、端子によるリセットとコマンド・レジスタによるリセットの 2 種類のハードウェア・リセットがあります。

(1) RESET_B (PIN)

RESET_B 端子は本 LSI 内部回路全体に対するハードウェア・リセット端子です。RESET_B 端子をロー・レベル (EGND レベル) に設定することで LSI はリセット状態になり、内部は次のような状態になります。

- レジスタの初期化

RESET_B をロー・レベルに設定することでチップ・コントロール・レジスタ (DV_{DD1} 領域) が初期化されます。

RESET_B をロー・レベルに設定したあと、DV_{DD2} は OFF 状態になります。

- DV_{DD1} 領域の初期化
- データ・バスの保護
- EV_{DD}, DV_{DD} 領域間のレベル・シフトの保護

(2) RSTBFNC (コマンド・レジスタ)

RSTBFNC は DV_{DD2} 領域に対するハードウェア・リセット・レジスタです。このレジスタは RESET_B = High のときに制御することができます。

- CPU レジスタ, DSP レジスタ, 3DA レジスタ (すべて DV_{DD2} 領域) の初期化
- DV_{DD2} 領域の初期化
- 電源切り替え時における DV_{DD1}, DV_{DD2} 領域間の入力の保護

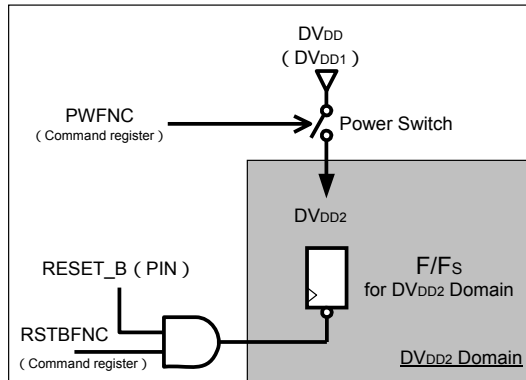
2.1.2 DV_{DD2} ドメインの電源/リセット制御

PWFNC レジスタで DV_{DD2} 領域の電源 ON/OFF 制御を行うことができます。

リセット解除後の初期状態では、PWFNC レジスタは “0” のため DV_{DD2} 領域は OFF 状態になります。PWFNC レジスタに “1” を設定することで DV_{DD2} 領域は ON 状態になります。

DV_{DD2} 領域のリセット制御には RSTBFNC レジスタを使用します。PWFNC レジスタに “1” を設定後に RSTBFNC レジスタへ “1” を設定することで、DV_{DD2} 領域の回路はリセット状態から解除されます (RESET_B 端子で DV_{DD2} 領域のブロックを初期化することはできません)。また、RSTBFNC レジスタは DV_{DD2} 領域から DV_{DD1} 領域へ受け渡す信号の保護にも使用しているため、DV_{DD2} が OFF の期間中は RSTBFNC レジスタを “0” に設定してください。

図 2-2 DV_{DD2} ドメインの電源/リセット制御



電源制御シーケンスは、6. 電源制御を参照してください。

2.2 クロック供給

2.2.1 CLKIN

CLKIN は基準クロック入力端子です。この端子には EV_{DD} レベルの矩形波クロックを供給してください。

2.2.2 PLL

PLL は CLKIN から入力された基準クロックを分周逡倍し、マスタ・クロックを生成します。

PLL ブロックはチップ・コントロール・レジスタ (PLLOSC) により制御することができます。

2.2.3 デバイダとクロック領域

本 LSI には 3 クロックの領域があります。マスタ・クロックは分周器により各領域のクロック信号を生成します。分周期はチップ・コントロール・レジスタ (DSPCKDIV, CPUCKDIV, 3DACKDIV) により制御することができます。

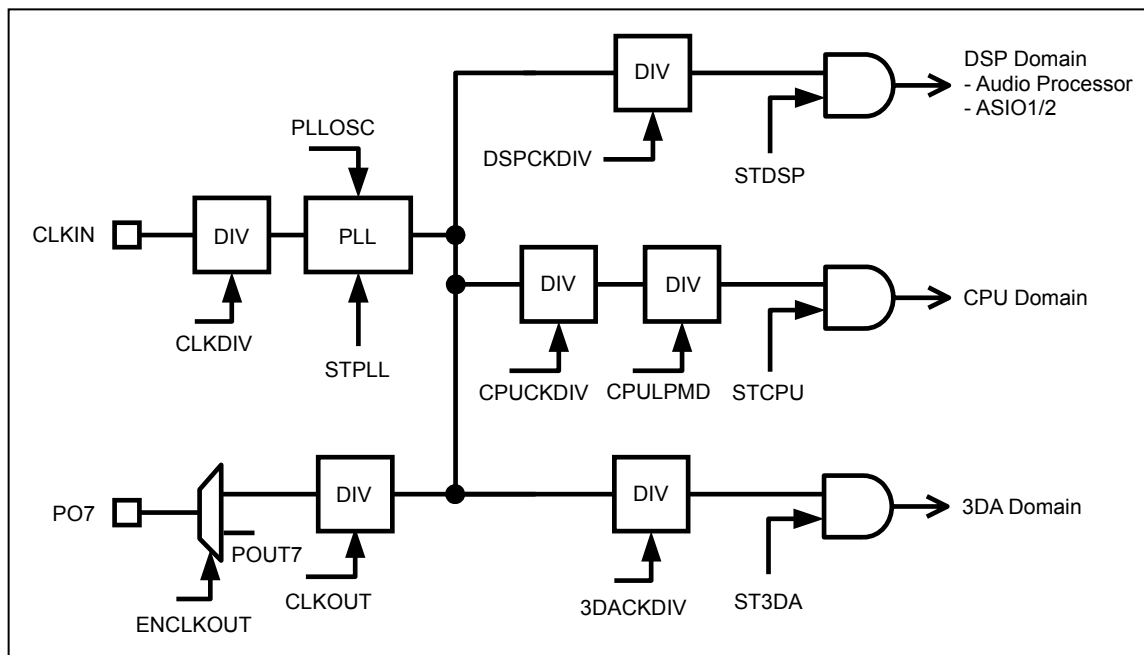
- DSP 領域 : オーディオ・プロセッサ, ASIO1/ASIO2
- CPU 領域 : ストリーム制御とストリーム・バッファ制御用内部 CPU
- 3DA 領域 : 3D アクセラレータ

2.2.4 スタンバイ

各領域のクロックはレジスタにより個別に制御できます。そのため、必要のないクロック領域を停止して消費電力を低減することができます。このレジスタではレジスタ領域の初期化はできません。

- STPLL : PLL の ON/OFF 制御
- STDSP : DSP 領域のクロック ON/OFF 制御
- STCPU : CPU 領域のクロック ON/OFF 制御
- ST3DA : 3D アクセラレータ領域のクロック ON/OFF 制御
- ENCLKOUT : 外部アクセサリ用クロック出力制御

図 2-3 クロック供給

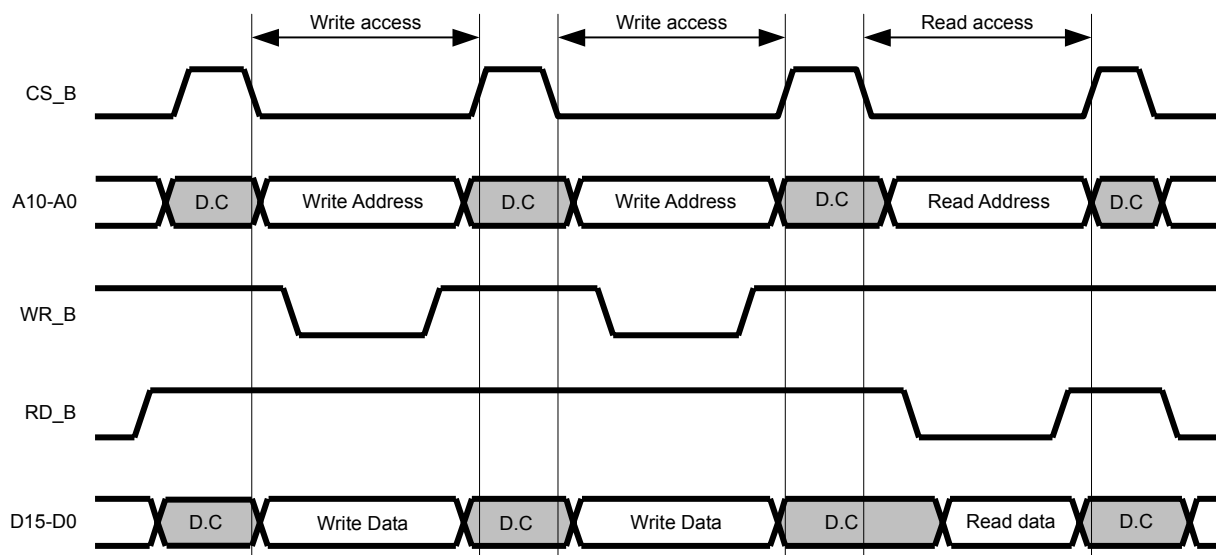


3. ホスト CPU インタフェース

本 LSI は 16 ビット・パラレル・インタフェースを用い、スレーブ・デバイスとして動作します。

本 LSI は CS_B がロー・レベルのときにアドレス・データ信号を検出し、WR_B の立ち上がりエッジによりデータを取得します。

図 3 - 1 パラレル・インタフェース・フォーマット



注意 1. 8.5 AC 特性のタイミング規格を満たすように使用してください。

2. WR_B と RD_B を同時にアクティブにしないでください。

備考 D.C : Don't care.

4. オーディオ・シリアル・インタフェース

オーディオ・シリアル・インタフェース (ASIO) は 16 ビット・シリアル PCM データの送受信に使用します。本 LSI は ASIO を 2 組装備しており、チップ・コントロール・レジスタの設定で次の機能を実現できます。

- I²S フォーマットに対応
- マスタ・モード, スレーブ・モードに対応

備考 マスタ・モード時：マスタとして動作させるにはスレーブ入力が必要です。

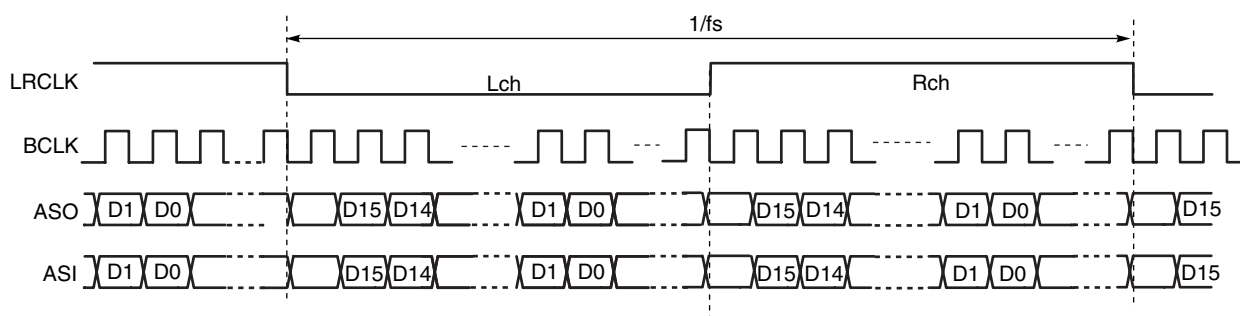
ASIO1	ASIO2	説 明
Slave	Slave	使用不可
Slave	Master	使用可 ただし、ASIO1、ASIO2 は同一の条件で使用する必要があり、“ Synchronized operation ”として動作します。また ASIO2 は単独で動作させることはできません。
Master	Slave	使用可 ただし、ASIO1、ASIO2 は同一の条件で使用する必要があり、“ Synchronized operation ”として動作します。また ASIO1 は単独で動作させることはできません。
Master	Master	使用不可

- 1LRCLK あたりのデータ・スピード (ビット/サンプル) は可変
スレーブ・モード：32 fs ~ 128 fs / 2 ビット・ステップ
- Transparency mode (ASIO1, ASIO2 の直接接続) での動作が可能 (デフォルト設定)

4.1 フォーマット

I²S フォーマットに対応しています。

図 4-1 I²S フォーマット



4.2 同期動作

本 LSI は既存の I²S バス上に挿入することができます。このとき、本 LSI はマスタ・デバイスから受信したビット同期クロック (BCLK)、フレーム同期クロック (LRCLK) と同等の信号を出力します。

そのため ASIO1、ASIO2 は同一のフォーマット、設定で動作します。

図 4-2 同期動作

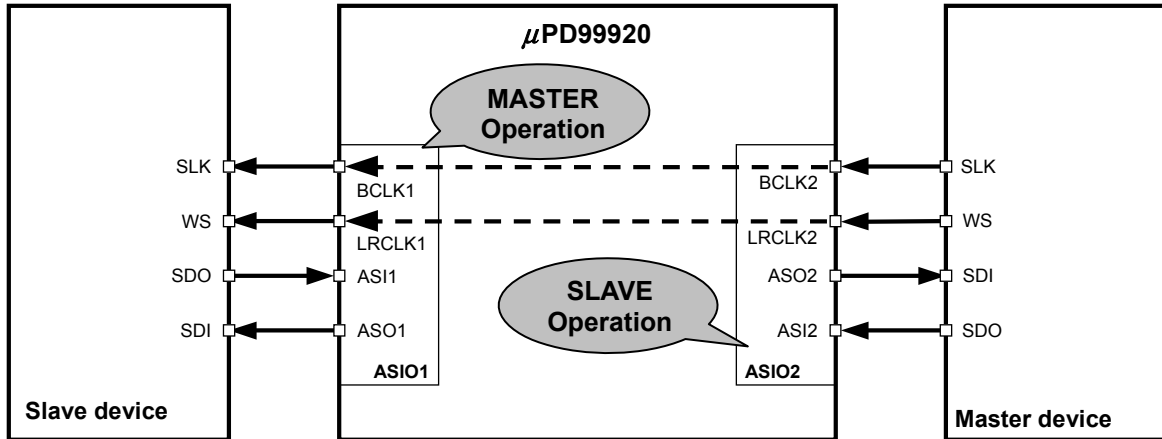
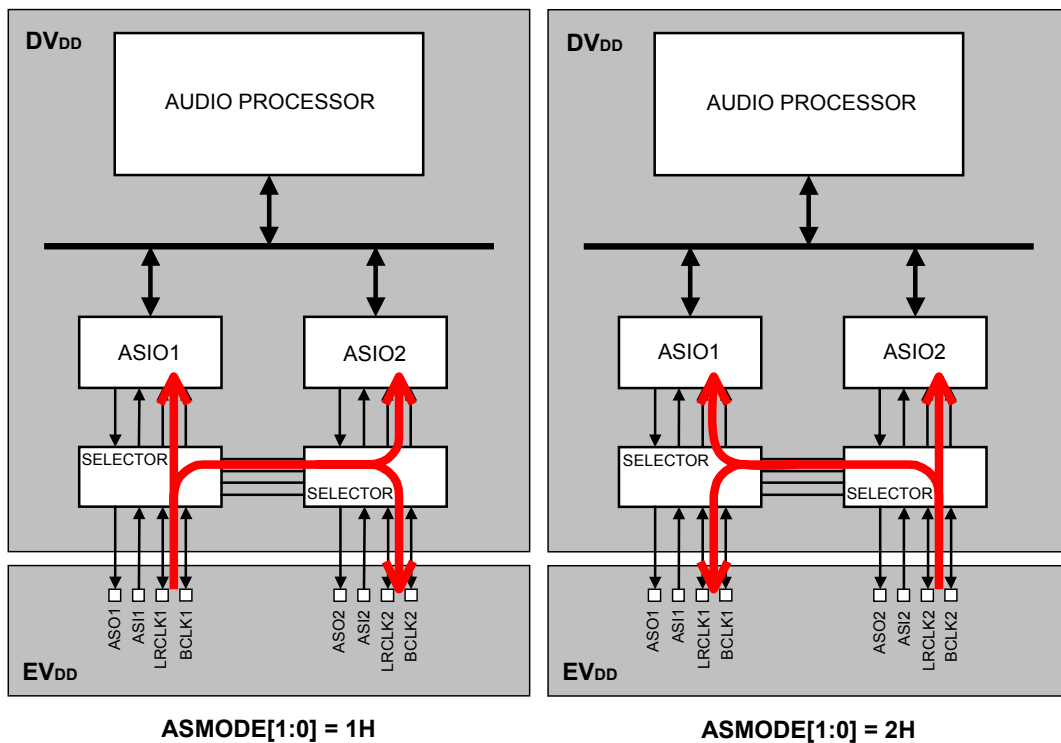


図 4-3 マスタ/スレーブ・モード



4.3 Transparency mode

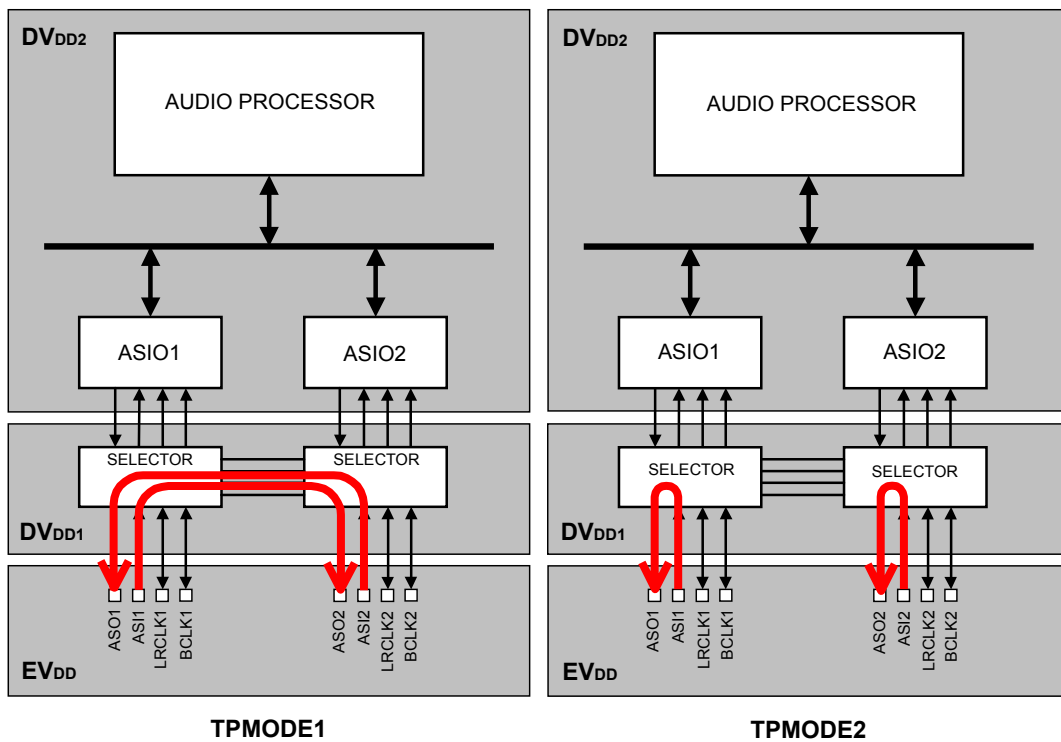
本 LSI では、ASIO1 と ASIO2 を内部で直接接続することができます。アプリケーションが本 LSI の演算機能を使用しないときは、I²S バス上の信号を通過させることができます。

このモードでは次の動作が可能です。

- TPMODE1 : ASIO1/ASIO2 接続
ASI1 ASO2, ASI2 ASO1
- TPMODE2 : ASIO1/ASIO2 内部接続
ASI1 ASO1, ASI2 ASO2

動作の切り替えは DV_{DD1} 領域のレジスタで制御します。このため内部 DV_{DD2} 領域の ON/OFF に関わらず制御することができ、Transparency mode のときは DV_{DD2} 領域を OFF 状態にすることで低消費電力動作を実現することができます。

図 4 - 4 Transparency mode



5. レジスタ

5.1 レジスタ・マップ

Address		Sync/Async	Power domain
000H	チップ・コントロール	S/A	DV _{DD1}
100H	Reserved	A	DV _{DD1}
200H	DSP コントロール	S	DV _{DD2}
300H	CPU コントロール	S	DV _{DD2}
400H	Reserved	S	-
500H	Reserved	S	-
600H	3DA (1)	S	DV _{DD2}
700H	3DA (2)	S	DV _{DD2}

5.1.1 チップ・コントロール・レジスタ一覧

表 5-1 チップ・コントロール・レジスタ一覧

Address	R/W	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	Default	Contents	Register Name	
000H	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PW FNC	0000H	Power domains	PWSW	
002H	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RST BFNC	0000H	Async RESET for Power domains	RST	
004H	R/W	0	0	ST 3DA	0	0	0	0	0	0	0	ST CPU	ST DSP	0	0	0	STPLL	0000H	Standby setting	STNBYB	
006H	R/W	3DACKDIV [1:0]		0	0	CPUCKDIV [1:0]		DSPCKDIV [1:0]		CPULPMD [1:0]		PLLOSC[5:0]					0829H	Master clock setting	MCLK		
008H	R/W	0	0	0	0	0	0	0	ENCLKOUT	0	0	0	CLKOUT[4:0]				000DH	Clock Out	CLKOUT		
00AH	R/W	0	0	0	0	0	0	TPMODE [1:0]		0	0	ASMODE[1:0]		ASI1 EN	ASO1 EN	ASI2 EN	ASO2 EN	012FH	ASIO control	ASIOCNT	
00CH	R/W	0	0	0	0	0	0	CLKDIV[9:0]									0000H	Clock Divide	CLKDIV		
020H	R/W	0	0	0	0	0	0	0	0	POUT 7	POUT 6	POUT 5	POUT 4	POUT 3	POUT 2	POUT 1	POUT 0	0000H	General purpose port output setting	POUT	
030H	R	0	0	0	0	0	0	0	0	0	0	INT SRC5	INT SRC4	INT SRC3	INT SRC2	INT SRC1	INT SRC0	0000H	Interrupt source register	INTSRC	
032H	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	ITIM2	ITIM1	ITIM0	0000H	Interrupt clear for Timer	ITIM	
034H	R/W	0	0	0	0	0	0	0	0	0	0	INTM5	INTM4	INTM3	INTM2	INTM1	INTM0	0000H	Mask for INT controller input	INTM	
040H	R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	EN FLG	0000H	Enable flag for device access	ENFLG	
042H	R	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CST CPU	CST DSP	0000H	Status of continuous access	CSTA
044H	W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CCLR CPU	CCLR DSP	0000H	Release of continuous access	CCLR
050H	R/W	0	0	0	0	0	0	0	0	0	0	0	SL SYNC	0	0	0	SL MEM	0000H	3DA control	3DACNT	
070H	R	0	0	0	0	0	0	0	PVER[3:0]			MVER[3:0]			005*H	Product discernment and LSI Version	VER				
0FEH	R/W	TREGRW															0000H	Register R/W Test	TREGRW		

備考 アドレスが 030H , 032H , 034H のレジスタは PLL 起動後にアクセスすることができます。
 アドレスが 0FEH のレジスタはアクセス確認用のテスト・レジスタです。

注意 上記アドレス以外のレジスタにアクセスしないでください。

5.1.2 DSP コントロール・レジスタ一覧

表 5 - 2 DSP コントロール・レジスタ一覧

アド レス	R/W	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値	制御内容	レジスタ名
200H : 2FDH	R/W	Register for the DSP block																		
2FEH	R/W	TREGRW																0000H	Register R/W Test	TREGRW

備考 この領域のレジスタには PLL 起動後，かつ STDSP = 1 を設定したあとにアクセスすることができます。
アドレスが 2FEH のレジスタはアクセス確認用のテスト・レジスタです。

注意 上記アドレス以外のレジスタにアクセスしないでください。

5.1.3 CPU コントロール・レジスタ一覧

表 5 - 3 CPU コントロール・レジスタ一覧

アド レス	R/W	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値	制御内容	レジスタ名
300H : 3FDH	R/W	Register for the internal CPU block																		
3FEH	R/W	TREGRW																0000H	Register R/W Test	TREGRW

備考 この領域のレジスタには PLL 起動後，かつ STCPU = 1 を設定したあとにアクセスすることができます。
アドレスが 3FEH のレジスタはアクセス確認用のテスト・レジスタです。

注意 上記アドレス以外のレジスタにアクセスしないでください。

5.1.4 3D アクセラレータ・コントロール・レジスタ一覧

表 5 - 4 3D アクセラレータ・コントロール・レジスタ一覧

アド レス	R/W	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	初期値	制御内容	レジスタ名
600H : 7FDH	R/W	Register for the 3D Accelerator																		
7FEH	R/W	TREGRW																0000H	Register R/W Test	TREGRW

備考 この領域のレジスタには PLL 起動後，かつ ST3DA = 1 を設定したあとにアクセスすることができます。
アドレスが 7FEH のレジスタはアクセス確認用のテスト・レジスタです。

注意 上記アドレス以外のレジスタにアクセスしないでください。

5.2 チップ・コントロール・レジスタ

5.2.1 パワー・ドメイン・コントロール・レジスタ : PWSW (アドレス : 000H)

(1) PWFNC

DV_{DD2}領域の制御レジスタ・ビットです。

PWFNC = “ 1 ” のとき , DV_{DD2}領域が有効になります。

PWFNC = “ 1 ” 設定後は , 所定の起動時間が経過したあとに DV_{DD2}領域に対しリセット処理 (RSTBFNC ビット = 0) を行ってください。

PWFNC

データ	モード	初期値	説明
0	OFF	0	DV _{DD2} の内部電源領域を OFF にする
1	ON		通常動作

5.2.2 パワー・ドメイン Async リセット・レジスタ : RSTB (アドレス : 002H)

RSTB は DV_{DD2}領域の内部状態を初期化するレジスタです。DV_{DD2}を ON にしたあとは必ず実行してください。

(1) RSTBFNC

DV_{DD2}領域のハードウェア・リセット・レジスタ・ビットです。PWFNC の値を変更したあとは必ずこのビットに “ 0 ” を設定してください。

RSTBFNC

データ	モード	初期値	説明
0	Reset	0	DV _{DD2} 領域のハードウェアをリセットする
1	Active		通常動作

5.2.3 スタンバイ設定レジスタ：STNBY（アドレス：004H）

このレジスタは内部機能ブロックに供給するクロックの制御レジスタです。
このレジスタで各ブロックを初期化することはできません。

(1) STPLL

PLL の ON/OFF 制御レジスタ・ビットです。PLL の ON/OFF を制御します。

STPLL

データ	モード	初期値	説明
0	Standby	0	PLL ブロックのスタンバイ
1	ON		通常動作

備考 PLL スタンバイ状態ではマスタ・クロックが停止します。

(2) STDSP

DSP 領域のクロック ON/OFF 制御レジスタ・ビットです。STDSP = 0 のとき、DSP ブロックはスタンバイ状態になります。このとき DSP にはクロックが供給されないため、DSP レジスタにアクセスできなくなります。

STDSP

データ	モード	初期値	説明
0	Standby	0	DSP ブロックのスタンバイ
1	ON		通常動作

(3) STCPU

CPU 領域のクロック ON/OFF 制御レジスタ・ビットです。STCPU = 0 のとき、内部 CPU ブロックはスタンバイ状態になります。このとき CPU にはクロックが供給されないため、CPU レジスタにアクセスできなくなります。

STCPU

データ	モード	初期値	説明
0	Standby	0	CPU ブロックのスタンバイ
1	ON		通常動作

(4) ST3DA

3D アクセラレータのクロック ON/OFF 制御レジスタ・ビットです。ST3DA = 0 のとき、3D アクセラレータ・ブロックはスタンバイ状態になります。このとき 3D アクセラレータにはクロックが供給されないため、3D アクセラレータ・レジスタにアクセスできなくなります。

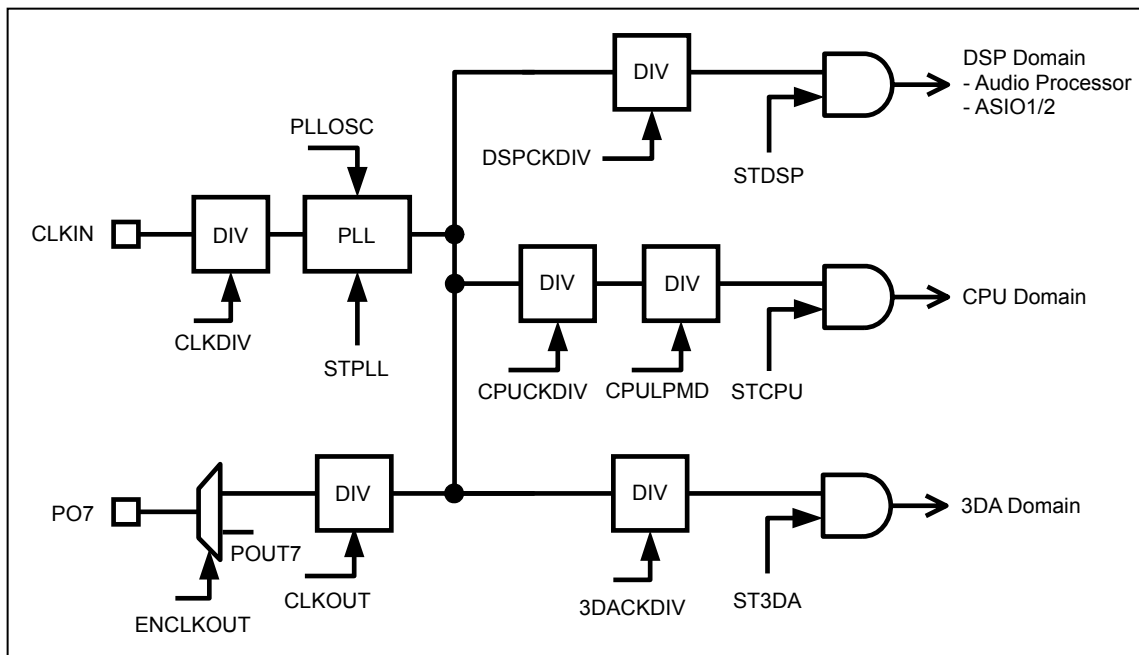
ST3DA

データ	モード	初期値	説明
0	Standby	0	3D アクセラレータ・ブロックのスタンバイ
1	ON		通常動作

5.2.4 マスタ・クロック設定レジスタ：MCLK（アドレス：006H）

MCLK は LSI の内部マスタ・クロックを制御します。

図 5 - 1 Transparency mode



(1) PLLOSC

PLL 出力制御レジスタ・ビットです。

PLLOSC[5:0]

PLLOSC[5:0]	初期値	振動数[MHz]
1DH	29H	122.880
1EH		126.976
1FH		131.072
20H		135.168
21H		139.264
22H		143.360
23H		147.456
24H		151.552
25H		155.648
26H		159.744
27H		163.840
28H		167.936
29H		172.032
2AH		176.128
2BH		180.224
2CH		184.320
2DH	188.416	
2EH	192.512	

注意 00H-1CH および 2FH-3FH は設定禁止です。

上記は CLKIN に 32.768 kHz を入力し、CLKDIV を 00H (分周比 1/1) 設定としたときの値です。

(2) DSPCKDIV

DSP 領域へのクロック分周設定ビットです。

DSPCKDIV[1:0]

DSPCKDIV[1:0]	初期値	分周比率
0H	0H	1/2
1H		1/3
2H		1/4

注意 3H は設定禁止です。

(3) CPUCKDIV

CPU 領域へのクロック分周設定ビットです。

CPUCKDIV[1:0]

CPUCKDIV[1:0]	初期値	分周比率
0H	2H	1/2
1H		1/3
2H		1/4

注意 3H は設定禁止です。

(4) 3DACKDIV

3D アクセラレータ領域へのクロック分周設定ビットです。

3DACKDIV[1:0]

3DACKDIV[1:0]	初期値	分周比率
0H	0H	1/2
1H		1/3
2H		1/4

注意 3H は設定禁止です。

(5) CPULPMD

CPU 領域へのクロック分周設定ビットです。CPUCKDIV で分周したクロックをさらに分周します(図 5 - 1 参照)。

CPULPMD[1:0]

CPULPMD[1:0]	初期値	分周比率
0H	0H	1/1
1H		1/2
2H		1/4

注意 3H は設定禁止です。

また、これらのレジスタ値を変更する場合は STCPU = 0 または STPLL = 0 のときに行ってください。

5.2.5 クロック出力レジスタ：CLKOUT（アドレス：008H）

このレジスタでは外部アクセサリ用クロック出力を制御します。このクロックは PO7 端子から出力します。

(1) ENCLKOUT

外部アクセサリ用クロック出力制御レジスタ・ビットです。

ENCLKOUT

データ	モード	初期値	説明
0	OFF	0	クロック出力無効
1	ON		クロック出力有効

- 注意 1. POUT7 レジスタは必ず “0” の状態で使用してください。
2. 正常なクロック波形を保つため、ENCLKOUT 制御とクロック出力/停止のタイミングが多少ずれる場合があります。

(2) CLKOUT

外部アクセサリ用クロック出力の分周比設定ビットです。PLLOSC で設定した周波数に対し、本レジスタのビットで設定した分周比を掛け合わせた値がクロック出力の周波数になります。

CLKOUT[4:0]

CLKOUT[4:0]	初期値	振動数
00H	0DH (= 1/14)	1/1
01H		1/2
⋮		⋮
1EH		1/31
1FH		1/32

注意 CLKOUT の設定変更は、ENCLKOUT が “0” の状態で行ってください。

5.2.6 ASIO コントロール・レジスタ : ASI0CNT (アドレス : 00AH)

(1) ASI1EN , ASI2EN , ASO1EN , ASO2EN

ASI1 , ASI2 , ASO1 , ASO2 端子の状態制御ビットです。

ASI1EN

データ	モード	初期値	説明
0	OFF	1	ASI1は無効です。 ^{注1}
1	ON		ASI1は有効です。

ASI2EN

データ	モード	初期値	説明
0	OFF	1	ASI2は無効です。 ^{注1}
1	ON		ASI2は有効です。

ASO1EN

データ	モード	初期値	説明
0	OFF	1	ASO1は無効です。 ^{注2}
1	ON		ASO1は有効です。

ASO2EN

データ	モード	初期値	説明
0	OFF	1	ASO2は無効です。 ^{注2}
1	ON		ASO2は有効です。

- 注 1. ASI1EN = ASO1EN = “ 0 ” のとき , LRCLK1 , BCLK1 端子は Hi-Z です。
 ASI2EN = ASO2EN = “ 0 ” のとき , LRCLK2 , BCLK2 端子は Hi-Z です。
2. ASO1EN = “ 0 ” のとき , ASO1 は Hi-Z です。
 ASO2EN = “ 0 ” のとき , ASO2 は Hi-Z です。

備考 ASI1/ASI2 端子には不定値を入力しないようにしてください。

(2) ASMODE

ASIO ブロックのマスタ/スレーブ動作を制御します。

ASIO1 または ASIO2 において、一方からスレーブ・モードとして受信した LRCLK/BCLK は、もう一方からマスタ・モードとして出力します。そのため、本 LSI でマスタ・クロックを生成することはありません。また、ASIO1 クロックと ASIO2 クロックは同一のクロックになります。

ASMODE[1:0]

データ	初期値	ASIO1	ASIO2	説明
0H	2H	-	-	使用禁止
1H		スレーブ	マスタ	ASIO2 の LRCLK, BCLK 信号は, ASIO1 と同じです。
2H		マスタ	スレーブ	ASIO1 の LRCLK, BCLK 信号は, ASIO2 と同じです。
3H		-	-	使用禁止

端子入出力状態

データ	LRCLK1	BCLK1	LRCLK2	BCLK2
0H	-	-	-	-
1H	入力	入力	出力	出力
2H	出力	出力	入力	入力
3H	-	-	-	-

(3) TPMODE

Transparency mode の制御レジスタ・ビットです。TPMODE = 0H 以外の設定では、ASI1/ASI2 と ASO1/ASO2 は内部的に分離され、DV_{DD1} 領域で直接接続されます。

TPMODE[1:0]

データ	モード	初期値	説明
0H	Normal	1H	内部回路に接続
1H	TPMODE1		ASI2 と ASO1, ASI1 と ASO2 を接続
2H	TPMODE2		ASI1 と ASO1, ASI2 と ASO2 を接続
3H	-		使用禁止

5.2.7 クロック・ディバイド・レジスタ (オプション): CLKDIV (アドレス : 00CH)

本 LSI は基準クロックとして 32.768 kHz の使用を前提としています。通常は 1/1 (CLKDIV = 00H) で設定してください。

オプション機能として、このレジスタにより 32.768 kHz 以外のクロックにも対応できるよう、分周機能を設けています。

CLKDIV[9:0]

CLKDIV[9:0]	初期値	振動数
00H	00H (= 1/1)	1/1
01H		1/2
:		:
3FEH		1/1023
3FFH		1/1024

注意 上記以外の値を設定した場合は無効となるため、設定しないでください。

また、このレジスタ値を変更する場合は STPLL = 0 のときに行ってください。

5.2.8 汎用出力ポート設定レジスタ : POUT (アドレス : 020H)

POUT レジスタは汎用出力ポート PO0-PO7 の値を制御します。

本機能は DV_{DD2} 領域の ON/OFF に関わらず使用することが可能です。

PO7 端子はアクセサリ用クロック出力端子と共用しているため、ENCLKOUT レジスタが “1” のときは使用できません。

また ENCLKOUT を使用する場合はあらかじめ POUT7 に “0” をセットしてください。

POUT0-POUT7

データ	モード	初期値	説明
0	ロー	0	対応するピンから PO0-PO7 へロー・レベル出力
1	ハイ		対応するピンから PO0-PO7 へハイ・レベル出力

備考 RESET_B = Low のときは “0” が出力されます。

5.2.9 割り込み要因レジスタ : INTSRC (アドレス : 030H)

このレジスタは各機能ブロックからの割り込み要因の判断に使用します。内部機能ブロックから割り込み要求が発生したときは “1” に設定されます。

INTSRC[5:0]

ビット	初期値	説明
5-0	0	0 : 割り込み要求なし 1 : 割り込み要求あり

5.2.10 タイマ割り込みクリア・レジスタ：ITIM（アドレス：032H）

このレジスタによりタイマ割り込みをクリアします。

このレジスタに“1”を設定することで割り込みはクリアされます（“0”を設定した場合、割り込みを保持します）。

ITIM0-ITIM2

ビット	モード	初期値	説明
0	保持	0	割り込みを保持
1	クリア		割り込みをクリア

5.2.11 割り込みマスク・コントロール・レジスタ：INTM（アドレス：034H）

このレジスタは各機能ブロックからの割り込み要求をマスクします。

ITIM [5:0]

ビット	初期値	説明
5-0	0	割り込みコントローラ入力のマスク 0：マスクする 1：マスクしない

5.2.12 PLL イネーブル・フラグ有効レジスタ：ENFLG（アドレス：040H）

このレジスタはPLLの有効状態を示します。PLLが起動し、安定したあとにENFLGは“1”になります。

ENFLG1

データ	モード	初期値	説明
0	非アクティブ	0	PLLは無効
1	アクティブ		PLLは有効

5.2.13 連続データ・アクセス・コントロール・レジスタ：CSTA（アドレス：042H）、CCLR（アドレス：044H）

(1) CSTDSP

DSP に対する連続データ転送時の状態を示します。連続データ・アクセス・モード中は CSTDSP = “1” になります。

本ビットは次の状態のときに “0” になります。

- データ・アクセスが正常に完了したとき
- CCLR DSP ビットに “1” を書き込んだとき

CSTDSP

データ	モード	初期値	説明
0	通常	0	通常モード
1	連続		連続モードを保持する

(2) CSTCPU

CPU に対する連続データ転送時の状態を示します。連続データ・アクセス・モード中は CSTCPU = “1” になります。

本ビットは次の状態のときに “0” になります。

- データ・アクセスが正常に完了したとき
- CCLR CPU ビットに “1” を書き込んだとき

CSTCPU

データ	モード	初期値	説明
0	通常	0	通常モード
1	連続		連続モードを保持する

(3) CCLR DSP

DSP への連続アクセス・モードを制御します。

DSP へのアクセスが連続モード（CSTDSP = “1”）のとき、ホストは CCLR DSP に “1” を書き込むことにより、連続アクセス・モードを解除することができます。解除したあとは必ず “0” を書き込んでください。なお、このビットへのアクセスは書き込みのみになります。

CCLR DSP

データ	モード	初期値	説明
0	-	0	-
1	クリア		連続モードをクリアする

(4) CCLRCPU

CPU への連続アクセス・モードを制御します。

CPU へのアクセスが連続モード (CSTCPU = “1”) のとき、ホストは CCLRCPU に “1” を書き込むことにより、連続アクセス・モードを解除することができます。解除したあとは必ず “0” を書き込んでください。なお、このビットへのアクセスは書き込みのみになります。

CCLRCPU

データ	モード	初期値	説明
0	-	0	-
1	クリア		連続モードをクリアする

5.2.14 3D アクセラレータ・コントロール・レジスタ (アドレス : 050H)

3D アクセラレータ機能を使用する場合に設定します。

(1) SLMEM

SLMEM ビットによりストリーム・バッファ領域の一部を 3D アクセラレータ用メモリ領域として割り当てます。

SLMEM

データ	モード	初期値	説明
0	ストリーム・ バッファ	0	ストリーム・バッファに接続する
1	3D アクセラレータ		3D アクセラレータに接続する

(2) SLSYNC

ASIO1, ASIO2 から 3D アクセラレータへの同期信号の選択に使用します。

SLSYNC

データ	モード	初期値	説明
0	ASIO1	0	ASIO1 の同期信号を選択する
1	ASIO2		ASIO2 の同期信号を選択する

5.2.15 製品識別 / LSI バージョン・レジスタ (アドレス : 070H)

本 LSI のバージョンを表します。

(1) PVER [3:0]

製品識別コードを示します。本 LSI は “5H” に設定されています。

(2) MVER [3:0]

LSI バージョン識別コードを示します。

5.3 DSP コントロール・レジスタ

DSP コントロール・レジスタはオーディオ・プロセッサ (DSP) の制御に使用します。この領域は PLL 起動後、かつスタンバイ・レジスタ解除後にアクセスすることができます。また、RESET_B 端子、チップ・コントロール・レジスタ領域の RSTBFNC により初期化することができます。

この領域に対する設定値および情報は、ファームウェアと共に提供します。

5.4 CPU コントロール・レジスタ

CPU コントロール・レジスタは内部 CPU の制御に使用します。この領域は PLL 起動後、かつスタンバイ・レジスタ解除後にアクセスすることができます。また、RESET_B 端子、チップ・コントロール・レジスタ領域の RSTBFNC により初期化することができます。

この領域に対する設定値および情報は、ファームウェアと共に提供します。

5.5 3D アクセラレータ・コントロール・レジスタ (アドレス : 050H)

3D アクセラレータ・コントロール・レジスタは 3D アクセラレータの制御に使用します。この領域は PLL 起動後、かつスタンバイ・レジスタ解除後にアクセスすることができます。また、RESET_B 端子、チップ・コントロール・レジスタ領域の RSTBFNC により初期化することができます。

この領域に対する設定値および情報は、ファームウェアと共に提供します。

5.6 R/W レジスタ・テスト・レジスタ : TREGRW (アドレス : 0FEH)

アクセス確認用のテスト・レジスタです。各レジスタ領域に 1 アドレスが配置されています。

16 ビットすべて自由に読み出し、書き込みが可能です。

6. 電源制御

6.1 電源領域

本 LSI 内部は 4 つの電源領域で構成されています。

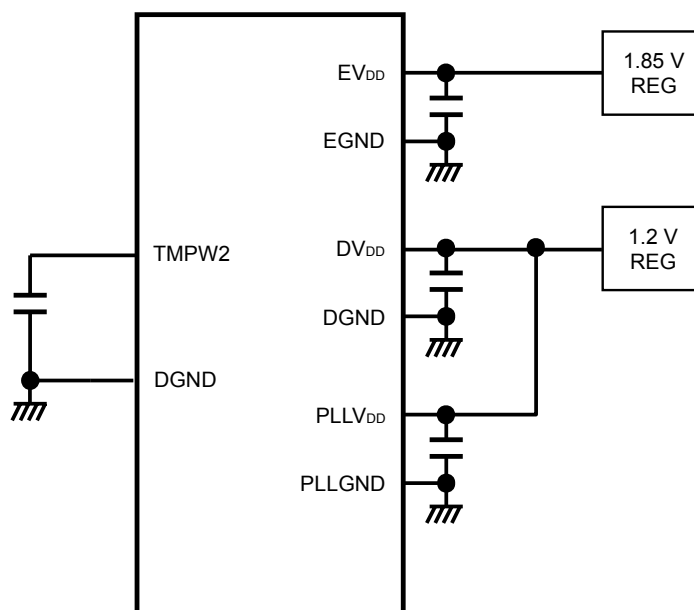
各電源について、使用可能となる組み合わせは次のとおりです。

表 6 - 1 電源領域の組み合わせ

番号	電源領域				機能 / モード				備考
	EV _{DD}	DV _{DD}		PLL _{VDD}	Deep Sleep	Sleep	Transparency	Audio decode	
		DV _{DD1}	DV _{DD2}						
1	OFF	OFF	OFF	OFF	無効	無効	無効	無効	OFF
2	ON	OFF	OFF	OFF	6.2.5 参照	無効	無効	無効	RESET_B = Low Level
3	ON	ON	OFF	ON	無効	6.2.1 参照	6.2.3 参照	無効	RSTBFNC = 0
4	ON	ON	ON	ON	無効	6.2.2 参照	6.2.4 参照	有効	

注意 DV_{DD} , PLL_{VDD} は同一の電源から供給してください。

図 6 - 1 電源接続



備考 1. DV_{DD} と PLL_{VDD} 間の共通インピーダンスを最小にすることを推奨します。

2. バイパス・コンデンサは可能な限り端子の近くに配置してください。

3. TMPW2 のコンデンサは DV_{DD2} のバイパス・コンデンサです。

6.2 動作モード

6.2.1 Sleep mode (STNBY = 0000H, PWSW = 0000H, RSTB = 0000H)

スタンバイ・レジスタを使用して内部クロックを停止させた状態です。DV_{DD2}領域を OFF させることで低消費電力状態にします。

DV_{DD2}領域を OFF 状態にしたとき、DV_{DD1}領域を除くすべてのレジスタのデータが削除されます。そのため DV_{DD2}領域を起動したあとは必ずデータを再設定してください。

6.2.2 Sleep mode (STNBY = 0000H, PWSW = 0001H)

スタンバイ・レジスタを使用して内部クロックを停止させた状態です。

このモードを実行している間、チップ・コントロール・レジスタおよびメモリの値は保持されます。そのため、動作復帰後にレジスタ値の再設定、ファームウェアの再ダウンロードをする必要はありません。

STNBY レジスタを“0000H”に設定すると、Sleep mode へ移行することができます。

6.2.3 Transparency mode (STNBY = 0000H, PWSW = 0000H, RSTB = 0000H)

6.2.1 の設定で ASIO1 と ASIO2 を直接接続した状態です。

6.2.4 Transparency mode

通常の動作で ASIO1 と ASIO2 を直接接続した状態です。

6.2.5 Deep sleep mode

このモードでは EV_{DD} 以外の電源 (DV_{DD}, PLLV_{DD}) を停止することができます。そのため、消費電力が最も低い状態になります。なお、EV_{DD} はデータ・バスのデータ送受信を保護するために、電圧を保持する必要があります。

注意 レジスタおよびメモリに書き込まれた値はすべて消去されます。通常動作への復帰後は、必ずデータを再設定してください。

Deep sleep mode に移行する場合は、次の項目を実行してください。

RESET_B 端子をロー・レベルに設定し、DV_{DD}/PLLV_{DD} を OFF 状態に設定

データ・バスの保護のために EV_{DD} の供給を保持

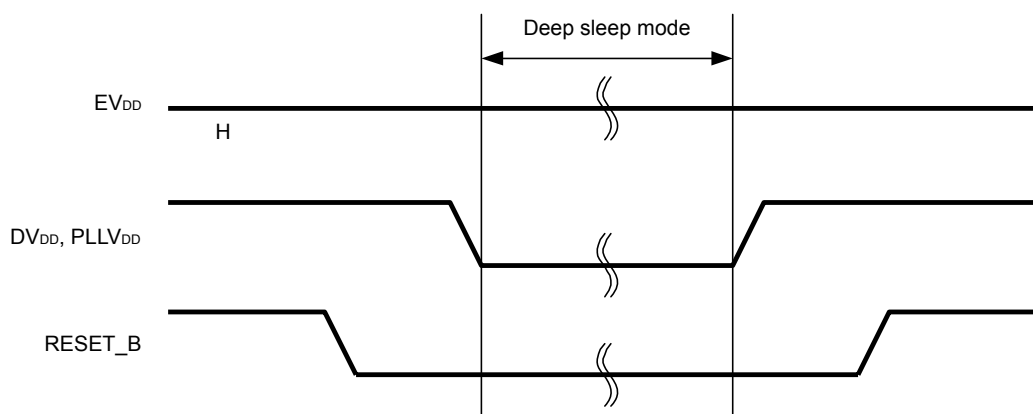
Deep sleep mode 動作中は必ず RESET_B 端子をロー・レベルに固定

通常動作に復帰する場合は次の手順を実行してください。

RESET_B 端子をロー・レベルに設定し、DV_{DD}/PLLV_{DD} を ON 状態に設定

RESET_B 端子をハイ・レベルに設定

図 6 - 2 Deep sleep mode



注意 RESET_B 端子がハイ・レベルのとき、データ・バスを含む全端子に不定値を出力してしまうため、バス競合が生じる可能性があります。Deep sleep mode 動作中は必ず RESET_B 端子をロー・レベルに固定してください。

また EV_{DD} を OFF 状態にしてしまうと、データ・バスを妨害する可能性があります。データ・バスの保護のために EV_{DD} の供給を保持してください。

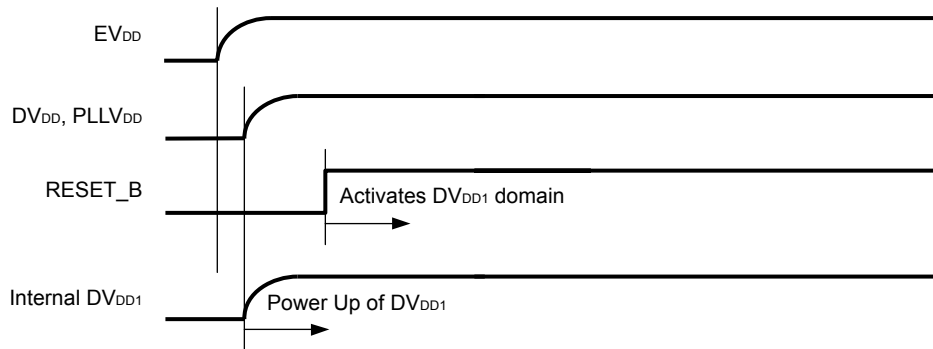
7. 電源投入手順

7.1 電源起動

7.1.1 基本手順

電源の制御は RESET_B 端子をロー・レベルに設定した状態で行ってください。電源電圧が設定値に達したあと、RESET_B 端子をハイ・レベルに設定することで内部 DV_{DD1} 領域がアクティブになります。

図 7-1 電源起動



設定手順

RESET_B 端子をロー・レベルに設定 (EGND レベル)

EV_{DD} 供給

DV_{DD}, PLLV_{DD} 供給

実行後、内部 DV_{DD1} は DV_{DD} と連動して供給されます。

すべての電源が安定して供給されるまで待機

RESET_B 端子をハイ・レベルに設定 (EV_{DD} レベル)

DV_{DD1} 領域を動作開始

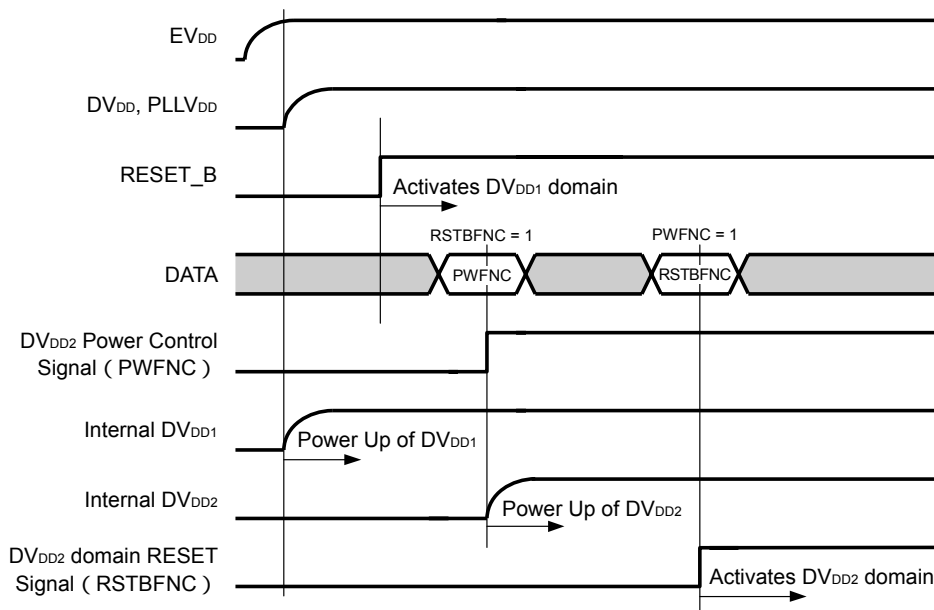
注意 1. DV_{DD} 電源を供給する前に EV_{DD} 電源を供給してください。EV_{DD} 供給前に DV_{DD} を供給した場合、予期せぬ電源電流が発生することがあります。

2. RESET_B 端子のレベルがロー・レベル以外の状態で電源が供給された場合、データ・バスを含む全端子に不定値を出力してしまうため、バス競合が生じる可能性があります。

7.1.2 DV_{DD2} 領域電源起動

DV_{DD2} 領域の電源起動はコマンドレジスタ (PWFNC) によって行います。制御手順を次に示します。

図 7-2 DV_{DD2} 領域電源起動



設定手順

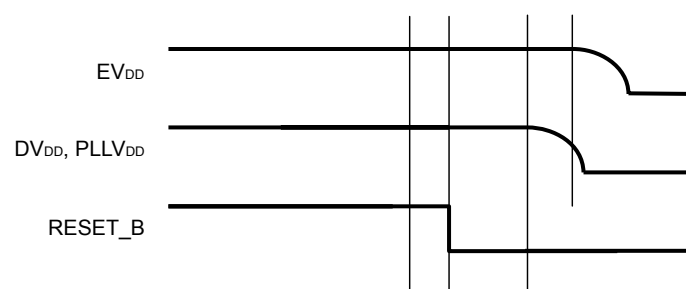
- Basic sequence により DV_{DD1} 領域を起動
- PWFNC レジスタに “ 1 ” を設定
- PWFNC レジスタに “ 1 ” を設定し、DV_{DD2} 領域の電源投入
- DV_{DD2} が安定するまで待機 (待機時間: 1 ms)
- RSTBFNC レジスタに “ 1 ” を設定
- RSTBFNC レジスタに “ 1 ” を設定し、DV_{DD2} 領域のハードウェア・リセット解除
- DV_{DD2} 領域の動作開始

注意 RESET_B 端子では DV_{DD2} 領域を初期化することはできません。DV_{DD2} 電圧が設定値に達したあと、RSTBFNC レジスタによる初期化を行ってください (RSTBFNC レジスタの初期値は “ 0 ” でリセット状態です)。

7.2 電源立ち下げ手順

電源立ち下げ手順を次に示します。

図 7 - 3 電源立ち下げ手順



設定手順

RESET_B 端子をロー・レベルに設定 (EGND レベル)

DV_{DD}, PLLV_{DD} の供給を停止

EV_{DD} の供給を停止

注意 1. DV_{DD} の供給停止後に EV_{DD} の供給を停止してください。

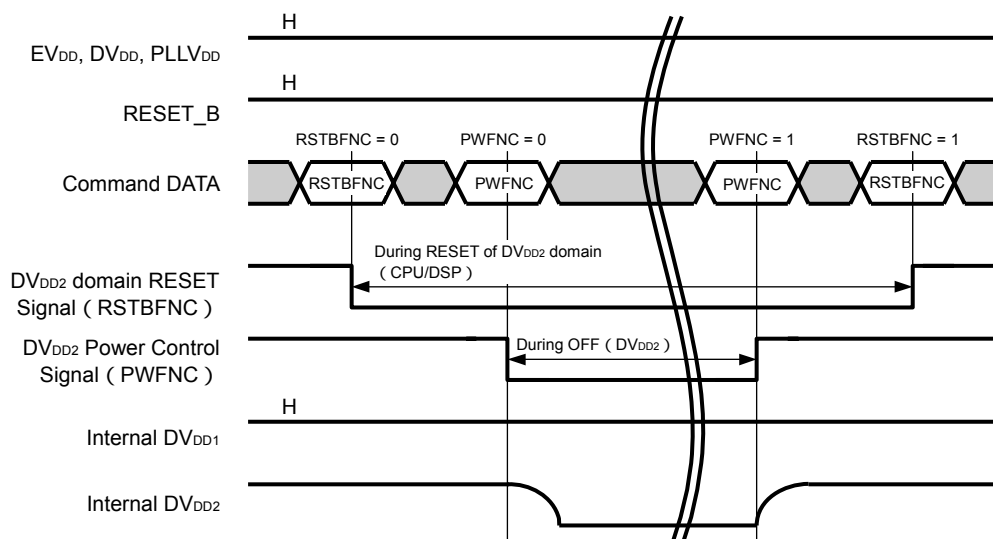
2. 電源立ち下げ後はすべての端子が不定状態となるため、立ち下げ中にデータ・バスがアクティブ状態にあると、バス競合が生じる可能性があります。

7.3 動作時の電源制御

7.3.1 DV_{DD2} 制御

低消費電力動作のために、PWFNC レジスタによって内部 DV_{DD2} 領域を ON/OFF することが可能です。PWFNC による DV_{DD2} 領域の制御手順を次に示します。

図 7-4 DV_{DD2} 制御



設定手順

● 電源 OFF

RSTBFNC レジスタを“0”に設定

PWFNC レジスタを“0”に設定

PWFNC レジスタを“0”に設定することで DV_{DD2} 領域は OFF 状態になる

● 電源 ON

PWFNC レジスタを“1”に設定

PWFNC レジスタを“1”に設定することで DV_{DD2} 領域は ON 状態になる

DV_{DD2} 領域が安定するまで待機 (待機時間: 1 ms)

RSTBFNC レジスタを“1”に設定

RSTBFNC レジスタに“1”を設定することで、DV_{DD2} 領域のハードウェア・リセットを解除する

DV_{DD2} 領域の動作開始

注意 DV_{DD2} を OFF するときには、あらかじめ RSTBFNC レジスタに“0”を設定してください。RSTBFNC = 0 を設定する前に DV_{DD2} を OFF にした場合は、DV_{DD1} 領域に予期せぬ電流が発生する可能性があります。

また、DV_{DD2} が OFF の期間中は RSTBFNC レジスタを常に“0”にしてください (DV_{DD2} を ON にする場合の注意は7.1.2 DV_{DD2} 領域電源起動を参照してください)。

8. 電気的特性

8.1 絶対最大定格

項目	略号	条件	定格	単位
電源電圧	DV _{DD}	デジタル・ブロック用	- 0.5 ~ +1.6	V
	EV _{DD}	I/O ブロック用	- 0.5 ~ +2.5	V
	PLL _{VDD}	PLL ブロック用	- 0.5 ~ +1.6	V
入力電圧	V _i	V _i /V _o < EV _{DD} + 0.5 V	- 0.5 ~ +2.5	V
出力電圧	V _o		- 0.5 ~ +2.5	V
許容損失	P _d		300	mW
保存温度	T _{stg}		- 50 ~ +125	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を超えると製品の品質を損なう恐れがあります。絶対最大定格値は製品に物理的な損傷を与える定格値を示しているため、必ずこの定格値を満たす条件で製品を使用してください。

8.2 推奨動作条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作電圧	DV _{DD}	デジタル・ブロック用	1.16	1.2	1.24	V
	EV _{DD}	I/O ブロック用	1.70	1.85	2.00	V
	PLL _{VDD}	PLL ブロック用	1.16	1.2	1.24	V
入力電圧	V _i		0		EV _{DD}	V
動作周囲温度	T _A		- 20		+ 85	°C

8.3 容 量

(T_A = +25°C , DV_{DD} = 0 V , EV_{DD} = 0 V , PLL_{VDD} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _i	f = 1 MHz , 測定端子は 0 V			6	pF
出力容量	C _o				6	pF
I/O 容量	C _{io}				6	pF

備考 上記は全端子に適用されます。

8.4 DC 特性

(T_A = - 20 ~ + 85°C , DV_{DD}/EV_{DD}/PLL_{VDD} の範囲は推奨動作条件により変動)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IHN}		0.7 EV _{DD}		EV _{DD}	V
ロー・レベル入力電圧	V _{ILN}		0		0.3 EV _{DD}	V
ハイ・レベル出力電圧	V _{OH}	I _{OH} = - 3 mA	0.7 EV _{DD}		EV _{DD}	V
ロー・レベル出力電圧	V _{OL3}	I _{OL} = + 3 mA	0		0.3EV _{DD}	V
ハイ・レベル入力リーク電流	I _{LHN}	V _i = EV _{DD}	0		+ 10	μA
ロー・レベル入力リーク電流	I _{LLN}	V _i = 0 V	- 10		0	μA
ハイ・インピーダンス・リーク電流	I _{ZI}	0 V V _i EV _{DD}	- 10		+ 10	μA

8.5 AC 特性

(特に指定のない限り, $T_A = -20 \sim 85^\circ\text{C}$, $DV_{DD}/EV_{DD}/PLL_{VDD}$ の範囲は推奨動作条件により変動)

8.5.1 クロック

タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
CLKIN 入力周波数	f_{CLKIN}			32.768		kHz
jitter サイクル・タイム	t_j		- 30		30	ns
入力立ち上がり / 立ち下がり時間	t_{rf}	20 ~ 80%レベル			30	ns
周波数許容誤差	f_{tol}		- 1000		1000	ppm

備考 1. CLKIN の入力最大レベルは電源 (EV_{DD}) 電位を超過しない範囲で入力してください。

2. PLL 起動後, 2 ms 以上経過したあとに通常動作が開始されます。

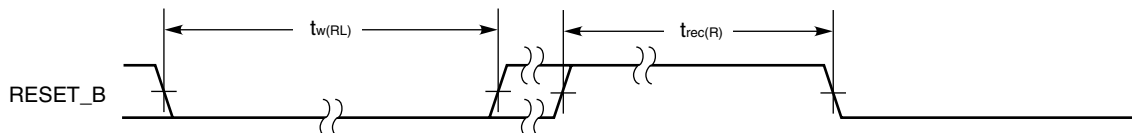
3. CLKIN は, 内部分周回路を使用することにより 26 MHz まで使用可能になります。

8.5.2 リセット

タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロー・レベル幅	$t_{w(RL)}$		150			ns
リカバリ時間	$t_{\text{rec}(R)}$		150			ns

リセット・タイミング



8.5.3 内部電源起動時待機時間

タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
DV _{DD2} 起動待機時間	t _{upDVDD2}	PWFNC レジスタの設定	1			ms

8.5.4 ホスト・インタフェース

(1) CPU パラレル・インタフェース

タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
RD_B 幅	t _{wRD}		5T + 30			ns
WR_B 幅	t _{wWR}		3T			ns
RD_B リカバリ時間	t _{rcRD}		2T			ns
WR_B リカバリ時間	t _{rcWR}		3T			ns
Data セットアップ時間	t _{suDI}	WR_B	20			ns
Data ホールド時間	t _{hDI}	WR_B	0			ns
A, CS_B セットアップ時間	t _{suAW}	WR_B	0			ns
A, CS_B ホールド時間	t _{hAW}	WR_B	0			ns
A, CS_B セットアップ時間	t _{suAR}	RD_B	0			ns
A, CS_B ホールド時間	t _{hAR}	RD_B	0			ns

スイッチング特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
Data アクセス時間	t _{accDO}	RD_B , I _{sink} = 3 mA			5T + 30	ns
Data ホールド時間	t _{hDO}	RD_B , I _{sink} = 3 mA	0		30	ns

備考 T は CPU ブロックにおけるクロックの周期です。

(2) オーディオ・プロセッサ / 3D アクセラレータ・パラレル・インタフェース
(DSP ファームウェア・ダウンロード / 設定)

タイミング必要条件

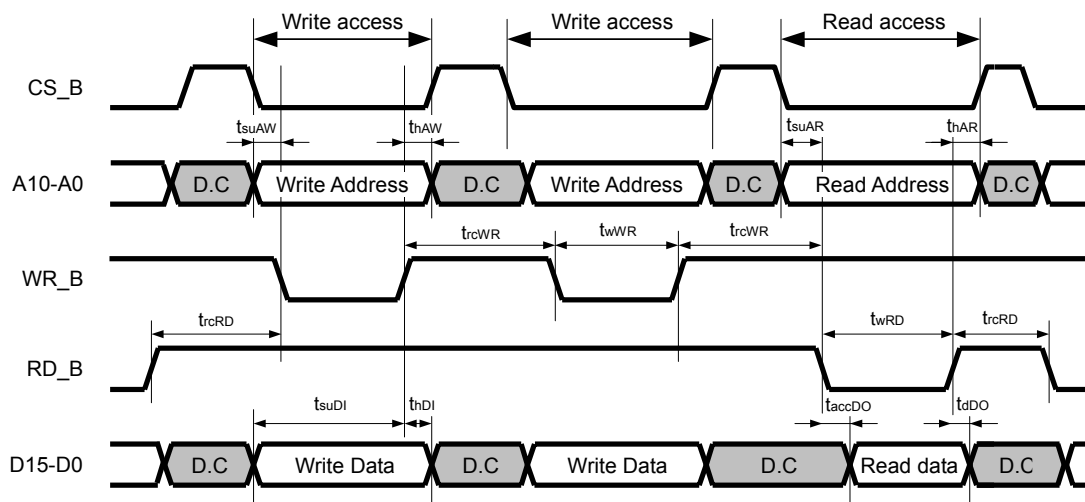
項目	略号	条件	MIN.	TYP.	MAX.	単位
RD_B 幅	t_{WRD}		$5T + 30$			ns
WR_B 幅	t_{WWR}		$3T$			ns
RD_B リカバリタイム	t_{crRD}		$2T$			ns
WR_B リカバリタイム	t_{crWR}		$4T$			ns
Data セットアップ時間	t_{suDI}	WR_B	20			ns
Data ホールド時間	t_{hDI}	WR_B	0			ns
A, CS_B セットアップ時間	t_{suAW}	WR_B	0			ns
A, CS_B ホールド時間	t_{hAW}	WR_B	0			ns
A, CS_B セットアップ時間	t_{suAR}	RD_B	0			ns
A, CS_B ホールド時間	t_{hAR}	RD_B	0			ns

スイッチング特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
Data アクセス時間	t_{accDO}	RD_B , $I_{sink} = 3 \text{ mA}$			$5T + 30$	ns
Data ホールド時間	t_{dDO}	RD_B , $I_{sink} = 3 \text{ mA}$	0		30	ns

備考 T は DSP , 3D アクセラレータ・ブロックにおけるクロックの周期です。

ホスト・インタフェース・タイミング



8.5.5 オーディオ・シリアル・インタフェース

(1) スレープ・モード・タイミング

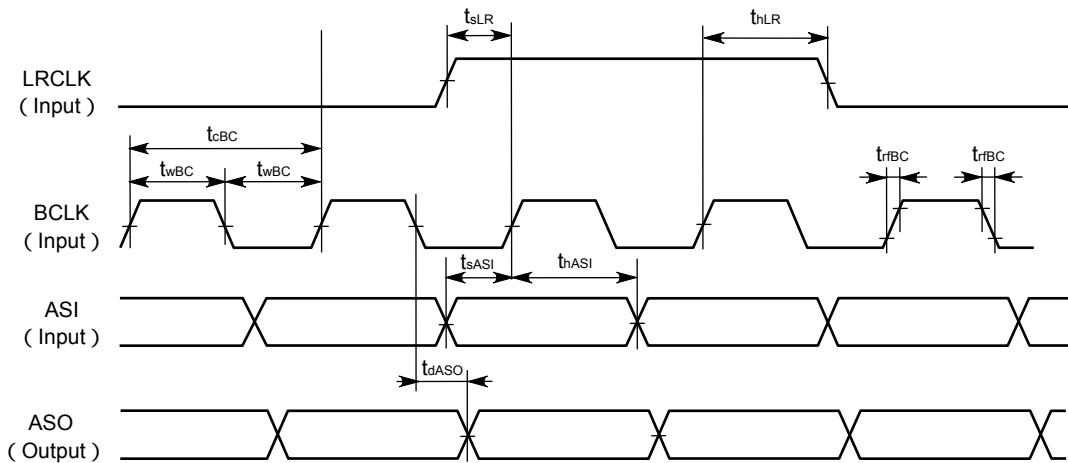
タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
LRCLK サイクル時間	t_{cLR}			1/fs		ns
BCLK サイクル時間	t_{cBC}	64 ビット / fs 設定時		$1 / (fs \times 64)$		ns
BCLK ハイ / ロー・レベル幅	t_{wBC}			$t_{cBC}/2$		ns
BCLK 立ち上がり / 立ち下がり時間	t_{rBC}				20	ns
LRCLK 入力セットアップ時間	t_{sLR}	BCLK	50			ns
LRCLK 入力ホールド時間	t_{hLR}	BCLK	50			ns
ASI 入力セットアップ時間	t_{sASI}	BCLK	50			ns
ASI 入力ホールド時間	t_{hASI}	BCLK	50			ns

スイッチング特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
ASO 出力遅延時間	t_{dASO}	BCLK	- 50		+ 50	ns

オーディオ・シリアル入出力タイミング (スレープ・モード)

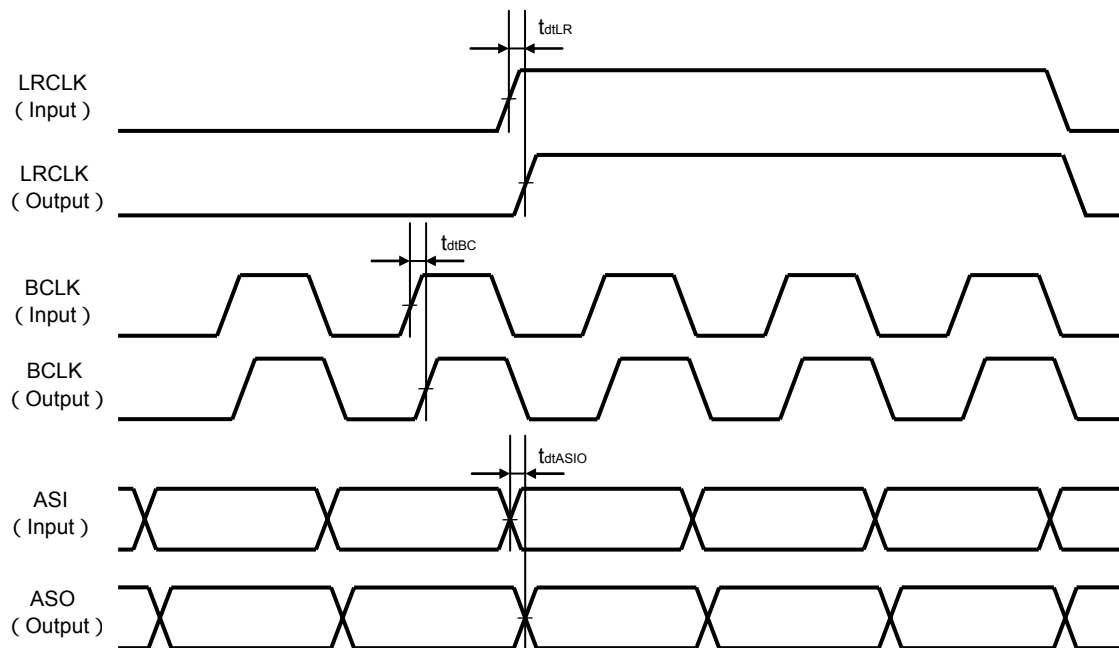


(2) Synchronized and Transparency mode

スイッチング特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
LRCLK スルー遅延時間	t_{dLR}	LRCLK (入力) LRCLK (出力)			20	ns
BCLK スルー遅延時間	t_{dBc}	BCLK (入力) BCLK (出力)			20	ns
ASIO スルー遅延時間	t_{dASIO}	ASI (入力) ASO (出力)			20	ns

オーディオ・シリアル入出力タイミング(Synchronized and Transparency mode)



9. 消費電流特性

特に指定のない限り、次の条件を満たすものとします。

CLKIN = 32.768 kHz

周囲温度 $T_A = 25$

電源電圧 $DV_{DD} = PLLV_{DD} = 1.2 V$, $EV_{DD} = 1.85 V$

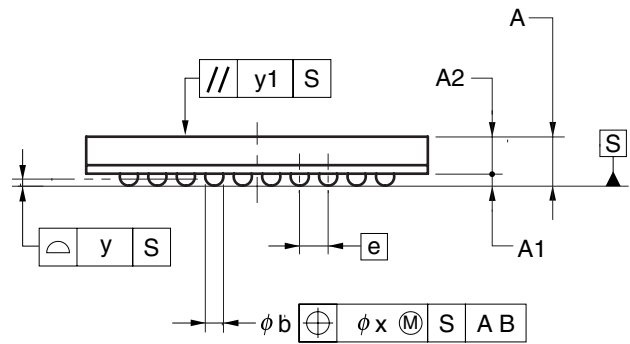
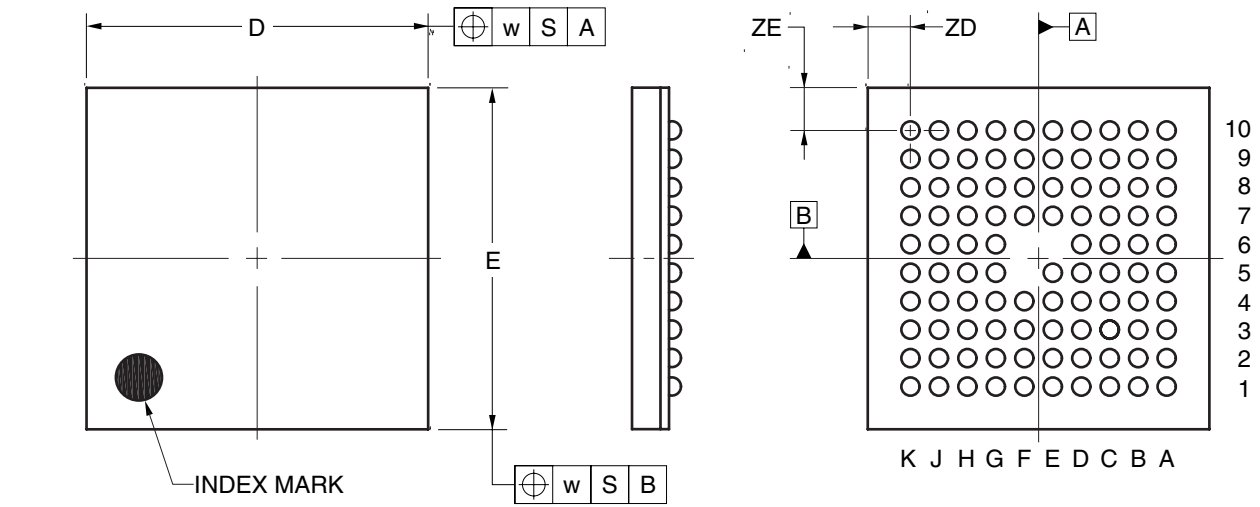
EV_{DD} 端子電流値は無負荷時のものです。実動作時の値は、クロック・レート、負荷容量、負荷抵抗などの外部環境によって変化します。

項目	略号	条件	電源端子	MIN.	TYP.	MAX.	単位
Operation mode	I _{DD1}	DSP test function DSP 96 MHz	DV _{DD}		23	25	mA
			PLLV _{DD}		0.3	0.5	mA
			EV _{DD}		0.5	1	mA
Sleep mode (6.2.2 参照)	I _{DD2}	STNBY = 0000H, PWSW = 0001H	DV _{DD}		0.5	1.2	mA
			PLLV _{DD}		0.005	0.01	mA
			EV _{DD}		0.005	0.01	mA
Transparency mode (6.2.3 参照)	I _{DD3}	STNBY = 0000H, PWSW = 0000H, RSTB = 0000H	DV _{DD}		0.05	0.1	mA
			PLLV _{DD}		0.005	0.01	mA
			EV _{DD}		0.005	0.01	mA
Deep sleep mode (6.2.5 参照)	I _{DD4}	EV _{DD} : ON, PLLV _{DD} /DV _{DD} = OFF RESET_B = Low	EV _{DD} ^注		0.005	0.01	mA

注 入力端子：ロー・レベルまたはハイ・レベル、出力端子：無負荷

10. 外形図

97-PIN PLASTIC FBGA (6x6)



(UNIT:mm)

ITEM	DIMENSIONS
D	6.00±0.10
E	6.00±0.10
w	0.20
A	0.86±0.10
A1	0.21±0.05
A2	0.65
e	0.50
b	0.32±0.05
x	0.05
y	0.08
y1	0.20
ZD	0.75
ZE	0.75

P97F1-50-BAC

© NEC Electronics Corporation 2007

11. 半田付け推奨条件

この製品の半田付け実装は、次の条件で実施してください。

なお、推奨条件以外の半田付け方法および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/>)

表面実装タイプの半田付け推奨条件

・μ PD99920F1-BAC-A : 97 ピン・プラスチック FBGA (6 × 6 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60 秒以内 (220℃ 以上)，回数：2 回以内， 制限日数：7 日間 ^注 (以降は 125℃ プリベーク 10 ~ 72 時間必要)， フラックス：塩素分の少ないロジン系フラックス (塩素 0.2 Wt% 以下) を推奨 <留意事項> 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングができません。	IR60-107-2

注 ドライパック開封後の保管日数で保管条件は 25℃，65%RH 以下。

備考 鉛フリー製品です。

[メ モ]

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

- 本資料に記載されている内容は2007年9月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00、午後 1:00～5:00)

電話：044-435-9494

E-mail：info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特约店へお申し付けください。