

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

サラウンド内蔵携帯電話着信メロディ音源 LSI

本 LSI は、サラウンド機能を内蔵した携帯電話の着信メロディ用の音源 LSI です。

特 徴

PCM 音源方式によりリアルな音色を再現します。

最大 68 音 (= 音源 64 音 + ADPCM 4 音) を同時に発音可能で、より豊かな楽曲を作成、再現します。

ADPCM を再生可能です。また、MIDI との同期再生が可能です。

16 ビット分解能の高性能ステレオ D/A コンバータを内蔵しています。

サンプリング周波数 (fs) は、8 kHz, 16 kHz, 32 kHz, 44.1 kHz, 48 kHz の 5 種類に対応します (ASI のみ)。

オーディオ・シリアル入出力インタフェース (16 ビット) を装備しています。

シリアル・データの入力周波数は 32fs ~ 64fs まで切り替え可能です (スレーブ・モード時)。

フォーマットは右詰め、左詰め、IIS に対応しています。

PCM 音源出力信号とオーディオ・シリアル入力信号のミキシング機能を内蔵しています (fs = 32 kHz のみ対応)。

リアルタイム処理のサラウンド機能を内蔵しています (PCM 音源, オーディオ・シリアル入力, すべてのソースに対し, リアルタイム処理サラウンドの効果が得られます)。

ホスト CPU とは 8 ビット・パラレル・インタフェースで接続します (PS = 0 のとき)。

ホスト CPU とは 3/4 線シリアル・インタフェース (SPI) で接続します (PS = 1 のとき)。

バイブレーション, LED の制御出力機能を内蔵しています。

内部マスタ・クロック生成用 PLL を内蔵しているため, さまざまな入力クロックに対応可能です。

デジタル I/O は, 1.8 V 系 ~ 3 V 系に対応します (EV_{DD})。

電源電圧 DV_{DD}: 1.425 ~ 1.575 V, EV_{DD}: 1.71 ~ 3.3 V, AV_{DD}: 2.85 ~ 3.15 V, AV_{DD_P}: 2.85 ~ 3.15 V

65 ピン・プラスチック FBGA パッケージ (6 × 6 mm ボディ・サイズ, 0.5 ボール・ピッチ)

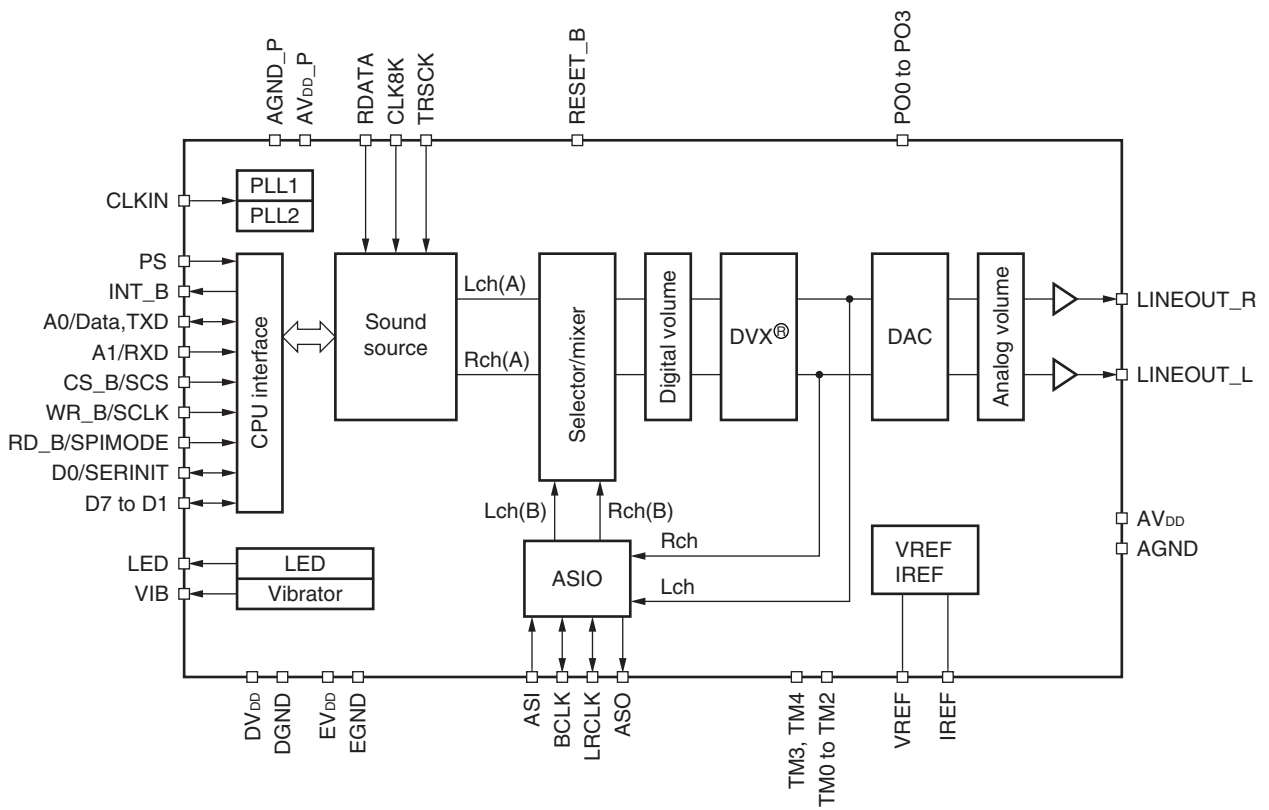
オーダ情報

オーダ名称	パッケージ
μPD9992F1-BA9-A	65 ピン・プラスチック FBGA (6 × 6 mm)

備考 鉛フリー製品です。

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

ブロック図

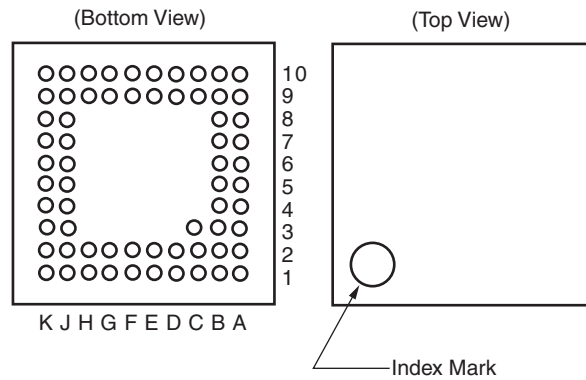


備考 DVX : DiMAGIC Virtualizer X®

端子接続図

・ 65 ピン・プラスチック FBGA (6×6 mm)

μPD9992F1-BA9-A



端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
1A	1K とショート	2H	CLKIN	6A	EGND	9E	RESET_B
1B	N.C	2J	N.C	6B	PS	9F	D7
1C	LINEOUT_L	2K	N.C	6J	CS_B/SCS	9G	D5
1D	AGND	3A	TM3	6K	A0/Data, TXD	9H	D3
1E	AV _{DD}	3B	TM2	7A	ASI	9J	N.C
1F	LINEOUT_R	3C	N.C	7B	ASO	9K	DV _{DD}
1G	AGND	3J	PO1	7J	RD_B/SPI MODE	10A	10K とショート
1H	AGND_P	3K	PO0	7K	WR_B/SCLK	10B	N.C
1J	N.C	4A	RDATA	8A	LRCLK	10C	LED
1K	1A とショート	4B	TM4	8B	BCLK	10D	DV _{DD}
2A	N.C	4J	PO3	8J	D1	10E	INT_B
2B	N.C	4K	PO2	8K	D0/SERINIT	10F	D6
2C	TM0	5A	TRSCK	9A	DV _{DD}	10G	D4
2D	IREF	5B	CLK8K	9B	N.C	10H	D2
2E	VREF	5J	A1/RXD	9C	EV _{DD}	10J	DGND
2F	TM1	5K	DGND	9D	VIB	10K	10A とショート
2G	AV _{DD_P}						

備考 N.C は将来製品との互換性のために備えています。オープンで使用してください。

端子名称

A0, A1 :	Address	LINEOUT_L :	Line Out (Lch)
AGND :	Ground for Analog Block	LINEOUT_R :	Line Out (Rch)
AGND_P :	Ground for PLL	LRCLK :	Left Right Clock Input/Output
ASI :	Audio Serial Data Input	PO0-PO3 :	Peripheral Output
ASO :	Audio Serial Data Output	PS :	Parallel Serial Select
AV _{DD} :	Power Supply for Analog Block	RD_B :	Read
AV _{DD} _P :	Power Supply for PLL	RDATA :	Record Data
BCLK :	Bit Clock Input/Output	RESET_B :	Reset
CS_B :	Chip Select	RXD :	RX Serial Data Input
CLK8K :	Sync Clock Input for RDATA	SCLK :	Clock for Serial I/F
CLKIN :	Clock Input	SCS :	Chip Select Input for Serial I/F
D0-D7 :	Data Bus	SERINIT :	Initialization Signal for Serial I/F
Data :	Data	SPIMODE :	SPI Mode Select
DV _{DD} :	Power Supply for Digital Block	TM0-TM2 :	Test Mode Input
DGND :	Ground for Digital Block	TM3, TM4 :	Test Mode I/O
EV _{DD} :	Power Supply for I/O Pins	TRSCK :	Clock Input for RDATA
EGND :	Ground for I/O Pins	TXD :	TX Serial Data Output
INT_B :	Interruption	VIB :	Vibration Control Output
IREF :	Current Reference for Analog Block	VREF :	Voltage Reference for Analog Block
LED :	LED Control Output	WR_B :	Write

目 次

1. 端子機能	9
1.1 端子構成	9
1.2 端子機能説明	10
1.3 未使用端子の処理	15
1.4 端子の初期状態	15
1.5 端子状態	16
2. 概略説明	18
3. ホスト CPU インタフェース	19
3.1 パラレル・インタフェース・モード	19
3.1.1 ライト・アクセス	19
3.1.2 リード・アクセス	21
3.2 シリアル・インタフェース・モード	22
3.2.1 端子機能	22
3.2.2 シリアル・フォーマット	22
3.2.3 3線 SPI モード・アクセス・フォーマット	23
3.2.4 4線 SPI モード・アクセス・フォーマット	25
3.2.5 シリアル・インタフェースの初期化について	27
4. オーディオ・シリアル・インタフェース	28
5. ADPCM 入力インタフェース	29
5.1 CLK8K	29
5.2 TRSCK, RDATA	29
5.2.1 シリアル方式録音インタフェース	29
6. レジスタ (音源部以外のレジスタ)	30
6.1 パラレル・インタフェース・モード	30
6.2 シリアル・インタフェース・モード	31
6.2.1 サウンド・レジスタ・バンク	31
6.2.2 コントロール・レジスタ・バンク	32
6.3 スタンバイ設定 (STNBY)	33
6.3.1 STDIG	33
6.3.2 STPLL2	33
6.3.3 STPLL1	33
6.3.4 STASI	33
6.3.5 STASO	33
6.3.6 STSYNTH	34
6.3.7 STDAC	34
6.3.8 STREF	34
6.4 マスタ・クロックの切り替え (MCLK1A, MCLK1B, MCLK2A, MCLK2B)	35

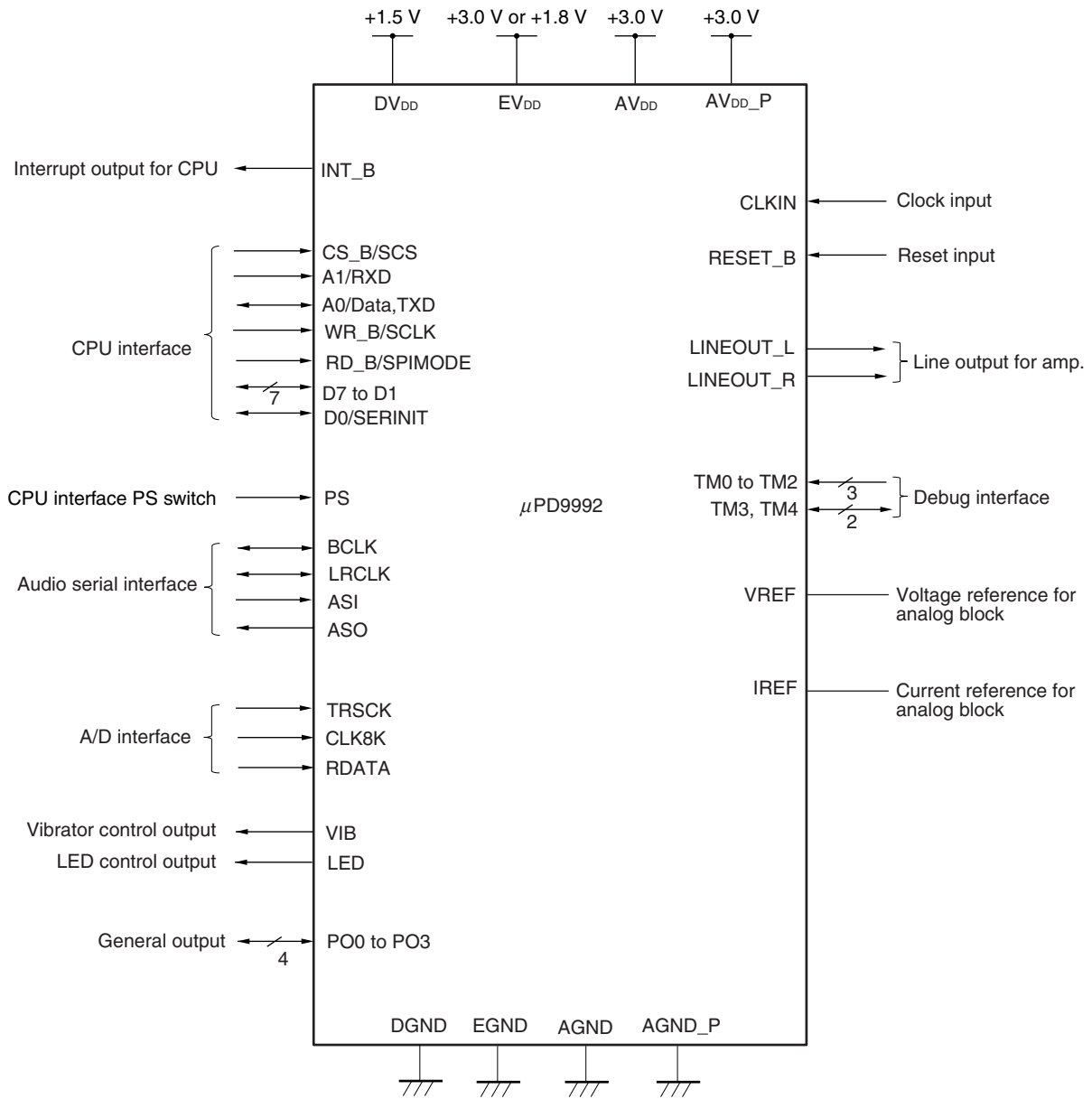
- 6.4.1 MCLK1A[6:0] ... 35
- 6.4.2 MCLK1B[7:0] ... 35
- 6.4.3 MCLK2A[4:0] ... 35
- 6.4.4 MCLK2B[7:0] ... 35
- 6.5 サラウンド・ブロック入力ソースの切り替え / ミキシング設定 (SLSORCE) ... 39
 - 6.5.1 SLSORCE ... 39
 - 6.5.2 MIX ... 39
- 6.6 サラウンド ON/OFF 切り替え (ENSRD) ... 39
 - 6.6.1 ENSRD[1:0] ... 39
- 6.7 ASIO の Fs 設定および BCLK 設定 (SLFS) ... 40
 - 6.7.1 FS[2:0] ... 40
 - 6.7.2 BFS[4:0] ... 40
- 6.8 ASIO モード設定 (SLASI) ... 41
 - 6.8.1 SLR ... 41
 - 6.8.2 MS ... 41
 - 6.8.3 ASIM ... 41
 - 6.8.4 LRCLK ... 41
- 6.9 Digital Volume (L) 設定 (DAULGA) ... 42
 - 6.9.1 DAULGA[4:0] ... 42
- 6.10 Digital Volume (R) 設定 (DAURGA) ... 42
 - 6.10.1 DAURGA[4:0] ... 42
- 6.11 Analog Volume (Lch) 設定 (AAULGA) ... 43
 - 6.11.1 AAULGA[4:0] ... 43
- 6.12 Analog Volume (Rch) 設定 (AAURGA) ... 43
 - 6.12.1 AAURGA[4:0] ... 43
- 6.13 VIB, LED の設定 (VIB) ... 44
 - 6.13.1 LED ... 44
 - 6.13.2 VIB ... 44
- 6.14 汎用出力端子の設定 (POUT) ... 44
 - 6.14.1 POUT0-POUT3 ... 44
- 6.15 LSI バージョン (VER) ... 44
 - 6.15.1 VER[7:0] ... 44
- 6.16 スピーカ用サラウンド係数ライト用レジスタ (SPSRDW1, SPSRDW2) ... 45
 - 6.16.1 SPSRDW1[7:0] ... 45
 - 6.16.2 SPSRDW2[7:0] ... 45
- 6.17 ヘッドホン用サラウンド係数ライト用レジスタ (HPSRDW1, HPSRDW2) ... 45
 - 6.17.1 HPSRDW1[7:0] ... 45
 - 6.17.2 HPSRDW2[7:0] ... 45
- 6.18 スピーカ用サラウンド係数リード用レジスタ (SPSRDR1, SPSRDR2) ... 46
 - 6.18.1 SPSRDR1[7:0] ... 46
 - 6.18.2 SPSRDR2[7:0] ... 46
- 6.19 ヘッドホン用サラウンド係数リード用レジスタ (HPSRDR1, HPSRDR2) ... 46
 - 6.19.1 HPSRDR1[7:0] ... 46
 - 6.19.2 HPSRDR2[7:0] ... 46
- 6.20 サラウンド・モード設定レジスタ (SRDRA) ... 47

6.20.1	SRDRA[7:0]	...	47
6.21	バンク・レジスタ	...	47
6.21.1	BANK	...	47
7.	電源立ち上げ手順	...	48
7.1	電源の投入順序	...	48
7.2	電源立ち下げ順序	...	48
8.	パワー・セービング機能	...	48
8.1	ソフト・パワー・セービング機能（コマンド制御による）	...	48
8.2	ハード・パワー・セービング機能（電源立ち下げによる）	...	48
9.	設定シーケンス	...	49
9.1	Power Up	...	49
9.2	各種動作モード切り替えの基本シーケンス	...	49
9.2.1	Mute	...	50
9.2.2	スタンバイ	...	50
9.2.3	FS 設定	...	50
9.2.4	Path 設定	...	51
9.2.5	サラウンド設定	...	51
9.2.6	ASIO 設定	...	51
9.2.7	DVX RAM Access	...	51
9.3	設定シーケンス例	...	52
9.3.1	音源 - DAC 出力	...	52
9.3.2	音源 - ASO 出力	...	52
9.3.3	ASI - DAC 出力	...	53
9.3.4	ASI - ASO 出力	...	53
9.4	設定モードと内部動作の関係（同期クロックとの関係）	...	54
10.	スタンバイ・モード	...	55
10.1	クロック供給について	...	55
11.	参考回路図	...	56
11.1	Line Out 端子（LINEOUT_L, LINEOUT_R）	...	56
11.2	基準電圧源, 電流源用端子（VREF, IREF）	...	56
11.3	電 源	...	57
11.4	端子概略回路図	...	58
12.	電気的特性	...	59
12.1	絶対最大定格	...	59
12.2	推奨動作条件	...	59
12.3	容 量	...	59
12.4	DC 特性	...	60
12.5	AC 特性	...	61
12.5.1	クロック	...	61

12.5.2	リセット	...	61
12.5.3	ホスト・インタフェース	...	62
12.5.4	オーディオ・シリアル・インタフェース	...	68
12.6	アナログ特性	...	70
12.7	モード別消費電流特性	...	71
13.	外形図	...	72
14.	半田付け推奨条件	...	73

1. 端子機能

1.1 端子構成



1.2 端子機能説明

(1) 電 源

端子名称	端子番号	入出力	機 能
DV _{DD}	9A, 9K, 10D	-	デジタル部用電源 (1.5 V) 0.1 μ F のコンデンサを本端子と DGND の間に接続してください。
DGND	5K, 10J	-	デジタル部グランド
EV _{DD}	9C	-	I/O 用電源 (3 V または 1.8 V) 0.1 μ F のコンデンサを本端子と EGND の間に接続してください。 アナログ用電源とは別電源を使用してください。
EGND	6A	-	I/O 用グランド
AV _{DD}	1E	-	アナログ用電源 (3 V) 0.1 μ F のコンデンサを本端子と AGND の間に接続してください。
AGND	1D, 1G	-	アナログ用グランド
AV _{DD_P}	2G	-	PLL 用電源 (3 V) 0.1 μ F のコンデンサを本端子と AGND_P の間に接続してください。
AGND_P	1H	-	PLL 用グランド
VREF	2E	-	アナログ・ブロック用基準電圧 0.22 μ F のコンデンサを本端子と AGND の間に接続してください。
IREF	2D	-	アナログ・ブロック用基準電流 56 k Ω の抵抗を本端子と AGND の間に接続してください。

(2) クロック , システム・コントロール

端子名称	端子番号	入出力	機 能
CLKIN	2H	入力	クロック入力 内部マスタ・クロック生成用基準クロック入力です。 容量結合 (1000 pF) で入力してください。
RESET_B	9E	入力	ハードウェア・リセット信号入力 本 LSI をリセットします。 リセット後、レジスタは初期値となります。

(3) ホスト・インタフェース

(1/2)

端子名称	端子番号	入出力	機能
A0/Data,TXD	6K	入出力	<p>1. パラレル・インタフェース・モード(PS = 0)時 ホスト・インタフェース・アドレス A0 信号入力 ホスト CPU がアクセスするときのアドレスまたはデータを指定する入力端子です。 1 : データを転送するとき 0 : アクセスするレジスタのアドレスを設定するとき</p> <p>2. シリアル・インタフェース・モード (PS = 1)時 ・送受信データ入出力 (PS = 1 and RD_B = 0) この状態の場合 3 線 SPI mode として使用します。 ・送信データ出力 (PS = 1 and RD_B = 1) この状態の場合 4 線 SPI mode として使用します。</p>
A1/RXD	5J	入力	<p>1. パラレル・インタフェース・モード (PS = 0)時 ホスト・インタフェース・アドレス A1 信号入力 ホスト CPU がアクセスするときのアクセス先レジスタを選択する入力端子です。 1 : 音源ブロック・レジスタ 0 : 音源以外ブロック・レジスタ</p> <p>2. シリアル・インタフェース・モード (PS = 1)時 受信データ入力 (When PS = 1 and RD_B = 1) この状態の場合 4 線 SPI mode として使用します。</p>
CS_B/SCS	6J	入力	<p>1. パラレル・インタフェース・モード (PS = 0)時 チップ・セレクト入力 ホスト CPU が本 LSI をアクセスする間、この端子をアクティブ (ロウ・レベル) にします。</p> <p>2. シリアル・インタフェース・モード (PS = 1)時 チップ・セレクト入力</p>
RD_B/SPI MODE	7J	入力	<p>1. パラレル・インタフェース・モード (PS = 0)時 ホスト・リード入力 ホスト CPU が本 LSI のリード・データを読み出す場合に、この端子をアクティブ (ロウ・レベル) にします。 WR_B 端子と同時にアクティブにしないでください。</p> <p>2. シリアル・インタフェース・モード (PS = 1)時 SPI モード選択 1 : 4 線 SPI モード 0 : 3 線 SPI モード</p>
WR_B/SCLK	7K	入力	<p>1. パラレル・インタフェース・モード (PS = 0)時 ホスト・ライト入力 ホスト CPU が本 LSI にライト・データを書き込む場合に、この端子をアクティブ (ロウ・レベル) にします。 RD_B 端子と同時にアクティブにしないでください。</p> <p>2. シリアル・インタフェース・モード (PS = 1)時 シリアル・クロック入力</p>

(3) ホスト・インタフェース

(2/2)

端子名称	端子番号	入出力	機能
D0/SERINIT	8K	入出力	1. パラレル・インタフェース・モード (PS = 0)時 ホスト・データ・バス (ビット 0) ホスト CPU が本 LSI をアクセスするとき、レジスタ・アドレスおよびデータの入出力を行います。 CS_B がインアクティブ (ハイ・レベル) の場合、ハイ・インピーダンスになります。 2. シリアル・インタフェース・モード (PS = 1)時 シリアル・インタフェース・リセット入力
D1-D7	8J, 10H, 9H, 10G, 9G, 10F, 9F	入出力	1. パラレル・インタフェース・モード (PS = 0)時 ホスト・データ・バス (ビット 7-1) ホスト CPU が本 LSI をアクセスするとき、レジスタ・アドレスおよびデータの入出力を行います。 CS_B がインアクティブ (ハイ・レベル) の場合、ハイ・インピーダンスになります。 2. シリアル・インタフェース・モード (PS = 1)時 この端子はオープンにしてください。
INT_B	10E	出力	ホスト割り込み出力 本 LSI からホスト CPU へ割り込み信号です。 データ転送時のデータ送受信要求、内部状態を通知するときの要求などに使用します。 備考 音源ブロックの制御にのみ使用可能です。
PS	6B	入力	インタフェース・モード選択 1 : シリアル・インタフェース・モード 0 : パラレル・インタフェース・モード 内部でプルダウンされています。

(4) 外部 LED , モータ制御出力

端子名称	端子番号	入出力	機能
LED	10C	出力	外部 LED 制御出力 (ドライブ能力: 12.4 DC 特性参照) ポート出力です。設定はホスト CPU からポート設定レジスタに値を書き込むことで行います。 使用しないときはオープンにしてください。
VIB	9D	出力	外部モータ制御出力 (ドライブ能力: 12.4 DC 特性参照) ポート出力です。設定はホスト CPU からポート設定レジスタに値を書き込むことで行います。 使用しないときはオープンにしてください。

(5) オーディオ・シリアル・インタフェース

端子名称	端子番号	入出力	機能
BCLK	8B	入出力	オーディオ・シリアル用ビット同期クロック入出力 シリアル転送用クロックとして設定されたサンプリング周波数 (8 kHz, 16 kHz, 32 kHz, 44.1 kHz, 48 kHz) の 64 倍のクロックを入出力します。 使用しないときは GND に接続してください。
LRCLK	8A	入出力	オーディオ・シリアル用フレーム同期クロック入出力 シリアル転送用のフレーム同期信号を入出力します。 使用しないときは GND に接続してください。
ASO	7B	出力	オーディオ・シリアル・データ出力 オーディオ・シリアル・データのフレーム・サイズはレジスタで設定します。 マスタ・モード時は, 64 ビットまたは 32 ビットを選択できます。スレーブ・モード時は, 32~64 ビットを 2 ビット・ステップで設定できます。 使用しないときはオープンにしてください。
ASI	7A	入力	オーディオ・シリアル・データ入力 オーディオ・シリアル・データのフレーム・サイズはレジスタで設定します。 マスタ・モード時は, 64 ビットまたは 32 ビットを選択できます。スレーブ・モード時は, 32~64 ビットを 2 ビット・ステップで設定できます。 使用しないときはオープンにしてください。 内部でプルダウンされています。

(6) ADPCM インタフェース

端子名称	端子番号	入出力	機能
TRSCK	5A	入力	ADPCM 録音用シリアル・クロック入力 内部でプルダウンされています。 使用しないときはオープンにしてください。
CLK8K	5B	入力	ADPCM 録音用同期クロック入力 内部でプルダウンされています。 使用しないときはオープンにしてください。
RDATA	4A	入力	ADPCM 録音用データ入力 内部でプルダウンされています。 使用しないときはオープンにしてください。

(7) DAC , ライン・アウト出力

端子名称	端子番号	入出力	機能
LINEOUT_L	1C	出力	Line Out (Lch) 出力 ライン・アウトの Lch アナログ信号を出力します。
LINEOUT_R	1F	出力	Line Out (Rch) 出力 ライン・アウトの Rch アナログ信号を出力します。

(8) 汎用外部出力

端子名称	端子番号	入出力	機能
PO0-PO3	3K, 3J, 4K, 4J	入出力	汎用外部出力 ポート出力です。設定はホスト CPU からポート設定レジスタに値を書き込む ことで行います。 使用しないときはオープンにしてください。 テスト・モード時には、入力になる場合があります。

(9) テスト用端子

端子名称	端子番号	入出力	機能
TM0-TM2	2C, 2F, 3B	入力	テスト用入力 オープンまたは GND に接続してください。 内部でプルダウンされています。
TM3, TM4	3A, 4B	入出力	テスト用入出力 オープンにしてください。

(10) その他

端子名称	端子番号	入出力	機能
N.C	1B, 1J,, 2A, 2B, 2J, 2K, 3C, 9B, 9J, 10B	-	将来製品との互換性のために備えています。オープンで使用してください。

1.3 未使用端子の処理

実装時に未使用の端子は、次の表のとおりに取り扱うことを推奨します。

端子名称	入出力	推奨接続方法
VIB	出力	オープンにしてください。
LED	出力	オープンにしてください。
LRCLK	入出力	GND に接続してください。
BCLK	入出力	GND に接続してください。
ASI	入力	オープンにしてください。
ASO	出力	オープンにしてください。
TM0-TM2	入力	オープンまたは GND に接続してください。
TM3, TM4	入出力	オープンにしてください。
TRSCK	入力	オープンにしてください。
CLK8K	入力	オープンにしてください。
RDATA	入力	オープンにしてください。
PO0-PO3	入出力	オープンにしてください。
D1-D7	入出力	SPI モード選択時 (PS = 1) は GND に接続してください。

1.4 端子の初期状態

端子名称	入出力	リセット中	リセット後
VIB	出力	不定	ロウ・レベル出力
LED	出力	不定	ロウ・レベル出力
INT_B	出力	ハイ・レベル出力	ハイ・レベル出力
ASO	出力	Hi-Z	Hi-Z
BCLK	入出力	Hi-Z	入力
LRCLK	入出力	Hi-Z	入力
TM3, TM4	入出力	Hi-Z	ロウ・レベル出力
PO0-PO3	入出力	不定	ロウ・レベル出力
D7-D0	入出力	Hi-Z	入力

1.5 端子状態

本 LSI の端子の状態表を次に示します。

(1/2)

端子 番号	入出力	Analog / Digital	端子名称	スタンバイ状態		リセット状態(RESET_B = Low)		リセット 解除後
				制御信号	端子状態	制御信号	端子状態	
2F	入力	Digital	TM1	なし	入力	なし	入力	入力
2C	入力	Digital	TM0	なし	入力	なし	入力	入力
1C	出力	Analog	LINEOUT_L	STDAC	Hi-Z	STDAC	Hi-Z	Hi-Z
1D	-	Analog	AGND	-	-	-	-	-
2D	-	Analog	IREF	STREF	Hi-Z	STREF	Hi-Z	Hi-Z
2E	-	Analog	VREF	STERF	Hi-Z	STERF	Hi-Z	Hi-Z
1E	-	Analog	AV _{DD}	-	-	-	-	-
1F	出力	Analog	LINEOUT_R	STDAC	Hi-Z	STDAC	Hi-Z	Hi-Z
1G	-	Analog	AGND	-	-	-	-	-
1H	-	Analog	AGND_P	-	-	-	-	-
2H	入力	Analog	CLKIN	STPLL1&2	Hi-Z	STPLL1&2	Hi-Z	Hi-Z
2G	-	Analog	AV _{DD_P}	-	-	-	-	-
3K	入出力	Digital	PO0	なし	注 1	RESET_B	不定	Low 出力 ^{注 2}
3J	入出力	Digital	PO1	なし	注 1	RESET_B	不定	Low 出力 ^{注 2}
4K	入出力	Digital	PO2	なし	注 1	RESET_B	不定	Low 出力 ^{注 2}
4J	入出力	Digital	PO3	なし	注 1	RESET_B	不定	Low 出力 ^{注 2}
5K	-	Digital	DGND	-	-	-	-	-
5J	入力	Digital	A1	なし	入力	なし	入力	入力
6K	入出力	Digital	A0/Data, TXD	なし	入力	なし	入力	入力
9k	-	Digital	DV _{DD}	-	-	-	-	-
6J	入力	Digital	CS_B/SCS	なし	入力	なし	入力	入力
7K	入力	Digital	WR_B/SCLK	なし	入力	なし	入力	入力
7J	入力	Digital	RD_B/SPI MODE	なし	入力	なし	入力	入力
8K	入出力	Digital	D0/SERINIT	なし	入力	RESET_B	Hi-Z	入力
8J	入出力	Digital	D1	なし	入力	RESET_B	Hi-Z	入力
10H	入出力	Digital	D2	なし	入力	RESET_B	Hi-Z	入力
9H	入出力	Digital	D3	なし	入力	RESET_B	Hi-Z	入力
10G	入出力	Digital	D4	なし	入力	RESET_B	Hi-Z	入力
9G	入出力	Digital	D5	なし	入力	RESET_B	Hi-Z	入力
10F	入出力	Digital	D6	なし	入力	RESET_B	Hi-Z	入力
9F	入出力	Digital	D7	なし	入力	RESET_B	Hi-Z	入力
10J	-	Digital	DGND	-	-	-	-	-
10E	出力	Digital	INT_B	なし	出力	RESET_B	High 出力	High 出力
9E	入力	Digital	RESET_B	なし	入力	なし	入力	入力
10D	-	Digital	DV _{DD}	-	-	-	-	-
9D	出力	Digital	VIB	なし	注 3	RESET_B	不定	Low 出力 ^{注 2}
10C	出力	Digital	LED	なし	注 3	RESET_B	不定	Low 出力 ^{注 2}
9C	-	Digital	EV _{DD}	-	-	-	-	-

注 1. レジスタ設定により異なります。6. 14 汎用出力端子の設定 (POUT) を参照してください。

2. レジスタの設定が初期値になるため、その値に応じたレベルの信号が出力されます。

3. レジスタ設定により異なります。6. 13 VIB, LED の設定 (VIB) を参照してください。

(2/2)

端子番号	入出力	Analog / Digital	端子名称	スタンバイ状態		リセット状態(RESET_B = Low)		リセット解除後
				制御信号	端子状態	制御信号	端子状態	
8A	入出力	Digital	LRCLK	STASI, STASO	注	RESET_B	Hi-Z	入力
8B	入出力	Digital	BCLK	STASI, STASO	注	RESET_B	Hi-Z	入力
7A	入力	Digital	ASI	STASI, STASO	注	なし	入力	入力
7B	出力	Digital	ASO	STASI, STASO	注	RESET_B	Hi-Z	Hi-Z
6A	-	Digital	EGND	-	-	-	-	-
9A	-	Digital	DV _{DD}	-	-	-	-	-
6B	入力	Digital	PS	なし	入力	なし	入力	入力
5A	入力	Digital	TRSCK	なし	入力	なし	入力	入力
5B	入力	Digital	CLK8K	なし	入力	なし	入力	入力
4A	入力	Digital	RDATA	なし	入力	なし	入力	入力
4B	入出力	Digital	TM4	STDIG	Low 出力	RESET_B	Hi-Z	Low 出力
3A	入出力	Digital	TM3	STDIG	Low 出力	RESET_B	Hi-Z	Low 出力
3B	入力	Digital	TM2	なし	入力	なし	入力	入力

注 スタンバイ状態での LRCLK , BCLK , ASI , ASO 端子の状態については、表 1 - 1 を参照してください。

表 1 - 1 ASIO 部の端子状態

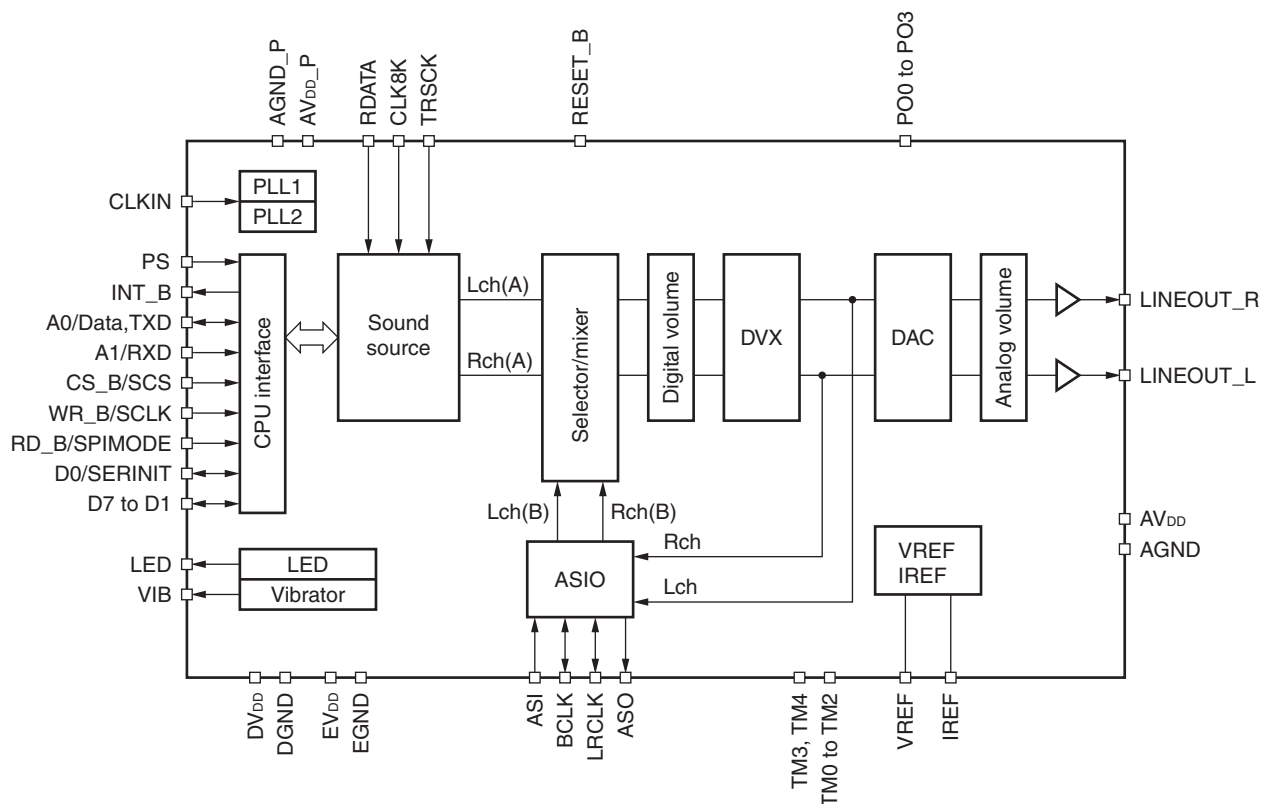
端子番号	入出力	Analog / Digital	端子名	MS = 0 (スレーブ)				MS = 1 (マスタ)			
				[STASI, STASO]				[STASI, STASO]			
				[0, 0]	[0, 1]	[1, 0]	[1, 1]	[0, 0]	[0, 1]	[1, 0]	[1, 1]
8A	入出力	Digital	LRCLK	入力 ^注	入力	入力	入力	Low固定	出力	出力	出力
8B	入出力	Digital	BCLK	入力 ^注	入力	入力	入力	Low固定	出力	出力	出力
7A	入力	Digital	ASI	無効	無効	入力	入力	無効	無効	入力	入力
7B	出力	Digital	ASO	Hi-Z	出力	Hi-Z	出力	Hi-Z	出力	Hi-Z	出力

注 内部でロウ・レベルに固定されます。

- 備考 1. MS は、SLASI レジスタ (08H) の D2 ビットです。6.8 ASIO モード設定 (SLASI) を参照してください。
 2. STASI, STASO は STNBY レジスタ (00H) の D4, D3 ビットです。6.3 スタンバイ設定 (STNBY) を参照してください。

2. 概略説明

図 2-1 ブロック図



(1) PLL1, PLL2 (CLKIN 端子)

2.688 MHz ~ 16.128 MHz の範囲のクロック入力をサポートします。

入力された各種周波数のクロックを PLL でクロック・アップし、内部で必要とする固定周波数のクロックを作り出すブロックです。PLL1 で音源ブロック以外に必要なクロックを生成し、PLL2 で音源ブロックのクロックを生成します。

(2) CPU インタフェース

CPU インタフェースは 8 ビット・パラレル・インタフェースまたは 3/4 線シリアル・インタフェース (SPI) です。

(3) バイブレータ, LED 制御出力ポート

LED, バイブレータに対する出力ポートです。

(4) PCM 音源ブロック

最大 64 音の同時発音 PCM 音源, シーケンサ内蔵を内蔵しています。サンプリング周波数は 32 kHz です。

ADPCM の再生機能を内蔵しています。サンプリング周波数は 8 kHz × 4ch / 16 kHz × 2ch / 32 kHz × 1ch です。

(5) オーディオ・シリアル入出力インタフェース

外部オーディオ・データの入出力のインタフェースです。

サンプリング周波数は 8 kHz, 16 kHz, 32 kHz, 44.1 kHz, 48 kHz の 5 種類に対応しています (初期設定は 32 kHz)。

シリアル・データの入力周波数は 32fs ~ 64fs まで可変可能です (スレープ・モード時)。

(6) セレクタ/ミキサ

音源とオーディオ・シリアル入力の切り替え, またはミキシングを行うブロックです。

(7) DVX (サラウンド)

リアルタイム・サラウンド処理を行うブロックです。

(8) DAC

音源またはオーディオ・シリアル入力からのデジタル信号をアナログ信号に変換します。

16 ビットの分解能の高性能ステレオ D/A コンバータです。

3. ホスト CPU インタフェース

ホスト CPU インタフェースからのアクセス方法には, パラレル・インタフェース・モードとシリアル・インタフェース・モードの 2 つがあります。

3.1 パラレル・インタフェース・モード

PS 端子をロウ・レベルに設定することで, パラレル・インタフェース・モードに入ります。

3.1.1 ライト・アクセス

ライト・アクセスでは, システム側から本 LSI に対してデータ書き込みを行います。ライト・アクセスのタイミングを図 3-1, 図 3-2 に示します。

- ・ A0 によりアドレス・ライト・サイクルとデータ・ライト・サイクルを区別します。
- ・ A1 により音源用レジスタ・アクセスと音源以外用レジスタ・アクセスを区別します (0: 音源以外, 1: 音源)。
- ・ アドレス・ライト・サイクルでは, データを書き込むアドレスを D7-D0 に割り当てます。
- ・ システム・クロックによる WR_B の立ち上がりエッジ検出を基準に動作します。

注意 アドレス・ライト・サイクルおよびデータ・ライト・サイクル中は RD_B 端子を常にハイ・レベル固定にしてください。

図 3 - 1 ライト・アクセス (シングル・アクセス)

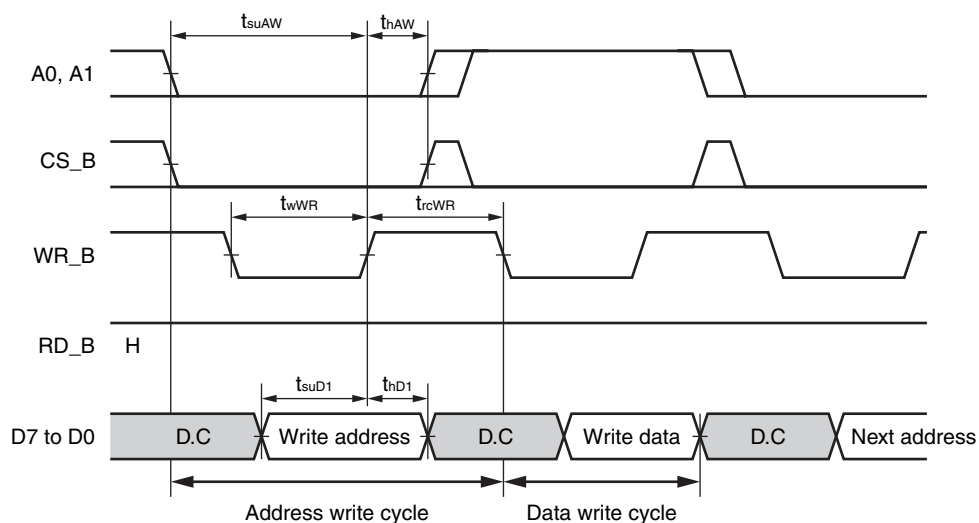
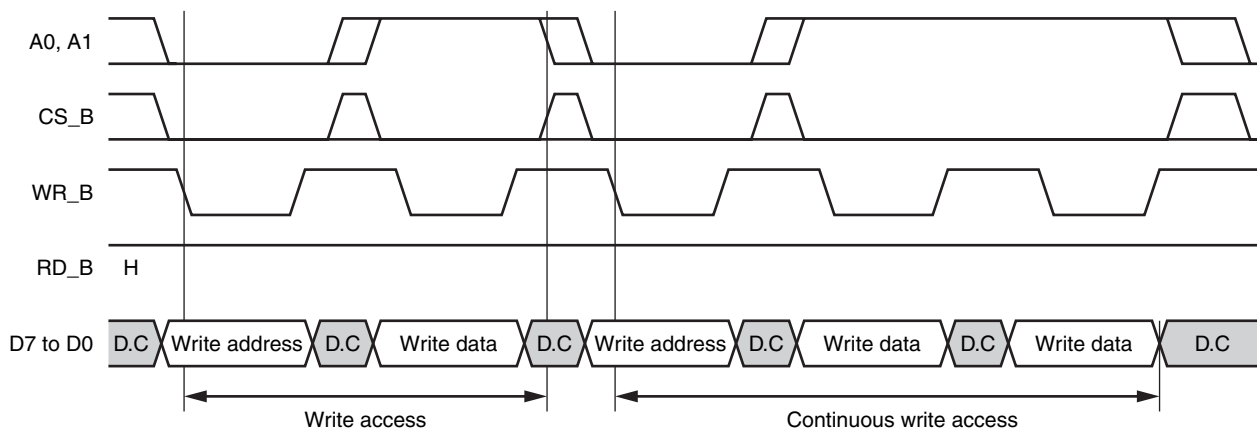


図 3 - 2 ライト・アクセス (連続アクセス)



備考 CS_B 端子はライト期間ロウ・レベルにしてください。連続ライト・アクセス中, CS_B 端子を常にロウ・レベルにする必要はありません。

D.C : Don't care

3.1.2 リード・アクセス

リード・アクセスではシステム側から本 LSI に対してデータ読み出しを行います。リード・アクセスのタイミングを図 3-3, 図 3-4 に示します。

- ・ A0 によりアドレス・ライト・サイクルとデータ・リード・サイクルを区別します。
- ・ A1 により音源用レジスタ・アクセスと音源以外用レジスタ・アクセスを区別します (0 : 音源以外, 1 : 音源)。
- ・ システム・クロックによる WR_B および RD_B の立ち上がりエッジ検出を基準に動作します。
- ・ アドレス・ライト・サイクルでは, データを書き込むアドレスを D7-D0 に割り当てます。

図 3-3 リード・アクセス (シングル・アクセス)

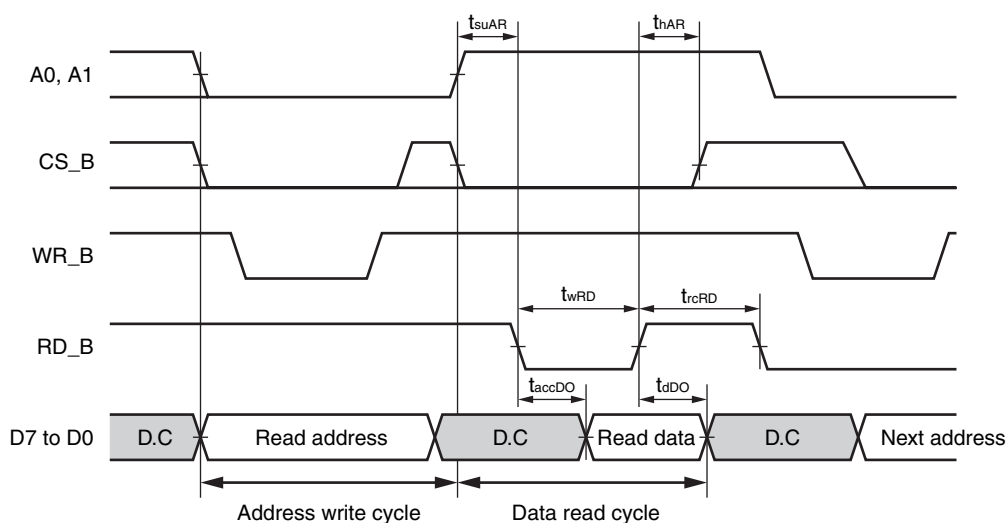
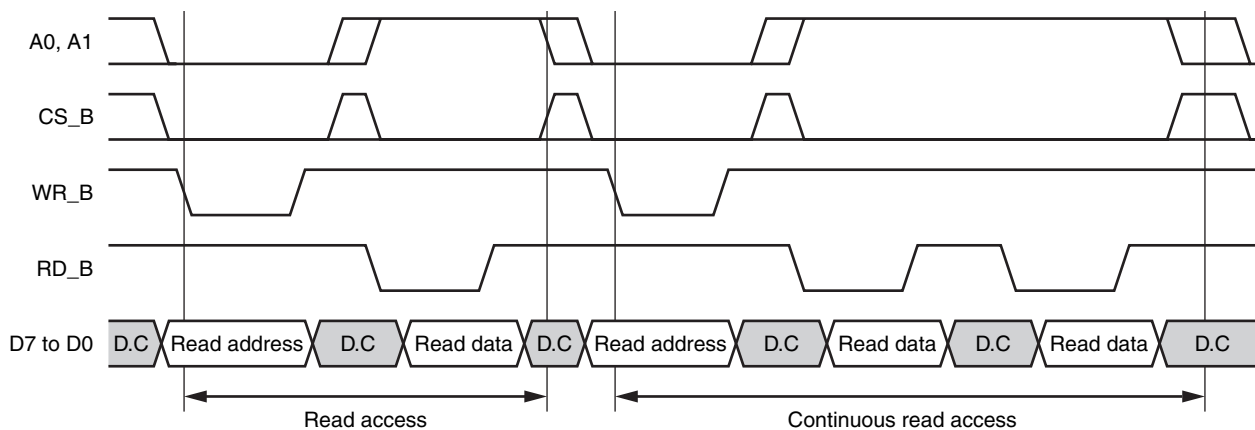


図 3-4 リード・アクセス (連続アクセス)



備考 CS_B 端子はリード期間ロウ・レベルにしてください。連続リード・アクセス中, CS_B 端子を常にロウ・レベルにする必要はありません。

D.C : Don't care

3.2 シリアル・インタフェース・モード

PS 端子をハイ・レベルに設定することで、シリアル・インタフェース・モードに入ります。このモードには、3 線 SPI モードと 4 線 SPI モードの 2 通りの転送方式があります。これらは SPIMODE(RD_B)端子を使用して切り替えます。

3.2.1 端子機能

端子名	機能	I/O
PS	ホスト CPU インタフェース・モード選択 (0: パラレル, 1: シリアル)	I
SPIMODE(RD_B)	SPI モード選択 (0: 3 線 SPI モード, 1: 4 線 SPI モード)	I
SCLK(WR_B)	シリアル・クロック 10 MHz まで動作可能です。	I
SCS(CS_B)	チップ・セレクト	I
Data, TXD(A0)	シリアル送受信データ SPIMODE(RD_B) = 0, 送受信データ端子として使用します。 SPIMODE(RD_B) = 1, 送信データ端子として使用します。	I/O
RXD(A1)	シリアル受信データ RD_B = 1, 受信データ端子として使用します。	I
SERINIT(D0)	シリアル・リセット SERINIT(D0)が 1 のとき, SCS(CS_B)が 1 になるとシリアル・インタフェース回路に非同期リセットがかかります。 (リセット条件 SCS = 1 & SERINT = 1)	I

備考 () はパラレル・インタフェース時の端子名を表します。

シリアル・インタフェース・モードとして使用するには、PS 端子をハイ・レベルにする必要があります。

SCS 端子がハイ・レベルになると、Data 端子はハイ・インピーダンスを出力します。

TXD 端子は、データ出力中以外は不定状態となります。

SCS 端子をハイ・レベルまたはロウ・レベルにする場合は、SCLK がハイ・レベルの区間に行ってください。

3.2.2 シリアル・フォーマット

Read/Write Control	1 bit	(ハイ・レベル: ライト・アクセス, ロウ・レベル: リード・アクセス)
Address	7 bits	
Data	8 bits	
Total	16 bits	

(1) レジスタ領域

本 LSI は 2 つのレジスタ領域を持っています。1 つは音源コア設定用 (サウンド・レジスタ・バンク) で、もう一方はチップ・コントロール用 (コントロール・レジスタ・バンク) です。

バンク切り替えは、BANK レジスタ (アドレス: 4FH) を設定することで行います。

(2) アクセス・フォーマット

- ・ノーマル・ライト・アクセス
- ・ノーマル・リード・アクセス
- ・連続ライト・アクセス (1)
- ・連続ライト・アクセス (2) for FIFO and DVX RAM

3.2.3 3線SPIモード・アクセス・フォーマット

図 3 - 5 ホスト CPU アクセス (ライト/リード・アクセス期間)

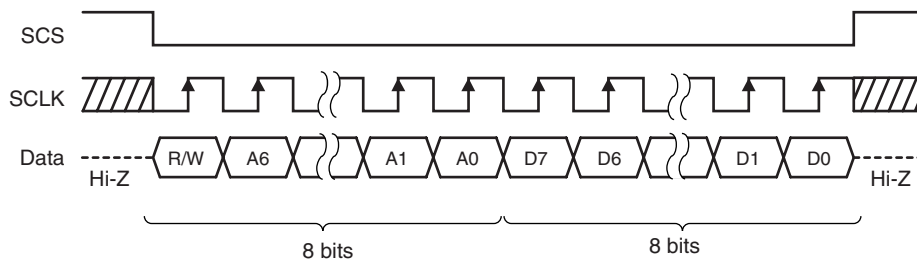
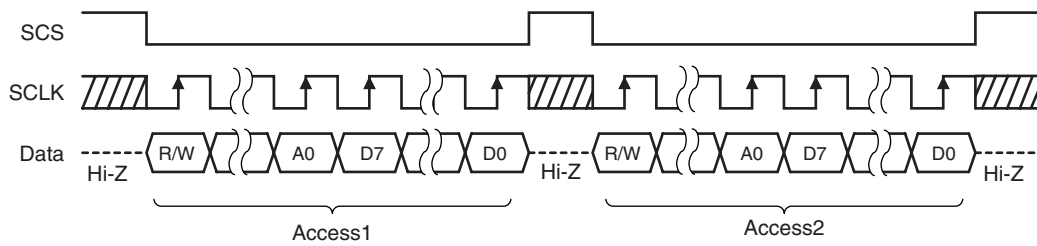
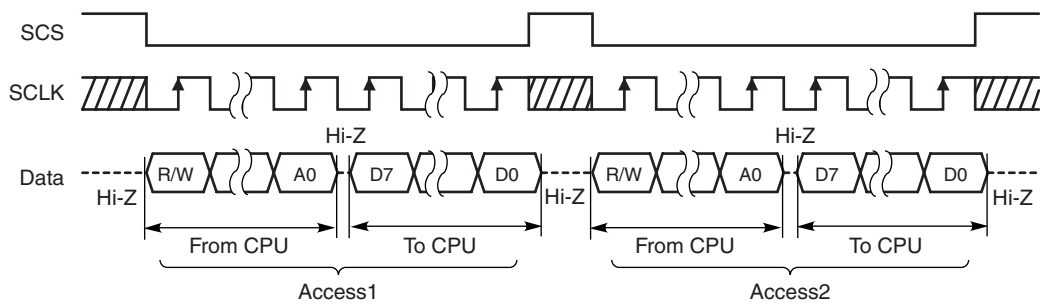


図 3 - 6 ホスト CPU アクセス・フォーマット (連続アクセス1)

(a) ライト・アクセス



(b) リード・アクセス



備考 このフォーマットは、PCM 音源コアの FIFO, DVX RAM 以外へのアクセスの場合です。

3.2.4 4線SPIモード・アクセス・フォーマット

図 3 - 8 ホストCPU アクセス・フォーマット (リード/ライト・アクセス)

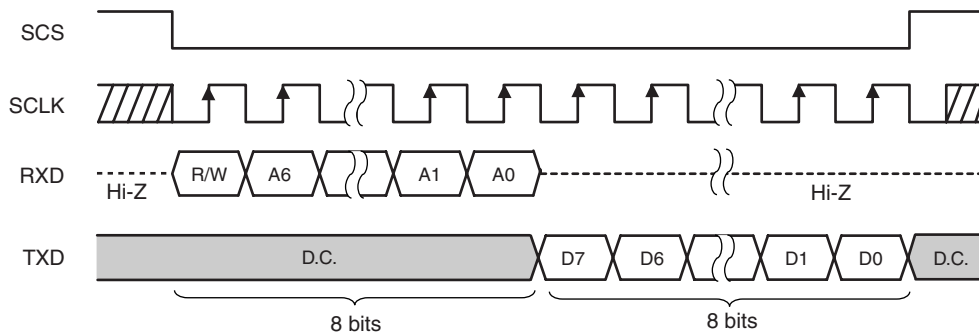
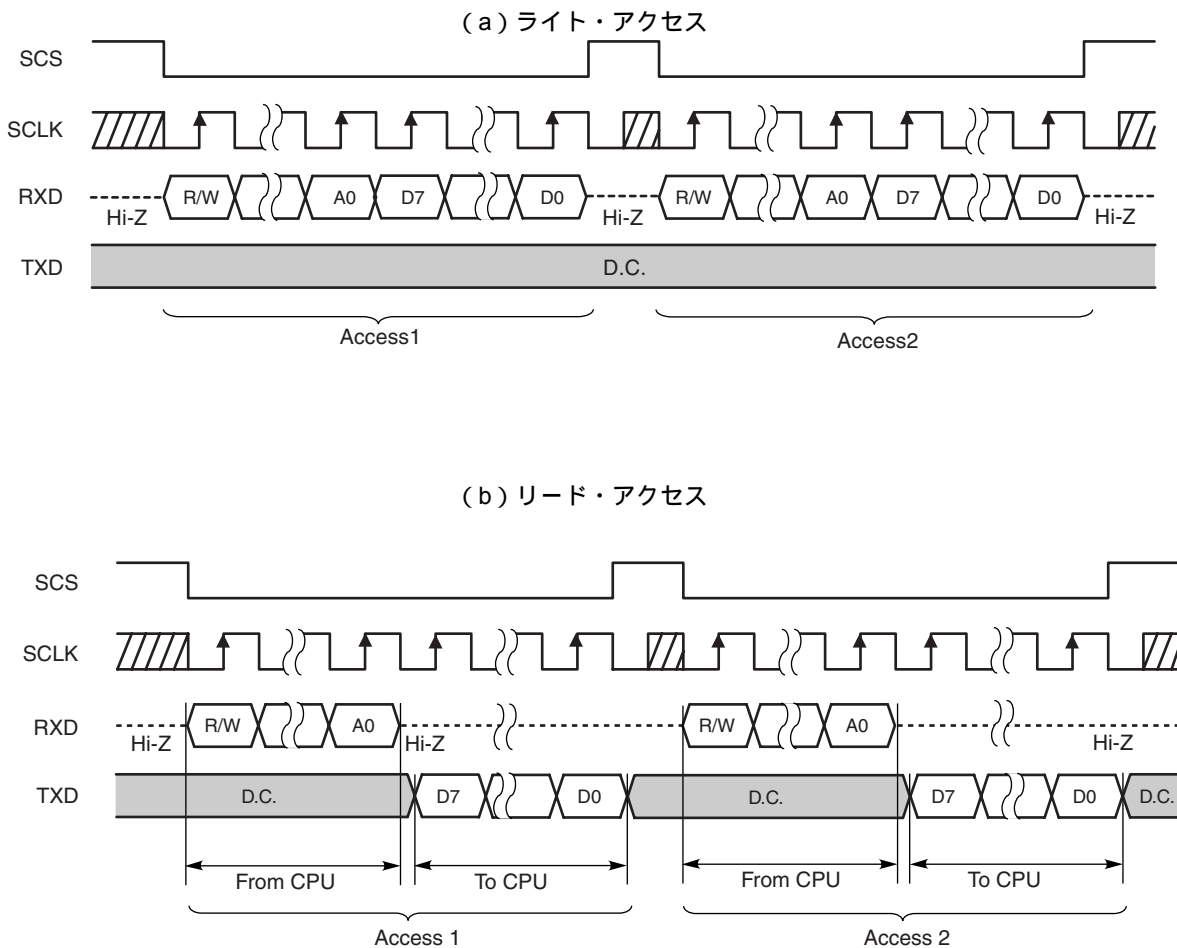


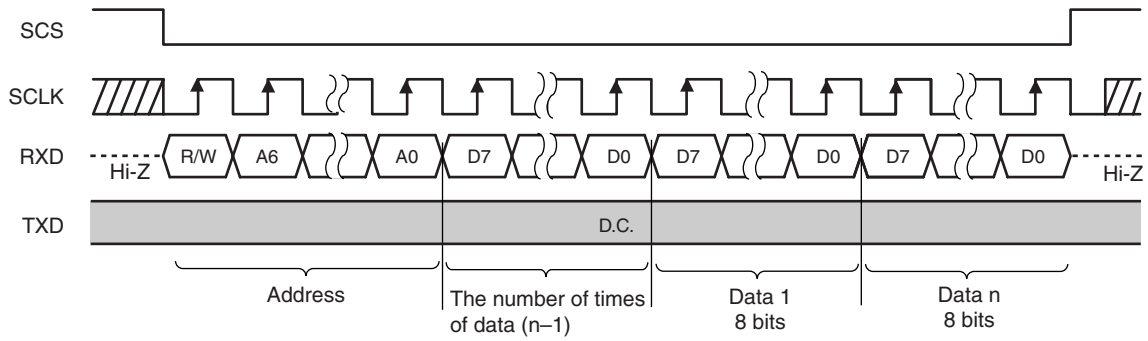
図 3 - 9 ホストCPU アクセス・フォーマット (連続アクセス1)



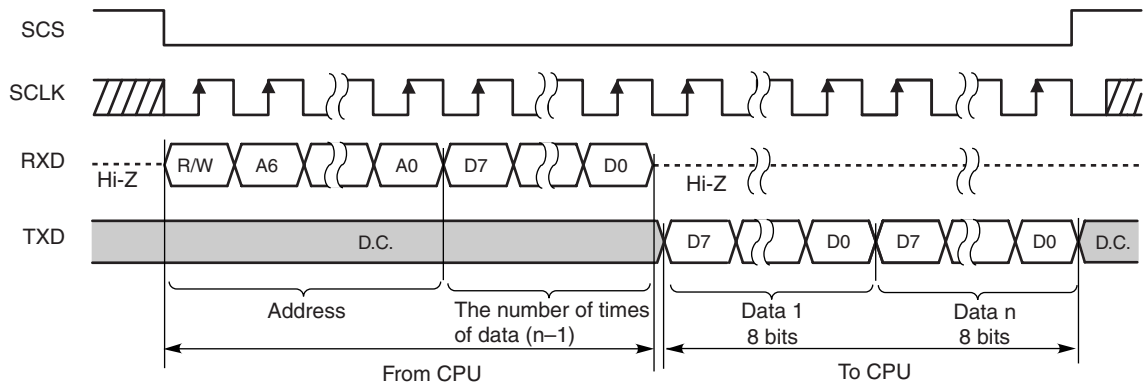
備考 このフォーマットは、PCM 音源コアの FIFO、DVX RAM 以外へアクセスする場合は。

図 3 - 10 ホスト CPU アクセス・フォーマット (連続アクセス 2)

(a) ライト・アクセス



(b) リード・アクセス



備考 このフォーマットは、PCM 音源コアの FIFO および DVX RAM へアクセスする場合に使用できます。

3.2.5 シリアル・インタフェースの初期化について

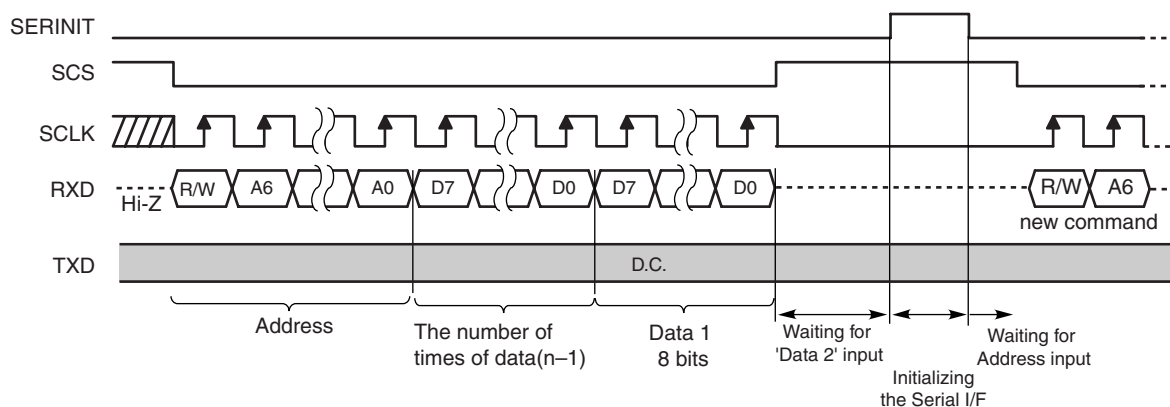
SERINIT(D0)端子は、シリアル I/F の連続 Read/Write アクセスを強制的に初期化するための initial pin です（この初期化が必要なければ、SERINIT(D0)はロウ・レベルにしてください）。

この初期化対象はシリアル I/F のみにかかり、SCS = 1 かつ SERINIT = 0 のときに非同期で実行されます。サウンド・レジスタ・バンク、コントロール・レジスタ・バンクのレジスタは初期化されません。したがって、シリアル I/F は初期化後、次のアドレスが設定されるのを待ちます。

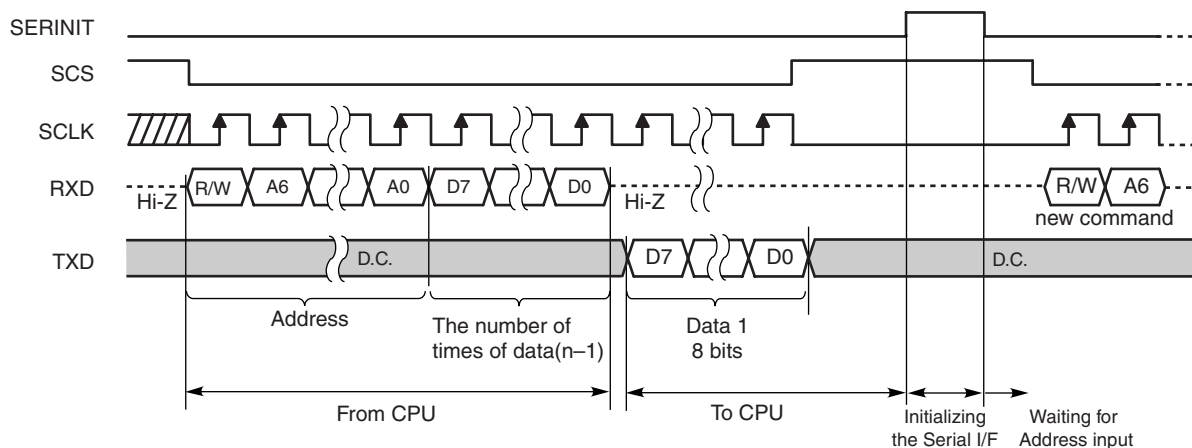
この初期化信号の例を次に示します。

図 3 - 11 SERINT(D0)端子を使った連続アクセスの取り消し

(a) ライト・アクセス



(b) リード・アクセス



備考 3線 SPI モード、4線 SPI モードでの初期化条件は同じです。

4. オーディオ・シリアル・インタフェース

SLASI レジスタ (08H) の LRCLK = 0 のときは, LRCLK がハイ・レベルの区間に Lch データ, LRCLK がロウ・レベルの区間に Rch データが配置されます。IIS フォーマットではその逆になるため, LRCLK = 1 を設定してください。

それぞれの区間に, 右詰めや左詰め, IIS フォーマットといったフォーマットの切り替えができます。また, マスタ・モード/スレーブ・モードを選択できます。1 フレーム内のデータ・ビット数は SFSL レジスタ(07H)の BFS[4:0] で設定できます。シリアル入出力のタイミングを図 4-1~図 4-3に示します。

図 4-1 右詰めフォーマット

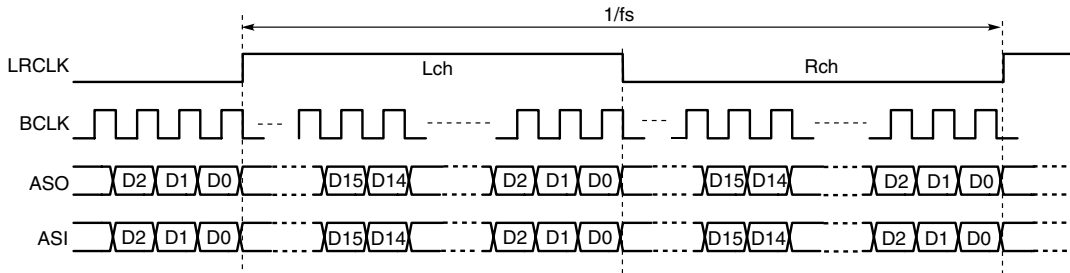


図 4-2 左詰めフォーマット

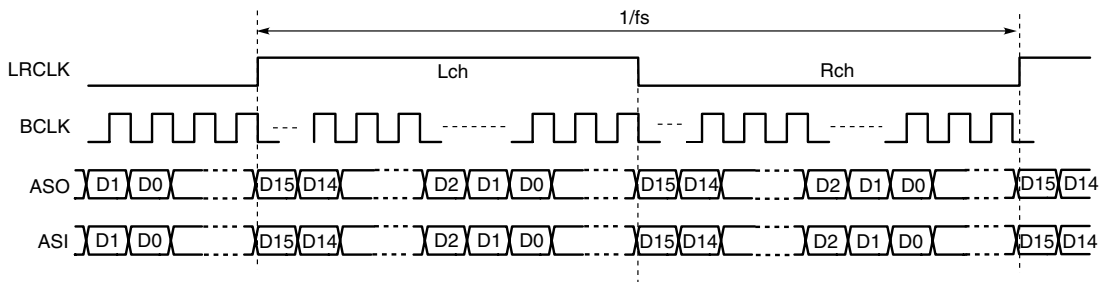
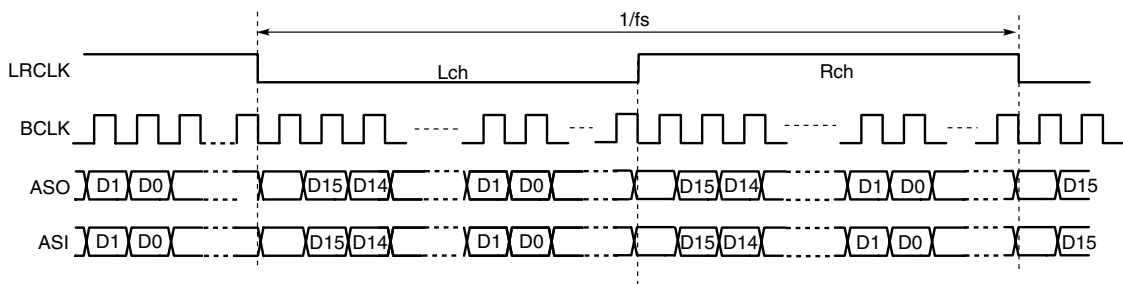


図 4-3 IIS フォーマット



- 備考 1.** IIS フォーマットは, 1 ビット空け左詰め, Lch: ロウ・レベル, Rch: ハイ・レベルのフォーマットです。IIS モード (SLASI レジスタ (08H) の ASIM = 1) 選択時は, これ以外の設定を指定しないでください。LR モード (SLASI レジスタ (08H) の ASIM = 0) 選択時は, 左右詰めと L/R 正転反転の組み合わせを指定できます。
- マスタ・モード時/スレーブ・モード時のどちらの場合でも, 64 ビット (64 fs) のみ選択できます。
- 2.** 左詰め/右詰めフォーマットでは, 1 フレーム内のデータ・ビット数は SFSL レジスタ (07H) の BFS[4:0] で設定できます。マスタ・モード時は, 64 ビットまたは 32 ビットを選択できます。スレーブ・モード時は 32 ビット~64 ビットを 2 ビット・ステップで指定できます。
- リセット解除後の初期設定では, Lch 32 ビット, Rch 32 ビットの計 64 ビットで 1 フレーム構成となっています。

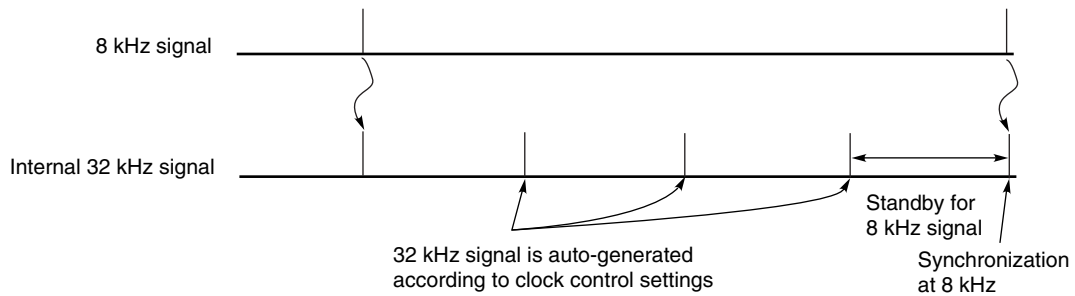
5. ADPCM 入力インタフェース

5.1 CLK8K

録音時に使用する外部 8 kHz 同期用クロック信号の入力端子です。再生時には本 LSI の内部で生成している 32 kHz の信号を、録音時は外部から入力した 8 kHz のクロックを基準に生成します。

注意 録音時に外部 8 kHz 同期用クロック信号が入力されていない場合、録音データの保証はできません。

図 5 - 1 ADPCM 録音時の同期



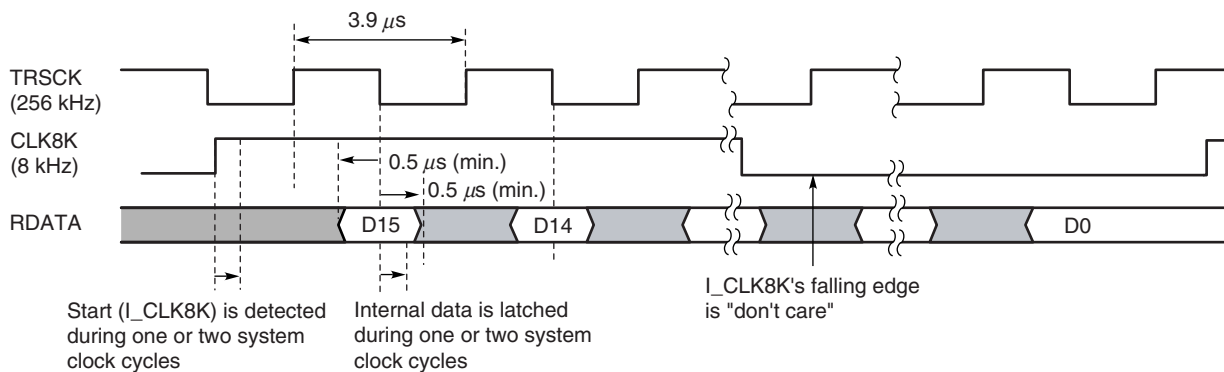
5.2 TRSCK, RDATA

ADPCM 入力インタフェースは、リニア PCM データの入出力を行うための外部同期式シリアル・インタフェースです。

5.2.1 シリアル方式録音インタフェース

外部同期式シリアル・インタフェースのタイミングを図 5 - 2 に示します。

図 5 - 2 外部同期式シリアル・インタフェース・タイミング



ADPCM 録音データの転送は、外部 8 kHz 同期信号と外部シリアル・クロックに同期させて行います。データの取り込みは、シリアル・クロックの立ち下がりでを行い、MSB ファーストで 16 ビット取り込みます。16 ビットのリニア PCM データ (2 の補数形式) の場合は 16 ビットすべて有効で、μ則 8 ビット PCM データの場合は上位 8 ビットを無視し下位 8 ビットを有効データとします。

注意 CLK8K 端子入力は、立ち上がりのみ検出します。

6. レジスタ（音源部以外のレジスタ）

音源部を除くレジスタについて説明します。

注意 音源部レジスタについては、NDA 締結後の開示とさせていただきます。

6.1 パラレル・インタフェース・モード

PS 端子がロウ・レベルのとき、パラレル・インタフェース・モードになります。

表 6-1 コントロール・レジスタ一覧

アド レス	R/W	D7	D6	D5	D4	D3	D2	D1	D0	初期値	制御内容	レジスタ名		
00H	R/W	STDIG	STPLL2	STPLL1	STASI	STASO	STSYNTH	STDAC	STREF	00H	LSI スタンバイ設定	STNBY		
01H	R/W	0	MCLK1A[6:0]								1CH	マスタ・クロック設定 1	MCLK1A	
02H	R/W	MCLK1B[7:0]									80H	マスタ・クロック設定 1	MCLK1B	
03H	R/W	0	0	0	MCLK2A[4:0]						02H	マスタ・クロック設定 2	MCLK2A	
04H	R/W	MCLK2B[7:0]									29H	マスタ・クロック設定 2	MCLK2B	
05H	R/W	0	0	0	0	0	0	MIX	SLSORCE	00H	ソース入力, ミキシング設定	SLSORCE		
06H	R/W	0	0	0	0	0	0	ENSRD[1:0]		00H	サラウンド	ENSRD		
07H	R/W	BFS[4:0]				FS[2:0]						00H	fs 切り替え, ASIO BCLK 設定	SLFS
08H	R/W	0	0	0	0	SLR	MS	ASIM	LRCLK	00H	ASI 設定	SLASI		
09H	R/W	0	0	0	DAULGA[4:0]						02H	Digital Volume (L) 設定値	DAULGA	
0AH	R/W	0	0	0	DAURGA[4:0]						02H	Digital Volume (R) 設定値	DAURGA	
0BH	R/W	0	0	0	AAULGA[4:0]						1FH	Analog Volume (L) 設定値	AAULGA	
0CH	R/W	0	0	0	AAURGA[4:0]						1FH	Analog Volume (R) 設定値	AAURGA	
0DH	R/W	0	0	0	0	0	0	VIB	LED	00H	LED, VIB 出力の設定	VIB		
0EH	R/W	0	0	0	0	POUT3	POUT2	POUT1	POUT0	00H	ユーザ Port 出力設定	POUT		
3FH	R	VER[7:0]									注	LSI バージョン	VER	
40H	W	SPSRDW1[7:0]									不定	SP サラウンド係数 1	SPSRDW1	
41H	W	SPSRDW2[7:0]									不定	SP サラウンド係数 2	SPSRDW2	
42H	W	HPSRDW1[7:0]									不定	HP サラウンド係数 1	HPSRDW1	
43H	W	HPSRDW2[7:0]									不定	HP サラウンド係数 2	HPSRDW2	
44H	R	SPSRDR1[7:0]									不定	SP サラウンド係数 1	SPSRDR1	
45H	R	SPSRDR2[7:0]									不定	SP サラウンド係数 2	SPSRDR2	
46H	R	HPSRDR1[7:0]									不定	HP サラウンド係数 1	HPSRDR1	
47H	R	HPSRDR2[7:0]									不定	HP サラウンド係数 2	HPSRDR2	
48H	R/W	SRDRA[7:0]									00H	サラウンド・モード設定	SRDRA	

注 LSI のバージョンにより異なります。

注意 ここに示したアドレス以外は使用しないでください。

6.2 シリアル・インタフェース・モード

PS 端子がハイ・レベルのとき、シリアル・インタフェース・モードになります。

6.2.1 サウンド・レジスタ・バンク

BANK レジスタが 00H のとき、レジスタ・マップは次のとおりです。

表 6-2 サウンド・レジスタ・バンク

アド レス	R/W	D7	D6	D5	D4	D3	D2	D1	D0	初期値	制御内容	レジスタ名
00H : 4EH	Register for Sound Source											
4FH	R/W	0	0	0	0	0	0	0	BANK	01H	BANK レジスタ	BANK
50H: : 7FH	Register for Sound Source											

6.2.2 コントロール・レジスタ・バンク

BANK レジスタが 01H のとき，レジスタ・マップは次のとおりです。

表 6-3 コントロール・レジスタ一覧

アド レス	R/W	D7	D6	D5	D4	D3	D2	D1	D0	初期値	制御内容	レジスタ名		
00H	R/W	STDIG	STPLL2	STPLL1	STASI	STASO	STSYNTH	STDAC	STREF	00H	LSI スタンバイ設定	STNBY		
01H	R/W	0	MCLK1A[6:0]								1CH	マスタ・クロック設定 1	MCLK1A	
02H	R/W	MCLK1B[7:0]									80H	マスタ・クロック設定 1	MCLK1B	
03H	R/W	0	0	0	MCLK2A[4:0]						02H	マスタ・クロック設定 2	MCLK2A	
04H	R/W	MCLK2B[7:0]									29H	マスタ・クロック設定 2	MCLK2B	
05H	R/W	0	0	0	0	0	0	MIX	SLSORCE	00H	ソース入力，ミキシング設定	SLSORCE		
06H	R/W	0	0	0	0	0	0	ENSRD[1:0]		00H	サラウンド	ENSRD		
07H	R/W	BFS[4:0]				FS[2:0]						00H	fs 切り替え，ASIO BCLK 設定	SLFS
08H	R/W	0	0	0	0	SLR	MS	ASIM	LRCLK	00H	ASI 設定	SLASI		
09H	R/W	0	0	0	DAULGA[4:0]						02H	Digital Volume (L) 設定値	DAULGA	
0AH	R/W	0	0	0	DAURGA[4:0]						02H	Digital Volume (R) 設定値	DAURGA	
0BH	R/W	0	0	0	AAULGA[4:0]						1FH	Analog Volume (L) 設定値	AAULGA	
0CH	R/W	0	0	0	AAURGA[4:0]						1FH	Analog Volume (R) 設定値	AAURGA	
0DH	R/W	0	0	0	0	0	0	VIB	LED	00H	LED,VIB 出力の設定	VIB		
0EH	R/W	0	0	0	0	POUT3	POUT2	POUT1	POUT0	00H	ユーザ Port 出力設定	POUT		
3FH	R	VER[7:0]									注	LSI バージョン	VER	
40H	W	SPSRDW1[7:0]									不定	SP サラウンド係数 1	SPSRDW1	
41H	W	SPSRDW2[7:0]									不定	SP サラウンド係数 2	SPSRDW2	
42H	W	HPSRDW1[7:0]									不定	HP サラウンド係数 1	HPSRDW1	
43H	W	HPSRDW2[7:0]									不定	HP サラウンド係数 2	HPSRDW2	
44H	R	SPSRDR1[7:0]									不定	SP サラウンド係数 1	SPSRDR1	
45H	R	SPSRDR2[7:0]									不定	SP サラウンド係数 2	SPSRDR2	
46H	R	HPSRDR1[7:0]									不定	HP サラウンド係数 1	HPSRDR1	
47H	R	HPSRDR2[7:0]									不定	HP サラウンド係数 2	HPSRDR2	
48H	R/W	SRDRA[7:0]									00H	サラウンド・モード設定	SRDRA	
:														
4FH	R/W	0	0	0	0	0	0	0	BANK	01H	バンク・レジスタ	BANK		
50H	-	Reserved												
:														
7FH	-													

注 LSI のバージョンにより異なります。

注意 ここに示したアドレス以外は使用しないでください。

6.3 スタンバイ設定 (STNBY)

スタンバイ・モードの設定を行います。

アドレス：00H，レジスタ名：STNBY，ブロック：全体，アクセス：R/W，初期値：00H

D7	D6	D5	D4	D3	D2	D1	D0
STDIG	STPLL2	STPLL1	STASI	STASO	STSYNTH	STDAC	STREF

6.3.1 STDIG

データ	モード	初期値	説明
0	Standby	0	デジタル部のスタンバイ
1	ON		通常動作

6.3.2 STPLL2

データ	モード	初期値	説明
0	Standby	0	PLL2のスタンバイ
1	ON		通常動作

備考 PLL2 スタンバイ・モード（パワーダウン）時，PLL2 出力クロックは停止します。

6.3.3 STPLL1

データ	モード	初期値	説明
0	Standby	0	PLL1のスタンバイ
1	ON		通常動作

備考 PLL1 スタンバイ・モード（パワーダウン）時，PLL1 出力クロックは停止します。

6.3.4 STASI

データ	モード	初期値	説明
0	Standby	0	ASI（オーディオ・シリアル・インタフェース入力）のスタンバイ
1	ON		通常動作

6.3.5 STASO

データ	モード	初期値	説明
0	Standby	0	ASO（オーディオ・シリアル・インタフェース出力）のスタンバイ
1	ON		通常動作

注意 LRCLK および BCLK の動作は STASI と STASO 両方のビットをスタンバイにしたときのみスタンバイとなります。詳しくは、表 1-1 ASIO 部の端子状態を参照してください。

6.3.6 STSYNTH

データ	モード	初期値	説明
0	Standby	0	音源ブロック (Synthesizer) のスタンバイ
1	ON		通常動作

6.3.7 STDAC

データ	モード	初期値	説明
0	Standby	0	DAC ブロック部のスタンバイ ^注
1	ON		通常動作

注 DAC アナログ部と、アナログ・ボリューム共用のスタンバイ信号です。

6.3.8 STREF

データ	モード	初期値	説明
0	Standby	0	Voltage / Current Reference 部のスタンバイ ^注
1	ON		通常動作

注 アナログ部基準電圧源，電流源のスタンバイ信号です。

6.4 マスタ・クロックの切り替え (MCLK1A, MCLK1B, MCLK2A, MCLK2B)

マスタ・クロック 1 および 2 の設定を行います

アドレス : 01H, レジスタ名 : MCLK1A, ブロック : PLL1, アクセス : R/W, 初期値 : 1CH

D7	D6	D5	D4	D3	D2	D1	D0
0	MCLK1A[6:0]						

アドレス : 02H, レジスタ名 : MCLK1B, ブロック : PLL1, アクセス : R/W, 初期値 : 80H

D7	D6	D5	D4	D3	D2	D1	D0
MCLK1B[7:0]							

アドレス : 03H, レジスタ名 : MCLK2A, ブロック : PLL2, アクセス : R/W, 初期値 : 02H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	MCLK2A[4:0]				

アドレス : 04H, レジスタ名 : MCLK2B, ブロック : PLL2, アクセス : R/W, 初期値 : 29H

D7	D6	D5	D4	D3	D2	D1	D0
MCLK2B[7:0]							

6.4.1 MCLK1A[6:0]

データ	モード	初期値	説明
MCLK1A[6:0]		1CH	オーディオ・マスタ・クロック (MCK1) 生成用 PLL1 の設定を行います。

6.4.2 MCLK1B[7:0]

データ	モード	初期値	説明
MCLK1B[7:0]		80H	オーディオ・マスタ・クロック (MCK1) 生成用 PLL1 の設定を行います。

6.4.3 MCLK2A[4:0]

データ	モード	初期値	説明
MCLK2A[4:0]		02H	音源マスタ・クロック (MCK2) 生成用 PLL2 の設定を行います。

6.4.4 MCLK2B[7:0]

データ	モード	初期値	説明
MCLK2B[7:0]		29H	音源マスタ・クロック (MCK2) 生成用 PLL2 の設定を行います。

マスタ・クロック設定例を次に示します。

(1) オーディオ・マスタ・クロック設定

音源ブロック以外に供給するクロック周波数の設定を行います。入力クロック周波数，サンプリング周波数に応じて MCLK1A，MCLK1B レジスタの値を設定してください。入力クロックを MCLK1A レジスタに設定した値で分周したクロックを，MCLK1B レジスタに設定した値で逡倍します。

(a) CLKIN 分周クロック

$$100 \text{ kHz} < (\text{CLKIN} / \text{MCLK1A}) < 250 \text{ kHz}$$

(b) 設定目標とするオーディオ・マスタ・クロック

$$22.579200 \text{ MHz (44.1 kHz のときの目標クロック)}$$

$$24.576000 \text{ MHz (8 kHz/16 kHz/32 kHz/48 kHz のときの目標クロック)}$$

(c) 設定クロック計算

$$(\text{設定クロック}) = (\text{CLKIN} / \text{MCLK1A}) \times \text{MCLK1B}$$

(d) 許容誤差

$$-0.02 \% (-2.0E - 4) < \text{許容誤差} < 0.02 \% (2.0E - 4)$$

(e) 計算例

(計算条件)

$$\text{CLKIN} = 13 \text{ MHz}, \text{MCLK1A} = 76 \text{ (Dec)}, \text{MCLK1B} = 132 \text{ (Dec)}, \text{fs} = 44.1 \text{ kHz}$$

$$(a) \rightarrow (\text{CLKIN} / \text{MCLK1A}) = 171.053 \text{ kHz}$$

$$(c) \rightarrow (\text{CLKIN} / \text{MCLK1A}) \times \text{MCLK1B} = 22.578947 \text{ MHz}$$

$$(d) \rightarrow (22.578947E6 - 22.5792E6) / 22.5792E6 = -0.0011\%$$

CLKIN 入力周波数 [MHz]	MCLK1A		MCLK1B		サンプリング 周波数 fs [kHz]
	(Dec)	(HEX)	(Dec)	(HEX)	
2.688	20	14	168	A8	44.1
5.376	40	28	168	A8	44.1
12.000	76	4C	143	8F	44.1
12.600	77	4D	138	8A	44.1
13.000	76	4C	132	84	44.1
14.400	125	7D	196	C4	44.1
16.128	120	78	168	A8	44.1
2.688	14	0E	128	80	48
5.376	28	1C	128	80	48
12.000	62	3E	127	7F	48
12.600	81	51	158	9E	48
13.000	64	40	121	79	48
14.400	75	4B	128	80	48
16.128	84	54	128	80	48
2.688	14	0E	128	80	32
5.376	28	1C	128	80	32
12.000	62	3E	127	7F	32
12.600	81	51	158	9E	32
13.000	64	40	121	79	32
14.400	75	4B	128	80	32
16.128	84	54	128	80	32
2.688	14	0E	128	80	8
5.376	28	1C	128	80	8
12.000	62	3E	127	7F	8
12.600	81	51	158	9E	8
13.000	64	40	121	79	8
14.400	75	4B	128	80	8
16.128	84	54	128	80	8
2.688	14	0E	128	80	16
5.376	28	1C	128	80	16
12.000	62	3E	127	7F	16
12.600	81	51	158	9E	16
13.000	64	40	121	79	16
14.400	75	4B	128	80	16
16.128	84	54	128	80	16

(2) 音源マスタ・クロック設定

音源ブロックに供給するクロック周波数の設定を行います。入力クロック周波数に応じて MCLK2A , MCLK2B レジスタの値を設定してください。入力クロックを MCLK2A レジスタに設定した値で分周したクロックを , MCLK2B レジスタに設定した値で逡倍します。なお , 音源使用時はサンプリング周波数を 32 kHz に設定してください。

(a) CLKIN 分周クロック

$$2 \text{ MHz} < (\text{CLKIN} / \text{MCLK2A}) < 3 \text{ MHz}$$

(b) 設定目標とする音源マスタ・クロック

$$54.5 \text{ MHz} < \text{目標クロック}(32 \text{ kHz}) < 55.5 \text{ MHz}$$

(c) 設定クロック計算

$$(\text{設定する音源クロック}) = (\text{CLKIN} / \text{MCLK2A}) \times \text{MCLK2B} / 2$$

(d) 許容誤差

$$-0.03 \%(-3.0 \text{ E-4}) < \text{許容誤差} < 0.03 \% (3.0 \text{ E-4})$$

(e) 計算例

(計算条件)

CLKIN = 13 MHz, MCLK2A = 5 (Dec) , MCLK2B = 42 (Dec) , fs = 32 kHz

- (a) -> $(\text{CLKIN} / \text{MCLK2A}) = 2.6 \text{ MHz}$
- (b),(c)-> $(\text{CLKIN} / \text{MCLK2A}) \times \text{MCLK2B} / 2 = 54.6 \text{ MHz}$
- (d) -> $54.6 \text{ MHz} / 32 \text{ kHz} = 1706.25 \text{ (1706 分周)}$
 $54.6 \text{ MHz} / 1706 = 32004.7 \text{ Hz}$
 $(32004.7 - 32000) / 32000 = 0.0147 \%$

CLKIN 入力周波数 [MHz]	MCLK2A		MCLK2B		音源用 マスタ・クロック 周波数[MHz]
	(Dec)	(HEX)	(Dec)	(HEX)	
2.688	1	01	41	29	55.10400
5.376	2	02	41	29	55.10400
12.000	5	05	46	2E	55.20000
12.600	5	05	44	2C	55.44000
13.000	5	05	42	2A	54.60000
14.400	6	06	46	2E	55.20000
16.128	6	06	41	29	55.10400

6.5 サラウンド・ブロック入力ソースの切り替え / ミキシング設定 (SLSORCE)

サラウンド・ブロックの入力ソースの切り替えとミキシング設定を行います。

アドレス : 05H, レジスタ名 : SLSORCE, ブロック : Selector, アクセス : R/W, 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	MIX	SLSORCE

6.5.1 SLSORCE

データ	モード	初期値	説明
0	SYNTH	0	音源 (Synthesizer) からの入力を選択
1	ASI		ASI (オーディオ・シリアル・インタフェース入力) からの入力を選択

6.5.2 MIX

データ	モード	初期値	説明
0	パス選択	0	音源もしくは ASI のどちらかを出力します (SLSORCE で設定)。
1	ミキシング		音源と ASI の信号をミキシングします (SLSORCE 設定は無効)。

注意 1. ミキシング・モードはサンプリング周波数が 32 kHz の場合のみに対応しています。

このため MIX ビットを 1 に設定するときは, fs 設定レジスタ (SLFS レジスタ (07H) の FS[2:0] ビット) を 000B に設定してください。

- 音源と ASI の信号を加算した結果がフルスケールを越える場合, 出力信号はクリッピングされます。
- ASIO がスレーブ・モード (SLASI レジスタ (08H) の MS ビット = 1) の状態で MIX ビットを 1 に設定する場合は, 必ず STNBY レジスタ (00H) の STASI = STASO = 1 に設定し, BCLK および LRCLK を入力してください。

6.6 サラウンド ON/OFF 切り替え (ENSRD)

サラウンド ON/OFF を切り替えます。

アドレス : 06H, レジスタ名 : ENSRD, ブロック : DVX, アクセス : R/W, 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	ENSRD[1:0]	

6.6.1 ENSRD[1:0]

データ	モード	初期値	説明
00B	OFF	00B	サラウンド処理を施しません (サラウンド係数読み出し / 書き込み可能)。
01B	SPK		SP 用係数設定レジスタ (アドレス 40H, 41H) に設定された係数を用いてサラウンド処理を施します。
10B	HP		HP 用係数設定レジスタ (アドレス 42H, 43H) に設定された係数を用いてサラウンド処理を施します
11B	-		設定禁止

注意 サラウンド係数の読み出し / 書き込みは, ENSRD[1:0] = 00B 設定時のみ可能です。

6.7 ASIO のFs 設定および BCLK 設定 (SLFS)

ASI のサンプリング・レートおよび BCLK の周波数を設定します。

アドレス : 07H, レジスタ名 : SLFS, ブロック : ASIO, アクセス : R/W, 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
BFS[4:0]					FS[2:0]		

6.7.1 FS[2:0]

データ	モード	初期値	説明
000B	32kHz	000B	ASIO のサンプリング・レートを 32 kHz に設定します。
001B	44.1kHz		ASIO のサンプリング・レートを 44.1 kHz に設定します。
010B	48kHz		ASIO のサンプリング・レートを 48 kHz に設定します。
100B	8kHz		ASIO のサンプリング・レートを 8 kHz に設定します。
101B	16kHz		ASIO のサンプリング・レートを 16 kHz に設定します。

注意 マスタ・クロックの設定 (サンプリング周波数ごとに設定している) と合わせて設定してください。
また上記以外のデータは設定しないでください。

6.7.2 BFS[4:0]

データ	モード	初期値	説明
00H	64fs	00H	BCLK の周波数を 64fs へ設定します (マスタ・モードで設定可能)。
01H	62fs		BCLK の周波数を 62fs へ設定します。
02H	60fs		BCLK の周波数を 60fs へ設定します。
03H	58fs		BCLK の周波数を 58fs へ設定します。
04H	56fs		BCLK の周波数を 56fs へ設定します。
05H	54fs		BCLK の周波数を 54fs へ設定します。
06H	52fs		BCLK の周波数を 52fs へ設定します。
07H	50fs		BCLK の周波数を 50fs へ設定します。
08H	48fs		BCLK の周波数を 48fs へ設定します。
09H	46fs		BCLK の周波数を 46fs へ設定します。
0AH	44fs		BCLK の周波数を 44fs へ設定します。
0BH	42fs		BCLK の周波数を 42fs へ設定します。
0CH	40fs		BCLK の周波数を 40fs へ設定します。
0DH	38fs		BCLK の周波数を 38fs へ設定します。
0EH	36fs		BCLK の周波数を 36fs へ設定します。
0FH	34fs		BCLK の周波数を 34fs へ設定します。
10H	32fs	BCLK の周波数を 32fs へ設定します (マスタ・モードで設定可能)。	

注意 マスタ・モード (アドレス 08H の MS = 1) では, 64fs (00H) または 32fs (10H) のみ設定できます。それ以外の値が設定された場合は, 64fs (初期値) が選択されます。

スレーブ・モード (アドレス 08H の MS = 0) では, 64fs ~ 32fs を 2fs 単位で設定できます。

IIS フォーマットでは, マスタ・モード / スレーブ・モードのどちらを使用する場合でも, 64 ビット (64 fs) のみ選択できます。

6.8 ASIO モード設定 (SLASI)

ASI の設定を行います。

アドレス : 08H, レジスタ名 : SLASI, ブロック : ASIO, アクセス : R/W, 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	SLR	MS	ASIM	LRCLK

6.8.1 SLR

データ	モード	初期値	説明
0	SR	0	右詰めフォーマット
1	SL		左詰めフォーマット

6.8.2 MS

データ	モード	初期値	説明
0	SLAVE	0	スレーブ・モード
1	MASTER		マスタ・モード

注意 スレーブ・モードでは外部クロック入力が必要です。各モードにおける ASIO 部の端子状態については、
1.5 端子状態の表 1-1 ASIO 部の端子状態を参照してください。

6.8.3 ASIM

データ	モード	初期値	説明
0	LR	0	LR モード
1	IIS		IIS モード (この場合, SLR ビットは Don't Care)

6.8.4 LRCLK

データ	モード	初期値	説明
0	LCH	0	LRCLK がハイ・レベルのとき, L チャネル・データ
1	RCH		LRCLK がハイ・レベルのとき, R チャネル・データ

注意 IIS モード選択時は LRCLK = 1 に設定してください。

6.9 Digital Volume (L) 設定 (DAULGA)

Lチャンネルのデジタル・ゲインを設定します。

アドレス：09H，レジスタ名：DAULGA，ブロック：Digital Volume，アクセス：R/W，初期値：02H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	DAULGA[4:0]				

6.9.1 DAULGA[4:0]

データ	モード	初期値	説明
DAULGA[4:0]		02H	デジタル・ゲイン (Lch) の設定

6.10 Digital Volume (R) 設定 (DAURGA)

Rチャンネルのデジタル・ゲインを設定します。

アドレス：0AH，レジスタ名：DAURGA，ブロック：Digital Volume，アクセス：R/W，初期値：02H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	DAURGA[4:0]				

6.10.1 DAURGA[4:0]

データ	モード	初期値	説明
DAURGA[4:0]		02H	デジタル・ゲイン (Rch) の設定

表 6 - 4 Digital Volume (5-Bit Non-Linear)

Gain	DAULGA[4:0] / DAURGA[4:0]	Gain	DAULGA[4:0] / DAURGA[4:0]
+12 dB	00H	-30 dB	0CH
+6 dB	01H	-33 dB	0DH
±0 dB	02H (初期値)	-36 dB	0EH
-3 dB	03H	-39 dB	0FH
-6 dB	04H	-42 dB	10H
-9 dB	05H	-45 dB	11H
-12 dB	06H	-48 dB	12H
-15 dB	07H	-51 dB	13H
-18 dB	08H	-54 dB	14H
-21 dB	09H	-57 dB	15H
-24 dB	0AH	-60 dB	16H
-27 dB	0BH	Mute	17H

6. 11 Analog Volume (Lch) 設定 (AAULGA)

Lチャンネルのアナログ・ゲインを設定します。

アドレス：0BH, レジスタ名：AAULGA, ブロック：Analog Volume, アクセス：R/W, 初期値：1FH

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	AAULGA[4:0]				

6. 11. 1 AAULGA[4:0]

データ	モード	初期値	説明
AAULGA[4:0]		1FH	アナログ・ゲイン (Lch) の設定

6. 12 Analog Volume (Rch) 設定 (AAURGA)

Rチャンネルのアナログ・ゲインを設定します。

アドレス：0CH, レジスタ名：AAURGA, ブロック：Analog Volume, アクセス：R/W, 初期値：1FH

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	AAURGA[4:0]				

6. 12. 1 AAURGA[4:0]

データ	モード	初期値	説明
AAURGA[4:0]		1FH	アナログ・ゲイン (Rch) の設定

表 6 - 5 Analog Volume (5-Bit Linear)

Gain	AAULGA[4:0] / AAURGA[4:0]	Gain	AAULGA[4:0] / AAURGA[4:0]
±0 dB	00H	-24 dB	10H
-1.5 dB	01H	-25.5 dB	11H
-3 dB	02H	-27 dB	12H
-4.5 dB	03H	-28.5 dB	13H
-6 dB	04H	-30 dB	14H
-7.5 dB	05H	-31.5 dB	15H
-9 dB	06H	-33 dB	16H
-10.5 dB	07H	-34.5 dB	17H
-12 dB	08H	-36 dB	18H
-13.5 dB	09H	-37.5 dB	19H
-15 dB	0AH	-39 dB	1AH
-16.5 dB	0BH	-40.5 dB	1BH
-18 dB	0CH	-42 dB	1CH
-19.5 dB	0DH	-43.5 dB	1DH
-21 dB	0EH	-45 dB	1EH
-22.5 dB	0FH	Mute	1FH (初期値)

6. 13 VIB, LED の設定 (VIB)

バイブレータ, LED に対する出力ポートを制御します。

アドレス : 0DH, レジスタ名 : VIB, ブロック : Analog Volume, アクセス : R/W, 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	VIB	LED

6. 13. 1 LED

データ	モード	初期値	説明
0	LOW	0	LED 端子からロウ・レベルを出力
1	HIGH		LED 端子からハイ・レベルを出力

6. 13. 2 VIB

データ	モード	初期値	説明
0	LOW	0	VIB 端子からロウ・レベルを出力
1	HIGH		VIB 端子からハイ・レベルを出力

注意 LED, VIB ともに, レジスタの値が本 LSI の端子へ出力されます。

6. 14 汎用出力端子の設定 (POUT)

汎用出力端子 (PO0-PO3 端子) の出力レベルを設定します。

アドレス : 0EH, レジスタ名 : POUT, ブロック : PO, アクセス : R/W, 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	POUT3	POUT2	POUT1	POUT0

6. 14. 1 POUT0-POUT3

データ	モード	初期値	説明
0	LOW	0	該当する PO0-PO3 端子からロウ・レベルを出力
1	HIGH		該当する PO0-PO3 端子からハイ・レベルを出力

6. 15 LSI バージョン (VER)

LSI のバージョンを表示します。

アドレス : 3FH, レジスタ名 : VER, ブロック : 他, アクセス : R, 初期値 : LSI のバージョンにより異なります。

D7	D6	D5	D4	D3	D2	D1	D0
VER[7:0]							

6. 15. 1 VER[7:0]

データ	モード	初期値	説明
VER[7:0]		-	LSI のバージョン

6. 16 スピーカ用サラウンド係数ライト用レジスタ (SPSRDW1, SPSRDW2)

スピーカ用のサラウンド係数ライト用レジスタです。

アドレス：40H，レジスタ名：SPSRDW1，ブロック：DVX，アクセス：W，初期値：不定

D7	D6	D5	D4	D3	D2	D1	D0
SPSRDW1[7:0]							

アドレス：41H，レジスタ名：SPSRDW2，ブロック：DVX，アクセス：W，初期値：不定

D7	D6	D5	D4	D3	D2	D1	D0
SPSRDW2[7:0]							

6. 16. 1 SPSRDW1[7:0]

データ	モード	初期値	説明
SPSRDW1[7:0]		不定	スピーカ用サラウンド係数設定レジスタ 1

6. 16. 2 SPSRDW2[7:0]

データ	モード	初期値	説明
SPSRDW2[7:0]		不定	スピーカ用サラウンド係数設定レジスタ 2

6. 17 ヘッドホン用サラウンド係数ライト用レジスタ (HPSRDW1, HPSRDW2)

ヘッドホン用のサラウンド係数ライト用レジスタです。

アドレス：42H，レジスタ名：HPSRDW1，ブロック：DVX，アクセス：W，初期値：不定

D7	D6	D5	D4	D3	D2	D1	D0
HPSRDW1[7:0]							

アドレス：43H，レジスタ名：HPSRDW2，ブロック：DVX，アクセス：W，初期値：不定

D7	D6	D5	D4	D3	D2	D1	D0
HPSRDW2[7:0]							

6. 17. 1 HPSRDW1[7:0]

データ	モード	初期値	説明
HPSRDW1[7:0]		不定	ヘッドホン用サラウンド係数設定レジスタ 1

6. 17. 2 HPSRDW2[7:0]

データ	モード	初期値	説明
HPSRDW2[7:0]		不定	ヘッドホン用サラウンド係数設定レジスタ 2

- 注意 1. サラウンド係数ライト用レジスタ (40H, 41H, 42H, 43H) へアクセスするには，サラウンド・アドレス設定レジスタへのライト後，データの連続ライトを 192 回行ってください。データの連続ライトを 192 回行うことで，内部サラウンド係数格納 RAM へ値が設定されます。
2. サラウンド係数の書き込みは，連続ライト・アクセスで行う必要があります。連続ライト動作の途中で CS_B 端子がハイ・レベルになり，CPU の制御が別のデバイスへ移った場合でも，再び CS_B 端子がロウ・レベルに戻ったときに前回の続きでアクセスできれば，問題なく動作します。
3. データの連続ライト中に割り込み (INT_B) が発生した場合は，サラウンド・モード設定レジスタへのライトからやり直してください。
4. サラウンド係数の読み出し / 書き込みは，ENSRD[1:0] = 00B 設定時のみ可能です。

6. 18 スピーカ用サラウンド係数リード用レジスタ (SPSRDR1, SPSRDR2)

スピーカ用のサラウンド係数リード用レジスタです。

アドレス : 44H , レジスタ名 : SPSRDR1 , ブロック : DVX , アクセス : R , 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
SPSRDR1[7:0]							

アドレス : 45H , レジスタ名 : SPSRDR2 , ブロック : DVX , アクセス : R , 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
SPSRDR2[7:0]							

6. 18. 1 SPSRDR1[7:0]

データ	モード	初期値	説明
SPSRDR1[7:0]		不定	スピーカ用サラウンド係数設定レジスタ 1

6. 18. 2 SPSRDR2[7:0]

データ	モード	初期値	説明
SPSRDR2[7:0]		不定	スピーカ用サラウンド係数設定レジスタ 2

6. 19 ヘッドホン用サラウンド係数リード用レジスタ (HPSRDR1, HPSRDR2)

ヘッドホン用のサラウンド係数リード用レジスタです。

アドレス : 46H , レジスタ名 : HPSRDR1 , ブロック : DVX , アクセス : R , 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
HPSRDR1[7:0]							

アドレス : 47H , レジスタ名 : HPSRDR2 , ブロック : DVX , アクセス : R , 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
HPSRDR2[7:0]							

6. 19. 1 HPSRDR1[7:0]

データ	モード	初期値	説明
HPSRDR1[7:0]		不定	ヘッドホン用サラウンド係数設定レジスタ 1

6. 19. 2 HPSRDR2[7:0]

データ	モード	初期値	説明
HPSRDR2[7:0]		不定	ヘッドホン用サラウンド係数設定レジスタ 2

- 注意 1. サラウンド係数リード用レジスタ (44H, 45H, 46H, 47H) へアクセスするには、サラウンド・アドレス設定レジスタへのライト後、データの連続リードを 192 回行ってください。データの連続リードを 192 回行うことで、内部サラウンド係数格納 RAM の値をリードできます。
2. サラウンド係数の読み出しは、連続リード・アクセスで行う必要があります。連続リード動作の途中で CS_B 端子がハイ・レベルになり、CPU の制御が別のデバイスへ移った場合でも、再び CS_B 端子がロウ・レベルに戻ったときに前回の続きでアクセスできれば、問題なく動作します。
3. データの連続リード中に割り込み (INT_B) が発生した場合は、サラウンド・モード設定レジスタへのライトからやり直してください。
4. サラウンド係数の読み出し / 書き込みは、ENSRD[1:0] = 00B 設定時のみ可能です。

6. 20 サラウンド・モード設定レジスタ (SRDRA)

サラウンド係数のリード/ライトを行うモードを設定します。

アドレス：48H，レジスタ名：SRDRA，ブロック：DVX，アクセス：R/W，初期値：00H

D7	D6	D5	D4	D3	D2	D1	D0
SRDRA[7:0]							

6. 20. 1 SRDRA[7:0]

データ	モード	初期値	説明
SRDRA[7:0]		00H	サラウンド・レジスタへのアクセス設定を行います。

備考 SRDRA[7:0]には00Hを設定してください。

6. 21 バンク・レジスタ

シリアル I/F モード時に，サウンド・レジスタ・バンク/コントロール・レジスタ・バンクの切り替えを行います。
このレジスタはシリアル I/F モード時のみ有効です (PS = 1 のとき有効)。

アドレス：4FH，レジスタ名：BANK，ブロック：CPU I/F，アクセス：R/W，初期値：01H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	BANK

6. 21. 1 BANK

データ	モード	初期値	説明
BANK		01H	サウンド・レジスタ・バンク/コントロール・レジスタ・バンクの切り替え

BANK = 0 サウンド・レジスタ・バンク

BANK = 1 コントロール・レジスタ・バンク

BANK レジスタへはどちらのバンクからも同じアドレスでアクセスできます。

備考 D[7:1]は0に設定してください。

7. 電源立ち上げ手順

本 LSI は、内部デジタル・ロジック部電源 (DV_{DD})、PLL1/PLL2 用電源 (AV_{DD_P})、内部アナログ回路の電源 (AV_{DD})、IO 回路内のレベル・シフト部へ給電する電源 (EV_{DD}) の 4 系統の電源を持っています。

7.1 電源の投入順序

RESET_B 端子をロウ・レベルにした状態で DV_{DD}、AV_{DD}、AV_{DD_P}、EV_{DD} を投入してください。各電源を同時に投入することを推奨します。

電源が所定の電圧になるまで待ちます。

ハードウェア・リセットを解除してください。

解除動作として RESET_B 端子をハイ・レベルにしてください。

7.2 電源立ち下げ順序

RESET_B 端子をロウ・レベルにした状態で DV_{DD}、AV_{DD}、AV_{DD_P}、EV_{DD} を立ち下げてください。各電源を同時に立ち下げることが推奨されます。

電源立ち下げ後の RESET_B 端子状態は規定しません。

8. パワー・セービング機能

8.1 ソフト・パワー・セービング機能 (コマンド制御による)

本 LSI はパワー・セービング機能として、コマンド制御によるパワー・セービング機能 (スタンバイ状態) を搭載しています。詳しくは、6.3 スタンバイ設定 (STNBY) を参照してください。

8.2 ハード・パワー・セービング機能 (電源立ち下げによる)

ソフト・パワー・セービング機能以外では、コア電源立ち下げによるハード・パワー・セービングが可能です。この場合、レジスタやメモリに書き込んだ内容はすべて消去されますので注意してください (パワー・セービング解除後に再書き込みしてください)。

ハード・パワー・セービングの設定は、次の手順で行ってください。

RESET_B 端子をロウ・レベルにした状態で DV_{DD}、AV_{DD}、AV_{DD_P} を立ち下げてください。

EV_{DD} は CPU バス・ライン保護のために電源を供給してください。

RESET_B 端子はハード・パワー・セービング中、ロウ・レベル固定としてください。

ハード・パワー・セービングの解除は、次の手順で行ってください。

RESET_B 端子をロウ・レベルにした状態で DV_{DD}、AV_{DD}、AV_{DD_P} を立ち上げてください。

RESET_B 端子をハイ・レベルにしてください。

9. 設定シーケンス

シリアル I/F モード (PS = 1) のとき, ' サウンド・レジスタ・バンクへ切り替え ', ' コントロール・レジスタ・バンクへ切り替え ' という 2 つの操作が必要です。

' サウンド・レジスタ・バンクへ切り替え ' は BANK レジスタがコントロール・レジスタ・バンクを指しているとき, サウンド・レジスタ・バンクを指すように設定することを意味し, ' コントロール・レジスタ・バンクへ切り替え ' は BANK レジスタがサウンド・レジスタ・バンクを指しているとき, コントロール・レジスタ・バンクを指すように設定することを意味します。この操作は, パラレル I/F モード (PS = 0) のときには必要ありません。

9.1 Power Up

手順	項目	対象レジスタなど
1	ハードウェア・リセットの解除	RESET_B 端子 (Low High)
2	PLL の設定	MCLK1A, MCLK1B, MCLK2A, MCLK2B
3	サンプリング周波数の設定	FS
4	PLL スタンバイの解除	STPLL1, STPLL2, STREF,
5	スタンバイの解除	STSYNTH, STDIG, STASI, STASO, STDAC
6	内部クロックが有効	STDIG, STSYNTH のスタンバイ設定解除後, 2 ms 以上経過してから通常動作

9.2 各種動作モード切り替えの基本シーケンス

手順	項目	対象レジスタなど
1	コントロール・レジスタ・バンクへの切り替え (PS = 1 のとき)	BANK
2	Analog Volume を段階的に下げる (推奨)	AAULGA, AAURGA
3	Analog Volume Mute 設定	AAULGA, AAURGA
4	スタンバイ状態へ設定	STPLL1, STPLL2, STREF, STSYNTH, STDIG, STASI, STASO, STDAC
5	音源 / Audio Path 切り替え	SLSORCE
6	サラウンド ON/OFF 切り替え	ENSRD
7	サンプリング周波数の設定	FS
8	ASIO モードの設定	MS, ASIM, LRCLK, SLR
9	PLL スタンバイの解除	STPLL1, STPLL2, STREF
10	スタンバイの解除	STSYNTH, STDIG, STASI, STASO, STDAC
11	内部クロックが有効	STDIG, STSYNTH のスタンバイ設定解除後, 2 ms 以上経過してから通常動作
12	Analog Volume Mute 解除	AAULGA, AAURGA
13	Analog Volume を段階的に上げる (推奨)	AAULGA, AAURGA

備考 1. スレーブ・モードでは LRCLK, BCLK を入力する必要があります。

2. Analog Volume による段階的なボリューム降下後のミュート設定, およびミュート解除後の段階的なボリューム上昇は, 切り換え時に生じるデジタル・データの 1 フレーム誤動作による音の変化を聴感させないために行います。段階的なボリュームの上昇, 降下の例を示します。

例 STEP = 1.5 dB (最小単位)

上昇および降下の周期 (1 step / 時間) = 200 μs/step

この数値は, 当社評価時の一例です。セットごとの調整は, メーカー様にて判断してください。

3. STDIG 信号は, デジタル・フィルタなど演算系のリセットと併用しているため, モード変更時に必要になります。

9.2.1 Mute

手順	項目	対象レジスタなど
1	コントロール・レジスタ・バンクへの切り替え (PS = 1 のとき)	BANK
2	Analog Volume を段階的に下げる (推奨)	AAULGA, AAURGA
3	Analog Volume Mute 設定	AAULGA, AAURGA

9.2.2 スタンバイ

手順	項目	対象レジスタなど
1	コントロール・レジスタ・バンクへの切り替え (PS = 1 のとき)	BANK
2	Analog Volume を段階的に下げる (推奨)	AAULGA, AAURGA
3	Analog Volume Mute 設定	AAULGA, AAURGA
4	スタンバイ状態へ設定	STPLL1, STPLL2, STREF, STSYNTH, STDIG, STASI, STASO, STDAC
5	PLL スタンバイの解除	STPLL1, STPLL2, STREF
6	スタンバイの解除	STSYNTH, STDIG, STASI, STASO, STDAC
7	内部クロックが有効	STDIG, STSYNTH のスタンバイ設定解除後, 2 ms 以上経過してから通常動作
8	Analog Volume Mute 解除	AAULGA, AAURGA
9	Analog Volume を段階的に上げる (推奨)	AAULGA, AAURGA

9.2.3 FS 設定

手順	項目	対象レジスタなど
1	コントロール・レジスタ・バンクへの切り替え (PS = 1 のとき)	BANK
2	Analog Volume を段階的に下げる (推奨)	AAULGA, AAURGA
3	Analog Volume Mute 設定	AAULGA, AAURGA
4	スタンバイ状態へ設定	STPLL1, STPLL2, STREF, STSYNTH, STDIG, STASI, STASO, STDAC
5	サンプリング周波数の設定	FS
6	PLL スタンバイの解除	STPLL1, STPLL2, STREF
7	スタンバイの解除	STSYNTH, STDIG, STASI, STASO, STDAC
8	内部クロックが有効	STDIG, STSYNTH のスタンバイ設定解除後, 2 ms 以上経過してから通常動作
9	Analog Volume Mute 解除	AAULGA, AAURGA
10	Analog Volume を段階的に上げる (推奨)	AAULGA, AAURGA

9.2.4 Path 設定

手順	項目	対象レジスタなど
1	コントロール・レジスタ・バンクへの切り替え (PS = 1 のとき)	BANK
2	Analog Volume を段階的に下げる (推奨)	AAULGA, AAURGA
3	Analog Volume Mute 設定	AAULGA, AAURGA
4	音源 / Audio Path 切り替え	SLSORCE
5	Analog Volume Mute 解除	AAULGA, AAURGA
6	Analog Volume を段階的に上げる (推奨)	AAULGA, AAURGA

注意 1 フレーム分のデータがおかしくなる可能性があります。

9.2.5 サラウンド設定

手順	項目	対象レジスタなど
1	コントロール・レジスタ・バンクへの切り替え (PS = 1 のとき)	BANK
2	Analog Volume を段階的に下げる (推奨)	AAULGA, AAURGA
3	Analog Volume Mute 設定	AAULGA, AAURGA
4	サラウンド ON/OFF 切り替え	ENSRD
5	Analog Volume Mute 解除	AAULGA, AAURGA
6	Analog Volume を段階的に上げる (推奨)	AAULGA, AAURGA

注意 1 フレーム分のデータがおかしくなる可能性があります。

9.2.6 ASIO 設定

手順	項目	対象レジスタなど
1	コントロール・レジスタ・バンクへの切り替え (PS = 1 のとき)	BANK
2	Analog Volume を段階的に下げる (推奨)	AAULGA, AAURGA
3	Analog Volume Mute 設定	AAULGA, AAURGA
4	スタンバイ状態へ設定	STPLL1, STPLL2, STREF, STSYNTH, STDIG, STASI, STASO, STDAC
5	ASIO モードの設定	MS, ASIM, LRCLK, SLR
6	PLL スタンバイの解除	STPLL1, STPLL2, STREF
7	スタンバイの解除	STSYNTH, STDIG, STASI, STASO, STDAC
8	内部クロックが有効	STDIG, STSYNTH のスタンバイ設定解除後, 2 ms 以上経過してから通常動作
9	Analog Volume Mute 解除	AAULGA, AAURGA
10	Analog Volume を段階的に上げる (推奨)	AAULGA, AAURGA

注意 1 フレーム分のデータがおかしくなる可能性があります。

9.2.7 DVX RAM Access

手順	項目	対象レジスタなど
1	コントロール・レジスタ・バンクへの切り替え (PS = 1 のとき)	BANK
2	サラウンド係数の読み書き	ENSRD [1:0] = 00B
3	Address 指定	Address 指定
4	Data 転送	Data 転送

9.3 設定シーケンス例

9.3.1 音源 - DAC 出力

(1) Power Up

手 順	項 目	対象レジスタなど
1	ハードウェア・リセットの解除	RESET_B 端子 (Low High)
2	PLL の設定	MCLK1A, MCLK1B, MCLK2A, MCLK2B
3	サンプリング周波数の設定	FS 32 kHz
4	音源 / Audio Path 切り替え	SLSORCE = 0
5	PLL スタンバイの解除	STPLL1 = STPLL2 = STREF = 1
6	スタンバイ解除	STDIG = STSYNTH = STDAC = 1
7	内部クロックが有効	STDIG, STSYNTH のスタンバイ設定解除後, 2 ms 以上経過してから通常動作

(2) サウンド・レジスタ・バンクへの切り替え (PS = 1 のとき)

(3) 音源設定

(4) 音源データ送信

(5) Volume Up

手 順	項 目	対象レジスタなど
8	コントロール・レジスタ・バンクへの切り替え (PS = 1 のとき)	BANK
9	Analog Volume Mute 解除	AAULGA, AAURGA
10	Analog Volume を段階的に上げる (推奨)	AAULGA, AAURGA

9.3.2 音源 - ASO 出力

(1) Power UP

手 順	項 目	対象レジスタなど
1	ハードウェア・リセットの解除	RESET_B 端子 (Low High)
2	PLL の設定	MCLK1A, MCLK1B, MCLK2A, MCLK2B
3	サンプリング周波数の設定	FS 32 kHz
4	音源 / Audio Path 切り替え	SLSORCE = 0
5	ASIO モードの設定	MS, ASIM, LRCLK, SLR
6	PLL スタンバイの解除	STPLL1 = STPLL2 = STREF = 1
7	スタンバイ解除	STDIG = STSYNTH = STASO = 1
8	内部クロックが有効	STDIG, STSYNTH のスタンバイ設定解除後, 2 ms 以上経過してから通常動作

(2) サウンド・レジスタ・バンクへの切り替え (PS = 1 のとき)

(3) 音源設定

(4) 音源データ送信

9.3.3 ASI - DAC 出力

(1) Power UP

手 順	項 目	対象レジスタなど
1	ハードウェア・リセットの解除	RESET_B 端子 (Low High)
2	PLL の設定	MCLK1A, MCLK1B, MCLK2A, MCLK2B
3	サンプリング周波数の設定	FS 8 kHz, 16 kHz, 32 kHz, 44.1 kHz or 48 kHz
4	音源 / Audio Path 切り替え	SLSORCE = 1
5	ASIO モードの設定	MS, ASIM, LRCLK, SLR
6	PLL スタンバイの解除	STPLL1 = STREF = 1
7	スタンバイ解除	STDIG = STDAC = STASI = 1
8	内部クロックが有効	STDIG のスタンバイ設定解除後 , 2 ms 以上経過してから通常動作

(2) 音楽データ送信

(3) Volume Up

手 順	項 目	対象レジスタなど
9	Analog Volume Mute 解除	AAULGA, AAURGA
10	Analog Volume を段階的に上げる (推奨)	AAULGA, AAURGA

9.3.4 ASI - ASO 出力

(1) Power UP

手 順	項 目	対象レジスタなど
1	ハードウェア・リセットの解除	RESET_B 端子 (Low High)
2	PLL の設定	MCLK1A, MCLK1B, MCLK2A, MCLK2B
3	サンプリング周波数の設定	FS 8 kHz, 16 kHz, 32 kHz, 44.1 kHz or 48 kHz
4	音源 / Audio Path 切り替え	SLSORCE = 1
5	ASIO モードの設定	MS, ASIM, LRCLK, SLR
6	PLL スタンバイの解除	STPLL1 = STREF = 1
7	スタンバイ解除	STDIG = STASI = STASO = 1
8	内部クロックが有効	STDIG のスタンバイ設定解除後 , 2 ms 以上経過してから通常動作

(2) 音楽データ送信

9.4 設定モードと内部動作の関係（同期クロックとの関係）

表 9 - 1 設定モードと内部動作の関係（同期クロックとの関係）

機能	レジスタ				端子（信号）状況					実使用	備考
	MS	SLSORCE	STASI	STASO	LRCLK, BCLK	同期クロック sync_lr	ASI	ASO	LINE_OUT (DAC)		
Slave モード , 音源パス , ASI, ASO とともにスタンバイ	0 slave	0 synth	0 off	0 off	入力/ 内部Low	内部	無効	Hi-Z	OUT	音源-DAC	slave モードだが、内部クロックで動作。
Slave モード , 音源パス , ASI スタンバイ , ASO 出力	0 slave	0 synth	0 off	1 on	信号 入力	外部	無効	OUT	OUT	音源-ASO	外部同期クロックを使用。外部 LRCLK が未入力の場合、出力系は停止。
Slave モード , Audio Path , ASI 入力 , ASO スタンバイ	0 slave	1 audio	1 on	0 off	信号 入力	外部	IN	Hi-Z	OUT	ASI-DAC	外部同期クロックを使用。外部 LRCLK が未入力の場合、出力系は停止。
Slave モード , AudioPath , ASI 入力 , ASO 出力	0 slave	1 audio	1 on	1 on	信号 入力	外部	IN	OUT	OUT	ASI-ASO	外部同期クロックを使用。外部 LRCLK が未入力の場合、出力系は停止。
Master モード , 音源パス , ASI, ASO とともにスタンバイ	1 master	0 synth	0 off	0 off	Low 出力	内部	無効	Hi-Z	OUT	音源-DAC	内部クロックで動作
Master モード , 音源パス , ASI スタンバイ , ASO 出力	1 master	0 synth	0 off	1 on	信号 出力	内部	無効	OUT	OUT	音源-ASO	内部クロックで動作
Master モード , Audio Path , ASI 入力 , ASO スタンバイ	1 master	1 audio	1 on	0 off	信号 出力	内部	IN	Hi-Z	OUT	ASI-DAC	内部クロックで動作
Master モード , AudioPath , ASI 入力 , ASO 出力	1 master	1 audio	1 on	1 on	信号 出力	内部	IN	OUT	OUT	ASI-ASO	内部クロックで動作

備考 ミキシング・モード（アドレス 05H MIX = 1）の場合も表 9 - 1 に従い動作します。このため、ASIO がスレーブ・モード（アドレス 08H MS = 1）の状態では、ミキシング（MIX = 1）に設定する場合は、必ず STASI = 1 に設定し BCLK および LRCLK を入力してください。

ASI 入力を止めて音源のみ使用する場合、MS = 1, MIX = 1, STASI = 1 の設定を維持するか、MIX = 0, SLSORCE = 0 に設定してください。

10. スタンバイ・モード

スタンバイ・モードの設定は STNBY レジスタ (アドレス : 00H) で行います (6.3 スタンバイ設定 (STNBY) 参照)。各ブロックのスタンバイ状態では次の点に注意してください。

10.1 クロック供給について

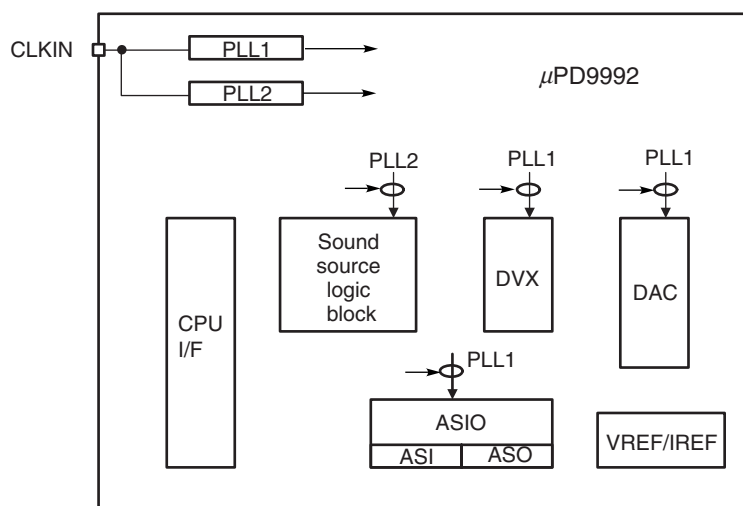
PLL2 は音源ブロックに供給されています。音源ブロックのサウンド・レジスタを使用する際には、PLL2 のスタンバイを解除して使用してください。

PLL1 は DVX, DAC および ASIO に供給されています。コントロール・レジスタを使用する際には、次に示す表および9.3 設定シーケンス例を参照してください。

アドレス	備 考
01H - 04H, 07H, 08H	PLL1 がスタンバイ・モードのときのみ設定してください。
00H, 0DH - 0EH, 3FH, 4FH (シリアル・モードのとき)	PLL1 がスタンバイ・モードのときでも、スタンバイ解除状態 (On モード) のときでも設定可能です。
05H - 06H, 09H - 0CH	基本的には PLL1 がスタンバイ・モードのときに設定してください。もし PLL1 がスタンバイ解除状態のときに使用する場合は、9.3 設定シーケンス例を参照してください。
40H - 48H	PLL1 がスタンバイ解除状態 (On モード) のときのみ読み書き可能です。

各ブロックへの PLL の供給は、図 10 - 1 のようになります。

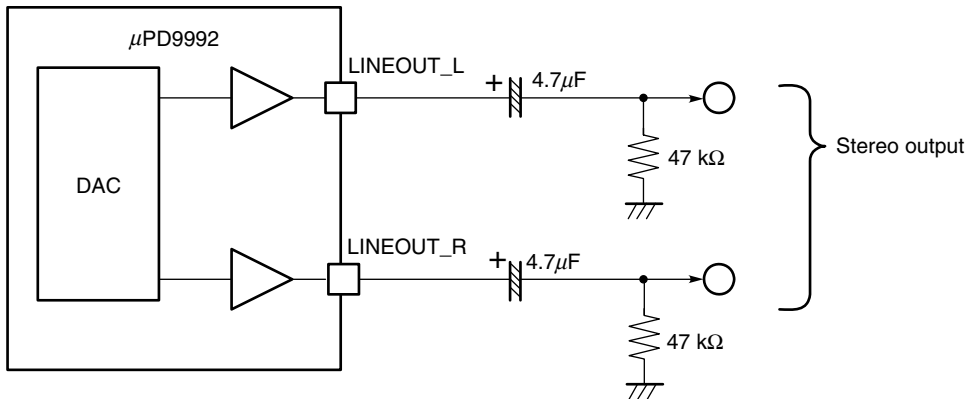
図 10 - 1 PLL1, PLL2 から供給されるクロックの供給先



11. 参考回路図

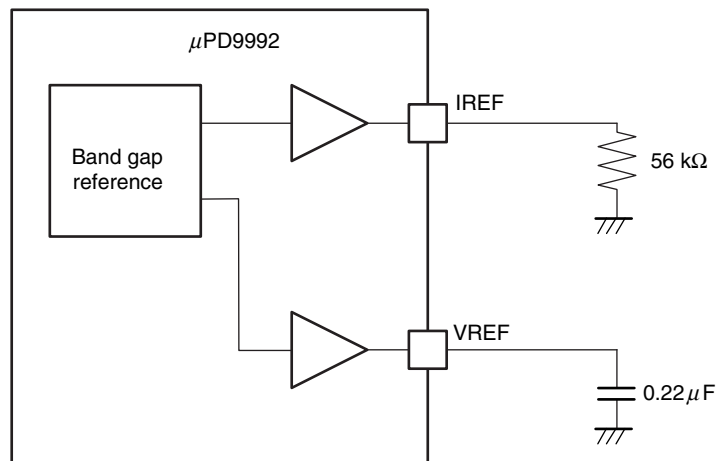
11.1 Line Out 端子 (LINEOUT_L, LINEOUT_R)

図 11 - 1 Line Out 端子の接続例



11.2 基準電圧源, 電流源用端子 (VREF, IREF)

図 11 - 2 VREF, IREF 端子の処理



VREF, IREF ブロックは、次の機能を持ちます。

- ・バンド・ギャップによる基準電圧を発生します。
- ・上記基準電圧と外付け抵抗から、基準電流を発生させ、全アナログ回路に供給します。

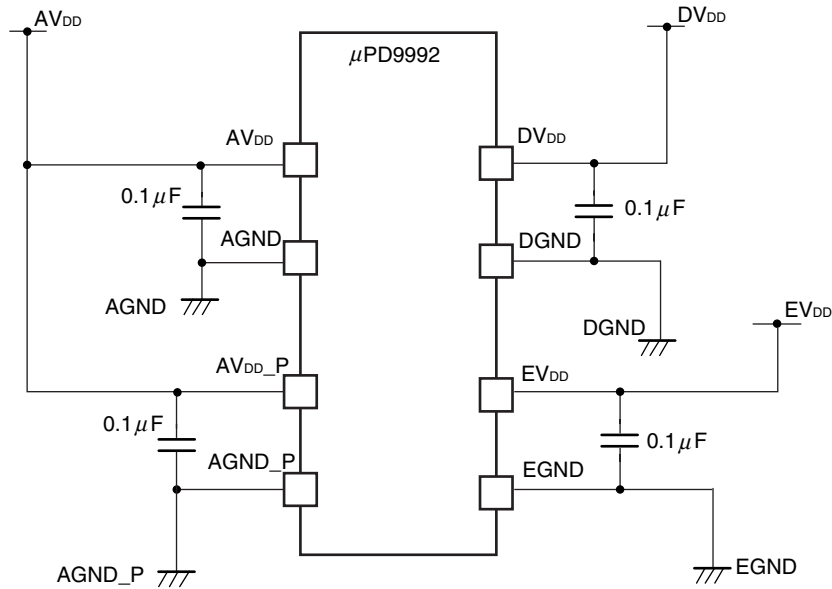
VREF, IREF ブロックは、STNBY レジスタ (00H) の STREF ビット = 1 で動作します。STREF ビットが “1” に設定されたあと、最大 1.0 ms 後に定常状態となります。

- 注意 1. IREF 端子には、56 kΩの抵抗を AGND との間に接続してください。また、IREF 端子には、この抵抗以外を接続しないでください。
2. VREF 端子には、0.22 μF ± 20%の容量を、AGND との間に接続してください。また、VREF 端子には、この容量以外を接続しないでください。

11.3 電 源

デカップリング・キャパシタはできるだけ本 LSI の端子近傍に配置してください。

図 11 - 3 デカップリング・キャパシタの配置

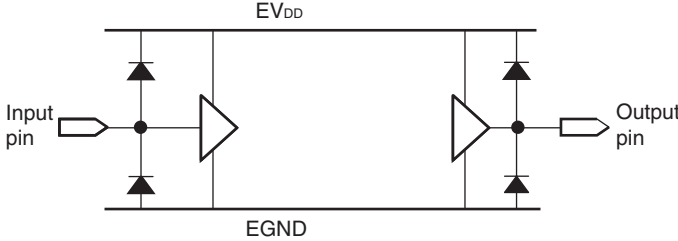
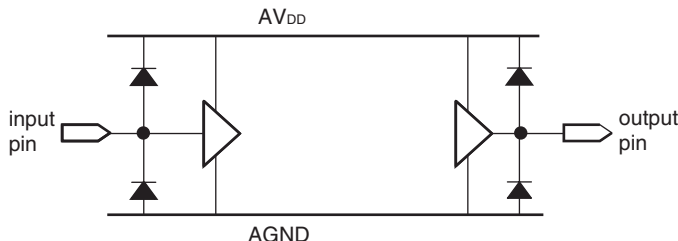
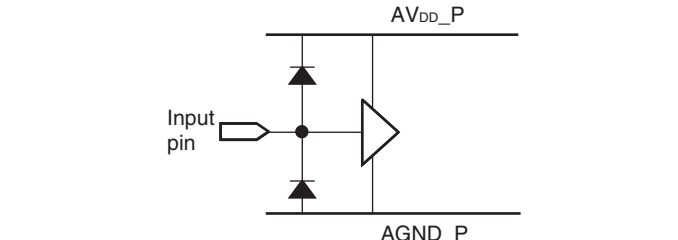
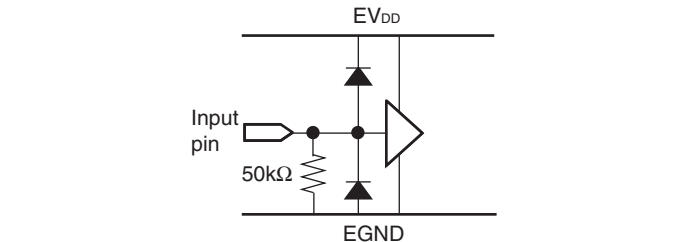


デカップリング・キャパシタ挿入の電源 - GND 間端子のペアリングは次のようになります(カッコ内は端子番号)。

- AV_{DD} (1E) - AGND (1D)
- AV_{DD_P} (2G) - AGND_P (1H)
- DV_{DD} (9K) - DGND (5K)
- DV_{DD} (10D) - DGND (10J)
- EV_{DD} (9C) - EGND (6A)
- DV_{DD} (9A) - EGND (6A)

注意 EV_{DD} はデジタル動作を行います。このため、アナログ特性に影響を与えないように、アナログ電源 (AV_{DD}, AV_{DD_P}) とは別電源にすることを推奨します。

11.4 端子概略回路図

入力端子	出力端子	端子概略回路図
TM3, TM4, PO0- PO3, A1/RXD, A0/Data,TXD, CS_B/SCS, WR_B/SCLK, RD_B/SPIMODE, D0/ SERINIT, D1-D7, RESET_B, LRCLK, BCLK,	TM3, TM4, PO0-PO3, A0/Data,TXD, D0/SERINIT, D1-D7, INT_B, VIB, LED, LRCLK, BCLK, ASO	
IREF, VREF	IREF, VREF, LINEOUT_L, LINEOUT_R	
CLKIN	-	
TM0-TM2, ASI, PS, TRSCK, CLK8K, RDATA	-	

12. 電気的特性

12.1 絶対最大定格

項目	略号	条件	定格	単位
電源電圧	DV _{DD}	デジタル用	-0.3 ~ +2.0	V
	EV _{DD}	I/O 端子用	-0.3 ~ +4.0	V
	AV _{DD}	アナログ用	-0.3 ~ +4.0	V
	AV _{DD_P}	PLL 用	-0.3 ~ +4.0	V
入力電圧	V _I	V _I /V _O < EV _{DD} + 0.5 V	-0.3 ~ +4.0	V
出力電圧	V _O		-0.3 ~ +4.0	V
許容損失	P _D		300	mW
保存温度	T _{stg}		-50 ~ +125	

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

12.2 推奨動作条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作電圧	DV _{DD}	- 20 ~ + 85	1.425	1.5	1.575	V
	EV _{DD}		1.71	3.0	3.3	V
	AV _{DD}		2.85	3.0	3.15	V
	AV _{DD_P}		2.85	3.0	3.15	V
入力電圧	V _I		0	EV _{DD}	V	
動作周囲温度	T _A		-20		+85	

12.3 容量

(T_A = +25 , DV_{DD} = 0 V, EV_{DD} = 0 V)

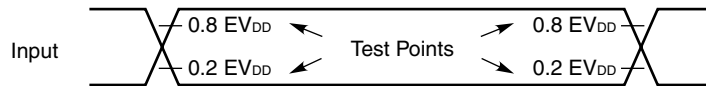
項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _i	f = 1 MHz, 測定端子以外は 0 V		10		pF
出力容量	C _o			10		pF
入出力容量	C _{io}			10		pF

12.4 DC 特性

($T_A = -20 \sim +85$, DV_{DD} , EV_{DD} の範囲は推奨動作条件による)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH3}		$0.8 EV_{DD}$		EV_{DD}	V
ロウ・レベル入力電圧	V_{IL3}		0		$0.2 EV_{DD}$	V
ハイ・レベル出力電圧	V_{OH3}	$EV_{DD} = 3.0 V$, $I_{OH} = -1 mA$ (LED, VIB は $-4 mA$)	$0.8 EV_{DD}$			V
	V_{OH18}	$EV_{DD} = 1.8 V$, $I_{OH} = -1 mA$ (LED, VIB は $-1.5 mA$)	$0.8 EV_{DD}$			V
ロウ・レベル出力電圧	V_{OL3}	$EV_{DD} = 3.0 V$, $I_{OL} = +1 mA$ (LED, VIB は $+4 mA$)			$0.2 EV_{DD}$	V
	V_{OL18}	$EV_{DD} = 1.8 V$, $I_{OL} = +1 mA$ (LED, VIB は $+1.5 mA$)			$0.2 EV_{DD}$	V
ハイ・レベル入力リーク電流	I_{LHN}	$V_i = EV_{DD}$	0		10	μA
ロウ・レベル入力リーク電流	I_{LLN}	$V_i = 0 V$	-10		0	μA
ハイ・インピーダンス・リーク電流	I_{ZI}	0 V V_i EV_{DD}	0		-10	μA

スイッチング特性の共通測定基準



12.5 AC 特性

(特に指定のないかぎり, $T_A = -20 \sim +85$, DV_{DD} , EV_{DD} , AV_{DD} , AV_{DD_P} の範囲は推奨動作条件による)

12.5.1 クロック

タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
CLKIN 入力周波数	f_{CLKIN}	$V_{CLKIN} = 0.5 V_{p-p}$	2.688		16.128	MHz
CLKIN 入力レベル	V_{CLKIN}	$f_{CLKIN} = 2.688 \text{ MHz} \sim 16.128 \text{ MHz}$ 注1	0.5		注2	V_{p-p}
PLL ロックアップ時間	t_{LPLL}				1.0	ms

注 1. PLL の入力となる CLKIN 入力は容量結合 (1000 pF) としてください。

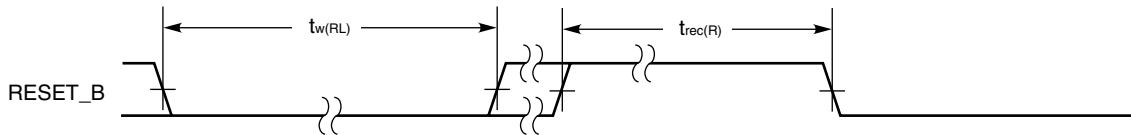
2. CLKIN の入力最大レベルは電源 (AV_{DD_P}) 電位を越えない範囲で入力してください。

12.5.2 リセット

タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
RESET_B ロウ・レベル幅	$t_{w(RL)}$		200			ns
RESET_B リカバリ時間	$t_{rec(R)}$		200			ns

リセット・タイミング



12.5.3 ホスト・インタフェース

(1) パラレル I/F モード

タイミング必要条件 (EV_{DD} = 3.0 V および 1.8 V 時, DVX レジスタ以外にアクセスする場合)

項目	略号	条件	MIN.	TYP.	MAX.	単位
RD_B 幅 1	t _{wRD1}		100			ns
WR_B 幅 1	t _{wWR1}		40			ns
RD_B リカバリ・タイム 1	t _{rcRD1}		30			ns
WR_B リカバリ・タイム 1	t _{rcWR1}		80			ns
Data セット・アップ時間	t _{suDI}	WR_B↑	50			ns
Data ホールド時間	t _{hDI}	WR_B↑	0			ns
A, CS_B セット・アップ時間	t _{suAW}	WR_B↑	15			ns
A, CS_B ホールド時間	t _{hAW}	WR_B↑	0			ns
A, CS_B セット・アップ時間	t _{suAR}	RD_B↓	0			ns
A, CS_B ホールド時間	t _{hAR}	RD_B↑	0			ns

スイッチング特性 (EV_{DD} = 3.0 V および 1.8 V 時, DVX レジスタ以外にアクセスする場合)

項目	略号	条件	MIN.	TYP.	MAX.	単位
Data アクセス時間 1	t _{accDO1}	RD_B↓, I _{sink} = 1 mA			100	ns
Data ホールド時間 1	t _{dDO1}	RD_B↑, I _{sink} = 1 mA	0		30	ns

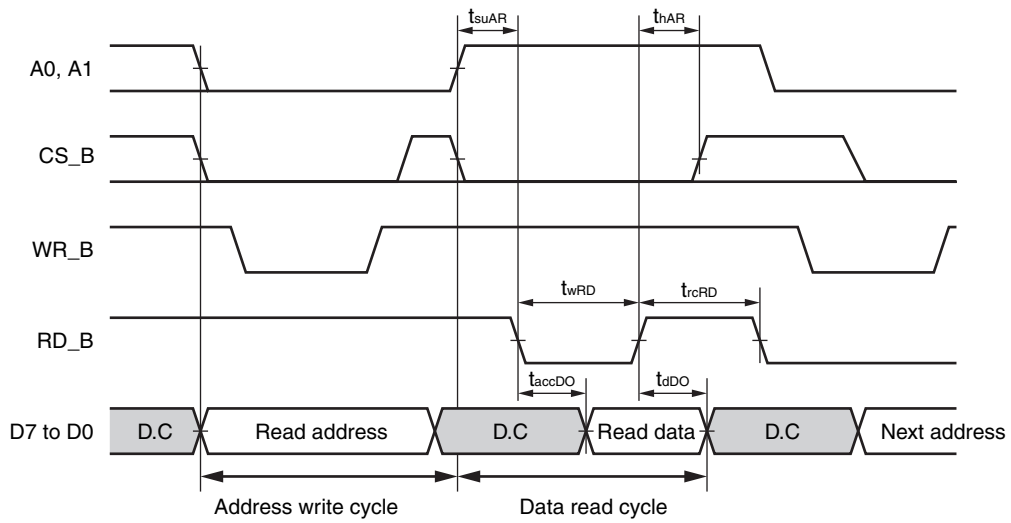
タイミング必要条件 (EV_{DD} = 3.0 V および 1.8 V 時, DVX レジスタにアクセスする場合)

項目	略号	条件	MIN.	TYP.	MAX.	単位
RD_B 幅 2	t _{wRD2}		125			ns
WR_B 幅 2	t _{wWR2}		70			ns
RD_B リカバリ・タイム 2	t _{rcRD2}		30			ns
WR_B リカバリ・タイム 2	t _{rcWR2}		120			ns
Data セット・アップ時間	t _{suDI}	WR_B↑	50			ns
Data ホールド時間	t _{hDI}	WR_B↑	0			ns
A, CS_B セット・アップ時間	t _{suAW}	WR_B↑	15			ns
A, CS_B ホールド時間	t _{hAW}	WR_B↑	0			ns
A, CS_B セット・アップ時間	t _{suAR}	RD_B↓	10			ns
A, CS_B ホールド時間	t _{hAR}	RD_B↑	0			ns

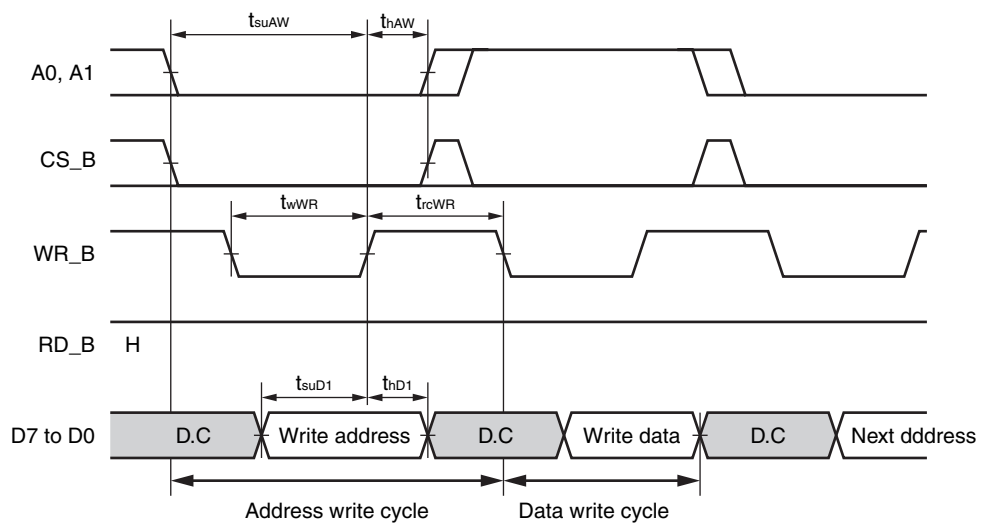
スイッチング特性 (EV_{DD} = 3.0 V および 1.8 V 時, DVX レジスタにアクセスする場合)

項目	略号	条件	MIN.	TYP.	MAX.	単位
Data アクセス時間 2	t _{accDO2}	RD_B↓, I _{sink} = 1 mA			125	ns
Data ホールド時間 2	t _{dDO2}	RD_B↑, I _{sink} = 1 mA	0		30	ns

ホスト・インタフェース・リード・タイミング



ホスト・インタフェース・ライト・タイミング



(2) シリアル I/F モード (3 線 SPI モード, 4 線 SPI モードとも同じ)

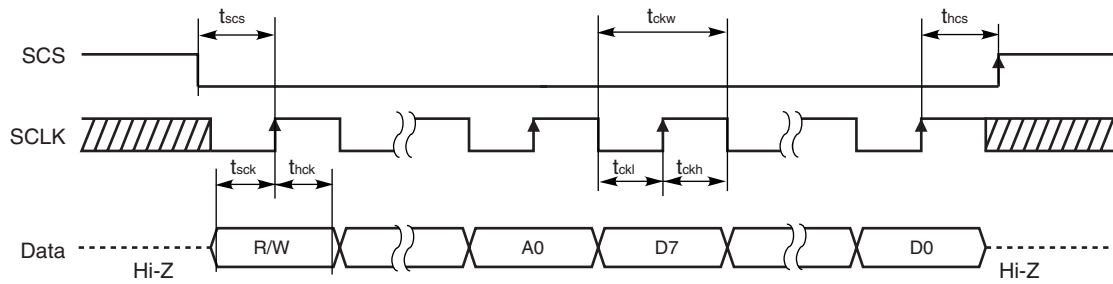
タイミング必要条件 (EV_{DD} = 3.0 V および 1.8 V 時)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCLK 周期	t _{ckw}		190			ns
SCLK ハイ・レベル幅	t _{ckh}		95			ns
SCLK ロウ・レベル幅	t _{ckl}		95			ns
Data セットアップ時間	t _{sck}	SCLK	20			ns
Data ホールド時間	t _{hck}	SCLK	10			ns
SCS セットアップ時間	t _{sck}	SCLK	20			
SCS ホールド時間	t _{hcs}	SCLK	20			ns
Data 遅延時間 1	t _{racc1}	SCLK からデータ (D7) を出力するまでの Hi-Z 時間	2		75	ns
Data 遅延時間 2	t _{racc2}	SCLK から データ (D6-D0) を出力するまでの時間			75	ns
Data 遅延時間 3	t _{dz}	SCLK からデータが Hi-Z になるまでの時間	0		75	ns
SCS リカバリ時間	t _{csacc}	SCS から SCS	1			SCLK
SCS セットアップ時間	t _{dhh}	SERINT	0			ns
SERINIT 幅	t _{whSERINIT}		20			ns
SCS ホールド時間	t _{dll}	SERINT	0			ns

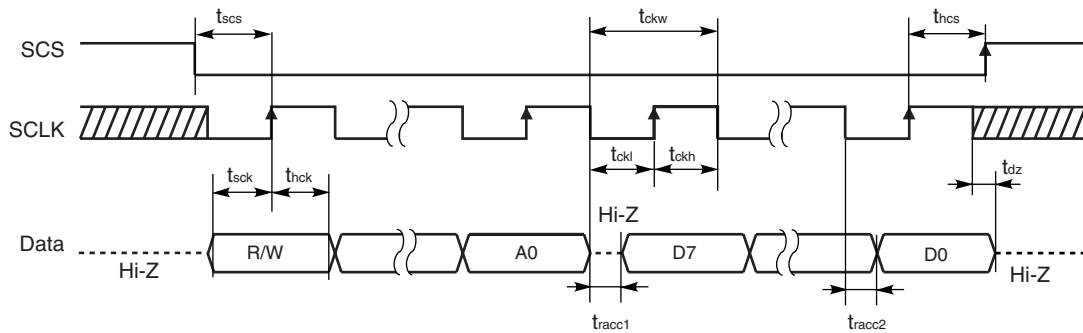
スイッチング特性 (EV_{DD} = 3.0 V および 1.8 V 時)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCS ホールド時間	t _{hcsdvx}	SCLK , DVX RAM へのアクセス時	170			ns

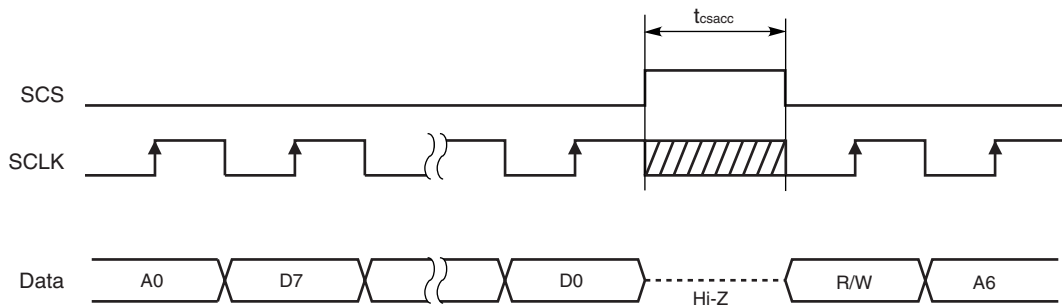
シリアル・インタフェース・ライト・タイミング



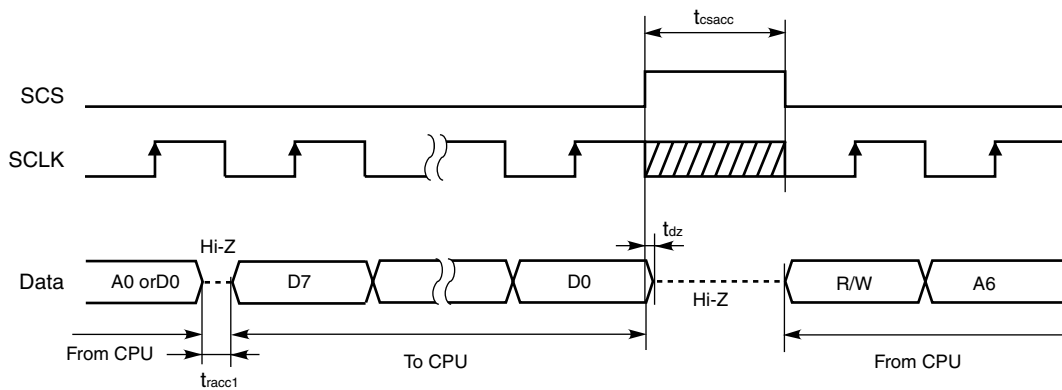
シリアル・インタフェース・リード・タイミング



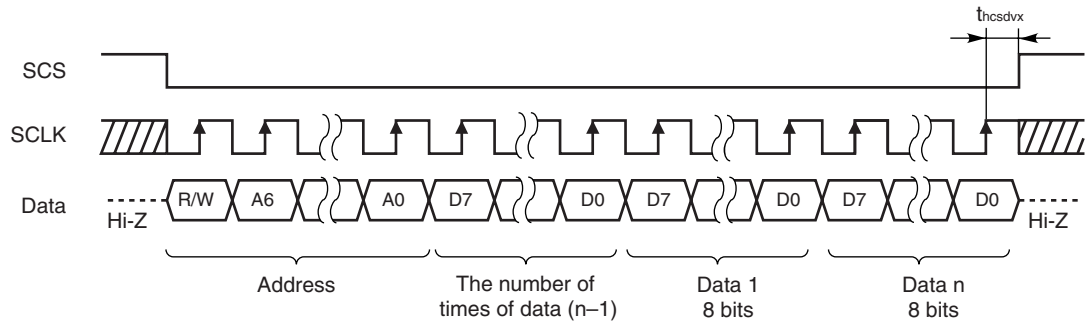
シリアル・インタフェース・ライト・タイミング (連続アクセス)



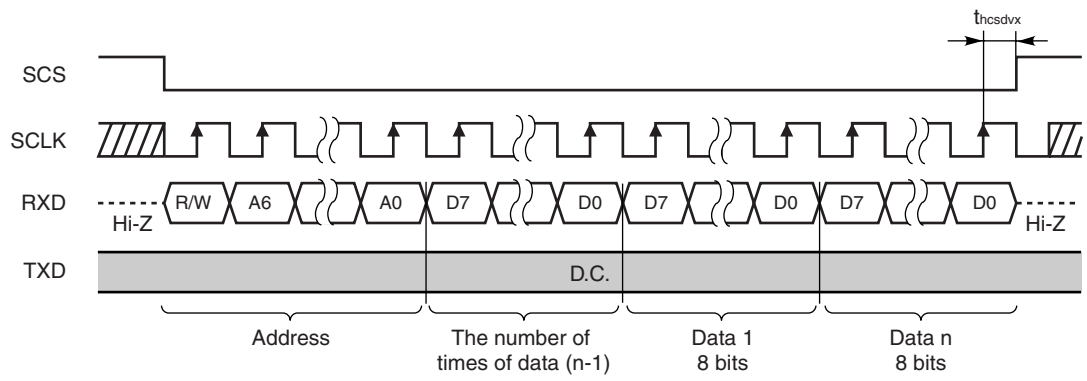
シリアル・インタフェース・リード・タイミング (連続アクセス)



3線SPIモード：ホストCPUライト・アクセス・フォーマット（連続アクセス）

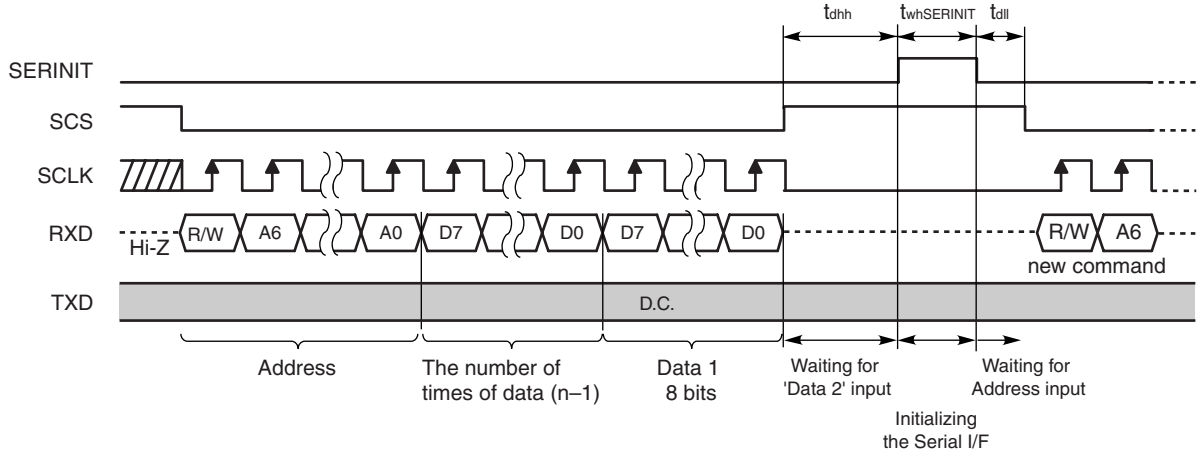


4線SPIモード：ホストCPUライト・アクセス・フォーマット（連続アクセス）

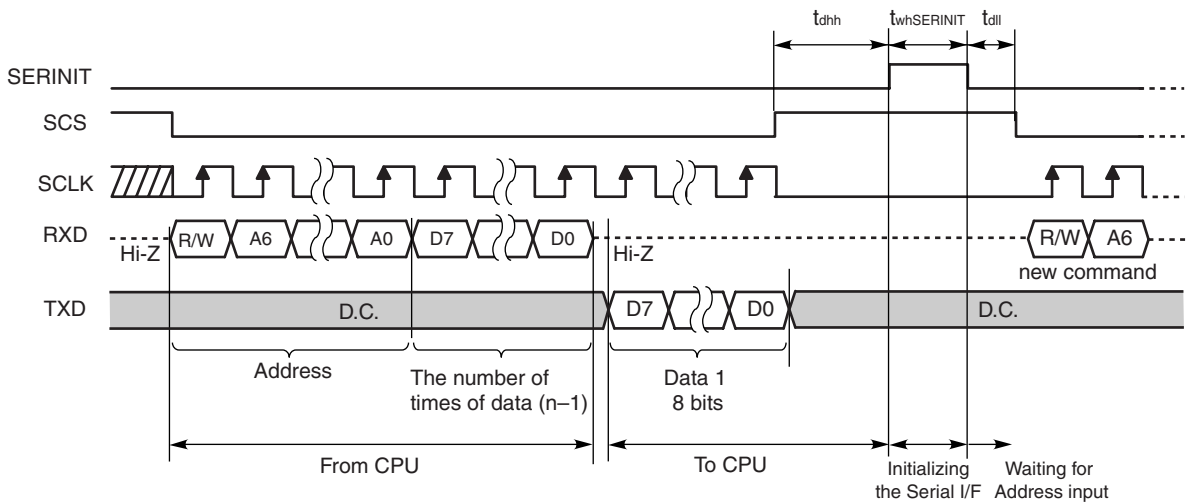


イニシャライズ信号 (SERINIT) タイミング
 SERINT(D0)端子を使った連続アクセスの取り消し

ライト・アクセス



リード・アクセス



12.5.4 オーディオ・シリアル・インタフェース

タイミング必要条件 (EV_{DD} = 3.0 V および 1.8 V 時)

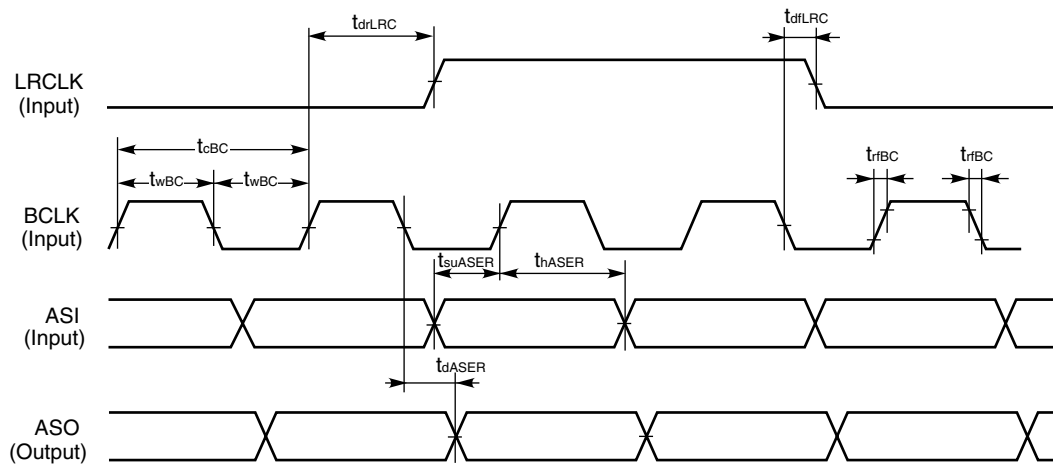
項目	略号	条件	MIN.	TYP.	MAX.	単位
LRCLK サイクル・タイム	t _{cLR}			1/fs		ns
BCLK サイクル・タイム	t _{cBC}	64 ビット/フレーム時 ^注		1/(fs × 64)		ns
BCLK ハイ/ロウ・レベル幅	t _{wBC}			t _{cBC} /2		ns
BCLK 立ち上がり / 立ち下がり時間	t _{rfBC}				20	ns
LRCLK 立ち上がり遅延時間	t _{dLRC}	対 BCLK↑	50			ns
LRCLK 立ち下がり遅延時間	t _{dLRC}	対 BCLK↓	50			ns
ASI 入力セット・アップ時間	t _{suASER}	対 BCLK↑	25			ns
ASI 入力ホールド時間	t _{hASER}	対 BCLK↑	25			ns

注 1 フレームの構成は、SLFS レジスタ (07H) の BFS[4:0] ビットの設定により異なります。

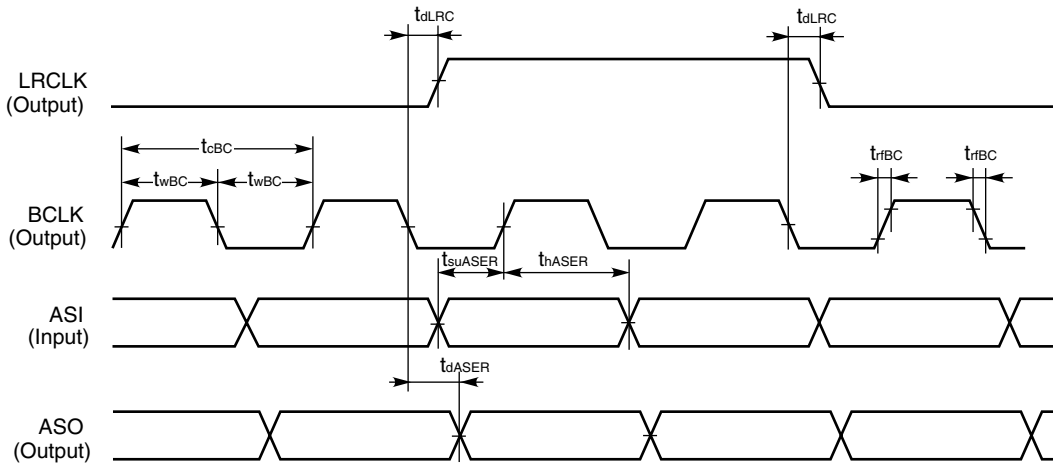
スイッチング特性 (EV_{DD} = 3.0 V および 1.8 V 時)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LRCLK 出力遅延時間	t _{dLRC}	対 BCLK↓			50	ns
ASO 出力遅延時間	t _{dASER}	対 BCLK↓	-37.5		+50	ns

オーディオ・シリアル入出力タイミング (スレーブ・モード)



オーディオ・シリアル入出力タイミング (マスタ・モード)



12.6 アナログ特性

D/A コンバータからライン出力までの伝達特性を記します。

特に指定のない限り、次の条件を満たすものとします。

D/A コンバータ入力レベル INPUT = 0 dBFS (D/A コンバータのフルスケール入力を 0 dBFS と定義します)

D/A コンバータ入力周波数 $f_{IN} = 997 \text{ Hz}$

サンプリング周波数 $f_s = 48 \text{ kHz}$

周囲温度 $T_A = 25$

電源電圧 $AV_{DD} = 3.0 \text{ V}$

出力負荷 $R_L = 10 \text{ k}\Omega$

項目	略号	条件	MIN.	TYP.	MAX.	単位
最大出力レベル	V_o	VOLUME = 0 dB 設定	1.8	2.0	-	V_{p-p}
ゲイン・エラー1	GE_{max}	VOLUME = 0 dB 設定, 0 dBr = 2.0 V_{p-p}	-1	0	+1	dBr
ゲイン・エラー2	GE_{min}	VOLUME = -45 dB 設定, GE_{max} 基準の相対値	-47	-45	-43	dB
ゲイン調整分解能	G_{step}	VOLUME = 0 ~ -45 dB 設定時, 微分誤差	1	1.5	2	dB
THD	THD	VOLUME = 0 dB 設定, $f = 20 \text{ Hz} \sim 19.2 \text{ kHz}$	-	-80	-74	dB
周波数特性 100 Hz ~ 19.2 kHz	GF	VOLUME = 0 dB 設定, INPUT = -10 dBm@997 Hz, 997 Hz 時の出力を 0 dB の基準として	-1	0	+1	dB
ダイナミック・レンジ	SND	VOLUME = 0 dB, INPUT = -60 dBFS, $f = 20 \text{ Hz} \sim 19.2 \text{ kHz}$, A-wgt フィルタ	80	86	-	dB

12.7 モード別消費電流特性

特に指定のない限り，次の条件を満たすものとします。

音源マスタ・クロック = 55.104 MHz

音源以外マスタ・クロック = 24.576 MHz

D/A コンバータ入力レベル INPUT = 0 dBFS (D/A コンバータのフルスケール入力を 0 dBFS と定義します)

D/A コンバータ入力周波数 f_{IN} = 997 Hz

サンプリング周波数 f_s = 48 kHz

周囲温度 T_A = 25

電源電圧 $AV_{DD} = AV_{DD_P} = EV_{DD} = 3.0 V$, $DV_{DD} = 1.5 V$

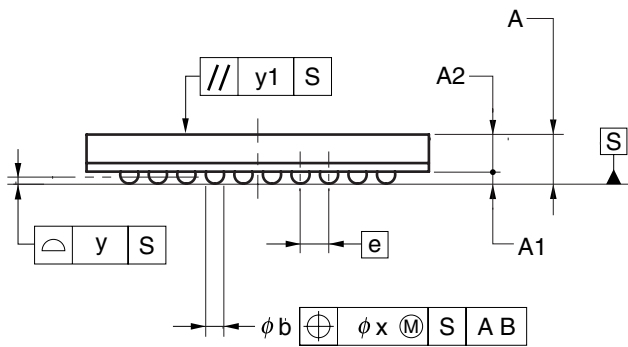
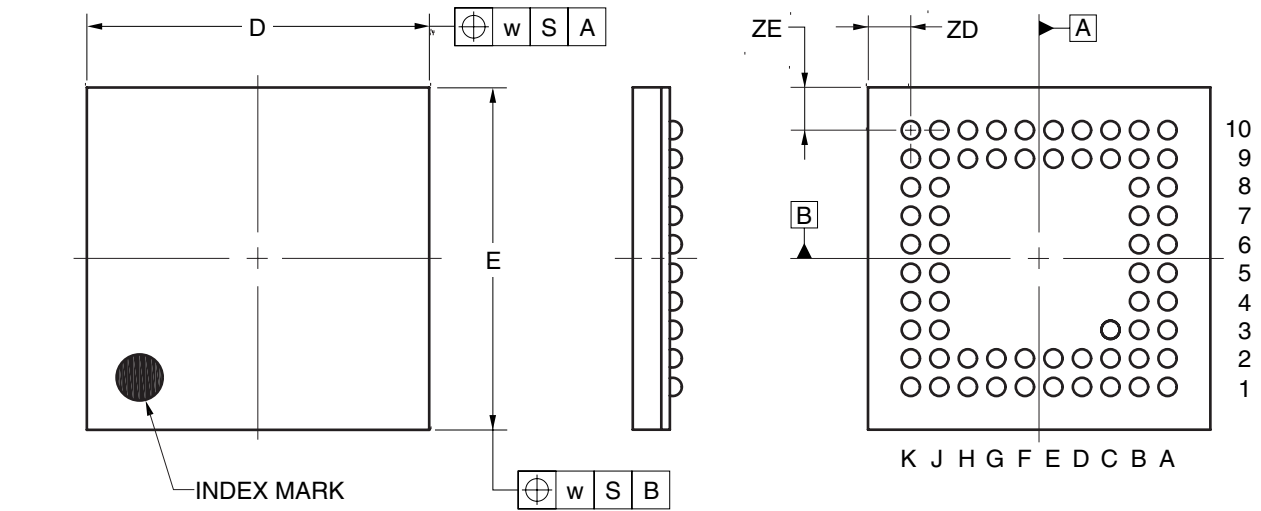
出力負荷 $R_L = 10 k\Omega$

項目	略号	条件	電源端子	MIN.	TYP.	MAX.	単位
音源 - DAC 出力時電流	IDD1	STDIG = STPLL2 = STPLL1 = STSYNTH = STDAC = STREF = 1, SLSORCE = 0 時, 音源標準動作時	DVDD	-	30	45	mA
			AVDD	-	8	14	mA
			AVDD_P	-	3	6	mA
			EVDD 注	-	-	1	mA
音源 - ASO 出力時電流	IDD2	STDIG = STPLL2 = STPLL1 = STSYNTH = STREF = 1, SLSORCE = 0, ASO = 1 時, 音源標準動作時	DVDD	-	30	45	mA
			AVDD	-	4	6	mA
			AVDD_P	-	3	6	mA
			EVDD 注	-	-	5	mA
ASI - DAC 出力時電流	IDD3	STDIG = STPLL1 = STDAC = STREF = SLSORCE = ASI = 1 時	DVDD	-	5	8	mA
			AVDD	-	8	14	mA
			AVDD_P	-	2	4	mA
			EVDD 注	-	-	1	mA
ASI - ASO 出力時電流	IDD4	STDIG = STPLL1 = STREF = SLSORCE = ASI = ASO = 1 時	DVDD	-	5	8	mA
			AVDD	-	4	6	mA
			AVDD_P	-	2	4	mA
			EVDD 注	-	-	5	mA
スタンバイ電流 (コマンド制御による)	ISTB	STDIG = STPLL2 = STPLL1 = STASI = STASO = STSYNTH = STDAC = STREF = 0 時, 入力端子 : GND 固定, 出力端子 : オープン (無負荷)	DVDD	-	5	100	μA
			AVDD	-	1	5	μA
			AVDD_P	-	1	5	μA
			EVDD 注	-	-	10	μA

注 EVDD 端子電流値は無負荷時のものです。実動作時の値は，クロック・レート，負荷容量，負荷抵抗などの外部環境によって変化します。

13. 外形図

65-PIN PLASTIC FBGA (6x6)



(UNIT:mm)

ITEM	DIMENSIONS
D	6.00±0.10
E	6.00±0.10
w	0.20
A	0.86±0.10
A1	0.21±0.05
A2	0.65
e	0.50
b	0.32±0.05
x	0.05
y	0.08
y1	0.20
ZD	0.75
ZE	0.75

P65F1-50-BA9

© NEC Electronics Corporation 2007

14. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については次を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

μPD9992F1-BA9-A : 65 ピン・プラスチック FBGA (6×6 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：250 ，時間：80 秒以内（220 以上），回数：2 回以内， 制限日数：7 日間 [※] （以降は 125 プリベーク 10～72 時間必要） フラックス：塩素分の少ないロジン系フラックス（塩素 0.2 Wt%以下）を推奨 <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング できません。	IR50-107-2

注 ドライパック開封後の保管日数で保管条件は 25 ，65%RH 以下。

備考 鉛フリー製品です。

[メ モ]

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

DVX および DiMAGIC Virtualizer X は株式会社ダイマジックの登録商標または商標です。

- 本資料に記載されている内容は2007年9月現在のものです。今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00、午後 1:00～5:00)

電話：044-435-9494

E-mail：info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。

C04.2T