

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

3D ポジショニング・サラウンド機能内蔵携帯電話着信メロディ音源 LSI

μ PD9972 は、3D ポジショニング・サラウンド機能を内蔵した携帯電話の着信メロディ音源 LSI です。

特 徴

最大 128 音同時発音可能な PCM 音源コアを搭載し、リアルな音色を再現します。

128GM 音色 + 47 ドラム・セット + 効果音 32 音色、32 kHz サンプリング Wavetable 搭載。

1 音色あたり 2 Wave を使用し、より豊かな音色を実現可能。

GM 音色以外の音色ダウンロードおよびパラメータのダウンロードが可能で、固定音色に限定されない音づくりが可能。

4 ポートの MIDI[®]ポートを搭載しているため、同時に 4 曲を再生することが可能。

カラオケ、JAVA[®]アプリケーションを想定した MIDI のリアルタイム制御用ポートを搭載。

スピーカのイコライジング用として、デジタル・パラメトリック・イコライザを内蔵。

低音量の出力に対しても常に最大音量レベルでの再生を可能にする AGC (Auto Gain Control) 機能を内蔵。

各種音響エフェクト (ピッチベンド、ビブラート、ディレイ、リバーブ、コーラス、ドブブラ、コンプレッサ) を実現可能。

MOBILE-DLS に対応

リアルタイム処理の 3D ポジショニング・サラウンド用音響コアを内蔵しています。

デジタル信号処理により、音源が立体的に移動しているような音響効果を得ることが可能。

デジタル信号処理により、広がりのある立体音響効果を得ることが可能。

プログラマブルな立体音響パラメータを搭載し、携帯電話の筐体、スピーカ配置などに最適な設定が可能。

ヘッドフォン使用時も立体音響効果を得ることが可能。

オーディオ・シリアル入出力インタフェース (16 ビット) を装備しています。

シリアル・データの入力周波数は 32 fs ~ 120 fs まで可変可能 (スレーブ・モード時)。

フォーマットは右詰め、左詰め、IIS に対応。

外部 DSP での音響エフェクト等を想定した、外部拡張シリアル・インタフェースを装備しています。

CPU インタフェースとして 8 ビット・パラレル・インタフェースを装備しています。

パイブレーション、LED の制御出力機能を内蔵しています。

内部マスタ・クロック生成用 PLL を内蔵しています。

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

電源電圧

I/O 電源 (EV_{DD}) : 1.7 ~ 2.0 V

PLL 用電源 (PLL_{VDD}) : 1.1 ~ 1.3 V

デジタル電源 (DV_{DD}) : 1.1 ~ 1.3 V

動作周囲温度 : - 20 ~ + 85°C

パッケージ

64 ピン・プラスチック FBGA パッケージ (5 mm × 5 mm, 0.5 mm ボール・ピッチ)

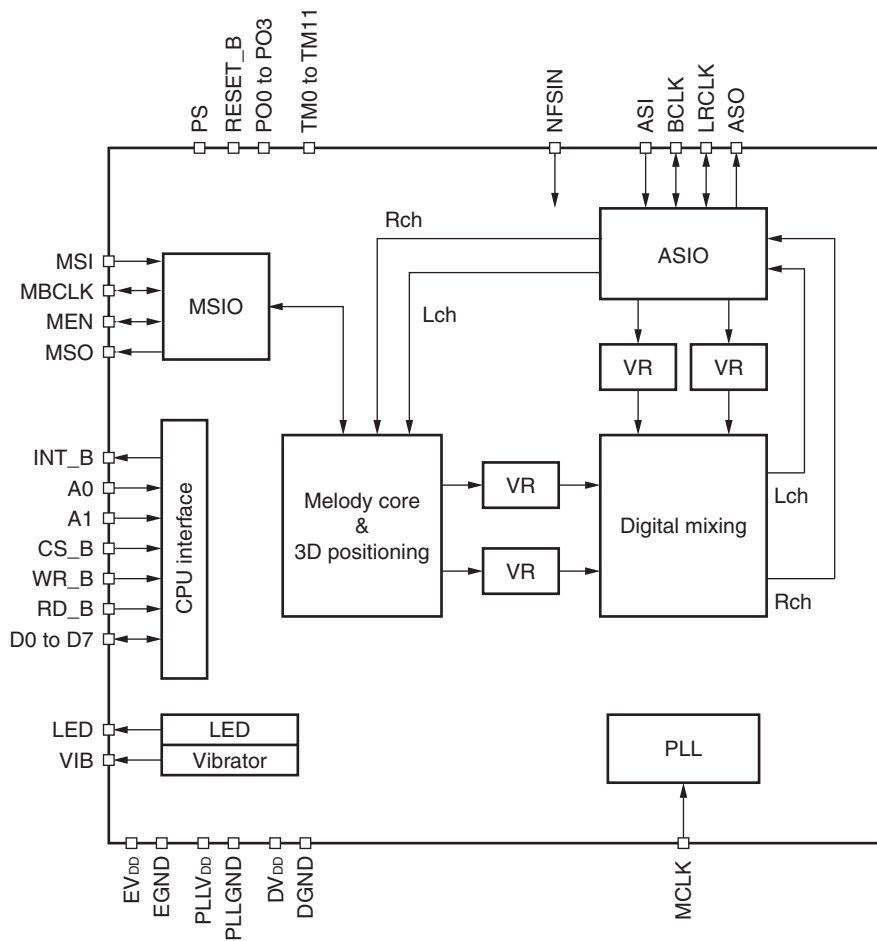
64 ピン・プラスチック FBGA パッケージ (4 mm × 4 mm, 0.4 mm ボール・ピッチ)

オーダ情報

オーダ名称	パッケージ
μ PD9972F1-AN1-A	64 ピン・プラスチック FBGA (5 × 5 mm)
μ PD9972F1-AA2-A	64 ピン・プラスチック FBGA (4 × 4 mm)

備考 鉛フリー製品です。

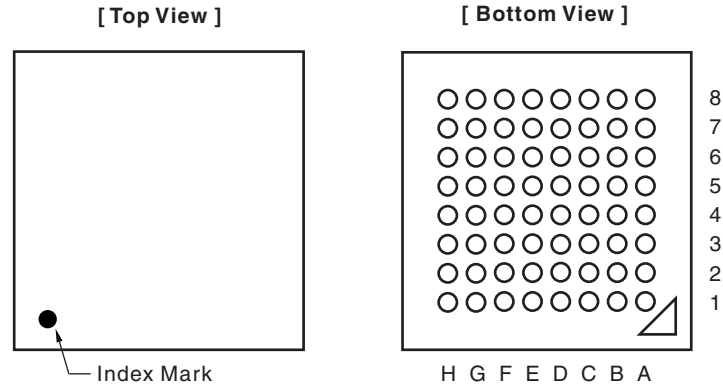
ブロック図



端子接続図

・ 64 ピン・プラスチック FBGA (5 × 5 mm)

μ PD9972F1-AN1-A

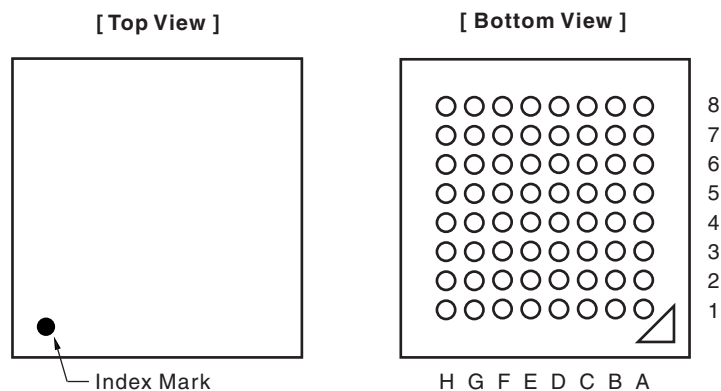


端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
1A	NC1 注1	3A	DGND	5A	EGND	7A	TM4
1B	PS	3B	DV _{DD}	5B	LED	7B	WR _B
1C	DV _{DD}	3C	PO2	5C	TM2	7C	CS _B
1D	INT _B	3D	TM11	5D	TM5	7D	DV _{DD}
1E	TM3	3E	MSO	5E	PLL _{GND}	7E	PLL _{V_{DD}}
1F	MEN	3F	BCLK	5F	D4	7F	D1
1G	MBCLK	3G	LRCLK	5G	D6	7G	D3
1H	NC3 注2	3H	ASO	5H	D5	7H	TM0
2A	TM9	4A	PO1	6A	TM10	8A	NC2 注1
2B	PO3	4B	VIB	6B	EV _{DD}	8B	A0
2C	TM6	4C	PO0	6C	A1	8C	RD _B
2D	DGND	4D	TM8	6D	DGND	8D	NFSIN
2E	MSI	4E	TM7	6E	RESET _B	8E	MCLK
2F	EV _{DD}	4F	D7	6F	EGND	8F	D0
2G	EGND	4G	DV _{DD}	6G	EV _{DD}	8G	TM1
2H	ASI	4H	DGND	6H	D2	8H	NC4 注2

- 注 1. NC1 と NC2 はパッケージ内で結線されています。
 2. NC3 と NC4 はパッケージ内で結線されています。

64ピン・プラスチックFBGA(4 × 4 mm)

μ PD9972F1-AA2-A



端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
1A	NC1 ^{注1}	3A	DGND	5A	EGND	7A	TM4
1B	PS	3B	DV _{DD}	5B	LED	7B	A0
1C	DV _{DD}	3C	PO2	5C	TM2	7C	WR_B
1D	INT_B	3D	TM11	5D	TM5	7D	DGND
1E	TM3	3E	MSO	5E	TM1	7E	PLL _{VDD}
1F	EGND	3F	BCLK	5F	D4	7F	D1
1G	MBCLK	3G	LRCLK	5G	D6	7G	D2
1H	NC3 ^{注2}	3H	ASO	5H	D5	7H	TM0
2A	PO3	4A	PO1	6A	TM10	8A	NC2 ^{注1}
2B	TM9	4B	VIB	6B	EV _{DD}	8B	RD_B
2C	TM6	4C	PO0	6C	A1	8C	CS_B
2D	DGND	4D	TM8	6D	NFSIN	8D	DV _{DD}
2E	MSI	4E	TM7	6E	MCLK	8E	PLL _{GND}
2F	EV _{DD}	4F	D7	6F	D3	8F	RESET_B
2G	MEN	4G	DV _{DD}	6G	EV _{DD}	8G	D0
2H	ASI	4H	DGND	6H	EGND	8H	NC4 ^{注2}

注 1. NC1 と NC2 はパッケージ内で結線されています。

2. NC3 と NC4 はパッケージ内で結線されています。

端子名称

A0, A1:	Address	NC1-NC4:	Non Connection Pin
ASI:	Audio Serial Data Input	NFSIN:	Audio Serial Clock Input
ASO:	Audio Serial Data Output	PLL _{GND} :	Ground for PLL
BCLK:	Bit Clock Input/Output	PLL _{V_{DD}} :	Power Supply for PLL
CS_B:	Chip Select	PO0-PO3:	Peripheral Output
D0-D7:	Data Bus	PS:	Interface Select
DGND:	Ground for Digital Block	RD_B:	Read
DV _{DD} :	Power Supply for Digital Block	RESET_B:	Reset
EGND:	Ground for I/O Pins	TM0-TM2:	Test Mode Input
EV _{DD} :	Power Supply for I/O Pins	TM3-TM4:	Test Mode I/O
INT_B:	Interruption	TM5-TM11:	Test Mode Input
LED:	LED Control Output	VIB:	Vibration Control Output
LRCLK:	Left Right Clock Input/Output	WR_B:	Write
MBCLK:	Bit Clock for Melody Core		
MCLK:	Clock Input		
MEN:	Frame Clock for Melody Core		
MSI:	Data Input for Melody Core		
MSO:	Data Output for Melody Core		

目 次

1. 機 能 ...	10
1.1 機能概要説明 ...	10
1.2 回路概略説明 ...	10
2. 端 子 ...	11
2.1 端子構成 ...	11
2.2 推奨外付け回路 ...	12
2.3 端子機能説明 ...	13
2.4 未使用端子の処理 ...	17
2.5 端子状態 ...	18
3. CPUインタフェース ...	20
3.1 パラレル・ホストCPUインタフェース ...	20
3.1.1 ライト・アクセス ...	20
3.1.2 リード・アクセス ...	21
4. オーディオ・シリアル・インタフェース ...	22
4.1 オーディオ・シリアル・インタフェース (ASIO) ...	22
4.2 外部拡張シリアル・インタフェース (MSIO) ...	24
5. ブロック機能 ...	25
5.1 PLL部 ...	25
5.2 音源コア (音源/3Dポジショニング/イコライザ) インタフェース部 ...	26
5.3 オーディオ・シリアル・インタフェース部 (ASIO) ...	27
5.4 オーディオ再生デジタル・ゲイン調整ブロック ...	28
5.5 デジタル・ミキシング部 ...	29
5.6 外部拡張シリアル・インタフェース部 (MSIO) ...	30
6. レジスタ (制御レジスタ) ...	31
6.1 スタンバイ設定 (STNBY) ...	32
6.1.1 STADIG ...	32
6.1.2 STPLL ...	32
6.1.3 STASI ...	32
6.1.4 STASO ...	32
6.1.5 STSYNTH ...	32
6.2 マスタ・クロックの切り替え (MCLK) ...	33
6.3 同期クロック (SCLK) ...	33
6.3.1 SCLK[1:0] ...	33
6.4 オーディオ・シリアル・インタフェースFS切り替え, BCLK切り替え (SEL_FS) ...	34
6.4.1 FS[2:0] ...	34
6.4.2 BFS[4:0] ...	34

6.5	ASIOモード設定 (SEL_ASI)	...	35
6.5.1	EX3DAEN	...	35
6.5.2	AULOOPSW	...	35
6.5.3	SLR	...	35
6.5.4	AMS	...	35
6.5.5	ASIM	...	35
6.5.6	LRCLK	...	36
6.6	デジタル・ミキシング・パス (ASI入力データ) 選択 (MIXING1)	...	36
6.6.1	DACLMIX[1:0]	...	36
6.6.2	DACRMIX[1:0]	...	36
6.7	デジタル・ミキシング・パス (音源出力データ) 選択 (MIXING2)	...	37
6.7.1	MELLMIX[1:0]	...	37
6.7.2	MELRMIX[1:0]	...	37
6.8	デジタル・ミキシング・パス (ASI - 音源) 選択 (MIXING3)	...	38
6.8.1	PCMLSW	...	38
6.8.2	PCMRSW	...	38
6.8.3	S3, S2, S1	...	38
6.8.4	TH2, TH1	...	39
6.9	VIB, LED設定 (LEDVIB)	...	39
6.9.1	VIB	...	39
6.9.2	LED	...	39
6.10	汎用出力端子の設定 (POUT)	...	40
6.10.1	POUT0-POUT3	...	40
6.11	オーディオ・ソフト・ミュート制御 (SMUTE)	...	40
6.11.1	SLOPE[1:0]	...	40
6.11.2	AUSMUTE	...	40
6.11.3	MELSMUTE	...	40
6.12	音源信号用デジタル・ボリューム (音源出力L ch) 設定 (MELLDG)	...	41
6.12.1	MELLDG2[1:0]	...	41
6.12.2	MELLDG1[5:0]	...	41
6.13	音源信号用デジタル・ボリューム (音源出力R ch) 設定 (MELRDG)	...	42
6.13.1	MELRDG2[1:0]	...	42
6.13.2	MELRDG1[5:0]	...	42
6.14	ASI入力信号用デジタル・ボリューム (ASI入力L ch) 設定 (AULDG)	...	42
6.14.1	AULDG2[1:0]	...	42
6.14.2	AULDG1[5:0]	...	42
6.15	ASI入力信号用デジタル・ボリューム (ASI入力R ch) 設定 (AURDG)	...	43
6.15.1	AURDG2[1:0]	...	43
6.15.2	AURDG1[5:0]	...	43
6.16	LSIスタンバイ (MSIO) の設定 (STNBY2)	...	45
6.16.1	STMSO	...	45
6.16.2	STMSI	...	45
6.17	MSIOモード設定 (SEL_MSIO1)	...	46

6. 17. 1	SMBCLK	...	46
6. 17. 2	SMEN	...	46
6. 17. 3	MMS	...	46
6. 17. 4	MLOOPSW	...	46
6. 17. 5	MBFS[3:0]	...	47
6. 18	MSIO有効チャンネル設定 (SEL_MSIO2, SEL_MSIO3)	...	48
6. 18. 1	MCHI[3:0]	...	48
6. 18. 2	MCHO[4:0]	...	49
6. 19	LSIバージョン (LSIVER)	...	50
6. 19. 1	VER[3:0]	...	50
7.	電源立ち上げ手順	...	51
7. 1	電源立ち上げ順序	...	51
7. 2	電源立ち下げ順序	...	52
7. 3	パワー・セービング機能	...	53
7. 3. 1	ハードウェア・パワー・セービング	...	53
7. 3. 2	ソフトウェア・スタンバイ	...	53
8.	設定シーケンス	...	54
8. 1	パワーアップ・シーケンス	...	54
8. 2	各種動作モード切り替えの基本シーケンス	...	54
8. 2. 1	ミュート設定	...	55
8. 2. 2	スタンバイ設定 / 解除	...	55
8. 2. 3	FS切り替え	...	55
8. 2. 4	パス切り替え	...	55
8. 2. 5	3DA / サラウンド切り替え	...	56
8. 2. 6	ASIOモード設定	...	56
8. 3	設定シーケンス例	...	57
8. 3. 1	音源 - ASO出力	...	57
8. 3. 2	ASI - ASO出力	...	58
8. 3. 3	ASI - 3Dサラウンド - ASO出力	...	58
8. 3. 4	MSIO, ASIO設定	...	59
9.	電気的特性	...	60
9. 1	絶対最大定格	...	60
9. 2	推奨動作条件	...	60
9. 3	容量	...	60
9. 4	DC特性	...	61
9. 5	AC特性	...	62
9. 5. 1	クロック	...	62
9. 5. 2	リセット	...	62
9. 5. 3	パラレルCPU I/Fモード	...	63
9. 5. 4	オーディオ・シリアル・インタフェース (ASIO)	...	65

9.5.5 外部拡張シリアル・インタフェース (MSIO) ... 67

10. 消費電流特性 ... 69

11. 外形図 ... 70

1. 機能

1.1 機能概要説明

(1) 電源電圧

- デジタルIO 電源 : 1.7 V ~ 2.0 V (1.85 V TYP)
- PLL 電源 : 1.1 V ~ 1.3 V (1.2 V TYP)
- デジタル電源 : 1.1 V ~ 1.3 V (1.2 V TYP)

(2) 動作温度範囲

- 20 ~ + 85°C

(3) 機能ブロック

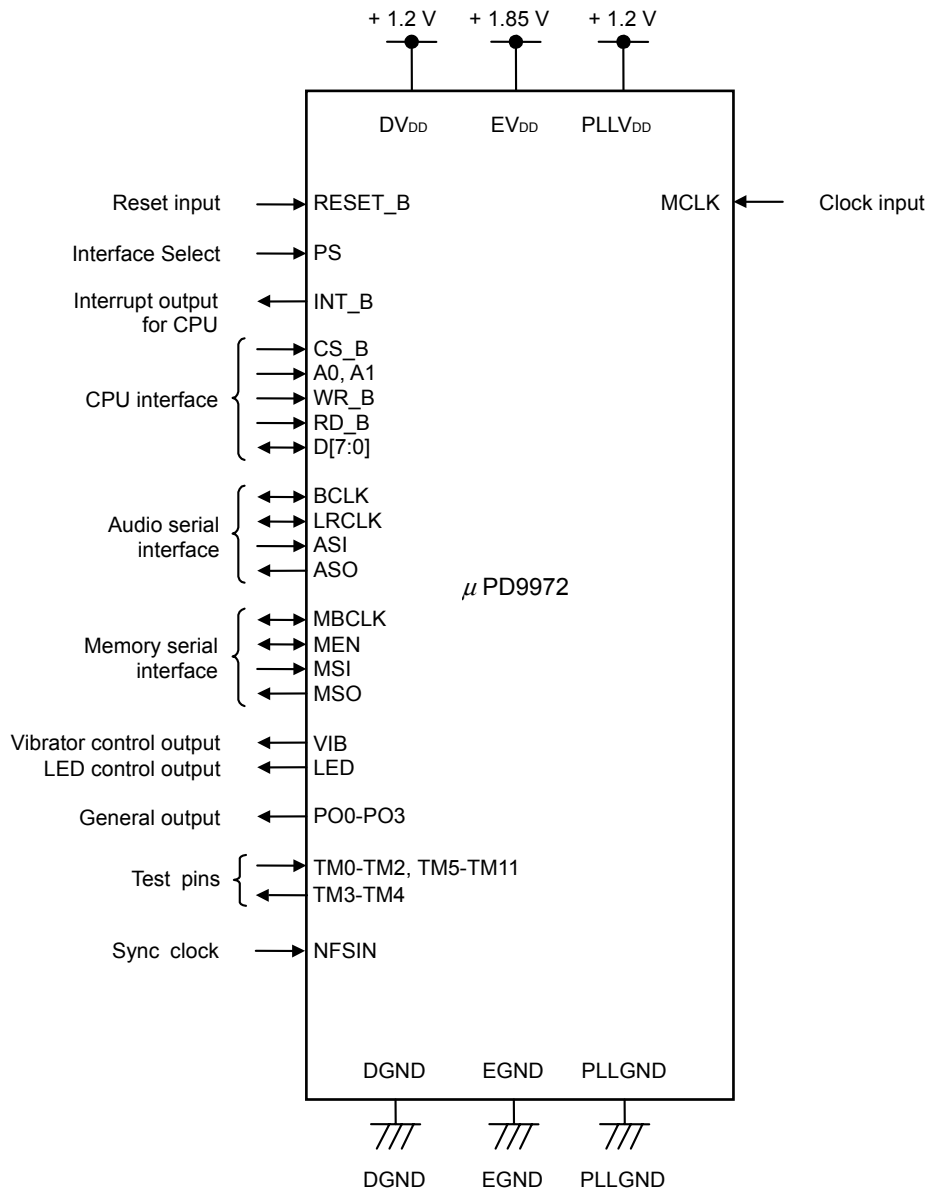
- Melody Core : 128 和音 PCM 音源コア
- 3D Positioning : 3D ポジショニング・サラウンド機能
- Digital Mixing : デジタル・ミキシング回路
- ASIO : デジタル・オーディオ入出力インタフェース
- PLL : 内部クロック用 PLL
- VIB/LED : バイブレーション LED の制御信号発生回路
- GPO : 汎用出力ポート
- Master VR/Digital VR : ボリューム回路
- MSIO : 外部拡張シリアル・インタフェース

1.2 回路概略説明

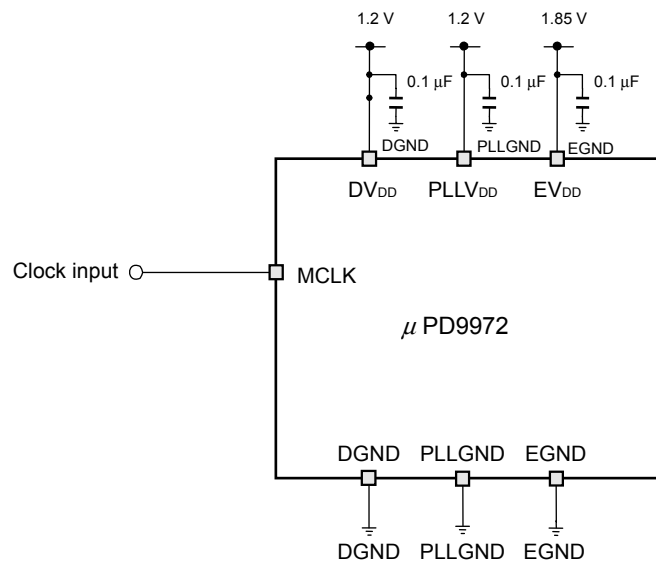
ブロック	機能
Melody Core	最大 128 音の同時発音可能 PCM 音源, シーケンサ内蔵, サンプル周波数 32 kHz
3D Positioning	3D ポジショニング・サラウンド機能
Digital Mixing	音源出力, オーディオ・シリアル入力の切り替えまたは加算
PLL	内部信号処理用マスタ・クロック生成 入力クロック : 32.768 kHz, サンプル周波数 32 kHz, 44.1 kHz の 128, 256, 512 倍 逡倍数はレジスタにより設定可能
VIB/LED	VIB/LED 制御信号出力
GPO	汎用出力ポート
VR	デジタル・ボリューム : +12 ~ - 63 dB / 1 dB step

2. 端 子

2.1 端子構成



2.2 推奨外付け回路



2.3 端子機能説明

(1) 電源, GND

端子名称	端子番号		入出力	機能
	5 × 5 パッケージ	4 × 4 パッケージ		
DV _{DD}	1C, 3B, 4G, 7D	1C, 3B, 4G, 8D	-	デジタル・ブロック用電源 0.1 μF のコンデンサを本端子と DGND の間に接続してください。
DGND	2D, 3A, 4H, 6D	2D, 3A, 4H, 7D	-	デジタル・ブロック用グラウンド
EV _{DD}	2F, 6B, 6G	2F, 6B, 6G	-	デジタル I/O 用電源 0.1 μF のコンデンサを本端子と EGND の間に接続してください。
EGND	2G, 5A, 6F	1F, 5A, 6H	-	デジタル I/O 用グラウンド
PLL _{VDD}	7E	7E	-	PLL 用電源 0.1 μF のコンデンサを本端子と PLLGND の間に接続してください。
PLLGND	5E	8E	-	PLL 用グラウンド

(2) クロック, システム・コントロール

端子名称	端子番号		入出力	機能
	5 × 5 パッケージ	4 × 4 パッケージ		
MCLK	8E	6E	入力	クロック入力 内部マスタ・クロック生成用基準クロック入力です。 32.768 kHz, サンプリング周波数 32 kHz, 44.1 kHz またはその 128, 256, 512 倍を入力します。
RESET_B	6E	8F	入力	ハードウェア・リセット信号入力 本 LSI をリセットします。リセット後レジスタは初期値となります。 0: リセット 1: リセット解除

(3) ホスト CPU インタフェース

端子名称	端子番号		入出力	機能
	5 × 5 パッケージ	4 × 4 パッケージ		
A0	8B	7B	入力	<p>ホスト・インタフェース・アドレス A0 信号入力</p> <p>ホスト CPU がアクセスするときのアドレスまたはデータを指定する入力端子です。</p> <p>1：データを転送するとき</p> <p>0：アクセスするレジスタのアドレスを設定するとき</p>
A1	6C	6C	入力	<p>ホスト・インタフェース・アドレス A1 信号入力</p> <p>ホスト CPU がアクセスするときのアクセス先レジスタを選択する入力端子です。</p> <p>1：音源ブロック・レジスタ</p> <p>0：制御ブロック・レジスタ</p>
CS_B	7C	8C	入力	<p>チップ・セレクト入力</p> <p>ホスト・インタフェース・セレクト信号の入力端子です。</p> <p>ホスト CPU がホスト・インタフェースのレジスタをアクセスする間、この端子をアクティブ（ロウ・レベル）にします。</p>
RD_B	8C	8B	入力	<p>ホスト・リード入力</p> <p>ホスト CPU がホスト・インタフェースのレジスタを読み出す場合に、この端子をアクティブ（ロウ・レベル）にします。</p> <p>WR_B 端子と同時にアクティブにしないでください。</p>
WR_B	7B	7C	入力	<p>ホスト・ライト入力</p> <p>ホスト CPU がホスト・インタフェースのレジスタに書き込む場合に、この端子をアクティブ（ロウ・レベル）にします。</p> <p>RD_B 端子と同時にアクティブにしないでください。</p>
D0 - D7	8F, 7F, 6H, 7G, 5F, 5H, 5G, 4F	8G, 7F, 7G, 6F, 5F, 5H, 5G, 4F	入出力	<p>8 ビット・ホスト・データ・バス</p> <p>ホスト CPU が本 LSI をアクセスするとき、アドレスおよびデータの入出力を行います。</p> <p>CS_B がインアクティブ（ハイ・レベル）の場合、ハイ・インピーダンスになります。</p>
INT_B	1D	1D	出力	<p>ホスト割り込み出力</p> <p>本 LSI からホスト CPU への割り込み信号です。</p> <p>データ転送時のデータ送受信要求、内部状態を通知するときの要求などに使用します。</p> <p>備考 音源ブロックの制御にのみ使用可能です。</p>
PS	1B	1B	入力	<p>インタフェース設定入力</p> <p>通常使用時は EGND へ接地してください。</p>

(4) オーディオ・シリアル・インタフェース (ASIO)

端子名称	端子番号		入出力	機能
	5 × 5 パッケージ	4 × 4 パッケージ		
BCLK	3F	3F	入出力	オーディオ・シリアル用ビット同期クロック入出力 未使用時は EGND へ接地してください。
LRCLK	3G	3G	入出力	オーディオ・シリアル用フレーム同期クロック入出力 未使用時は EGND へ接地してください。
ASO	3H	3H	出力	オーディオ・シリアル用データ出力 未使用時はオープンにしてください。
ASI	2H	2H	入力	オーディオ・シリアル用データ入力 未使用時は EGND へ接地してください。
NFSIN	8D	6D	入力	オーディオ・シリアル用同期クロック入力 本 LSI でサンプリング周期を生成する場合、サンプリング周波数 32 kHz , 44.1 kHz の 128 , 256 , 512 倍のクロックを外部から入力してください。 未使用時は EGND へ接地してください。

備考 オーディオ・シリアル・データのフレーム・サイズはレジスタで設定します。

マスタ・モード時 : 64 ビット, 32 ビットの選択

スレーブ・モード時 : 32 ~ 64 ビット (2 ビットステップ), 80 ビット, 120 ビットからの選択

(5) 外部拡張シリアル・インタフェース (MSIO)

端子名称	端子番号		入出力	機能
	5 × 5 パッケージ	4 × 4 パッケージ		
MBCLK	1G	1G	入出力	音源コア外部接続専用ビット同期クロック入出力 未使用時は EGND へ接地してください。
MEN	1F	2G	入出力	音源コア外部接続専用フレーム同期クロック入出力 未使用時は EGND へ接地してください。
MSO	3E	3E	出力	音源コア外部接続専用データ出力 未使用時はオープンにしてください。
MSI	2E	2E	入力	音源コア外部接続専用データ入力 未使用時は EGND へ接地してください。

備考 シリアル・データのフレーム・サイズはレジスタで設定します。

マスタ・モード時 MBFS = 32, 64, 128, 256, 512 fs からの選択 (MSIO 単独使用時)

スレーブ・モード時 MBFS = 32 ~ 512 ビット / 32 ビット・ステップで選択 (MSIO 単独使用時)

(6) 外部 LED , バイブレータ制御出力

端子名称	端子番号		入出力	機能
	5 × 5 パッケージ	4 × 4 パッケージ		
LED	5B	5B	出力	外部 LED 制御出力 (ドライブ能力 : 1.5 mA) ポート出力です。設定はホスト CPU からポート設定レジスタに値を書き込むことを行います。 未使用時はオープンにしてください。
VIB	4B	4B	出力	外部バイブレータ制御出力 (ドライブ能力 : 1.5 mA) ポート出力です。設定はホスト CPU からポート設定レジスタに値を書き込むことを行います。 未使用時はオープンにしてください。

(7) 汎用外部出力

端子名称	端子番号		入出力	機能
	5 × 5 パッケージ	4 × 4 パッケージ		
PO0 - PO3	4C, 4A, 3C, 2B	4C, 4A, 3C, 2A	出力	汎用外部出力 周辺デバイスのコントロール信号を出力することができます。 設定はホスト CPU からポート設定レジスタに値を書き込むことを行います。 未使用時はオープンにしてください。

(8) テスト用端子

端子名称	端子番号		入出力	機能
	5 × 5 パッケージ	4 × 4 パッケージ		
TM0 - TM2, TM5 - TM11	7H, 8G, 5C, 5D, 2C, 4E, 4D, 2A, 6A, 3D	7H, 5E, 5C, 5D, 2C, 4E, 4D, 2B, 6A, 3D	入力	テスト用入力 通常使用時は EGND へ接地してください。
TM3, TM4	1E, 7A	1E, 7A	出力	テスト用出力 通常使用時はオープンにしてください。

(9) 未接続端子

端子名称	端子番号		入出力	機能
	5 × 5 パッケージ	4 × 4 パッケージ		
NC1	1A	1A	-	ノー・コネクション。
NC2	8A	8A	-	NC1 と NC2 はパッケージ内部で結線されています。
NC3	1H	1H	-	NC3 と NC4 はパッケージ内部で結線されています。
NC4	8H	8H	-	未使用時は EGND へ接地してください。

2.4 未使用端子の処理

表 2 - 1 未使用端子の処理

端子名	入出力	推奨接続方法
ASI	I	EGND へ接地してください。
ASO	O	オープンにしてください。
BCLK	I/O	EGND へ接地してください。
LED	O	オープンにしてください。
LRCLK	I/O	EGND へ接地してください。
MBCLK	I/O	EGND へ接地してください。
MEN	I/O	EGND へ接地してください。
MSI	I	EGND へ接地してください。
MSO	O	オープンにしてください。
NFSIN	I	EGND へ接地してください。
PO0 - PO3	O	オープンにしてください。
TM0 - TM2, TM5 - TM11	I	EGND へ接地してください。
TM3, TM4	O	オープンにしてください。
VIB	O	オープンにしてください。
NC1 - NC4	-	EGND へ接続してください。

2.5 端子状態

(1/2)

端子番号		I/O	端子名	スタンバイ時		RESET_B = 0 のとき		リセット後
5 × 5 パッケージ	4 × 4 パッケージ			制御信号	端子状態	制御信号	端子状態	
7E	7E	-	PLL _{DD}	-	-	-	-	-
8E	6E	Input	MCLK	STPLL	Input	-	Hi-Z	Input
5E	8E	-	PLLGND	-	-	-	-	-
4C	4C	Output	PO0	-	Register	RESET_B	Low	Low
4A	4A	Output	PO1	-	Register	RESET_B	Low	Low
3C	3C	Output	PO2	-	Register	RESET_B	Low	Low
2B	2A	Output	PO3	-	Register	RESET_B	Low	Low
2D, 3A, 4H, 6D	2D, 3A, 4H, 7D	-	DGND	-	-	-	-	-
6C	6C	Input	A1	-	Input	RESET_B	Hi-Z	Input
1C, 3B, 4G, 7D	1C, 3B, 4G, 8D	-	DV _{DD}	-	-	-	-	-
8B	7B	Input	A0	-	Input	RESET_B	Hi-Z	Input
7C	8C	Input	CS_B	-	Input	RESET_B	Hi-Z	input
8C	8B	Input	RD_B	-	Input	RESET_B	Hi-Z	Input
7B	7C	Input	WR_B	-	Input	RESET_B	Hi-Z	Input
2F, 6B, 6G	2F, 6B, 6G	-	EV _{DD}	-	-	-	-	-
8F	8G	I/O	D0	-	Input	RESET_B	Hi-Z	Input
7F	7F	I/O	D1	-	Input	RESET_B	Hi-Z	Input
2G, 5A, 6F	1F, 5A, 6H	-	EGND	-	-	-	-	-
6H	7G	I/O	D2	-	Input	RESET_B	Hi-Z	Input
7G	6F	I/O	D3	-	Input	RESET_B	Hi-Z	Input
5F	5F	I/O	D4	-	Input	RESET_B	Hi-Z	Input
5H	5H	I/O	D5	-	Input	RESET_B	Hi-Z	Input
5G	5G	I/O	D6	-	Input	RESET_B	Hi-Z	Input
4F	4F	I/O	D7	-	Input	RESET_B	Hi-Z	Input
1D	1D	Output	INT_B	-	Output	RESET_B	High	High
6E	8F	Input	RESET_B	-	Input	-	Input	Input
4B	4B	Output	VIB	-	Register	RESET_B	Low	Low
5B	5B	Output	LED	-	Register	RESET_B	Low	Low
3F	3F	I/O	BCLK	STASI, STASO	注	RESET_B	Hi-Z	Input
3G	3G	I/O	LRCLK	STASI, STASO	注	RESET_B	Hi-Z	Input
2H	2H	Input	ASI	STASI, STASO	注	RESET_B	Hi-Z	Input (PD)
3H	3H	Output	ASO	STASI, STASO	注	RESET_B	Hi-Z	Hi-Z
1B	1B	input	PS	-	Input (PD)	RESET_B	Hi-Z	Input (PD)
1G	1G	I/O	MBCLK	STMSI, STMSO	注	RESET_B	Hi-Z	Input
1F	2G	I/O	MEN	STMSI, STMSO	注	RESET_B	Hi-Z	Input
2E	2E	Input	MSI	STMSI, STMSO	注	RESET_B	Hi-Z	Input (PD)
3E	3E	Output	MSO	STMSI, STMSO	注	RESET_B	Hi-Z	Hi-Z
8D	6D	Input	NFSIN	-	Input	-	Hi-Z	Input

注 ASIOモード, MSIOモード時の状態は, 表 2-2, 表 2-3を参照してください。

(2/2)

端子番号		I/O	端子名	スタンバイ時		RESET_B = 0 のとき		リセット後
5 × 5 パッケージ	4 × 4 パッケージ			制御信号	端子状態	制御信号	端子状態	
1E	1E	Output	TM3	-	Low	RESET_B	Low	Low
7A	7A	Output	TM4	-	High	RESET_B	High	High
7H, 8G, 5C, 5D, 2C, 4E, 4D, 3D	7H, 5E, 5C, 5D, 2C, 4E, 4D, 3D	Input	TM0-2, TM5-8, TM11	-	Input (PD)	RESET_B	Hi-Z	Input (PD)
2A, 6A,	2B, 6A	Input	TM9, 10	-	Input (PD)	-	Input (PD)	Input (PD)

表 2 - 2 ASIO 状態表

端子名	機能	AMS = 0 (スレーブ・モード)				AMS = 1 (マスタ・モード)			
		(STASI, STASO)				(STASI, STASO)			
		(0, 0)	(1, 1)	(1, 0)	(0, 1)	(0, 0)	(1, 1)	(1, 0)	(0, 1)
BCLK	オーディオ・シリアル用ビット同期クロック入出力	Input	Input	Input	Input	Low	Output	Output	Output
LRCLK	オーディオ・シリアル用フレーム同期クロック入出力	Input	Input	Input	Input	Low	Output	Output	Output
ASI	オーディオ・シリアル用データ入力	PD	Input (PD)	Input (PD)	PD	PD	Input (PD)	Input (PD)	PD
ASO	オーディオ・シリアル用データ出力	Hi-Z	Output	Hi-Z	Output	Hi-Z	Output	Hi-Z	Output

表 2 - 3 MSIO 状態表

端子名	機能	MMS = 0 (スレーブ・モード)				MMS = 1 (マスタ・モード)			
		(STMSI, STMSO)				(STMSI, STMSO)			
		(0, 0)	(1, 1)	(1, 0)	(0, 1)	(0, 0)	(1, 1)	(1, 0)	(0, 1)
MBCLK	音源コア外部接続専用ビット同期クロック入出力	Input	Input	Input	Input	Low	Output	Output	Output
MEN	音源コア外部接続専用フレーム同期クロック入出力	Input	Input	Input	Input	Low	Output	Output	Output
MSI	音源コア外部接続専用データ入力	PD	Input (PD)	Input (PD)	PD	PD	Input (PD)	Input (PD)	PD
MSO	音源コア外部接続専用データ出力	Hi-Z	Output	Hi-Z	Output	Hi-Z	Output	Hi-Z	Output

3. CPU インタフェース

3.1 パラレル・ホスト CPU インタフェース

ホスト CPU インタフェースからのパラレル・アクセスの方法を説明します。

3.1.1 ライト・アクセス

ライト・アクセスではシステム側から本 LSI に対してデータ書き込みを行います。

- ・ A0 端子によりアドレス・ライト・サイクルとデータ・ライト・サイクルを区別します。
- ・ A1 端子により制御用レジスタ・アクセスと音源用レジスタ・アクセスを区別します (0 : 制御用, 1 : 音源)
- ・ アドレス・ライト・サイクルに書き込むデータは, D7 - D0 にアドレスを割り当てます。

注意 アドレス・ライト・サイクルおよびデータ・ライト・サイクル中は RD_B 端子を常にハイ・レベル固定にしてください。

図 3 - 1 ライト・アクセス (シングル・アクセス)

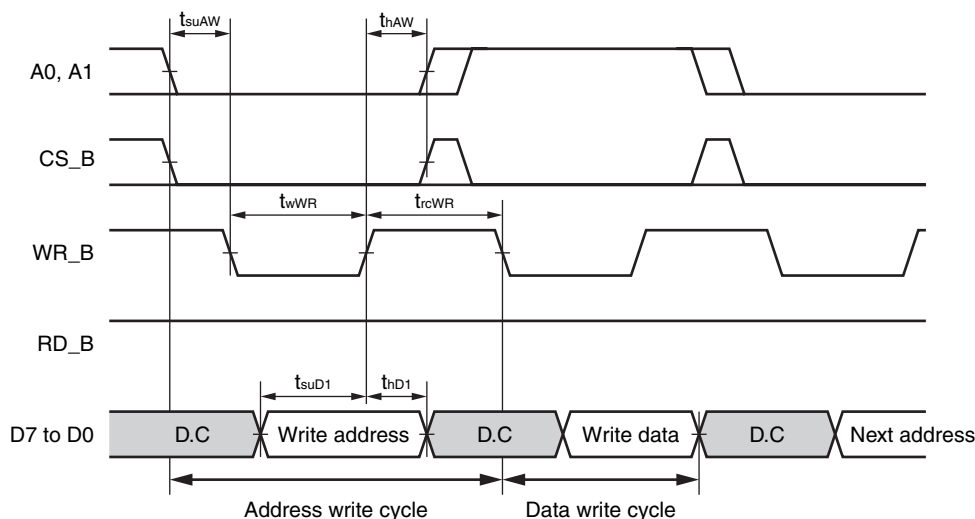
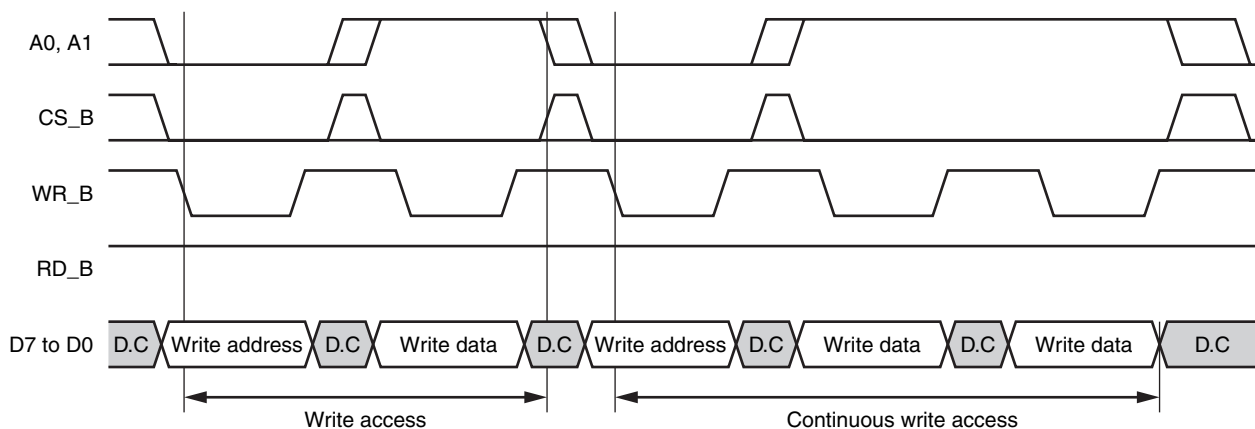


図 3 - 2 ライト・アクセス (連続アクセス)



備考 CS_B 端子は, ライト期間はロウ・レベル固定にしてください。連続ライト・アクセス中は CS_B 端子を常にロウ・レベルにする必要はありません。

D.C. : Don't Care

3.1.2 リード・アクセス

リード・アクセスではシステム側から本 LSI に対してデータ読み出しを行います。

- ・ A0 によりアドレス・ライト・サイクルとデータ・リード・サイクルを区別します。
- ・ A1 により制御用レジスタ・アクセスと音源用レジスタ・アクセスを区別します (0 : 制御用, 1 : 音源用)。
- ・ システム・クロックによる WR_B および RD_B の立ち上がりエッジ検出を基準に動作します。
- ・ アドレス・ライト・サイクルに書き込むデータは, D7-D0 にアドレスを割り当てます。

図 3-3 リード・アクセス (シングル・アクセス)

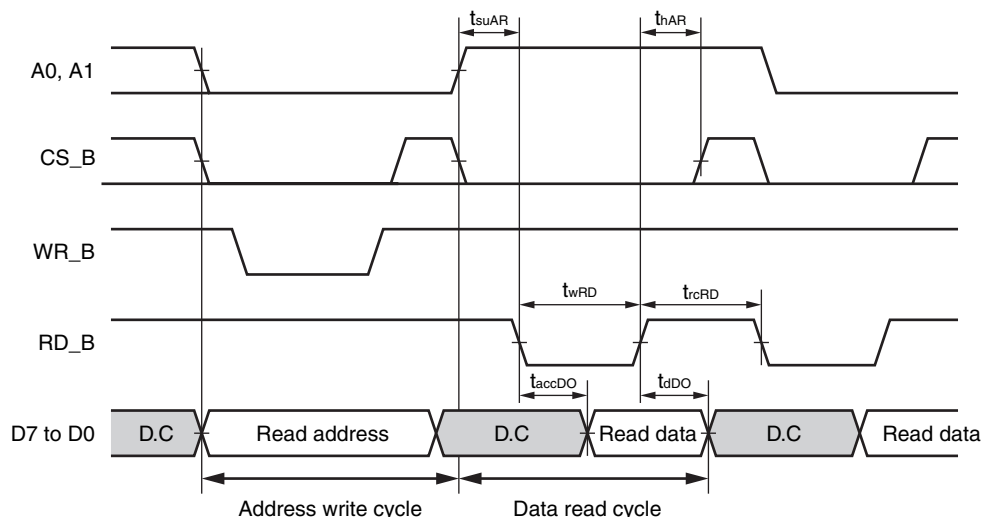
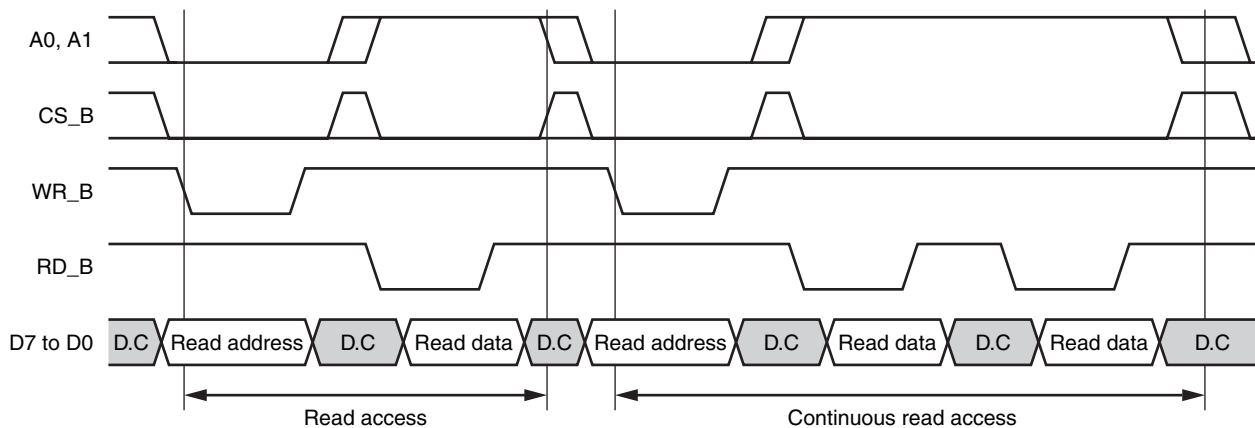


図 3-4 リード・アクセス (連続アクセス)



備考 CS_B 端子は, リード期間はロウ・レベル固定にしてください。連続リード・アクセス中は CS_B 端子を常にロウ・レベルにする必要はありません。

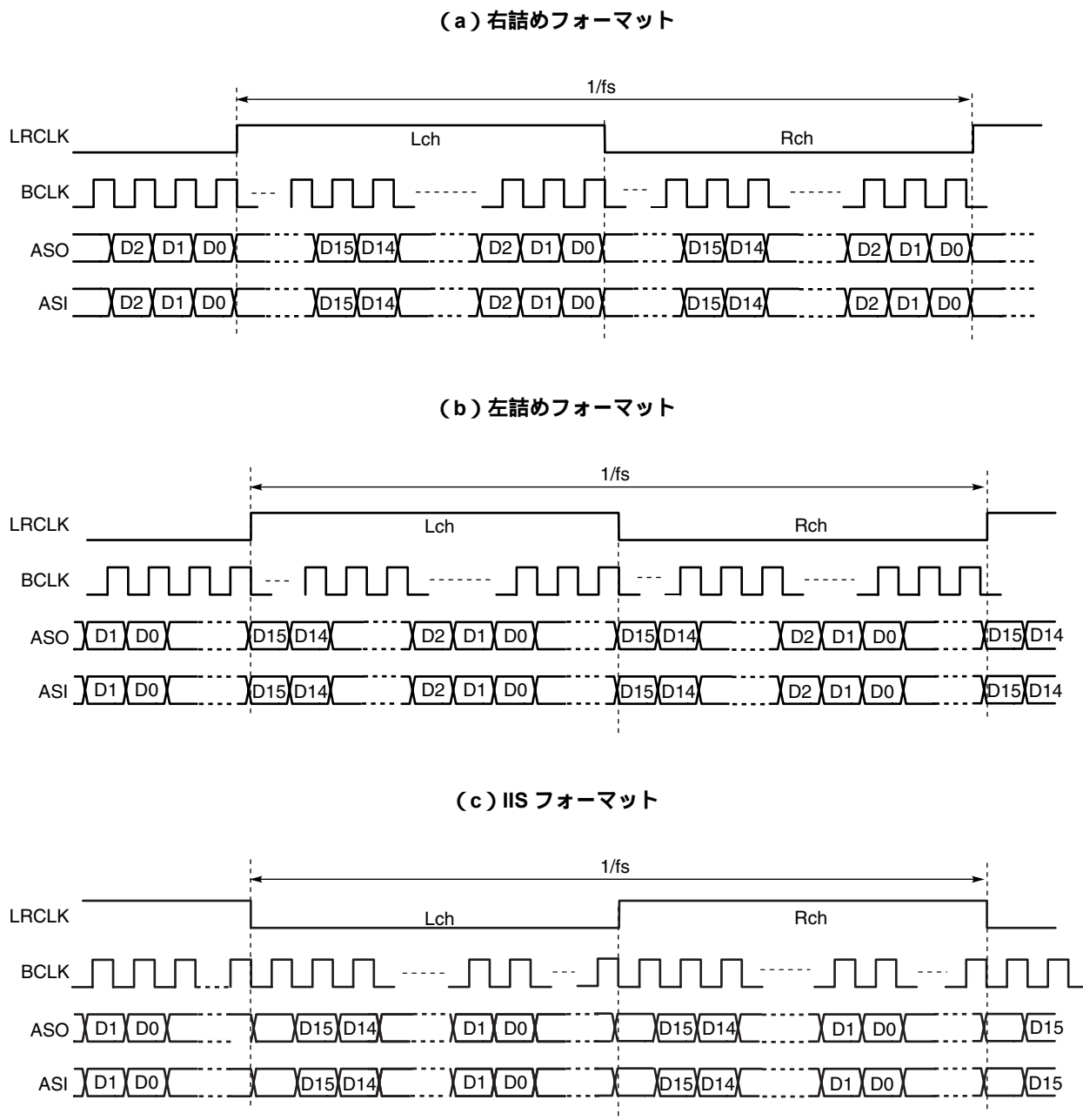
D.C. : Don't Care

4. オーディオ・シリアル・インタフェース

4.1 オーディオ・シリアル・インタフェース (ASIO)

LRCLK立ち上がり区間にL chデータ, LRCLK立ち下がり区間にR chデータが配置されます。IISフォーマットはその逆です。それぞれの区間に、右詰めや左詰め, IISフォーマットといったフォーマットの切り替えができます。シリアル入出力のタイミングは図 4-1のとおりです。

図 4-1 オーディオ・シリアル・インタフェース・タイミング



- 注意 1. IIS フォーマットは、1 ビット空け左詰め、L ch：ロウ・レベル、R ch：ハイ・レベルです。そのほかは左右詰めの組み合わせに対応します。
2. IIS フォーマットは L ch 16 ビット、R ch 16 ビット、計 32 ビットで 1 フレーム構成となっています。
 3. リセット解除後の初期設定では L ch 32 ビット、R ch 32 ビット、計 64 ビットで 1 フレーム構成となっています。
 4. 1 フレームのビット数はレジスタ設定により可変できます。
マスタ・モード時：64 ビット、32 ビット
スレーブ・モード時：32 ビット～64 ビット（2 ビット・ステップ）、80 ビット、120 ビット
（マスタ、スレーブ共に、初期値は 64 ビットです）

4.2 外部拡張シリアル・インタフェース (MSIO)

本インタフェースは、音源のエフェクト効果などを外部アプリケーション・チップなどで処理するための、専用のシリアル・インタフェースです。データ・フォーマットはフレーム同期フォーマット, IIS フォーマットに対応します。

シリアル入出力のタイミングは次のとおりです。モード設定, ビット・クロック反転使用, およびビット幅設定が, レジスタの変更により可能です。

図 4-2 フレーム同期モード 1 (SMEN = 0)

MBCLK 正転 (SMBCLK = 0), ビット幅 128 (MBFS = 128), 8 チャンネル (MCH = 8)

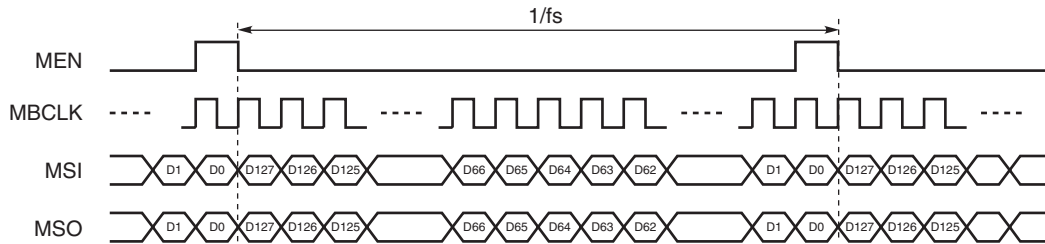


図 4-3 フレーム同期モード 2 (SMEN = 0)

MBCLK 反転 (SMBCLK = 1), ビット幅 128 (MBFS = 128), 8 チャンネル (MCH = 8)

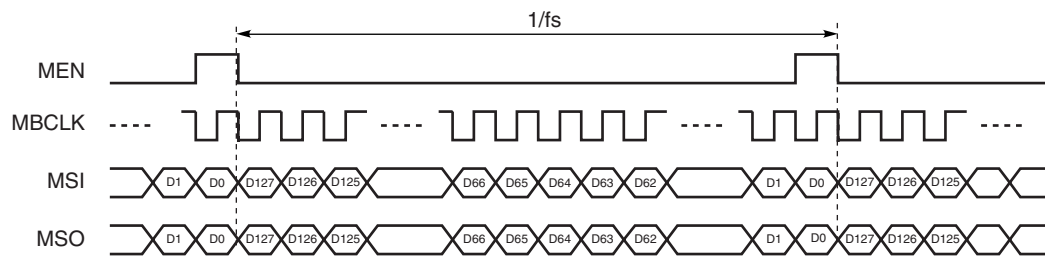
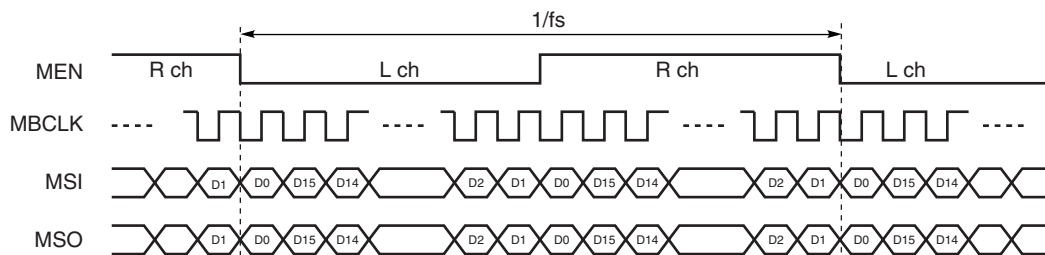


図 4-4 LR ステレオ・モード (SMEN = 1)

MBCLK 反転 (SMBCLK = 1), ビット幅 32 (MBFS = 32), 2 チャンネル (MCH = 2)

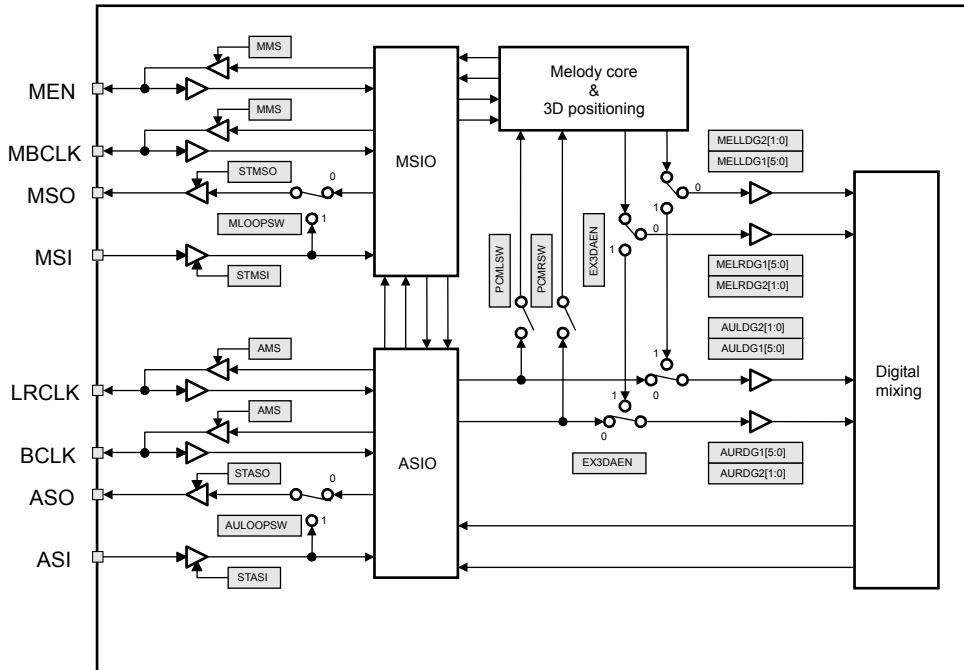


- 注意 1. マスタ・モード/スレーブ・モードによって設定可能なデータ・サイズが変わります。
 マスタ・モード時 : MBFS = 32, 64, 128, 256, 512 fs のみ
 スレーブ・モード時 : MBFS = 32 ~ 512 fs/32 fs step
2. MSIO と ASIO を同時使用する場合は, 同一のフレーム信号を入力する必要があります。

5. ブロック機能

PCMデータの信号パスを図 5 - 1に示します。

図 5 - 1 信号パス詳細

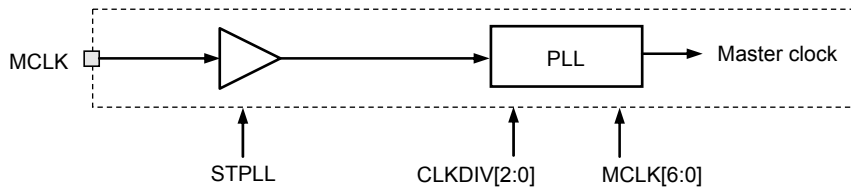


以降の各章では、各ブロック図の詳細を説明します。ブロック図中の文字は、信号およびレジスタ名です。

6. レジスタ (制御レジスタ) と合わせてご覧ください。

5.1 PLL 部

図 5 - 2 PLL



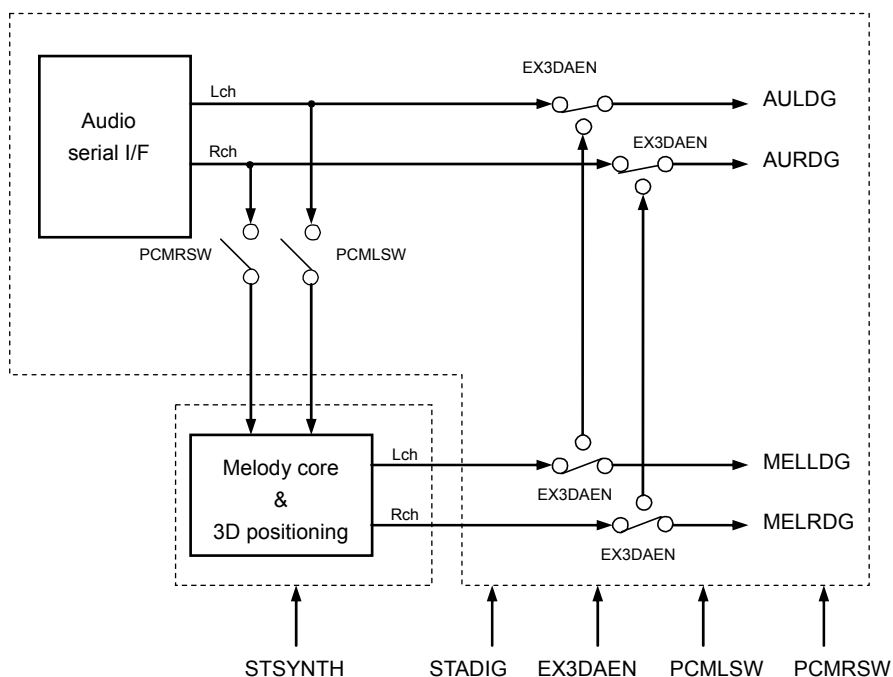
本ブロックは次の機能を持っています。

- ・外部から入力されたクロックを、レジスタ設定により分周、通倍し、マスタ・クロックを生成します。
- ・本ブロックは PLLV_{DD} から電源供給されます。

本ブロックは、レジスタ STPLL = ハイ・レベルとすることでマスタ・クロックの生成を行います。

5.2 音源コア (音源 / 3D ポジショニング / イコライザ) インタフェース部

図 5 - 3 音源コア・インタフェース



本ブロックは次の機能を持っています。

- ・ASI から入力された PCM データをサラウンド処理する場合は、拡張 3DA モード (レジスタ EX3DAEN = ハイ・レベル) に設定する必要があります。
- ・拡張 3DA モード時は、サラウンド処理されたデータの出力先が、MELLDG/MELRDG ブロックから AULDG/AURDG ブロックとなります。
- ・本ブロックの電源は DV_{DD} です。

本ブロックは、STADIG = ハイ・レベルでオーディオ・シリアル・インタフェースが動作します。

本ブロックは、STSYNTH = ハイ・レベルで音源コア部が動作します。

サラウンド処理するオーディオ・データの選択 / 加算は、表 5 - 1のとおりです。

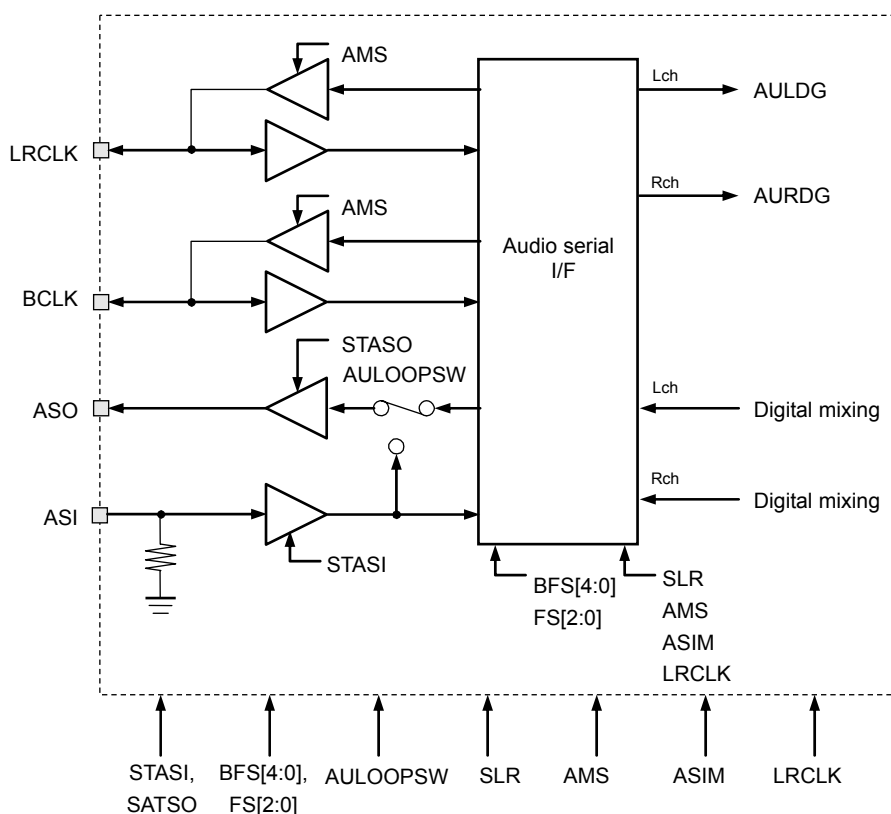
表 5 - 1 サラウンド処理データ選択

ブロック	設定アドレス	調整範囲
PCMLSW	0BH	ミュート, ASI 入力
PCMRWSW	0BH	ミュート, ASI 入力

備考 PCMLSW, PCMRWSW は同じ設定で使用してください。

5.3 オーディオ・シリアル・インタフェース部 (ASIO)

図 5-4 オーディオ・シリアル・インタフェース



本ブロックは次の機能を持っています。

- ・ ASI より入力されたシリアル・データをパラレル・データに変換します。
- ・ Digital mixing 部より入力されたパラレル・データをシリアル・データに変換し、ASO から出力します。
- ・ レジスタ設定により、サンプリング周波数を 32 (デフォルト) / 44.1 kHz から選択します。
- ・ レジスタ設定により、BCLK の周波数を変更可能 (デフォルト : 64 fs) です。
- ・ レジスタ設定により、ASI - ASO のループ・バックをすることができます。
- ・ レジスタ設定により、データ・フォーマットの右詰め (デフォルト) / 左詰めを選択できます。
- ・ レジスタ設定により、LR モード (デフォルト) / IIS モードを選択できます。
- ・ レジスタ設定により、LRCLK を反転できます。
- ・ 本ブロックの電源は DV_{DD} です。

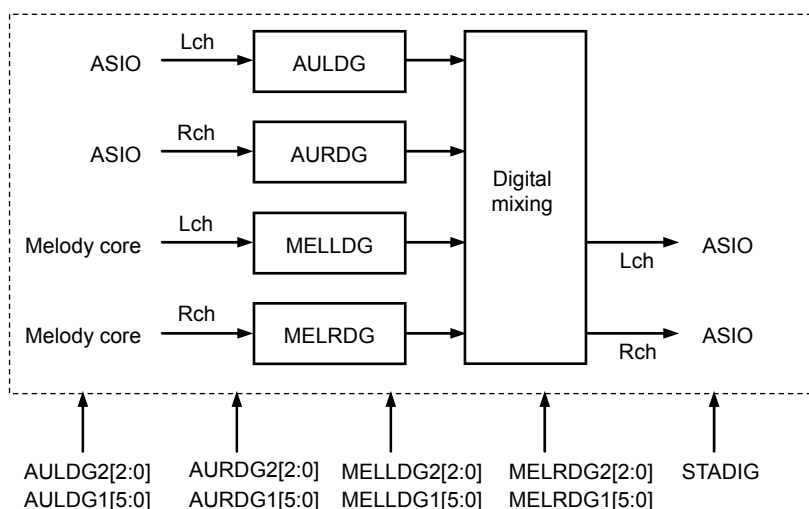
本ブロックはレジスタ STASI, STASO により動作します。詳細は表 2-2 を参照してください。

本ブロック使用時の注意事項は次のとおりです。

- 注意 1.** IIS モード選択時は、LRCLK レジスタ=ハイ・レベル、SLR レジスタ=ハイ・レベルを選択してください。
- 2.** ASI から入力されたデータをサラウンド処理する場合、サンプリング周波数を 32/44.1 kHz にする必要があります。

5.4 オーディオ再生デジタル・ゲイン調整ブロック

図 5-5 オーディオ再生デジタル・ゲイン・ブロック



本ブロックは、次の機能を持っています。

- ・オーディオ・シリアル・インタフェースからの 32/44.1 kHz サンプリング・ステレオ・リニア PCM フォーマットのデジタル入力に対して、デジタル・ゲイン調整を行います。
- ・音源からの 32 kHz サンプリング・ステレオ・リニア PCM フォーマットのデジタル入力に対して、デジタル・ゲイン調整を行います。
- ・上記デジタル・ゲイン調整後の信号について、デジタル・ミキシングを行います。
- ・デジタル・ミキシング後の信号をオーディオ・シリアル・インタフェースへ出力します。
- ・本ブロックの電源は DV_{DD} です。

本ブロックは、STADIG レジスタ=ハイ・レベルで動作します。ゲイン調整部では、各デジタル信号入力に対して、係数を乗算することで、ゲイン調整を行います。また、ゲインを徐々に変化させることで、異音を目立たなくするソフト・ミュート機能があります。

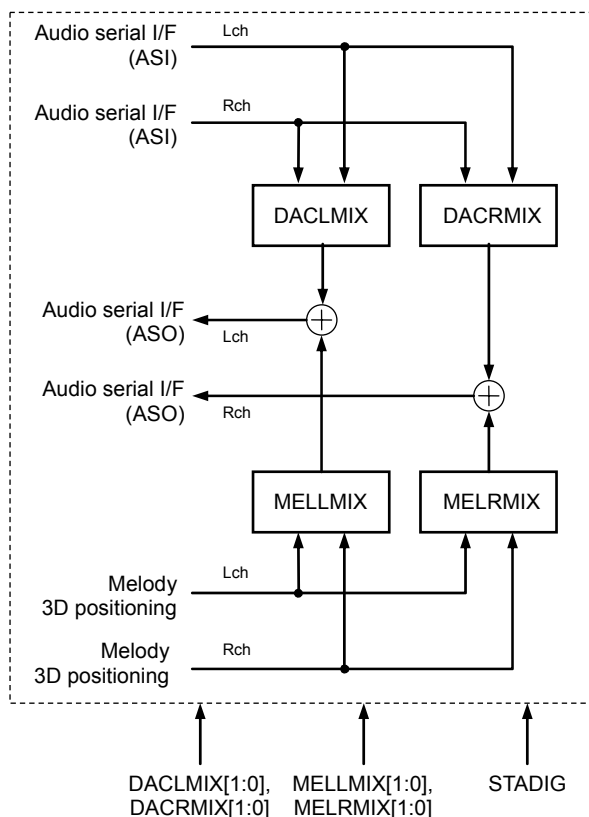
なお、ゲイン設定を変更する場合、STSYNTH レジスタをハイ・レベルにする必要があります。ソフト・ミュート機能を使用する場合は、ソフト・ミュートが動作中、STSYNTH レジスタのハイ・レベルを維持してください。

表 5-2 デジタル・ゲイン調整

ブロック	設定アドレス	調整範囲
AULDG	13H	ミュート, +12 dB ~ 0 dB ~ -63 dB/1 dB ステップ
AURDG	14H	ミュート, +12 dB ~ 0 dB ~ -63 dB/1 dB ステップ
MELLDG	11H	ミュート, +12 dB ~ 0 dB ~ -63 dB/1 dB ステップ
MELRDG	12H	ミュート, +12 dB ~ 0 dB ~ -63 dB/1 dB ステップ

5.5 デジタル・ミキシング部

図 5 - 6 デジタル・ミキシング・ブロック



本ブロックは次の機能を持っています。

- ・オーディオ・シリアル・インタフェースからのデジタル入力信号，音源からのデジタル出力信号をミキシングします（ミキシングは $fs = 32 \text{ kHz}$ 時のみ可能）。
- ・ミキシングされたデジタル・データを ASIO ブロックへ出力します。
- ・各セレクトは，スルー（L ch L ch, R ch R ch），チャンネル反転（L ch R ch, R ch L ch），モノラル化（L ch L ch + R ch, R ch L ch + R ch），ミュート（L ch x, R ch x）の選択が可能です。なおモノラル化の場合は，L ch, R ch のゲインを 1/2 にした後加算となります。
- ・本ブロックの電源は DV_{DD} です。

本ブロックは，STADIG レジスタ=ハイ・レベルで動作します。なお，パス設定を変更する場合，STSYNTH レジスタをハイ・レベルにする必要があります。

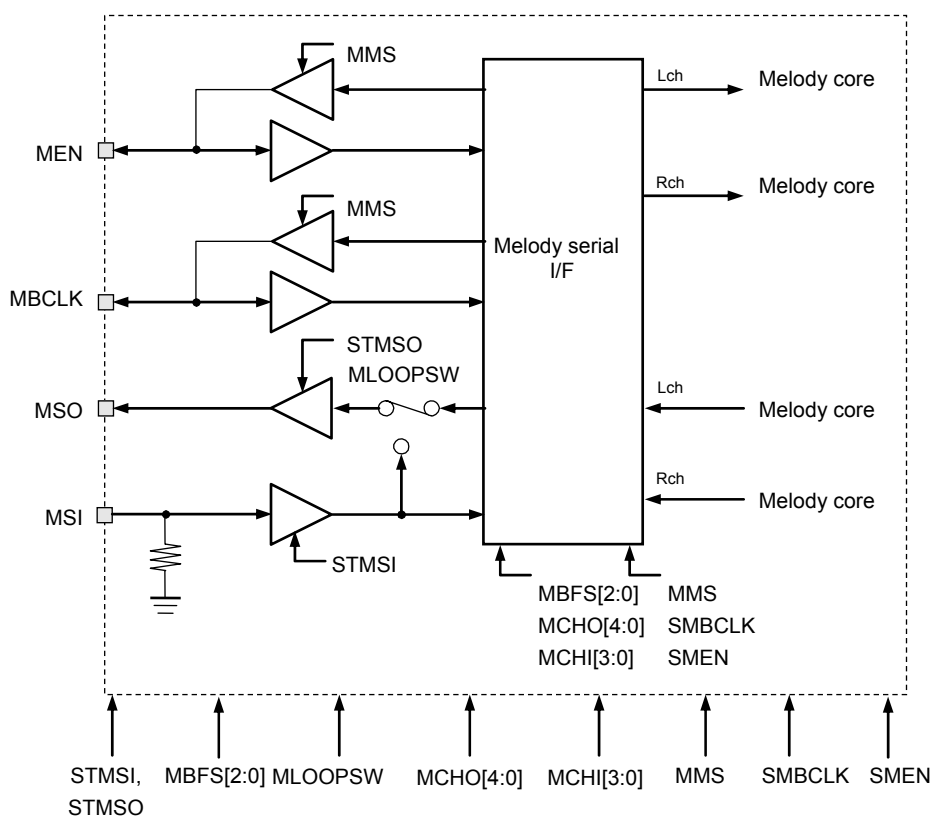
表 5 - 3 セレクト設定

ブロック	初期設定	設定パス
DACLMIX	ミュート	ASI - ASO 間パス設定
DACRMIX	ミュート	ASI - ASO 間パス設定
MELLMIX	ミュート	音源 - ASO 間パス設定
MELRMIX	ミュート	音源 - ASO 間パス設定

- 備考 1. DACLMIX , DACRMIX は同じ設定で使用してください。
 2. MELLMIX , MELRMIX は同じ設定で使用してください。

5.6 外部拡張シリアル・インタフェース部 (MSIO)

図 5-7 外部拡張シリアル・インタフェース



本ブロックは次の機能を持っています。

- ・ MSI より入力されたシリアル・データをパラレル・データに変換し、音源コア部へ出力します。
- ・ 音源コア部より入力されたパラレル・データをシリアル・データに変換し、MSO から出力します。
- ・ サンプリング周波数は 32 kHz 固定です。
- ・ レジスタ設定により、MBCLK の周波数を変更可能 (デフォルト : 64 fs) です。
- ・ レジスタ設定により、MSI 入力データ、MSO 出力データの有効データ数を個別に設定可能です。
- ・ レジスタ設定により、MSI - MSO 間でデータのループバックが可能です。
- ・ レジスタ設定により、スレーブ・モード (デフォルト)、マスタ・モードの設定が可能です。
- ・ レジスタ設定により、フレーム同期モード (デフォルト)、LR ステレオ・モードの設定が可能です。
- ・ レジスタ設定により、ビット・クロック MBCLK を反転可能です。
- ・ 本ブロックの電源は DV_{DD} です。

本ブロックはレジスタ STMSI, STMSO により動作します。詳細は表 2-3 をご覧ください。

本ブロック使用時の注意事項は次のとおりです。

MSIO は、ASIO と同じくスレーブ・モード、マスタ・モードでの動作が可能です。

ASIO と MSIO を同時に使用する場合には、本 LSI 内部のフレーム信号を統一する必要があるため、同一のフレーム信号を入力してください。

6. レジスタ (制御レジスタ)

制御レジスタの説明を表 6 - 1に示します。ここに設定されていないレジスタに書き込むことはできません。

表 6 - 1 制御レジスタ

アド レス	R/W	D7	D6	D5	D4	D3	D2	D1	D0	初期値	機 能	レジスタ名	
00H	R/W	STADIG	0	STPLL	STASI	STASO	STSYNTH	0	0	00H	LSI スタンバイ設定	STNBY	
01H	R/W	0	MCLK[6:0]								16H	マスタ・クロック設定	MCLK
02H	R/W	0	0	0	0	0	CLKDIV[2:0]			000B	同期クロック設定	CLKDIV	
03H	R/W	0	0	0	0	0	0	SCLK[1:0]		01B	同期クロック設定	SCLK	
04H	R/W										Reserved	Reserved	
05H	R/W										Reserved	Reserved	
06H	R/W										Reserved	Reserved	
07H	R/W	BFS[4:0]				FS[2:0]					00H	FS, BCLK セレクト	SEL_FS
08H	R/W	0	0	EX3DAEN	AULOOPSW	SLR	AMS	ASIM	LRCLK	00H	ASI	SEL_ASI	
09H	R/W	DACLMIX[1:0]		DACRMIX[1:0]		0	0	0	0	F0H	ミキシング・バス 1	MIXING1	
0AH	R/W	MELLMIX[1:0]		MELRMIX[1:0]		0	0	0	0	F0H	ミキシング・バス 2	MIXING2	
0BH	R/W	S3	S2	S1	TH2	TH1	PCMLSW	0	PCMRSW	00H	ミキシング・バス 3	MIXING3	
0CH	R/W										Reserved	Reserved	
0DH	R/W	0	0	0	0	0	0	VIB	LED	00H	LED, VIB 出力の設定	LEDVIB	
0EH	R/W	0	0	0	0	POUT3	POUT2	POUT1	POUT0	00H	汎用ポート外部出力設定	POUT	
0FH	R/W	0	0	0	0	0	0	0	0	00H	Reserved	Reserved	
10H	R/W	0	0	0	0	SLOPE[1:0]		AUSMUTE	MELSMUTE	00H	ソフト・ミュート	SMUTE	
11H	R/W	MELLDG2[1:0]		MELLDG1[5:0]							FFH	ADAC デジタル・ゲイン/ バス	MELLDG
12H	R/W	MELRDG2[1:0]		MELRDG1[5:0]							FFH	ADAC デジタル・ゲイン/ バス	MELRDG
13H	R/W	AULDG2[1:0]		AULDG1[5:0]							FFH	ADAC デジタル・ゲイン/ バス	AULDG
14H	R/W	AURDG2[1:0]		AURDG1[5:0]							FFH	ADAC デジタル・ゲイン/ バス	AURDG
15H	R/W										Reserved	Reserved	
16H	R/W										Reserved	Reserved	
17H	R/W										Reserved	Reserved	
18H	R/W										Reserved	Reserved	
20H	R/W	0	0	0	0	0	0	STMSI	STMSO	00H	LSI スタンバイ設定 (MSIO 時)	STNBY2	
21H	R/W	MBFS[3:0]				MLOOPSW	MMS	SMEN	SMBCLK		10H	MSIO	SEL_MSIO1
22H	R/W	MCHI[3:0]				MCHO[3:0]					33H	MSIO	SEL_MSIO2
23H	R/W	0	0	0	0	0	0	0	MCHO4	00H	MSIO	SEL_MSIO3	
3FH	R	1	1	0	0	VER[3:0]					C0H	LSI バージョン	LSIVER

6.1 スタンバイ設定 (STNBY)

スタンバイ・モードの設定を行います。

アドレス：00H，レジスタ名：STNBY，ブロック：全体，アクセス：R/W，初期値：00H

D7	D6	D5	D4	D3	D2	D1	D0
STADIG	0	STPLL	STASI	STASO	STSYNTH	0	0

6.1.1 STADIG

データ	モード	初期値	説明
0	Stand-by	0	オーディオ・デジタル・ブロック部のスタンバイ
1	ON		通常動作

6.1.2 STPLL

スタンバイ・モード中，PLL 出力はクロック供給を停止します。

データ	モード	初期値	説明
0	Stand-by	0	PLL のスタンバイ
1	ON		通常動作

6.1.3 STASI

データ	モード	初期値	説明
0	Stand-by	0	ASI (オーディオ・シリアル・インタフェース入力) のスタンバイ
1	ON		通常動作

6.1.4 STASO

LRCLKおよびBCLKの動作は，STASIとSTASO両方のビットをスタンバイにしたときのみスタンバイとなります。

詳しくは表 2-2 ASIO状態表を参照してください。

データ	モード	初期値	説明
0	Stand-by	0	ASO (オーディオ・シリアル・インタフェース出力) のスタンバイ
1	ON		通常動作

6.1.5 STSYNTH

データ	モード	初期値	説明
0	Stand-by	0	音源ブロック (Synthesizer) のスタンバイ
1	ON		通常動作

6.2 マスタ・クロックの切り替え (MCLK)

マスタ・クロックの設定は、6.2 (1) マスタ・クロックPLL設定を参照してください。

アドレス：01H，レジスタ名：MCLK，ブロック：PLL，アクセス：R/W，初期値：16H

D7	D6	D5	D4	D3	D2	D1	D0
0	MCLK[6:0]						

アドレス：02H，レジスタ名：CLKDIV，ブロック：PLL，アクセス：R/W，初期値：00H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	CLKDIV[2:0]		

(1) マスタ・クロック PLL 設定

表 6-2 マスタ・クロック PLL 設定

入力周波数 [kHz]	MCLK		CLKDIV	マスタ・クロック周波数 [MHz]
	Dec.	HEX	BIN.	
32	24	18H	000b	112
32.768 (デフォルト)	22	16 H	000b	110.592
44.1	8	08H	000b	110.25
4096	24	18H	100b	112
5644.8	8	08H	100b	110.25
8192	24	18H	101b	112
11289.6	8	08H	101b	110.25
16384	24	18H	110b	112
22579.2	8	08H	110b	110.25

6.3 同期クロック (SCLK)

システム・クロックの設定を行います。

アドレス：03H，レジスタ名：SCLK，ブロック：CG，アクセス：R/W，初期値：01b

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	SCLK[1:0]	

6.3.1 SCLK[1:0]

データ	モード	初期値	説明
00b	128 fs	01b	NFSIN の 1/128 をサンプリング周波数に設定します。
01b	256 fs		NFSIN の 1/256 をサンプリング周波数に設定します。
10b	512 fs		NFSIN の 1/512 をサンプリング周波数に設定します。

注意 上記以外のデータは設定しないでください。

6.4 オーディオ・シリアル・インタフェース FS 切り替え, BCLK 切り替え (SEL_FS)

ASIO のサンプリング・レートおよび BCLK の周波数を設定します。

アドレス : 07H, レジスタ名 : SEL_FS, ブロック : ASIO, アクセス : R/W, 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
BFS[4:0]					FS[2:0]		

6.4.1 FS[2:0]

データ	モード	初期値	説明
000b	32 kHz	000b	ASIO のサンプリング・レートを 32 kHz にします。
001b	44.1 kHz		ASIO のサンプリング・レートを 44.1 kHz にします。

注意 上記以外のデータは設定しないでください。

6.4.2 BFS[4:0]

データ	モード	初期値	説明
00H	64 fs	00H	BCLK の周波数を 64 fs へ設定します (マスタ・モードで設定可能)。
01H	62 fs		BCLK の周波数を 62 fs へ設定します。
02H	60 fs		BCLK の周波数を 60 fs へ設定します。
03H	58 fs		BCLK の周波数を 58 fs へ設定します。
04H	56 fs		BCLK の周波数を 56 fs へ設定します。
05H	54 fs		BCLK の周波数を 54 fs へ設定します。
06H	52 fs		BCLK の周波数を 52 fs へ設定します。
07H	50 fs		BCLK の周波数を 50 fs へ設定します。
08H	48 fs		BCLK の周波数を 48 fs へ設定します。
09H	46 fs		BCLK の周波数を 46 fs へ設定します。
0AH	44 fs		BCLK の周波数を 44 fs へ設定します。
0BH	42 fs		BCLK の周波数を 42 fs へ設定します。
0CH	40 fs		BCLK の周波数を 40 fs へ設定します。
0DH	38 fs		BCLK の周波数を 38 fs へ設定します。
0EH	36 fs		BCLK の周波数を 36 fs へ設定します。
0FH	34 fs		BCLK の周波数を 34 fs へ設定します。
10H	32 fs		BCLK の周波数を 32 fs へ設定します (マスタ・モードで設定可能)。
18H	80 fs		BCLK の周波数を 80 fs へ設定します。
1CH	120 fs		BCLK の周波数を 120 fs へ設定します。

6.5 ASIO モード設定 (SEL_ASI)

ASIO の設定をします。

アドレス : 08H, レジスタ名 : SEL_ASI, ブロック : ASIO, アクセス : R/W, 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	EX3DAEN	AULOOPSW	SLR	AMS	ASIM	LRCLK

備考 動作モードとレジスタ設定については、8.3.4 MSIO, ASIO設定を参照してください。

6.5.1 EX3DAEN

データ	モード	初期値	説明
0	OFF	0	通常動作
1	ON		ASI 入力を 3DA サラウンド処理する場合

備考 動作モードとレジスタ設定については、8.3.4 MSIO, ASIO設定を参照してください。

6.5.2 AULOOPSW

データ	モード	初期値	説明
0	通常モード	0	通常動作
1	ループバック		ASIO のループバック・モード (ASI ASO)

備考 動作モードとレジスタ設定については、8.3.4 MSIO, ASIO設定を参照してください。

6.5.3 SLR

データ	モード	初期値	説明
0	SR	0	ASIO データ右詰めフォーマット
1	SL		ASIO データ左詰めフォーマット

6.5.4 AMS

データ	モード	初期値	説明
0	スレーブ	0	ASIO スレーブ・モード
1	マスタ		ASIO マスタ・モード

注意 マスタ・モード動作時は、NFSIN 端子へのオーディオ・シリアル用同期クロック入力が必要です。

備考 動作モードとレジスタ設定については、8.3.4 MSIO, ASIO設定を参照してください。

6.5.5 ASIM

データ	モード	初期値	説明
0	LR	0	ASIO LR モード
1	IIS		ASIO IIS モード

6.5.6 LRCLK

データ	モード	初期値	説明
0	L ch	0	LRCLK がハイ・レベルのとき L チャンネル・データ
1	R ch		LRCLK がハイ・レベルのとき R チャンネル・データ

注意 IIS モード選択時は、SLR = 1, LRCLK = 1 と設定してください。

6.6 デジタル・ミキシング・パス (ASI 入力データ) 選択 (MIXING1)

ASI-ASO ミキシング設定を選択します。

アドレス : 09H, レジスタ名 : MIXING1, ブロック : Selector mixer, アクセス : R/W, 初期値 : F0H

D7	D6	D5	D4	D3	D2	D1	D0
DACLMIX[1:0]		DACRMIX[1:0]		0	0	0	0

6.6.1 DACLMIX[1:0]

データ	モード	初期値	説明
00b	スルー	11b	ASI L ch 入力データを ASO の L ch へ出力
01b	クロス		ASI R ch 入力データを ASO の L ch へ出力 (LR 反転)
10b	モノラル		ASI L/R ch 入力データを MIX して ASO の L ch へ出力 (LR 加算, モノラル化)
11b	ミュート		ASI L ch 入力データから ASO の L ch への出力をミュート

6.6.2 DACRMIX[1:0]

データ	モード	初期値	説明
00b	スルー	11b	ASI R ch 出力データを ASO の R ch へ出力
01b	クロス		ASI L ch 出力データを ASO の R ch へ出力 (LR 反転)
10b	モノラル		ASI L/R ch 出力データを MIX して ASO の R ch へ出力 (LR 加算, モノラル化)
11b	ミュート		ASI R ch 出力データから ASO の R ch への出力をミュート

備考 DACLMIX, DACRMIX は同じ設定で使用してください。

6.7 デジタル・ミキシング・パス (音源出力データ) 選択 (MIXING2)

音源-ASO ミキシング設定を選択します。

アドレス : 0AH, レジスタ名 : MIXING2, ブロック : Selector mixer, アクセス : R/W, 初期値 : F0H

D7	D6	D5	D4	D3	D2	D1	D0
MELLMIX[1:0]		MELRMIX[1:0]		0	0	0	0

6.7.1 MELLMIX[1:0]

データ	モード	初期値	説明
00b	スルー	11b	音源 L ch 出力データを ASO の L ch へ出力
01b	クロス		音源 R ch 出力データを ASO の L ch へ出力 (LR 反転)
10b	モノラル		音源 L/R ch 出力データを MIX して ASO の L ch へ出力 (LR 加算, モノラル化)
11b	ミュート		音源 L ch 出力データから ASO の L ch への出力をミュート

6.7.2 MELRMIX[1:0]

データ	モード	初期値	説明
00b	スルー	11b	音源 R ch 出力データを ASO の R ch へ出力
01b	クロス		音源 L ch 出力データを ASO の R ch へ出力 (LR 反転)
10b	モノラル		音源 L/R ch 出力データを MIX して ASO の R ch へ出力 (LR 加算, モノラル化)
11b	ミュート		音源 R ch 出力データから ASO の R ch への出力をミュート

備考 MELLMIX, MELRMIX は同じ設定で使用してください。

6.8 デジタル・ミキシング・パス (ASI - 音源) 選択 (MIXING3)

ASI データのパス設定および動作モードを設定します。

アドレス : 0BH, レジスタ名 : MIXING3, ブロック : Selector mixer, アクセス : R/W, 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
S3	S2	S1	TH2	TH1	PCMLSW	0	PCMRSW

6.8.1 PCMLSW

データ	モード	初期値	説明
0	ミュート	0	ミュート
1	スルー		ASI からのデータ (Lch) を選択

備考 動作モードとレジスタ設定については、8.3.4 MSIO, ASIO設定を参照してください。

6.8.2 PCMRSW

データ	モード	初期値	説明
0	ミュート	0	ミュート
1	スルー		ASI からのデータ (Rch) を選択

備考 動作モードとレジスタ設定については、8.3.4 MSIO, ASIO設定を参照してください。

6.8.3 S3, S2, S1

データ	モード	初期値	説明
0, 0, 0	ASIO, MSIO 同時動作モード 1	000b	ASIO, MSIO 同時動作時の、各マスタ&スレーブ動作を設定します。 ASIO 側スレーブ, MSIO 側マスタ動作 AMS ビット=0, MMS ビット=1 の設定が必要です。
1, 1, 0	ASIO, MSIO 同時動作モード 2		ASIO, MSIO 同時動作時の、各マスタ&スレーブ動作を設定します。 ASIO 側マスタ, MSIO 側マスタ動作 AMS ビット=1, MMS ビット=1 の設定が必要です。
-, 0, 1	ASIO, MSIO 同時動作モード 3		ASIO, MSIO 同時動作時の、各マスタ&スレーブ動作を設定します。 ASIO 側マスタ, MSIO 側スレーブ動作 AMS ビット=1, MMS ビット=0 の設定が必要です。
-, 0, 0	ASIO, MSIO 同時動作モード 4		ASIO, MSIO 同時動作時の、各マスタ&スレーブ動作を設定します。 ASIO 側スレーブ, MSIO 側スレーブ動作 AMS ビット=0, MMS ビット=0 の設定が必要です。

備考 1. ASIO,MSIO 同時動作では、ASIO 側と MSIO 側の各同期クロック (LRCLK および MEN) は同一フレーム信号である必要があります。

2. 動作モードとレジスタ設定については、8.3.4 MSIO, ASIO設定を参照してください。

6.8.4 TH2, TH1

データ	モード	初期値	説明
0, 0	通常モード	00b	通常モード
0, 1	ASIO-MSIO スルー・モード 1		ASIO と MSIO のデータをスルー・パスします。 ASI 入力 MSO 出力 MSI 入力 ASO 出力 同期クロック, ビット・クロックは ASIO 側がスレーブ, MSIO 側が マスタ (ASIO 側信号をスルーさせる) となります。
1, 1	ASIO-MSIO スルー・モード 2		ASIO と MSIO のデータをスルー・パスします。 ASI 入力 MSO 出力 MSI 入力 ASO 出力 同期クロック, ビット・クロックは MSIO 側がスレーブ, ASIO 側が マスタ (MSIO 側信号をスルーさせる) となります。

備考 動作モードとレジスタ設定については、8.3.4 MSIO, ASIO設定を参照してください。

6.9 VIB, LED 設定 (LEDVIB)

外部 LED, バイブレータ制御出力端子の出力レベルを設定します。

アドレス: 0DH, レジスタ名: LEDVIB, ブロック: VB, LED, アクセス: R/W, 初期値: 00H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	VIB	LED

6.9.1 VIB

データ	モード	初期値	説明
0	OFF	0	VIB 端子からロウ・レベルを出力します。
1	ON		VIB 端子からハイ・レベルを出力します。

6.9.2 LED

データ	モード	初期値	説明
0	OFF	0	LED 端子からロウ・レベルを出力します。
1	ON		LED 端子からハイ・レベルを出力します。

備考 VIB, LED とともに, レジスタの値を出力端子 (LSI の端子) へ出力します。

6. 10 汎用出力端子の設定 (POUT)

汎用外部出力端子 PO0 - PO3 の出力レベルを設定します。

アドレス : 0EH, レジスタ名 : POUT, ブロック : PO, アクセス : R/W, 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	POUT3	POUT2	POUT1	POUT0

6. 10. 1 POUT0-POUT3

データ	モード	初期値	説明
0	LOW	0	該当する PO0 - PO3 端子からロウ・レベルを出力します。
1	HIGH		該当する PO0 - PO3 端子からハイ・レベルを出力します。

備考 STADIG 設定がスタンバイ時, POUT 出力はデータ値を保持します。

6. 11 オーディオ・ソフト・ミュート制御 (SMUTE)

ソフト・ミュート制御を行います。

アドレス : 10H, レジスタ名 : SMUTE, ブロック : Audio, アクセス : R/W, 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	SLOPE[1:0]		AUSMUTE	MELSMUTE

6. 11. 1 SLOPE[1:0]

データ	モード	初期値	説明
00b	8 ms	00b	ソフト・ミュート解除時間を 8 ms に設定 (- 63 dB 0 dB)
01b	16 ms		ソフト・ミュート解除時間を 16 ms に設定 (- 63 dB 0 dB)
10b	24 ms		ソフト・ミュート解除時間を 24 ms に設定 (- 63 dB 0 dB)
11b	32 ms		ソフト・ミュート解除時間を 32 ms に設定 (- 63 dB 0 dB)

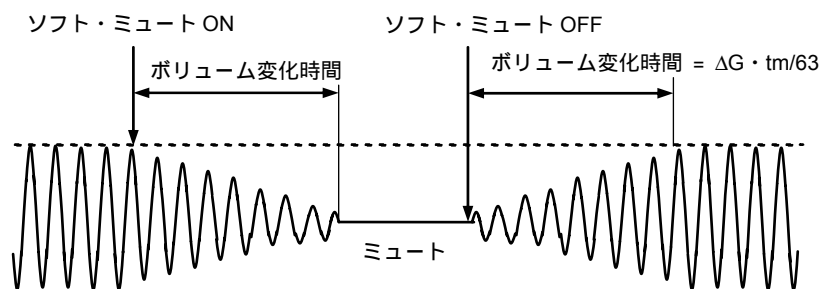
6. 11. 2 AUSMUTE

データ	モード	初期値	説明
0	OFF	0	ASIO 入力データのソフト・ミュート制御なし
1	ON		ASIO 入力データのソフト・ミュート制御あり

6. 11. 3 MELSMUTE

データ	モード	初期値	説明
0	OFF	0	音源出力のソフト・ミュート制御なし
1	ON		音源出力のソフト・ミュート制御あり

図 6-1 ソフト・ミュート動作



備考 ΔG : ゲイン設定差
 tm : ボリューム設定時間

6.12 音源信号用デジタル・ボリューム（音源出力 L ch）設定（MELLDG）

デジタル・ゲイン（音源出力 L ch）を設定します。

アドレス：11H，レジスタ名：MELLDG，ブロック：VOL，アクセス：R/W，初期値：FFH

D7	D6	D5	D4	D3	D2	D1	D0
MELLDG2[1:0]			MELLDG1[5:0]				

6.12.1 MELLDG2[1:0]

データ	モード	初期値	説明
MELLDG2[1:0]		11b	デジタル・ゲイン（音源出力 L ch）設定

6.12.2 MELLDG1[5:0]

データ	モード	初期値	説明
MELLDG1[5:0]		111111b	デジタル・ゲイン（音源出力 L ch）設定

備考 設定値としては、両者の加算ゲインが設定されます（表 6-3 デジタル・ゲイン設定 1，表 6-4 デジタル・ゲイン設定 2を参照）。

6. 13 音源信号用デジタル・ボリューム（音源出力 R ch）設定（MELRDG）

デジタル・ゲイン（音源出力 R ch）を設定します。

アドレス：12H，レジスタ名：MELRDG，ブロック：VOL，アクセス：R/W，初期値：FFH

D7	D6	D5	D4	D3	D2	D1	D0
MELRDG2[1:0]			MELRDG1[5:0]				

6. 13. 1 MELRDG2[1:0]

データ	モード	初期値	説明
MELRDG2[1:0]		11b	デジタル・ゲイン（音源出力 R ch）設定

6. 13. 2 MELRDG1[5:0]

データ	モード	初期値	説明
MELRDG1[5:0]		111111b	デジタル・ゲイン（音源出力 R ch）設定

備考 設定値としては，両者の加算ゲインが設定されます（表 6-3 デジタル・ゲイン設定 1，表 6-4 デジタル・ゲイン設定 2を参照）。

6. 14 ASI 入力信号用デジタル・ボリューム（ASI 入力 L ch）設定（AULDG）

デジタル・ゲイン（ASI 入力 L ch）を設定します。

アドレス：13H，レジスタ名：AULDG，ブロック：VOL，アクセス：R/W，初期値：FFH

D7	D6	D5	D4	D3	D2	D1	D0
AULDG2[1:0]			AULDG1[5:0]				

6. 14. 1 AULDG2[1:0]

データ	モード	初期値	説明
AULDG2[1:0]		11b	デジタル・ゲイン（ASI 入力 L ch）設定

6. 14. 2 AULDG1[5:0]

データ	モード	初期値	説明
AULDG1[5:0]		111111b	デジタル・ゲイン（ASI 入力 L ch）設定

備考 設定値としては，両者の加算ゲインが設定されます（表 6-3 デジタル・ゲイン設定 1，表 6-4 デジタル・ゲイン設定 2を参照）。

6. 15 ASI入力信号用デジタル・ボリューム (ASI入力 R ch) 設定 (AURDG)

デジタル・ゲイン (ASI入力 R ch) を設定します。

アドレス : 14H, レジスタ名 : AURDG, ブロック : VOL, アクセス : R/W, 初期値 : FFH

D7	D6	D5	D4	D3	D2	D1	D0
AURDG2[1:0]			AURDG1[5:0]				

6. 15. 1 AURDG2[1:0]

データ	モード	初期値	説明
AURDG2[1:0]		11b	デジタル・ゲイン (ASI入力 R ch) 設定

6. 15. 2 AURDG1[5:0]

データ	モード	初期値	説明
AURDG1[5:0]		111111b	デジタル・ゲイン (ASI入力 R ch) 設定

備考 設定値としては, 両者の加算ゲインが設定されます (表 6-3 デジタル・ゲイン設定 1, 表 6-4 デジタル・ゲイン設定 2を参照)。

- 例) +10dB 設定時 : (+12 dB) + (-2 dB) 82H
- 0 dB 設定時 : (0 dB) + (0 dB) 00H
- 20 dB 設定時 : (0 dB) + (-20 dB) 14H
- 60 dB 設定時 : (0 dB) + (-60 dB) 3CH

表 6-3 デジタル・ゲイン設定 1

---DG2[1:0]	ゲイン
00b	0 dB
01b	+ 6 dB
10b	+ 12 dB
11b	ミュート (初期値)

表 6-4 デジタル・ゲイン設定 2

---DG1[5:0]	ゲイン設定値
000000b	0 dB
000001b	- 1 dB
000010b	- 2 dB
000011b	- 3 dB
000100b	- 4 dB
000101b	- 5 dB
000110b	- 6 dB
000111b	- 7 dB
001000b	- 8 dB
001001b	- 9 dB
001010b	- 10 dB
001011b	- 11 dB
001100b	- 12 dB
001101b	- 13 dB
001110b	- 14 dB
001111b	- 15 dB
010000b	- 16 dB
010001b	- 17 dB
010010b	- 18 dB
010011b	- 19 dB
010100b	- 20 dB
010101b	- 21 dB
010110b	- 22 dB
010111b	- 23 dB
011000b	- 24 dB
011001b	- 25 dB
011010b	- 26 dB
011011b	- 27 dB
011100b	- 28 dB
011101b	- 29 dB
011110b	- 30 dB
011111b	- 31 dB

---DG1[5:0]	ゲイン設定値
100000b	- 32 dB
100001b	- 33 dB
100010b	- 34 dB
100011b	- 35 dB
100100b	- 36 dB
100101b	- 37 dB
100110b	- 38 dB
100111b	- 39 dB
101000b	- 40 dB
101001b	- 41 dB
101010b	- 42 dB
101011b	- 43 dB
101100b	- 44 dB
101101b	- 45 dB
101110b	- 46 dB
101111b	- 47 dB
110000b	- 48 dB
110001b	- 49 dB
110010b	- 50 dB
110011b	- 51 dB
110100b	- 52 dB
110101b	- 53 dB
110110b	- 54 dB
110111b	- 55 dB
111000b	- 56 dB
111001b	- 57 dB
111010b	- 58 dB
111011b	- 59 dB
111100b	- 60 dB
111101b	- 61 dB
111110b	- 62 dB
111111b	- 63 dB

6. 16 LSI スタンバイ (MSIO) の設定 (STNBY2)

スタンバイ・モードの設定をします。

MENおよびMBCLKの動作は、STMSIとSTMSO両方のビットをスタンバイにしたときのみスタンバイとなります。

詳しくは表 2 - 3 MSIO状態表を参照してください。

アドレス：20H，レジスタ名：STNBY2，ブロック：MSIO，アクセス：R/W，初期値：00H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	STMSI	STMSO

6. 16. 1 STMSO

データ	モード	初期値	説明
0	Stand-by	0	MSO (外部拡張シリアル・インタフェースの出力) のスタンバイ
1	ON		通常動作

6. 16. 2 STMSI

データ	モード	初期値	説明
0	Stand-by	0	MSI (外部拡張シリアル・インタフェースの出力) のスタンバイ
1	ON		通常動作

6. 17 MSIO モード設定 (SEL_MSIO1)

MSIO モードの設定をします。

アドレス : 21H, レジスタ名 : SEL_MSIO1, ブロック : MSIO, アクセス : R/W, 初期値 : 10H

D7	D6	D5	D4	D3	D2	D1	D0
MBFS[3:0]				MLOOPSW	MMS	SMEN	SMBCLK

備考 動作モードとレジスタ設定については、8. 3. 4 MSIO, ASIO設定を参照してください。

6. 17. 1 SMBCLK

データ	モード	初期値	説明
0	正転	0	ビット・クロック MBCLK を正転に設定します。
1	反転		ビット・クロック MBCLK を反転に設定します。

6. 17. 2 SMEN

データ	モード	初期値	説明
0	フレーム同期 モード	0	MEN をフレーム同期モードに設定
1	ステレオ・モード		MEN を LR ステレオ・モードに設定

備考 LR ステレオ・モードのとき、MEN 信号のハイ・レベル周期に R ch データ、ロウ・レベル周期に L ch データを格納します。

6. 17. 3 MMS

データ	モード	初期値	説明
0	スレーブ	0	MSIO スレーブ・モード
1	マスタ		MSIO マスタ・モード

備考 動作モードとレジスタ設定については、8. 3. 4 MSIO, ASIO設定を参照してください。

6. 17. 4 MLOOPSW

データ	モード	初期値	説明
0	通常モード	0	通常動作
1	ループバック		MSIO のループバック・モード (MSI MSO)

6. 17. 5 MBFS[3:0]

データ	モード	初期値	説明
00H	32 fs	01H	MBCLKの周波数を32 fsへ設定します(マスタ・モードで設定可能)。
01H	64 fs		MBCLKの周波数を64 fsへ設定します(マスタ・モードで設定可能)。
02H	96 fs		MBCLKの周波数を96 fsへ設定します。
03H	128 fs		MBCLKの周波数を128 fsへ設定します(マスタ・モードで設定可能)。
04H	160 fs		MBCLKの周波数を160 fsへ設定します。
05H	192 fs		MBCLKの周波数を192 fsへ設定します。
06H	224 fs		MBCLKの周波数を224 fsへ設定します。
07H	256 fs		MBCLKの周波数を256 fsへ設定します(マスタ・モードで設定可能)。
08H	288 fs		MBCLKの周波数を288 fsへ設定します。
09H	320 fs		MBCLKの周波数を320 fsへ設定します。
0AH	352 fs		MBCLKの周波数を352 fsへ設定します。
0BH	384 fs		MBCLKの周波数を384 fsへ設定します。
0CH	416 fs		MBCLKの周波数を416 fsへ設定します。
0DH	448 fs		MBCLKの周波数を448 fsへ設定します。
0EH	480 fs		MBCLKの周波数を480 fsへ設定します。
0FH	512 fs		MBCLKの周波数を512 fsへ設定します(マスタ・モードで設定可能)。

備考 1. MSIOをフレーム同期モードとした場合のみ使用します。

2. 有効チャネル設定(MCHI[3:0], MCHO[4:0])と適合した設定としてください。

6. 18 MSIO 有効チャンネル設定 (SEL_MSIO2, SEL_MSIO3)

MSI, MSO の有効チャンネル数を設定します。

アドレス : 22H, レジスタ名 : SEL_MSIO2, ブロック : MSIO, アクセス : R/W, 初期値 : 33H

D7	D6	D5	D4	D3	D2	D1	D0
MCHI[3:0]				MCHO[3:0]			

アドレス : 23H, レジスタ名 : SEL_MSIO3, ブロック : MSIO, アクセス : R/W, 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	MCHO4

6. 18. 1 MCHI[3:0]

データ	モード	初期値	説明
00H	1 ch	03H	MSI 入力データ用フレーム有効チャンネルを 1 ch に設定します。
01H	2 ch		MSI 入力データ用フレーム有効チャンネルを 2 ch に設定します。
02H	3 ch		MSI 入力データ用フレーム有効チャンネルを 3 ch に設定します。
03H	4 ch		MSI 入力データ用フレーム有効チャンネルを 4 ch に設定します。
04H	5 ch		MSI 入力データ用フレーム有効チャンネルを 5 ch に設定します。
05H	6 ch		MSI 入力データ用フレーム有効チャンネルを 6 ch に設定します。
06H	7 ch		MSI 入力データ用フレーム有効チャンネルを 7 ch に設定します。
07H	8 ch		MSI 入力データ用フレーム有効チャンネルを 8 ch に設定します。
08H	9 ch		MSI 入力データ用フレーム有効チャンネルを 9 ch に設定します。
09H	10 ch		MSI 入力データ用フレーム有効チャンネルを 10 ch に設定します。
0AH	11 ch		MSI 入力データ用フレーム有効チャンネルを 11 ch に設定します。
0BH	12 ch		MSI 入力データ用フレーム有効チャンネルを 12 ch に設定します。
0CH	13 ch		MSI 入力データ用フレーム有効チャンネルを 13 ch に設定します。
0DH	14 ch		MSI 入力データ用フレーム有効チャンネルを 14 ch に設定します。
0EH	15 ch		MSI 入力データ用フレーム有効チャンネルを 15 ch に設定します。
0FH	16 ch		MSI 入力データ用フレーム有効チャンネルを 16 ch に設定します。

- 備考 1. マルチチャンネルはフレーム同期モードのみで使用できます。
2. ビット・クロック数設定 MBFS[3:0]と適合した設定としてください。

6. 18. 2 MCHO[4:0]

データ	モード	初期値	説明
00H	1 ch	03H	MSO 出力データ用フレーム有効チャンネルを 1 ch に設定します。
01H	2 ch		MSO 出力データ用フレーム有効チャンネルを 2 ch に設定します。
02H	3 ch		MSO 出力データ用フレーム有効チャンネルを 3 ch に設定します。
03H	4 ch		MSO 出力データ用フレーム有効チャンネルを 4 ch に設定します。
04H	5 ch		MSO 出力データ用フレーム有効チャンネルを 5 ch に設定します。
05H	6 ch		MSO 出力データ用フレーム有効チャンネルを 6 ch に設定します。
06H	7 ch		MSO 出力データ用フレーム有効チャンネルを 7 ch に設定します。
07H	8 ch		MSO 出力データ用フレーム有効チャンネルを 8 ch に設定します。
08H	9 ch		MSO 出力データ用フレーム有効チャンネルを 9 ch に設定します。
09H	10 ch		MSO 出力データ用フレーム有効チャンネルを 10 ch に設定します。
0AH	11 ch		MSO 出力データ用フレーム有効チャンネルを 11 ch に設定します。
0BH	12 ch		MSO 出力データ用フレーム有効チャンネルを 12 ch に設定します。
0CH	13 ch		MSO 出力データ用フレーム有効チャンネルを 13 ch に設定します。
0DH	14 ch		MSO 出力データ用フレーム有効チャンネルを 14 ch に設定します。
0EH	15 ch		MSO 出力データ用フレーム有効チャンネルを 15 ch に設定します。
0FH	16 ch		MSO 出力データ用フレーム有効チャンネルを 16 ch に設定します。
10H	17 ch		MSO 出力データ用フレーム有効チャンネルを 17 ch に設定します。
11H	18 ch		MSO 出力データ用フレーム有効チャンネルを 18 ch に設定します。
12H	19 ch		MSO 出力データ用フレーム有効チャンネルを 19 ch に設定します。
13H	20 ch		MSO 出力データ用フレーム有効チャンネルを 20 ch に設定します。
14H	21 ch		MSO 出力データ用フレーム有効チャンネルを 21 ch に設定します。
15H	22 ch		MSO 出力データ用フレーム有効チャンネルを 22 ch に設定します。
16H	23 ch		MSO 出力データ用フレーム有効チャンネルを 23 ch に設定します。
17H	24 ch		MSO 出力データ用フレーム有効チャンネルを 24 ch に設定します。
18H	25 ch		MSO 出力データ用フレーム有効チャンネルを 25 ch に設定します。
19H	26 ch		MSO 出力データ用フレーム有効チャンネルを 26 ch に設定します。
1AH	27 ch		MSO 出力データ用フレーム有効チャンネルを 27 ch に設定します。
1BH	28 ch		MSO 出力データ用フレーム有効チャンネルを 28 ch に設定します。
1CH	29 ch		MSO 出力データ用フレーム有効チャンネルを 29 ch に設定します。
1DH	30 ch		MSO 出力データ用フレーム有効チャンネルを 30 ch に設定します。
1EH	31 ch		MSO 出力データ用フレーム有効チャンネルを 31 ch に設定します。
1FH	32 ch		MSO 出力データ用フレーム有効チャンネルを 32 ch に設定します。

- 備考 1. マルチチャンネルはフレーム同期モードのみで使用できます。
2. ビットクロック数設定 MBFS[3:0]と適合した設定としてください。

6.19 LSI バージョン (LSIVER)

LSI のバージョンを表示します。

本レジスタは読み出し専用です。書き込むことはできません。

例 バージョン 1.0 の場合 VER[3:0] = 0000b

アドレス : 3FH, レジスタ名 : LSIVER, ブロック : テスト, アクセス : R, 初期値 : LSI のバージョンによる。

D7	D6	D5	D4	D3	D2	D1	D0
1	1	0	0	VER[3:0]			

6.19.1 VER[3:0]

データ	モード	初期値	説明
VER[3:0]			LSI のバージョン読み出し

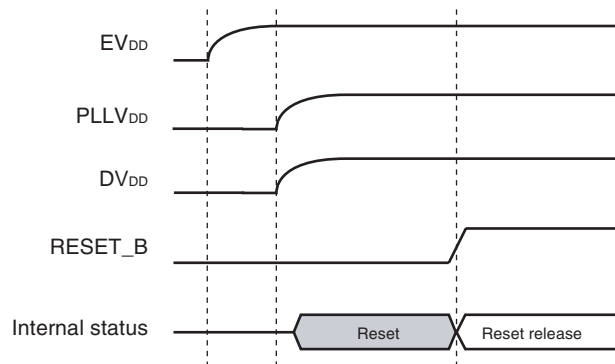
7. 電源立ち上げ手順

本 LSI は、内部デジタル回路用電源 DV_{DD} 、PLL 用電源 $PLL_{V_{DD}}$ 、IO 回路内のレベル・シフト部へ給電する EV_{DD} の 3 系統の内部用電源を持っています。

7.1 電源立ち上げ順序

- (1) RESET_B 端子をロウ・レベルにした状態で最初に EV_{DD} (1.85 V) を、続けて DV_{DD} (1.2 V)、 $PLL_{V_{DD}}$ (1.2 V) を投入してください。また、RESET_B 端子をハイ・レベルにした状態で各電源を投入することは、CPU のバス・ラインに貫通電流が流れることがありますので、避けてください。
- (2) 電源が所定の電圧になるまで待ちます。
- (3) ハードウェア・リセットを解除 (RESET_B 端子をロウ・レベル から ハイ・レベル) してください。

図 7-1 電源立ち上げ手順

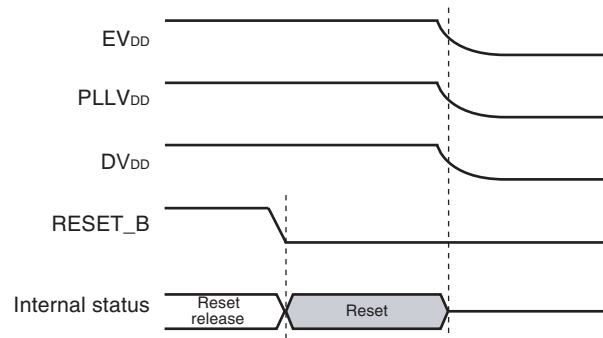


注意 RESET_B 端子がロウ・レベルの状態では EV_{DD} (1.85 V)、 DV_{DD} (1.2 V) および $PLL_{V_{DD}}$ (1.2 V) を投入し、電圧が安定したあと必要なリセット時間を確保してから、RESET_B 端子をハイ・レベルにしてください。

7.2 電源立ち下げ順序

- (1) ハードウェア・リセットに設定 (RESET_B 端子をハイ・レベル ロウ・レベル) してください。
- (2) RESET_B 端子をロウ・レベルにした状態で DV_{DD} (1.2 V), PLLV_{DD} (1.2 V), EV_{DD} (1.85 V) を立ち下げてください。各電源を同時に立ち下げることが推奨されます。
- (3) 電源立ち下げ後の RESET_B 端子状態は規定しません。

図 7-2 電源立ち下げ手順



7.3 パワー・セービング機能

本 LSI はパワー・セービング機能として、コア電源立ち下げによるコア部リーク電流の除去が可能なハードウェア・パワー・セービング機能を持ちます。この場合、レジスタやメモリに書き込んだ内容はすべて消去されますので注意してください（パワー・セービング解除後に再度書き込んでください）。

7.3.1 ハードウェア・パワー・セービング

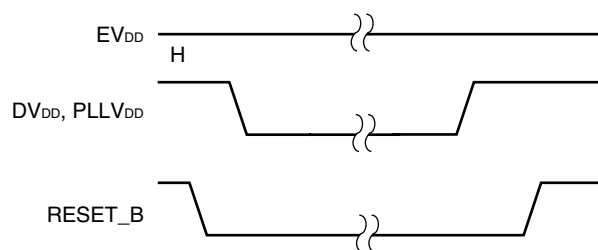
ハードウェア・パワー・セービングは次の手順で行ってください。

- (1) RESET_B 端子をロウ・レベルにした状態で DV_{DD}, PLLV_{DD} を立ち下げてください。
- (2) EV_{DD} は CPU バス・ライン保護のために常に電源を供給してください。
- (3) RESET_B 端子はハードウェア・パワー・セービング中ロウ・レベル固定としてください。

ハードウェア・パワー・セービングの解除は次の手順で行ってください。

- (1) RESET_B 端子をロウ・レベルにした状態で DV_{DD}, PLLV_{DD} を立ち上げてください。
- (2) RESET_B 端子をハイ・レベルにしてください。

図 7-3 ハードウェア・パワー・セービング



注意 RESET_B 端子がハイ・レベルの状態では、電源の立ち上げ / 立ち下げを行わないでください。

7.3.2 ソフトウェア・スタンバイ

本 LSI はソフトウェア・スタンバイ機能として、STNBY レジスタ (00H), STNBY2 レジスタ (20H) を制御することで、各ブロックをスタンバイ状態に設定することができます。電源はすべて供給され、RESET_B 端子もハイ・レベル状態なので制御レジスタ値は保持されます。

注意 ハードウェア・パワー・セービングまたはソフトウェア・スタンバイを行い、PLL を初期化しパワーダウンさせた場合 (STPLL = ロウ・レベル) は、再度立ち上げの際には 5 mS 以上のウェイト時間が必要です。

8. 設定シーケンス

8.1 パワーアップ・シーケンス

手 順	項 目	対象レジスタ, 端子など
1	ハードウェア・リセットの解除	RESET_B 端子: L H
2	PLL の設定 (入力周波数)	MCLK, CLKDIV
3	ASIO サンプリング周波数の設定	FS, BFS
4	MSIO モード設定	MBFS, MMS, SMEN, SMBCLK, MCHI, MCHO
5	PLL スタンバイの解除	STPLL
6	機能ブロック・スタンバイの解除	STSYNTH, STADIG...
7	内部クロックが有効	STPLL のスタンバイ解除 5 ms 後

8.2 各種動作モード切り替えの基本シーケンス

手 順	項 目	対象レジスタ, 端子など
1	デジタル・ボリューム・ミュート設定	MELLDG, MELRDG, AULDG, AURDG
2	スタンバイ状態設定	STPLL, STSYNTH,...
3	サンプリング周波数設定	FS, BFS
4	パスの設定 (3DA)	EX3DAEN, PCMLSW, PCMRSW
5	パスの設定 (デジタル・ミキシング)	DACLMIX, DACRMIX, MELLMIX, MELRMIX
6	ASIO モード設定	ASIM, LRCLK, SLR
7	MSIO モード設定	MBFS, SMEN, SMBCLK, MCHI, MCHO
8	3DA / サラウンド機能設定	
9	PLL スタンバイの解除	STPLL
10	機能ブロック・スタンバイの解除	STSYNTH, STADIG...
11	内部クロックが有効	STPLL のスタンバイ解除 5 ms 後
12	デジタル・ボリューム・ミュート解除	MELLDG, MELRDG, AULDG, AURDG

注意 1. スレーブ・モードでは LRCLK / BCLK のクロック入力が必要です。

2. デジタル・ボリューム(ソフト・ミュート)による段階的なボリューム降下後のミュート設定, およびミュート解除後の段階的なボリューム上昇は, 切り替え時に生じるデジタル・データの 1 フレーム誤動作による音の変化を聴感させないためのシーケンスです。本機能を有効にするには AUSMUTE = 1, および MELSMUTE = 1 を設定する必要があります。
3. ソフト・ミュートを使用しない場合は, 段階的なボリューム降下 / 上昇を, 外部 DAC のアナログ・ボリュームで代用してください。
4. STADIG 信号はデジタル・フィルタなど演算系のリセットと併用しており, モード変更時にリセットをかけるために必要となります。

8.2.1 ミュート設定

手 順	項 目	対象レジスタ, 端子など
1	デジタル・ボリューム・ミュート設定	MELLDG, MELRDG, AULDG, AURDG

8.2.2 スタンバイ設定/解除

手 順	項 目	対象レジスタ, 端子など
1	デジタル・ボリューム・ミュート設定	MELLDG, MELRDG, AULDG, AURDG
2	スタンバイ状態設定	STPLL, STSYNTH,...
3	PLL スタンバイの解除	STPLL
4	機能ブロック・スタンバイの解除	STSYNTH, STADIG...
5	内部クロックが有効	STPLL のスタンバイ解除 5 ms 後
6	デジタル・ボリューム・ミュート解除	MELLDG, MELRDG, AULDG, AURDG

8.2.3 FS 切り替え

手 順	項 目	対象レジスタ, 端子など
1	デジタル・ボリューム・ミュート設定	MELLDG, MELRDG, AULDG, AURDG
2	スタンバイ状態設定	STPLL, STSYNTH,...
3	サンプリング周波数設定	FS, BFS
4	MSIO モード設定	MBFS, SMEN, SMBCLK, MCHI, MCHO
5	PLL スタンバイの解除	STPLL
6	機能ブロック・スタンバイの解除	STSYNTH, STADIG...
7	内部クロックが有効	STPLL のスタンバイ解除 5 ms 後
8	デジタル・ボリューム・ミュート解除	MELLDG, MELRDG, AULDG, AURDG

8.2.4 パス切り替え

手 順	項 目	対象レジスタ, 端子など
1	デジタル・ボリューム・ミュート設定	MELLDG, MELRDG, AULDG, AURDG
2	スタンバイ状態設定	STPLL, STSYNTH...
3	パスの設定 (デジタル・ミキシング)	DACLMIX, DACRMIX, MELLMIX, MELRMIX
4	PLL スタンバイの解除	STPLL
5	機能ブロック・スタンバイの解除	STSYNTH, STADIG...
6	内部クロックが有効	STPLL のスタンバイ解除 5 ms 後
7	デジタル・ボリューム・ミュート解除	MELLDG, MELRDG, AULDG, AURDG

8.2.5 3DA / サラウンド切り替え

手 順	項 目	対象レジスタ, 端子など
1	デジタル・ボリューム・ミュート設定	MELLDG, MELRDG, AULDG, AURDG
2	スタンバイ状態設定	STPLL, STSYNTH,...
3	3DA / サラウンド機能設定	
4	パスの設定 (3DA)	EX3DAEN, PCMLSW, PCMRSW
5	パスの設定 (デジタル・ミキシング)	DACL MIX, DACRMIX, MELL MIX, MELRMIX
6	PLL スタンバイの解除	STPLL
7	機能ブロック・スタンバイの解除	STSYNTH, STADIG...
8	内部クロックが有効	STPLL のスタンバイ解除 5 ms 後
9	デジタル・ボリューム・ミュート解除	MELLDG, MELRDG, AULDG, AURDG

8.2.6 ASIO モード設定

手 順	項 目	対象レジスタ, 端子など
1	デジタル・ボリューム・ミュート設定	MELLDG, MELRDG, AULDG, AURDG
2	スタンバイ状態設定	STPLL, STSYNTH,...
3	ASIO モード設定	ASIM, LRCLK, SLR
4	PLL スタンバイの解除	STPLL
5	機能ブロック・スタンバイの解除	STSYNTH, STADIG...
6	内部クロックが有効	STPLL のスタンバイ解除 5 ms 後
7	デジタル・ボリューム・ミュート解除 (ソフト・ミュート)	MELLDG, MELRDG, AULDG, AURDG

8.3 設定シーケンス例

次の設定シーケンスを例としてあげます。入力クロックはすべて MCLK = 32.768 kHz のときの設定です。

8.3.1 音源 - ASO出力

8.3.2 ASI - ASO出力

8.3.3 ASI - 3Dサラウンド - ASO出力

8.3.1 音源 - ASO 出力

(1) パワーオン

手 順	項 目	対象レジスタ, 端子など
1	ハードウェア・リセットの解除	RESET_B 端子: L H
2	PLL の設定 (入力周波数)	MCLK = 16H
3	サンプリング周波数の設定	FS : 32 KHz, BFS : 64 fs
4	ASIO モード設定	ASIM, LRCLK, SLR
5	ソフト・ミュート設定	MELSMUTE = 0
6	パスの設定 (デジタル・ミキシング)	DACLMIX : ミュート, DACRMIX : ミュート, MELLMIX : スルー, MELRMIX : スルー, EX3DAEN = 0
7	PLL スタンバイの解除	STPLL = 1
8	機能ブロック・スタンバイの解除	STSYNTH = STADIG = STASI = STASO = 1
9	内部クロックが有効	STPLL のスタンバイ解除 5 ms 後

(2) 音源設定

(3) ミュート解除

手 順	項 目	対象レジスタ, 端子など
1	デジタル・ボリューム・ミュート解除	MELLDG, MELRDG

(4) 音源へデータ転送

8.3.2 ASI - ASO 出力

(1) パワーオン

手 順	項 目	対象レジスタ, 端子など
1	ハードウェア・リセットの解除	RESET_B 端子: L H
2	PLL の設定 (入力周波数)	MCLK = 16H
3	サンプリング周波数の設定	FS : 32 kHz, BFS : 64 fs
4	ASIO モード設定	ASIM, LRCLK, SLR
5	ソフト・ミュート設定	AUSMUTE = 0
6	パスの設定 (デジタル・ミキシング)	DACLMIX : スルー, DACRMIX : スルー
7	PLL スタンバイの解除	STPLL = 1
8	機能ブロック・スタンバイの解除	STSYNTH = STADIG = STASI = STASO = 1
9	内部クロックが有効	STPLL のスタンバイ解除 5 ms 後

(2) 音楽データ送信

(3) ミュート解除

手 順	項 目	対象レジスタ, 端子など
1	デジタル・ボリューム・ミュート解除	AULDG, AURDG

8.3.3 ASI - 3D サラウンド - ASO 出力

(1) パワーオン

手 順	項 目	対象レジスタ, 端子など
1	ハードウェア・リセットの解除	RESET_B 端子: L H
2	PLL の設定 (入力周波数)	MCLK = 16H
3	サンプリング周波数の設定	FS : 32 kHz または 44.1 kHz, BFS : 64 fs
4	ASIO モード設定	MS, ASIM, LRCLK, SLR
5	ソフト・ミュート設定	AUSMUTE = MELSMUTE = 0
6	3D サラウンド機能設定	
7	パスの設定 (イコライザ)	EX3DAEN = 1, PCMLSW = PCMRSW = 1
8	パスの設定 (デジタル・ミキシング)	DACLMIX : ミュート, DACRMIX : ミュート MELLMIX : スルー, MELRMIX : スルー
9	PLL スタンバイの解除	STPLL = 1
10	機能ブロック・スタンバイの解除	STSYNTH = STADIG = STASI = STASO = 1
11	内部クロックが有効	STPLL のスタンバイ解除 5 ms 後

(2) 音楽データ送信

(3) ミュート解除

手 順	項 目	対象レジスタ, 端子など
1	デジタル・ボリューム・ミュート解除	MELLDG, MELRDG

8.3.4 MSIO, ASIO 設定

MSIO, ASIO を使用する場合, 各パスの設定, マスタ動作とスレーブ動作の組み合わせについての例は表 8-1のとおりです。

表 8-1 設定一覧

例	動作概要	レジスタ設定										ASIO 動作	MSIO 動作	NFSIN 入力	備 考
		S3	S2	S1	AMS	MMS	PCML(R)/SW	EX3DAEN	AULOOPSW	TH2	TH1				
1	ASIO スレーブ動作	-	0	0	0	-	0	0	0	0	0	スレーブ	未動作	不要	-
2	ASIO マスタ動作	-	1	0	1	-	0	0	0	0	0	マスタ	未動作	必要	NFSIN を基準にして BCLK, LRCLK フレーム信号を生成します。
3	ASIO-MSIO スルー・モード1	-	-	-	0	1	0	0	0	0	1	スレーブ	マスタ	不要	BCLK, LRCLK 入力を MBCLK, MEN にスルー出力します。
4	ASIO-MSIO スルー・モード2	-	-	-	1	0	0	0	0	1	1	マスタ	スレーブ	不要	MBCLK, MEN 入力を BCLK, LRCLK にスルー出力します。
5	ASIO スルー・モード1	-	-	-	0	-	0	0	1	0	0	スレーブ	未動作	不要	ASI ASO ループバック
6	ASIO スルー・モード2	-	-	-	1	-	0	0	1	0	0	マスタ	未動作	必要	ASI ASO ループバック
7	ASIO, MSIO 同時使用 1	0	0	0	0	1	0	0	0	0	0	スレーブ	マスタ	不要	ASIO, MSIO, 内部コアの各ブロックは LRCLK フレーム信号に同期して動作します。MEN は LRCLK のフレーム信号に同期し生成されます。
8	ASIO, MSIO 同時使用 2	1	1	0	1	1	0	0	0	0	0	マスタ	マスタ	必要	ASIO, MSIO, 内部コアの各ブロックは NFSIN 信号からフレーム信号を生成し,同期して動作します。
9	ASIO, MSIO 同時使用 3	-	0	1	1	0	0	0	0	0	0	マスタ	スレーブ	必要	MSIO, 内部コアの各ブロックは MEN フレーム信号に同期して動作します。ASIO ブロックは NFSIN 信号からフレーム信号を生成し,同期して動作します。
10	ASIO, MSIO 同時使用 4	-	0	0	0	0	0	0	0	0	0	スレーブ	スレーブ	不要	ASIO, 内部コアの各ブロックは LRCLK フレーム信号に同期して動作します。MSIO ブロックは MEN フレーム信号に同期して動作します。
11	サラウンド・モード1	-	0	0	0	-	1	1	0	0	0	スレーブ	未動作	不要	-
12	サラウンド・モード2	-	1	0	1	-	1	1	0	0	0	マスタ	未動作	必要	-

備考 ASIO, MSIO 同時動作で使用する場合, ASIO 側と MSIO 側の各同期クロック (LRCLK および MEN) は同一フレーム信号である必要があります。

9. 電気的特性

9.1 絶対最大定格

項目	略号	条件	定格	単位
電源電圧	DV _{DD}	デジタル用	-0.3 ~ +1.6	V
	EV _{DD}	デジタル I/O 端子用	-0.3 ~ +2.5	V
	PLL _{VDD}	PLL 用	-0.3 ~ +1.6	V
入力電圧	V _I	V _I /V _O < EV _{DD} + 0.3 V	-0.3 ~ +2.5	V
出力電圧	V _O		-0.3 ~ +2.5	V
保存温度	T _{stg}		-50 ~ +125	

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

9.2 推奨動作条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作電圧	DV _{DD}		1.1	1.2	1.3	V
	EV _{DD}		1.7	1.85	2.0	V
	PLL _{VDD}		1.1	1.2	1.3	V
入力電圧	V _I			EV _{DD}		
動作周囲温度	T _A		-20		+85	

9.3 容量

(T_A = +25°C , DV_{DD} = 0 V , EV_{DD} = 0 V)

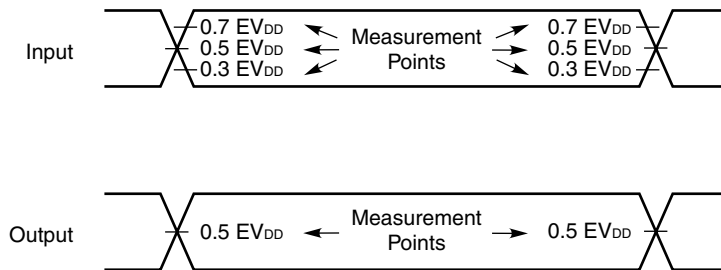
項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _i	f = 1 MHz, 測定端子以外は 0 V		10		pF
出力容量	C _o			10		pF
入出力容量	C _{io}			10		pF

9.4 DC 特性

($T_A = -20 \sim +85^\circ\text{C}$, EV_{DD} の範囲は推奨動作条件による)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IHN}		$0.7 EV_{DD}$		EV_{DD}	V
ロウ・レベル入力電圧	V_{ILN}		0		$0.3 EV_{DD}$	V
ハイ・レベル出力電圧	V_{OH}	$I_{OH} = -1 \text{ mA}$ (LED, VIB は -1.5 mA)	$0.7 EV_{DD}$			V
ロウ・レベル出力電圧	V_{OL}	$I_{OL} = +1 \text{ mA}$ (LED, VIB は $+1.5 \text{ mA}$)			$0.3 EV_{DD}$	V
ハイ・レベル入力リーク電流	I_{LHN}	$V_i = EV_{DD}$	0		10	μA
ロウ・レベル入力リーク電流	I_{LLN}	$V_i = 0 \text{ V}$	-10		0	μA
ハイ・インピーダンス・リーク電流	I_{ZI}	$0 \text{ V} \quad V_i \quad EV_{DD}$	-10		+10	μA

スイッチング特性の共通測定基準



9.5 AC 特性

(特に指定のないかぎり, $T_A = -20 \sim +85$, DV_{DD} , PLL_{VDD} , EV_{DD} の範囲は推奨動作条件による)

9.5.1 クロック

タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
MCLK 入力周波数	f _{CLKIN}		32	32.768	44.1 × 512	kHz
NFSIN 入力周波数	f _{NFSIN}		32 × 128		44.1 × 512	kHz
MCLK, NFSIN 周波数偏差	f _{ERROR}		- 1000		+ 1000	ppm
MCLK, NFSIN ジッタ	f _{JITTER}	サイクル to サイクル・ジッタ	- 30		+ 30	ns
MCLK, NFSIN 立ち上がり / 立ち下がり時間	t _{rfMC}				20	ns
PLL ロックアップ時間	t _{LPLL}				5.0	ms

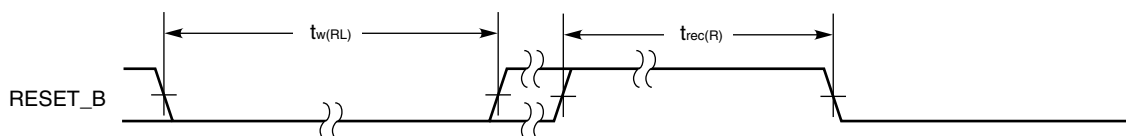
注意 MCLK に入力可能な周波数は 32kHz, 32.768kHz, 44.1kHz と, 32kHz および 44.1kHz の 128 倍, 256 倍, 512 倍のみです。また NFSIN に入力可能な周波数は, 32kHz および 44.1kHz の 128 倍, 256 倍, 512 倍のみです。

9.5.2 リセット

タイミング必要条件 (EV_{DD} = 1.85 V 時)

項目	略号	条件	MIN.	TYP.	MAX.	単位
RESET_B ロウ・レベル幅	t _{w(RL)}		225			ns
RESET_B リカバリ時間	t _{rec(R)}		225			ns

リセット・タイミング



9.5.3 パラレル CPU I/F モード

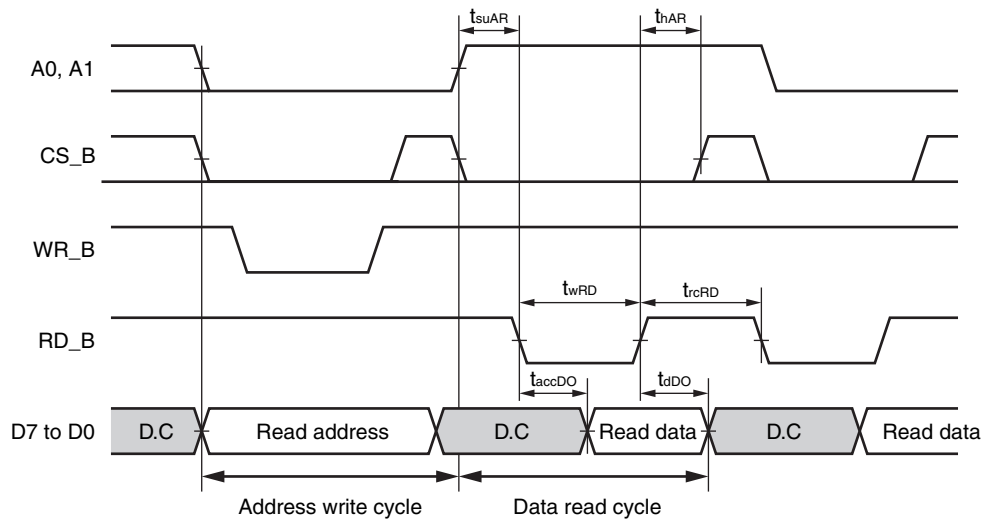
タイミング必要条件 (EV_{DD} = 1.85 V 時)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
RD_B 幅	t _{wRD}		100			ns
WR_B 幅	t _{wWR}		100			ns
RD_B リカバリ・タイム	t _{rcRD}		80			ns
WR_B リカバリ・タイム	t _{rcWR}		80			ns
Data セットアップ時間	t _{suDI}	WR_B↑	50			ns
Data ホールド時間	t _{hDI}	WR_B↑	0			ns
A, CS_B セットアップ時間	t _{suAW}	WR_B↓	0			ns
A, CS_B ホールド時間	t _{hAW}	WR_B↑	0			ns
A, CS_B セットアップ時間	t _{suAR}	RD_B↓	0			ns
A, CS_B ホールド時間	t _{hAR}	RD_B↑	0			ns

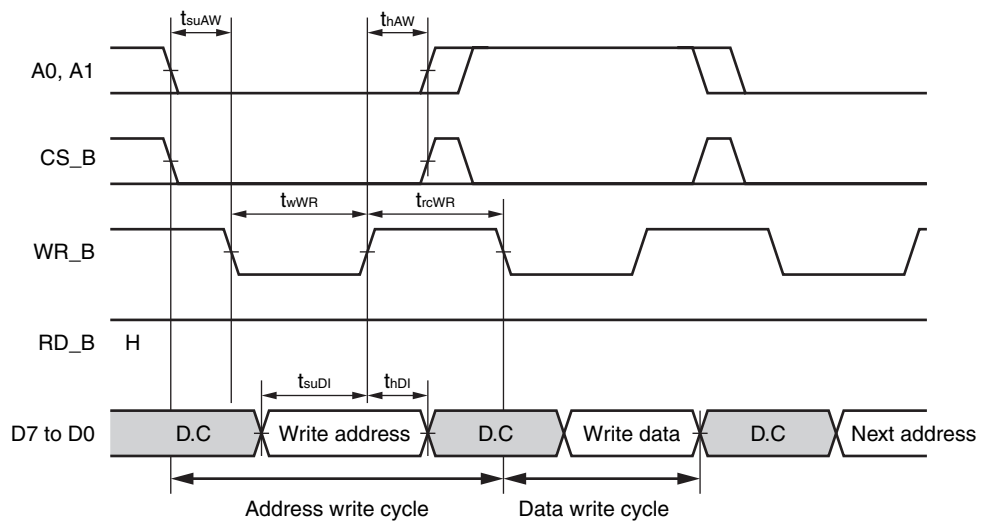
スイッチング特性 (EV_{DD} = 1.85 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
Data アクセス時間	t _{accDO}	RD_B↓, I _{sink} = 1 mA			100	ns
Data ホールド時間	t _{hdDO}	RD_B↑, I _{sink} = 1 mA	0		30	ns

パラレル・インタフェース・リード・タイミング



パラレル・インタフェース・ライト・タイミング



9.5.4 オーディオ・シリアル・インタフェース (ASIO)

タイミング必要条件 (EV_{DD} = 1.85 V 時)

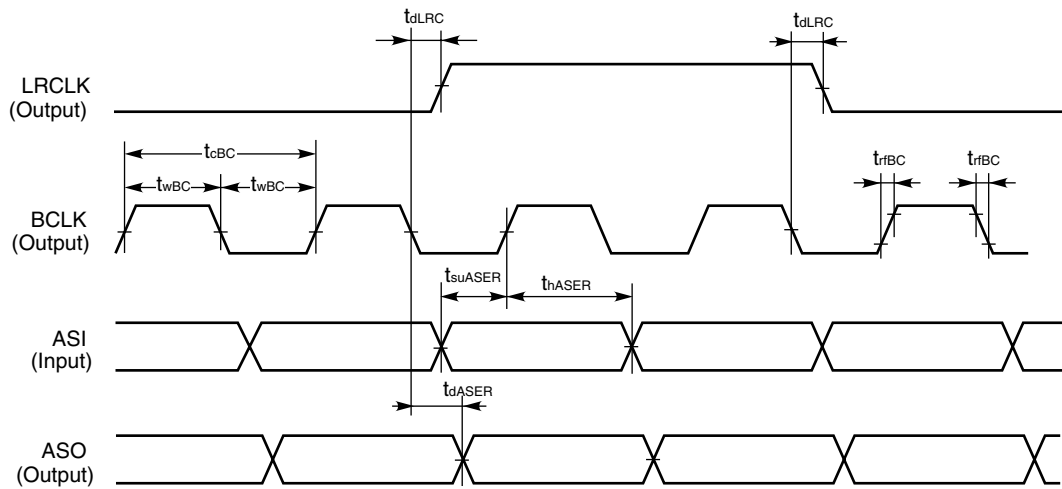
項目	略号	条件	MIN.	TYP.	MAX.	単位
ASI セットアップ時間	t _{suASER}	BCLK↑	50			ns
ASI 入力ホールド時間	t _{hASER}	BCLK↑	50			ns

スイッチング特性 (EV_{DD} = 1.85 V 時)

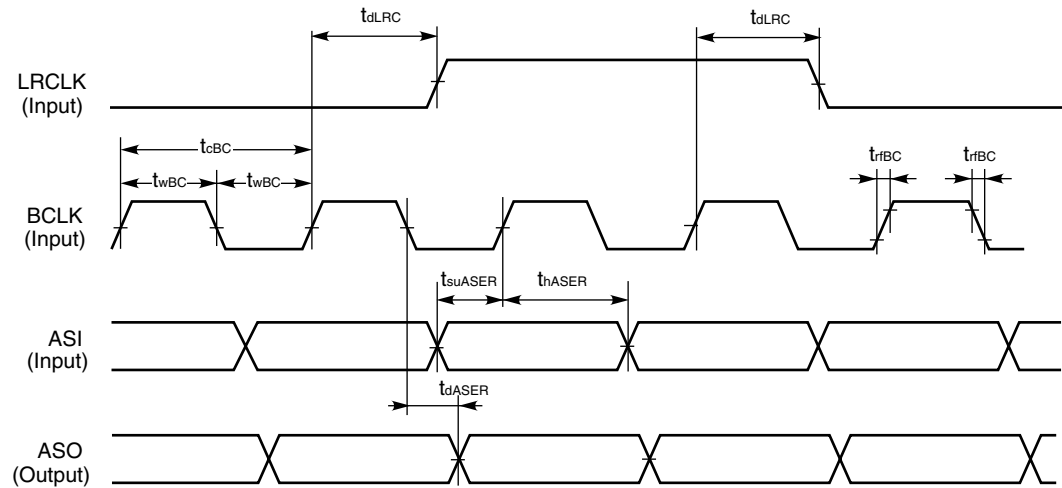
項目	略号	条件	MIN.	TYP.	MAX.	単位
LRCLK サイクル・タイム	t _{CLR}	注		1/fs		ns
BCLK サイクル・タイム	t _{cBC}	64 ビット/フレーム時 ^注		1/(64 fs)		ns
BCLK ハイ/ロウ・レベル幅	t _{wBC}			t _{cBC} /2		ns
BCLK 立ち上がり / 立ち下がり時間	t _{rfBC}	スレーブ・モード時			20	ns
LRCLK 出力遅延時間	t _{dLRC}	BCLK↓ (マスタ・モード時)			50	ns
		BCLK↑ (スレーブ・モード時)	50			ns
ASO 出力遅延時間	t _{dASER}	BCLK↓	-37.5		80	ns

注 1 フレームの構成は、SEL_FS レジスタ (07H) の BFS [4:0] ビットで設定されます。

オーディオ・シリアル・インタフェース入出力タイミング (マスタ・モード)



オーディオ・シリアル・インタフェース入出力タイミング (スレーブ・モード)



9.5.5 外部拡張シリアル・インタフェース (MSIO)

タイミング必要条件 (EV_{DD} = 1.85 V 時)

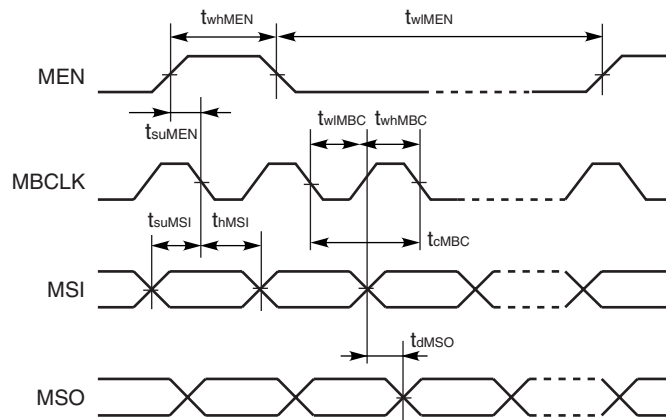
項目	略号	条件	MIN.	TYP.	MAX.	単位
MSI セットアップ時間	t _{suMSI}	MBCLK↑	50			ns
MSI ホールド時間	t _{hMSI}	MBCLK↑	50			ns

スイッチング特性 (EV_{DD} = 1.85 V 時)

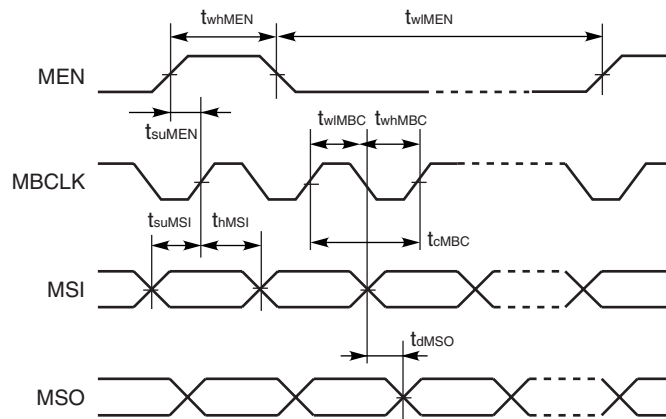
項目	略号	条件	MIN.	TYP.	MAX.	単位
MEN サイクル・タイム	t _{cMEN}			1/fs		ns
MEN ハイ・レベル幅	t _{whMEN}		1			clk
MEN ロウ・レベル幅	t _{wlMEN}		1			clk
MBCLK サイクル・タイム	t _{cMBC}	x = 32 ~ 512		1/(x*fs)		ns
MBCLK ハイ・レベル幅	t _{whMBC}			t _{cMBC} /2		ns
MBCLK ロウ・レベル幅	t _{wlMBC}			t _{cMBC} /2		ns
MBCLK 立ち上がり / 立ち下がり時間	t _{trMBC}	スレーブ・モード時			20	ns
MEN セットアップ時間	t _{suMEN1}	MBCLK↓ (MBCLK 正転モード)	50			ns
	t _{suMEN2}	MBCLK↑ (MBCLK 反転モード)	50			ns
MSO 出力遅延時間	t _{dMSO1}	MBCLK↑ (MBCLK 正転モード)	- 37.5		+50	ns
	t _{dMSO2}	MBCLK↓ (MBCLK 反転モード)	- 37.5		+50	ns

外部拡張シリアル・インタフェース入出力タイミング

クロック正転 (SMBCLK = 0) モード



クロック反転 (SMBCLK = 1) モード



10. 消費電流特性

特に指定のない限り、次の条件を満たすものとします。

音源マスタ・クロック = 110.592 MHz

周囲温度 $T_A = 25$

電源電圧 $DV_{DD} = 1.2\text{ V}$, $EV_{DD} = 1.85\text{ V}$, $PLLVD_{DD} = 1.2\text{ V}$

サンプリング周波数 $f_s = 32\text{ kHz}$

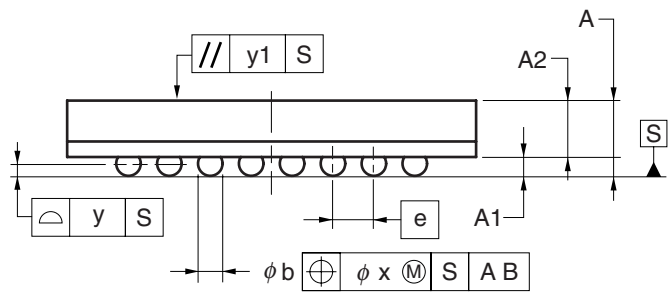
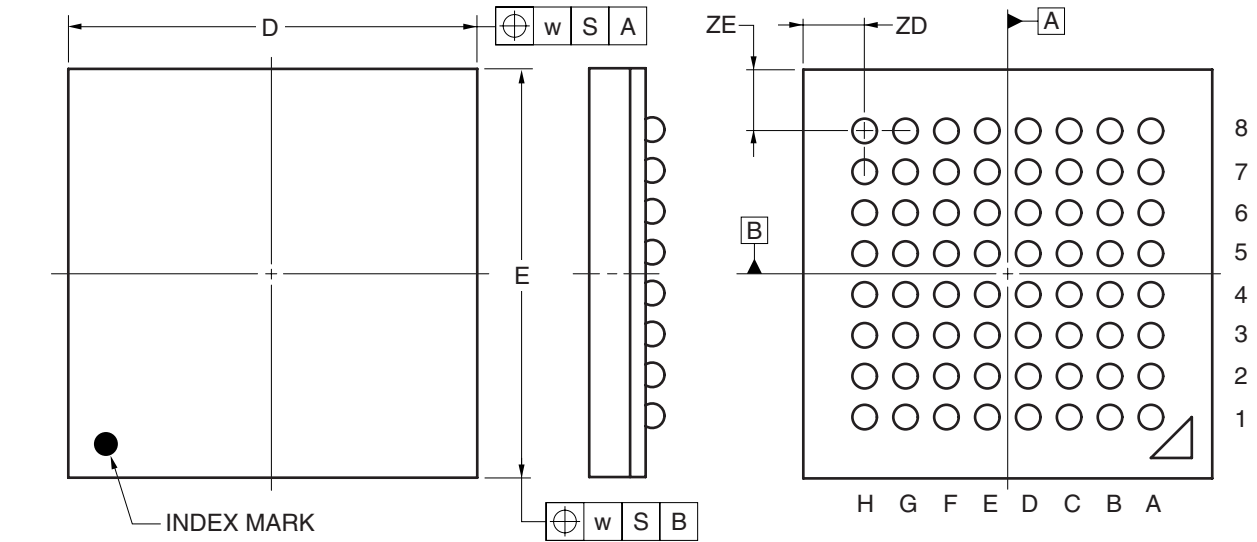
EV_{DD} 端子電流値は無負荷時のものです。実動作時の値は、クロック・レート、負荷容量、負荷抵抗などの外部環境によって変化します。

項目	略号	条件	電源端子	MIN.	TYP.	MAX.	単位
音源 - ASO 出力時消費電流	I_{DD2}	MIDI 再生, 3DA オン, EQ オン, ASO データ出力	DV_{DD}			60	mA
			$PLLVD_{DD}$			2	mA
			EV_{DD}			3	mA
ASI - ASO 出力時消費電流	I_{DD4}	オーディオ・ループバック, 音源オフ, 3DA オフ, EQ オフ, ASO データ出力	DV_{DD}			500	μA
			$PLLVD_{DD}$			100	μA
			EV_{DD}			100	μA
ソフトウェア・スタンバイ電流	I_{STB1}	全信号停止時	DV_{DD}			500	μA
			$PLLVD_{DD}$			100	μA
			EV_{DD}			100	μA
ハードウェア・スタンバイ電流	I_{STBH}	リセット時 (RESET_B = Low) EV_{DD} 電流	EV_{DD}			100	μA

11. 外形図

- μ PD9972F1-AN1-A

64-PIN PLASTIC FBGA (5x5)



(UNIT:mm)

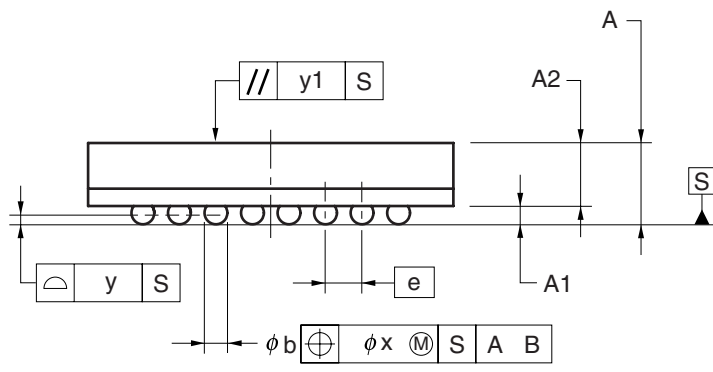
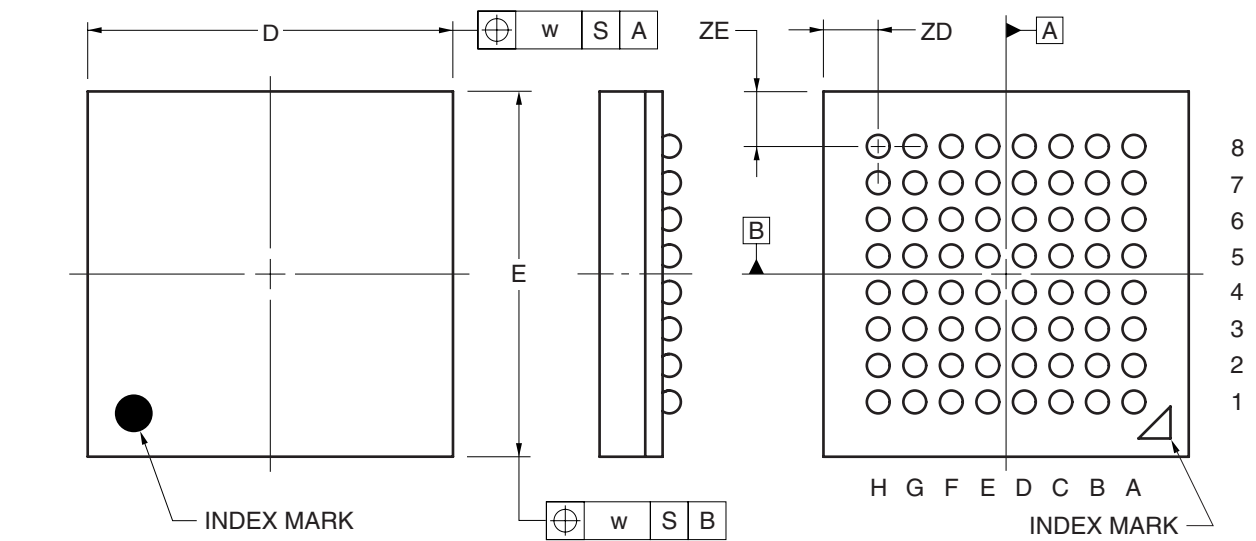
ITEM	DIMENSIONS
D	5.00±0.10
E	5.00±0.10
w	0.20
A	0.90±0.10
A1	0.21±0.05
A2	0.69
e	0.50
b	0.32±0.05
x	0.05
y	0.08
y1	0.20
ZD	0.75
ZE	0.75

P64F1-50-AN1

© NEC Electronics Corporation 2006

- μ PD9972F1-AA2-A

64-PIN PLASTIC FBGA (4x4)



(UNIT:mm)

ITEM	DIMENSIONS
D	4.00±0.10
E	4.00±0.10
w	0.15
A	0.89±0.10
A1	0.20±0.05
A2	0.69
e	0.40
b	0.25±0.05
x	0.05
y	0.08
y1	0.20
ZD	0.60
ZE	0.60

P64F1-40-AA2

© NEC Electronics Corporation 2008

[メ モ]

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

JAVA は、米国 Sun Microsystems, Inc の米国およびその他の国における商標または登録商標です。

MIDI は、社団法人音楽電子事業協会の登録商標です。

- 本資料に記載されている内容は2009年3月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っていません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

(1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

(2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

【発行】

M8E0710J

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753
電話(代表)：(044)435-5111

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。

—— お問い合わせ先 ——

【営業関係、デバイスの技術関係お問い合わせ先】

半導体ホットライン
(電話：午前 9:00～12:00、午後 1:00～5:00)

電話：(044)435-9494
E-mail：info@necel.com