

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



## 3D ポジショニング・サラウンド機能内蔵携帯電話着信メロディ音源 LSI

$\mu$ PD9971 は、3D ポジショニング・サラウンド機能を内蔵した携帯電話の着信メロディ音源 LSI です。

## 特 徴

最大 128 音同時発音可能な PCM 音源コアを搭載し、リアルな音色を再現します。

128GM 音色 + 47 ドラム・セット + 効果音 32 音色，32 kHz サンプルング Wavetable 搭載。

1 音色あたり 2 Wave を使用し、より豊かな音色を実現可能。

GM 音色以外の音色ダウンロードおよびパラメータのダウンロードが可能で、固定音色に限定されない音づくりが可能。

4 ポートの MIDI<sup>®</sup>ポートを搭載しているため、同時に 4 曲を再生することが可能。

カラオケ，JAVA<sup>®</sup>アプリケーションを想定した MIDI のリアルタイム制御用ポートを搭載。

スピーカのイコライジング用として、デジタル・パラメトリック・イコライザを内蔵。

低音量の出力に対しても常に最大音量レベルでの再生を可能にする AGC (Auto Gain Control) 機能を内蔵。

各種音響エフェクト (ピッチベンド，ビブラート，ディレイ，リバーブ，コーラス，ドブブラ，コンプレッサ) を実現可能。

MOBILE-XMF に対応

リアルタイム処理の 3D ポジショニング・サラウンド用音響コアを内蔵しています。

デジタル信号処理により、音源が立体的に移動しているような音響効果を得ることが可能。

デジタル信号処理により、広がりのある立体音響効果を得ることが可能。

プログラマブルな立体音響パラメータを搭載し、携帯電話の筐体，スピーカ配置などに最適な設定が可能。

ヘッドフォン使用時も立体音響効果を得ることが可能。

オーディオ用高性能ステレオ 16 ビット DA コンバータを内蔵しています。

オーディオ DAC サンプルング周波数 (fs) は 8 kHz/16 kHz/32 kHz/44.1 kHz/48kHz の 5 種類に対応。

オーディオ・シリアル入出力インタフェース (16 ビット) を装備しています。

シリアル・データの入力周波数は 32fs ~ 64fs まで可変可能 (スレープ・モード時)。

フォーマットは右詰め，左詰め，IIS に対応。

オーディオ用ステレオ・ライン出力を装備しています。

3D-Audio 等を想定した，外部接続用シリアル入出力インタフェースを装備しています。

CPU インタフェースとして 8 ビット・パラレル・インタフェースとシリアル・インタフェースを装備しています。

パイブレーション，LED の制御出力機能を内蔵しています。

内部マスタ・クロック生成用 PLL を内蔵しているため，さまざまな入力クロックに対応可能です。

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

デジタル電源 (DV<sub>DD</sub>) 用レギュレータを内蔵しています。

電源電圧

I/O 電源 (EV<sub>DD</sub>) : 1.7 ~ 3.3 V

PLL 用電源 (PLL<sub>VDD</sub>) : 2.7 ~ 3.3 V

アナログ電源 (AV<sub>DD</sub>) : 2.7 ~ 3.3 V

レギュレータ電源 (REG<sub>VDD</sub>) : 2.7 ~ 3.3 V

デジタル電源 (DV<sub>DD</sub>) : 内蔵レギュレータから供給 (外部電圧印可も可能)

動作周囲温度 : - 20 ~ + 85°C

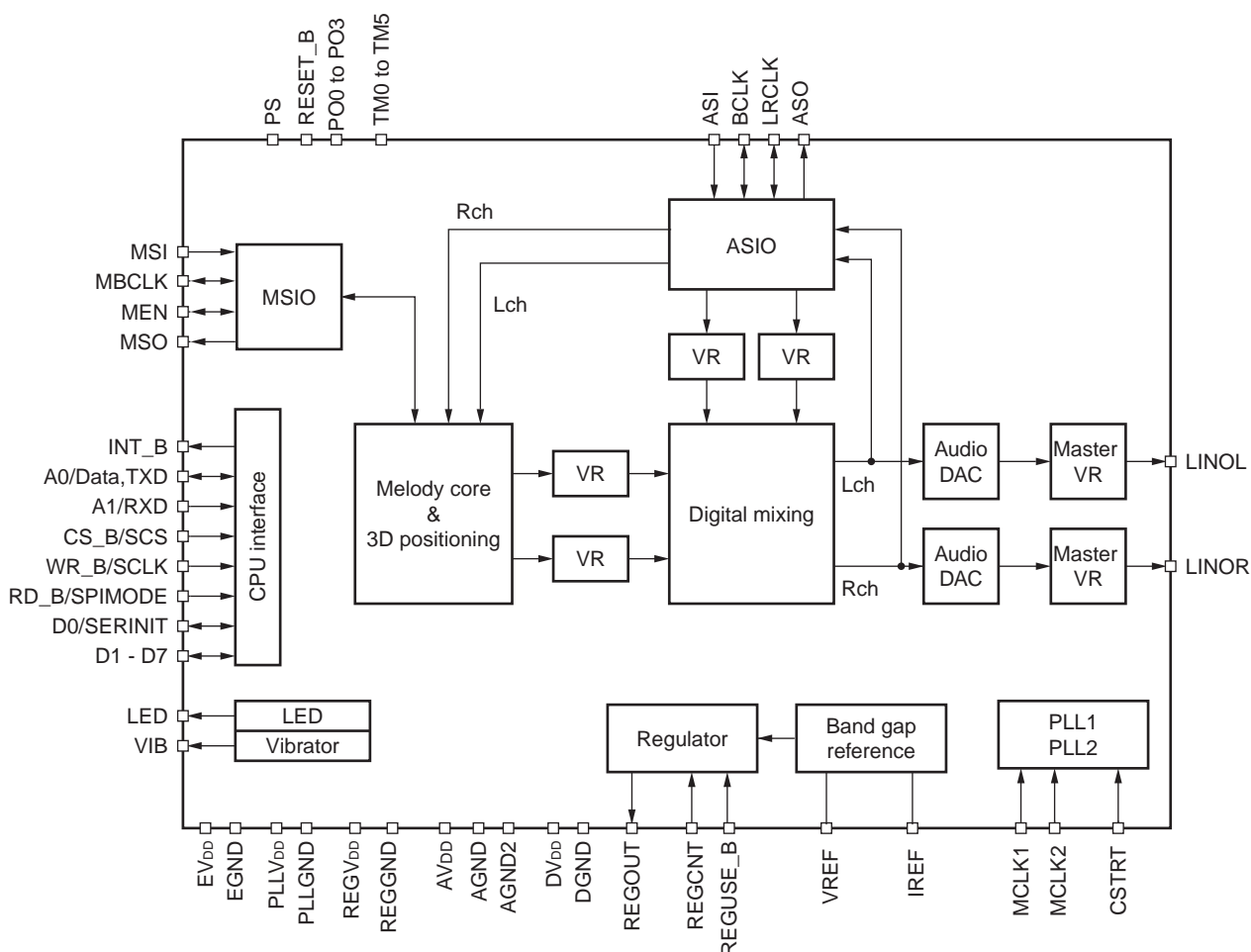
85 ピン・テーブ FBGA パッケージ (6 mm × 6 mm, 0.5 mm ボール・ピッチ)

### オーダ情報

オーダ名称	パッケージ
μ PD9971F9-BA3-A	85 ピン・テーブ FBGA (6 × 6 mm)

備考 鉛フリー製品です。

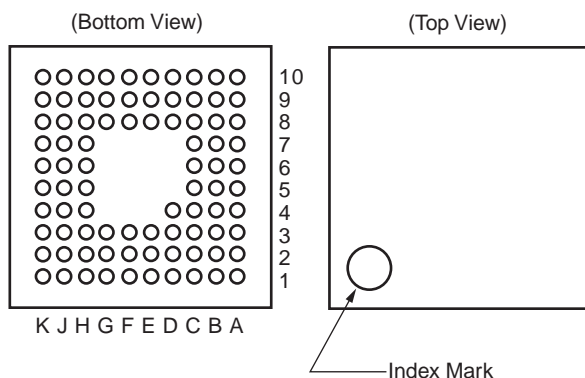
### ブロック図



端子接続図

・ 85 ピン・テーブ FPBGA ( 6 × 6 mm )

μ PD9971F9-BA3-A



端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
1A	1K とショート	3C	MSO	6B	PS	9B	N.C
1B	N.C	3D	N.C	6C	TM5	9C	EV <sub>DD</sub>
1C	LINOL	3E	N.C	6H	PO1	9D	VIB
1D	AGND	3F	MCLK2	6J	CS_B/SCS	9E	RESET_B
1E	AV <sub>DD</sub>	3G	REGGND	6K	A0/Data, TXD	9F	D7
1F	LINOR	3H	REGV <sub>DD</sub>	7A	ASI	9G	D5
1G	AGND2	3J	REGOUT	7B	ASO	9H	D3
1H	PLLGND	3K	REGCNT	7C	DV <sub>DD</sub>	9J	N.C
1J	REGV <sub>DD</sub>	4A	MSI	7H	DV <sub>DD</sub>	9K	N.C
1K	1A とショート	4B	TM4	7J	RD_B/SPIMODE	10A	10K とショート
2A	N.C	4C	DV <sub>DD</sub>	7K	WR_B/SCLK	10B	N.C
2B	N.C	4D	N.C (index)	8A	LRCLK	10C	LED
2C	TM0	4H	REGUSE_B	8B	BCLK	10D	DV <sub>DD</sub>
2D	IREF	4J	PO3	8C	CSTRT	10E	INT_B
2E	VREF	4K	PO2	8D	N.C	10F	D6
2F	TM1	5A	MEN	8E	N.C	10G	D4
2G	PLLV <sub>DD</sub>	5B	MBCLK	8F	DV <sub>DD</sub>	10H	D2
2H	MCLK1	5C	DGND	8G	EGND	10J	N.C
2J	N.C	5H	PO0	8H	EV <sub>DD</sub>	10K	10A とショート
2K	REGOUT	5J	A1/RXD	8J	D1		
3A	TM3	5K	DGND	8K	D0/SERINIT		
3B	TM2	6A	EGND	9A	N.C		

## 端子名称

A0, A1:	Address	MSO:	Data Output for Melody Core
AGND:	Ground for Analog Block	N.C.:	No Connection
AGND2:	Ground for Analog Block	N.C. ( index ) :	No Connection
ASI:	Audio Serial Data Input	PLLGND:	Ground for PLL
ASO:	Audio Serial Data Output	PLL <sub>DD</sub> :	Power Supply for PLL
AV <sub>DD</sub> :	Power Supply for Analog Block	PO0-PO3:	Peripheral Output
BCLK:	Bit Clock Input/Output	PS:	Parallel/Serial Interface Select
CS_B:	Chip Select	RD_B:	Read
CSTRT:	Clock Select Signal Input from External	REGCNT:	Regulator Control
D0-D7:	Data Bus	REGGND:	Ground for Regulator
Data:	Data	REGOUT:	Regulator Output
DGND:	Ground for Digital Block	REGUSE_B:	Regulator Block Enable Signal Input
DV <sub>DD</sub> :	Power Supply for Digital Block	REGV <sub>DD</sub> :	Power Supply for Regulator
EGND:	Ground for I/O Pins	RESET_B:	Reset
EV <sub>DD</sub> :	Power Supply for I/O Pins	RXD:	Serial Data Input
INT_B:	Interruption	SCLK:	Clock for Serial I/F
IREF:	Current Reference for Analog Block	SCS:	Chip Select Input for Serial I/F
LED:	LED Control Output	SERINIT:	Initialization Signal for Serial I/F
LINOL:	Line Out ( L ch )	SPIMODE:	SPI Mode Select
LINOR:	Line Out ( R ch )	TM0-TM2:	Test Mode Input
LRCLK:	Left Right Clock Input/Output	TM3, TM4:	Test Mode I/O
MBCLK:	Bit Clock for Melody Core	TM5:	Test Mode Input
MCLK1:	Clock Input	VIB:	Vibration Control Output
MCLK2:	Clock Input	VREF:	Voltage Reference for Analog Block
MEN:	Frame Clock for Melody Core	WR_B:	Write
MSI:	Data Input for Melody Core		

**備考** N.C.は将来製品との互換性のために備えています。オープンで使用してください。

## 目次

1. 機能	...	10
1.1 機能概要説明	...	10
1.2 回路概略説明	...	10
2. 端子	...	11
2.1 端子構成	...	11
2.2 推奨外付け回路	...	12
2.3 端子機能説明	...	13
2.4 未使用端子の処理	...	18
2.5 端子状態	...	19
3. CPU インタフェース	...	22
3.1 パラレル・ホスト CPU インタフェース	...	22
3.1.1 ライト・アクセス	...	22
3.1.2 リード・アクセス	...	23
3.2 シリアル・ホスト・インタフェース	...	24
3.2.1 端子機能	...	24
3.2.2 シリアル・フォーマット	...	25
3.2.3 アクセス・フォーマット (3線 SPI モード)	...	26
3.2.4 アクセス・フォーマット (4線 SPI モード)	...	28
3.2.5 シリアル・インタフェースの初期化について	...	30
4. 音楽シリアル・インタフェース	...	31
4.1 オーディオ・シリアル・インタフェース (ASIO)	...	31
4.2 音源コア外部接続専用シリアル・インタフェース (MSIO)	...	33
5. ブロック機能	...	34
5.1 基準電圧/電流源部	...	35
5.2 レギュレータ部	...	36
5.3 PLL 部	...	37
5.4 音源コア (音源/3D ポジショニング/イコライザ) インタフェース部	...	38
5.5 オーディオ・シリアル・インタフェース部 (ASIO)	...	39
5.6 オーディオ再生デジタル・ゲイン調整ブロック	...	41
5.7 オーディオ再生アナログ・ブロック	...	42
5.8 デジタル・ミキシング部	...	43
5.9 音源コア外部接続専用シリアル・インタフェース (MSIO)	...	45
5.9.1 MSIO 使用時の注意事項	...	46
6. レジスタ (音源以外のレジスタ)	...	47
6.1 スタンバイ設定 (STNBY)	...	48
6.1.1 STADIG	...	48

- 6.1.2 STPLL2 ... 48
- 6.1.3 STPLL1 ... 48
- 6.1.4 STASI ... 48
- 6.1.5 STASO ... 48
- 6.1.6 STSYNTH ... 49
- 6.1.7 STADAC ... 49
- 6.1.8 STREF ... 49
- 6.2 マスタ・クロックの切り替え (MCLK1A, MCLK1B, MCLK2A, MCLK2B) ... 49**
  - 6.2.1 MCLK1A[6:0] ... 50
  - 6.2.2 MCLK1B[7:0] ... 50
  - 6.2.3 MCLK2A[4:0] ... 50
  - 6.2.4 MCLK2B[7:0] ... 50
- 6.3 入力クロック選択 (MCLKSEL) ... 50**
  - 6.3.1 MCLKSEL ... 50
  - 6.3.2 CSTRTEN ... 50
- 6.4 オーディオ・シリアル・インタフェース FS 切り替え, BCLK 切り替え (SEL\_FS) ... 52**
  - 6.4.1 FS[2:0] ... 52
  - 6.4.2 BFS[4:0] ... 52
- 6.5 ASIO モード設定 (SEL\_ASI) ... 53**
  - 6.5.1 EX3DAEN ... 53
  - 6.5.2 AULOOPSW ... 53
  - 6.5.3 SLR ... 53
  - 6.5.4 AMS ... 53
  - 6.5.5 ASIM ... 53
  - 6.5.6 LRCLK ... 53
- 6.6 デジタル・ミキシング・パス (ASI 入力データ) 選択 (MIXING1) ... 54**
  - 6.6.1 DACLMIX[1:0] ... 54
  - 6.6.2 DACRMIX[1:0] ... 54
  - 6.6.3 DACLSW[1:0] ... 54
  - 6.6.4 DACRSW[1:0] ... 54
- 6.7 デジタル・ミキシング・パス (音源出力データ) 選択 (MIXING2) ... 55**
  - 6.7.1 MELLMIX[1:0] ... 55
  - 6.7.2 MELRMIX[1:0] ... 55
  - 6.7.3 MELLSW[1:0] ... 55
  - 6.7.4 MELRSW[1:0] ... 55
- 6.8 デジタル・ミキシング・パス (ASI - 音源) 選択 (MIXING3) ... 56**
  - 6.8.1 PCMLSW ... 56
  - 6.8.2 PCMRSW ... 56
- 6.9 VIB, LED 設定 (LEDVIB) ... 56**
  - 6.9.1 VIB ... 56
  - 6.9.2 LED ... 56
- 6.10 汎用出力端子の設定 (POUT) ... 57**
  - 6.10.1 POUT0-POUT3 ... 57



<b>6.11</b>	<b>オーディオ・ソフト・ミュート制御 (SMUTE)</b>	... 57
6.11.1	SLOPE[1:0]	... 57
6.11.2	AUSMUTE	... 57
6.11.3	MELSMUTE	... 57
<b>6.12</b>	<b>オーディオ DAC 用デジタル・ボリューム (音源出力 L ch) 設定 (MELLDG)</b>	... 58
6.12.1	MELLDG2[1:0]	... 58
6.12.2	MELLDG1[5:0]	... 58
<b>6.13</b>	<b>オーディオ DAC 用デジタル・ボリューム (音源出力 R ch) 設定 (MELRDG)</b>	... 59
6.13.1	MELRDG2[1:0]	... 59
6.13.2	MELRDG1[5:0]	... 59
<b>6.14</b>	<b>オーディオ DAC 用デジタル・ボリューム (ASI 入力 L ch) 設定 (AULDG)</b>	... 59
6.14.1	AULDG2[1:0]	... 59
6.14.2	AULDG1[5:0]	... 59
<b>6.15</b>	<b>オーディオ DAC 用デジタル・ボリューム (ASI 入力 R ch) 設定 (AURDG)</b>	... 60
6.15.1	AURDG2[1:0]	... 60
6.15.2	AURDG1[5:0]	... 60
<b>6.16</b>	<b>オーディオ DAC 用アナログ・マスタ・ボリューム (L ch) 設定 (ADACLVR)</b>	... 62
6.16.1	ADACLVRGA[4:0]	... 62
<b>6.17</b>	<b>オーディオ DAC 用アナログ・マスタ・ボリューム (R ch) 設定 (ADACRVR)</b>	... 62
6.17.1	ADACRVRGA[4:0]	... 62
<b>6.18</b>	<b>LSI スタンバイ (MSIO) の設定 (STNBY2)</b>	... 63
6.18.1	STMSO	... 63
6.18.2	STMSI	... 63
<b>6.19</b>	<b>MSIO モード設定 (SEL_MSIO1)</b>	... 64
6.19.1	SMBCLK	... 64
6.19.2	SMEN	... 64
6.19.3	MMS	... 64
6.19.4	MLOOPSW	... 64
6.19.5	MBFS[2:0]	... 65
<b>6.20</b>	<b>オーディオ・シリアル・インタフェース FS 切り替え, BCLK 切り替え (SEL_FS)</b>	... 66
6.20.1	MCHI[3:0]	... 66
6.20.2	MCHO[3:0]	... 66
<b>6.21</b>	<b>LSI バージョン設定 (LSIVER)</b>	... 67
6.21.1	VER[3:0]	... 67
<b>6.22</b>	<b>シリアル・インタフェース・モード時バンク設定 (BANK)</b>	... 67
6.22.1	BANK[1:0]	... 67
<b>7.</b>	<b>電源立ち上げ手順</b>	... 68
7.1	<b>電源立ち上げ順序</b>	... 68
7.1.1	レギュレータ未使用時	... 68
7.1.2	レギュレータ使用時	... 69
7.2	<b>電源立ち下げ順序</b>	... 70
7.2.1	レギュレータ未使用時	... 70

7.2.2	レギュレータ使用時	...	71
<b>7.3</b>	<b>パワー・セービング機能</b>	...	<b>72</b>
7.3.1	ハードウェア・パワー・セービング	...	72
7.3.2	ソフトウェア・パワー・セービング	...	72
<b>8.</b>	<b>設定シーケンス</b>	...	<b>73</b>
8.1	パワーアップ・シーケンス	...	73
8.2	各種動作モード切り替えの基本シーケンス	...	74
8.2.1	ミュート設定	...	75
8.2.2	スタンバイ設定/解除	...	75
8.2.3	FS 切り替え	...	75
8.2.4	パス切り替え	...	76
8.2.5	3DA/サラウンド切り替え	...	76
8.2.6	ASIO モード設定	...	77
8.3	設定シーケンス例	...	78
8.3.1	音源 - DAC - ライン出力 (クロック : MCLK2 = 12 MHz)	...	79
8.3.2	音源 - ASO 出力 (クロック : MCLK2 = 12 MHz, マスタ・モード時)	...	80
8.3.3	音源 - ASO 出力 (クロック : MCLK2 = 12 MHz, スレーブ・モード時)	...	81
8.3.4	ASI - DAC - ライン出力 (クロック : MCLK2 = 12 MHz)	...	82
8.3.5	ASI - ASO 出力 (クロック : MCLK2 = 12 MHz)	...	83
8.3.6	ASI - サラウンド - DAC - ライン出力 (クロック : MCLK2 = 12 MHz, fs = 32 kHz)	...	84
8.3.7	ASI - サラウンド - DAC - ライン出力 (クロック : MCLK2 = 12 MHz, fs = 44.1 kHz)	...	85
8.3.8	ASI - サラウンド - ASO 出力 (クロック : MCLK2 = 12 MHz, fs = 32 kHz)	...	86
8.3.9	ASI - サラウンド - ASO 出力 (クロック : MCLK2 = 12 MHz, fs = 44.1 kHz)	...	87
<b>9.</b>	<b>電気的特性</b>	...	<b>88</b>
9.1	絶対最大定格	...	88
9.2	推奨動作条件	...	88
9.3	容量	...	88
9.4	DC 特性	...	89
9.5	AC 特性	...	90
9.5.1	クロック	...	90
9.5.2	リセット	...	90
9.5.3	パラレル CPU I/F モード	...	91
9.5.4	シリアル CPU インタフェース・モード (3 線 SPI モード, 4 線 SPI モード共通)	...	93
9.5.5	オーディオ・シリアル・インタフェース (ASIO)	...	96
9.5.6	音源コア外部接続専用シリアル・インタフェース (MSIO)	...	98
9.6	アナログ特性	...	100
9.6.1	アナログ・ブロック特性 (参考値)	...	101

- 10. 消費電流特性 ... 102
- 11. 外形図 ... 103
- 12. 半田付け推奨条件 ... 104

1. 機能

1.1 機能概要説明

(1) 電源電圧

- デジタル IO 電源 : 1.7 V ~ 3.3 V ( 1.8 V TYP )
- アナログ電源 : 2.7 V ~ 3.3 V ( 3.0 V TYP )
- PLL 電源 : 2.7 V ~ 3.3 V ( 3.0 V TYP )
- レギュレータ電源 : 2.7 V ~ 3.3 V ( 3.0 V TYP )
- ( デジタル電源 : 1.45 V ~ 1.65 V ( 1.54 V TYP ) )

(2) 動作温度範囲

- 20 ~ + 85°C

(3) 機能ブロック

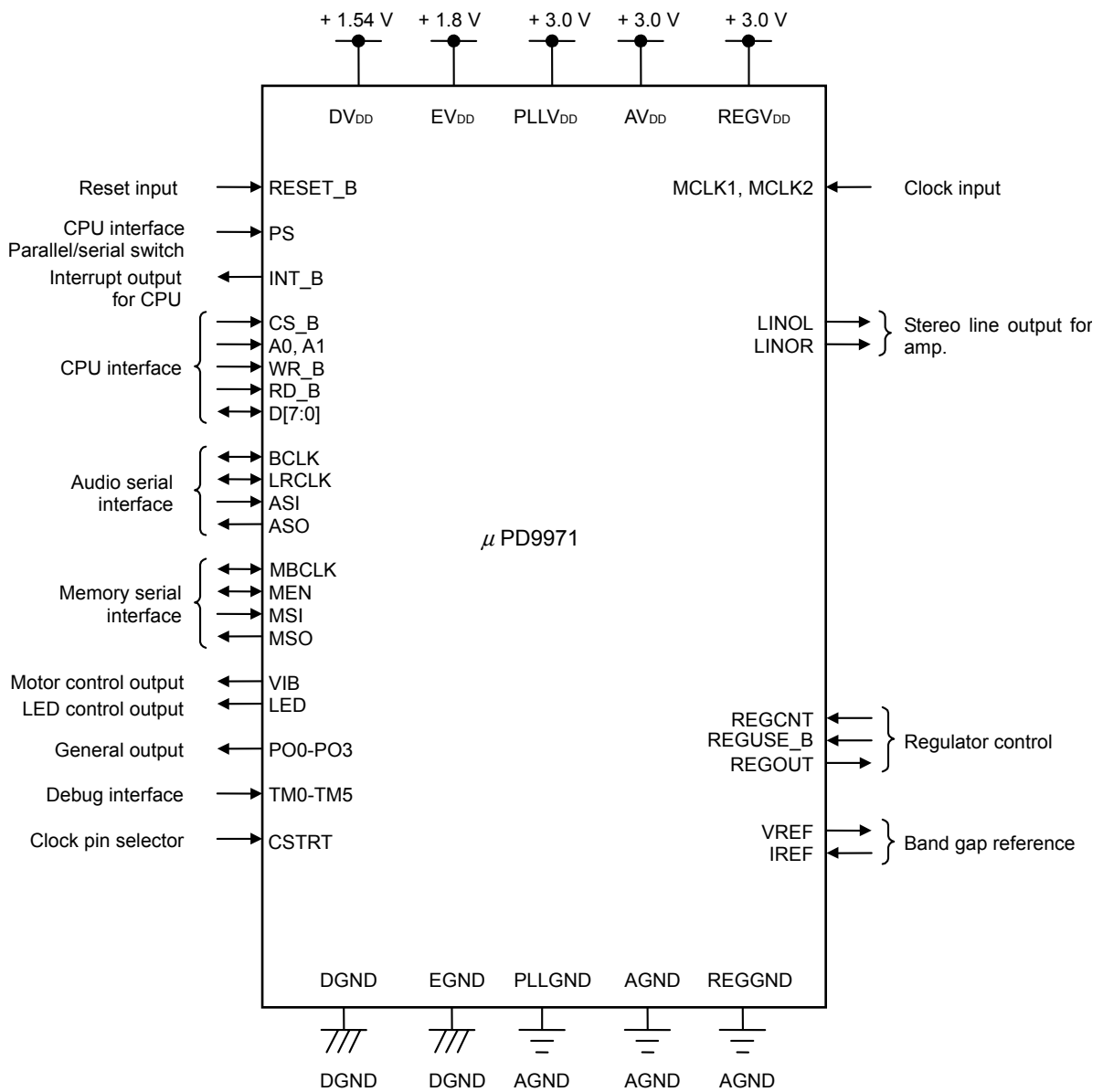
- Melody Core : 128 和音 PCM 音源コア
- 3D Positioning : 3D ポジショニング・サラウンド機能
- Digital Mixing : デジタル・ミキシング回路
- Regulator : デジタル電源供給用レギュレータ
- PLL1/PLL2 : 音源用 PLL , オーディオ用 PLL
- Audio DAC : ステレオ 16 ビット・オーディオ DAC
- Band gap : アナログ回路用基準電圧 / 電流発生回路
- VIB/LED : バイブレーション LED の制御信号発生回路
- Master VR/Digital VR : ボリューム回路

1.2 回路概略説明

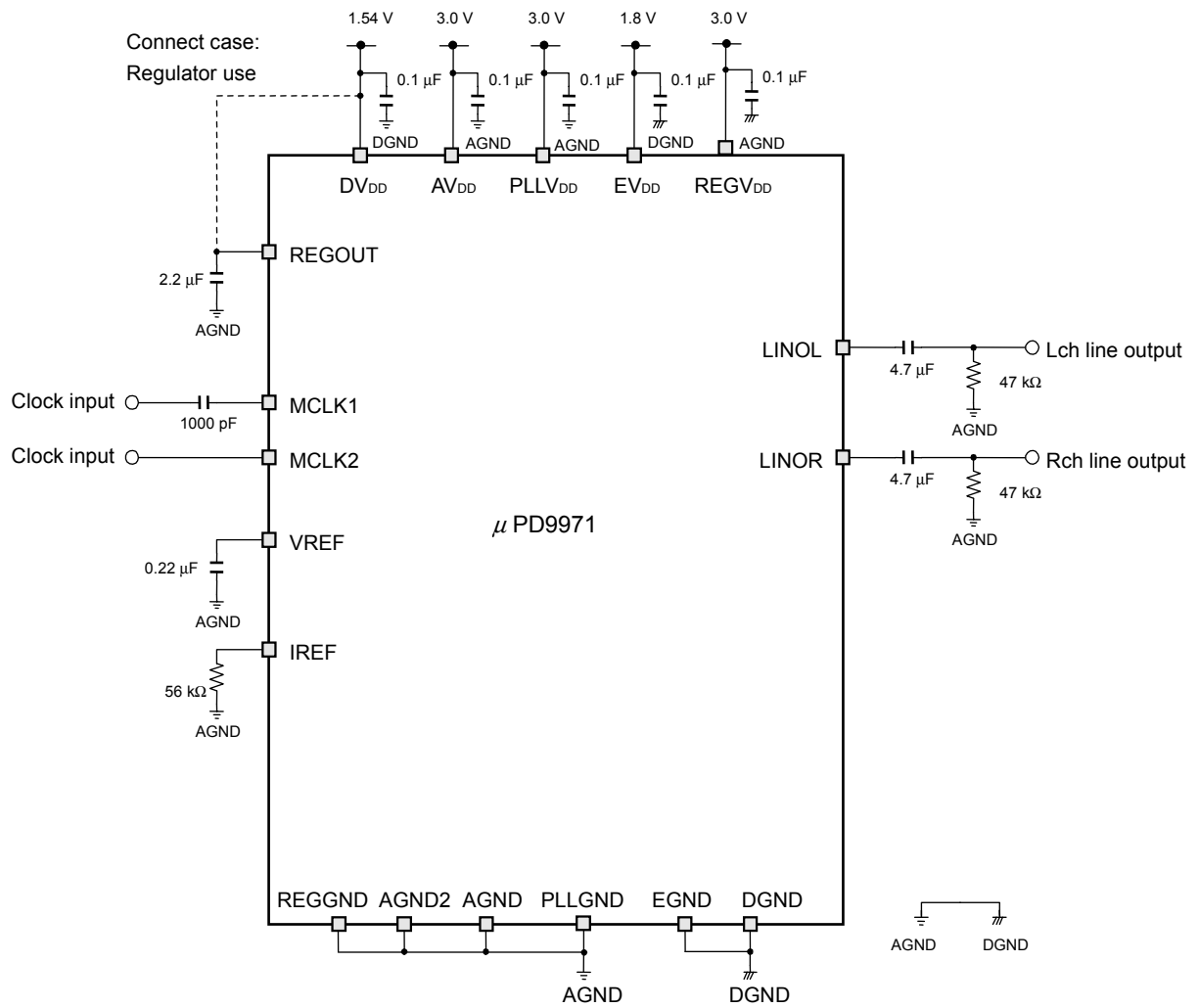
ブロック	機能
Melody Core	最大 128 音の同時発音可能 PCM 音源, シーケンサ内蔵, サンプリング周波数 32 kHz
3D Positioning	3D ポジショニング・サラウンド機能
Digital Mixing	音源出力, オーディオ・シリアル入力の切り替えまたは加算
PLL	内部信号処理用マスタ・クロック生成 入力クロック : 3.84 ~ 15.36 MHz 逡倍数はレジスタにより設定可能
Audio DAC	16 ビット × 2 ch ( L ch, R ch ) サンプリング周波数 : 48 kHz, 44.1 kHz, 32 kHz, 16 kHz, 8 kHz ( デフォルト 32 kHz ) インタフェース : マスタ / スレープ対応 ダイナミック・レンジ : 90 dB TYP. ( ブロック単体 )
Regulator	デジタル電源供給用 1.54 V 出力レギュレータ
VIB/LED	VIB/LED 制御信号出力
Master VR/Digital VR	マスタ・ボリューム : 0 ~ - 45 dB / 1.5 dB step デジタル・ボリューム : + 12 ~ - 63 dB / 1 dB step

2. 端子

2.1 端子構成



2.2 推奨外付け回路



2.3 端子機能説明

(1) 電源, GND

端子名称	端子番号	入出力	機能
DV <sub>DD</sub>	4C, 7C, 7H, 8F, 10D	-	デジタル・ブロック用電源 内蔵レギュレータを使用する場合は本端子と REGOUT 端子を LSI 外部で接続してください。 0.1 μF のコンデンサを本端子と DGND の間に接続してください。
DGND	5C, 5K	-	デジタル・ブロック用グラウンド
EV <sub>DD</sub>	8H, 9C	-	デジタル I/O 用電源 0.1 μF のコンデンサを本端子と EGND の間に接続してください。
EGND	6A, 8G	-	デジタル I/O 用グラウンド
PLL <sub>VDD</sub>	2G	-	PLL 用電源 0.1 μF のコンデンサを本端子と PLLGND の間に接続してください。
PLLGND	1H	-	PLL 用グラウンド
AV <sub>DD</sub>	1E	-	アナログ・ブロック用電源 0.1 μF のコンデンサを本端子と AGND の間に接続してください。
AGND	1D	-	アナログ・ブロック用グラウンド
AGND2	1G	-	アナログ・ブロック用グラウンド
REGV <sub>DD</sub>	1J, 3H	-	レギュレータ・バンド・ギャップ・リファレンス用電源 0.1 μF のコンデンサを本端子と REGGND の間に接続してください。
REGGND	3G	-	レギュレータ用グラウンド

(2) クロック, システム・コントロール

端子名称	端子番号	入出力	機能
MCLK1	2H	入力	クロック入力 (3.84 ~ 15.36 MHz) 内部マスタ・クロック生成用基準クロック入力です。 容量結合 (1000 pF) での入力を推奨します。 使用しない場合は GND に接地してください。
MCLK2	3F	入力	クロック入力 (3.84 ~ 15.36 MHz) 内部マスタ・クロック生成用基準クロック入力です。 入力レベル EV <sub>DD</sub> の矩形波入力用です。 使用しない場合は GND に接地してください。
CSTRT	8C	入力	クロック入力外部切り替え信号入力 <b>注意</b> レジスタ CSTRTEN = ハイ・レベルのとき, 本端子は有効となりますが, CSTRT 端子での切り替えを使用する場合は入力可能な周波数が限定されてしまいます。本端子使用時は別途お問い合わせください。 0: MCLK2 入力選択 1: MCLK1 入力選択 本端子は LSI 内部でプルダウンされています。
RESET_B	9E	入力	ハードウェア・リセット信号入力 本 LSI をリセットします。リセット後レジスタは初期値となります。 0: リセット 1: リセット解除

(3) ホスト CPU インタフェース

(1/2)

端子名称	端子番号	入出力	機能
A0/DaTa, TXD	6K	入出力	パラレル・モード時 (PS = 0) ホスト・インタフェース・アドレス A0 信号入力 ホスト CPU がアクセスするときのアドレスまたはデータを指定する入力端子です。 1: データを転送するとき 0: アクセスするレジスタのアドレスを設定するとき
			シリアル・モード時 (PS = 1) 3 線 SPI モード時 (RD_B = 0): 送受信データ入出力 4 線 SPI モード時 (RD_B = 1): 送信データ出力
A1/RXD	5J	入力	パラレル・モード時 (PS = 0) ホスト・インタフェース・アドレス A1 信号入力 ホスト CPU がアクセスするときのアクセス先レジスタを選択する入力端子です。 1: 音源ブロック・レジスタ 0: 音源以外ブロック・レジスタ
			シリアル・モード時 (PS = 1) 3 線 SPI モード時 (RD_B = 0): 使用せず 4 線 SPI モード時 (RD_B = 1): 受信データ入力
CS_B/SCS	6J	入力	パラレル・モード時 (PS = 0) チップ・セレクト入力 ホスト・インタフェース・セレクト信号の入力端子です。 ホスト CPU がホスト・インタフェースのレジスタをアクセスする間、この端子をアクティブ (ロウ・レベル) にします。
			シリアル・モード時 (PS = 1) チップ・セレクト入力
RD_B/SPIMODE	7J	入力	パラレル・モード時 (PS = 0) ホスト・リード入力 ホスト CPU がホスト・インタフェースのレジスタを読み出す場合に、この端子をアクティブ (ロウ・レベル) にします。 WR_B 端子と同時にアクティブにしないでください。
			シリアル・モード時 (PS = 1) SPI モード選択入力 0: 3 線 SPI モード選択 1: 4 線 SPI モード選択
WR_B/SCLK	7K	入力	パラレル・モード時 (PS = 0) ホスト・ライト入力 ホスト CPU がホスト・インタフェースのレジスタに書き込む場合に、この端子をアクティブ (ロウ・レベル) にします。 RD_B 端子と同時にアクティブにしないでください。
			シリアル・モード時 (PS = 1) シリアル・クロック入力 13 MHz まで動作可能です。



端子名称	端子番号	入出力	機能
D0/SERINIT	8K	入出力	パラレル・モード時 (PS=0) 8ビット・ホスト・データ・バス ホスト CPU が本 LSI をアクセスするとき、アドレスおよびデータの入出力を行います。 CS_B がインアクティブ (ハイ・レベル) の場合、ハイ・インピーダンスになります。
			シリアル・モード時 (PS=1) シリアル・インタフェース・リセット入力
D1 - D7	8J, 10H, 9H, 10G, 9G, 10F, 9F	入出力	パラレル・モード時 (PS=0) 8ビット・ホスト・データ・バス ホスト CPU が本 LSI をアクセスするとき、アドレスおよびデータの入出力を行います。 CS_B がインアクティブ (ハイ・レベル) の場合、ハイ・インピーダンスになります。
			シリアル・モード時 (PS=1) 未使用につき GND に接地してください。
INT_B	10E	出力	ホスト割り込み出力 本 LSI からホスト CPU への割り込み信号です。 データ転送時のデータ送受信要求、内部状態を通知するときの要求などに使用します。 <b>備考</b> 音源ブロックの制御にのみ使用可能です。
PS	6B	入力	パラレル/シリアル設定入力 ホスト CPU インタフェースの、パラレル・モードとシリアル・モードの設定を行います。 1: シリアル・インタフェース・モード 0: パラレル・インタフェース・モード LSI 内部でプルダウンされているため、パラレル・モード時はオープンで構いません。

**(4) オーディオ・シリアル・インタフェース (ASIO)**

端子名称	端子番号	入出力	機能
BCLK	8B	入出力	オーディオ・シリアル用ビット同期クロック入出力 未使用時は GND へ接地してください。
LRCLK	8A	入出力	オーディオ・シリアル用フレーム同期クロック入出力 未使用時は GND へ接地してください。
ASO	7B	出力	オーディオ・シリアル用データ出力 オーディオ・シリアル・データのフレーム・サイズはレジスタで設定します。 マスタ・モード時: 64ビット, 32ビットの選択 スレーブ・モード時: 32~64ビット, 2ビット・ステップからの選択 未使用時はオープンにしてください。
ASI	7A	入力	オーディオ・シリアル用データ入力 オーディオ・シリアル・データのフレーム・サイズはレジスタで設定します。 マスタ・モード時: 64ビット, 32ビットの選択 スレーブ・モード時: 32~64ビット, 2ビット・ステップからの選択 LSI 内部でプルダウンされているため、未使用時はオープンにしてください。

**(5) 音源コア外部接続専用シリアル・インタフェース (MSIO)**

端子名称	端子番号	入出力	機能
MBCLK	5B	入出力	音源コア外部接続専用ビット同期クロック入出力 未使用時は GND へ接地してください。
MEN	5A	入出力	音源コア外部接続専用フレーム同期クロック入出力 未使用時は GND へ接地してください。
MSO	3C	出力	音源コア外部接続専用データ出力 シリアル・データのフレーム・サイズはレジスタで設定します。 マスタ・モード時：32, 64, 128, 256 ビットからの選択 (MSIO 単独使用時) スレーブ・モード時：32 ~ 256 ビット / 32 ビット・ステップで選択 (MSIO 単独使用時) 未使用時はオープンにしてください。
MSI	4A	入力	音源コア外部接続専用データ入力 シリアル・データのフレーム・サイズはレジスタで設定します。 マスタ・モード時：32, 64, 128, 256 ビットからの選択 (MSIO 単独使用時) スレーブ・モード時：32 ~ 256 ビット / 32 ビット・ステップで選択 (MSIO 単独使用時) 未使用時はオープンにしてください (プルダウン抵抗内蔵)。

注意 1. マスタ・モード, スレーブ・モードによって設定可能なデータ・サイズが変わります。

マスタ・モード時 MBFS = 32, 64, 128, 256 fs のみ

スレーブ・モード時 MBFS = 32 ~ 256 fs/32 fs step

2. MSIO と ASIO を同時使用する場合は, ASIO はマスタ・モードのみ (BFS = 32, 64 fs) となります。

**(6) 外部 LED, モータ制御出力**

端子名称	端子番号	入出力	機能
LED	10C	出力	外部 LED 制御出力 (ドライブ能力: 1 mA ただし $EV_{DD} = 1.8 V$ ) ポート出力です。設定はホスト CPU からポート設定レジスタに値を書き込むことで行います。 未使用時はオープンにしてください。
VIB	9D	出力	外部モータ制御出力 (ドライブ能力: 1 mA ただし $EV_{DD} = 1.8 V$ ) ポート出力です。設定はホスト CPU からポート設定レジスタに値を書き込むことで行います。 未使用時はオープンにしてください。

**(7) アナログ回路用基準電圧 / 基準電流**

端子名称	端子番号	入出力	機能
VREF	2E	出力	アナログ・ブロック用基準電圧 0.22 $\mu F$ のコンデンサを本端子と AGND の間に接続してください。
IREF	2D	入力	56 k $\Omega$ の抵抗を本端子と AGND の間に接続してください。

**(8) オーディオ DAC 出力**

端子名称	端子番号	入出力	機能
LINOL	1C	出力	外部スピーカ用ライン (L ch) 出力
LINOR	1F	出力	外部スピーカ用ライン (R ch) 出力

(9) レギュレータ

端子名称	端子番号	入出力	機能
REGOUT	2K, 3J	出力	レギュレータ出力 デジタル電源にレギュレータ出力を使用する場合は、本端子と DV <sub>DD</sub> 端子を LSI 外部で接続してください。 2.2 μF のコンデンサを本端子と REGGND の間に接続してください。
REGUSE_B	4H	入力	レギュレータ・ブロック・イネーブル信号入力端子 0: レギュレータ使用時 1: レギュレータ未使用時
REGCNT	3K	入力	レギュレータ・コントロール用入力端子 0: 出力停止 1: 出力開始

(10) 汎用外部出力

端子名称	端子番号	入出力	機能
PO0 - PO3	5H, 6H, 4K, 4J	出力	汎用外部出力 周辺デバイスのコントロール信号を出力することができます。 未使用時はオープンにしてください。

(11) テスト用端子

端子名称	端子番号	入出力	機能
TM0 - TM2	2C, 2F, 3B	入力	テスト用入力 通常使用時はオープンにしてください。
TM3, TM4	3A, 4B	入出力	テスト用入出力 通常使用時はオープンにしてください。
TM5	6C	入力	テスト用入力 通常使用時はオープンにしてください。

(12) その他

端子名称	端子番号	入出力	機能
N.C	1B, 2A, 2B, 2J, 3D, 3E, 8D, 8E, 9A, 9B, 9J, 9K, 10B, 10J	-	従来製品との互換性のために備えています。オープンで使用してください。
N.C (index)	4D	-	従来製品との互換性のために備えています。オープンで使用してください。

## 2.4 未使用端子の処理

表 2-1 未使用端子の処理

端子名	入出力	推奨接続方法
MCLK1	I	PLLGND へ接地してください。
MCLK2	I	EGND へ接地してください。
CSTRT	I	オープンにしてください ( Pull-Down 内蔵 )
A1/RXD	I	DGND へ接地してください。
D0/SERINIT	I	DGND へ接地してください。
D1 - D7	I	DGND へ接地してください。
INT_B	O	オープンにしてください。
LRCLK	I/O	DGND へ接地してください。
BCLK	I/O	DGND へ接地してください
ASI	I	オープンにしてください ( Pull-Down 内蔵 )
ASO	O	オープンにしてください。
MEN	I/O	DGND へ接地してください。
MBCLK	I/O	DGND へ接地してください
MSI	I	オープンにしてください ( Pull-Down 内蔵 )
MSO	O	オープンにしてください。
LED	O	オープンにしてください。
VIB	O	オープンにしてください。
LINOL	O	オープンにしてください。
LINOR	O	オープンにしてください。
REGUSE_B	I	EV <sub>DD</sub> へ接続してください ( Regulator 未使用時 )
REGCNT	I	EGND へ接続してください ( Regulator 未使用時 )
REGV <sub>DD</sub>	Power	3.0 V 電源へ接続してください ( Regulator 使用時 , 未使用時とも )
REGOUT	O	オープンにしてください ( Regulator 未使用時 )
PO0 - PO3	O	オープンにしてください。
TM0 - TM2	I	オープンにしてください ( Pull-Down 内蔵 )
TM3, TM4	I/O	オープンにしてください。
TM5	I	オープンにしてください ( Pull-Down 内蔵 )

2.5 端子状態

(1/2)

端子番号	I/O	A/D	端子名	スタンバイ時		RESET_B = 0 のとき		リセット後
				制御信号	端子状態	制御信号	端子状態	
2F	Input	Digital	TM1		Input		Input	Input
1C	Output	Analog	LINOL	STDAC	Hi-Z	STDAC	Hi-Z	Hi-Z
1D	-	Analog	AGND					
2D	Output	Analog	IREF	STREF	Hi-Z	STREF	Hi-Z	Hi-Z
2E	Output	Analog	VREF	STREF	Hi-Z	STREF	Hi-Z	Hi-Z
1E	-	Analog	AV <sub>DD</sub>					
1F	Output	Analog	LINOR	STDAC	Hi-Z	STDAC	Hi-Z	Hi-Z
1G	-	Analog	AGND2					
2G	-	Analog	PLL <sub>VDD</sub>					
2H	Input	Analog	MCLK1	STPLL1, STPLL2	Input	STPLL1, STPLL2	Input	Input
1H	-	Analog	PLL <sub>GND</sub>					
3G	-	Analog	REG <sub>GND</sub>					
3H	-	Analog	REG <sub>VDD</sub>					
1J	-	Analog	REG <sub>VDD</sub>					
2K	Output	Analog	REGOUT	REGCNT	Low	REGCNT	Low	Low
3J	Output	Analog	REGOUT	REGCNT	Low	REGCNT	Low	Low
3F	input	Analog	MCLK2	STPLL1, STPLL2	Input	STPLL1, STPLL2	Input	Input
3K	Input	Digital	REGCNT		Input		Input	Input
4H	Input	Digital	REGUSE_B		Input		Input	Input
5H	Output	Digital	PO0		Register	RESET_B	Low	Low
4K	Output	Digital	PO2		Register	RESET_B	Low	Low
4J	Output	Digital	PO3		Register	RESET_B	Low	Low
6H	Output	Digital	PO1		Register	RESET_B	Low	Low
5K	-	Digital	DGND					
5J	input	Digital	A1/RXD		Input		input	Input
7H	-	Digital	DV <sub>DD</sub>					
6K	I/O	Digital	A0/Data, TXD		Input		Input	Input
6J	Input	Digital	CS_B/SCS		Input		Input	input
7J	Input	Digital	RD_B/SPIMO DE		Input		Input	Input
7K	Input	Digital	WR_B/SCLK		Input		input	Input
8H	-	Digital	EV <sub>DD</sub>					
8K	I/O	Digital	D0/SERINIT		Input	RESET_B	Hi-Z	Input
8J	I/O	Digital	D1		Input	RESET_B	Hi-Z	Input
8G	-	Digital	EGND					
10H	I/O	Digital	D2		Input	RESET_B	Hi-Z	Input
9H	I/O	Digital	D3		Input	RESET_B	Hi-Z	Input
8F	-	Digital	DV <sub>DD</sub>					
10G	I/O	Digital	D4		Input	RESET_B	Hi-Z	Input
9G	I/O	Digital	D5		Input	RESET_B	Hi-Z	Input
10F	I/O	Digital	D6		Input	RESET_B	Hi-Z	Input

(2/2)

端子番号	I/O	A/D	端子名	スタンバイ時		RESET_B = 0 のとき		リセット後
				制御信号	端子状態	制御信号	端子状態	
9F	I/O	Digital	D7		Input	RESET_B	Hi-Z	Input
10E	Output	Digital	INT_B		Output	RESET_B	High	High
9E	Input	Digital	RESET_B		Input		Input	input
10D	-	Digital	DV <sub>DD</sub>					
9D	Output	Digital	VIB		Register	RESET_B	Low	Low
10C	Output	Digital	LED		Register	RESET_B	Low	Low
9C	-	Digital	EV <sub>DD</sub>					
8C	Input	Digital	CSTRT		Input		Input	input
8B	I/O	Digital	BCLK	STASI, STASO		RESET_B	Hi-Z	input
8A	I/O	Digital	LRCLK	STASI, STASO		RESET_B	Hi-Z	input
7C	-	Digital	DV <sub>DD</sub>					
7A	Input	Digital	ASI	STASI, STASO			input	input
7B	Output	Digital	ASO	STASI, STASO		RESET_B	Hi-Z	Hi-Z
6B	input	Digital	PS		Input		Input	Input
6A	-	Digital	EGND					
6C	input	Digital	TM5		Input		input	Input
5B	I/O	Digital	MBCLK	STMSI, STMSO		RESET_B	Hi-Z	input
5A	I/O	Digital	MEN	STMSI, STMSO		RESET_B	Hi-Z	input
5C	-	Digital	DGND					
4C	-	Digital	DV <sub>DD</sub>					
4A	Input	Digital	MSI	STMSI, STMSO			input	input
4B	I/O	Digital	TM4		Low	RESET_B	Hi-Z	Low
3C	Output	Digital	MSO	STMSI, STMSO		RESET_B	Hi-Z	Hi-Z
3A	I/O	Digital	TM3		Low	RESET_B	Hi-Z	Low
3B	Input	Digital	TM2		Input		Input	Input
2C	Input	Digital	TM0		Input		input	Input

備考 ASIO モード , MSIO モード時の状態は , 表 2 - 2 , 表 2 - 3を参照してください。

表 2 - 2 ASIO 状態表

端子名	機能	AMS = 0 (スレーブ・モード)				AMS = 1 (マスタ・モード)			
		(STASI, STASO)				(STASI, STASO)			
		(0, 0)	(1, 1)	(1, 0)	(0, 1)	(0, 0)	(1, 1)	(1, 0)	(0, 1)
BCLK	オーディオ・シリアル用ビット同期クロック入出力	IN (internal:Low)	IN	IN	IN	Low	OUT	OUT	OUT
LRCLK	オーディオ・シリアル用フレーム同期クロック入出力	IN (internal:Low)	IN	IN	IN	Low	OUT	OUT	OUT
ASI	オーディオ・シリアル用データ入力	-	IN	IN	-	-	IN	IN	-
ASO	オーディオ・シリアル用データ出力	Hi-Z	OUT	Hi-Z	OUT	Hi-Z	OUT	Hi-Z	OUT

表 2 - 3 MSIO 状態表

端子名	機能	MMS = 0 (スレーブ・モード)				MMS = 1 (マスタ・モード)			
		(STMSI, STMSO)				(STMSI, STMSO)			
		(0, 0)	(1, 1)	(1, 0)	(0, 1)	(0, 0)	(1, 1)	(1, 0)	(0, 1)
MBCLK	音源コア外部接続専用ビット同期クロック入出力	IN (internal:Low)	IN	IN	IN	Lo	OUT	OUT	OUT
MEN	音源コア外部接続専用フレーム同期クロック入出力	IN (internal:Low)	IN	IN	IN	Lo	OUT	OUT	OUT
MSI	音源コア外部接続専用データ入力	-	IN	IN	-	-	IN	IN	-
MSO	音源コア外部接続専用データ出力	Hi-Z	OUT	Hi-Z	OUT	Hi-Z	OUT	Hi-Z	OUT

3. CPU インタフェース

3.1 パラレル・ホスト CPU インタフェース

ホスト CPU インタフェースからのパラレル・アクセスの方法を説明します。

3.1.1 ライト・アクセス

ライト・アクセスではシステム側から本 LSI に対してデータ書き込みを行います。

- ・ A0 端子によりアドレス・ライト・サイクルとデータ・ライト・サイクルを区別します。
- ・ A1 端子により音源用レジスタ・アクセスと音源以外用レジスタ・アクセスを区別します (0: 音源以外, 1: 音源)
- ・ アドレス・ライト・サイクルに書き込むデータは, D7 - D0 にアドレスを割り当てます。

**注意** アドレス・ライト・サイクルおよびデータ・ライト・サイクル中は RD\_B 端子を常にハイ・レベル固定にしてください。

図 3 - 1 ライト・アクセス (シングル・アクセス)

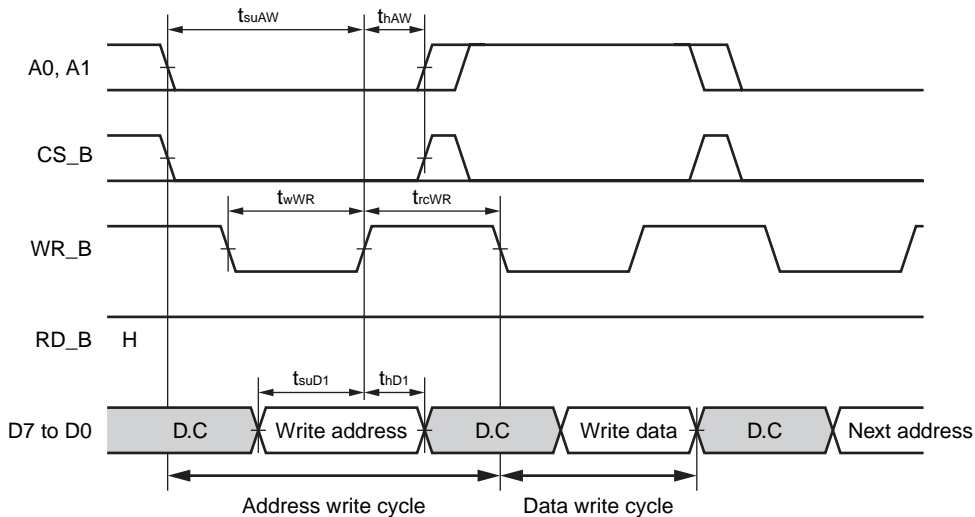
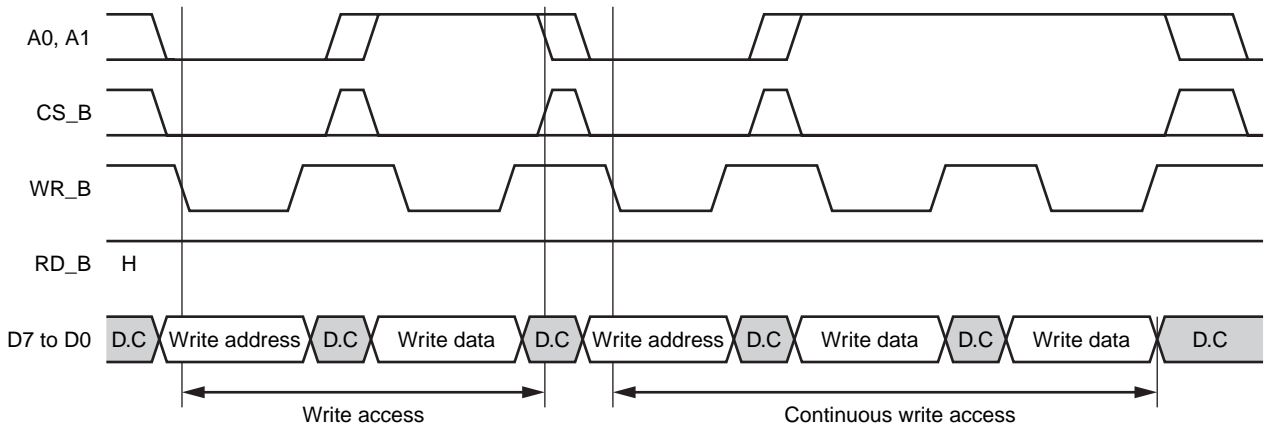


図 3 - 2 ライト・アクセス (連続アクセス)



**備考** CS\_B 端子は, ライト期間はロウ・レベル固定にしてください。連続ライト・アクセス中は CS\_B 端子を常にロウ・レベルにする必要はありません。

D.C. : Don't Care



### 3.1.2 リード・アクセス

リード・アクセスではシステム側から本 LSI に対してデータ読み出しを行います。

- ・ A0 によりアドレス・ライト・サイクルとデータ・リード・サイクルを区別します。
- ・ A1 により音源用レジスタ・アクセスと音源以外用レジスタ・アクセスを区別します (0 : 音源以外, 1 : 音源)。
- ・ システム・クロックによる WR\_B および RD\_B の立ち上がりエッジ検出を基準に動作します。
- ・ アドレス・ライト・サイクルに書き込むデータは, D7-D0 にアドレスを割り当てます。

図 3-3 リード・アクセス (シングル・アクセス)

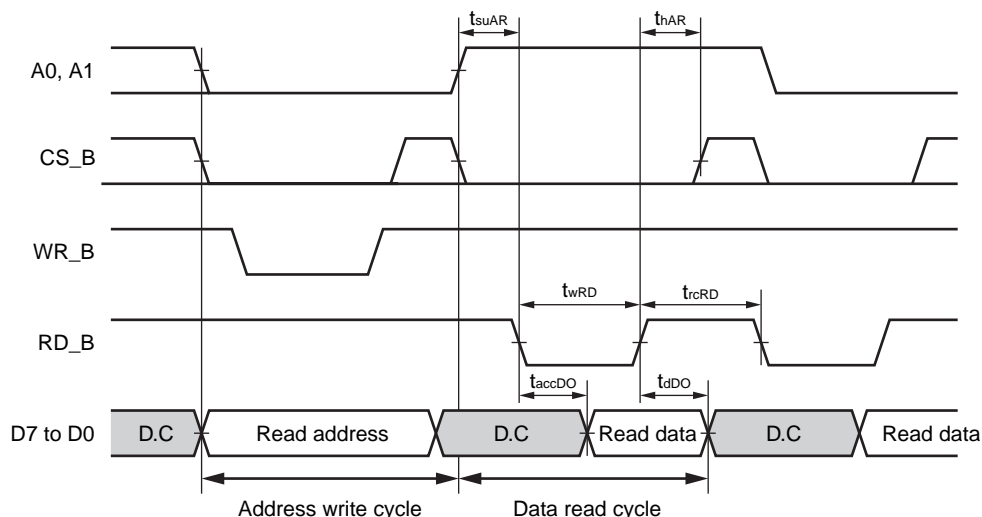
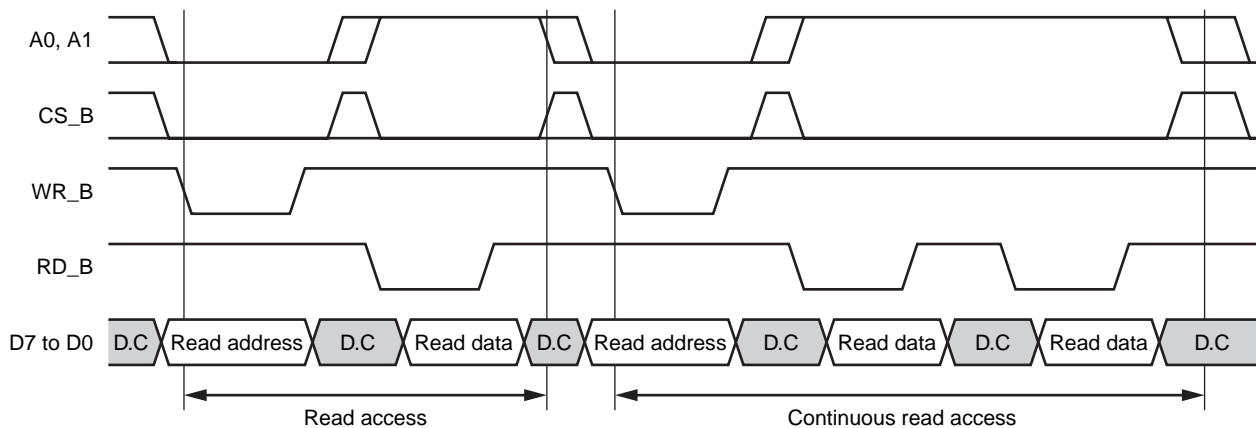


図 3-4 リード・アクセス (連続アクセス)



**備考** CS\_B 端子は, リード期間はロウ・レベル固定にしてください。連続リード・アクセス中は CS\_B 端子を常にロウ・レベルにする必要はありません。

D.C. : Don't Care

### 3.2 シリアル・ホスト・インタフェース

ホスト CPU インタフェースからのシリアル・アクセスの方法を説明いたします。

#### 3.2.1 端子機能

- ・シリアル・モードで使用するピンは、パラレル・モードで使用するピンと共用になります
- ・PS ピンを設定することにより、シリアル・モードを有効にします。
  - 1: シリアル・モード
  - 0: パラレル・モード (デフォルト)
- ・RD\_B (SPIMODE) 端子を切り替えることで、3 線 SPI モードと 4 線 SPI モードの 2 通りの転送方式を実現可能です。
  - 1: 4 線 SPI モード
  - 0: 3 線 SPI モード

端子名		I/O	機 能
シリアル	パラレル		
PS	PS	I	ホスト CPU インタフェース・モード選択信号入力 0: パラレル・モード有効 1: シリアル・モード有効
SPIMODE	RD_B	I	SPI モード選択信号入力 0: 3 線 SPI モード 1: 4 線 SPI モード
SCLK	WR_B	I	シリアル・クロック入力
SCS	CS_B	I	チップ・セレクト信号入力
Data, TXD	A0	I/O	3 線 SPI モード時: 送受信データ入出力 4 線 SPI モード時: 送信データ出力
RXD	A1	I	3 線 SPI モード時: 使用しません 4 線 SPI モード時: 受信データ入力
SERINT	D0	I	シリアル・リセット信号入力 SERINT = 1 のときに、SCS = 1 になるとシリアル・インタフェース回路に非同期リセットがかかります。

### 3.2.2 シリアル・フォーマット

トータル	: 16 ビット
リード/ライト制御	: 1 ビット (ハイ・レベル: ライト, ロウ・レベル: リード)
アドレス	: 7 ビット
データ	: 8 ビット

#### (1) レジスタ領域

本 LSI は 2 つのバンクを持っています。ひとつは音源コア設定用 (音源バンク) で, もうひとつはチップ制御用 (NEC バンク) です。バンク切り替えは, バンク設定用レジスタ (アドレス: 7CH) で設定します。

#### (2) アクセス・フォーマット

次のフォーマットを持ちます。

- ノーマル・ライト・アクセス
- ノーマル・リード・アクセス
- 連続ライト・アクセス (1)
- 連続ライト・アクセス (2) for FIFO

3.2.3 アクセス・フォーマット (3線SPIモード)

図 3 - 5 ホスト CPU アクセス (ライト/リード・アクセス期間)

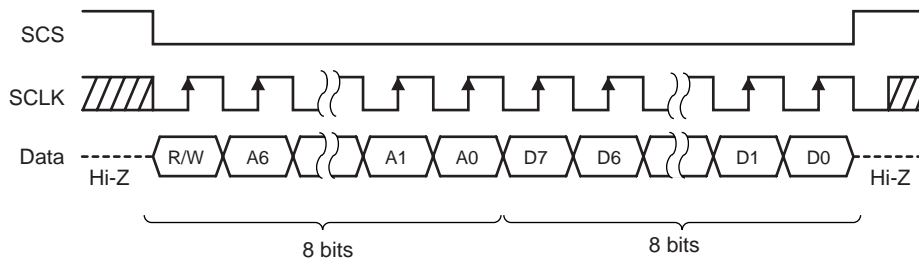
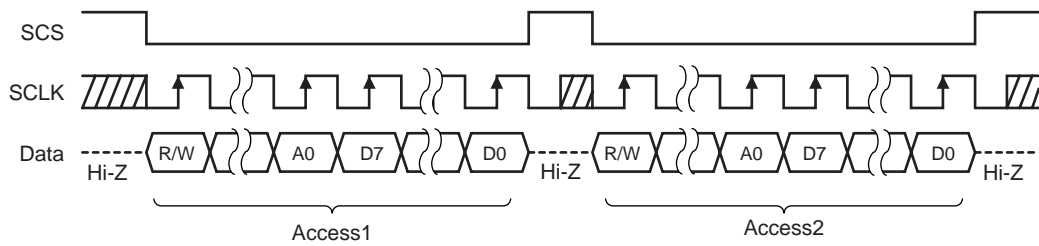
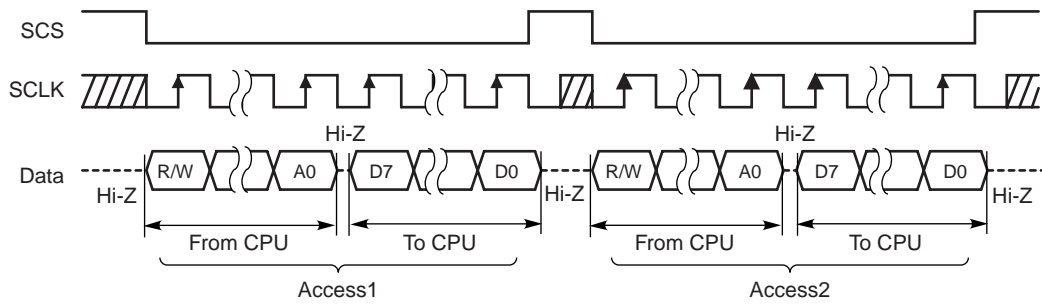


図 3 - 6 ホスト CPU アクセス・フォーマット (連続アクセス1)

(a) ライト・アクセス



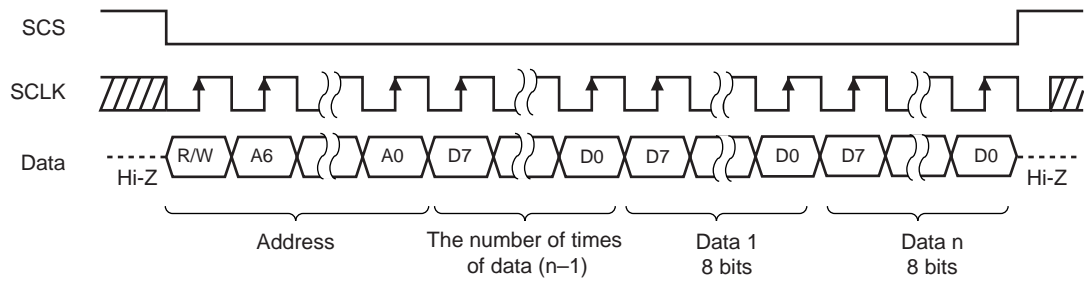
(b) リード・アクセス



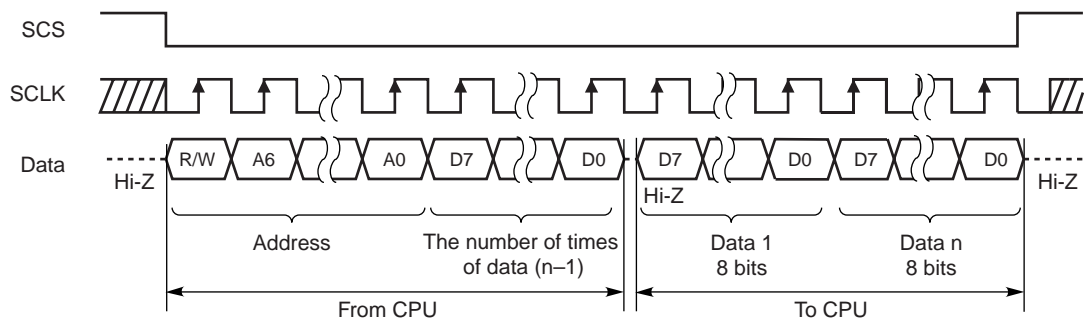
備考 このフォーマットは、音源コアの FIFO 以外へのアクセスの場合です。

図 3-7 ホスト CPU アクセス・フォーマット (連続アクセス 2)

(a) ライト・アクセス



(b) リード・アクセス



備考 このフォーマットは、音源コアの FIFO へアクセスする場合だけに使用できます。

3.2.4 アクセス・フォーマット (4線SPIモード)

図 3-8 ホストCPUアクセス・フォーマット (リード/ライト・アクセス)

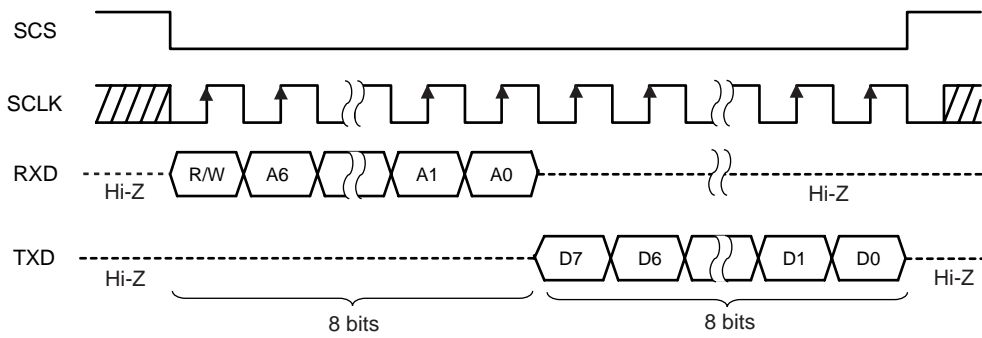
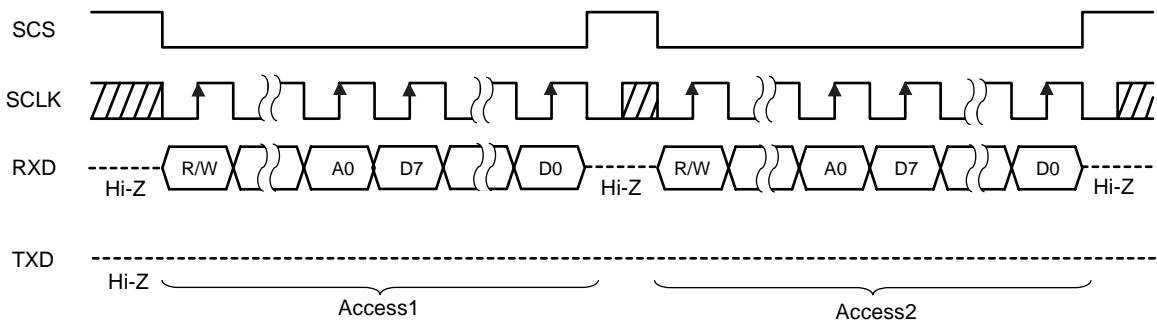
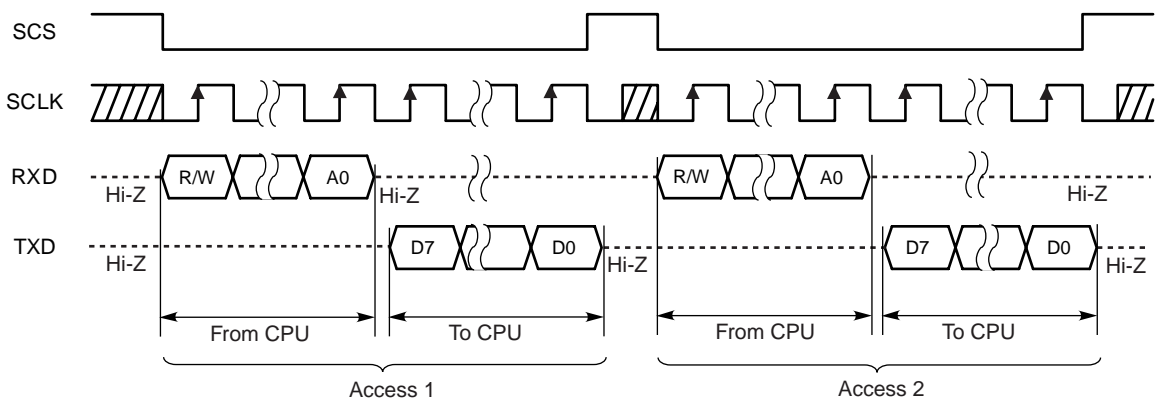


図 3-9 ホストCPUアクセス・フォーマット (連続アクセス)

(a) ライト・アクセス



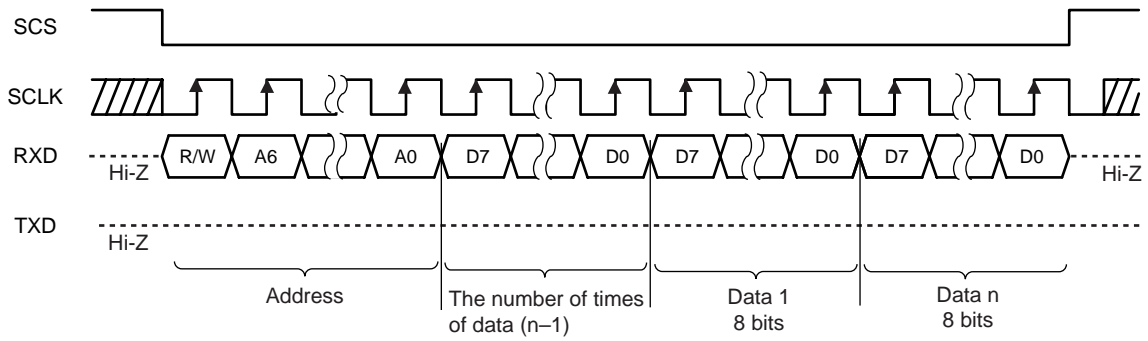
(b) リード・アクセス



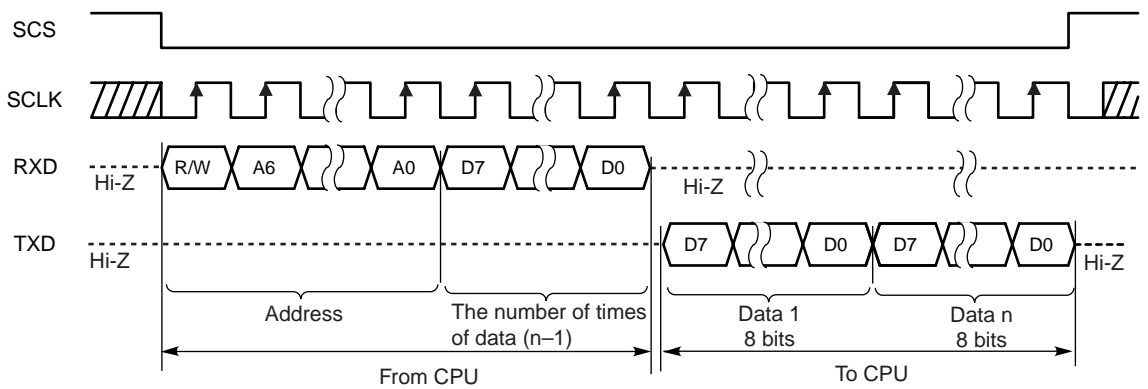
備考 このフォーマットは音源コアの FIFO 以外へアクセスする場合だけに使用できます。

図 3 - 10 ホスト CPU アクセス・フォーマット (連続アクセス 2)

(a) ライト・アクセス



(b) リード・アクセス



**注意** このフォーマットは音源コアの FIFO へアクセスする場合だけに使用できます。

3.2.5 シリアル・インタフェースの初期化について

SERINIT/D0 端子は、シリアル・インタフェースの連続リード/ライト・アクセスを強制的に初期化するための端子です。ただし初期化が必要なければ、SERINIT/D0 端子はロウ・レベルに固定してください。

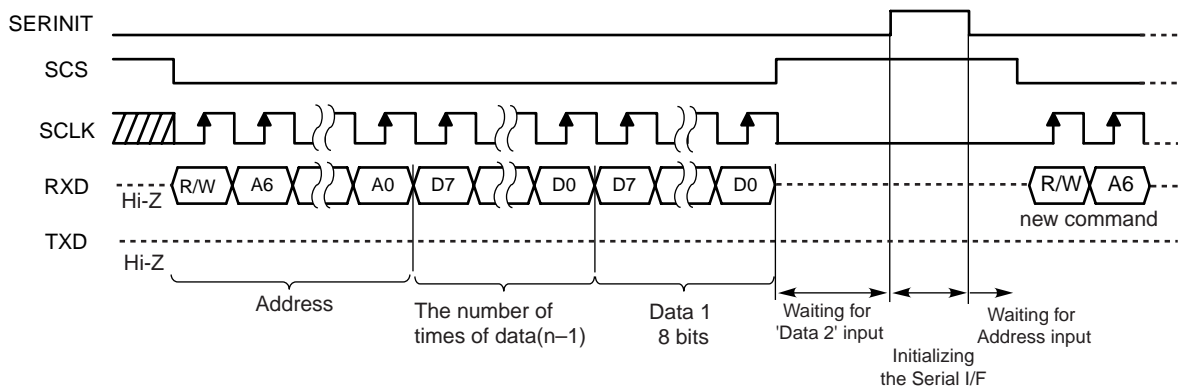
この初期化は、シリアル・インタフェースのみにかかり、SCS = 1 かつ SERINIT = 0 のときに、非同期で実行されます。音源コア・ブロックや、NEC ブロックのレジスタは初期化されません。

したがって、シリアル・インタフェースは初期化後、次のアドレスが設定されるのを待ちます。

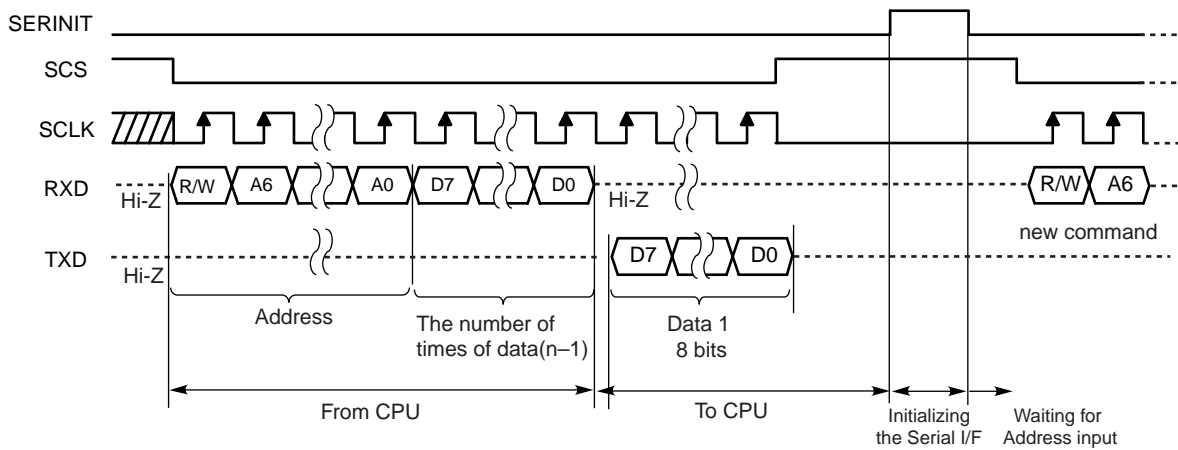
この初期化信号の例を次に示します。

図 3 - 11 SERINIT/D0 端子を使用した連続アクセスの取り消し

(a) ライト・アクセス



(b) リード・アクセス



備考 3 線 SPI モード、4 線 SPI モードでの初期化条件は同じです。

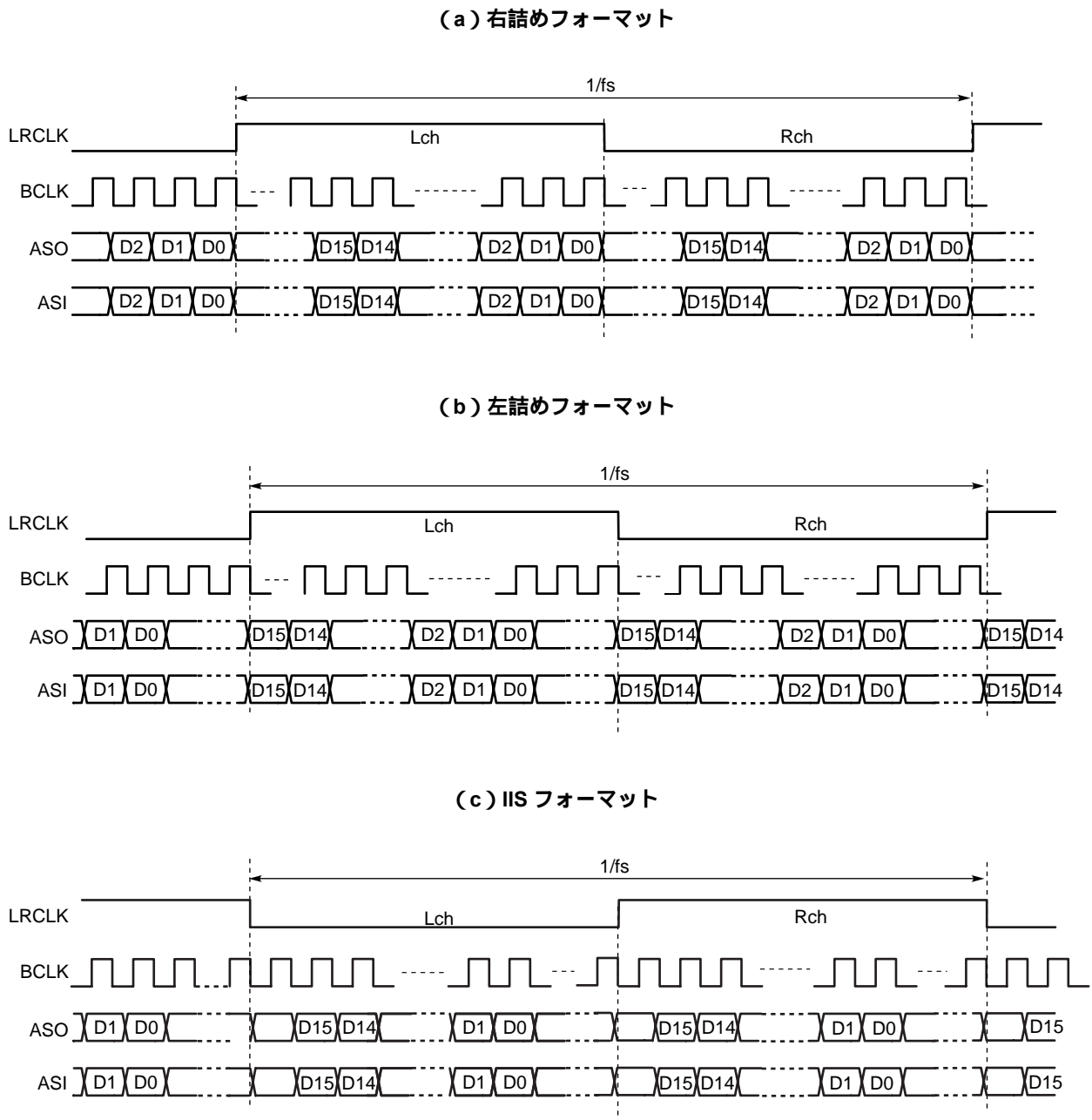


#### 4. 音楽シリアル・インタフェース

##### 4.1 オーディオ・シリアル・インタフェース (ASIO)

LRCLK 立ち上がり区間に L ch データ, LRCLK 立ち下がり区間に R ch データが配置されます。IIS フォーマットはその逆です。それぞれの区間に、右詰めや左詰め, IIS フォーマットといったフォーマットの切り替えができます。シリアル入出力のタイミングは図 4-1 のとおりです。またマスタ・モード/スレーブ・モードの選択が可能です。フレーム内のデータ・ビット数はレジスタ設定で可変可能です。

図 4-1 オーディオ・シリアル・インタフェース・タイミング



- 注意 1. IIS フォーマットは、1 ビット空け左詰め、L ch：ロウ・レベル、R ch：ハイ・レベルです。そのほかは左右詰めの組み合わせに対応します。
2. リセット解除後の初期設定では L ch 32 ビット、R ch 32 ビット、計 64 ビットで 1 フレーム構成となっています。
3. 1 フレームのビット数はレジスタ設定により可変できます。  
マスタ・モード時：64 ビット、32 ビット  
スレーブ・モード時：32 ビット～64 ビット、2 ビット・ステップ  
(マスタ、スレーブ共に、初期値は 64 ビットです)

4.2 音源コア外部接続専用シリアル・インタフェース (MSIO)

本インタフェースは、本 LSI 内蔵の音源コアと外部アプリケーション・チップとを接続する、専用のシリアル・インタフェースです。従来は音源コア内部で処理をしていたエフェクト効果が、本インタフェースを使用することで、外部アプリケーション・チップで制御可能となります。データ・フォーマットは IIS フォーマットのみ対応します。シリアル入出力のタイミングは次のとおりです。モード設定、ビット・クロック反転使用、およびビット幅設定が、レジスタの変更により可能です。

図 4-2 フレーム同期モード 1 (SMEN = 0)

MBCLK 正転 (SMBCLK = 0), ビット幅 128 (MBFS = 128), 8 チャンネル (MCH = 8)

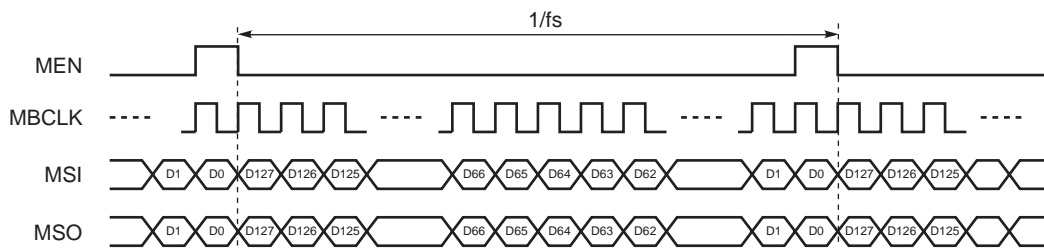


図 4-3 フレーム同期モード 2 (SMEN = 0)

MBCLK 反転 (SMBCLK = 1), ビット幅 128 (MBFS = 128), 8 チャンネル (MCH = 8)

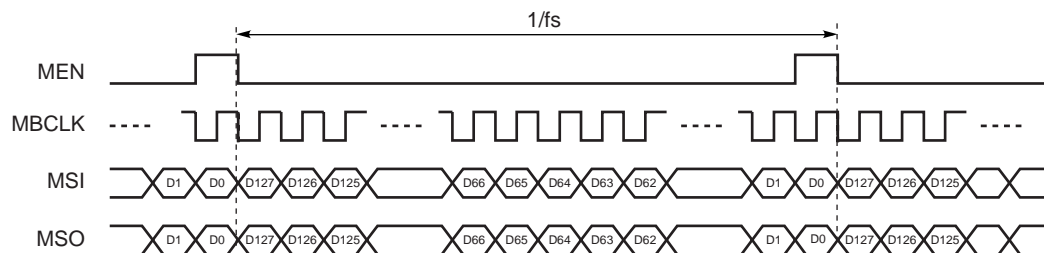
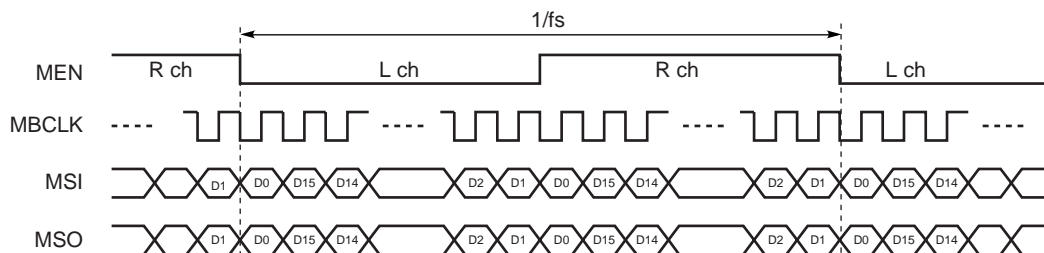


図 4-4 LR ステレオ・モード (SMEN = 1)

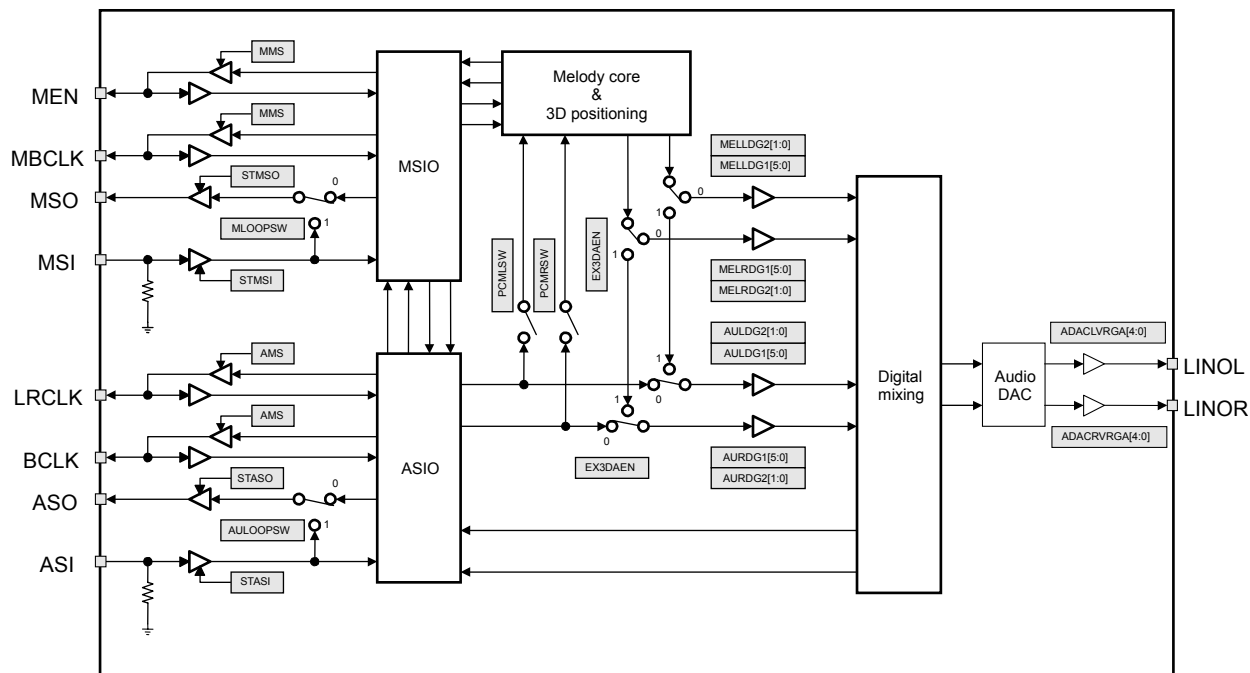
MBCLK 反転 (SMBCLK = 1), ビット幅 32 (MBFS = 32), 2 チャンネル (MCH = 2)



- 注意 1. マスタ・モード/スレーブ・モードによって設定可能なデータ・サイズが変わります。  
 マスタ・モード時 : MBFS = 32, 64, 128, 256 fs のみ  
 スレーブ・モード時 : MBFS = 32 ~ 256fs/32 fs step
2. MSIO と ASIO を同時使用する場合は、ASIO はマスタ・モードのみ (BFS = 32, 64 fs) となります。

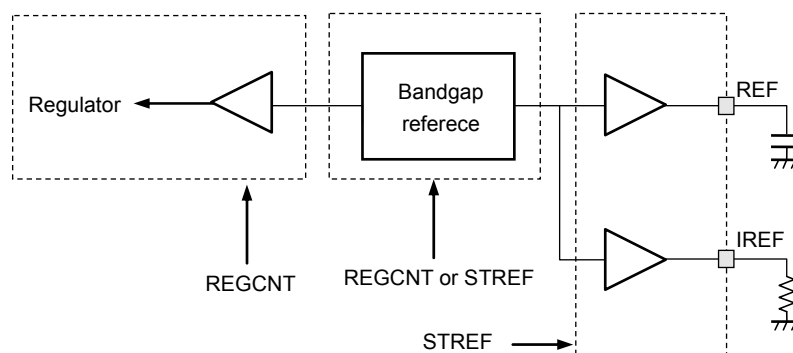
5. ブロック機能

図 5 - 1 信号バス詳細



5.1 基準電圧 / 電流源部

図 5 - 2 基準電圧，電流部ブロック



本ブロックは次の機能を持っています。

- ・バンド・ギャップによる基準電圧を発生し，アナログ回路および PLL，レギュレータに供給します。
- ・上記基準電圧と外付け抵抗から基準電流を発生させ，全アナログ回路および PLL，レギュレータに供給します。
- ・本ブロックは AV<sub>DD</sub> から電源供給されます。

本ブロックのスタンバイ制御は，STREF レジスタにより制御を行います。

内蔵レギュレータを動作させるためには，本ブロックの一部から供給される基準電圧が必要となります。基準電圧供給の制御は REGCNT 端子により行われます。このためレギュレータ使用時は，REGV<sub>DD</sub> と AV<sub>DD</sub> の両方に必ず 3.0 V 電源を供給してください。

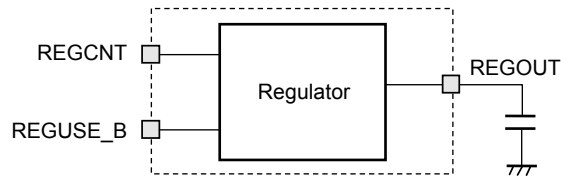
本ブロック立ち上げ後（スタンバイ解除後），最大 5 ms で定常状態となります。

本ブロック使用時の注意事項は次のとおりです。

- ・VREF 端子には，0.22 μF ± 20 %の容量を AGND との間に接続してください。なお全体のアナログ特性に影響があるため，できる限り VREF 端子の近傍に配置してください。また本端子には本容量以外は接続しないでください。
- ・IREF 端子には，56 kΩ ± 5 %の抵抗を AGND との間に接続してください。また，本端子には本抵抗以外は接続しないでください。
- ・本ブロックが定常状態になる前にほかのアナログ・ブロックを立ち上げると，出力が不安定になることがあります。

5.2 レギュレータ部

図 5-3 レギュレータ



本ブロックは次の機能を持っています。

- ・レギュレータにより定電圧を発生し、デジタル回路用電源 DV<sub>DD</sub> に電流を供給します。
- ・レギュレータ使用時は、レギュレータ出力 REGOUT 端子と DV<sub>DD</sub> 端子は LSI 外部でショートしてください。
- ・レギュレータ未使用時は、レギュレータ出力がロウ・レベルになります。
- ・本ブロックは REGV<sub>DD</sub> から電源供給されます。
- ・レギュレータ未使用時も、レギュレータが未使用であることを認識するために、REGV<sub>DD</sub> に 3.0 V 電源を供給してください。

本ブロックは、REGUSE\_B 端子 = ロウ・レベル (DGND) とすることで使用可能となります。本ブロックを使用しない場合は REGUSE\_B 端子 = ハイ・レベル (EV<sub>DD</sub>) としてください。

また REGUSE\_B 端子 = ロウ・レベルの状態、REGCNT 端子 = ハイ・レベルとすることで電流供給を開始し、REGCNT 端子 = ロウ・レベルとすることで電流供給を停止します。

表 5-1 レギュレータ使用時/未使用時の端子設定方法

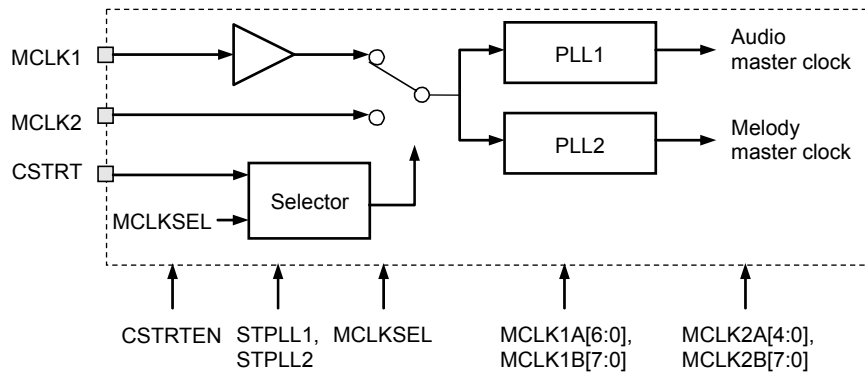
端子	端子状態	
	レギュレータ未使用時	レギュレータ使用時
REGV <sub>DD</sub>	外部電源 3.0 V	外部電源 3.0 V
REGOUT	オープン (ロウ・レベル出力)	DV <sub>DD</sub> とショート
DV <sub>DD</sub>	外部電源 1.54 V を接続	REGOUT とショート
REGCNT	DGND とショート	ハイ・レベル: レギュレータ・スタンバイ解除
		ロウ・レベル: レギュレータ・スタンバイ
REGUSE_B	EV <sub>DD</sub> とショート	DGND とショート

本ブロック使用時の注意事項は次のとおりです。

- ・REGOUT 端子には、2.2 μF ±20 %の容量を AGND との間に接続してください。本容量はレギュレータのノイズ特性に影響を与えるため、できる限り REGOUT 端子の近傍に配置してください。また本端子には本容量以外は接続しないでください。
- ・REGV<sub>DD</sub> 端子には、0.1 μF±20 %の容量を AGND との間に接続してください。
- ・本ブロックが定常状態になる前にデジタル・ブロックを立ち上げると、出力が不安定になることがあるのでご注意ください。
- ・REGOUT 端子に接続される容量に充電を行うため、レギュレータ起動時に約 350 mA の貫通電流が約 50 μsec の間流れます。問題のある場合は当社販売員に相談してください。

5.3 PLL 部

図 5-4 PLL



本ブロックは次の機能を持っています。

- ・外部から入力されたクロックを、レジスタ設定により分周、通倍し、音源用マスタ・クロック、オーディオ用マスタ・クロックを生成します。
- ・クロック入力端子は、MCLK1 と MCLK2 のどちらかを、内部レジスタ MCLKSEL および外部端子 CSTRT で選択できます (CSTRT 端子による切り替えは特殊モードです。通常は MCLKSEL レジスタでの切り替えを使用してください)。
- ・CSTRT 端子による切り替えを有効にするためには、CSTRTEN レジスタ = ハイ・レベルとしてください。
- ・MCLK2 端子は、外部デジタル信号をクロックとして用いるため、EV<sub>DD</sub> レベルの入力になります。
- ・本ブロックは PLLV<sub>DD</sub> から電源供給されます。

本ブロックは、レジスタ STPLL1 = ハイ・レベルとすることでオーディオ用マスタ・クロックの生成を、STPLL2 = ハイ・レベルとすることで音源ブロック用マスタ・クロックの生成を行います。各マスタ・クロックは、入力周波数、サンプリング周波数にあわせて、MCLK1A, MCLK1B, MCLK2A, MCLK2B レジスタによって分周比を設定する必要があります。

CSTRTEN レジスタ = ロウ・レベルのとき、MCLKSEL レジスタを切り替えることで、クロック入力端子として MCLK1 端子 (MCLKSEL レジスタ=ロウ・レベル), MCLK2 端子 (MCLKSEL レジスタ=ハイ・レベル) を選択します。

また、CSTRTEN レジスタ=ハイ・レベル、かつあらかじめ特定の分周比を設定することで、外部端子 CSTRT によってクロック入力端子の切り替えを可能とする特殊モードに入ります。特殊モードの詳細については、別途お問い合わせください。通常は MCLKSEL レジスタでの切り替えを使用してください。

表 5-2 レジスタによるクロック切り替え

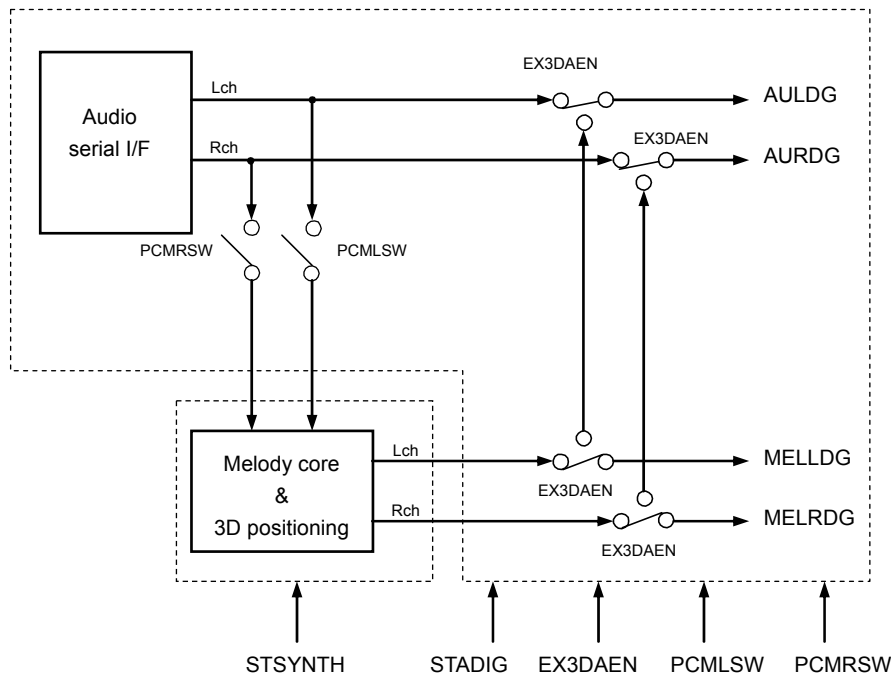
CSTRTEN	MCLKSEL	CSTRT	クロック選択
Low	Low	Don't care	クロック入力端子に MCLK2 を選択
Low	Low	Don't care	クロック入力端子に MCLK1 を選択
High	Don't care	High	クロック入力端子に MCLK1 を選択 (15.36 MHz 固定)
High	Don't care	Low	クロック入力端子に MCLK2 を選択 (12.00 MHz 固定)

ブロック使用時の注意事項は次のとおりです。

- ・本ブロックが動作するには、基準電圧源/電流源ブロックが、定常状態にある必要があります。
- ・基準電圧源/電流源ブロックは、スタンバイ解除後 5 ms で定常状態になります。

5.4 音源コア (音源 / 3D ポジショニング / イコライザ) インタフェース部

図 5-5 音源コア・インタフェース



本ブロックは次の機能を持っています。

- ・サンプリング周波数 32 kHz 時は，ASI から入力された PCM データをサラウンド処理可能です。
- ・サンプリング周波数 44.1 kHz 時に，ASI から入力された PCM データをサラウンド処理する場合は，拡張 3DA モード (レジスタ EX3DAEN = ハイ・レベル) に設定する必要があります。
- ・拡張 3DA モード時は，サラウンド処理されたデータの出力先が，MELLDG/MELRDG ブロックから AULDG/AURDG ブロックとなります。
- ・本ブロックの電源は DV<sub>DD</sub> です。

本ブロックは，STADIG = ハイ・レベルでオーディオ・シリアル・インタフェースが動作します。

本ブロックは，STSYNTH = ハイ・レベルで音源コア部が動作します。

サラウンド処理するオーディオ・データの選択 / 加算は，表 5-3のとおりです。

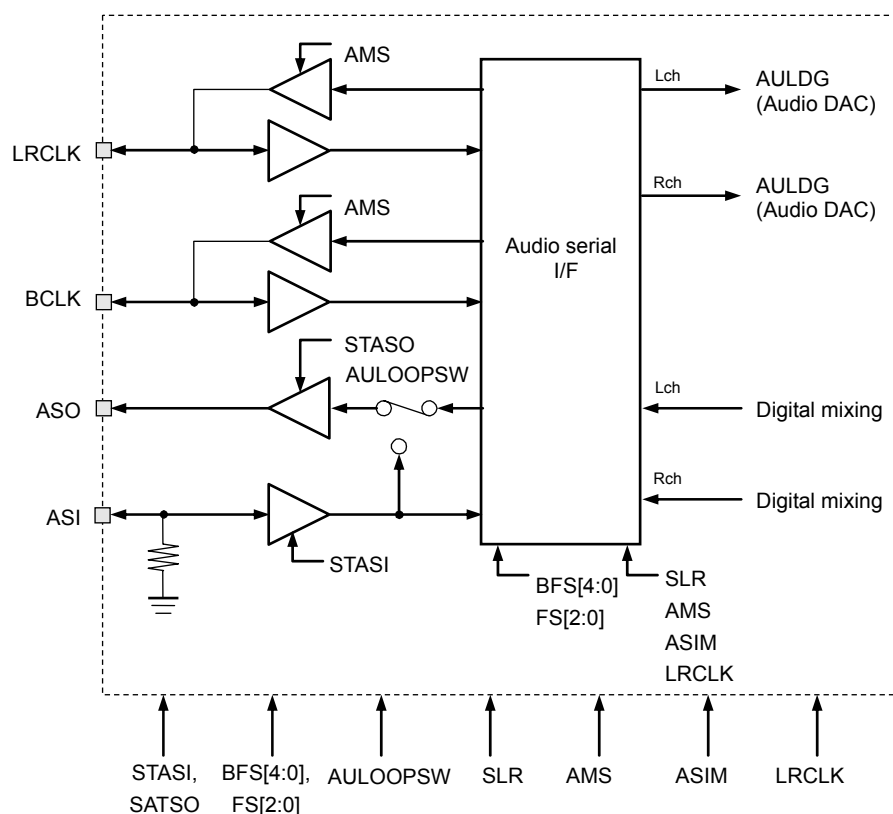
表 5-3 サラウンド処理データ選択

ブロック	設定アドレス	調整範囲
PCMLSW	0BH	ミュート，ASI 入力
PCMRWSW	0BH	ミュート，ASI 入力



5.5 オーディオ・シリアル・インタフェース部 (ASIO)

図 5-6 オーディオ・シリアル・インタフェース



本ブロックは次の機能を持っています。

- ・ ASI より入力されたシリアル・データをパラレル・データに変換し、Audio DAC 部へ出力します。
- ・ Digital mixing 部より入力されたパラレル・データをシリアル・データに変換し、ASO から出力します。
- ・ レジスタ設定により、サンプリング周波数を 8/16/32 (デフォルト) /44.1/48 kHz から選択します。
- ・ レジスタ設定により、BCLK の周波数を変更可能 (デフォルト : 64 fs) です。
- ・ レジスタ設定により、ASI - ASO のループ・バックをすることができます。
- ・ レジスタ設定により、データ・フォーマットの右詰め (デフォルト) / 左詰めを選択できます。
- ・ レジスタ設定により、スレーブ・モード (デフォルト) / マスタ・モードを選択できます。
- ・ レジスタ設定により、LR モード (デフォルト) / IIS モードを選択できます。
- ・ レジスタ設定により、LRCLK を反転できます。
- ・ 本ブロックの電源は DV<sub>DD</sub> です。

本ブロックはレジスタ STASI, STASO により動作します。詳細は表 5 - 4を参照してください。

表 5 - 4 ASIO 状態表

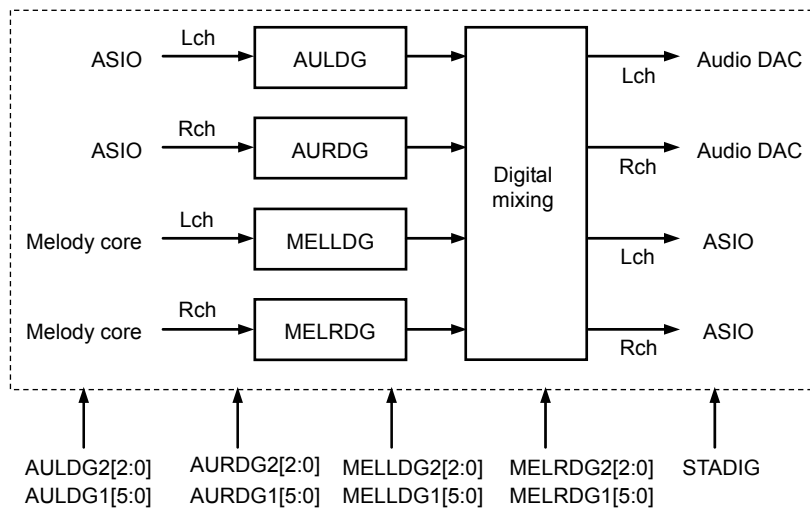
端子名	機 能	AMS = 0 (スレーブ・モード)				AMS = 1 (マスタ・モード)			
		(STASI, STASO)				(STASI, STASO)			
		(0, 0)	(1, 1)	(1, 0)	(0, 1)	(0, 0)	(1, 1)	(1, 0)	(0, 1)
BCLK	オーディオ・シリアル用ビット同期クロック入出力	IN (internal:Low)	IN	IN	IN	Low	OUT	OUT	OUT
LRCLK	オーディオ・シリアル用フレーム同期クロック入出力	IN (internal:Low)	IN	IN	IN	Low	OUT	OUT	OUT
ASI	オーディオ・シリアル用データ入力	-	IN	IN	-	-	IN	IN	-
ASO	オーディオ・シリアル用データ出力	Hi-Z	OUT	Hi-Z	OUT	Hi-Z	OUT	Hi-Z	OUT

本ブロック使用時の注意事項は次のとおりです。

- ・本ブロックが動作するためには PLL が動作している必要があります。
- ・IIS モード選択時は、LRCLK レジスタ=ハイ・レベル、SLR レジスタ=ハイ・レベルを選択してください。
- ・ASI から入力されたデータをサラウンド処理する場合、サンプリング周波数を 32/44.1 kHz にする必要があります。

5.6 オーディオ再生デジタル・ゲイン調整ブロック

図 5-7 オーディオ再生デジタル・ゲイン・ブロック



本ブロックは、次の機能を持っています。

- ・オーディオ・シリアル・インタフェースからの 8/16/32/44.1/48 kHz サンプリング・ステレオ・リニア PCM フォーマットのデジタル入力に対して、デジタル・ゲイン調整を行います。
- ・音源からの 32 kHz サンプリング・ステレオ・リニア PCM フォーマットのデジタル入力に対して、デジタル・ゲイン調整を行います。
- ・上記デジタル・ゲイン調整後の信号について、デジタル・ミキシングを行います。
- ・デジタル・ミキシング後の信号を、Audio DAC およびオーディオ・シリアル・インタフェースへ出力します。
- ・本ブロックの電源は DV<sub>DD</sub> です。

本ブロックは、STADIG レジスタ=ハイ・レベルで動作します。ゲイン調整部では、各デジタル信号入力に対して、係数を乗算することで、ゲイン調整を行います。また、ゲインを徐々に変化させることで、異音を目立たなくするソフト・ミュート機能があります。

表 5-5 デジタル・ゲイン調整

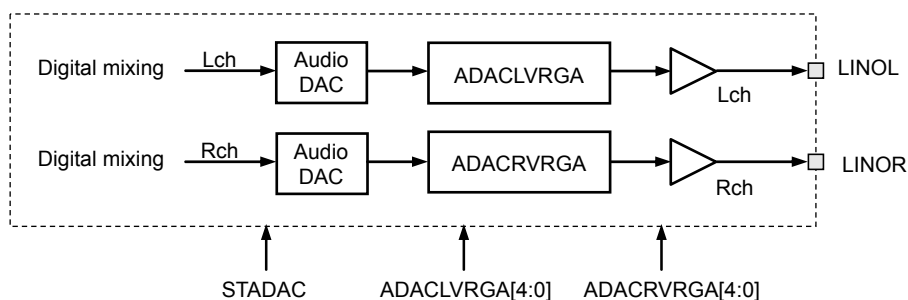
ブロック	設定アドレス	調整範囲
AULDG	13H	ミュート, +12 dB ~ 0 dB ~ -63 dB/1 dB ステップ
AURDG	14H	ミュート, +12 dB ~ 0 dB ~ -63 dB/1 dB ステップ
MELLDG	11H	ミュート, +12 dB ~ 0 dB ~ -63 dB/1 dB ステップ
MELRDG	12H	ミュート, +12 dB ~ 0 dB ~ -63 dB/1 dB ステップ

本ブロック使用時の注意事項は次のとおりです。

- ・本ブロックが動作するには、PLL が安定して動作している必要があります。

5.7 オーディオ再生アナログ・ブロック

図 5 - 8 オーディオ再生アナログ・ブロック



本ブロックは次の機能を持っています。

- ・ Digital mixing から出力されたデジタル信号を Audio DAC にて D/A 変換を行い，出力されたアナログ信号をアナログ・ゲイン調整します。
- ・ ゲイン調整した信号を LINEOL 端子，LINEOR 端子からライン出力します。
- ・ 本ブロックの電源は AV<sub>DD</sub> です。

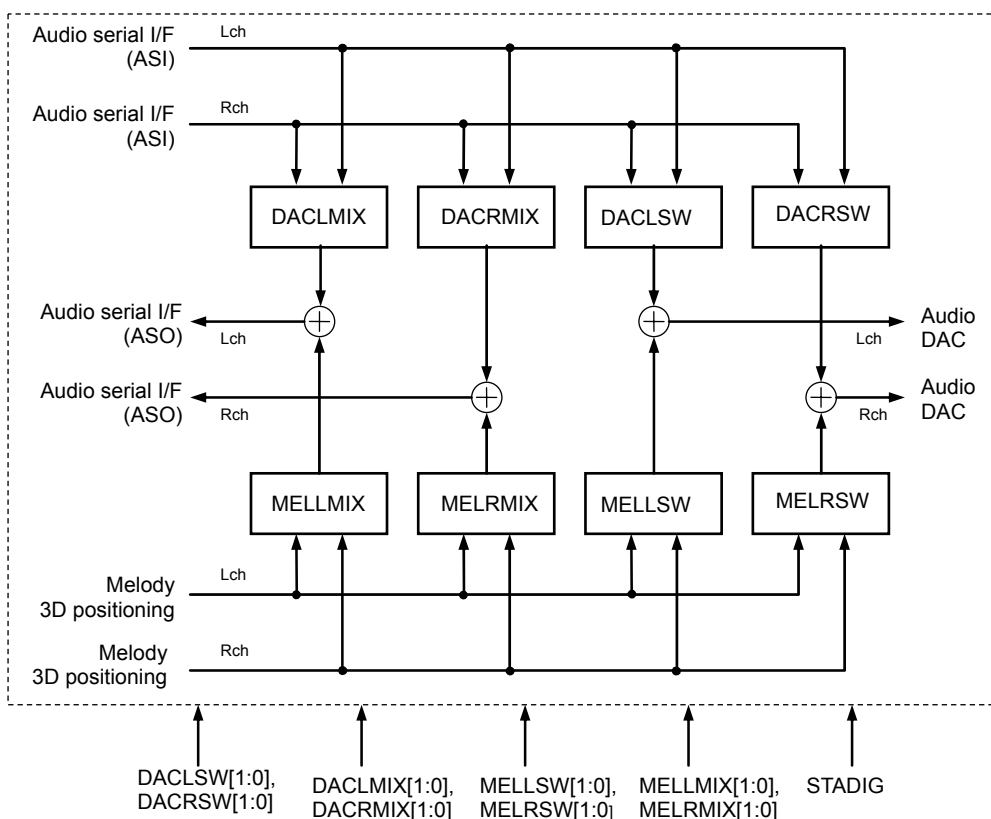
本ブロックは，STADAC レジスタ=ハイ・レベルで動作します。ゲイン調整部では，Audio DAC 出力に対し，アナログ回路でゲイン調整を行います。L ch，R ch のゲインは個別に設定可能です。

表 5 - 6 アナログ・ゲイン調整

ブロック	設定アドレス	調整範囲
ADACLVRGA	17H	ミュート，0 ~ -45 dB/1.5 dB ステップ
ADACRVRGA	18H	ミュート，0 ~ -45 dB/1.5 dB ステップ

5.8 デジタル・ミキシング部

図 5-9 デジタル・ミキシング・ブロック



本ブロックは次の機能を持っています。

- ・オーディオ・シリアル・インタフェースからのデジタル入力信号，音源からのデジタル出力信号をミキシングします（ミキシングは  $f_s = 32 \text{ kHz}$  時のみ可能）。
- ・ミキシングされたデジタル・データを，ASIO ブロック，Audio DAC ブロックへ出力します。
- ・各セレクタは，スルー（L ch L ch, R ch R ch），チャンネル反転（L ch R ch, R ch L ch），モノラル化（L ch L ch + R ch, R ch L ch + R ch），ミュート（L ch x, R ch x）の選択が可能です。なおモノラル化の場合は，L ch, R ch のゲインを 1/2 にした後加算となります。
- ・本ブロックの電源は DV<sub>DD</sub> です。

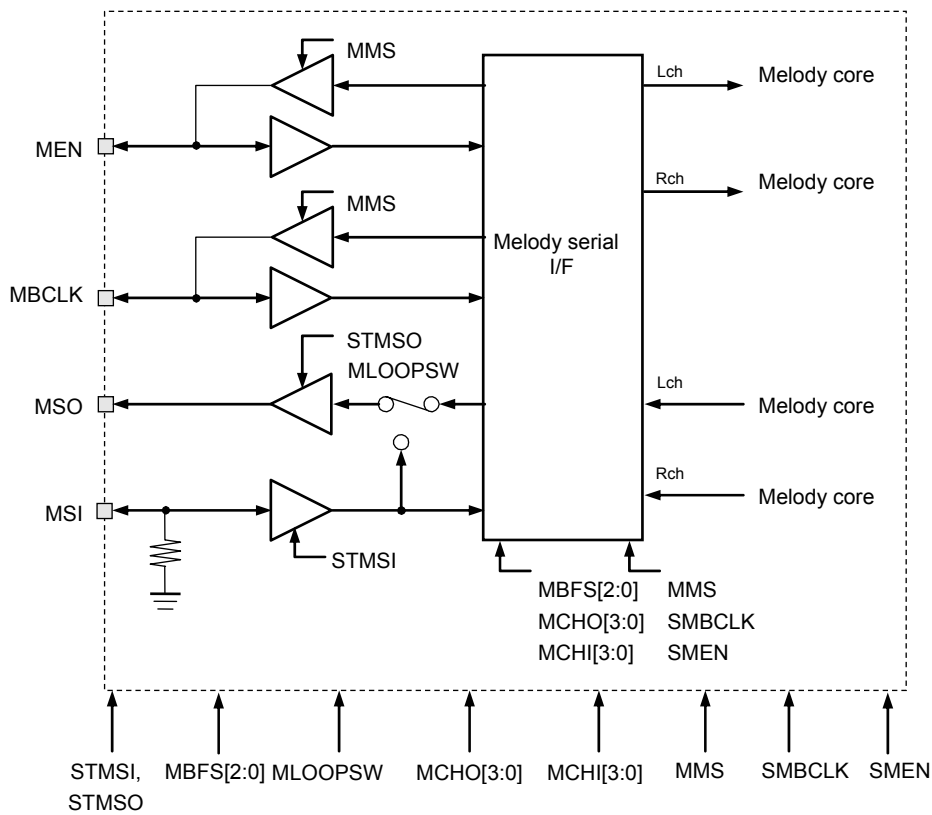
本ブロックは，STADIG レジスタ=ハイ・レベルで動作します。

表 5-7 セレクタ設定

ブロック	初期設定	設定パス
DACLSW	スルー	ASI - Audio DAC 間バス設定
DACRSW	スルー	ASI - Audio DAC 間バス設定
MELLSW	スルー	音源 - Audio DAC 間バス設定
MELRSW	スルー	音源 - Audio DAC 間バス設定
DACLMIX	ミュート	ASI - ASO 間バス設定
DACRMIX	ミュート	ASI - ASO 間バス設定
MELLMIX	ミュート	音源 - ASO 間バス設定
MELRMIX	ミュート	音源 - ASO 間バス設定

5.9 音源コア外部接続専用シリアル・インタフェース (MSIO)

図 5 - 10 音源コア外部接続専用シリアル・インタフェース



本ブロックは次の機能を持っています。

- ・ MSI より入力されたシリアル・データをパラレル・データに変換し、音源コア部へ出力します。
- ・ 音源コア部より入力されたパラレル・データをシリアル・データに変換し、MSO から出力します。
- ・ サンプリング周波数は 32 kHz 固定です。
- ・ レジスタ設定により、MBCLK の周波数を変更可能 (デフォルト : 64 fs) です。
- ・ レジスタ設定により、MSI 入力データ、MSO 出力データの有効データ数を個別に設定可能です。
- ・ レジスタ設定により、MSI - MSO 間でデータのループバックが可能です。
- ・ レジスタ設定により、スレープ・モード (デフォルト)、マスタ・モードの設定が可能です。
- ・ レジスタ設定により、フレーム同期モード (デフォルト)、LR ステレオ・モードの設定が可能です。
- ・ レジスタ設定により、ビット・クロック MBCLK を反転可能です。
- ・ 本ブロックの電源は DV<sub>DD</sub> です。

本ブロックはレジスタ STMSI, STMSO により動作します。詳細は表 5 - 8をご覧ください。

**表 5 - 8 MSIO 状態表**

端子名	機 能	MMS = 0 (スレーブ・モード)				MMS = 1 (マスタ・モード)			
		(STMSI, STMSO)				(STMSI, STMSO)			
		(0, 0)	(1, 1)	(1, 0)	(0, 1)	(0, 0)	(1, 1)	(1, 0)	(0, 1)
MBCLK	音源コア外部接続専用ビット同期クロック入出力	IN (internal:Low)	IN	IN	IN	Low	OUT	OUT	OUT
MEN	音源コア外部接続専用フレーム同期クロック入出力	IN (internal:Low)	IN	IN	IN	Low	OUT	OUT	OUT
MSI	音源コア外部接続専用データ入力	-	IN	IN	-	-	IN	IN	-
MSO	音源コア外部接続専用データ出力	Hi-Z	OUT	Hi-Z	OUT	Hi-Z	OUT	Hi-Z	OUT

本ブロック使用時の注意事項については次に示します。

**5. 9. 1 MSIO 使用時の注意事項**

MSIO は, ASIO と同じくスレーブ・モード, マスタ・モードでの動作が可能です。

ASIO と MSIO を同時に使用する場合には, 本 LSI 内部のフレーム信号を統一する必要があるため, ASIO はマスタ・モードのみ使用可能となります。

また, それぞれの使用状態において, 次の記制限事項が加わります。

- (1) ASIO を単独, かつマスタ・モードで使用する場合は, BFS の設定値は 64 fs, 32 fs のみです。
- (2) MSIO を単独, かつマスタ・モードで使用する場合は, MBFS の設定値は 32 fs, 64 fs, 128 fs, 256 fs のみです
- (3) ASIO, MSIO の両方を使用する場合は, ASIO はマスタ・モードのみ使用可能となります。
- (4) 上記 (1), (2), (3) のいずれの場合も, BFS, MBFS に無効な値が設定された場合, それぞれデフォルト値が設定されます。



6. レジスタ (音源以外のレジスタ)

音源部を除くレジスタの説明を表 6 - 1に示します。ここに設定されていないレジスタに書き込むことはできません。

表 6 - 1 コントロール・レジスタ

アド レス	R/W	D7	D6	D5	D4	D3	D2	D1	D0	初期値	機 能	レジスタ名		
00H	R/W	STADIG	STPLL2	STPLL1	STASI	STASO	STSYNTH	STADAC	STREF	00H	LSI スタンバイ設定	STNBY		
01H	R/W	0	MCLK1A[6:0]								1CH	マスタ・クロック設定 1	MCLK1A	
02H	R/W	MCLK1B[7:0]									80H	マスタ・クロック設定 1	MCLK1B	
03H	R/W	0	0	0	MCLK2A[4:0]						02H	マスタ・クロック設定 2	MCLK2A	
04H	R/W	MCLK2B[7:0]									2AH	マスタ・クロック設定 2	MCLK2B	
05H	R/W	0	0	0	0	0	0	CSTRTEN	MCLKSEL	00H	クロック切り替え	MCLKSEL		
06H	R/W									不定	Reserved	Reserved		
07H	R/W	BFS[4:0]				FS[2:0]						00H	FS, BCLK セレクト	SEL_FS
08H	R/W	0	0	EX3DAEN	AULOOPSW	SLR	AMS	ASIM	LRCLK	00H	ASI	SEL_ASI		
09H	R/W	DACLMIX[1:0]		DACRMIX[1:0]		DACLSW[1:0]		DACRSW[1:0]		F0H	ミキシング・バス 1	MIXING1		
0AH	R/W	MELLMIX[1:0]		MELRMIX[1:0]		MELLSW[1:0]		MELRSW[1:0]		F0H	ミキシング・バス 2	MIXING2		
0BH	R/W	0	0	0	0	0	PCMLSW	0	PCMRSW	00H	ミキシング・バス 3	MIXING3		
0CH	R/W									不定	Reserved	Reserved		
0DH	R/W	0	0	0	0	0	0	VIB	LED	00H	LED, VIB 出力の設定	LEDVIB		
0EH	R/W	0	0	0	0	POUT3	POUT2	POUT1	POUT0	00H	汎用ポート外部出力設定	POUT		
0FH	R/W										Reserved	Reserved		
10H	R/W	0	0	0	0	SLOPE[1:0]		AUSMUTE	MELSMUTE	00H	ソフト・ミュート	SMUTE		
11H	R/W	MELLDG2[1:0]		MELLDG1[5:0]								FFH	ADAC デジタル・ゲイン/ バス	MELLDG
12H	R/W	MELRDG2[1:0]		MELRDG1[5:0]								FFH	ADAC デジタル・ゲイン/ バス	MELRDG
13H	R/W	AULDG2[1:0]		AULDG1[5:0]								FFH	ADAC デジタル・ゲイン/ バス	AULDG
14H	R/W	AURDG2[1:0]		AURDG1[5:0]								FFH	ADAC デジタル・ゲイン/ バス	AURDG
15H	R/W										Reserved	Reserved		
16H	R/W										Reserved	Reserved		
17H	R/W	0	0	0	ADACLVRGA[4:0]						1FH	ADAC アナログ・ゲイン	ADACLVR	
18H	R/W	0	0	0	ADACRVGA[4:0]						1FH	ADAC アナログ・ゲイン	ADACVR	
20H	R/W	0	0	0	0	0	0	STMSI	STMSO	00H	LSI スタンバイ設定 (MSIO 時)	STNBY2		
21H	R/W	0	MBFS[2:0]			MLOOPSW	MMS	SMEN	SMBCLK		10H	MSIO	SEL_MSIO1	
22H	R/W	MCHI[3:0]				MCHO[3:0]						33H	MSIO	SEL_MSIO2
3FH	R	1	0	1	1	VER[3:0]						不定	LSI バージョン	LSIVER
7CH	R/W	0	0	0	0	0	0	BANK1	BANK0	00H	BANK 切り替え <sup>注</sup>	BANK		

注 シリアル・モード時のみです。

6.1 スタンバイ設定 (STNBY)

スタンバイ・モードの設定を行います。

アドレス：00H，レジスタ名：STNBY，ブロック：全体，アクセス：R/W，初期値：00H

D7	D6	D5	D4	D3	D2	D1	D0
STADIG	STPLL2	STPLL1	STASI	STASO	STSYNTH	STADAC	STREF

6.1.1 STADIG

データ	モード	初期値	説明
0	Stand-by	0	オーディオ・デジタル・ブロック部のスタンバイ
1	ON		通常動作

6.1.2 STPLL2

スタンバイ・モード中，PLL2 出力はクロック供給を停止します。

データ	モード	初期値	説明
0	Stand-by	0	PLL2 のスタンバイ
1	ON		通常動作

6.1.3 STPLL1

スタンバイ・モード中，PLL1 出力はクロック供給を停止します。

データ	モード	初期値	説明
0	Stand-by	0	PLL1 のスタンバイ
1	ON		通常動作

6.1.4 STASI

データ	モード	初期値	説明
0	Stand-by	0	ASI (オーディオ・シリアル・インタフェース入力) のスタンバイ
1	ON		通常動作

6.1.5 STASO

LRCLKおよびBCLKの動作は，STASIとSTASO両方のビットをスタンバイにしたときのみスタンバイとなります。

詳しくは表 5-4 ASIO 状態表を参照してください。

データ	モード	初期値	説明
0	Stand-by	0	ASO (オーディオ・シリアル・インタフェース出力) のスタンバイ
1	ON		通常動作

6.1.6 STSYNTH

データ	モード	初期値	説明
0	Stand-by	0	音源ブロック (Synthesizer) のスタンバイ
1	ON		通常動作

6.1.7 STADAC

データ	モード	初期値	説明
0	Stand-by	0	オーディオ DAC ブロック部のスタンバイ
1	ON		通常動作

6.1.8 STREF

スタンバイ・モード中，PLL およびすべてのアナログ・ブロックに基準電圧 / 基準電流が供給されません。  
本 LSI 使用時は，必ず ON にして使用してください。

データ	モード	初期値	説明
0	Stand-by	0	アナログ部基準電圧 / 基準電流のスタンバイ
1	ON		通常動作

6.2 マスタ・クロックの切り替え (MCLK1A, MCLK1B, MCLK2A, MCLK2B)

マスタ・クロックの設定は，6.3.2 (2) 音源用マスタ・クロック PLL2 設定を参照願います。

アドレス：01H，レジスタ名：MCLK1A，ブロック：PLL1，アクセス：R/W，初期値：1CH

D7	D6	D5	D4	D3	D2	D1	D0
0 MCLK1A[6:0]							

アドレス：02H，レジスタ名：MCLK1B，ブロック：PLL1，アクセス：R/W，初期値：80H

D7	D6	D5	D4	D3	D2	D1	D0
MCLK1B[7:0]							

アドレス：03H，レジスタ名：MCLK2A，ブロック：PLL2，アクセス：R/W，初期値：02H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	MCLK2A[4:0]				

アドレス：04H，レジスタ名：MCLK2B，ブロック：PLL2，アクセス：R/W，初期値：2AH

D7	D6	D5	D4	D3	D2	D1	D0
MCLK2B[7:0]							

**6.2.1 MCLK1A[6:0]**

データ	モード	初期値	説明
MCLK1A[6:0]		1CH	オーディオ・マスタ・クロック生成用 PLL1 の設定を行います

**6.2.2 MCLK1B[7:0]**

データ	モード	初期値	説明
MCLK1B[7:0]		80H	オーディオ・マスタ・クロック生成用 PLL1 の設定を行います

**6.2.3 MCLK2A[4:0]**

データ	モード	初期値	説明
MCLK2A[4:0]		02H	音源マスタ・クロック生成用 PLL2 の設定を行います

**6.2.4 MCLK2B[7:0]**

データ	モード	初期値	説明
MCLK2B[7:0]		2AH	音源マスタ・クロック生成用 PLL2 の設定を行います

**6.3 入力クロック選択 (MCLKSEL)**

アドレス : 05H, レジスタ名 : MCLKSEL, ブロック : PLL 全体, アクセス : R/W, 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	CSTRTEN	MCLKSEL

**6.3.1 MCLKSEL**

レジスタによりクロック入力端子の切り替えを行う場合は、クロック選択ピン CSTRT を必ずオープンまたはロウ・レベル固定としてください (プルダウン抵抗内蔵)。

データ	モード	初期値	説明
0	MCLK1 入力	0	クロック入力端子に MCLK1 を選択
1	MCLK2 入力		クロック入力端子に MCLK2 を選択

**6.3.2 CSTRTEN**

通常の切り替えには MCLKSEL を使用してください (CSTRTEN = 0 : 初期値)。

データ	モード	初期値	説明
0	CSTRT 無効	0	クロック入力端子切り替えにレジスタ MCLKSEL を使用
1	CSTRT 有効		クロック入力端子切り替えに CSTRT 端子を使用

**(1) オーディオ・ブロック用マスタ・クロック PLL1 設定**

CTSRT 端子によるクロック入力端子切り替え時は，入力できる周波数に制限が加わります。

MCLK1 = 15.36 MHz，MCLK2 = 12.00 MHz のみとなります。

**表 6 - 2 CSTRT 端子による切り替え未使用時 (CSTRTEN = 0)**

入力周波数 [ MHz ]	MCLK1A		MCLK1B		誤差 [ % ]	音源以外用 マスタ周波数 [ MHz ]
	Dec.	HEX	Dec.	HEX		
3.840	20	14H	128	80H	0.0000	24.57600
5.376 (初期値)	28	1CH	128	80H	0.0000	24.57600
12.000	75	4BH	154	9AH	0.2604	24.64000
12.600	81	51H	158	9EH	0.0072	25.57778
13.000	64	40H	121	79H	0.0086	24.57813
14.400	75	4BH	128	80H	0.0000	24.57600
15.360	96	60H	154	9AH	0.2604	24.64000

**表 6 - 3 CSTRT 端子による切り替え使用時 (CSTRTEN = 1)**

入力周波数 [ MHz ]	MCLK1A		MCLK1B		誤差 [ % ]	音源用 マスタ周波数 [ MHz ]
	Dec.	HEX	Dec.	HEX		
MCLK1 = 15.36 MHz MCLK2 = 12.00 MHz	75	4BH	154	9AH	0.2604	24.64000

**(2) 音源用マスタ・クロック PLL2 設定**

CTSRT 端子によるクロック入力端子切り替え時は，入力できる周波数に制限が加わります。

MCLK1 = 15.36 MHz，MCLK2 = 12.00 MHz のみとなります。

**表 6 - 4 CSTRT 端子による切り替え未使用時 (CSTRTEN = 0)**

入力周波数 [ MHz ]	MCLK2A		MCLK2B		誤差 [ % ]	音源用 マスタ周波数 [ MHz ]
	Dec.	HEX	Dec.	HEX		
3.840	2	02H	59	3BH	0.4255	113.2800
5.376 (初期値)	2	02H	42	2AH	0.0851	112.8960
12.000	5	05H	47	2FH	0.0000	112.8000
12.600	5	05H	45	2DH	0.5319	113.4000
13.000	5	05H	44	2CH	1.4184	114.4000
14.400	6	06H	47	2FH	0.0000	112.8000
15.360	6	06H	44	2CH	0.1418	112.6400

**表 6 - 5 CSTRT 端子による切り替え使用時 (CSTRTEN = 1)**

入力周波数 [ MHz ]	MCLK2A		MCLK2B		誤差 [ % ]	音源用 マスタ周波数 [ MHz ]
	Dec.	HEX	Dec.	HEX		
MCLK1 = 15.36 MHz MCLK2 = 12.00 MHz	25	19H	234	EAH	0.4255	112.3200

**6.4 オーディオ・シリアル・インタフェース FS 切り替え, BCLK 切り替え (SEL\_FS)**

ASIO のサンプリング・レートおよび BCLK の周波数を設定します。

アドレス : 07H, レジスタ名 : SEL\_FS, ブロック : ASIO, アクセス : R/W, 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
BFS[4:0]					FS[2:0]		

**6.4.1 FS[2:0]**

データ	モード	初期値	説明
000b	32 kHz	000b	ASIO のサンプリング・レートを 32 kHz にします。
001b	44.1 kHz		ASIO のサンプリング・レートを 44.1 kHz にします。
010b	48 kHz		ASIO のサンプリング・レートを 48 kHz にします。
100b	8 kHz		ASIO のサンプリング・レートを 8 kHz にします。
101b	16 kHz		ASIO のサンプリング・レートを 16 kHz にします。

**注意** 上記以外のデータは設定しないでください。

MSIO 使用時 (STMSI or STMSO = 1 時) は, 強制的にサンプリング・レートが 32 kHz (初期値) に設定されます。

**6.4.2 BFS[4:0]**

データ	モード	初期値	説明
00H	64 fs	00H	BCLK の周波数を 64 fs へ設定します (マスタ・モードで設定可能)。
01H	62 fs		BCLK の周波数を 62 fs へ設定します。
02H	60 fs		BCLK の周波数を 60 fs へ設定します。
03H	58 fs		BCLK の周波数を 58 fs へ設定します。
04H	56 fs		BCLK の周波数を 56 fs へ設定します。
05H	54 fs		BCLK の周波数を 54 fs へ設定します。
06H	52 fs		BCLK の周波数を 52 fs へ設定します。
07H	50 fs		BCLK の周波数を 50 fs へ設定します。
08H	48 fs		BCLK の周波数を 48 fs へ設定します。
09H	46 fs		BCLK の周波数を 46 fs へ設定します。
0AH	44 fs		BCLK の周波数を 44 fs へ設定します。
0BH	42 fs		BCLK の周波数を 42 fs へ設定します。
0CH	40 fs		BCLK の周波数を 40 fs へ設定します。
0DH	38 fs		BCLK の周波数を 38 fs へ設定します。
0EH	36 fs		BCLK の周波数を 36 fs へ設定します。
0FH	34 fs		BCLK の周波数を 34 fs へ設定します。
10H	32 fs		BCLK の周波数を 32 fs へ設定します (マスタ・モードで設定可能)。
18H	80 fs		BCLK の周波数を 80 fs へ設定します。
1CH	120 fs		BCLK の周波数を 120 fs へ設定します。

**注意** マスタ・モード (AMS = 1) の場合は, 64 fs (00H) と 32 fs (10H) のみ設定が可能で, 64 fs, 32 fs 以外を設定した場合は 64 fs に強制的に設定されます。

MSIO と ASIO を同時使用する場合は, ASIO はマスタ・モードのみ (BFS = 32, 64 fs) となります。

6.5 ASIO モード設定 (SEL\_ASI)

ASIO の設定をします。

アドレス : 08H, レジスタ名 : SEL\_ASI, ブロック : ASIO, アクセス : R/W, 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	EX3DAEN	AULOOPSW	SLR	AMS	ASIM	LRCLK

6.5.1 EX3DAEN

データ	モード	初期値	説明
0	OFF	0	通常動作
1	ON		3DA サラウンドの基準クロック 44.1 kHz

6.5.2 AULOOPSW

データ	モード	初期値	説明
0	通常モード	0	通常動作
1	ループバック		ASIO のループバック・モード (ASI ASO)

6.5.3 SLR

データ	モード	初期値	説明
0	SR	0	ASIO データ右詰めフォーマット
1	SL		ASIO データ左詰めフォーマット

6.5.4 AMS

データ	モード	初期値	説明
0	スレーブ	0	ASIO スレーブ・モード
1	マスタ		ASIO マスタ・モード

注意 ASIO と MSIO を同時に使用する場合は, ASIO は強制的にマスタ・モード (AMS = 1) に設定されます。

6.5.5 ASIM

データ	モード	初期値	説明
0	LR	0	ASIO LR モード
1	IIS		ASIO IIS モード

6.5.6 LRCLK

データ	モード	初期値	説明
0	L ch	0	LRCLK がハイ・レベルのとき L チャンネル・データ
1	R ch		LRCLK がハイ・レベルのとき R チャンネル・データ

注意 1. IIS モード選択時は, SLR = 1, LRCLK = 1 と設定してください。

2. スレーブ・モード (AMS = 0) では外部クロック入力が必要です。

6.6 デジタル・ミキシング・パス (ASI 入力データ) 選択 (MIXING1)

ASI-ASO, DAC ミキシング設定を選択します。

アドレス : 09H, レジスタ名 : MIXING1, ブロック : Selector mixer, アクセス : R/W, 初期値 : F0H

D7	D6	D5	D4	D3	D2	D1	D0
DACLMIX[1:0]		DACRMIX[1:0]		DACLSW[1:0]		DACRSW[1:0]	

6.6.1 DACLMIX[1:0]

データ	モード	初期値	説明
00b	スルー	11b	ASI L ch 入力データを ASO の L ch へ出力
01b	クロス		ASI R ch 入力データを ASO の L ch へ出力 (LR 反転)
10b	モノラル		ASI L/R ch 入力データを MIX して ASO の L ch へ出力 (LR 加算, モノラル化)
11b	ミュート		ASI L ch 入力データから ASO の L ch への出力をミュート

6.6.2 DACRMIX[1:0]

データ	モード	初期値	説明
00b	スルー	11b	ASI R ch 出力データを ASO の R ch へ出力
01b	クロス		ASI L ch 出力データを ASO の R ch へ出力 (LR 反転)
10b	モノラル		ASI L/R ch 出力データを MIX して ASO の R ch へ出力 (LR 加算, モノラル化)
11b	ミュート		ASI R ch 出力データから ASO の R ch への出力をミュート

6.6.3 DACLSW[1:0]

データ	モード	初期値	説明
00b	スルー	00b	ASI L ch 出力データを DAC パスの L ch へ出力
01b	クロス		ASI R ch 出力データを DAC パスの L ch へ出力 (LR 反転)
10b	モノラル		ASI L/R ch 出力データを MIX して DAC パスの L ch へ出力 (LR 加算, モノラル化)
11b	ミュート		ASI L ch 出力データから DAC パスへの L ch 出力をミュート

6.6.4 DACRSW[1:0]

データ	モード	初期値	説明
00b	スルー	00b	ASI R ch 出力データを DAC パスの R ch へ出力
01b	クロス		ASI L ch 出力データを DAC パスの R ch へ出力 (LR 反転)
10b	モノラル		ASI L/R ch 出力データを MIX して DAC パスの R ch へ出力 (LR 加算, モノラル化)
11b	ミュート		ASI L/R ch 出力データから DAC パスへの R ch 出力をミュート



6.7 デジタル・ミキシング・パス (音源出力データ) 選択 (MIXING2)

音源-ASO, DAC ミキシング設定を選択します。

アドレス : 0AH, レジスタ名 : MIXING2, ブロック : Selector mixer, アクセス : R/W, 初期値 : F0H

D7	D6	D5	D4	D3	D2	D1	D0
MELLMIX[1:0]		MELRMIX[1:0]		MELLSW[1:0]		MELRSW[1:0]	

6.7.1 MELLMIX[1:0]

データ	モード	初期値	説明
00b	スルー	11b	音源 L ch 出力データを ASO の L ch へ出力
01b	クロス		音源 R ch 出力データを ASO の L ch へ出力 (LR 反転)
10b	モノラル		音源 L/R ch 出力データを MIX して ASO の L ch へ出力 (LR 加算, モノラル化)
11b	ミュート		音源 L ch 出力データから ASO の L ch への出力をミュート

6.7.2 MELRMIX[1:0]

データ	モード	初期値	説明
00b	スルー	11b	音源 R ch 出力データを ASO の R ch へ出力
01b	クロス		音源 L ch 出力データを ASO の R ch へ出力 (LR 反転)
10b	モノラル		音源 L/R ch 出力データを MIX して ASO の R ch へ出力 (LR 加算, モノラル化)
11b	ミュート		音源 R ch 出力データから ASO の R ch への出力をミュート

6.7.3 MELLSW[1:0]

データ	モード	初期値	説明
00b	スルー	00b	音源 L ch 出力データを DAC パスの L ch へ出力
01b	クロス		音源 R ch 出力データを DAC パスの L ch へ出力 (LR 反転)
10b	モノラル		音源 L/R ch 出力データを MIX して DAC パスの L ch へ出力 (LR 加算, モノラル化)
11b	ミュート		音源 L ch 出力データから DAC パスの L ch への出力をミュート

6.7.4 MELRSW[1:0]

データ	モード	初期値	説明
00b	スルー	00b	音源 R ch 出力データを DAC パスの R ch へ出力
01b	クロス		音源 L ch 出力データを DAC パスの R ch へ出力 (LR 反転)
10b	モノラル		音源 L/R ch 出力データを MIX して DAC パスの R ch へ出力 (LR 加算, モノラル化)
11b	ミュート		音源 L/R ch 出力データから DAC パスの R ch への出力をミュート

**6.8 デジタル・ミキシング・パス (ASI - 音源) 選択 (MIXING3)**

音源-ASO パス・ミキシング設定をします。

アドレス : 0BH, レジスタ名 : MIXING3, ブロック : Selector mixer, アクセス : R/W, 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	PCMLSW	0	PCMRSW

**6.8.1 PCMLSW**

データ	モード	初期値	説明
0	ミュート	0	ミュート
1	スルー		ASI からのデータ (Lch) を選択

**6.8.2 PCMRSW**

データ	モード	初期値	説明
0	ミュート	0	ミュート
1	スルー		ASI からのデータ (Rch) を選択

**6.9 VIB, LED 設定 (LEDVIB)**

VIB, LED の設定をします。

アドレス : 0DH, レジスタ名 : LEDVIB, ブロック : VB, LED, アクセス : R/W, 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	VIB	LED

**6.9.1 VIB**

データ	モード	初期値	説明
0	OFF	0	VIB 端子からロウ・レベルを出力します。
1	ON		VIB 端子からハイ・レベルを出力します。

**6.9.2 LED**

データ	モード	初期値	説明
0	OFF	0	LED 端子からロウ・レベルを出力します。
1	ON		LED 端子からハイ・レベルを出力します。

**備考** VIB, LED とともに, レジスタの値を出力端子 (LSI の端子) へ出力します。

6.10 汎用出力端子の設定 (POUT)

汎用出力端子を設定します。

アドレス：0EH，レジスタ名：POUT，ブロック：PO，アクセス：R/W，初期値：00H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	POUT3	POUT2	POUT1	POUT0

6.10.1 POUT0-POUT3

データ	モード	初期値	説明
0	LOW	0	該当する PO0-POUT3 端子からロウ・レベルを出力します。
1	HIGH		該当する PO0-POUT3 端子からハイ・レベルを出力します。

備考 STADIG 設定がスタンバイ時，POUT 出力はデータ値を保持します。

6.11 オーディオ・ソフト・ミュート制御 (SMUTE)

ソフト・ミュート制御を行います。

アドレス：10H，レジスタ名：SMUTE，ブロック：Audio，アクセス：R/W，初期値：00H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	SLOPE[1:0]		AUSMUTE	MELSMUTE

6.11.1 SLOPE[1:0]

データ	モード	初期値	説明
00b	8 ms	00b	ソフト・ミュート解除時間を 8 ms に設定 ( - 63 dB 0 dB )
01b	16 ms		ソフト・ミュート解除時間を 16 ms に設定 ( - 63 dB 0 dB )
10b	24 ms		ソフト・ミュート解除時間を 24 ms に設定 ( - 63 dB 0 dB )
11b	32 ms		ソフト・ミュート解除時間を 32 ms に設定 ( - 63 dB 0 dB )

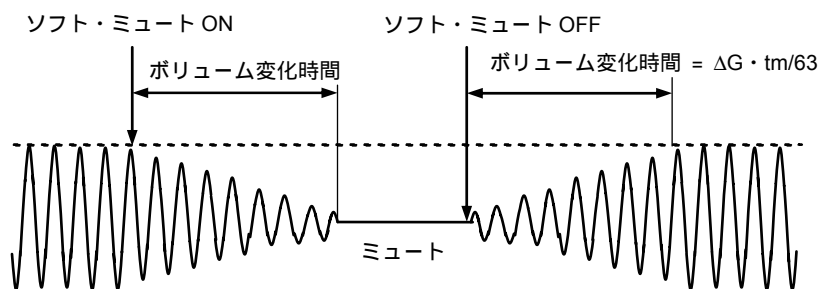
6.11.2 AUSMUTE

データ	モード	初期値	説明
0	OFF	0	ASIO 入力データのソフト・ミュート制御なし
1	ON		ASIO 入力データのソフト・ミュート制御あり

6.11.3 MELSMUTE

データ	モード	初期値	説明
0	OFF	0	音源出力のソフト・ミュート制御なし
1	ON		音源出力のソフト・ミュート制御あり

図 6-1 ソフト・ミュート動作



**備考**  $\Delta G$  : ゲイン設定差  
 $tm$  : ボリューム設定時間

**6.12 オーディオ DAC 用デジタル・ボリューム（音源出力 L ch）設定（MELLDG）**

デジタル・ゲイン（音源出力 L ch）を設定します。

アドレス：11H，レジスタ名：MELLDG，ブロック：デジタル・ボリューム，アクセス：R/W，初期値：FFH

D7	D6	D5	D4	D3	D2	D1	D0
MELLDG2[1:0]				MELLDG1[5:0]			

**6.12.1 MELLDG2[1:0]**

データ	モード	初期値	説明
MELLDG2[1:0]		11b	デジタル・ゲイン（音源出力 L ch）設定

**6.12.2 MELLDG1[5:0]**

データ	モード	初期値	説明
MELLDG1[5:0]		111111b	デジタル・ゲイン（音源出力 L ch）設定

**備考** 設定値としては、両者の加算ゲインが設定されます（表 6-6 デジタル・ゲイン設定 1，表 6-7 デジタル・ゲイン設定 2を参照）。

**6.13 オーディオ DAC 用デジタル・ボリューム（音源出力 R ch）設定（MELRDG）**

デジタル・ゲイン（音源出力 R ch）を設定します。

アドレス：12H，レジスタ名：MELRDG，ブロック：デジタル・ボリューム，アクセス：R/W，初期値：FFH

D7	D6	D5	D4	D3	D2	D1	D0
MELRDG2[1:0]			MELRDG1[5:0]				

**6.13.1 MELRDG2[1:0]**

データ	モード	初期値	説明
MELRDG2[1:0]		11b	デジタル・ゲイン（音源出力 R ch）設定

**6.13.2 MELRDG1[5:0]**

データ	モード	初期値	説明
MELRDG1[5:0]		111111b	デジタル・ゲイン（音源出力 R ch）設定

**備考** 設定値としては、両者の加算ゲインが設定されます（表 6-6 デジタル・ゲイン設定 1，表 6-7 デジタル・ゲイン設定 2を参照）。

**6.14 オーディオ DAC 用デジタル・ボリューム（ASI 入力 L ch）設定（AULDG）**

デジタル・ゲイン（ASI 入力 L ch）を設定します。

アドレス：13H，レジスタ名：AULDG，ブロック：デジタル・ボリューム，アクセス：R/W，初期値：FFH

D7	D6	D5	D4	D3	D2	D1	D0
AULDG2[1:0]			AULDG1[5:0]				

**6.14.1 AULDG2[1:0]**

データ	モード	初期値	説明
AULDG2[1:0]		11b	デジタル・ゲイン（ASI 入力 L ch）設定

**6.14.2 AULDG1[5:0]**

データ	モード	初期値	説明
AULDG1[5:0]		111111b	デジタル・ゲイン（ASI 入力 L ch）設定

**備考** 設定値としては、両者の加算ゲインが設定されます（表 6-6 デジタル・ゲイン設定 1，表 6-7 デジタル・ゲイン設定 2を参照）。

**6.15 オーディオ DAC 用デジタル・ボリューム (ASI 入力 R ch) 設定 (AURDG)**

デジタル・ゲイン (ASI 入力 R ch) を設定します。

アドレス : 14H, レジスタ名 : AURDG, ブロック : デジタル・ボリューム, アクセス : R/W, 初期値 : FFH

D7	D6	D5	D4	D3	D2	D1	D0
AURDG2[1:0]			AURDG1[5:0]				

**6.15.1 AURDG2[1:0]**

データ	モード	初期値	説明
AURDG2[1:0]		11b	デジタル・ゲイン (ASI 入力 R ch) 設定

**6.15.2 AURDG1[5:0]**

データ	モード	初期値	説明
AURDG1[5:0]		111111b	デジタル・ゲイン (ASI 入力 R ch) 設定

**備考** 設定値としては、両者の加算ゲインが設定されます (表 6-6 デジタル・ゲイン設定 1, 表 6-7 デジタル・ゲイン設定 2を参照)。

- 例) +10dB 設定時    : ( +12 dB ) + ( - 2 dB )    82H
- 0 dB 設定時     : ( 0 dB ) + ( 0 dB )     00H
- 20 dB 設定時   : ( 0 dB ) + ( - 20 dB )   14H
- 60 dB 設定時   : ( 0 dB ) + ( - 60 dB )   3CH

表 6-6 デジタル・ゲイン設定 1

---DG2[1:0]	ゲイン
00b	0 dB
01b	+ 6 dB
10b	+ 12 dB
11b	ミュート (初期値)

表 6-7 デジタル・ゲイン設定 2

---DG1[5:0]	ゲイン設定値	---DG1[5:0]	ゲイン設定値
000000b	0 dB	100000b	- 32 dB
000001b	- 1 dB	100001b	- 33 dB
000010b	- 2 dB	100010b	- 34 dB
000011b	- 3 dB	100011b	- 35 dB
000100b	- 4 dB	100100b	- 36 dB
000101b	- 5 dB	100101b	- 37 dB
000110b	- 6 dB	100110b	- 38 dB
000111b	- 7 dB	100111b	- 39 dB
001000b	- 8 dB	101000b	- 40 dB
001001b	- 9 dB	101001b	- 41 dB
001010b	- 10 dB	101010b	- 42 dB
001011b	- 11 dB	101011b	- 43 dB
001100b	- 12 dB	101100b	- 44 dB
001101b	- 13 dB	101101b	- 45 dB
001110b	- 14 dB	101110b	- 46 dB
001111b	- 15 dB	101111b	- 47 dB
010000b	- 16 dB	110000b	- 48 dB
010001b	- 17 dB	110001b	- 49 dB
010010b	- 18 dB	110010b	- 50 dB
010011b	- 19 dB	110011b	- 51 dB
010100b	- 20 dB	110100b	- 52 dB
010101b	- 21 dB	110101b	- 53 dB
010110b	- 22 dB	110110b	- 54 dB
010111b	- 23 dB	110111b	- 55 dB
011000b	- 24 dB	111000b	- 56 dB
011001b	- 25 dB	111001b	- 57 dB
011010b	- 26 dB	111010b	- 58 dB
011011b	- 27 dB	111011b	- 59 dB
011100b	- 28 dB	111100b	- 60 dB
011101b	- 29 dB	111101b	- 61 dB
011110b	- 30 dB	111110b	- 62 dB
011111b	- 31 dB	111111b	- 63 dB

**6. 16 オーディオ DAC 用アナログ・マスタ・ボリューム (L ch) 設定 (ADACLVR)**

アナログ・ゲイン (L ch) を設定します。

アドレス : 17H, レジスタ名 : ADACLVR, ブロック : マスタ・ボリューム, アクセス : R/W, 初期値 : 1FH

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	ADACLVRGA[4:0]				

**6. 16. 1 ADACLVRGA[4:0]**

データ	モード	初期値	説明
ADACLVRGA[4:0]		11111b	アナログ・ゲイン (オーディオ DAC 出力 L ch) 設定

**6. 17 オーディオ DAC 用アナログ・マスタ・ボリューム (R ch) 設定 (ADACRVR)**

アナログ・ゲイン (R ch) を設定します。

アドレス : 18H, レジスタ名 : ADACRVR, ブロック : マスタ・ボリューム, アクセス : R/W, 初期値 : 1FH

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	ADACRVRGA[4:0]				

**6. 17. 1 ADACRVRGA[4:0]**

データ	モード	初期値	説明
ADACRVRGA[4:0]		11111b	アナログ・ゲイン (オーディオ DAC 出力 R ch) 設定

**表 6 - 8 アナログ・ゲイン設定 1**

----VRGA[4:0]	ゲイン設定値
00000b	0 dB
00001b	- 1.5 dB
00010b	- 3.0 dB
00011b	- 4.5 dB
00100b	- 6.0 dB
00101b	- 7.5 dB
00110b	- 9.0 dB
00111b	- 10.5 dB
01000b	- 12.0 dB
01001b	- 13.5 dB
01010b	- 15.0 dB
01011b	- 16.5 dB
01100b	- 18.0 dB
01101b	- 19.5 dB
01110b	- 21.0 dB
01111b	- 22.5 dB
10000b	- 24.0 dB
10001b	- 25.5 dB
10010b	- 27.0 dB
10011b	- 28.5 dB
10100b	- 30.0 dB
10101b	- 31.5 dB
10110b	- 33.0 dB
10111b	- 34.5 dB
11000b	- 36.0 dB
11001b	- 37.5 dB
11010b	- 39.0 dB
11011b	- 40.5 dB
11100b	- 42.0 dB
11101b	- 43.5 dB
11110b	- 45.0 dB
11111b	ミュート (初期値)



**6. 18 LSI スタンバイ (MSIO) の設定 (STNBY2)**

スタンバイ・モードの設定をします。

MEN および MBCLK の動作は、STMSI と STMSO 両方のビットをスタンバイにしたときのみスタンバイとなります。

詳しくは表 2 - 3 MSIO 状態表を参照してください。

アドレス：20H，レジスタ名：STNBY2，ブロック：MSIO，アクセス：R/W，初期値：00H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	STMSI	STMSO

**6. 18. 1 STMSO**

データ	モード	初期値	説明
0	Stand-by	0	MSO (音源外部接続用シリアル・インタフェース入力) のスタンバイ
1	ON		通常動作

**6. 18. 2 STMSI**

データ	モード	初期値	説明
0	Stand-by	0	MSO (音源外部接続用シリアル・インタフェース出力) のスタンバイ
1	ON		通常動作

**6. 19 MSIO モード設定 (SEL\_MSIO1)**

MSIO モードの設定をします。

アドレス : 21H, レジスタ名 : SEL\_MSIO1, ブロック : MSIO, アクセス : R/W, 初期値 : 10H

D7	D6	D5	D4	D3	D2	D1	D0
0	MBFS[2:0]			MLOOPSW	MMS	SMEN	SMBCLK

**6. 19. 1 SMBCLK**

データ	モード	初期値	説明
0	正転	0	ビット・クロック MBCLK を正転に設定します。
1	反転		ビット・クロック MBCLK を反転に設定します。

**6. 19. 2 SMEN**

データ	モード	初期値	説明
0	フレーム同期モード	0	MEN をフレーム同期モードに設定
1	ステレオ・モード		MEN を LR ステレ・オモードに設定

**備考** LR ステレオ・モードのとき, MEN 信号のハイ・レベル周期に R ch データ, ロウ・レベル周期に L ch データを格納します。

**6. 19. 3 MMS**

データ	モード	初期値	説明
0	スレーブ	0	MSIO スレーブ・モード
1	マスタ		MSIO マスタ・モード

**備考** スレーブ・モード (MMS = 0) 使用時は外部クロックが必要です。

**6. 19. 4 MLOOPSW**

データ	モード	初期値	説明
0	通常モード	0	通常動作
1	ループバック		MSIO のループバック・モード (MSI MSO)

6. 19. 5 MBFS[2:0]

データ	モード	初期値	説明
00H	32 fs	01H	MBCLK の周波数を 32 fs へ設定します( マスタ・モードで設定可能 )。
01H	64 fs		MBCLK の周波数を 64 fs へ設定します( マスタ・モードで設定可能 )。
02H	96 fs		MBCLK の周波数を 96 fs へ設定します。
03H	128 fs		MBCLK の周波数を 128 fs へ設定します ( マスタ・モードで設定可能 )。
04H	160 fs		MBCLK の周波数を 160 fs へ設定します。
05H	192 fs		MBCLK の周波数を 196 fs へ設定します。
06H	224 fs		MBCLK の周波数を 224 fs へ設定します。
07H	256 fs		MBCLK の周波数を 256 fs へ設定します ( マスタ・モードで設定可能 )。

注意 1. マスタ・モード ( MMS = 1 ) の場合は , 32, 64, 128, 256 fs のみが設定可能で , それ以外を設定した場合は 64 fs に強制的に設定されます。

2. MSIO と ASIO を同時使用する場合は , ASIO はマスタ・モードのみ ( BFS = 32, 64 fs ) となります。

6. 20 オーディオ・シリアル・インタフェース FS 切り替え, BCLK 切り替え (SEL\_FS)

MSI, MSO の有効チャンネル数を設定します。

アドレス : 22H, レジスタ名 : SEL\_MSIO2, ブロック : MSIO, アクセス : R/W, 初期値 : 33H

D7	D6	D5	D4	D3	D2	D1	D0
MCHI[3:0]				MCHO[3:0]			

6. 20. 1 MCHI[3:0]

データ	モード	初期値	説明
00H	1 ch	03H	MSI 入力データ用フレーム有効チャンネルを 1 ch に設定します。
01H	2 ch		MSI 入力データ用フレーム有効チャンネルを 2 ch に設定します。
02H	3 ch		MSI 入力データ用フレーム有効チャンネルを 3 ch に設定します。
03H	4 ch		MSI 入力データ用フレーム有効チャンネルを 4 ch に設定します。
04H	5 ch		MSI 入力データ用フレーム有効チャンネルを 5 ch に設定します。
05H	6 ch		MSI 入力データ用フレーム有効チャンネルを 6 ch に設定します。
06H	7 ch		MSI 入力データ用フレーム有効チャンネルを 7 ch に設定します。
07H	8 ch		MSI 入力データ用フレーム有効チャンネルを 8 ch に設定します。
08H	9 ch		MSI 入力データ用フレーム有効チャンネルを 9 ch に設定します。
09H	10 ch		MSI 入力データ用フレーム有効チャンネルを 10 ch に設定します。
0AH	11 ch		MSI 入力データ用フレーム有効チャンネルを 11 ch に設定します。
0BH	12 ch		MSI 入力データ用フレーム有効チャンネルを 12 ch に設定します。
0CH	13 ch		MSI 入力データ用フレーム有効チャンネルを 13 ch に設定します。
0DH	14 ch		MSI 入力データ用フレーム有効チャンネルを 14 ch に設定します。
0EH	15 ch		MSI 入力データ用フレーム有効チャンネルを 15 ch に設定します。
0FH	16 ch		MSI 入力データ用フレーム有効チャンネルを 16 ch に設定します。

6. 20. 2 MCHO[3:0]

データ	モード	初期値	説明
00H	1 ch	03H	MSO 出力データ用フレーム有効チャンネルを 1 ch に設定します。
01H	2 ch		MSO 出力データ用フレーム有効チャンネルを 2 ch に設定します。
02H	3 ch		MSO 出力データ用フレーム有効チャンネルを 3 ch に設定します。
03H	4 ch		MSO 出力データ用フレーム有効チャンネルを 4 ch に設定します。
04H	5 ch		MSO 出力データ用フレーム有効チャンネルを 5 ch に設定します。
05H	6 ch		MSO 出力データ用フレーム有効チャンネルを 6 ch に設定します。
06H	7 ch		MSO 出力データ用フレーム有効チャンネルを 7 ch に設定します。
07H	8 ch		MSO 出力データ用フレーム有効チャンネルを 8 ch に設定します。
08H	9 ch		MSO 出力データ用フレーム有効チャンネルを 9 ch に設定します。
09H	10 ch		MSO 出力データ用フレーム有効チャンネルを 10 ch に設定します。
0AH	11 ch		MSO 出力データ用フレーム有効チャンネルを 11 ch に設定します。
0BH	12 ch		MSO 出力データ用フレーム有効チャンネルを 12 ch に設定します。
0CH	13 ch		MSO 出力データ用フレーム有効チャンネルを 13 ch に設定します。
0DH	14 ch		MSO 出力データ用フレーム有効チャンネルを 14 ch に設定します。
0EH	15 ch		MSO 出力データ用フレーム有効チャンネルを 15 ch に設定します。
0FH	16 ch		MSO 出力データ用フレーム有効チャンネルを 16 ch に設定します。

**6.21 LSI バージョン設定 (LSIVER)**

LSI のバージョンを表示します。

本レジスタは読み出し専用です。書き込むことはできません。

例 ES1.0 の場合 VER[3:0] = 0000b

アドレス : 3FH, レジスタ名 : LSIVER, ブロック : テスト, アクセス : R, 初期値 : LSI のバージョンによる。

D7	D6	D5	D4	D3	D2	D1	D0
1	0	1	1	VER[3:0]			

**6.21.1 VER[3:0]**

データ	モード	初期値	説明
VER[3:0]			LSI のバージョン読み出し

**6.22 シリアル・インタフェース・モード時バンク設定 (BANK)**

シリアル・インタフェース・モード時に、音源レジスタと音源レジスタ以外のバンクの切り替えを設定します。

アドレス : 7CH, レジスタ名 : BANK, ブロック : CPU I/F, アクセス : R/W, 初期値 : 00H

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	BANK[1:0]	

**6.22.1 BANK[1:0]**

A1 端子	データ	初期値	説明
*	00H	00H	音源以外レジスタ 00H ~ 7FH をアクセス (シリアル I/F 時)
*	01H		音源以外レジスタ 80H ~ FFH をアクセス (シリアル I/F 時)
*	02H		音源 IP レジスタ 00H ~ 7FH をアクセス (シリアル I/F 時)
*	03H		音源 IP レジスタ 80H ~ FFH をアクセス (シリアル I/F 時)

パラレル・インタフェース・モード時のバンク切り替えは次のとおりです。

A1 端子	データ	初期値	説明
0	*	0	音源以外レジスタ 00H ~ FFH をアクセス
1	*		音源 IP レジスタ 00H ~ FFH をアクセス

**注意** D7-D2 までは必ず 0 を設定してください。

BANK 切り替えはシリアル・インタフェース・モード (PS = 1) 時のみ有効です。

## 7. 電源立ち上げ手順

本 LSI は、レギュレータ用電源 REGV<sub>DD</sub>、内部デジタル回路用電源 DV<sub>DD</sub>、PLL1/PLL2 用電源 PLLV<sub>DD</sub>、内部アナログ回路用電源 AV<sub>DD</sub>、IO 回路内のレベル・シフト部へ給電する EV<sub>DD</sub> の 5 系統の内部用電源を持っています。

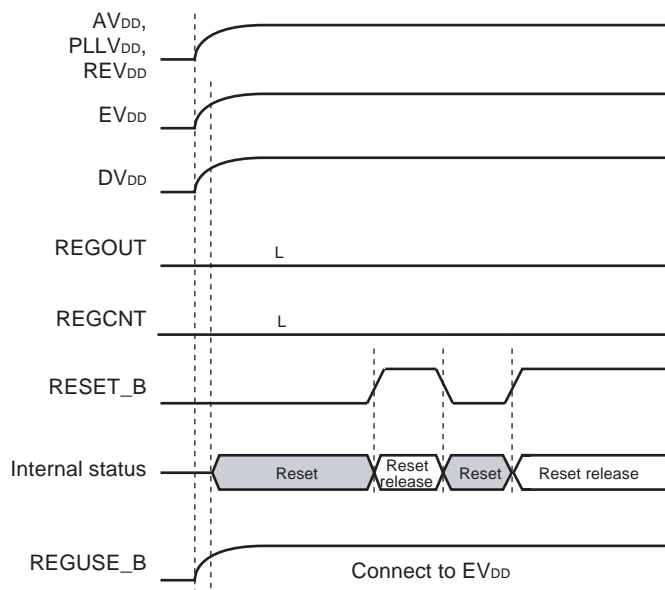
内蔵レギュレータ出力端子 REGOUT は、本端子を電源端子 DV<sub>DD</sub> へ接続することにより、内部デジタル回路用電源として使用することができます。

### 7.1 電源立ち上げ順序

#### 7.1.1 レギュレータ未使用時

- (1) REGUSE\_B を EV<sub>DD</sub> とショート (ハイ・レベル固定) しておいてください。REGCNT 端子は DGND とショートしてください。
- (2) RESET\_B 端子をロウ・レベルにした状態で DV<sub>DD</sub> (1.54 V)、REGV<sub>DD</sub>、AV<sub>DD</sub>、PLLV<sub>DD</sub> (各 3.0 V)、EV<sub>DD</sub> (1.8~3.0 V) を投入してください。各電源は同時に投入することを推奨します。また、RESET\_B 端子をハイ・レベルにした状態で各電源を投入することは、CPU のバス・ラインに貫通電流が流れることがありますので、避けてください。
- (3) 電源が所定の電圧になるまで待ちます。
- (4) ハードウェア・リセットを解除 (RESET\_B 端子をロウ・レベル → ハイ・レベル) してください。

図 7-1 電源立ち上げ手順 (レギュレータ未使用時)



7.1.2 レギュレータ使用時

- (1) REGUSE\_B を DGND とショート(ロウ・レベル固定)しておいてください。また REGCNT 端子はロウ・レベルにしておいてください。
- (2) RESET\_B 端子をロウ・レベルにした状態で REGV<sub>DD</sub>, AV<sub>DD</sub>, PLLV<sub>DD</sub> (各 3.0 V), EV<sub>DD</sub> (1.8 ~ 3.0 V) を投入してください。各電源は同時に投入することを推奨します。
- (3) 電源が所定の電圧になるまで待ちます。
- (4) REGCNT 端子をハイ・レベルにして, デジタル電源に電流を供給してください。
- (5) ハードウェア・リセットを解除 (RESET\_B 端子をロウ・レベル ハイ・レベル) してください。

図 7-2 電源立ち上げ手順 (レギュレータ使用時 1)

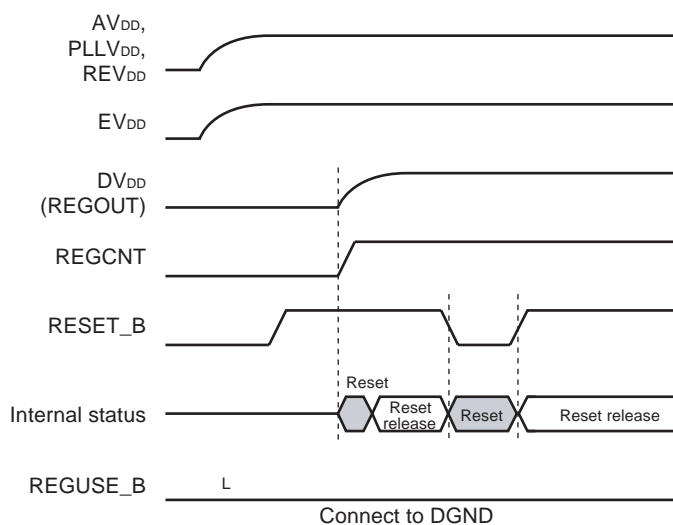
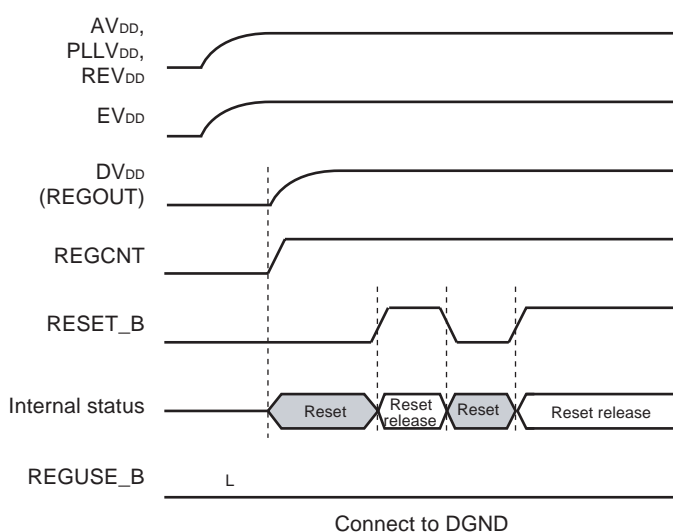


図 7-3 電源立ち上げ手順 (レギュレータ使用時 2)

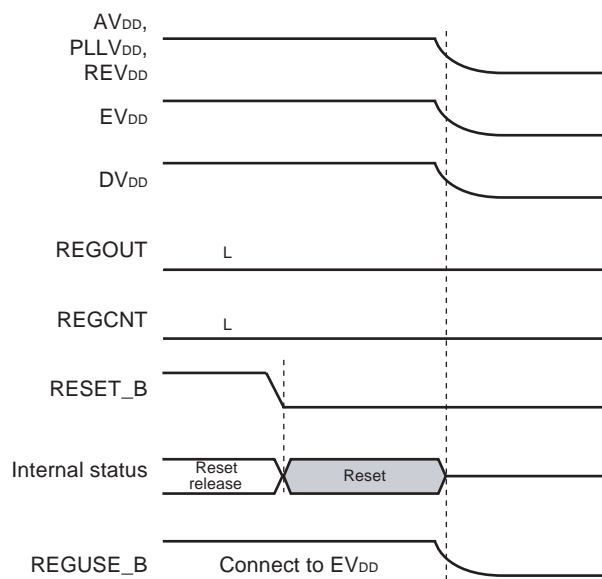


7.2 電源立ち下げ順序

7.2.1 レギュレータ未使用時

- (1) ハードウェア・リセットに設定 (RESET\_B 端子をハイ・レベル ロウ・レベル) してください。
- (2) RESET\_B 端子をロウ・レベルにした状態で DV<sub>DD</sub> (1.54 V), REGV<sub>DD</sub>, AV<sub>DD</sub>, PLLV<sub>DD</sub> (各 3.0 V), EV<sub>DD</sub> (1.8~3.0 V) を立ち下げてください。各電源を同時に立ち下げることが推奨します。なお RESET\_B 端子をロウ・レベルにせず電源を立ち下げても、本 LSI は故障しませんが、CPU のバス・ラインに貫通電流が流れることがありますので、避けてください。
- (3) 電源立ち下げ後の RESET\_B 端子状態は規定しません。

図 7-4 電源立ち下げ手順 (レギュレータ未使用時)





7.2.2 レギュレータ使用時

- (1) ハードウェア・リセットに設定 (RESET\_B 端子をハイ・レベル ロウ・レベル) してください。
- (2) REGCNT 端子をロウ・レベルにして、デジタル電源への電流供給を停止してください。
- (3) RESET\_B 端子をロウ・レベルにした状態で REGV<sub>DD</sub>, AV<sub>DD</sub>, PLLV<sub>DD</sub> (各 3.0 V), EV<sub>DD</sub> (1.8 ~ 3.0 V) を立ち下げてください。各電源を同時に立ち下げることを推奨します。

図 7-5 電源立ち下げ手順 (レギュレータ使用時 1)

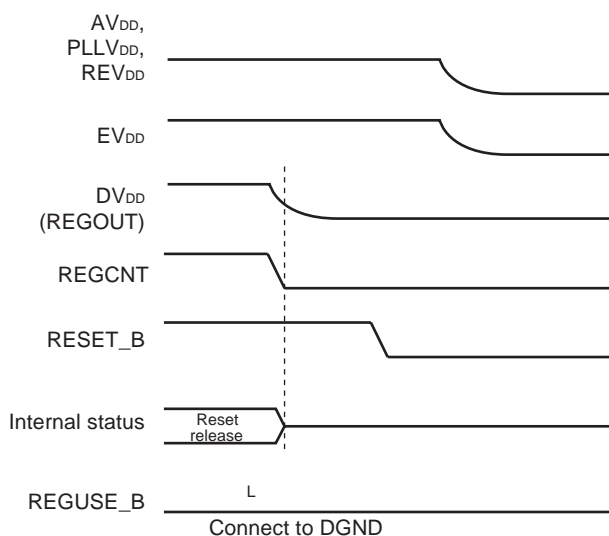
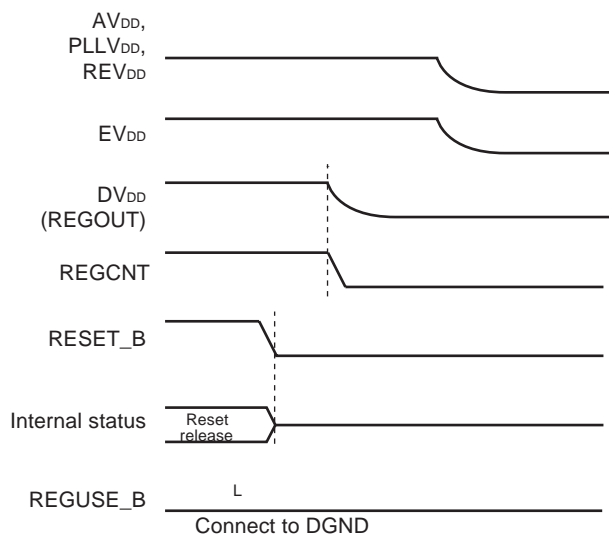


図 7-6 電源立ち下げ手順 (レギュレータ使用時 2)



### 7.3 パワー・セービング機能

本 LSI はパワー・セービング機能として、コマンド入力によるソフトウェア・パワー・セービング機能（スタンバイ状態）と、コア電源立ち下げによるコア部リーク電流の除去が可能なハードウェア・パワー・セービング機能を持ちます。この場合、レジスタやメモリに書き込んだ内容はすべて消去されますので注意してください（パワー・セービング解除後に再度書き込んでください）。

#### 7.3.1 ハードウェア・パワー・セービング

ハードウェア・パワー・セービングは次の手順で行ってください。

- (1) RESET\_B 端子をロウ・レベルにした状態で DV<sub>DD</sub>, REGV<sub>DD</sub>, AV<sub>DD</sub>, PLLV<sub>DD</sub> を立ち下げてください。
- (2) レギュレータ使用時 (REGUSE\_B = ロウ・レベル時) は、REGCNT 端子をハイ・レベル ロウ・レベルとしてください。
- (3) EV<sub>DD</sub> は CPU バス・ライン保護のために常に電源を供給してください。
- (4) RESET\_B 端子はハードウェア・パワー・セービング中ロウ・レベル固定としてください。

ハードウェア・パワー・セービングの解除は次の手順で行ってください。

- (1) レギュレータ使用時 (REGUSE\_B = ロウ・レベル時) は、REGCNT 端子をロウ・レベル ハイ・レベルとしてください。
- (2) RESET\_B 端子をロウ・レベルにした状態で DV<sub>DD</sub>, REGV<sub>DD</sub>, AV<sub>DD</sub>, PLLV<sub>DD</sub> (各 3.0 V) を立ち上げてください。
- (3) RESET\_B 端子をハイ・レベルにしてください。

**注意** RESET\_B 端子がハイ・レベルの状態では電源の立ち上げ/立ち下げを行う場合、初期化 (RESET\_B = ロウ・レベル) を行うまでの期間は、LSI の初期化が完了していないことから、各レジスタ、各端子の出力値および入出力制御は不定となります。特に D0-D7 端子、LED、VIB 端子、PO0-PO3 端子、INT 端子については、初期化するまでの端子状態に注意してください。また、CPU のバス・ラインに貫通電流の流れる可能性がありますので注意してください。

#### 7.3.2 ソフトウェア・パワー・セービング

本 LSI はソフトウェア・パワー・セービング機能として、STNBY レジスタ (00H)、STNBY2 レジスタ (20H) を制御することで、各ブロックをスタンバイ状態に設定することができます。電源はすべて供給され、RESET\_B 端子もハイ・レベル状態なので各レジスタ値は保持されます。

内蔵レギュレータ使用時は、REGCNT 端子 = ロウ・レベルとすることにより、レギュレータ出力を GND まで落とし、デジタル電源のリーク電流を大幅に削減することが可能です。

**注意** いずれのパワー・セービングを行う場合も、PLL および基準電圧ブロックを初期化、パワーダウンさせた場合 (STREF, STPLL1, STPLL2 = ロウ・レベル) は、再度立ち上げの際には所定のウェイト時間が必要です。

## 8. 設定シーケンス

シリアル I/F モード (PS = 1) のとき、「音源バンクへの切り替え」および「NEC バンクへの切り替え」という2つの操作が必要となります。「音源バンクへ切り替え」は、バンク・レジスタが NEC バンクを指しているときに音源バンクを指すように設定することを意味し、「NEC バンクへ切り替え」は、バンク・レジスタが音源バンクを指しているときに NEC バンクを指すように設定することを意味します。なお、この操作は、パラレル I/F モード (PS = 0) のときには必要ありません。

### 8.1 パワーアップ・シーケンス

手 順	項 目	対象レジスタ, 端子など
1	レギュレータ設定	REGUSE_B 端子 : L 固定 (レギュレータ使用時) REGCNT 端子 : L H (レギュレータ使用時)
2	ハードウェア・リセットの解除	RESET_B 端子 : L H
3	PLL の設定 (CSTRT, MCLKSEL 設定)	CSTRT 端子, MCLKSEL, CSTRTEN (レギュレータ使用時は REGCNT 設定後 1 ms 後)
4	PLL の設定 (入力周波数)	MCLK1A, MCLK1B, MCLK2A, MCLK2B
5	ASIO サンプリング周波数の設定	FS, BFS
6	MSIO モード設定	MBFS, MMS, SMEN, SMBCLK, MCHI, MCHO
7	VREF のスタンバイ解除	STREF
8	PLL スタンバイの解除	STPLL1, STPLL2 (STREF のスタンバイ解除 5 ms 後)
9	機能ブロック・スタンバイの解除	STSYNTH, STADIG, STADAC...
10	内部クロックが有効	STPLL1, STPLL2 のスタンバイ解除 5 ms 後

## 8.2 各種動作モード切り替えの基本シーケンス

手 順	項 目	対象レジスタ, 端子など
1	NEC バンクへの切り替え (PS 端子 = 1 のとき)	BANK
2	デジタル・ボリューム・ミュート設定	MELLDG, MELRDG, AULDG, AURDG
3	アナログ・ボリューム・ミュート設定	ADACLVRGA, ADACRVRGA
4	スタンバイ状態設定	STPLL1, STPLL2, STREF, STSYNTH,...
5	サンプリング周波数設定	FS, BFS
6	パスの設定 (3DA)	EX3DAEN, PCMLSW, PCMRSW
7	パスの設定 (デジタル・ミキシング)	DACLSW, DACRSW, DACLMIX, DACRMIX, MELLWSW, MELRSW, MELLMIX, MELRMIX
8	ASIO モード設定	MS, ASIM, LRCLK, SLR
9	MSIO モード設定	MBFS, MMS, SMEN, SMBCLK, MCHI, MCHO
10	音源バンクへの切り替え (PS 端子 = 1 のとき)	BANK
11	3DA / サラウンド機能設定	
12	NEC バンクへの切り替え (PS 端子 = 1 のとき)	BANK
13	VREF のスタンバイ解除	STREF
14	PLL スタンバイの解除	STPLL1, STPLL2 (STREF のスタンバイ解除 5 ms 後)
15	機能ブロック・スタンバイの解除	STSYNTH, STADIG, STADAC...
16	内部クロックが有効	STPLL1, STPLL2 のスタンバイ解除 5 ms 後
17	アナログ・ボリューム・ミュート解除	ADACLVRGA, ADACRVRGA
18	デジタル・ボリューム・ミュート解除	MELLDG, MELRDG, AULDG, AURDG

注意 1. スレープ・モードでは LRCLK / BCLK のクロック入力が必要です。

2. デジタル・ボリューム(ソフト・ミュート)による段階的なボリューム降下後のミュート設定, およびミュート解除後の段階的なボリューム上昇は, 切り替え時に生じるデジタル・データの 1 フレーム誤動作による音の変化を聴感させないためのシーケンスです。本機能を有効にするには AUSMUTE = 1, および MELSMUTE = 1 を設定する必要があります。
3. ソフト・ミュートを使用しない場合は, 段階的なボリューム降下 / 上昇を, 使用するパスのアナログ・ボリュームで代用してください。
4. STADIG 信号はデジタル・フィルタなど演算系のリセットと併用しており, モード変更時にリセットをかけるために必要となります。

## 8.2.1 ミュート設定

手 順	項 目	対象レジスタ, 端子など
1	NEC バンクへの切り替え (PS 端子 = 1 のとき)	BANK
2	デジタル・ボリューム・ミュート設定	MELLDG, MELRDG, AULDG, AURDG
3	アナログ・ボリューム・ミュート設定	ADACLVRGA, ADACRVRGA

## 8.2.2 スタンバイ設定/解除

手 順	項 目	対象レジスタ, 端子など
1	NEC バンクへの切り替え (PS 端子 = 1 のとき)	BANK
2	デジタル・ボリューム・ミュート設定	MELLDG, MELRDG, AULDG, AURDG
3	アナログ・ボリューム・ミュート設定	ADACLVRGA, ADACRVRGA
4	スタンバイ状態設定	STPLL1, STPLL2, STREF, STSYNTH,...
5	VREF のスタンバイ解除	STREF
6	PLL スタンバイの解除	STPLL1, STPLL2 ( STREF のスタンバイ解除 5 ms 後 )
7	機能ブロック・スタンバイの解除	STSYNTH, STADIG, STADAC,...
8	内部クロックが有効	STPLL1, STPLL2 のスタンバイ解除 5 ms 後
9	アナログ・ボリューム・ミュート解除	ADACLVRGA, ADACRVRGA
10	デジタル・ボリューム・ミュート解除	MELLDG, MELRDG, AULDG, AURDG

## 8.2.3 FS 切り替え

手 順	項 目	対象レジスタ, 端子など
1	NEC バンクへの切り替え (PS 端子 = 1 のとき)	BANK
2	デジタル・ボリューム・ミュート設定	MELLDG, MELRDG, AULDG, AURDG
3	アナログ・ボリューム・ミュート設定	ADACLVRGA, ADACRVRGA
4	スタンバイ状態設定	STPLL1, STPLL2, STREF, STSYNTH,...
5	サンプリング周波数設定	FS, BFS
6	MSIO モード設定	MBFS, MMS, SMEN, SMBCLK, MCHI, MCHO
7	VREF のスタンバイ解除	STREF
8	PLL スタンバイの解除	STPLL1, STPLL2 ( STREF のスタンバイ解除 5 ms 後 )
9	機能ブロック・スタンバイの解除	STSYNTH, STADIG, STADAC,...
10	内部クロックが有効	STPLL1, STPLL2 のスタンバイ解除 5 ms 後
11	アナログ・ボリューム・ミュート解除	ADACLVRGA, ADACRVRGA
12	デジタル・ボリューム・ミュート解除	MELLDG, MELRDG, AULDG, AURDG

8.2.4 バス切り替え

手 順	項 目	対象レジスタ, 端子など
1	NEC バンクへの切り替え (PS 端子 = 1 のとき)	BANK
2	デジタル・ボリューム・ミュート設定	MELLDG, MELRDG, AULDG, AURDG
3	アナログ・ボリューム・ミュート設定	ADACLVRGA, ADACRVRGA
4	スタンバイ状態設定	STPLL1, STPLL2, STREF, STSYNTH,...
5	バスの設定 (デジタル・ミキシング)	DACLSW, DACRSW, DACLMIX, DACRMIX, MELLSW, MELRSW, MELLMIX, MELRMIX
6	VREF のスタンバイ解除	STREF
7	PLL スタンバイの解除	STPLL1, STPLL2 ( STREF のスタンバイ解除 5 ms 後 )
8	機能ブロック・スタンバイの解除	STSYNTH, STADIG, STADAC,...
9	内部クロックが有効	STPLL1, STPLL2 のスタンバイ解除 5 ms 後
10	アナログ・ボリューム・ミュート解除	ADACLVRGA, ADACRVRGA
11	デジタル・ボリューム・ミュート解除	MELLDG, MELRDG, AULDG, AURDG

8.2.5 3DA / サラウンド切り替え

手 順	項 目	対象レジスタ, 端子など
1	NEC バンクへの切り替え (PS 端子 = 1 のとき)	BANK
2	デジタル・ボリューム・ミュート設定	MELLDG, MELRDG, AULDG, AURDG
3	アナログ・ボリューム・ミュート設定	ADACLVRGA, ADACRVRGA
4	スタンバイ状態設定	STPLL1, STPLL2, STREF, STSYNTH,...
5	音源バンクへの切り替え (PS 端子 = 1 のとき)	BANK
6	3DA / サラウンド機能設定	
7	NEC バンクへの切り替え (PS 端子 = 1 のとき)	BANK
8	バスの設定 (3DA)	EX3DAEN, PCMLSW, PCMRWSW
9	バスの設定 (デジタル・ミキシング)	DACLSW, DACRSW, DACLMIX, DACRMIX, MELLSW, MELRSW, MELLMIX, MELRMIX
10	VREF のスタンバイ解除	STREF
11	PLL スタンバイの解除	STPLL1, STPLL2 ( STREF のスタンバイ解除 5 ms 後 )
12	機能ブロック・スタンバイの解除	STSYNTH, STADIG, STADAC,...
13	内部クロックが有効	STPLL1, STPLL2 のスタンバイ解除 5 ms 後
14	アナログ・ボリューム・ミュート解除	ADACLVRGA, ADACRVRGA
15	デジタル・ボリューム・ミュート解除	MELLDG, MELRDG, AULDG, AURDG

## 8.2.6 ASIO モード設定

手 順	項 目	対象レジスタ, 端子など
1	NEC バンクへの切り替え (PS 端子 = 1 のとき)	BANK
2	デジタル・ボリューム・ミュート設定	MELLDG, MELRDG, AULDG, AURDG
3	アナログ・ボリューム・ミュート設定	ADACLVRGA, ADACRVRGA
4	スタンバイ状態設定	STPLL1, STPLL2, STREF, STSYNTH,...
5	ASIO モード設定	MS, ASIM, LRCLK, SLR
6	VREF のスタンバイ解除	STREF
7	PLL スタンバイの解除	STPLL1, STPLL2 ( STREF のスタンバイ解除 5 ms 後 )
8	機能ブロック・スタンバイの解除	STSYNTH, STADIG, STADAC,...
9	内部クロックが有効	STPLL1, STPLL2 のスタンバイ解除 5 ms 後
10	アナログ・ボリューム・ミュート解除	ADACLVRGA, ADACRVRGA
11	デジタル・ボリューム・ミュート解除 (ソフト・ミュート)	MELLDG, MELRDG, AULDG, AURDG

### 8.3 設定シーケンス例

次の設定シーケンスを例としてあげます。入力クロックはすべて MCLK2 = 12 MHz のときの設定です。

- 8.3.1 音源 - DAC - ライン出力 (クロック : MCLK2 = 12 MHz)
- 8.3.2 音源 - ASO 出力 (クロック : MCLK2 = 12 MHz , マスタ・モード時)
- 8.3.3 音源 - ASO 出力 (クロック : MCLK2 = 12 MHz , スレーブ・モード時)
- 8.3.4 ASI - DAC - ライン出力 (クロック : MCLK2 = 12 MHz)
- 8.3.5 ASI - ASO 出力 (クロック : MCLK2 = 12 MHz)
- 8.3.6 ASI - サラウンド - DAC - ライン出力 (クロック : MCLK2 = 12 MHz , fs = 32 kHz)
- 8.3.7 ASI - サラウンド - DAC - ライン出力 (クロック : MCLK2 = 12 MHz , fs = 44.1 kHz)
- 8.3.8 ASI - サラウンド - ASO 出力 (クロック : MCLK2 = 12 MHz , fs = 32 kHz)
- 8.3.9 ASI - サラウンド - ASO 出力 (クロック : MCLK2 = 12 MHz , fs = 44.1 kHz)



8.3.1 音源 - DAC - ライン出力 (クロック : MCLK2 = 12 MHz)

(1) パワーオン

手 順	項 目	対象レジスタ, 端子など
1	レギュレータ設定	REGUSE_B 端子 : L 固定 (レギュレータ使用時) REGCNT 端子 : L H (レギュレータ使用時)
2	ハードウェア・リセットの解除	RESET_B 端子 : L H
3	PLL の設定 (CSTRT, MCLKSEL 設定)	CSTRT 端子, MCLKSEL, CSTRTEN (レギュレータ使用時は REGCNT 設定後 1 ms 後)
4	PLL の設定 (入力周波数)	MCLK1A = 4BH, MCLK1B = 9AH, MCLK2A = 05H, MCLK2B = 2FH
5	サンプリング周波数の設定	FS : 32 kHz, BFS : 64 fs
6	音源バンクへの切り替え (PS 端子 = 1 のとき)	BANK
7	3DA / サラウンド機能設定	
8	NEC バンクへの切り替え (PS 端子 = 1 のとき)	BANK
9	ソフト・ミュート設定	MELSMUTE = 1
10	パスの設定 (デジタル・ミキシング)	MELLSW : スルー, MELRSW : スルー
11	VREF のスタンバイ解除	STREF = 1
12	PLL スタンバイの解除	STPLL1 = STPLL2 = 1 (STREF のスタンバイ解除 5 ms 後)
13	機能ブロック・スタンバイの解除	STSYNTH = STADIG = STADAC = 1
14	内部クロックが有効	STPLL1, STPLL2 のスタンバイ解除 5 ms 後

(2) 音源バンクへ切り替え (PS 端子 = 1 のとき)

(3) 音源設定

(4) 音源へデータ転送

(5) ミュート解除

手 順	項 目	対象レジスタ, 端子など
1	NEC バンクへの切り替え (PS 端子 = 1 のとき)	BANK
2	アナログ・ボリューム・ミュート解除	ADACLVRGA, ADACRVRGA
3	デジタル・ボリューム・ミュート解除	MELLDG, MELRDG

8.3.2 音源 - ASO 出力 (クロック : MCLK2 = 12 MHz , マスタ・モード時)

(1) パワーオン

手 順	項 目	対象レジスタ, 端子など
1	レギュレータ設定	REGUSE_B 端子 : L 固定 (レギュレータ使用時) REGCNT 端子 : L H (レギュレータ使用時)
2	ハードウェア・リセットの解除	RESET_B 端子 : L H
3	PLL の設定 (CSTRT, MCLKSEL 設定)	CSTRT 端子, MCLKSEL, CSTRTEN (レギュレータ使用時は REGCNT 設定後 1 ms 後)
4	PLL の設定 (入力周波数)	MCLK1A = 4BH, MCLK1B = 9AH, MCLK2A = 05H, MCLK2B = 2Fh
5	サンプリング周波数の設定	FS : 32KHz, BFS : 64 fs
6	ASIO モード設定	MS = 1, ASIM, LRCLK, SLR
7	音源バンクへの切り替え (PS 端子 = 1 のとき)	BANK
8	3DA / サラウンド機能設定	
9	NEC バンクへの切り替え (PS 端子 = 1 のとき)	BANK
10	ソフト・ミュート設定	MELSMUTE = 0
11	パスの設定 (デジタル・ミキシング)	DACLMIX : ミュート, DACRMIX : ミュート, MELLMIX : スルー, MELRMIX : スルー, EX3DAEN = 0
12	VREF のスタンバイ解除	STREF = 1
13	PLL スタンバイの解除	STPLL1 = STPLL2 = 1 (STREF のスタンバイ解除 5 ms 後)
14	機能ブロック・スタンバイの解除	STSYNTH = STADIG = STASI = STASO = 1
15	内部クロックが有効	STPLL1, STPLL2 のスタンバイ解除 5 ms 後

(2) 音源バンクへ切り替え (PS 端子 = 1 のとき)

(3) 音源設定

(4) 音源へデータ転送

(5) ミュート解除

手 順	項 目	対象レジスタ, 端子など
1	NEC バンクへの切り替え (PS 端子 = 1 のとき)	BANK
2	デジタル・ボリューム・ミュート解除	MELLDG, MELRDG

8.3.3 音源 - ASO 出力 (クロック : MCLK2 = 12 MHz , スレープ・モード時)

(1) パワーオン

手 順	項 目	対象レジスタ, 端子など
1	レギュレータ設定	REGUSE_B 端子 : L 固定 (レギュレータ使用時) REGCNT 端子 : L H (レギュレータ使用時)
2	ハードウェア・リセットの解除	RESET_B 端子 : L H
3	PLL の設定 (CSTRT, MCLKSEL 設定)	CSTRT 端子, MCLKSEL, CSTRTEN (レギュレータ使用時は REGCNT 設定後 1 ms 後)
4	PLL の設定 (入力周波数)	MCLK1A = 4BH, MCLK1B = 9AH, MCLK2A = 05H, MCLK2B = 2FH
5	サンプリング周波数の設定	FS : 32 kHz, BFS : 64 fs
6	ASIO モード設定	MS = 0, ASIM, LRCLK, SLR
7	音源バンクへの切り替え (PS 端子 = 1 のとき)	BANK
8	3DA / サラウンド機能設定	
9	NEC バンクへの切り替え (PS 端子 = 1 のとき)	BANK
10	ソフト・ミュート設定	MELSMUTE = 0
11	パスの設定 (デジタル・ミキシング)	DACLMIX : ミュート, DACRMIX : ミュート, MELLMIX : スルー, MELRMIX : スルー, EX3DAEN = 0
12	VREF のスタンバイ解除	STREF = 1
13	PLL スタンバイの解除	STPLL1 = STPLL2 = 1 (STREF のスタンバイ解除 5 ms 後)
14	機能ブロック・スタンバイの解除	STSYNTH = STADIG = STASI = STASO = 1
15	内部クロックが有効	STPLL1, STPLL2 のスタンバイ解除 5 ms 後

(2) 音源バンクへ切り替え (PS 端子 = 1 のとき)

(3) 音源設定

(4) 音源へデータ転送

(5) ミュート解除

手 順	項 目	対象レジスタ, 端子など
1	NEC バンクへの切り替え (PS 端子 = 1 のとき)	BANK
2	デジタル・ボリューム・ミュート解除	MELLDG, MELRDG

8.3.4 ASI - DAC - ライン出力 (クロック : MCLK2 = 12 MHz)

(1) パワーオン

手 順	項 目	対象レジスタ, 端子など
1	レギュレータ設定	REGUSE_B 端子 : L 固定 (レギュレータ使用時) REGCNT 端子 : L H (レギュレータ使用時)
2	ハードウェア・リセットの解除	RESET_B 端子 : L H
3	PLL の設定 (CSTRT, MCLKSEL 設定)	CSTRT 端子, MCLKSEL, CSTRTEN (レギュレータ使用時は REGCNT 設定後 1 ms 後)
4	PLL の設定 (入力周波数)	MCLK1A = 4BH, MCLK1B = 9AH, MCLK2A = 05H, MCLK2B = 2FH
5	サンプリング周波数の設定	FS : 32 kHz, BFS : 64 fs
6	ASIO モード設定	MS, ASIM, LRCLK, SLR
7	ソフト・ミュート設定	AUSMUTE = 1
8	パスの設定 (デジタル・ミキシング)	DACLSW : スルー, DACRSW : スルー,
9	VREF のスタンバイ解除	STREF = 1
10	PLL スタンバイの解除	STPLL1 = 1 (STREF のスタンバイ解除 5 ms 後)
11	機能ブロック・スタンバイの解除	STSYNTH = STADIG = STADAC = STASI = STASO = 1
12	内部クロックが有効	STPLL1, STPLL2 のスタンバイ解除 5 ms 後

(2) 音楽データ送信

(3) ミュート解除

手 順	項 目	対象レジスタ, 端子など
1	アナログ・ボリューム・ミュート解除	ADACLVRGA, ADACRVRGA
2	デジタル・ボリューム・ミュート解除	AULDG, AURDG

8.3.5 ASI - ASO 出力 (クロック : MCLK2 = 12 MHz)

(1) パワーオン

手 順	項 目	対象レジスタ, 端子など
1	レギュレータ設定	REGUSE_B 端子 : L 固定 (レギュレータ使用時) REGCNT 端子 : L H (レギュレータ使用時)
2	ハードウェア・リセットの解除	RESET_B 端子 : L H
3	PLL の設定 (CSTRT, MCLKSEL 設定)	CSTRT 端子, MCLKSEL, CSTRTEN (レギュレータ使用時は REGCNT 設定後 1ms 後)
4	PLL の設定 (入力周波数)	MCLK1A = 4BH, MCLK1B = 9AH, MCLK2A = 05H, MCLK2B = 2FH
5	サンプリング周波数の設定	FS : 32 kHz, BFS : 64 fs
6	ASIO モード設定	MS, ASIM, LRCLK, SLR
7	ソフト・ミュート設定	AUSMUTE = 0
8	パスの設定 (デジタル・ミキシング)	DACLMIX : スルー, DACRMIX : スルー
9	VREF のスタンバイ解除	STREF = 1
10	PLL スタンバイの解除	STPLL1 = 1 (STREF のスタンバイ解除 5 ms 後)
11	機能ブロック・スタンバイの解除	STSYNTH = STADIG = STADAC = STASI = STASO = 1
12	内部クロックが有効	STPLL1, STPLL2 のスタンバイ解除 5 ms 後

(2) 音楽データ送信

(3) ミュート解除

手 順	項 目	対象レジスタ, 端子など
1	デジタル・ボリューム・ミュート解除	AULDG, AURDG

8.3.6 ASI - サラウンド - DAC - ライン出力 (クロック : MCLK2 = 12 MHz , fs = 32 kHz)

(1) パワーオン

手 順	項 目	対象レジスタ, 端子など
1	レギュレータ設定	REGUSE_B 端子 : L 固定 (レギュレータ使用時) REGCNT 端子 : L H (レギュレータ使用時)
2	ハードウェア・リセットの解除	RESET_B 端子 : L H
3	PLL の設定 (CSTRT, MCLKSEL 設定)	CSTRT 端子, MCLKSEL, CSTRTEN (レギュレータ使用時は REGCNT 設定後 1 ms 後)
4	PLL の設定 (入力周波数)	MCLK1A = 4BH, MCLK1B = 9AH, MCLK2A = 05H, MCLK2B = 2FH
5	サンプリング周波数の設定	FS : 32 kHz, BFS : 64 fs
6	ASIO モード設定	MS, ASIM, LRCLK, SLR
7	ソフト・ミュート設定	MELSMUTE = 1
8	音源バンクへの切り替え (PS 端子 = 1 のとき)	BANK
9	3D サラウンド機能設定	
10	NEC バンクへの切り替え (PS 端子 = 1 のとき)	BANK
11	パスの設定 (イコライザ)	EX3DAEN = 0, PCMLSW = PCMRSW = 1
12	パスの設定 (デジタル・ミキシング)	MELLSW : スルー, MELRSW : スルー
13	VREF のスタンバイ解除	STREF = 1
14	PLL スタンバイの解除	STPLL1 = STPLL2 = 1 (STREF のスタンバイ解除 5 ms 後)
15	機能ブロック・スタンバイの解除	STSYNTH = STADIG = STADAC = STASI = STASO = 1
16	内部クロックが有効	STPLL1, STPLL2 のスタンバイ解除 5 ms 後

(2) 音楽データ送信

(3) ミュート解除

手 順	項 目	対象レジスタ, 端子など
1	アナログ・ボリューム・ミュート解除	ADACLVRGA, ADACRVRGA
2	デジタル・ボリューム・ミュート解除	MELLDG, MELRDG

8.3.7 ASI - サラウンド - DAC - ライン出力 (クロック : MCLK2 = 12 MHz , fs = 44.1 kHz)

(1) パワーオン

手 順	項 目	対象レジスタ, 端子など
1	レギュレータ設定	REGUSE_B 端子 : L 固定 (レギュレータ使用時) REGCNT 端子 : L H (レギュレータ使用時)
2	ハードウェア・リセットの解除	RESET_B 端子 : L H
3	PLL の設定 (CSTRT, MCLKSEL 設定)	CSTRT 端子, MCLKSEL, CSTRTEN (レギュレータ使用時は REGCNT 設定後 1 ms 後)
4	PLL の設定 (入力周波数)	MCLK1A = 4BH, MCLK1B = 9AH, MCLK2A = 05H, MCLK2B = 2FH
5	サンプリング周波数の設定	FS : 44.1 kHz, BFS : 64 fs
6	ASIO モード設定	MS, ASIM, LRCLK, SLR
7	ソフト・ミュート設定	AUSMUTE = 1
8	音源バンクへの切り替え (PS 端子 = 1 のとき)	BANK
9	3D サラウンド機能設定	
10	NEC バンクへの切り替え (PS 端子 = 1 のとき)	BANK
11	パスの設定 (イコライザ)	EX3DAEN = 1, PCMLSW = PCMRSW = 1
12	パスの設定 (デジタル・ミキシング)	DACLSW : スルー, DACRSW : スルー
13	VREF のスタンバイ解除	STREF = 1
14	PLL スタンバイの解除	STPLL1 = STPLL2 = 1 (STREF のスタンバイ解除 5 ms 後)
15	機能ブロック・スタンバイの解除	STSYNTH = STADIG = STADAC = STASI = STASO = 1
16	内部クロックが有効	STPLL1, STPLL2 のスタンバイ解除 5 ms 後

(2) 音楽データ送信

(3) ミュート解除

手 順	項 目	対象レジスタ, 端子など
1	アナログ・ボリューム・ミュート解除	ADACLVRGA, ADACRVRGA
2	デジタル・ボリューム・ミュート解除	AULDG, AURDG

8.3.8 ASI - サラウンド - ASO 出力 (クロック : MCLK2 = 12 MHz , fs = 32 kHz)

(1) パワーオン

手 順	項 目	対象レジスタ, 端子など
1	レギュレータ設定	REGUSE_B 端子 : L 固定 (レギュレータ使用時) REGCNT 端子 : L H (レギュレータ使用時)
2	ハードウェア・リセットの解除	RESET_B 端子 : L H
3	PLL の設定 (CSTRT, MCLKSEL 設定)	CSTRT 端子, MCLKSEL, CSTRTEN (レギュレータ使用時は REGCNT 設定後 1 ms 後)
4	PLL の設定 (入力周波数)	MCLK1A = 4BH, MCLK1B = 9AH, MCLK2A = 05H, MCLK2B = 2FH
5	サンプリング周波数の設定	FS : 32 kHz, BFS : 64 fs
6	ASIO モード設定	MS, ASIM, LRCLK, SLR
7	ソフト・ミュート設定	AUSMUTE = MELSMUT E= 0
8	音源バンクへの切り替え (PS 端子 = 1 のとき)	BANK
9	3D サラウンド機能設定	
10	NEC バンクへの切り替え (PS 端子 = 1 のとき)	BANK
11	パスの設定 (イコライザ)	EX3DAEN = 0, PCMLSW = PCMRSW = 1
12	パスの設定 (デジタル・ミキシング)	DACLMIX : ミュート, DACRMIX : ミュート MELLMIX : スルー, MELRMIX : スルー
13	VREF のスタンバイ解除	STREF = 1
14	PLL スタンバイの解除	STPLL1 = STPLL2 = 1 (STREF のスタンバイ解除 5 ms 後)
15	機能ブロック・スタンバイの解除	STSYNTH = STADIG = STASI = STASO = 1
16	内部クロックが有効	STPLL1, STPLL2 のスタンバイ解除 5 ms 後

(2) 音楽データ送信

(3) ミュート解除

手 順	項 目	対象レジスタ, 端子など
1	デジタル・ボリューム・ミュート解除	MELLDG, MELRDG



8.3.9 ASI - サラウンド - ASO 出力 (クロック : MCLK2 = 12 MHz , fs = 44.1 kHz)

(1) パワーオン

手 順	項 目	対象レジスタ, 端子など
1	レギュレータ設定	REGUSE_B 端子 : L 固定 (レギュレータ使用時) REGCNT 端子 : L H (レギュレータ使用時)
2	ハードウェア・リセットの解除	RESET_B 端子 : L H
3	PLL の設定 (CSTRT, MCLKSEL 設定)	CSTRT 端子, MCLKSEL, CSTRTEN (レギュレータ使用時は REGCNT 設定後 1 ms 後)
4	PLL の設定 (入力周波数)	MCLK1A = 4BH, MCLK1B = 9AH, MCLK2A = 05H, MCLK2B = 2FH
5	サンプリング周波数の設定	FS : 44.1 kHz, BFS : 64 fs
6	ASIO モード設定	MS, ASIM, LRCLK, SLR
7	ソフト・ミュート設定	AUSMUTE = MELSMUTE = 0
8	音源バンクへの切り替え (PS 端子 = 1 のとき)	BANK
9	3D サラウンド機能設定	
10	NEC バンクへの切り替え (PS 端子 = 1 のとき)	BANK
11	パスの設定 (EQ)	EX3DAEN=1, PCMLSW = PCMRSW = 1
12	パスの設定 (デジタル・ミキシング)	DACLMIX : スルー, DACRMIX : スルー, MELLMIX : ミュート, MELRMIX : ミュート
13	VREF のスタンバイ解除	STREF = 1
14	PLL スタンバイの解除	STPLL1 = STPLL2 = 1 (STREF のスタンバイ解除 5 ms 後)
15	機能ブロック・スタンバイの解除	STSYNTH = STADIG = STASI = STASO = 1
16	内部クロックが有効	STPLL1, STPLL2 のスタンバイ解除 5 ms 後

(2) 音楽データ送信

(3) ミュート解除

手 順	項 目	対象レジスタ, 端子など
1	デジタル・ボリューム・ミュート解除	AULDG, AURDG

9. 電気的特性

9.1 絶対最大定格

項目	略号	条件	定格	単位
電源電圧	DV <sub>DD</sub>	デジタル用	-0.3 ~ +2.0	V
	EV <sub>DD</sub>	デジタル I/O 端子用	-0.3 ~ +4.0	V
	REGV <sub>DD</sub>	レギュレータ用	-0.3 ~ +4.0	V
	PLL <sub>V</sub> DD	PLL 用	-0.3 ~ +4.0	V
	AV <sub>DD</sub>	アナログ用	-0.3 ~ +4.0	V
入力電圧	V <sub>i</sub>	V <sub>i</sub> /V <sub>o</sub> < EV <sub>DD</sub> + 0.5 V	-0.3 ~ +4.0	V
出力電圧	V <sub>o</sub>		-0.3 ~ +4.0	V
許容損失	P <sub>d</sub>	T <sub>j</sub> = 125 °C	800	mW
保存温度	T <sub>stg</sub>		-50 ~ +125	

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

9.2 推奨動作条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作電圧	DV <sub>DD</sub>	- 20 ~ +85	1.45		1.65	V
	EV <sub>DD</sub>		1.71	1.8	3.3	V
	REGV <sub>DD</sub>		2.7	3.0	3.3	V
	PLL <sub>V</sub> DD		2.7	3.0	3.3	V
	AV <sub>DD</sub>		2.7	3.0	3.3	V
入力電圧	V <sub>i</sub>		0		EV <sub>DD</sub>	V
動作周囲温度	T <sub>A</sub>		-20		+85	

9.3 容 量

( T<sub>A</sub> = +25°C , DV<sub>DD</sub> = 0 V , EV<sub>DD</sub> = 0 V , アナログ端子は除く )

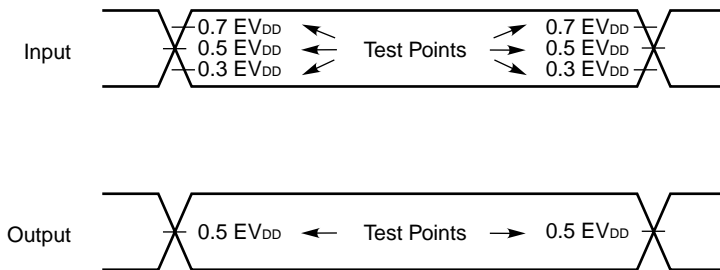
項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C <sub>i</sub>	f = 1 MHz, 測定端子以外は 0 V		10		pF
出力容量	C <sub>o</sub>			10		pF
入出力容量	C <sub>io</sub>			10		pF

9.4 DC 特性

( $T_A = -20 \sim +85^\circ\text{C}$ ,  $DV_{DD}$ ,  $EV_{DD}$  の範囲は推奨動作条件による)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	$V_{IHN}$		$0.7 EV_{DD}$		$EV_{DD}$	V
ロウ・レベル入力電圧	$V_{ILN}$		0		$0.3 EV_{DD}$	V
ハイ・レベル出力電圧	$V_{OH}$	$I_{OH} = -1 \text{ mA}$ (LED, VIB は $-1.5 \text{ mA}$ )	$0.7 EV_{DD}$			V
ロウ・レベル出力電圧	$V_{OL}$	$I_{OL} = +1 \text{ mA}$ (LED, VIB は $+1.5 \text{ mA}$ )			$0.3 EV_{DD}$	V
ハイ・レベル入力リーク電流	$I_{LHN}$	$V_i = EV_{DD}$	0		10	$\mu\text{A}$
ロウ・レベル入力リーク電流	$I_{LLN}$	$V_i = 0 \text{ V}$	-10		0	$\mu\text{A}$
ハイ・インピーダンス・リーク電流	$I_{ZI}$	$0 \text{ V} \quad V_i \quad EV_{DD}$	0		-10	$\mu\text{A}$

スイッチング特性の共通測定基準



9.5 AC 特性

(特に指定のないかぎり,  $T_A = -20 \sim +85$ ,  $DV_{DD}$ ,  $EV_{DD}$  の範囲は推奨動作条件による)

9.5.1 クロック

タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
MCLK1, MCLK2 入力周波数	$f_{CLKIN}$	$V_{CLKIN} = 0.5 V_{p-p}$ , $V_{CLKIN} = EV_{DD}V_{p-p}$	3.84		15.36	MHz
MCLK1 入力レベル	$V_{CLKIN1}$	$f_{CLKIN} = 3.84 \sim 15.36$ MHz 注1	0.5		注2	$V_{p-p}$
MCLK2 入力レベル	$V_{CLKIN2}$	$f_{CLKIN} = 3.84 \sim 15.36$ MHz 注1	0.7 $EV_{DD}$		$EV_{DD}$	$V_{p-p}$
PLL ロックアップ時間	$t_{LPLL}$				2.0	ms

注 1. PLL の入力となる MCLK1 入力は容量結合 (1000 pF) としてください。

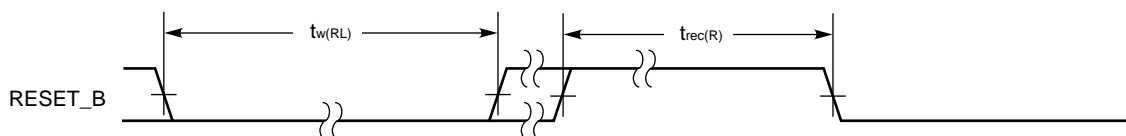
2. MCLK1 の入力最大レベルは電源 ( $PLL_{V_{DD}}$ ) 電位を越えない範囲で入力してください。

9.5.2 リセット

タイミング必要条件 ( $EV_{DD} = 1.8$  V 時)

項目	略号	条件	MIN.	TYP.	MAX.	単位
RESET_B ロウ・レベル幅	$t_{w(RL)}$		225			ns
RESET_B リカバリ時間	$t_{rec(R)}$		225			ns

リセット・タイミング



9.5.3 パラレル CPU I/F モード

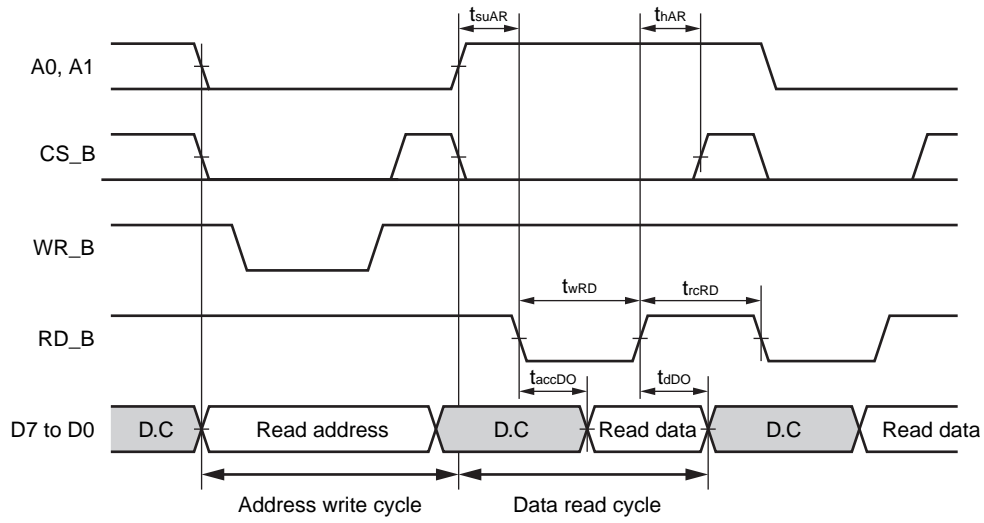
タイミング必要条件 (EV<sub>DD</sub> = 1.8 V 時)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
RD_B 幅	t <sub>wRD</sub>		100			ns
WR_B 幅	t <sub>wWR</sub>		40			ns
RD_B リカバリ・タイム	t <sub>rcRD</sub>		30			ns
WR_B リカバリ・タイム	t <sub>rcWR</sub>		80			ns
Data セットアップ時間	t <sub>suDI</sub>	WR_B↑	50			ns
Data ホールド時間	t <sub>hDI</sub>	WR_B↑	0			ns
A, CS_B セットアップ時間	t <sub>suAW</sub>	WR_B↑	50			ns
A, CS_B ホールド時間	t <sub>hAW</sub>	WR_B↑	0			ns
A, CS_B セットアップ時間	t <sub>suAR</sub>	RD_B↓	0			ns
A, CS_B ホールド時間	t <sub>hAR</sub>	RD_B↑	0			ns

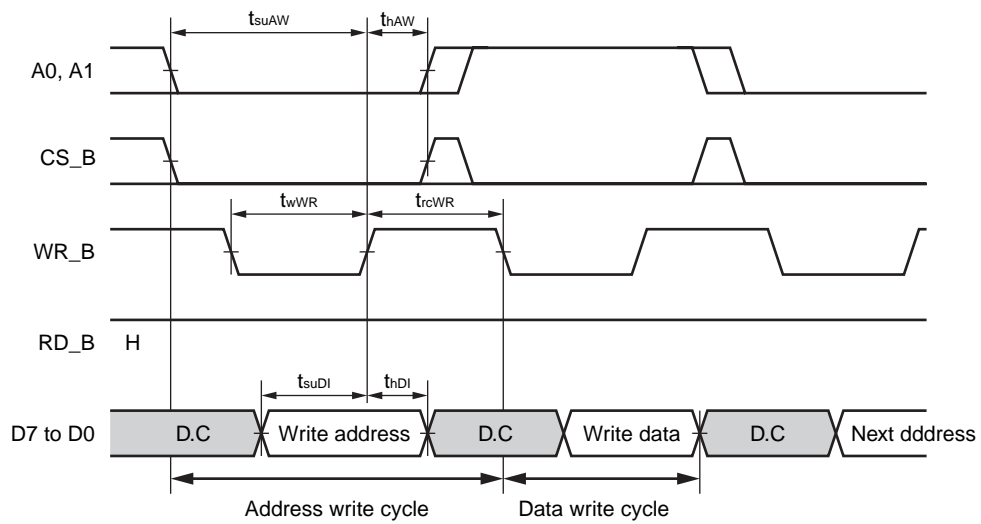
スイッチング特性 (EV<sub>DD</sub> = 1.8 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
Data アクセス時間	t <sub>accDO</sub>	RD_B↓, I <sub>sink</sub> = 1 mA			100	ns
Data ホールド時間	t <sub>hDO</sub>	RD_B↑, I <sub>sink</sub> = 1 mA	0		30	ns

パラレル・インタフェース・リード・タイミング



パラレル・インタフェース・ライト・タイミング

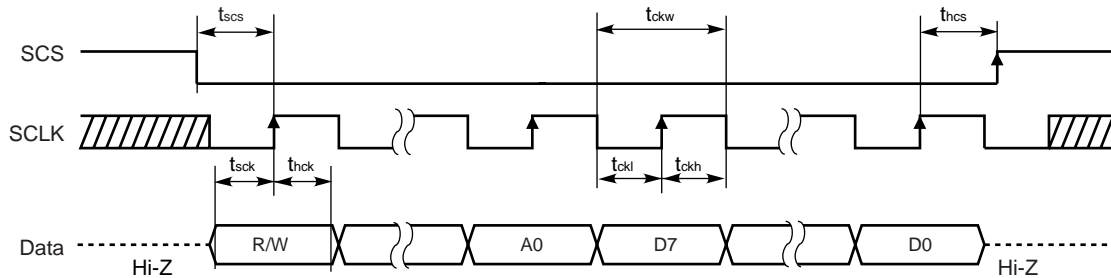


9.5.4 シリアル CPU インタフェース・モード (3 線 SPI モード, 4 線 SPI モード共通)

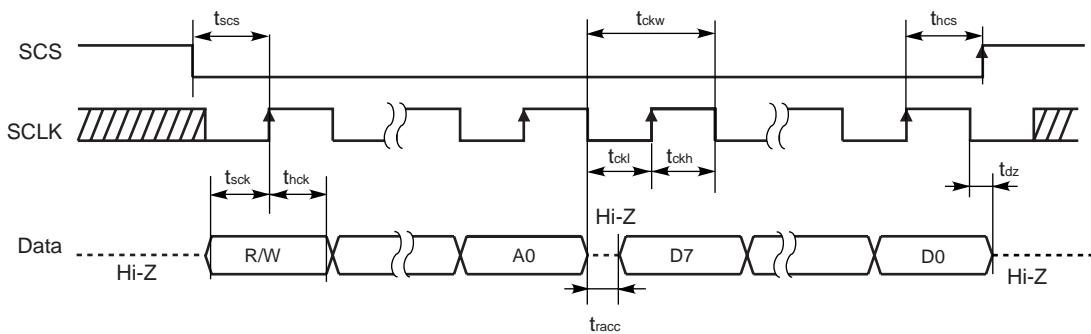
タイミング必要条件 (EV<sub>DD</sub> = 1.8 V 時)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCLK 周期	t <sub>ckw</sub>		100			ns
SCLK ハイ・レベル幅	t <sub>ckh</sub>		50			ns
SCLK ロウ・レベル幅	t <sub>ckl</sub>		50			ns
Data セットアップ時間	t <sub>sck</sub>	SCLK	20			ns
Data ホールド時間	t <sub>hck</sub>	SCLK	10			ns
SCS セットアップ時間	t <sub>scs</sub>	SCLK	20			ns
SCS ホールド時間	t <sub>hcs</sub>	SCLK	20			ns
Data 遅延時間	t <sub>racc</sub>	SCLK からデータを出力するまでの時間	5		20	ns
SCS リカバリ時間	t <sub>csacc</sub>	SCS から SCS	1			SCLK
Data 遅延時間	t <sub>dz</sub>	SCLK からデータが Hi-Z になるまでの時間	0		20	ns
SERINIT ホールド時間	t <sub>hSERINIT</sub>	SCLK	80			ns
SCS セットアップ時間	t <sub>dnh</sub>	SERINT	0			ns
SERINIT 幅	t <sub>whSERINIT</sub>		20			ns
SCS ホールド時間	t <sub>dil</sub>	SERINT	0		20	ns

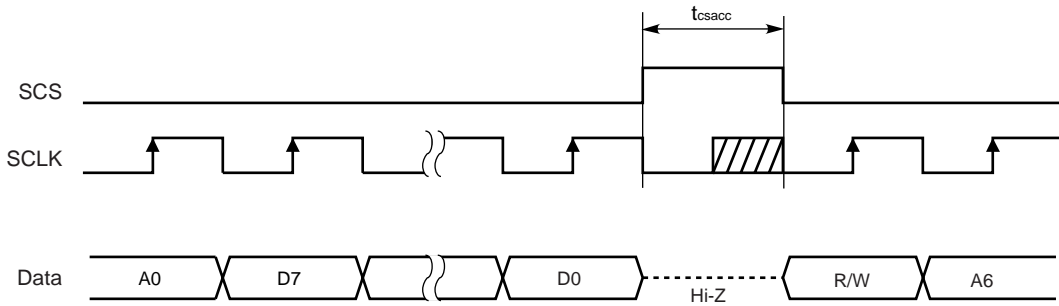
シリアル・インタフェース・ライト・タイミング



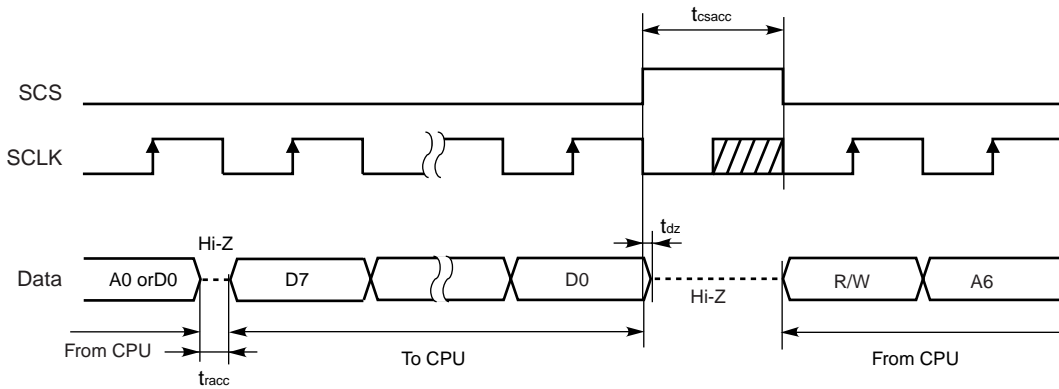
シリアル・インタフェース・リード・タイミング



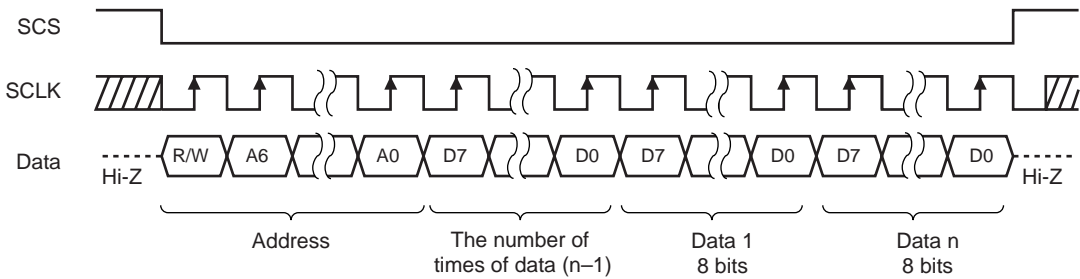
シリアル・インタフェース・ライト・タイミング (連続アクセス)



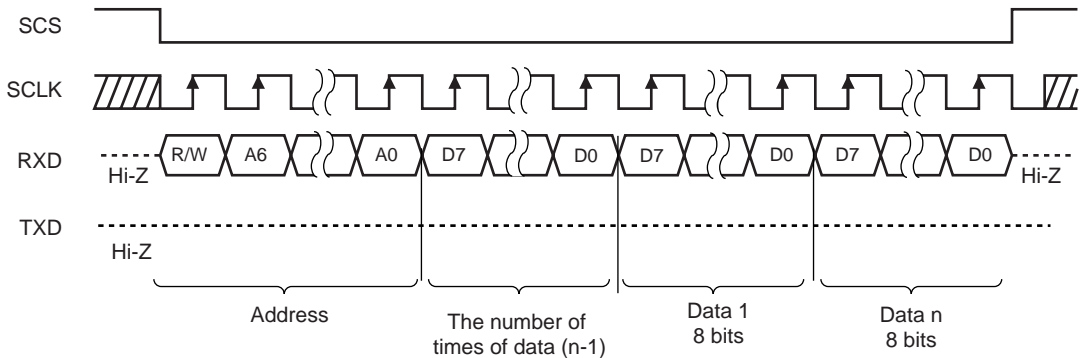
シリアル・インタフェース・リード・タイミング (連続アクセス)



3 線 SPI モード : ホスト CPU ライト・アクセス・フォーマット (連続アクセス)



4 線 SPI モード : ホスト CPU ライト・アクセス・フォーマット (連続アクセス)

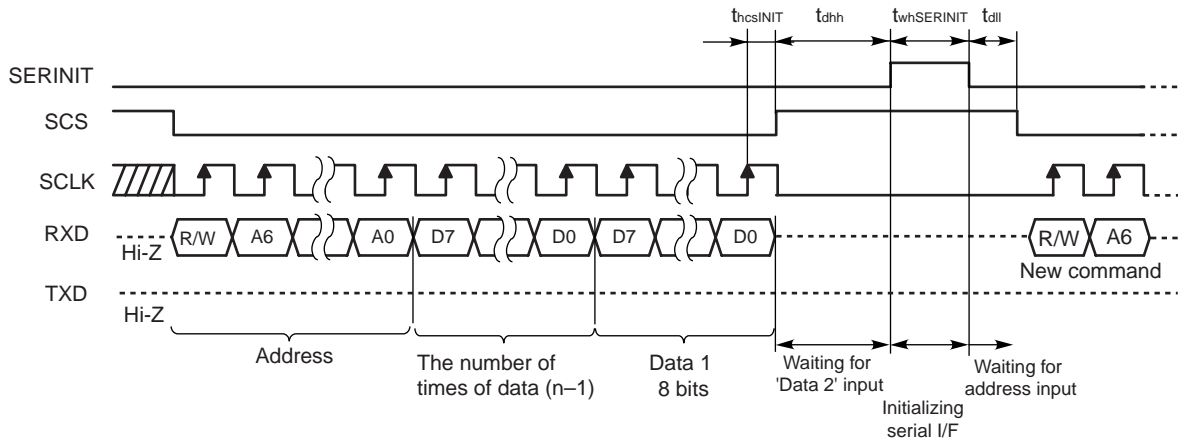




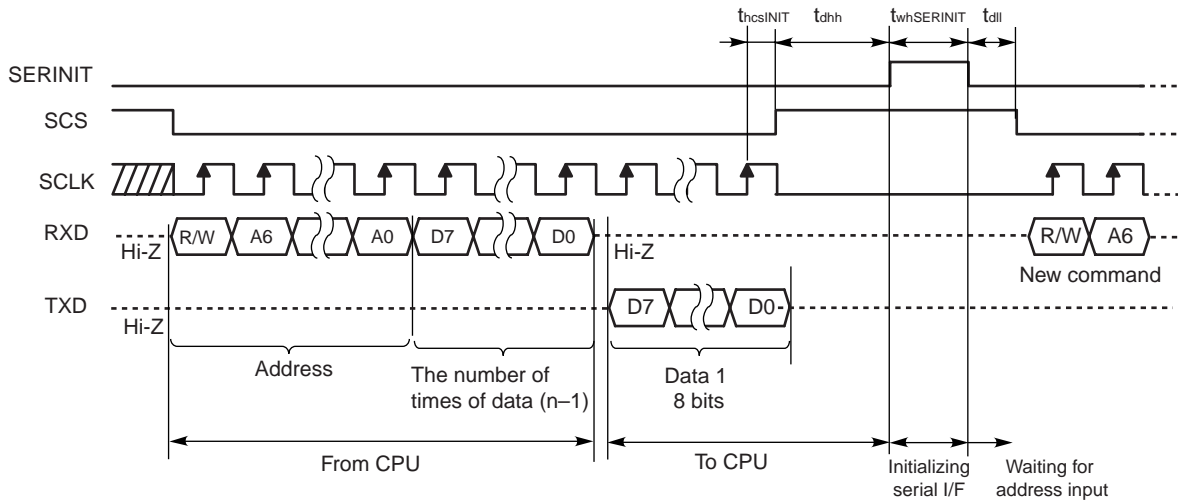
イニシャライズ信号 (SERINIT) タイミング

SERINT(D0)端子を使った連続アクセスの取り消し

ライト・アクセス



リード・アクセス



9.5.5 オーディオ・シリアル・インタフェース (ASIO)

タイミング必要条件 (EV<sub>DD</sub> = 1.8 V 時)

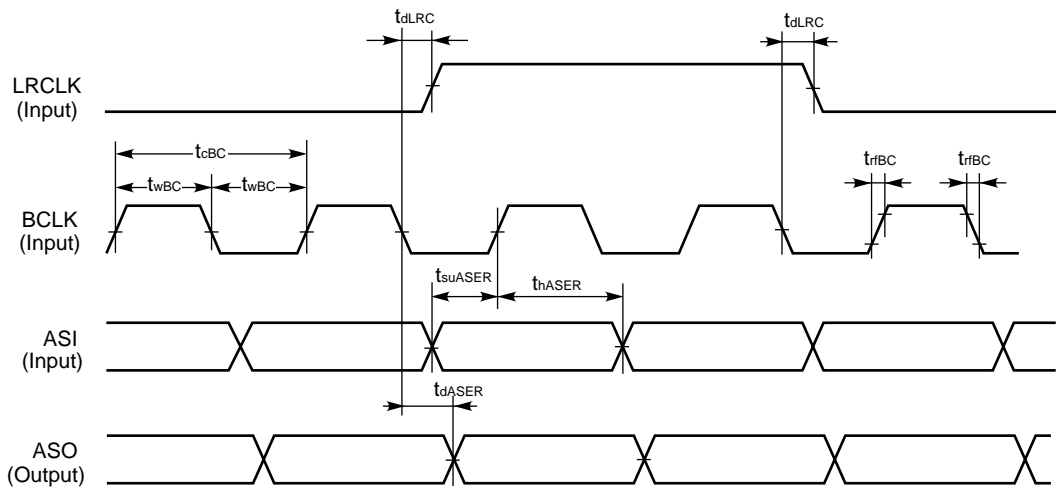
項目	略号	条件	MIN.	TYP.	MAX.	単位
ASI セットアップ時間	t <sub>suASER</sub>	対 BCLK↑	50			ns
ASI ホールド時間	t <sub>hASER</sub>	対 BCLK↑	50			ns

スイッチング特性 (EV<sub>DD</sub> = 1.8 V 時)

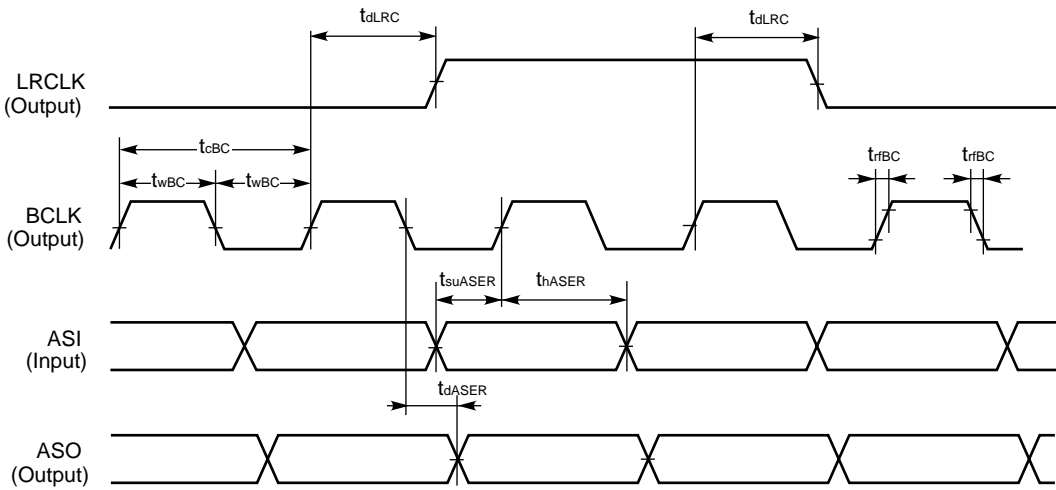
項目	略号	条件	MIN.	TYP.	MAX.	単位
LRCLK サイクル・タイム	t <sub>cLR</sub>	注		1/fs		ns
BCLK サイクル・タイム	t <sub>cBC</sub>	64 ビット / フレーム時 <sup>注</sup>		1/(fs × 64)		ns
BCLK ハイ / ロウ・レベル幅	t <sub>wBC</sub>			t <sub>cBC</sub> /2		ns
BCLK 立ち上がり / 立ち下がり時間	t <sub>rfBC</sub>	スレーブ・モード時			20	ns
LRCLK 出力遅延時間	t <sub>dLRC</sub>	対 BCLK↑ (マスタ・モード時)			50	ns
		対 BCLK↓ (スレーブ・モード時)	50			ns
ASO 出力遅延時間	t <sub>dASER</sub>	対 BCLK↓	-37.5		+80	ns

注 1 フレームの構成は、SEL\_FS レジスタ (07H) の BFS [7:4] ビットで設定されます。

オーディオ・シリアル入出力タイミング (マスタ・モード)



オーディオ・シリアル入出力タイミング (スレーブ・モード)



9.5.6 音源コア外部接続専用シリアル・インタフェース (MSIO)

タイミング必要条件 (EV<sub>DD</sub> = 1.8 V 時)

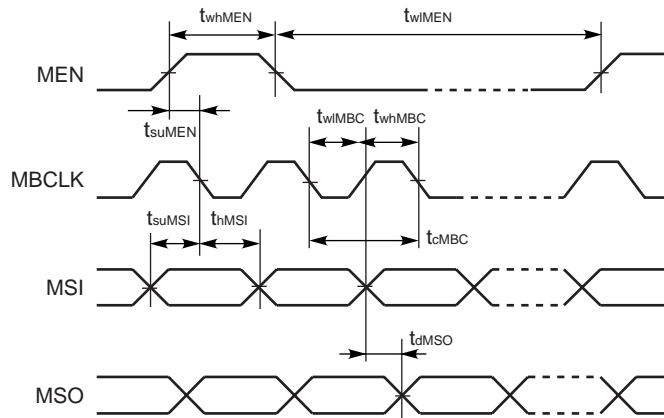
項目	略号	条件	MIN.	TYP.	MAX.	単位
MSI セットアップ時間	t <sub>suMSI</sub>	対 BCLK↑	50			ns
MSI ホールド時間	t <sub>hMSI</sub>	対 BCLK↑	50			ns

スイッチング特性 (EV<sub>DD</sub> = 1.8 V 時)

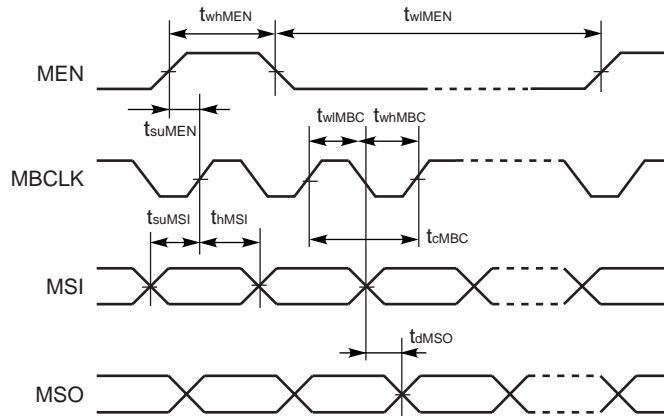
項目	略号	条件	MIN.	TYP.	MAX.	単位
MEN サイクル・タイム	t <sub>cMEN</sub>			1/fs		ns
MEN ハイ・レベル幅	t <sub>whMEN</sub>		1			clk
MEN ロウ・レベル幅	t <sub>wlMEN</sub>		1			clk
MBCLK サイクル・タイム	t <sub>cMBC</sub>	x = 32 ~ 256		1/(x*fs)		ns
MBCLK ハイ・レベル幅	t <sub>whMBC</sub>			t <sub>cMBC</sub> /2		ns
MBCLK ロウ・レベル幅	t <sub>wlMBC</sub>			t <sub>cMBC</sub> /2		ns
MBCLK 立ち上がり / 立ち下がり時間	t <sub>rfMBC</sub>	スレーブ・モード時			20	ns
MEN セットアップ時間	t <sub>suMEN1</sub>	対 MBCLK↓ (MBCLK 正転モード)	50			ns
	t <sub>suMEN2</sub>	対 MBCLK↑ (MBCLK 反転モード)	50			ns
MSO 出力遅延時間	t <sub>dMSO1</sub>	対 MBCLK↑ (MBCLK 正転モード)	- 37.5		+50	ns
	t <sub>dMSO2</sub>	対 MBCLK↓ (MBCLK 反転モード)	- 37.5		+50	ns

音源コア外部接続用シリアル入出力タイミング

クロック正転 (SMBCLK = 0) モード



クロック反転 (SMBCLK = 1) モード



9.6 アナログ特性

D/A コンバータからライン出力までの伝達特性を記します。

特に指定のないかぎり，次の条件を満たすものとします。

D/A コンバータ入力レベル  $V_{IN} = 0$  dBFS (D/A コンバータのフルスケール入力を 0 dBFS と定義します)

D/A コンバータ入力周波数  $f_{IN} = 997$  Hz

サンプリング周波数  $f_s = 48$  kHz

周囲温度  $T_A = 25$

電源電圧  $AV_{DD} = 3.0$  V

出力負荷  $R_L = 10$  k $\Omega$

プレイバック特性 (ASI - Audio DAC - LINOR/LINOL パス)

項目	略号	条件	MIN.	TYP.	MAX.	単位
最大出力レベル	$V_O$	VOLUME = 0 dB 設定	1.8	2.0	-	$V_{P-P}$
ゲイン・エラー1	$GE_{max}$	VOLUME = 0 dB 設定, 0 dBr = 2.0 $V_{P-P}$	-1	0	+1	dBr
ゲイン・エラー2	$GE_{min}$	VOLUME = -45 dB 設定, $GE_{max}$ 基準の相対値	-47	-45	-43	dB
ゲイン調整分解能	$G_{step}$	VOLUME = 0 ~ -45 dB 設定時, 微分誤差	1	1.5	2	dB
THD	THD	VOLUME = 0 dB 設定, INPUT = -10 dBm@997 Hz, f = 20 Hz ~ 19.2 kHz	-	-80	-74	dB
周波数特性	GF	VOLUME = 0 dB 設定, INPUT = -10 dBm@997 Hz, 997 Hz 時の出力を 0 dB の基準として	-1	0	+1	dB
ダイナミック・レンジ	SND	VOLUME = 0 dB 設定, INPUT = -60 dBFS, f = 20 Hz ~ 20 kHz, A-wgt フィルタ	80	86	-	dB

9.6.1 アナログ・ブロック特性 (参考値)

(1) Audio DAC 特性

項目	略号	条件	MIN	TYP	MAX	単位
分解能	RESda			16		bit
出力電圧	VOFSda	0 dBFS 出力時		2.0		V <sub>p-p</sub>
絶対利得	Gda	0 dB 入力	- 0.5	0	+0.5	dBr
周波数特性	GRda	- 20 dBFS@997 Hz, 100 ~ 15 kHz	- 0.5	0	+0.5	dBr
ダイナミック・レンジ	SNDda	Input = - 60 dBFS, A-weighting filter	83	89		dB
THD	THDda	Input = - 3 dBFS, 997 Hz			- 80	dB

(2) マスタ・ボリューム+ライン出力アンプ特性

項目	略号	条件	MIN	TYP	MAX	単位
ゲイン・エラー最大値	Gvmax	997 Hz, 0 dB 設定時, 0 dBr = 2.0 V <sub>p-p</sub>	- 0.1	0	+ 0.1	dBr
ゲイン・エラー最小値	Gvmin	997 Hz, - 45 dB 設定時	- 47	- 45	- 43	dB
ゲイン調整分解能	Gstep	20 ~ 15 kHz, 0 ~ - 45 dB 設定時, 微分誤差	1.0	1.5	2.0	dB
最小負荷抵抗			10k			Ω
最大負荷容量					20	pF
最大出力レベル	SNvo	Input = 2.0 V <sub>p-p</sub> , 997 Hz, 0 dB 設定時		2.0		V <sub>p-p</sub>
ミュート・レベル	ML	997 Hz, ミュート設定時	60			dB
周波数特性	FCvo	0.2 V <sub>p-p</sub> @997 Hz, 0 dB 設定時, 100 ~ 15 kHz	- 0.5	0	+ 0.5	dBr
ダイナミック・レンジ	SNvo	Input = - 60 dB, A-weighting filter			83	dB
THD	THDvo	input = 2.0 V <sub>p-p</sub> , 997 Hz			- 86	dB

(3) バンド・ギャップ・レファレンス特性

項目	略号	条件	MIN	TYP	MAX	単位
出力電圧	VRO		1.2	1.3	1.4	V
立ち上がり時間	VRUP	容量 0.22 μF		2	5	ms

(4) レギュレータ特性

項目	略号	条件	MIN	TYP	MAX	単位
消費電流	REGidd	出力電流 0 mA 時		( 50 )		μA
出力電圧	REGvo			1.54		V
出力電流	REGio			150		mA
パワーアップ時間	REGton	出力電流最大時, 出力電圧 90 %			( 1 )	ms
パワーダウン時間	REGtoff	出力電流最大時, 出力電圧 0.5 V			( 1 )	ms

10. 消費電流特性

特に指定のない限り，次の条件を満たすものとします。

音源マスタ・クロック = 112 MHz

D/A コンバータ入力レベル  $V_{IN} = 0$  dBFS (D/A コンバータのフルスケール入力を 0 dBFS と定義します)

D/A コンバータ入力周波数  $f_{IN} = 997$  Hz

周囲温度  $T_A = 25$  ，電源電圧  $DV_{DD} = 1.54$  V ,  $EV_{DD} = 1.8$  V ,  $PLL_{V_{DD}} = AV_{DD} = REG_{V_{DD}} = 3.0$  V

サンプリング周波数  $f_s = 48$  kHz , 出力負荷  $R_L = 10$  kΩ

各電流はμ PD9970 からの参考値です。予告なく変更する場合があります。

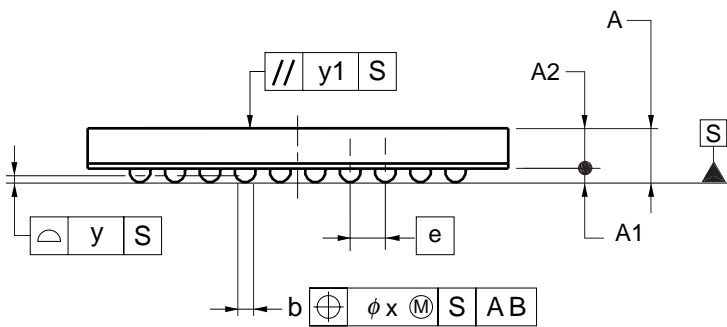
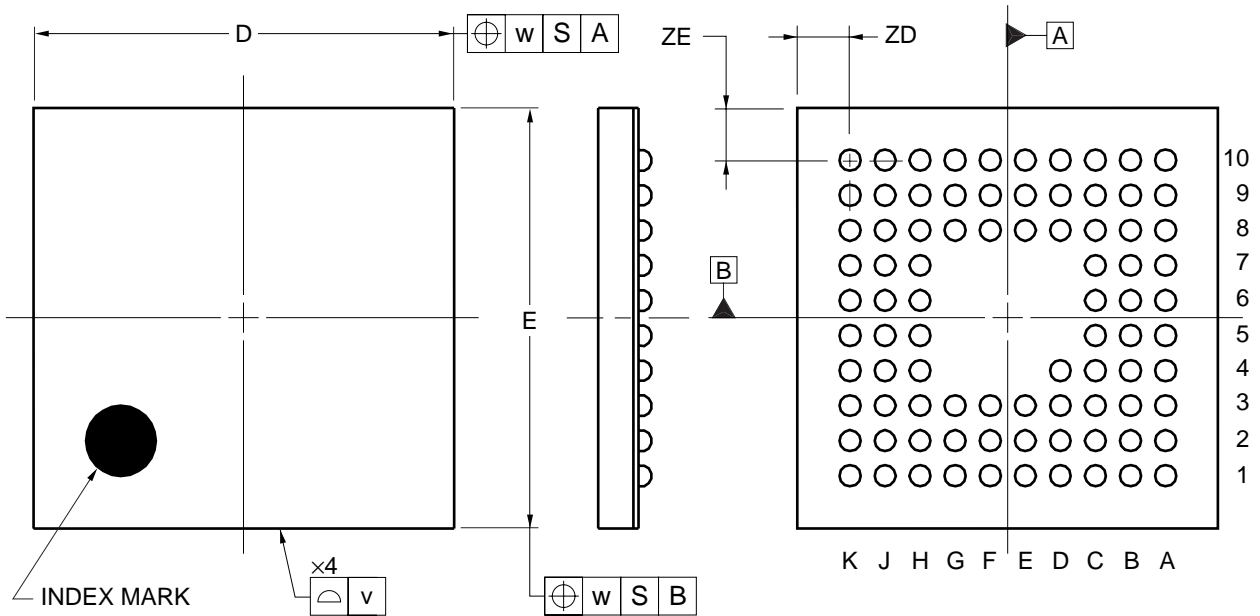
$EV_{DD}$  端子電流値は無負荷時のものです。実動作時の値は，クロック・レート，負荷容量，負荷抵抗などの外部環境によって変化します。

項目	略号	条件	電源端子	MIN.	TYP.	MAX.	単位
音源 DAC 出力時消費電流	I <sub>DD1</sub>	MIDI 再生, 3DA オン, EQ オン, ステレオ・ライン出力, レギュレータ未使用時 (REGUSE_B = EV <sub>DD</sub> )	DV <sub>DD</sub>			120	mA
			AV <sub>DD</sub>			12	mA
			PLL <sub>V<sub>DD</sub></sub>			9	mA
			REG <sub>V<sub>DD</sub></sub>		0.5		μA
			EV <sub>DD</sub>			3	mA
音源 - ASO 出力時消費電流	I <sub>DD2</sub>	MIDI 再生, 3DA オン, EQ オン, ASO データ出力, レギュレータ未使用時 (REGUSE_B = EV <sub>DD</sub> )	DV <sub>DD</sub>			120	mA
			AV <sub>DD</sub>			2	mA
			PLL <sub>V<sub>DD</sub></sub>			9	mA
			REG <sub>V<sub>DD</sub></sub>		0.5		μA
			EV <sub>DD</sub>			3	mA
ASI DAC 出力時消費電流	I <sub>DD3</sub>	オーディオ再生, 音源オフ, 3DA オフ, EQ オフ, ステレオ・ライン出力, レギュレータ未使用時 (REGUSE_B = EV <sub>DD</sub> )	DV <sub>DD</sub>			10	mA
			AV <sub>DD</sub>			12	mA
			PLL <sub>V<sub>DD</sub></sub>			9	mA
			REG <sub>V<sub>DD</sub></sub>		0.5		μA
			EV <sub>DD</sub>			3	mA
ASI - ASO 出力時消費電流	I <sub>DD4</sub>	オーディオ・ループバック, 音源オフ, 3DA オフ, EQ オフ, ASO データ出力, レギュレータ未使用時 (REGUSE_B = EV <sub>DD</sub> )	DV <sub>DD</sub>			10	mA
			AV <sub>DD</sub>			2	mA
			PLL <sub>V<sub>DD</sub></sub>			9	mA
			REG <sub>V<sub>DD</sub></sub>		0.5		μA
			EV <sub>DD</sub>			3	mA
ソフトウェア・スタンバイ電流 1	I <sub>STB1</sub>	全信号停止時ソフトウェア・スタンバイ電流 (EV <sub>DD</sub> 除く) REGCNT = 0, REGUSE_B = EV <sub>DD</sub>	DV <sub>DD</sub>				μA
			AV <sub>DD</sub>		0.5		μA
			PLL <sub>V<sub>DD</sub></sub>		0.5		μA
			REG <sub>V<sub>DD</sub></sub>		0.5		μA
ソフトウェア・スタンバイ電流 2	I <sub>STB2</sub>	全信号停止時ソフトウェア・スタンバイ電流 (EV <sub>DD</sub> 除く) REGCNT = 0, REGUSE_B = 0	DV <sub>DD</sub>		0		μA
			AV <sub>DD</sub>		0.5		μA
			PLL <sub>V<sub>DD</sub></sub>		0.5		μA
			REG <sub>V<sub>DD</sub></sub>		0.5		μA
ハードウェア・スタンバイ電流	I <sub>STBH</sub>	リセット時 (RESET_B = Low) EV <sub>DD</sub> 電流	EV <sub>DD</sub>		0.2	5	μA



11. 外形図

85ピン・テープFBGA (6x6) 外形図



(UNIT:mm)

ITEM	DIMENSIONS
D	6.00±0.10
E	6.00±0.10
v	0.15
w	0.20
e	0.50
A	0.83±0.10
A1	0.18±0.05
A2	0.65
b	0.32±0.05
x	0.05
y	0.08
y1	0.20
ZD	0.75
ZE	0.75

P85F9-50-BA3

12. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については次を参照してください。

「半導体デバイス実装マニュアル」( <http://www.necel.com/pkg/ja/jissou/index.html> )

μPD9971F9-BA3-A : 85 ピン・テープ FBGA ( 6 × 6 mm )

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60 秒以内（220 以上），回数：2 回以内， 制限日数：7 日間 <sup>※</sup> （以降は 125 プリベーク 10～72 時間必要）， フラックス：塩素分の少ないロジン系フラックス（塩素 0.2 Wt%以下）を推奨 <b>&lt;留意事項&gt;</b> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR60-107-2

注 ドライパック開封後の保管日数で保管条件は 25 ，65%RH 以下。

## CMOSデバイスの一般的注意事項

**入力端子の印加波形**

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

**未使用入力の処理**

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

**静電気対策**

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

**初期化以前の状態**

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

**電源投入切断順序**

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

**電源OFF時における入力信号**

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

JAVA は、米国 Sun Microsystems, Inc の米国およびその他の国における商標または登録商標です。

MIDI は、社団法人音楽電子事業協会の登録商標です。

- 本資料に記載されている内容は2005年9月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

## 【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

お問い合わせ先

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

## 【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00、午後 1:00～5:00)

電話：044-435-9494

E-mail：info@necel.com

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。