

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ネットワーク・コントローラ

μ PD98501は、ADSLモデムに最適なIPパケットとATMセル間のプロトコル変換を行う高性能コントローラです。このコントローラは、CPUコアとしてMIPS™ベースの高性能64ビットRISCプロセッサVr4120A™のほかに、ATMセル・プロセッサ、イーサネット™・コントローラ、USBコントローラ、UTOPIA2インタフェースおよびSDRAMインタフェースを備えています。

詳しい機能説明などは次のユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD98501 ユーザズ・マニュアル：S14767E

特 徴

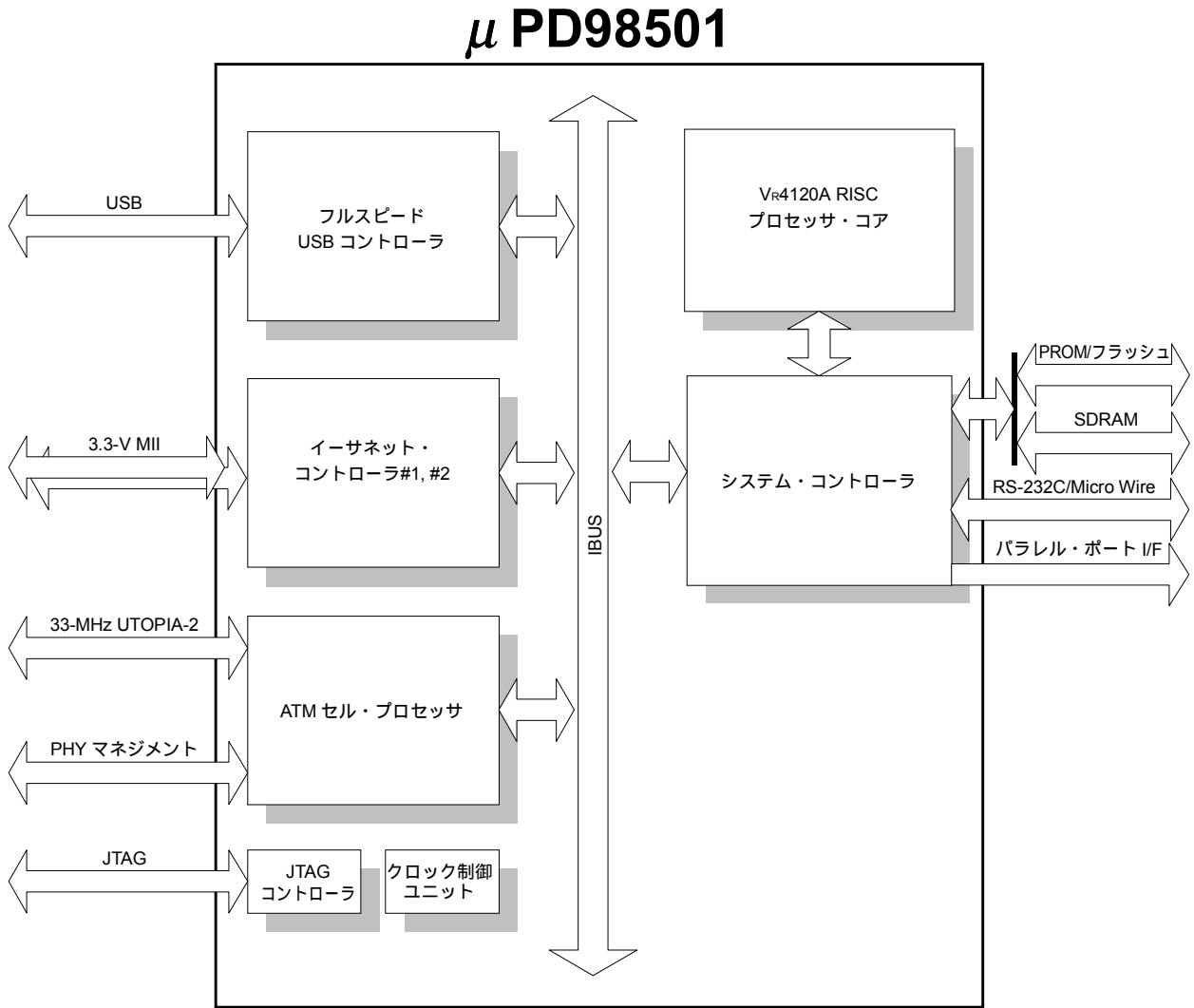
高性能なMIPSベースの64ビットRISCプロセッサVr4120Aを搭載
 RTOSとネットワーク・ミドルウェア (M/W) をオン・チップで実行可能
 PROMとブート・プログラム格納用フラッシュROMのインタフェース内蔵
 ATMセル・プロセッサとして32ビットRISCコントローラを搭載
 RISCコントローラによるソフトウェアSAR処理により、柔軟な仕様更新を実現
 CBR/VBR/UBRサービス・クラスに対応
 IEEE802.3, IEEE802.3uおよびIEEE802.3x準拠の10/100 Mbpsイーサネット・コントローラを2チャンネル内蔵
 3.3 V MIIインタフェースにより外部イーサネットPHYデバイスを直接接続可能
 USB仕様1.1準拠のUSBフルスピード機能コントローラ内蔵
 USB Communication Device Class Specification準拠の動作に対応
 外部メモリとして64Mビットと128MビットのSDRAMを直接接続可能
 ATM Forum af-phy-0039準拠の8ビット、33 MHz UTOPIAレベル2インタフェースを内蔵
 IEEE1149.1準拠のバウンダリ・スキャン機能 (JTAG) 内蔵
 Micro Wire™インタフェース内蔵
 汎用タイマを2チャンネル内蔵
 先端CMOSテクノロジー採用
 電源電圧：3.3 V (I/O), 2.5 V (コア)
 352ピンT-BGAパッケージ

オーダー情報

オーダー名称	パッケージ
μ PD98501N7-F6	352ピン・テープBGA (H/Sp付き) (35×35)

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

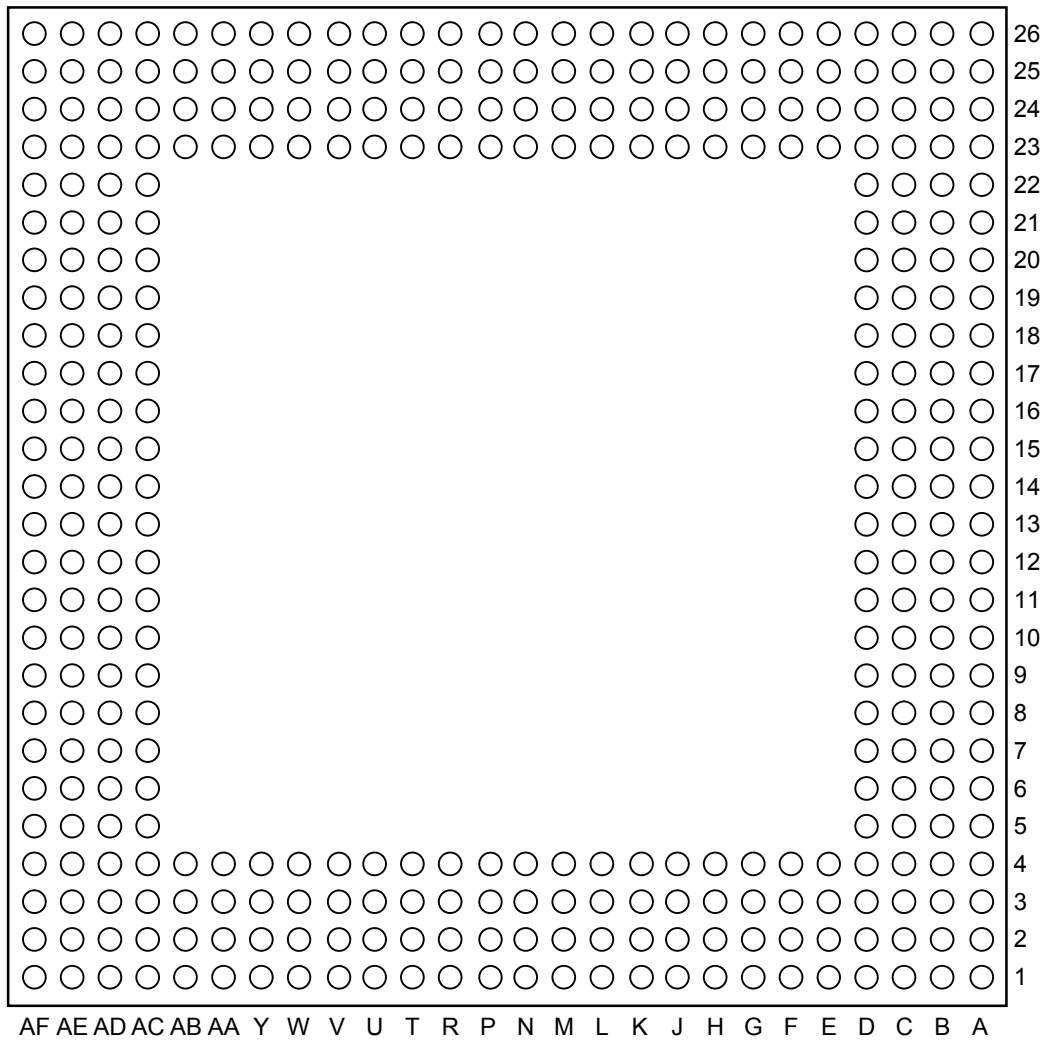
ブロック図



端子配置 (Bottom View)

・ 352ピン・テープBGA (H/Sp付き) (35 × 35)

μ PD98501N7-F6



端子名称

端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
A01	IC-Open	C01	SCLK	E01	EVDD	L23	UMD0	V01	SMA6
A02	IVDD	C02	CLKSL	E02	PSDVD	L24	IC-PU _p	V02	SMA5
A03	GND	C03	IC-PD _n	E03	PSAGND	L25	GND	V03	IVDD
A04	PUAGND	C04	PUMD_B	E04	GND	L26	IVDD	V04	GND
A05	GND	C05	PUAVD	E23	IVDD	M01	SMD16	V23	MI2RD1
A06	EVDD	C06	IC-PD _n	E24	UMAD4	M02	SMD17	V24	MI2RD0
A07	EVDD	C07	IC-PD _n	E25	UMAD2	M03	IVDD	V25	MI2MD
A08	IC-PU _p R	C08	USBDP	E26	EVDD	M04	GND	V26	MI2RDV
A09	IC-Open	C09	IC-PD _n R	F01	SRMCS_B	M23	IC-PU _p R	W01	SMA4
A10	IVDD	C10	IVDD	F02	SRMOE_B	M24	IC-PU _p R	W02	SMA3
A11	IVDD	C11	UDRCLV	F03	PSTBY	M25	IC-PU _p R	W03	GND
A12	EVDD	C12	UDRD6	F04	PSMD_B	M26	IC-PU _p R	W04	SMA2
A13	UDRD1	C13	UDRD3	F23	UMAD1	N01	SMA19	W23	IVDD
A14	IVDD	C14	UDRD0	F24	UMAD0	N02	SMA20	W24	MI2MCLK
A15	UDRAD3	C15	UDRCLK	F25	IC-PU _p R	N03	GND	W25	MI2RD3
A16	UDRAD0	C16	GND	F26	IC-PU _p R	N04	EVDD	W26	MI2RD2
A17	UDTE_B	C17	UDTAD4	G01	SMD30	N23	IC-PU _p R	Y01	SMA1
A18	UDTAD3	C18	UDTAD1	G02	SMD31	N24	IC-PU _p R	Y02	EVDD
A19	GND	C19	UDTD7	G03	IVDD	N25	IC-PU _p R	Y03	SMA0
A20	UDTD5	C20	UDTD4	G04	GND	N26	IC-PU _p R	Y04	SDCKE1
A21	UDTCLK	C21	IVDD	G23	IC-PU _p R	P01	SMA18	Y23	GND
A22	UMRST_B	C22	UMRDY_B	G24	IC-PU _p R	P02	SMA17	Y24	IC-PD _n R
A23	UDTD0	C23	UMRD_B	G25	IC-PU _p R	P03	SMA16	Y25	IC-PD _n R
A24	UMINT_B	C24	EVDD	G26	IC-PU _p R	P04	SMA15	Y26	GND
A25	UMAD11	C25	UMAD7	H01	SMD27	P23	MI2TD1	AA01	IVDD
A26	UMMD	C26	GND	H02	GND	P24	MI2TD0	AA02	GND
B01	IC-PD _n	D01	PSAVD	H03	SMD28	P25	IVDD	AA03	SDCLK1
B02	IC-Open	D02	PSDGND	H04	SMD29	P26	GND	AA04	SDCS_B
B03	IC-Open	D03	GND	H23	IC-PU _p R	R01	SMA14	AA23	EVDD
B04	PUDVD	D04	IC-PD _n	H24	IC-PU _p R	R02	EVDD	AA24	MITD1
B05	PUDGND	D05	USBCLK	H25	UMD7	R03	SMA13	AA25	MITD0
B06	PUSTBY	D06	IC-PD _n	H26	GND	R04	SMA12	AA26	IVDD
B07	GND	D07	IC-Open	J01	IVDD	R23	MI2TCLK	AB01	SDRAS_B
B08	EVDD	D08	USBDM	J02	GND	R24	MI2COL	AB02	SDCAS_B
B09	IC-Open	D09	IC-PD _n R	J03	SMD25	R25	MI2TD3	AB03	EVDD
B10	GND	D10	GND	J04	SMD26	R26	MI2TD2	AB04	SDCLK0
B11	UDRSC	D11	UDRE_B	J23	IVDD	T01	SMA11	AB23	GND
B12	UDRD5	D12	UDRD7	J24	UMD6	T02	IVDD	AB24	MICRS
B13	UDRD2	D13	UDRD4	J25	UMD5	T03	GND	AB25	MITD3
B14	GND	D14	UDRAD4	J26	UMD4	T04	SMA10	AB26	MITD2
B15	UDRAD2	D15	UDRAD1	K01	SMD22	T23	MI2TER	AC01	SDWE_B
B16	IVDD	D16	UDTCLV	K02	SMD23	T24	MI2CRS	AC02	SDCKE0
B17	UDTSC	D17	EVDD	K03	EVDD	T25	IVDD	AC03	SMD15
B18	UDTAD2	D18	IVDD	K04	SMD24	T26	GND	AC04	SMD10
B19	UDTAD0	D19	UDTD6	K23	UMD3	U01	SMA9	AC05	SMD6
B20	EVDD	D20	UDTD3	K24	EVDD	U02	SMA8	AC06	EVDD
B21	UDTD2	D21	GND	K25	UMD2	U03	SMA7	AC07	SMD1
B22	UDTD1	D22	GND	K26	UMD1	U04	EVDD	AC08	EXNMI_B
B23	UMSL_B	D23	UMAD10	L01	SMD18	U23	MI2TE	AC09	POM5
B24	UMWR_B	D24	UMAD6	L02	SMD19	U24	MI2RCLK	AC10	POM2
B25	UMAD9	D25	UMAD5	L03	SMD20	U25	EVDD	AC11	POM0
B26	UMAD8	D26	UMAD3	L04	SMD21	U26	MI2RER	AC12	URSDI

端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
AC13	EVDD	AD10	IVDD	AE07	GND	AF04	SMD5
AC14	IC-Open	AD11	URCLK	AE08	ENDCEN	AF05	SMD7
AC15	EVDD	AD12	URDSR_B/MWDO	AE09	POM6	AF06	SMD0
AC16	GND	AD13	URRTS_B/MWDI	AE10	POM3	AF07	RST_B
AC17	IC-PUpR	AD14	IVDD	AE11	GND	AF08	EVDD
AC18	JRSTB_B	AD15	IC-Open	AE12	URDCD_B/MWCS	AF09	POM4
AC19	JDO	AD16	IC-PDn	AE13	URDTR_B	AF10	POM1
AC20	IC-PDn	AD17	IC-Open	AE14	GND	AF11	IVDD
AC21	ROMSEL0	AD18	IC-Open	AE15	IC-Open	AF12	URCTS_B/MWSK
AC22	MIRD2	AD19	JMS	AE16	IC-PUpR	AF13	URSDO
AC23	GND	AD20	EVDD	AE17	IC-PUpR	AF14	IC-PDn
AC24	MITER	AD21	ROMSEL1	AE18	BIG	AF15	IC-Open
AC25	MITCLK	AD22	MIMCLK	AE19	IVDD	AF16	IC-Open
AC26	MICOL	AD23	MIRD0	AE20	JCK	AF17	IVDD
AD01	GND	AD24	MIMD	AE21	IC-PDn	AF18	IC-PUpR
AD02	SMD11	AD25	MIRER	AE22	IC-PDn	AF19	GND
AD03	SMD14	AD26	IVDD	AE23	MIRD3	AF20	JDI
AD04	SMD8	AE01	IVDD	AE24	IVDD	AF21	SSEL
AD05	GND	AE02	GND	AE25	MIRCLK	AF22	IC-PDn
AD06	SMD4	AE03	EVDD	AE26	MITE	AF23	GND
AD07	IVDD	AE04	SMD9	AF01	GND	AF24	MIRD1
AD08	EXINT_B	AE05	SMD3	AF02	SMD13	AF25	GND
AD09	POM7	AE06	SMD2	AF03	SMD12	AF26	MIRDV

特殊端子の名称：

IC-PDn : プルダウン

IC-PDnR : 抵抗付きプルダウン

IC-PUp : プルアップ

IC-PUpR : 抵抗付きプルアップ

備考 このドキュメントでは、アクティブ・ロウの端子をXXX_Bと表しています。

目 次

1. 端子機能一覧	...	7
1.1 電 源	...	7
1.2 システムPLL電源	...	7
1.3 USB PLL電源	...	8
1.4 システム制御インタフェース	...	8
1.5 メモリ・インタフェース	...	9
1.6 ATMインタフェース	...	10
1.7 イーサネット・インタフェース	...	11
1.8 USBインタフェース	...	12
1.9 UART/Micro Wireインタフェース	...	12
1.10 パラレル・ポート・インタフェース	...	12
1.11 バウンダリ・スキャン・インタフェース	...	12
1.12 I.C.-オープン	...	13
1.13 I.C.-プルダウン	...	13
1.14 I.C.-抵抗付きプルダウン	...	13
1.15 I.C.-プルアップ	...	13
1.16 I.C.-抵抗付きプルアップ	...	13
2. 電気的特性	...	14
3. 外形図	...	41
4. 半田付け推奨条件	...	42

1. 端子機能一覧

I/O欄の記号は次の状態を示します。

- I : 入力
- O : 出力
- I/O : 双方向
- I/OZ : 双方向 (Hi-Z状態を含む)
- I/OD : 双方向 (オープン・ドレイン出力)
- OZ : 出力 (Hi-Z状態を含む)
- OD : 出力 (オープン・ドレイン)

1.1 電 源

端子名	端子番号	I/O	アクティブ・レベル	機 能
GND	A03, A05, AB23, AC16, AC23, AD01, AE02, AE07, AE14, AF01, AF19, AF23, C16, C26, D10, D21, D22, E04, G04, H02, H26, P26, T03, T26, W03, Y23, Y26, A19, AA02, AD05, AE11, AF25, B07, B10, B14, D03, J02, L25, M04, N03, V04			グランド (0V)
IVDD	A02, A10, A14, AA01, AA26, AD14, AE24, AF11, B16, D18, E23, J01, J23, L26, M03, P25, V03, A11, AD07, AD10, AD26, AE01, AE19, AF17, C10, C21, G03, T02, T25, W23			内部ロジック・コア電源 (+2.5V)
EVDD	A07, A12, AA23, AB03, AC06, AC13, AC15, AD20, AE03, AF08, B08, B20, C24, E01, E26, K24, N04, R02, U04, U25, Y02, A06, D17, K03			外部 (I/O) 電源 (+3.3V)

1.2 システムPLL電源

端子名	端子番号	I/O	アクティブ・レベル	機 能
PSAGND	E03			アナログ・グランド (0V)
PSAVD	D01			アナログ電源 (+2.5V)
PSDGND	D02			デジタル・グランド (0V)
PSDVD	E02			デジタル電源 (+2.5V)

1.3 USB PLL電源

端子名	端子番号	I/O	アクティブ・レベル	機能
PUAGND	A04			アナログ・グラウンド (0V)
PUAVD	C05			アナログ電源 (+2.5V)
PUDGND	B05			デジタル・グラウンド (0V)
PUDVD	B04			デジタル電源 (+2.5V)

1.4 システム制御インタフェース

端子名	端子番号	I/O	アクティブ・レベル	機能
SCLK	C01	I		システム・クロック (33 MHz)
CLKSL	C02	I		V _R 4120AおよびSDRAM動作クロック・セレクト (L: 100 MHz/H: 66 MHz)
PSMD_B	F04	I	L	システムPLLモード制御入力 (L: 通常動作時, H: スルー動作時) ^注
PSTBY	F03	I	H	システムPLLスタンバイ・モード制御入力 (L: アクティブ, H: スタンバイ)
PUMD_B	C04	I	L	USB PLLモード制御 (L: 通常動作時, H: スルー動作時) ^注
PUSTBY	B06	I	H	USB PLLスタンバイ・モード制御 (L: アクティブ, H: スタンバイ)
BIG	AE18	I	H	V _R 4120Aビッグ・エンディアン・モード
ENDCEN	AE08	I		エンディアン・コンバージョン・イネーブル
EXINT_B	AD08	I	L	外部割り込み
EXNMI_B	AC08	I	L	外部ノンマスクブル割り込み
RST_B	AF07	I	L	システム・リセット
ROMSEL0, ROMSEL1	AC21, AD21	I		ROMアクセス・バス幅 (ROMSEL1/0 = L/L: 32ビット, L/H: 16ビット, H/L: 8ビット)
SSEL	AF21	I		UART/Micro Wireセレクト (L: UART, H: Micro Wire)

注 PSMD_B, PUMD_B端子はロウ・レベル固定で使用してください。

1.5 メモリ・インタフェース

端子名	端子番号	I/O	アクティブ・レベル	機能
SDCLK0, SDCLK1	AB04, AA03	O		SDRAMクロック
SDCKE0, SDCKE1	AC02, Y04	O	H	SDRAMクロック・イネーブル
SDCS_B	AA04	O	L	SDRAMチップ・セレクト
SDRAS_B	AB01	O	L	SDRAM口ウ・アドレス・ストロープ
SDCAS_B	AB02	O	L	SDRAMカラム・アドレス・ストロープ
SDWE_B	AC01	O	L	SDRAM/PROM/FLASH書き込みイネーブル
SRMCS_B	F01	O	L	PROM/FLASHチップ・セレクト
SRMOE_B	F02	O	L	PROM/FLASH出カイネーブル
SMA0-SMA20	Y03, Y01, W04, W02, W01, V02, V01, U03, U02, U01, T04, T01, R04, R03, R01, P04, P03, P02, P01, N01, N02	O		メモリ・アドレス
SMD0-SMD31	AF06, AC07, AE06, AE05, AD06, AF04, AC05, AF05, AD04, AE04, AC04, AD02, AF03, AF02, AD03, AC03, M01, M02, L01, L02, L03, L04, K01, K02, K04, J03, J04, H01, H03, H04, G01, G02	I/O		メモリ・データ

1.6 ATMインタフェース

(1) UTOPIAマネジメント・インタフェース

端子名	端子番号	I/O	アクティブ・レベル	機能
UMMD	A26	O		マネジメント・モード・セレクト
UMINT_B	A24	I	L	PHYからの割り込み
UMRD_B	C23	O	L	マネジメント読み出しイネーブル
UMRDY_B	C22	I	L	マネジメント・データ・レディ
UMRST_B	A22	O	L	PHYリセット
UMSL_B	B23	O	L	PHYセレクト
UMWR_B	B24	O	L	マネジメント書き込みイネーブル
UMAD0-UMAD11	F24, F23, E25, D26, E24, D25, D24, C25, B26, B25, D23, A25	O		PHYアドレス
UMD0-UMD7	L23, K26, K25, K23, J26, J25, J24, H25	I/O		マネジメント・データ

(2) UTOPIAデータ・インタフェース

端子名	端子番号	I/O	アクティブ・レベル	機能
UDRCLK	C15	O		受信クロック
UDRCLV	C11	I	H	受信セル・アベイラブル
UDRE_B	D11	O	L	受信イネーブル
UDRSC	B11	I	H	受信セル開始
UDRAD0-UDRAD4	A16, D15, B15, A15, D14	O		受信PHYアドレス
UDRD0-UDRD7	C14, A13, B13, C13, D13, B12, C12, D12	I		受信データ
UDTCLK	A21	O		送信クロック
UDTCLV	D16	I	H	送信セル・アベイラブル
UDTE_B	A17	O	L	送信イネーブル
UDTSC	B17	O	H	送信セル開始
UDTAD0-UDTAD4	B19, C18, B18, A18, C17	O		送信PHYアドレス
UDTD0-UDTD7	A23, B22, B21, D20, C20, A20, D19, C19	O		送信データ

1.7 イーサネット・インタフェース

(1) イーサネット・インタフェース (チャンネル1)

端子名	端子番号	I/O	アクティブ・レベル	機能
MIRCLK	AE25	I		MII受信クロック (2.5 MHz/25 MHz)
MIMCLK	AD22	O		MIIマネジメント・クロック
MIMD	AD24	I/O		MIIマネジメント・データ
MICOL	AC26	I		MIIコリジョン
MICRS	AB24	I		MIIキャリア・センス
MIRDV	AF26	I		MII受信データ有効
MIRER	AD25	I		MII受信エラー
MIRD0-MIRD3	AD23, AF24, AC22, AE23	I		MII受信データ
MITCLK	AC25	I		MII送信クロック (2.5 MHz/25 MHz)
MITE	AE26	O		MII送信イネーブル
MITER	AC24	O		MII送信エラー
MITD0-MITD3	AA25, AA24, AB26, AB25	O		MII送信データ

(2) イーサネット・インタフェース (チャンネル2)

端子名	端子番号	I/O	アクティブ・レベル	機能
MI2RCLK	U24	I		MII受信クロック (2.5 MHz/25 MHz)
MI2MCLK	W24	O		MIIマネジメント・クロック
MI2MD	V25	I/O		MIIマネジメント・データ
MI2COL	R24	I		MIIコリジョン
MI2CRS	T24	I		MIIキャリア・センス
MI2RDV	V26	I		MII受信データ有効
MI2RER	U26	I		MII受信エラー
MI2RD0-MI2RD3	V24, V23, W26, W25	I		MII受信データ
MI2TCLK	R23	I		MII送信クロック (2.5 MHz/25 MHz)
MI2TE	U23	O		MII送信イネーブル
MI2TER	T23	O		MII送信エラー
MI2TD0-MI2TD3	P24, P23, R26, R25	O		MII送信データ

1.8 USBインタフェース

端子名	端子番号	I/O	アクティブ・レベル	機能
USBCLK	D05	I		外部USBクロック (12 MHz)
USBDM	D08	I/O		USBデータ (-)
USBDP	C08	I/O		USBデータ (+)

1.9 UART/Micro Wireインタフェース

端子名	端子番号	I/O	アクティブ・レベル	機能
URCLK	AD11	I		UART外部クロック (18.432 MHz)
URSDO	AF13	O		UARTシリアル・データ出力
URSDI	AC12	I		UARTシリアル・データ入力
URDTR_B	AE13	O	L	UARTデータ・ターミナル・レディ
URRTS_B	AD13	O	L	UARTデータ送信要求
/MWDI		I		Micro Wireデータ入力
URCTS_B	AF12	I	L	UART送信クリア
/MWSK		O		Micro Wireサンプリング・クロック・アウト
URDCD_B	AE12	I	L	UARTデータ・キャリア検出
/MWCS		O		Micro Wireチップ・セレクト
URDSR_B	AD12	I	L	UARTデータ・セット・レディ
/MWDO		O		Micro Wireデータ出力

備考 多機能端子 (AD13, AF12, AE12, AD12) の機能は、SSEL端子の状態によって、次のように決まります。

SSEL = L : UART動作モード

SSEL = H : Micro Wire動作モード

1.10 パラレル・ポート・インタフェース

端子名	端子番号	I/O	アクティブ・レベル	機能
POM0-POM7	AC11, AF10, AC10, AE10, AF09, AC09, AE09, AD09	O		パラレル・ポート信号出力

1.11 バウンダリ・スキャン・インタフェース

端子名	端子番号	I/O	アクティブ・レベル	機能
JCK	AE20	I		B-SCANクロック
JDI	AF20	I		B-SCAN入力データ
JDO	AC19	OZ		B-SCAN出力データ
JMS	AD19	I		B-SCANモード・セレクト
JRSTB_B	AC18	I	L	B-SCANリセット

1.12 I.C.-オープン

端子名	端子番号	I/O	アクティブ・レベル	機能
IC-Open	A09, B09, A01, B02, D07, B03, AC14, AD15, AD17, AD18, AE15, AF15, AF16	O		オープンにしてください。

1.13 I.C.-プルダウン

端子名	端子番号	I/O	アクティブ・レベル	機能
IC-PDn	AF22, C03, B01, D04, C06, D06, C07, AE21, AC20, AD16, AE22, AF14	I		GNDに接続してください。

1.14 I.C.-抵抗付きプルダウン

端子名	端子番号	I/O	アクティブ・レベル	機能
IC-PDnR	C09, D09, Y24, Y25	I/O		プルダウン抵抗を介して GNDに接続してください。

1.15 I.C.-プルアップ

端子名	端子番号	I/O	アクティブ・レベル	機能
IC-PUp	L24	I		EVDDに接続してください。

1.16 I.C.-抵抗付きプルアップ

端子名	端子番号	I/O	アクティブ・レベル	機能
IC-PUpR	A08, H24, H23, G26, G25, G24, G23, F26, F25, N26, N25, N24, N23, M26, M25, M23, M24, AC17, AE16, AE17, AF18	I/O		プルアップ抵抗を介して EVDDに接続してください。

2. 電気的特性

絶対最大定格

項目	略号	条件	定格	単位
電源電圧	IV _{DD}	内部ロジック・コア	- 0.5 ~ + 3.6	V
	EV _{DD}	I/Oバッファ	- 0.5 ~ + 4.6	V
入出力電圧	V _{I1} /V _{O1}	LVTTLレベル端子	- 0.5 ~ + 4.6	V
	V _{I2} /V _{O2}	USB I/Oバッファ	- 0.5 ~ + 4.6	V
出力電流	I _{O1}	LVTTLレベル端子, I _{OL} = 9 mA	30	mA
	I _{O2}	USB I/Oバッファ, I _{OL} = 18 mA	55	mA
保存温度	T _{stg}		- 60 ~ + 150	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨動作条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	IV _{DD}		2.35	2.5	2.65	V
	EV _{DD}		3.15	3.3	3.45	V
ロウ・レベル入力電圧	V _{IL1}	LVTTLレベル端子	0		0.8	V
	V _{IL2}	USB I/Oバッファ, (9)USBインタフェース・パラメータ参照 (シングル・エンド動作)			0.8	V
ハイ・レベル入力電圧	V _{IH1}	LVTTLレベル端子	2.0			V
	V _{IH2}	USB I/Oバッファ, (9)USBインタフェース・パラメータ参照 (シングル・エンド動作)	2.0			V
USB差動入力電圧	V _{IDF}	USB I/Oバッファ, (9)USBインタフェース・パラメータ参照 (差動動作)	0.2			V
動作周囲温度	T _A		0		70	

DC特性 (IV_{DD} = 2.5 ± 0.15 V, EV_{DD} = 3.3 ± 0.15 V, T_A = 0 ~ +70)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流	I _{IDD}				1100	mA
	E _{IDD}				200	mA
入力リーク電流	I _{LI}	V _I = EV _{DD} またはGND			± 10	μA
オフ・ステート出力電流	I _{OZ}	V _O = EV _{DD} またはGND			± 10	μA
ロウ・レベル出力電圧	V _{OL1}	LVTTLレベル端子, I _{OL} = 9 mA			0.4	V
	V _{OL2}	USB I/Oバッファ, (9)USBインタフェース・パラメータ参照			0.3	V
ハイ・レベル出力電圧	V _{OH1}	LVTTLレベル端子, I _{OH} = 9 mA	2.4			V
	V _{OH2}	USB I/Oバッファ, (9)USBインタフェース・パラメータ参照	2.8		EV _{DD}	V

容量 (TA = 25 , VDD = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	CI	fc = 1 MHz,	4		8	pF
出力容量	CO	被測定端子以外は0 V	4		8	pF
入出力容量	CIO		4		8	pF

端子の分類

入力端子

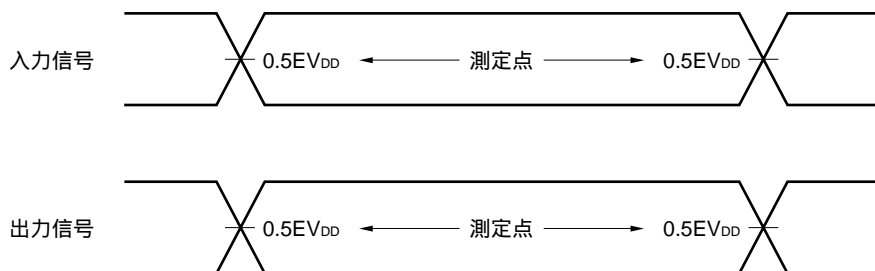
分類	適用端子		端子数
LVTTTLレベル端子	V _{I1} , V _{IL1} /V _{IH1}	BIG, CLKSL, ENDCEN, EXINT_B, EXNMI_B, JCK, JDI, JMS, JRSTB_B, MI2COL, MI2CRS, MI2MD, MI2RCLK, MI2RD[3:0], MI2RDV, MI2RER, MI2TCLK, MICOL, MICRS, MIMD, MIRCLK, MIRD[3:0], MIRDV, MIRER, MITCLK, MWDI, PSMD, PSTBY, PUMD, PUSTBY, ROMSEL[1:0], RST_B, SCLK, SMD[31:0], SSEL, UDRCLV, UDRD[7:0], UDRSC, UDTCLV, UMD[7:0], UMINT_B, UMRDY_B, URCLK, URCTS_B, URDCD_B, URDSR_B, URSDI, USBCLK	100
USB I/Oバッファ	V _{I2} , V _{IL2} /V _{IH2} , V _{IDF}	USBDP, USBDM	2

出力端子

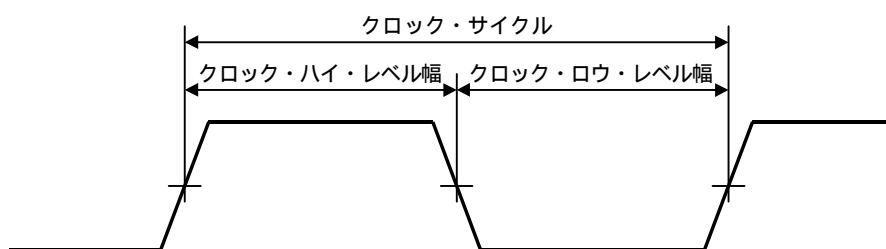
分類	適用端子		端子数
LVTTTLレベル端子	I _{O1} V _{O1} , V _{OL1} /V _{OH1}	JDO, MI2MCLK, MI2MD, MI2TD[3:0], MI2TE, MI2TER, MIMCLK, MIMD, MITD[3:0], MITE, MITER, MWCS, MWDO, MWSK, POM[7:0], SDCAS_B, SDCKE0, SDCKE1, SDCLK0, SDCLK1, SDCS_B, SDRAS_B, SDWE_B, SMA[20:0], SMD[31:0], SRMCS_B, SRMOE_B, UDRAD[4:0], UDRCLK, UDRE_B, UDTAD[4:0], UDTCLK, UDTD[7:0], UDTE_B, UDTSC, UMAD[11:0], UMD[7:0], UMMD, UMRD_B, UMRST_B, UMSEL_B, UMWR_B, URDTR_B, URRTS_B, URSDO	142
USB I/Oバッファ	I _{O2} V _{O2} , V _{OL2} /V _{OH2}	USBDP, USBDM	2

AC特性 ($V_{DD} = 2.5 \pm 0.15 \text{ V}$, $V_{DD} = 3.3 \pm 0.15 \text{ V}$, $T_A = 0 \sim +70$)

(1) AC測定条件



(2) クロック・パラメータ



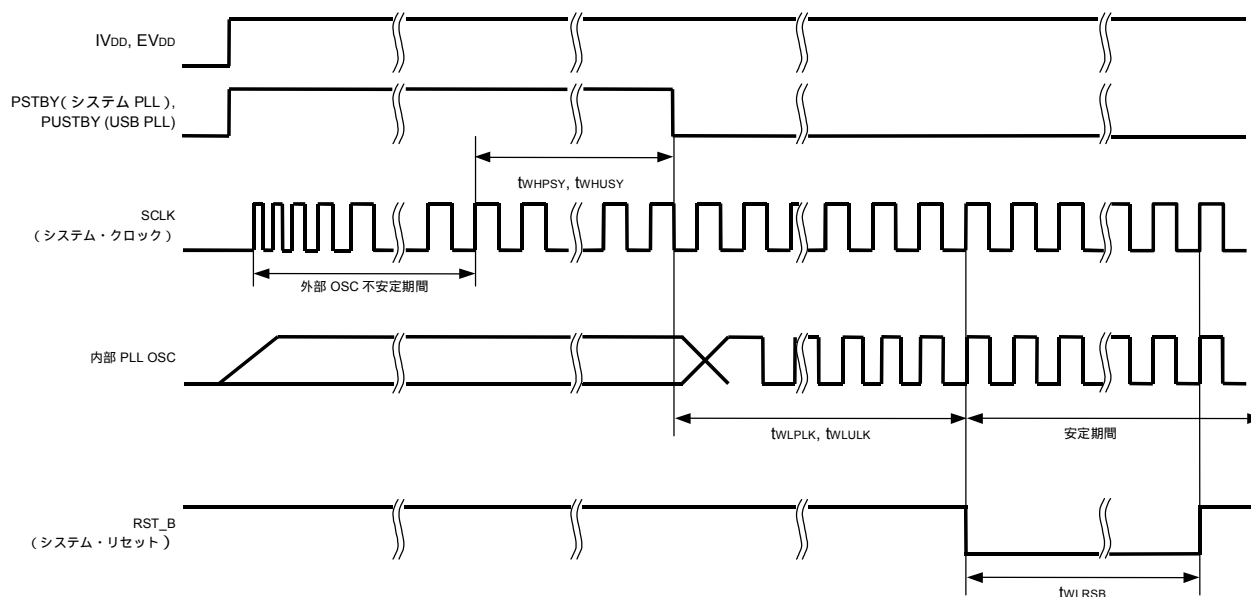
(2) - 1 クロック入力

項目	略号	条件	MIN.	MAX.	単位
SCLK入力サイクル	t _{CYSCK}		30.0	40.0	ns
SCLK入力ハイ・レベル幅	t _{WHSCK}		0.4 × t _{CYSCK}	0.6 × t _{CYSCK}	ns
SCLK入力ロウ・レベル幅	t _{WLSCK}		0.4 × t _{CYSCK}	0.6 × t _{CYSCK}	ns
MITCLK入力サイクル	t _{CYMTK}		40.0	400.0	ns
MITCLK入力ハイ・レベル幅	t _{WHMTK}		0.4 × t _{CYMTK}	0.6 × t _{CYMTK}	ns
MITCLK入力ロウ・レベル幅	t _{WLMTK}		0.4 × t _{CYMTK}	0.6 × t _{CYMTK}	ns
MIRCLK入力サイクル	t _{CYMRK}		40.0	400.0	ns
MIRCLK入力ハイ・レベル幅	t _{WHMRK}		0.4 × t _{CYMRK}	0.6 × t _{CYMRK}	ns
MIRCLK入力ロウ・レベル幅	t _{WLMRK}		0.4 × t _{CYMRK}	0.6 × t _{CYMRK}	ns
MI2TCLK入力サイクル	t _{CY2TK}		40.0	400.0	ns
MI2TCLK入力ハイ・レベル幅	t _{WH2TK}		0.4 × t _{CY2TK}	0.6 × t _{CY2TK}	ns
MI2TCLK入力ロウ・レベル幅	t _{WL2TK}		0.4 × t _{CY2TK}	0.6 × t _{CY2TK}	ns
MI2RCLK入力サイクル	t _{CY2RK}		40.0	400.0	ns
MI2RCLK入力ハイ・レベル幅	t _{WH2RK}		0.4 × t _{CY2RK}	0.6 × t _{CY2RK}	ns
MI2RCLK入力ロウ・レベル幅	t _{WL2RK}		0.4 × t _{CY2RK}	0.6 × t _{CY2RK}	ns
USBCLK入力サイクル	t _{CYUBK}		83.1	84.6	ns
USBCLK入力ハイ・レベル幅	t _{WHUBK}		0.4 × t _{CYUBK}	0.6 × t _{CYUBK}	ns
USBCLK入力ロウ・レベル幅	t _{WLUBK}		0.4 × t _{CYUBK}	0.6 × t _{CYUBK}	ns
JCK入力サイクル	t _{CYJCK}		100.0	1000.0	ns
JCK入力ハイ・レベル幅	t _{WHJCK}		0.4 × t _{CYJCK}	0.6 × t _{CYJCK}	ns
JCK入力ロウ・レベル幅	t _{WLJCK}		0.4 × t _{CYJCK}	0.6 × t _{CYJCK}	ns

(2) - 2 クロック出力

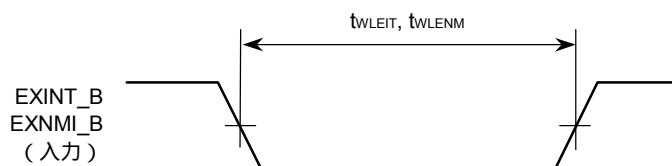
項 目	略 号	条 件	MIN.	MAX.	単 位
SDCLK0出力サイクル	t _{CYSK0}	負荷10 pF	10.0	15.0	ns
SDCLK0出力ハイ・レベル幅	t _{WHSK0}	負荷10 pF	0.4 × t _{CYSK0}	0.6 × t _{CYSK0}	ns
SDCLK0出力ロウ・レベル幅	t _{WLSK0}	負荷10 pF	0.4 × t _{CYSK0}	0.6 × t _{CYSK0}	ns
SDCLK1出力サイクル	t _{CYSK1}	負荷10 pF	10.0	15.0	ns
SDCLK1出力ハイ・レベル幅	t _{WHSK1}	負荷10 pF	0.4 × t _{CYSK1}	0.6 × t _{CYSK1}	ns
SDCLK1出力ロウ・レベル幅	t _{WLSK1}	負荷10 pF	0.4 × t _{CYSK1}	0.6 × t _{CYSK1}	ns
UDTCLK出力サイクル	t _{CYUTK}	負荷50 pF	30.0		ns
UDTCLK出力ハイ・レベル幅	t _{WHUTK}	負荷50 pF	0.4 × t _{CYUTK}		ns
UDTCLK出力ロウ・レベル幅	t _{WLUTK}	負荷50 pF	0.4 × t _{CYUTK}		ns
UDRCLK出力サイクル	t _{CYURK}	負荷50 pF	30.0		ns
UDRCLK出力ハイ・レベル幅	t _{WHURK}	負荷50 pF	0.4 × t _{CYURK}		ns
UDRCLK出力ロウ・レベル幅	t _{WLURK}	負荷50 pF	0.4 × t _{CYURK}		ns
MIMCLK出力サイクル	t _{CYMCK}	負荷50 pF	420.0		ns
MIMCLK出力ハイ・レベル幅	t _{WHMCK}	負荷50 pF	0.4 × t _{CYMCK}		ns
MIMCLK出力ロウ・レベル幅	t _{WLMCK}	負荷50 pF	0.4 × t _{CYMCK}		ns
MI2MCLK出力サイクル	t _{CYM2K}	負荷50 pF	420.0		ns
MI2MCLK出力ハイ・レベル幅	t _{WHM2K}	負荷50 pF	0.4 × t _{CYM2K}		ns
MI2MCLK出力ロウ・レベル幅	t _{WLM2K}	負荷50 pF	0.4 × t _{CYM2K}		ns

(3) リセット, PLLパラメータ



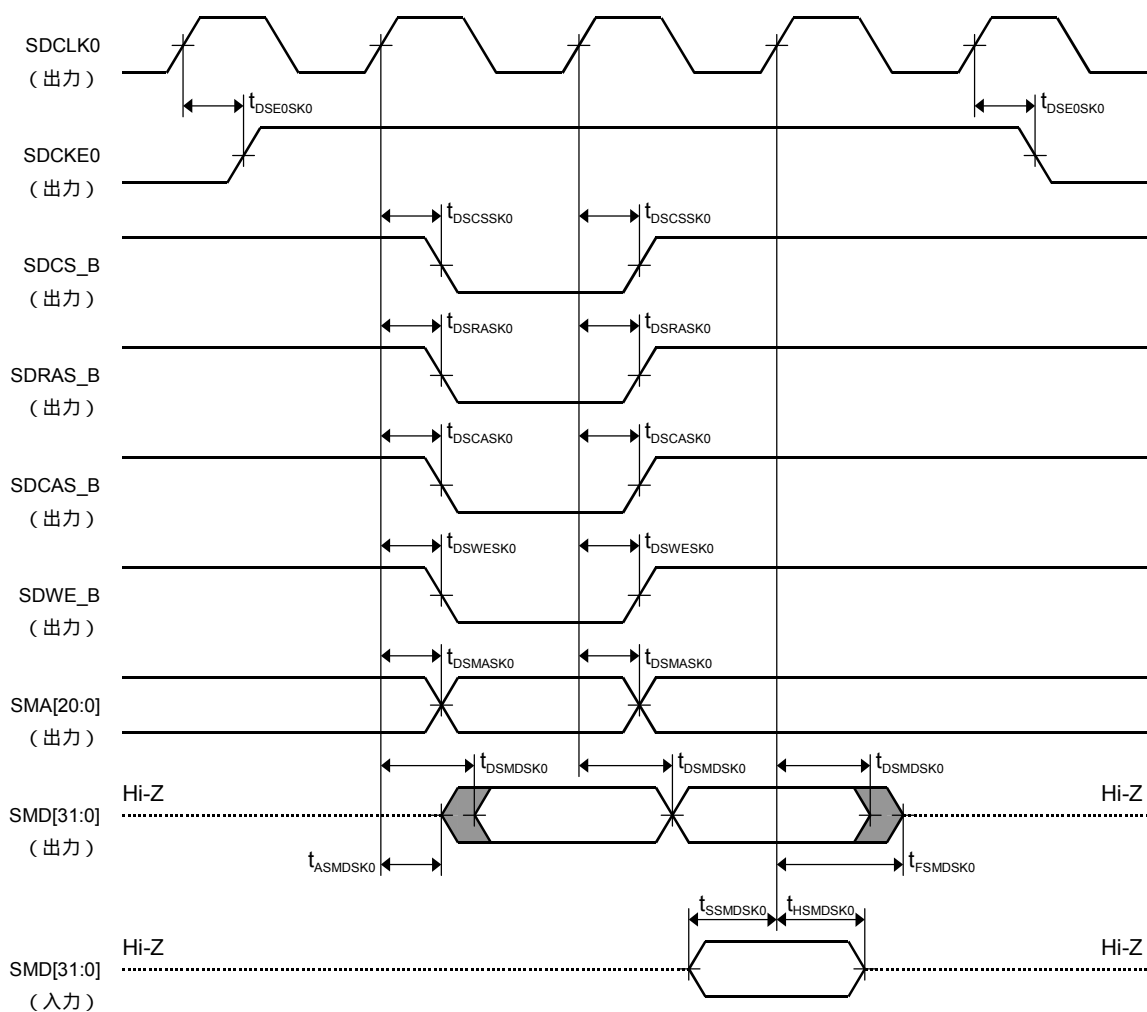
項目	略号	条件	MIN.	MAX.	単位
RST_B入力ロウ・レベル幅	tWLRSB		$6.0 \times tcysck$		ns
PSTBYホールド・ハイ・レベル幅	tWHPSY		1		μs
PSTBYルックアップ時間	tWLPLK	負荷50 pF	1000		μs
PUSTBYホールド・ハイ・レベル幅	tWHUSY		1		μs
PUSTBYルックアップ時間	tWLULK	負荷50 pF	1000		μs

(4) 割り込みインタフェース・パラメータ

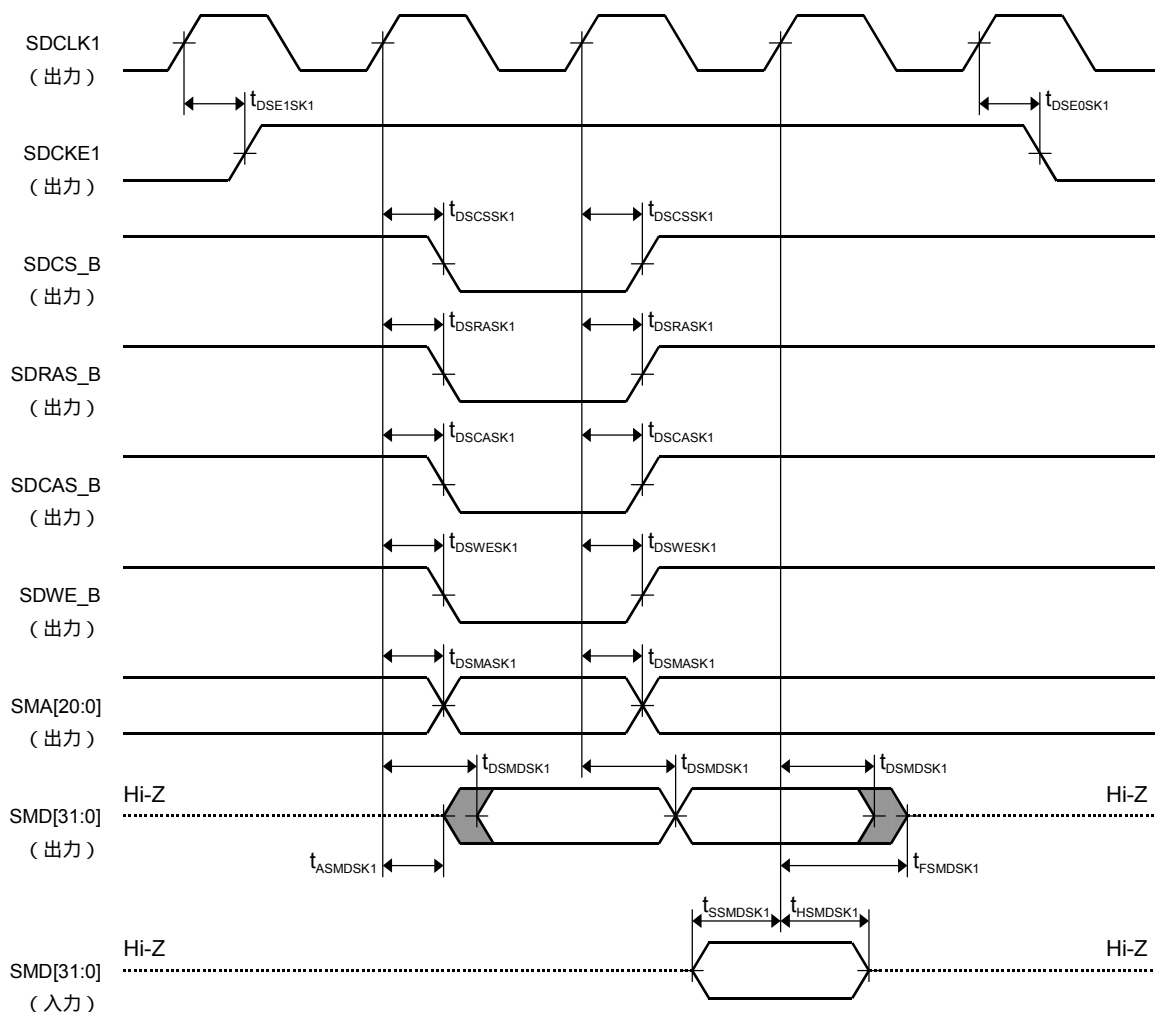


項目	略号	条件	MIN.	MAX.	単位
EXINT_B入力ロウ・レベル幅	tWLEIN		$4.0 \times tcysk0$		ns
EXNMI_B入力ロウ・レベル幅	tWLENM		$4.0 \times tcysk0$		ns

(5) SDRAMインタフェース・パラメータ



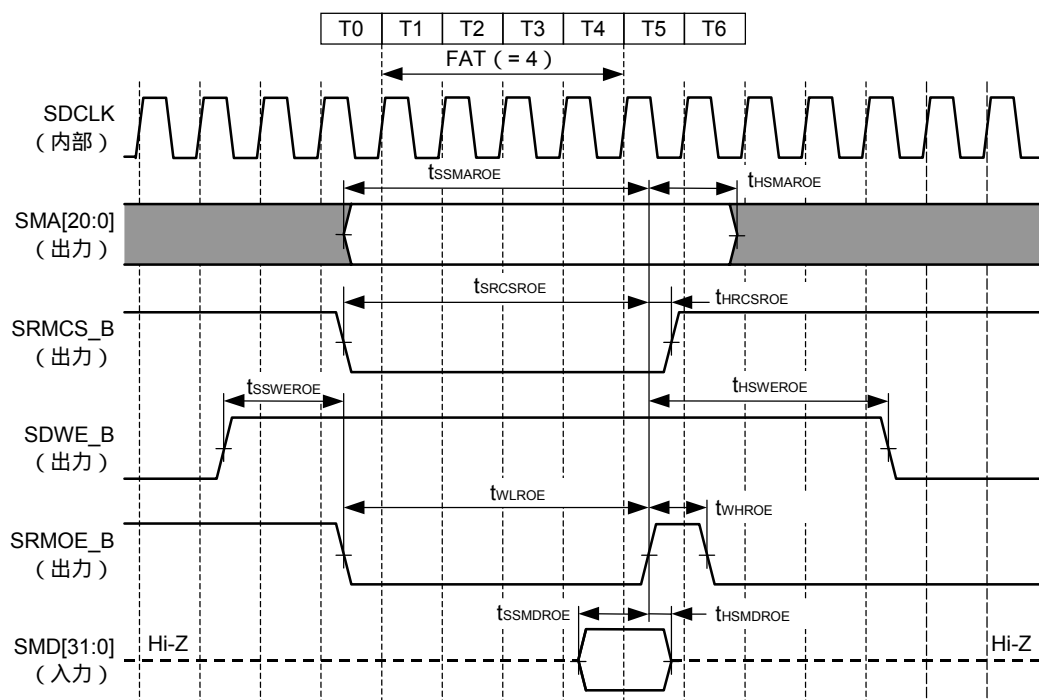
項目	略号	条件	MIN.	MAX.	単位
SDCKE0出力遅延 (対SDCLK0)	$t_{DSE0SK0}$	負荷30 pF	1.0	7.5	ns
SDCS_B出力遅延 (対SDCLK0)	$t_{DSCSSK0}$	負荷30 pF	1.0	7.5	ns
SDRAS_B出力遅延 (対SDCLK0)	$t_{DSRASK0}$	負荷30 pF	1.0	7.5	ns
SDCAS_B出力遅延 (対SDCLK0)	$t_{DSCASK0}$	負荷30 pF	1.0	7.5	ns
SDWE_B出力遅延 (対SDCLK0)	$t_{DSWESK0}$	負荷50 pF	1.0	7.5	ns
SMA[20:0]出力遅延 (対SDCLK0)	$t_{DSMASK0}$	負荷50 pF	1.0	7.5	ns
SMD[31:0]出力フローティングからアクティブの遅延 (対SDCLK0)	t_{ASMSK0}	負荷50 pF	1.0		ns
SMD[31:0]出力遅延 (対SDCLK0)	t_{DSMSK0}	負荷50 pF	1.0	7.5	ns
SMD[31:0]出力アクティブからフローティングの遅延 (対SDCLK0)	t_{FSMSK0}	負荷50 pF		7.5	ns
SMD[31:0]入力セットアップ (対SDCLK0)	t_{SSMSK0}		4.0		ns
SMD[31:0]入力ホールド (対SDCLK0)	t_{HSMSK0}		1.0		ns



項目	略号	条件	MIN.	MAX.	単位
SDCKE1出力遅延 (対SDCLK1)	$t_{DSE1SK1}$	負荷30 pF	1.0	7.5	ns
SDCS_B出力遅延 (対SDCLK1)	$t_{DSCSSK1}$	負荷30 pF	1.0	7.5	ns
SDRAS_B出力遅延 (対SDCLK1)	$t_{DSRASK1}$	負荷30 pF	1.0	7.5	ns
SDCAS_B出力遅延 (対SDCLK1)	$t_{DSCASK1}$	負荷30 pF	1.0	7.5	ns
SDWE_B出力遅延 (対SDCLK1)	$t_{DSWESK1}$	負荷50 pF	1.0	7.5	ns
SMA[20:0]出力遅延 (対SDCLK1)	$t_{DSMASK1}$	負荷50 pF	1.0	7.5	ns
SMD[31:0]出力フローティングからアクティブの遅延 (対SDCLK1)	t_{ASMSK1}	負荷50 pF	1.0		ns
SMD[31:0]出力遅延 (対SDCLK1)	$t_{DSMDSK1}$	負荷50 pF	1.0	7.5	ns
SMD[31:0]出力アクティブからフローティングの遅延 (対SDCLK1)	t_{FSMSK1}	負荷50 pF		7.5	ns
SMD[31:0]入力セットアップ (対SDCLK1)	t_{SSMSK1}		4.0		ns
SMD[31:0]入力ホールド (対SDCLK1)	t_{HSMSK1}		1.0		ns

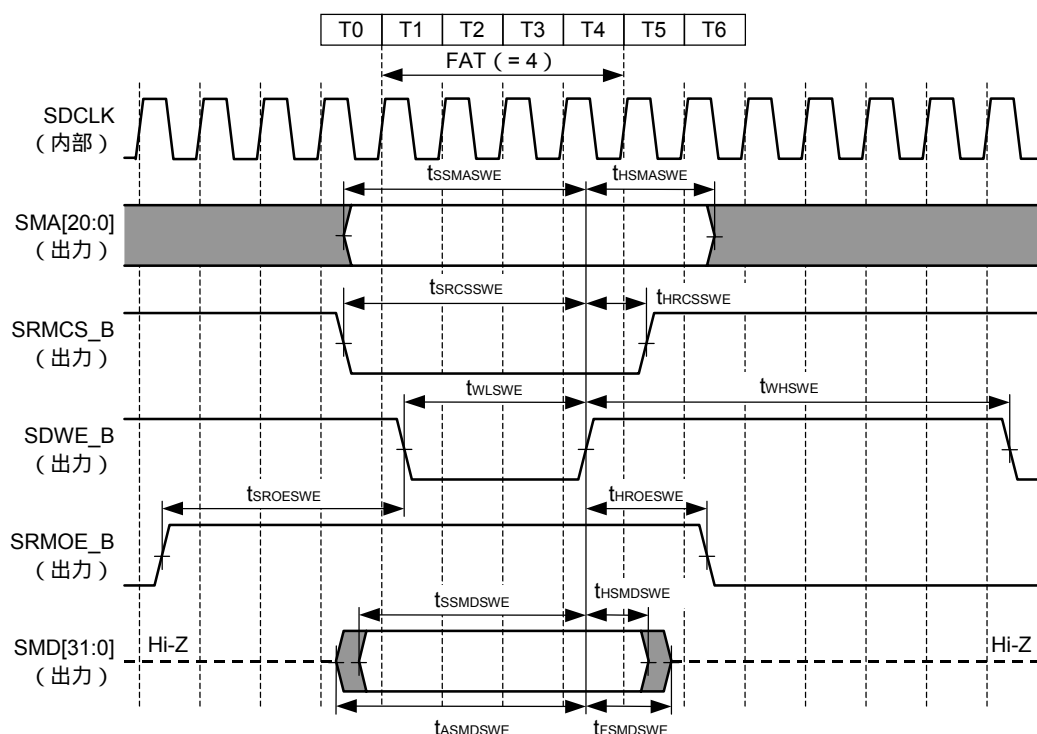
(6) フラッシュROMインタフェース・パラメータ

<リード・サイクル>



項目	略号	条件	MIN.	MAX.	単位
SMA[20:0]セットアップ (対SRMOE_B)	tSSMAROE	負荷50 pF	$5.0 \times t_{CYSK0} - 8.0$		ns
SMA[20:0]ホールド (対SRMOE_B)	tHSMAROE	負荷50 pF	$1.0 \times t_{CYSK0} - 8.0$		ns
SRMCS_Bセットアップ (対SRMOE_B)	tSRCSROE	負荷50 pF	$5.0 \times t_{CYSK0} - 8.0$		ns
SRMCS_Bホールド (対SRMOE_B)	tHRCSROE	負荷50 pF		5.0	ns
SDWE_Bセットアップ (対SRMOE_B)	tSSWEROE	負荷50 pF	$2.0 \times t_{CYSK0} - 8.0$		ns
SDWE_Bホールド (対SRMOE_B)	tHSWEROE	負荷50 pF	$4.0 \times t_{CYSK0} - 8.0$		ns
SRMOE_Bロウ・レベル・パルス幅	tWLROE	負荷50 pF	$5.0 \times t_{CYSK0} - 8.0$		ns
SRMOE_Bハイ・レベル・パルス幅	tWHROE	負荷50 pF	$1.0 \times t_{CYSK0} - 8.0$		ns
SMD[31:0]セットアップ (対SRMOE_B)	tSSMDROE		10.0		ns
SMD[31:0]ホールド (対SRMOE_B)	tHSMDDROE		0		ns

<ライト・サイクル>

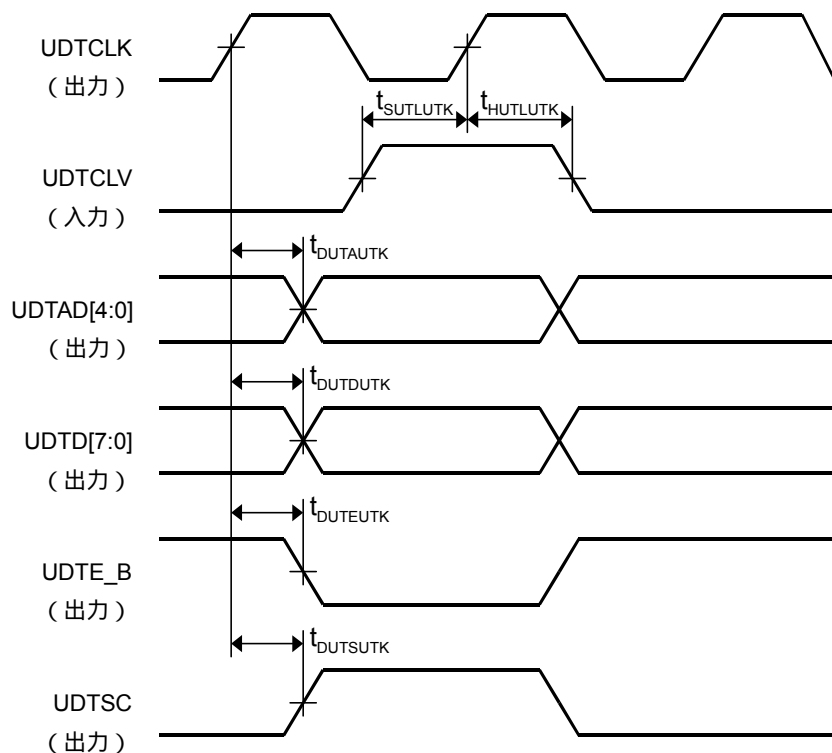


項目	略号	条件	MIN.	MAX.	単位
SMA[20:0]セットアップ (対SDWE_B)	tSSMASWE	負荷50 pF	$4.0 \times t_{CYSK0} - 8.0$		ns
SMA[20:0]ホールド (対SDWE_B)	tHSMASWE	負荷50 pF	$2.0 \times t_{CYSK0} - 8.0$		ns
SRMCS_Bセットアップ (対SDWE_B)	tSRCSSWE	負荷50 pF	$4.0 \times t_{CYSK0} - 8.0$		ns
SRMCS_Bホールド (対SDWE_B)	tHRCSSWE	負荷50 pF	$1.0 \times t_{CYSK0} - 8.0$		ns
SRMOE_Bセットアップ (対SDWE_B)	tSROESWE	負荷50 pF	$4.0 \times t_{CYSK0} - 8.0$		ns
SRMOE_Bホールド (対SDWE_B)	tHROESWE	負荷50 pF	$2.0 \times t_{CYSK0} - 8.0$		ns
SDWE_B口ウ・レベル・パルス幅	tWLSWE	負荷50 pF	$3.0 \times t_{CYSK0} - 8.0$		ns
SDWE_Bハイ・レベル・パルス幅	tWHSWE	負荷50 pF	$7.0 \times t_{CYSK0} - 8.0$		ns
SMD[31:0]セットアップ (対SDWE_B)	tSSMDSWE	負荷50 pF	$4.0 \times t_{CYSK0} - 8.0$		ns
SMD[31:0]ホールド (対SDWE_B)	tHSMDSWE	負荷50 pF		$1.0 \times t_{CYSK0} + 8.0$	ns
SMD[31:0]出力フローティングから アクティブの遅延 (対SDWE_B)	tASMSWE	負荷50 pF	$4.0 \times t_{CYSK0} - 8.0$		ns
SMD[31:0]出力アクティブからフロ ーティングの遅延 (対SDWE_B)	tFSMSWE	負荷50 pF		$1.0 \times t_{CYSK0} + 8.0$	ns

(7) ATMインタフェース・パラメータ

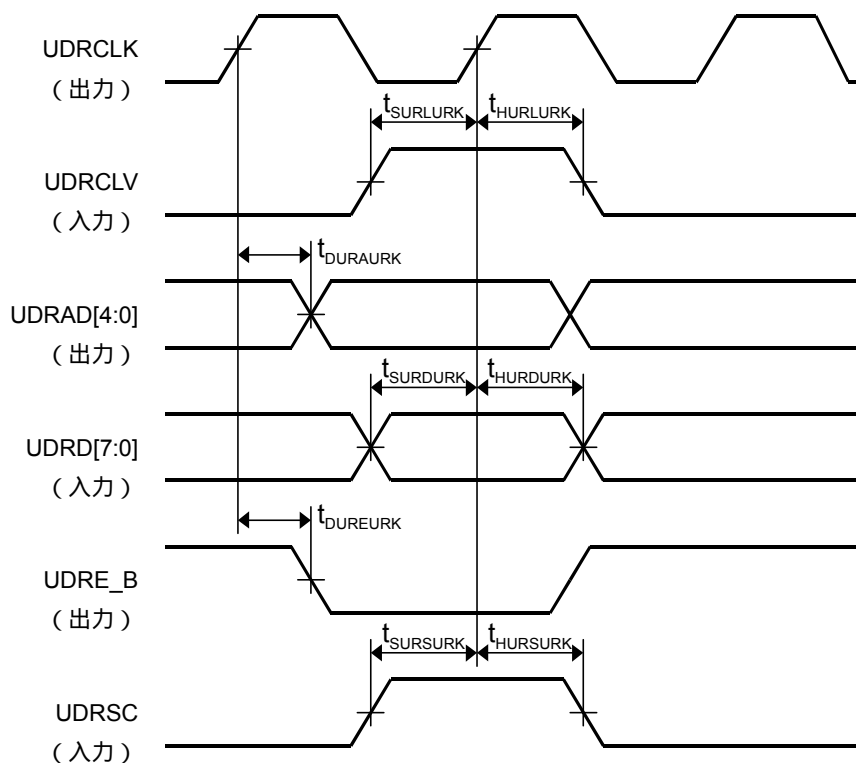
(7) - 1 UTOPIA2インタフェース

<データ送信>



項目	略号	条件	MIN.	MAX.	単位
UDTCLVセットアップ時間 (対UDTCLK)	$t_{SUTLUTK}$		8.0		ns
UDTCLVホールド時間 (対UDTCLK)	$t_{HUTLUTK}$		1.0		ns
UDTAD[4:0]出力遅延 (対UDTCLK)	$t_{DUTAUTK}$	負荷50 pF	1.0	15.0	ns
UDTD[7:0]出力遅延 (対UDTCLK)	$t_{DUTDUTK}$	負荷50 pF	1.0	15.0	ns
UDTE_B出力遅延 (対UDTCLK)	$t_{DUTEUTK}$	負荷50 pF	1.0	15.0	ns
UDTSC出力遅延 (対UDTCLK)	$t_{DUTSUTK}$	負荷50 pF	1.0	15.0	ns

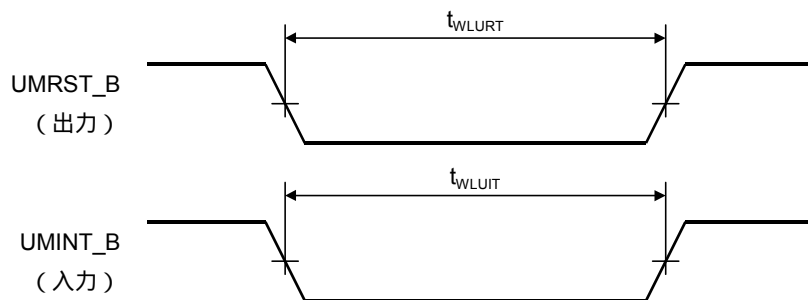
<データ受信>



項目	略号	条件	MIN.	MAX.	単位
UDRCLVセットアップ時間 (対UDRCLK)	$t_{SURLURK}$		8.0		ns
UDRCLVホールド時間 (対UDRCLK)	$t_{HURLURK}$		1.0		ns
UDRAD[4:0]出力遅延 (対UDRCLK)	$t_{DURAUrk}$	負荷50 pF	1.0	15.0	ns
UDRD[7:0]セットアップ時間 (対UDRCLK)	$t_{SURDURK}$		8.0		ns
UDRD[7:0]ホールド時間 (対UDRCLK)	$t_{HURDURK}$		1.0		ns
UDRE_B出力遅延 (対UDRCLK)	$t_{DUREURK}$	負荷50 pF	1.0	15.0	ns
UDRSCセットアップ時間 (対UDRCLK)	$t_{SURSURK}$		8.0		ns
UDRSCホールド時間 (対UDRCLK)	$t_{HURSURK}$		1.0		ns

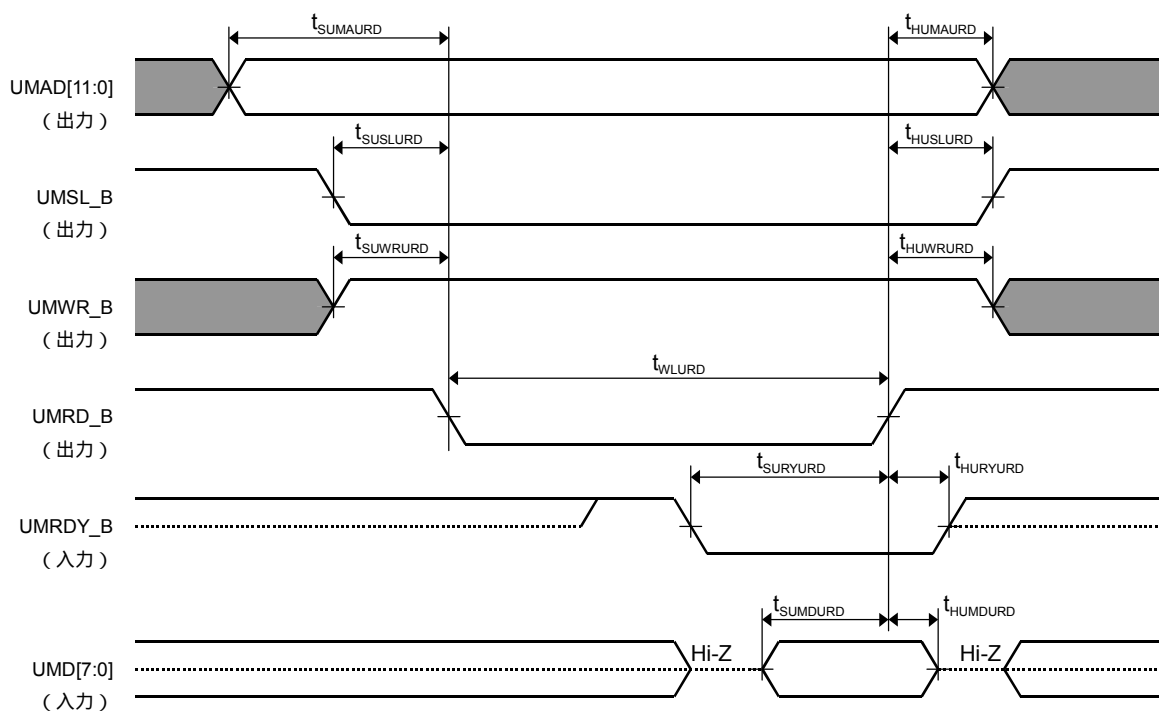
(7) - 2 UTOPIAマネジメント・インタフェース

<インタフェース信号>



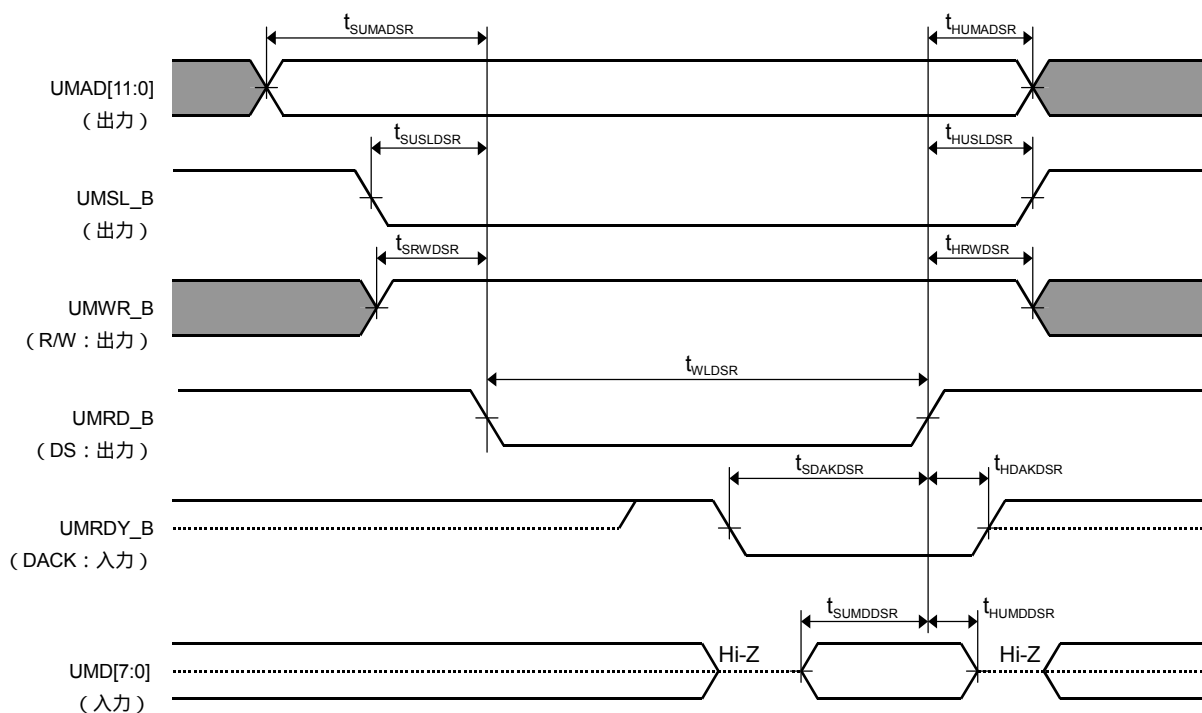
項目	略号	条件	MIN.	MAX.	単位
UMRST_Bロウ・レベル・パルス幅	t_{WLURT}		$3.0 \times t_{cysck}$		ns
UMINT_Bロウ・レベル・パルス幅	t_{WLUIT}		$3.0 \times t_{cysck}$		ns

<リード・サイクル：Intelモード>



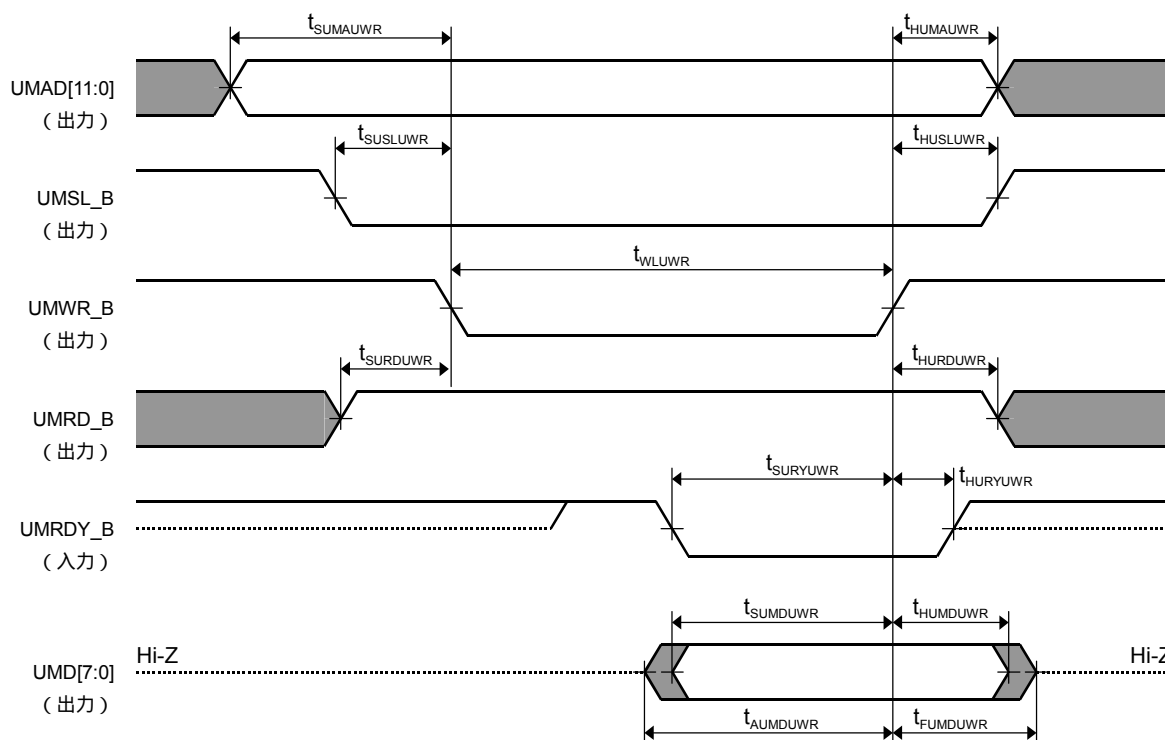
項目	略号	条件	MIN.	MAX.	単位
UMAD[11:0]セットアップ (対UMRD_B)	$t_{SUMAURD}$	負荷50 pF	10		ns
UMAD[11:0]ホールド (対UMRD_B)	$t_{HUMAURD}$	負荷50 pF	4		ns
UMSL_Bセットアップ (対UMRD_B)	$t_{SUSLURD}$	負荷50 pF	5		ns
UMSL_Bホールド (対UMRD_B)	$t_{HUSLURD}$	負荷50 pF	0		ns
UMWR_Bセットアップ (対UMRD_B)	$t_{SUWRURD}$	負荷50 pF	5		ns
UMWR_Bホールド (対UMRD_B)	$t_{HUWRURD}$	負荷50 pF	0		ns
UMRD_B口ウ・レベル・パルス幅	t_{WLURD}	負荷50 pF	50		ns
UMRDY_Bセットアップ (対UMRD_B)	$t_{SURYURD}$		25		ns
UMRDY_Bホールド (対UMRD_B)	$t_{HURYURD}$		10		ns
UMD[7:0]セットアップ (対UMRD_B)	$t_{SUMDURD}$		15		ns
UMD[7:0]ホールド (対UMRD_B)	$t_{HUMDURD}$		15		ns

<リード・サイクル：Motorolaモード>



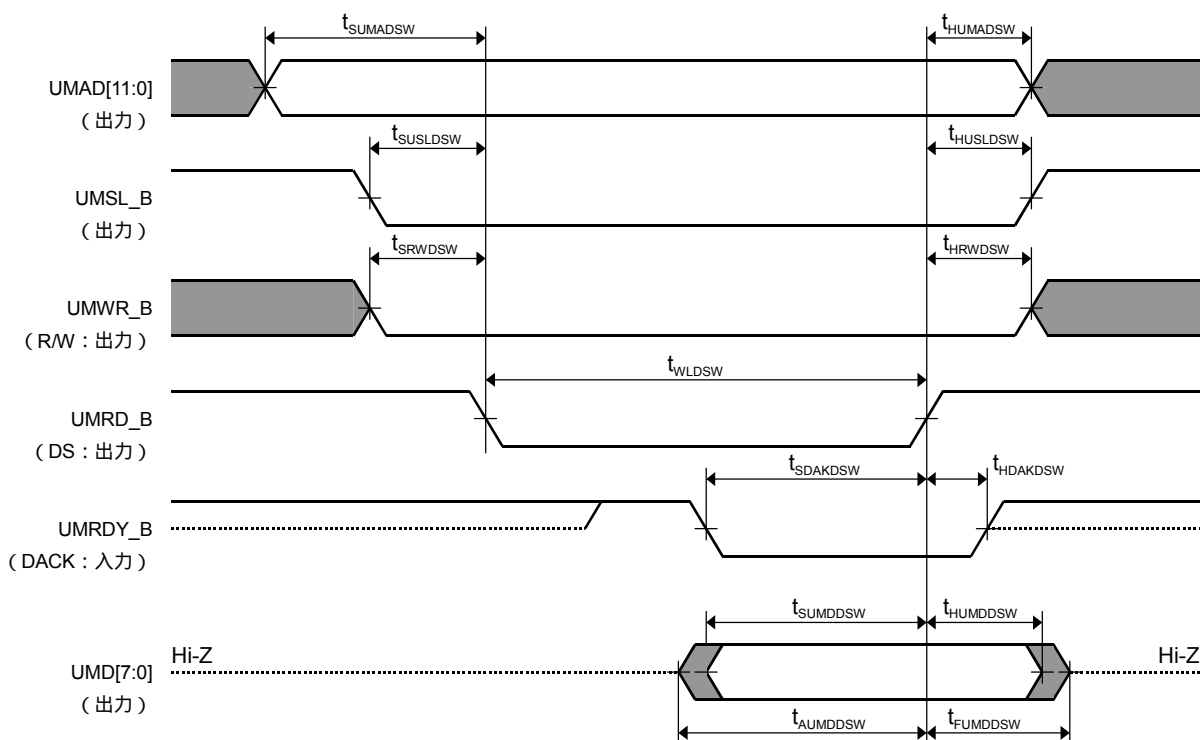
項目	略号	条件	MIN.	MAX.	単位
UMAD[11:0]セットアップ (対DS)	$t_{SUMADSR}$	負荷50 pF	10		ns
UMAD[11:0]ホールド (対DS)	$t_{HUMADSR}$	負荷50 pF	4		ns
UMSL_Bセットアップ (対DS)	$t_{SUSLDSR}$	負荷50 pF	5		ns
UMSL_Bホールド (対DS)	$t_{HUSLDSR}$	負荷50 pF	0		ns
R/Wセットアップ (対DS)	t_{SRWDSR}	負荷50 pF	5		ns
R/Wホールド (対DS)	t_{HRWDSR}	負荷50 pF	0		ns
DS口ウ・レベル・パルス幅	t_{WLDSR}	負荷50 pF	50		ns
DACKセットアップ (対DS)	$t_{SDAKDSR}$		25		ns
DACKホールド (対DS)	$t_{HDAKDSR}$		10		ns
UMD[7:0]セットアップ (対DS)	$t_{SUMDDSR}$		15		ns
UMD[7:0]ホールド (対DS)	$t_{HUMDDSR}$		15		ns

<ライト・サイクル：Intelモード>



項目	略号	条件	MIN.	MAX.	単位
UMAD[11:0]セットアップ (対UMWR_B)	$t_{SUMAUWR}$	負荷50 pF	10		ns
UMAD[11:0]ホールド (対UMWR_B)	$t_{HUMAUWR}$	負荷50 pF	4		ns
UMSL_Bセットアップ (対UMWR_B)	$t_{SUSLUWR}$	負荷50 pF	5		ns
UMSL_Bホールド (対UMWR_B)	$t_{HUSLUWR}$	負荷50 pF	0		ns
UMRD_Bセットアップ (対UMWR_B)	$t_{SURDUWR}$	負荷50 pF	5		ns
UMRD_Bホールド (対UMWR_B)	$t_{HURDUWR}$	負荷50 pF	0		ns
UMWR_B口ウ・レベル・パルス幅	t_{WLUWR}	負荷50 pF	50		ns
UMRDY_Bセットアップ (対UMWR_B)	$t_{SURYUWR}$		25		ns
UMRDY_Bホールド (対UMWR_B)	$t_{HURYUWR}$		10		ns
UMD[7:0]セットアップ (対UMWR_B)	$t_{SUMDUWR}$		15		ns
UMD[7:0]ホールド (対UMWR_B)	$t_{HUMDUWR}$		4		ns
UMD[7:0]アクティブ時間 (対UMWR_B)	$t_{AUMDUWR}$	負荷50 pF	15		ns
UMD[7:0]フローティング時間 (対UMWR_B)	$t_{FUMDUWR}$	負荷50 pF	4		ns

<ライト・サイクル : Motorolaモード>

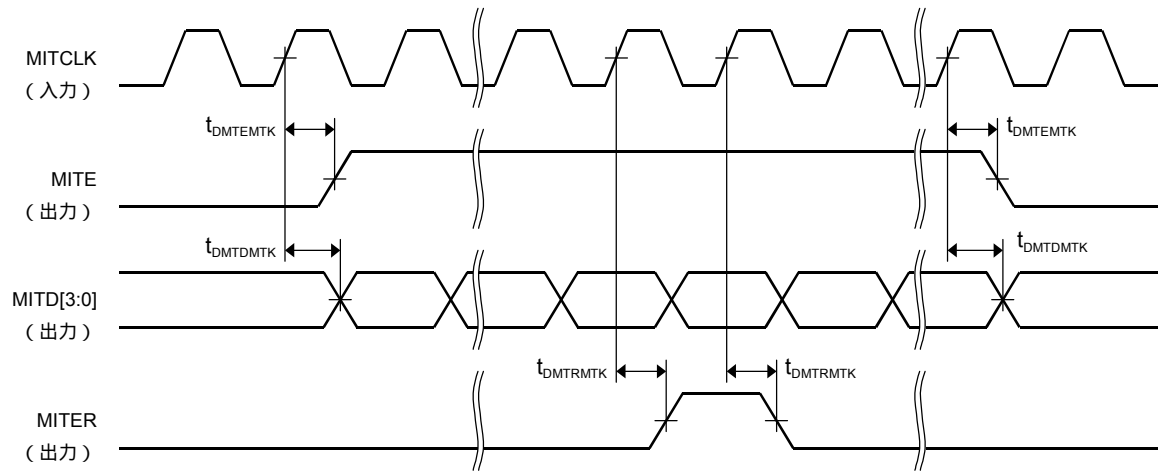


項目	略号	条件	MIN.	MAX.	単位
UMAD[11:0]セットアップ (対DS)	tSUMADSW	負荷50 pF	10		ns
UMAD[11:0]ホールド (対DS)	tHUMADSW	負荷50 pF	4		ns
UMSL_Bセットアップ (対DS)	tSUSLDSW	負荷50 pF	5		ns
UMSL_Bホールド (対DS)	tHUSLDSW	負荷50 pF	0		ns
R/Wセットアップ (対DS)	tSRWDSW	負荷50 pF	5		ns
R/Wホールド (対DS)	tHRWDSW	負荷50 pF	0		ns
DS口ウ・レベル・パルス幅	tWLDWSW	負荷50 pF	50		ns
DACKセットアップ (対DS)	tSDAKDSW		25		ns
DACKホールド (対DS)	tHDAKDSW		10		ns
UMD[7:0]セットアップ (対DS)	tSUMDSSW		15		ns
UMD[7:0]ホールド (対DS)	tHUMDSSW		4		ns
UMD[7:0]アクティブ時間 (対DS)	tAUMDSSW	負荷50 pF	15		ns
UMD[7:0]フローティング時間 (対DS)	tFUMDSSW	負荷50 pF	4		ns

(8) イーサネット・インタフェース・パラメータ

(8) - 1 イーサネット1

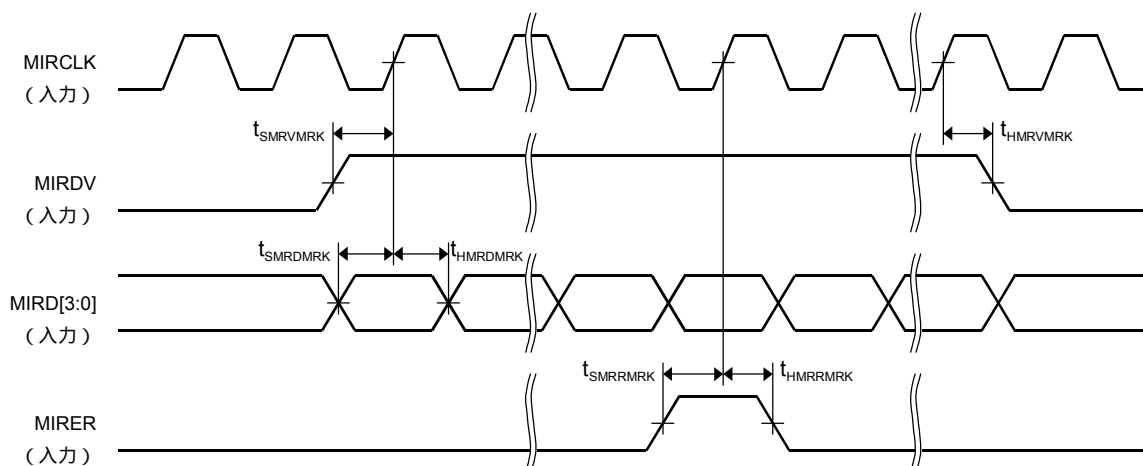
<MIIデータ送信>



項目	略号	条件	MIN.	MAX.	単位
MITE出力遅延 (対MITCLK)	$t_{DMTEMTK}$	負荷50 pF	0	20 ^注	ns
MITD[3:0]出力遅延 (対MITCLK)	$t_{DMTDMTK}$	負荷50 pF	0	20 ^注	ns
MITER出力遅延 (対MITCLK)	$t_{DMTRMTK}$	負荷50 pF	0	20 ^注	ns

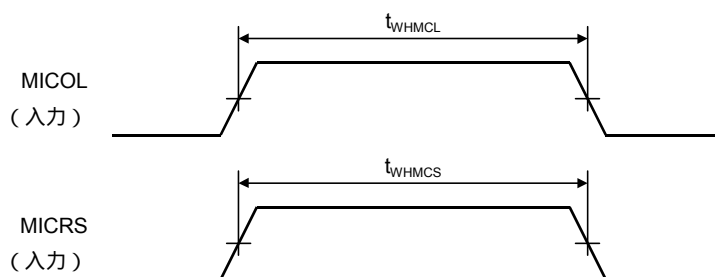
注 MII仕様では、最大出力遅延は25 nsに指定されています。

< MIIデータ受信 >



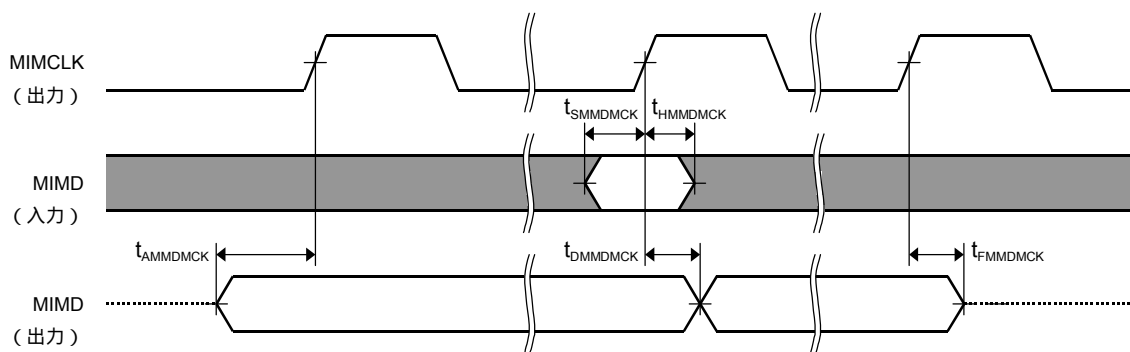
項目	略号	条件	MIN.	MAX.	単位
MIRDVセットアップ時間 (対MIRCLK)	$t_{SMRVMRK}$		10		ns
MIRDVホールド時間 (対MIRCLK)	$t_{HMRVMRK}$		10		ns
MIRD[3:0]セットアップ時間 (対MIRCLK)	$t_{SMRDMRK}$		10		ns
MIRD[3:0]ホールド時間 (対MIRCLK)	$t_{HMRDMRK}$		10		ns
MIRERセットアップ時間 (対MIRCLK)	$t_{SMRRMRK}$		10		ns
MIRERホールド時間 (対MIRCLK)	t_{HMRMRK}		10		ns

< MIIインタフェース信号 >



項目	略号	条件	MIN.	MAX.	単位
MICOLハイ・レベル・パルス幅	t_{WHMCL}		$2.0 \times t_{CYMTK}$		ns
MICRSハイ・レベル・パルス幅	t_{WHMCS}		$2.0 \times t_{CYMTK}$		ns

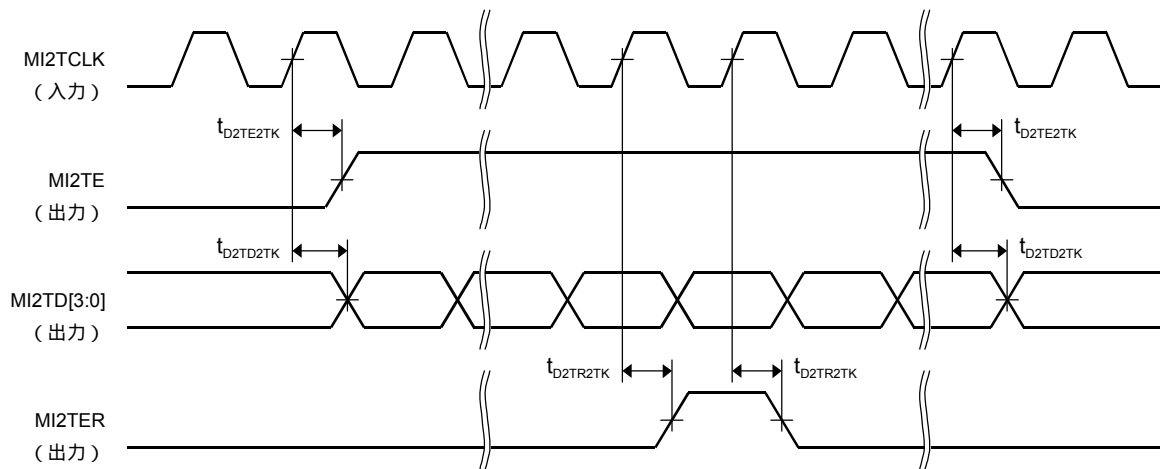
<MIIマネジメント・インタフェース>



項目	略号	条件	MIN.	MAX.	単位
MIMDセットアップ (対MIMCLK)	$t_{SMMDMCK}$		20		ns
MIMDホールド (対MIMCLK)	$t_{HMMDMCK}$		0		ns
MIMDアクティブ遅延 (対MIMCLK)	$t_{AMMDMCK}$	負荷50 pF	10		ns
MIMD出力遅延 (対MIMCLK)	$t_{DMMDMCK}$	負荷50 pF	10	20	ns
MIMDフローティング遅延 (対MIMCLK)	$t_{FMMDMCK}$	負荷50 pF	10		ns

(8) - 2 イーサネット2

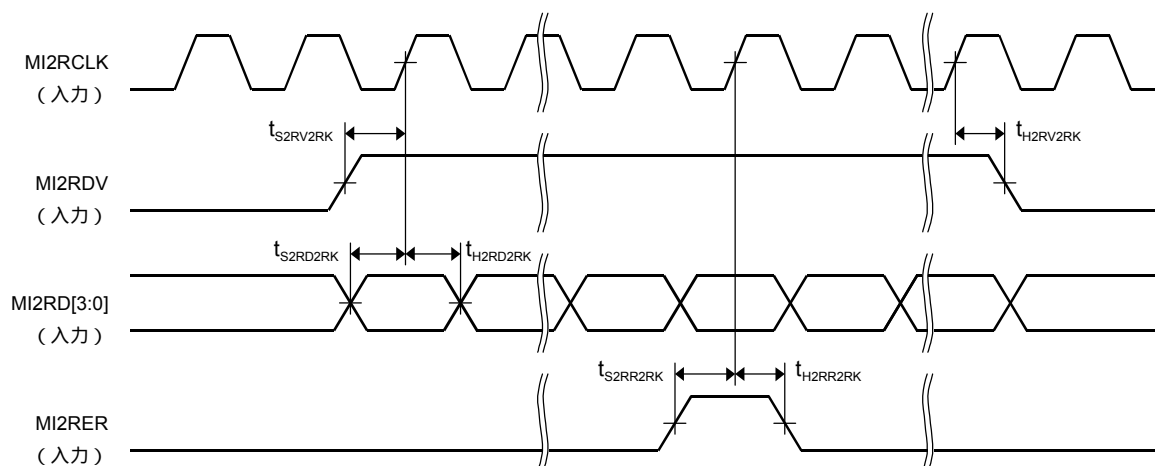
< MIIデータ送信 >



項目	略号	条件	MIN.	MAX.	単位
MI2TE出力遅延 (対MI2TCLK)	$t_{D2TE2TK}$	負荷50 pF	0	20 ^注	ns
MI2TD[3:0]出力遅延 (対MI2TCLK)	$t_{D2TD2TK}$	負荷50 pF	0	20 ^注	ns
MI2TER出力遅延 (対MI2TCLK)	$t_{D2TR2TK}$	負荷50 pF	0	20 ^注	ns

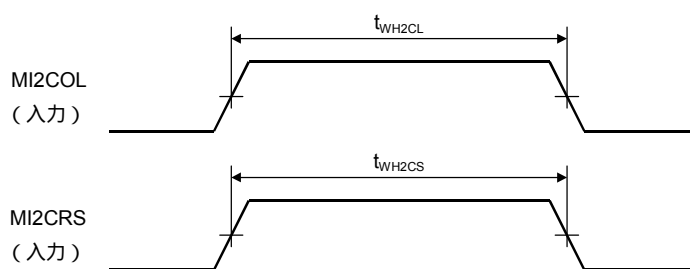
注 MII仕様では、最大出力遅延は25 nsに指定されています。

< MIIデータ受信 >



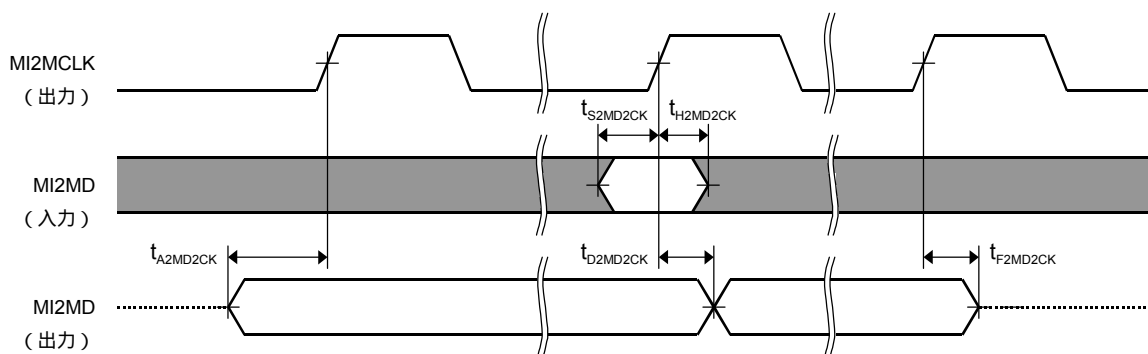
項目	略号	条件	MIN.	MAX.	単位
MI2RDVセットアップ時間 (対MI2RCLK)	$t_{s2RV2RK}$		10		ns
MI2RDVホールド時間 (対MI2RCLK)	$t_{h2RV2RK}$		10		ns
MI2RD[3:0]セットアップ時間 (対MI2RCLK)	$t_{s2RD2RK}$		10		ns
MI2RD[3:0]ホールド時間 (対MI2RCLK)	$t_{h2RD2RK}$		10		ns
MI2RERセットアップ時間 (対MI2RCLK)	$t_{s2RR2RK}$		10		ns
MI2RERホールド時間 (対MI2RCLK)	$t_{h2RR2RK}$		10		ns

< MIIインタフェース信号 >



項目	略号	条件	MIN.	MAX.	単位
MI2COLハイ・レベル・パルス幅	t_{WH2CL}		$2.0 \times t_{CY2TK}$		ns
MI2CRSハイ・レベル・パルス幅	t_{WH2CS}		$2.0 \times t_{CY2TK}$		ns

<MIIマネジメント・インタフェース>

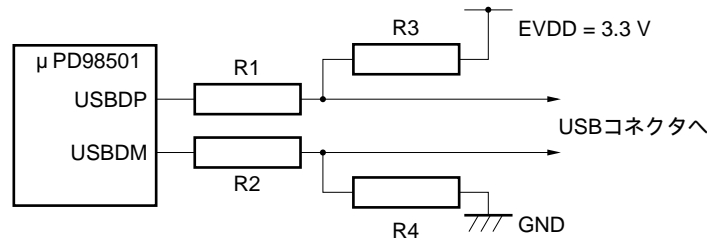


項目	略号	条件	MIN.	MAX.	単位
MI2MDセットアップ (対MI2MCLK)	$t_{S2MD2CK}$		20		ns
MI2MDホールド (対MI2MCLK)	$t_{H2MD2CK}$		0		ns
MI2MDアクティブ遅延 (対MI2MCLK)	$t_{A2MD2CK}$	負荷50 pF	10		ns
MI2MD出力遅延 (対MI2MCLK)	$t_{D2MD2CK}$	負荷50 pF	10	20	ns
MI2MDフローティング遅延 (対MI2MCLK)	$t_{F2MD2CK}$	負荷50 pF	10		ns

(9) USBインタフェース・パラメータ

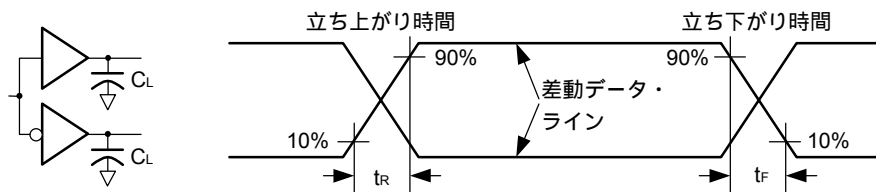
外部接続回路

USB信号の入出力ライン（1.8 USBインタフェース参照）には、抵抗を4つ接続する必要があります。出力インピーダンスを調節するための抵抗（ $R1 = R2 = 22 \Omega$ ）、フルスピードUSBモードの信号を符号化するための抵抗（ $R3 = 1.5 \text{ k}\Omega$ ）、およびUSBDM端子のドライブ出力を保護するための抵抗（ $R4 = 51 \text{ k}\Omega$ ）をそれぞれ次のように接続してください。

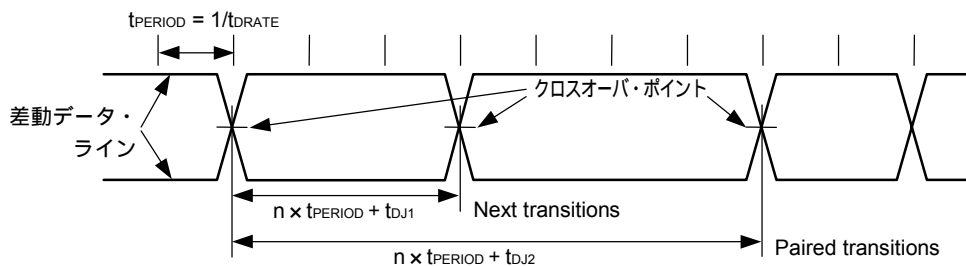


パラメータ：USBDM, USBDP

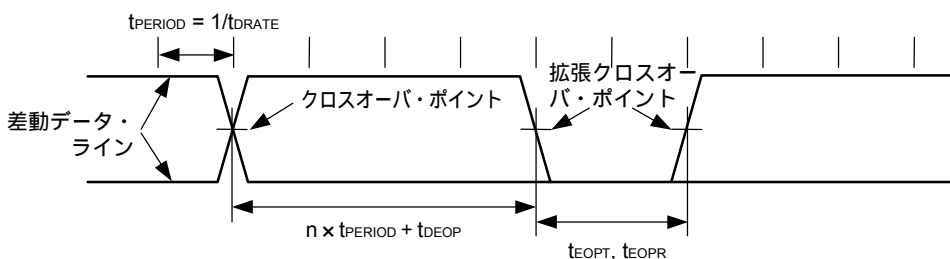
<データ信号の立ち上がり，立ち下がり>



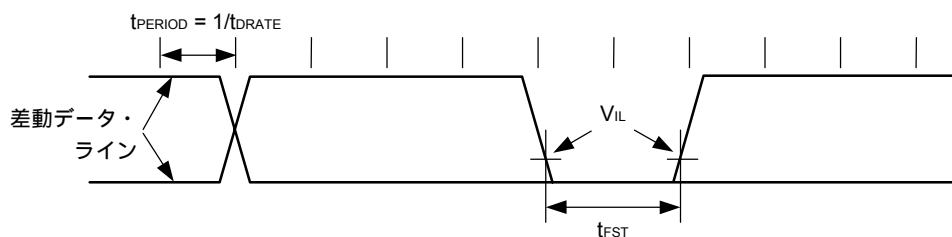
<差動データ・ジッタ>



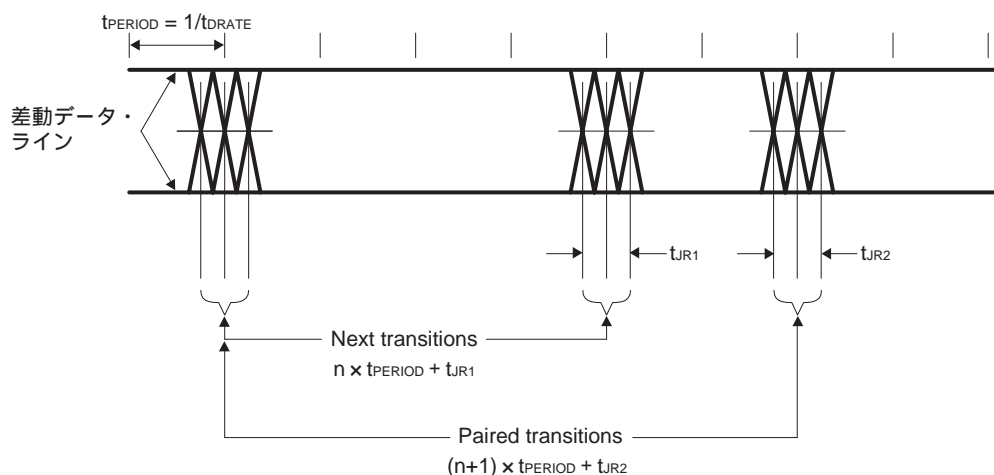
<差動 - EOP遷移スキューとEOP幅>



< 差動遷移間隔幅 >

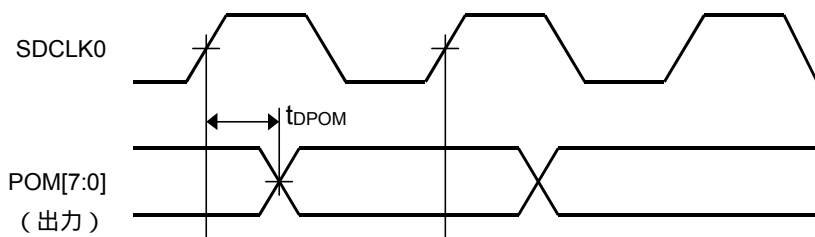


< レシーバ・ジッタ許容誤差 >



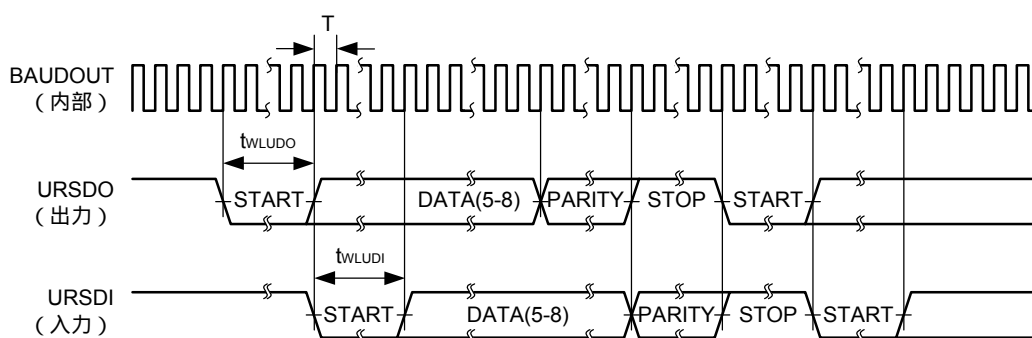
項目	略号	条件	MIN.	MAX.	単位
立ち上がり時間	t_r	負荷50 pF	1.0	20.0	ns
立ち下がり時間	t_f	負荷50 pF	1.0	20.0	ns
立ち上がり, 立ち下がり時間比	t_{FRFM}	t_r/t_f	90.0	111.1	%
フルスピード・データ・レート	t_{DRATE}		11.97	12.13	Mbps
Source jitter total (including frequency tolerance) :					ns
To next transition	t_{DJ1}		- 3.5	+ 3.5	
For paired transition	t_{DJ2}		- 4.0	+ 4.0	
Source jitter for differential transition to SE0 transition	t_{DEOP}		- 2.0	+ 5.0	ns
Receiver jitter:					ns
To next transition	t_{JR1}		- 18.5	+ 18.5	
For paired transition	t_{JR2}		- 9.0	+ 9.0	
Source SE0 interval of EOP	t_{EOPT}		160.0	175.0	ns
Receiver SE0 interval of EOP	t_{EOPR}		82.0		ns
Width of SE0 interval during differential	t_{FST}			14.0	ns

(10) パラレル・ポート・インタフェース・パラメータ



項目	略号	条件	MIN.	MAX.	単位
POM[7:0]出力遅延	tDPOM	負荷50 pF	0.0	8.0	ns

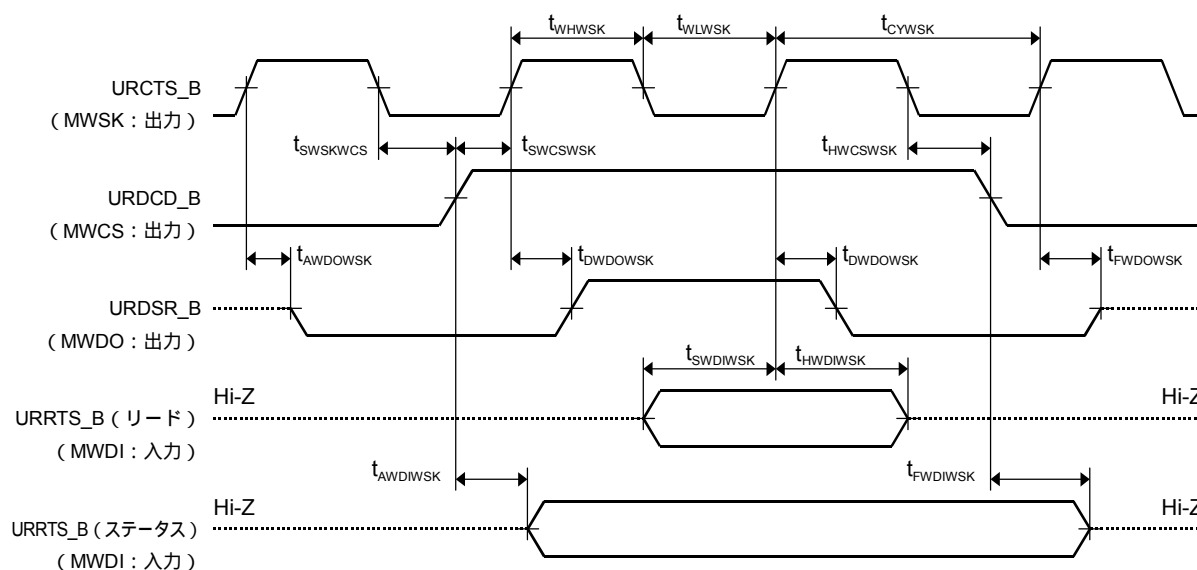
(11) UARTインタフェース・パラメータ



備考 BAUDOUTは送信ボー・レートの16倍に等しくなっています ($1/T = 16 \times$ ボー・レート)。ボー・レートをカスタマイズするためには、ボー・レート・ジェネレータのMSBとLSBに適切な除数を選択してください。

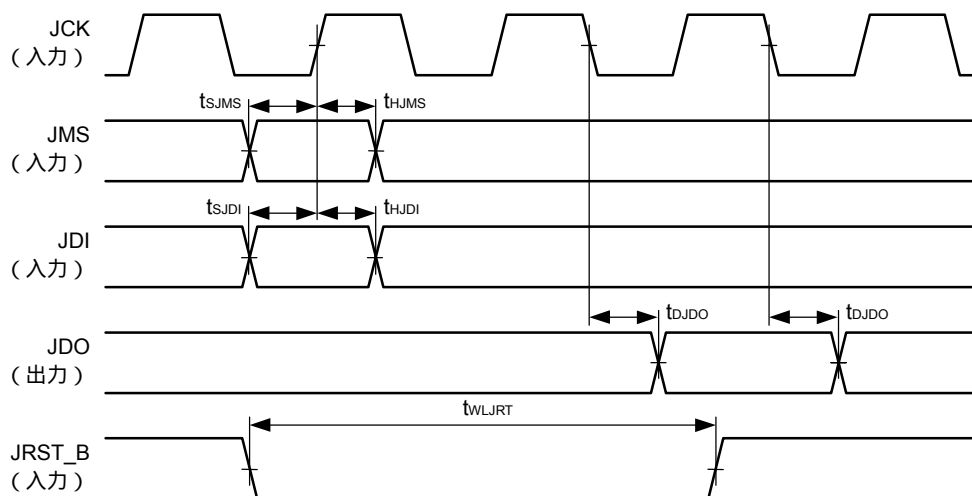
項目	略号	条件	MIN.	MAX.	単位
URCLK入力周波数	fCYUCK			18.432	MHz
URSDOロウ・レベル幅	tWLUDO		$16 \times T$		ns
URSDIロウ・レベル幅	tWLUDI		$16 \times T$		ns

(12) Micro Wireインタフェース・パラメータ



項目	略号	条件	MIN.	MAX.	単位
MWSKクロック・サイクル	t_{CYWSK}	負荷50 pF	$400 \times t_{CYSK0}$		ns
MWSKハイ時間	t_{WHWSK}	負荷50 pF	$190 \times t_{CYSK0}$		ns
MWSKロウ時間	t_{WLWSK}	負荷50 pF	$190 \times t_{CYSK0}$		ns
MWSKセットアップ (対MWCS)	$t_{SWSKWCS}$	負荷50 pF	$90 \times t_{CYSK0}$		ns
MWCSセットアップ (対MWSK)	$t_{SWCSWSK}$	負荷50 pF	$90 \times t_{CYSK0}$		ns
MWCSホールド (対MWSK)	$t_{HWCSWSK}$	負荷50 pF	$90 \times t_{CYSK0}$		ns
MWDO出力アクティブからフローティング遅延 (対MWSK)	$t_{AWDOWSK}$	負荷50 pF	$190 \times t_{CYSK0}$		ns
MWDO出力遅延 (対MWSK)	$t_{BWDOWSK}$	負荷50 pF	$190 \times t_{CYSK0}$		ns
MWDO出力フローティングからアクティブ遅延 (対MWSK)	$t_{FWDOWSK}$	負荷50 pF	$190 \times t_{CYSK0}$		ns
MWDIセットアップ (対MWSK)	$t_{SWDIWSK}$		$10 \times t_{CYSK0}$		ns
MWDIホールド (対MWSK)	$t_{HWDIWSK}$		$10 \times t_{CYSK0}$		ns
MWCSからステータス時間 (対MWSK)	$t_{AWDIWSK}$			$100 \times t_{CYSK0}$	ns
3ステートにおけるMWCSからMWDO	$t_{FWDIWSK}$			$40 \times t_{CYSK0}$	ns

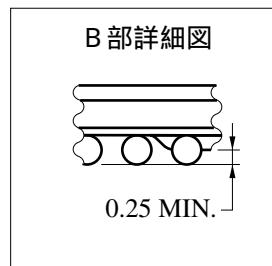
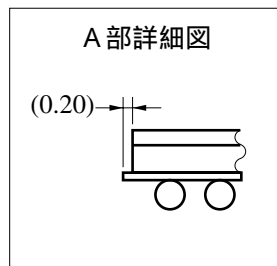
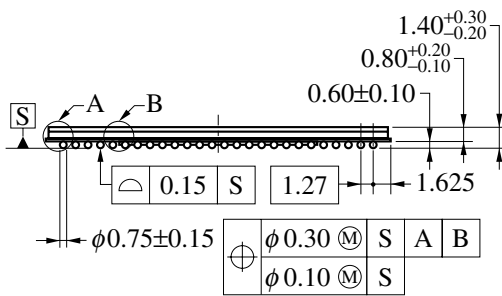
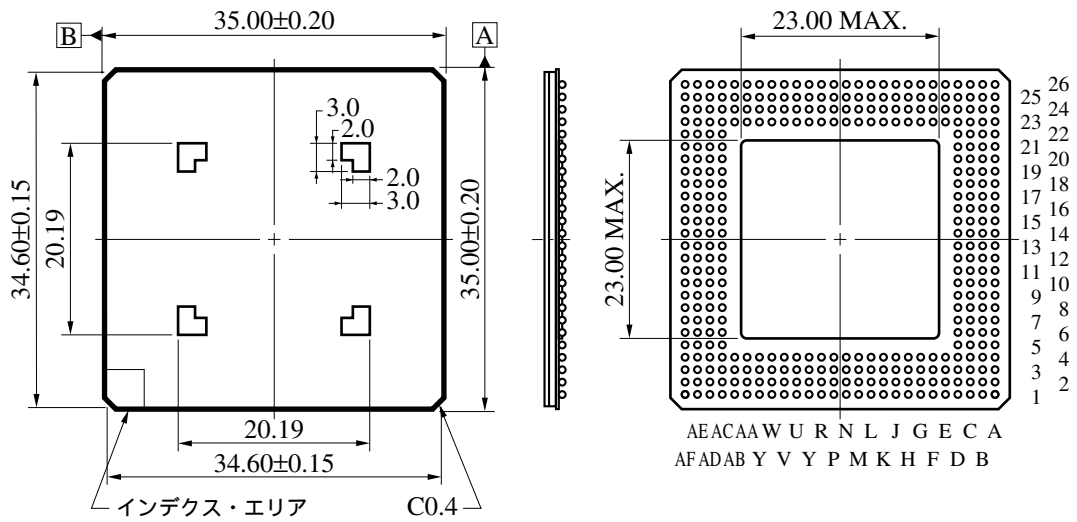
(13) JTAGバウンダリ・スキャン



項目	略号	条件	MIN.	MAX.	単位
JMSセットアップ時間	t_{sJMS}		15		ns
JMSホールド時間	t_{hJMS}		15		ns
JDIセットアップ時間	t_{sJDI}		15		ns
JDIホールド時間	t_{hJDI}		15		ns
JDO出力遅延	t_{DJDO}	負荷50 pF		25	ns
JRSTB_Bロウ・パルス幅	t_{WljRT}		$5 \times t_{CYJCK}$		ns

3. 外形図

352ピン・テープ BGA (H/Sp付き)(35x35) 外形図 (単位: mm)



S352N7-127-F6-2

4. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.ic.nec.co.jp/pkg/ja/jissou/index.html>)

表4 - 1 表面実装タイプの半田付け推奨条件

μ PD98501N7-F6 : 352ピン・テープBGA (H/Sp付き) (35×35)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125℃プリベーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-107-3
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125℃プリベーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-107-3

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください。

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

VR4120Aは、日本電気株式会社の商標です。

Micro Wireは、National Semiconductor社の商標です。

イーサネットは、米国ゼロックス社の商標です。

MIPSは、米国MIPS Technologies, Inc.の米国における登録商標です。

●本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

●文書による当社の承諾なしに本資料の転載複製を禁じます。

●本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

●本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。

●当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

●当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00、午後 1:00～5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : info@lsi.nec.co.jp

【営業関係お問い合わせ先】

システムLSI第一営業事業部
東京 (03)3798-6106, 6107, 6108, 6155
大阪 (06)6945-3178, 3200, 3208
名古屋 (052)222-2375
仙台 (022)267-8740
水戸 (029)226-1702
広島 (082)242-5504
鳥取 (0857)27-5313
松山 (089)945-4149

システムLSI第二営業事業部
東京 (03)3798-6110, 6111, 6112, 6151, 6156
名古屋 (052)222-2170, 2190
松本 (0263)35-1662
前橋 (027)243-6060
立川 (042)526-5981
静岡 (054)254-4794
金沢 (076)232-7303
福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクス デバイス ホームページ】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>