お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1.　本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2.　本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

データ・シート

RENESAS

保守／廃止

MOS 集積回路
MOS Integrated Circuit

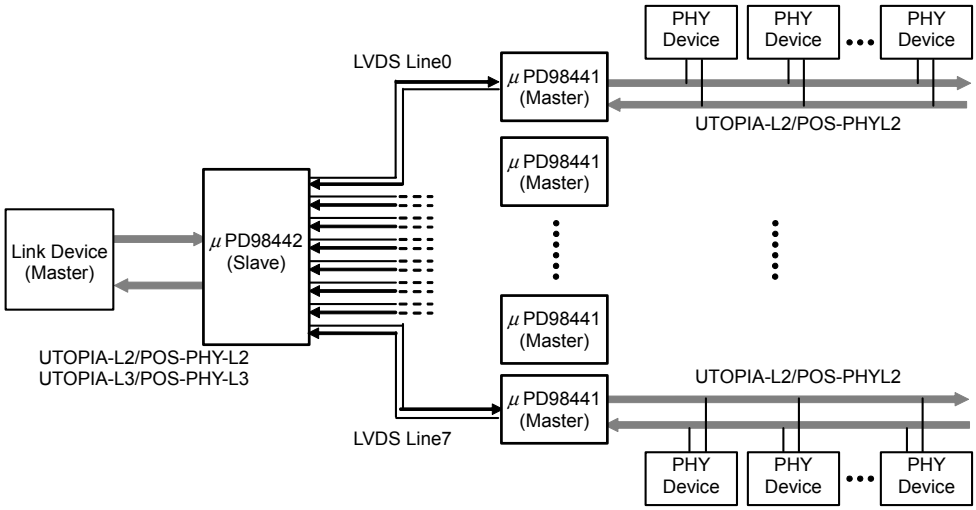
μPD98441

セル／パケット・シリアル・トランシーバ

μPD98441 は，UTOPIA Level2 または，POS-PHY™ Level2 インタフェースのパラレル・データ・ストリームを最速 880 Mbps の LVDS リンクを通して全二重シリアル伝送するバックプレーン用トランシーバです。ネットワーク装置において，ATM，POS のリンク・デバイスと PHY デバイス間をバックボード接続や，ケーブル接続するのに最適なデバイスです。2 チャネルの LVDS ドライバ／レシーバ，PLL／クロック・データ・リカバリ（CDR）ブロック，8B/10B エンデック・ブロック，パラレル・インタフェース・ブロックで構成され，高性能，低消費電力なシングルチップ・ソリューションを実現しています。

パラレル・インタフェースには最大 124 の論理ポートが接続可能（UTOPIA-L2 モード時）で，装置内の部品点数の削減，ボード・スペースの縮小に貢献します。装備する 2 チャネルの LVDS ドライバ／レシーバは，各々を独立したチャネルとして使用するモードや，片チャネルを冗長用の予備チャネルとして動作させるモードを備えており，様々な接続構成に応用が可能です。

また，LVDS ドライバ／レシーバを 8 チャネル装備したμPD98442 と組み合わせて使用することで，高性能なネットワーク装置にも適用することができ，モバイル基地局や，ルータなどの様々なコミュニケーション・システムに適用できます。



詳しい機能説明などは，次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μPD98441　ユーザーズ・マニュアル：S16595J

特　徴

○最適なモードを選択可能なパケット，ATM セル対応のパラレル・インタフェース

- UTOPIA Level2，または POS-PHY Level2
- マスタ・オペレーション，またはスレーブ・オペレーション
- 8 ビット・バス，または，16 ビット・バス（最大 52 MHz）

○UTOPIA モードでは最大 124，POS-PHY モードでは最大 32 のポートを，拡張信号とポート識別子の組み合わせにより接続可能

本資料の内容は，予告なく変更することがありますので，最新のものであることをご確認の上ご使用ください。

資料番号　S16596JJ4V0DS00（第 4 版）
発行年月　September 2004 NS　CP (N)

本文欄外の★印は，本版で改訂された主な箇所を示しています。

© NEC Electronics Corporation 2003

○52～64 バイトの範囲でセル長を指定可能

○UTOPIA/POS-PHY ブロックをバイパスする汎用 Mux/Demux モードをサポート（オプション・モード）

○標準 LVDS ドライバ／レシーバ・インタフェースを 2 チャネル装備

○1 チャネルのライン・レート：640 Mbps～880 Mbps　OC12 までのスループット・データを転送可能

○LVDS1 チャネルを予備チャネルとして動作させる冗長接続をサポート

○PLL，クロック・データ・リカバリ回路（CDR）を内蔵

○レファレンス・クロックは LVTTL，または PECL レベルで入力（64 MHz～88 MHz）

○セル／パケット損失を防ぐバック・プレッシャ伝送機能を装備，ポート単位のフロー制御により他ポートのスループットに影響なし

○モード設定，ステータス・チェックは，8 ビット MPU インタフェースを介してレジスタ・アクセスにより実行

○MPU インタフェースは，2 種のタイプより選択可能

- RD-WR-RDY タイプ
- DS-R/W-ACK タイプ

○MPU インタフェースの拡張機能をサポート

- μPD98441 のレジスタを介して MPU 間のメッセージ伝送が可能
- リモート側のμPD98441 のレジスタに対してリード／ライトが可能

○8B/10B のエンコーダ／デコーダ伝送方式を採用

○セル／パケット単位 FCS16 の生成，検証を実行

○セルの HEC 生成を実行（オプション・モード）

○受信データのステータスを監視，検知エラーをレジスタおよび信号により通知

○エラー通知

- LOS：入力信号断検知
- FCS16 エラー検知
- 10B8B デコード・エラー検知
- ランニング・ディスパリティ・エラー検知
- 入出力 FIFO のオーバフロー検知
- SOC，SOP，EOP の入力エラー検知
- 論理ポート・セレクション・エラー検知

○シリアル側／パラレル側の 2 種のループバック・モードをサポート

- ポート・アドレスごとにループバック設定可能

○セルフ・テスト機能装備

- 送信：テスト・パターン（PRBS23）の生成および送出
- 受信：テスト・パターン検証回路を装備，エラー検出を通知

○パワーダウン制御が可能

○IEEE 1149.1 JTAG テスト機能を装備

○動作周囲温度－40℃～＋85℃

○低消費電力動作

- コア・ロジック／シリアル・インタフェース用主電源：＋1.8 V
- LVTTL I/O 用：＋3.3 V

○0.18 μm CMOS プロセス

○240 ピン・ファインピッチ BGA パッケージ（16×16 mm）

オーダ情報

	オーダ名称	パッケージ
★	μPD98441F1-GA3-A	240 ピン・プラスチック FBGA（16×16）

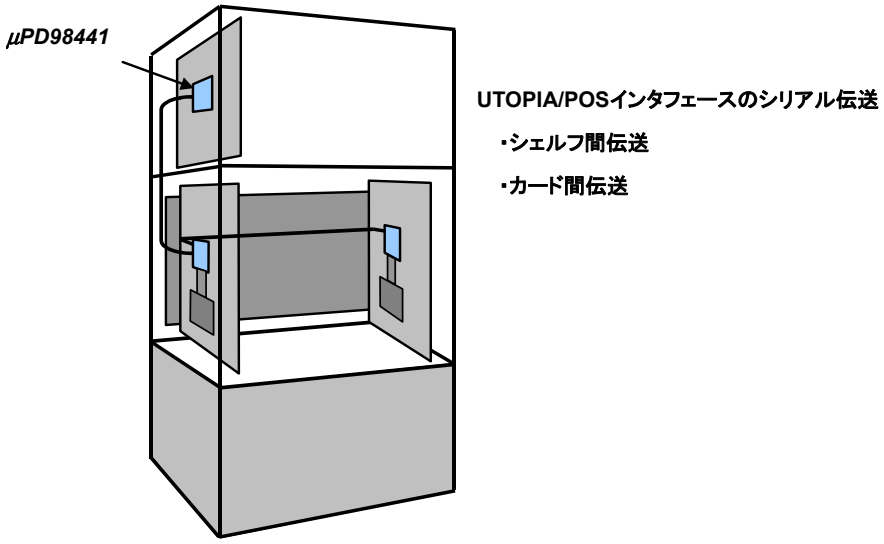
システム

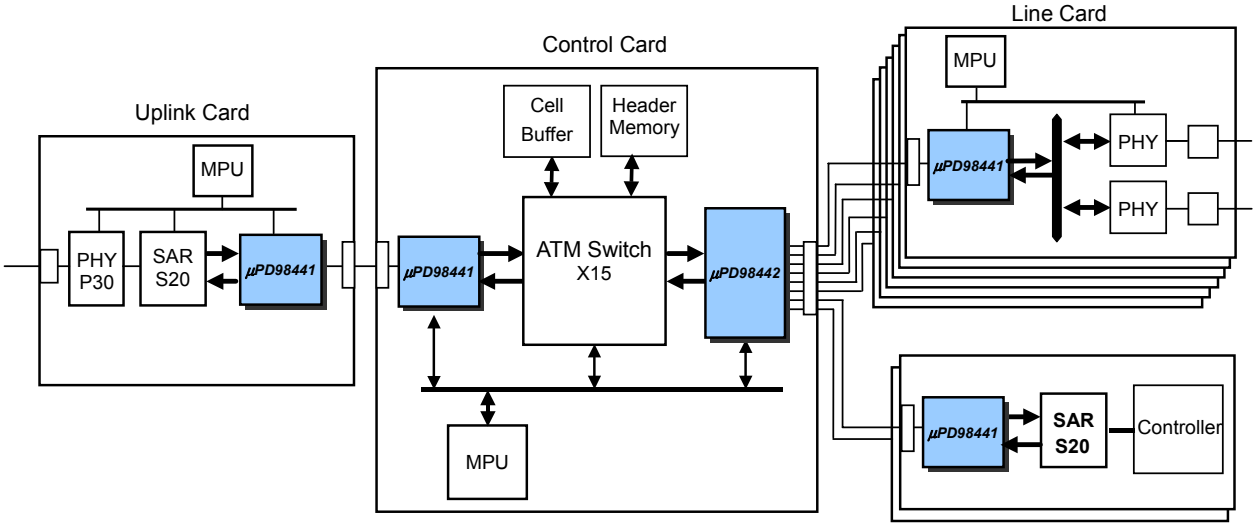
○ ルータ

○ ATM スイッチ

○ アクセス集線装置（無線基地局，DSLAM など）

○ Add/drop マルチプレクサ，ディジタル・クロス・コネクタ　など





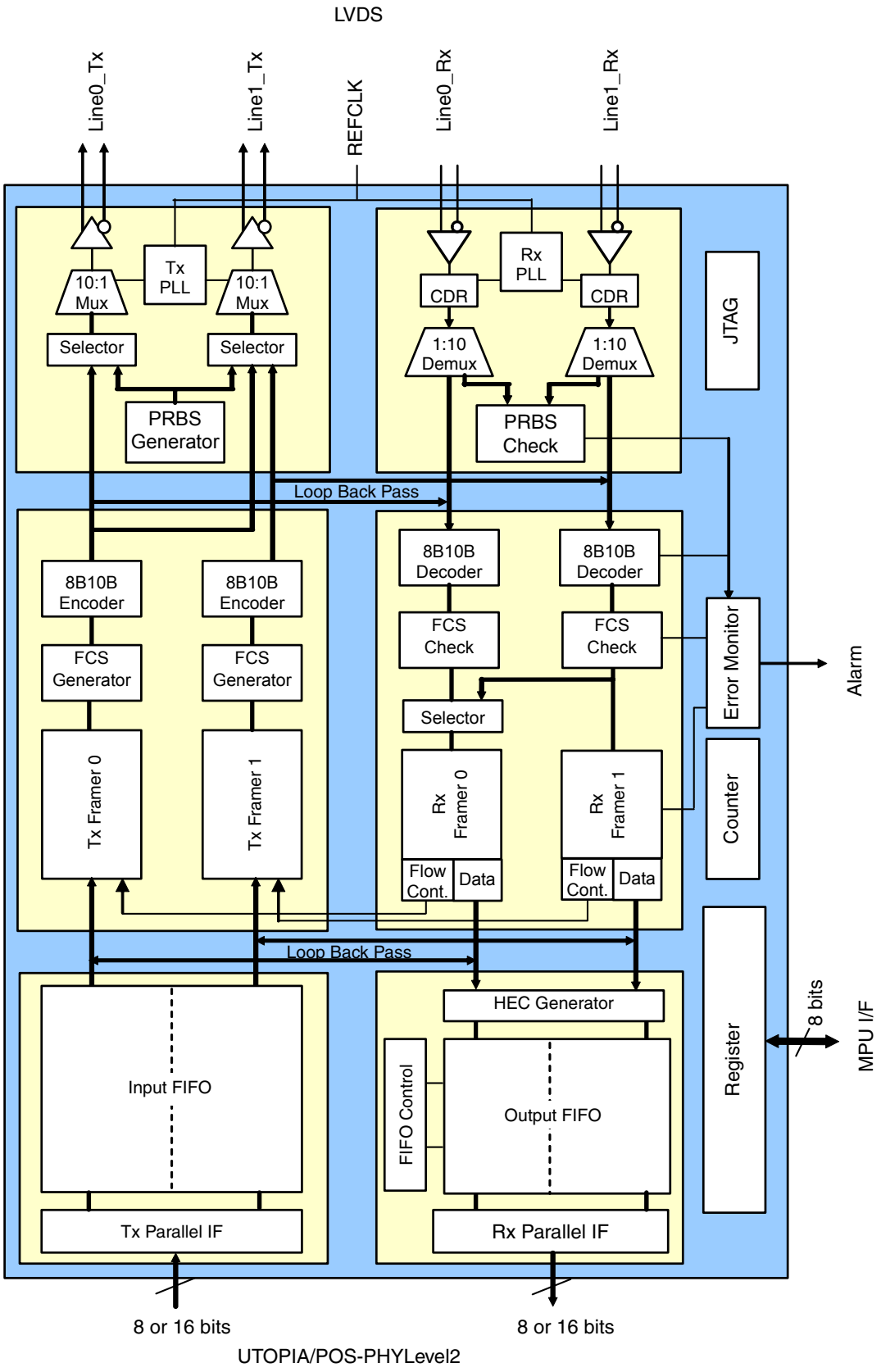
P30：μPD98404（OC3 ATM PHY）

S20：μPD98405（OC3 ATM SAR）

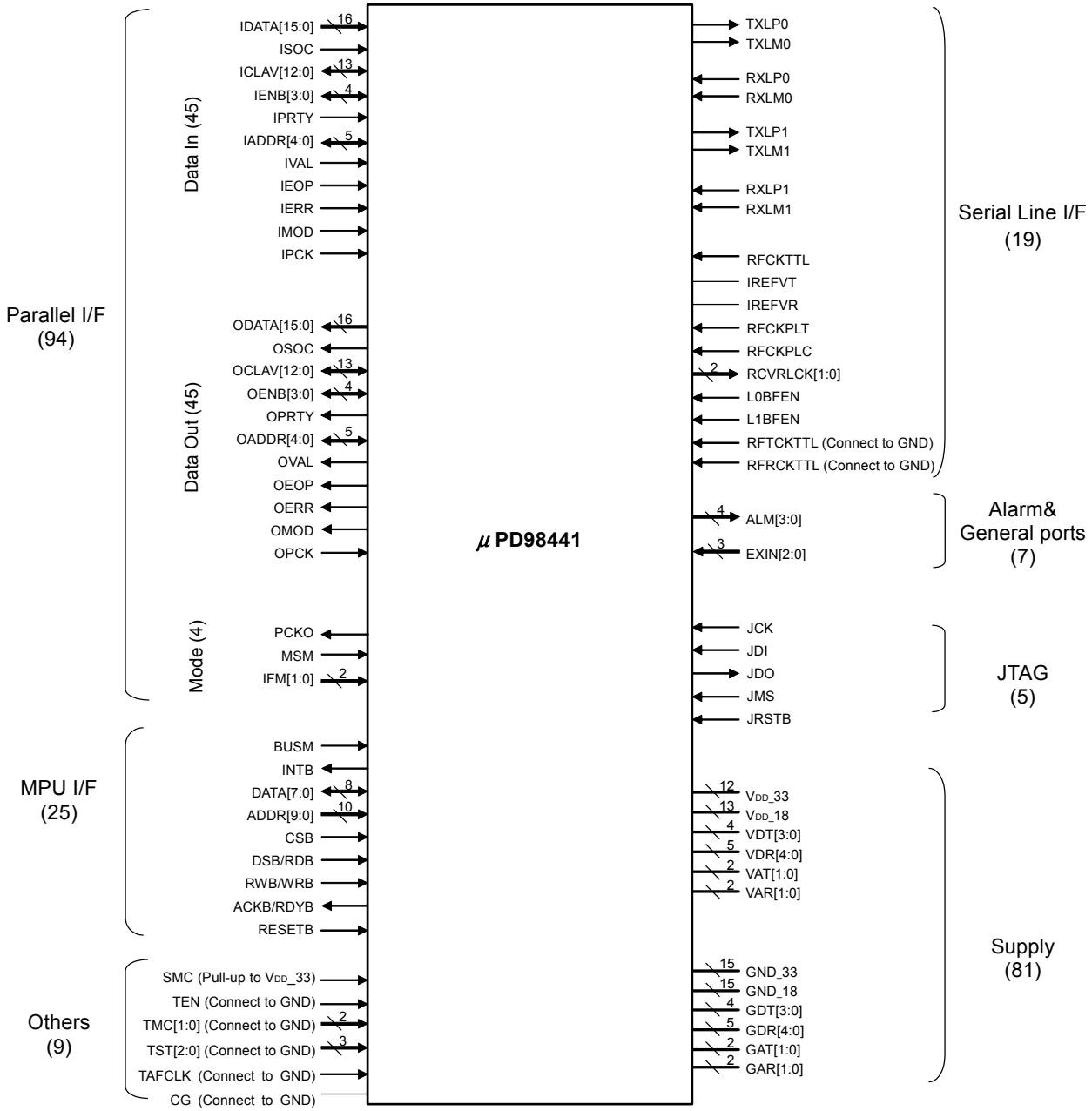
X15：μPD98412（1.5G ATM Switch）

備考　μPD98442 は，シリアル・インタフェースを 8 ライン装備し，UTOPIA/POS-PHYLevel3 をサポートする μPD98441 の機能互換製品です。

★ ブロック図


LVDS
Line0_Tx
Line1_Tx
REFCLK
Line0_Rx
Line1_Rx
10:1 Mux
Tx PLL
10:1 Mux
Selector
Selector
PRBS Generator
CDR
Rx PLL
CDR
1:10 Demux
1:10 Demux
PRBS Check
JTAG
Loop Back Pass
8B10B Encoder
8B10B Encoder
FCS Generator
FCS Generator
Tx Framer 0
Tx Framer 1
8B10B Decoder
8B10B Decoder
FCS Check
FCS Check
Selector
Rx Framer 0
Rx Framer 1
Flow Cont.
Data
Flow Cont.
Data
Error Monitor
Counter
Alarm
Loop Back Pass
Input FIFO
Tx Parallel IF
HEC Generator
FIFO Control
Output FIFO
Rx Parallel IF
Register
8 bits
MPU I/F
8 or 16 bits
8 or 16 bits
UTOPIA/POS-PHYLevel2

端子構成図



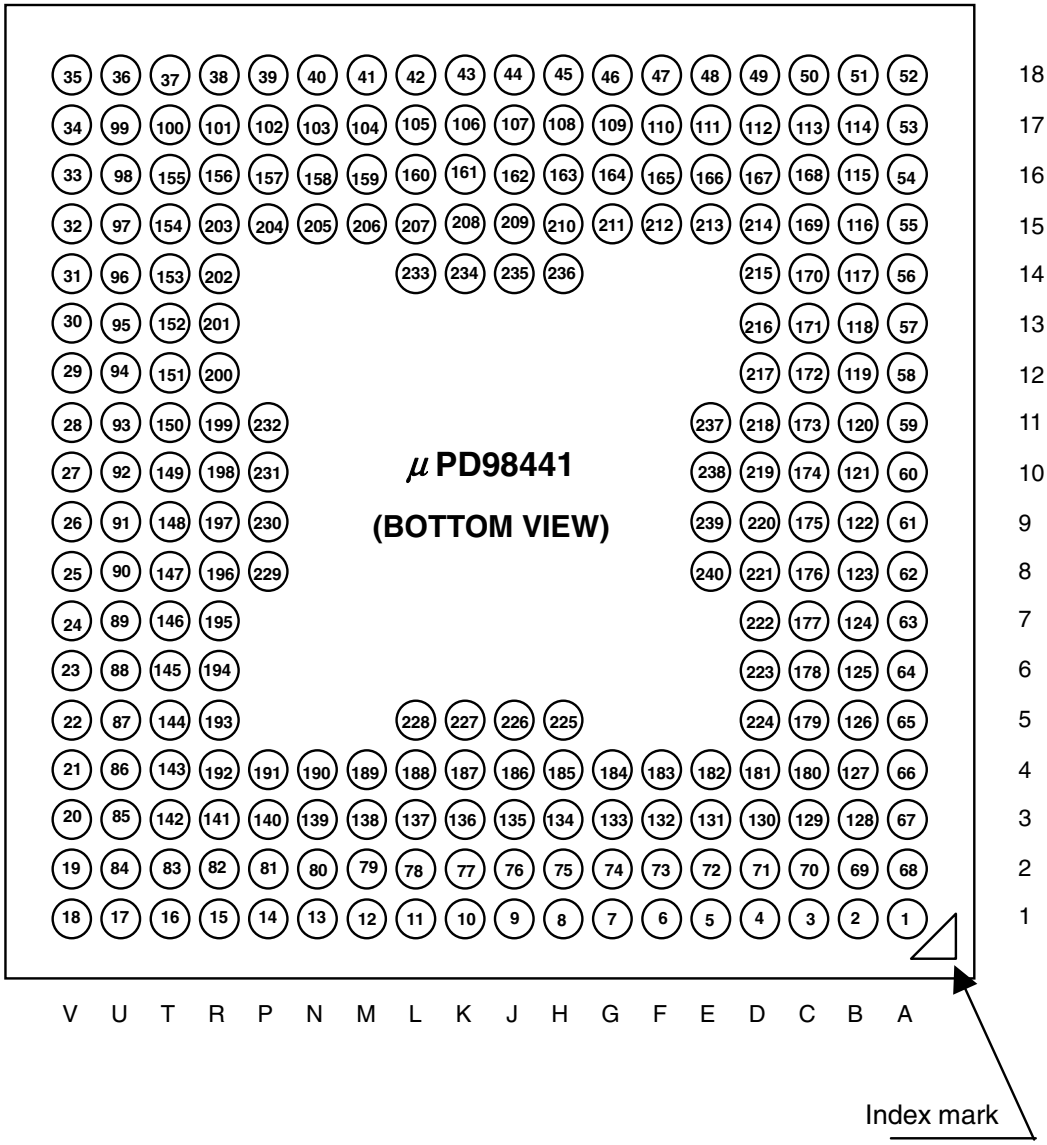
備考 1. このドキュメントでは，アクティブ・ロウの端子を XXXB と表記しています。

2. CG 端子は，グランドに接続してください。

端子接続図（Bottom View）

・240 **ピン・プラスチック** FBGA（16×16）

μPD98441F1-GA3-A



端子配置表

シリアル No.	アドレス No.	端子名	シリアル No.	アドレス No.	端子名	シリアル No.	アドレス No.	端子名	シリアル No.	アドレス No.	端子名	シリアル No.	アドレス No.	端子名
1	A1	GND_33	49	D18	RWB/WRB	97	U15	ISOC	145	T6	GND_33	193	R5	OCLAV6
2	B1	GND_33	50	C18	DSB/RDB	98	U16	ICLAV0	146	T7	IDATA13	194	R6	V_{DD}_18
3	C1	RFCKTTL	51	B18	GND_18	99	U17	GND_18	147	T8	IDATA8	195	R7	OCLAV12
4	D1	ODATA14	52	A18	GND_33	100	T17	ICLAV5	148	T9	IDATA4	196	R8	IDATA14
5	E1	ODATA10	53	A17	GND_33	101	R17	ICLAV6	149	T10	IDATA3	197	R9	IDATA9
6	F1	ODATA8	54	A16	VDT3	102	P17	ICLAV8	150	T11	IADDR3	198	R10	IADDR4
7	G1	ODATA7	55	A15	TXLP0	103	N17	CG	151	T12	IENB3	199	R11	IADDR1
8	H1	ODATA6	56	A14	TXLM0	104	M17	GND_33	152	T13	IVAL	200	R12	IENB1
9	J1	ODATA2	57	A13	TXLM1	105	L17	ADDR8	153	T14	IPRTY	201	R13	V_{DD}_18
10	K1	GND_33	58	A12	TXLP1	106	K17	INTB	154	T15	V_{DD}_33	202	R14	ICLAV1
11	L1	OADDR4	59	A11	VAT1	107	J17	ADDR4	155	T16	ICLAV2	203	R15	ICLAV3
12	M1	OADDR0	60	A10	GDR0	108	H17	DATA7	156	R16	ICLAV7	204	P15	ICLAV4
13	N1	OENB1	61	A9	RXLP0	109	G17	DATA2	157	P16	ICLAV9	205	N15	V_{DD}_18
14	P1	OERR	62	A8	RXLM0	110	F17	DATA0	158	N16	ICLAV12	206	M15	ICLAV10
15	R1	OEOP	63	A7	RXLM1	111	E17	CSB	159	M16	ADDR9	207	L15	BUSM
16	T1	OCLAV0	64	A6	RXLP1	112	D17	L1BFEN	160	L16	ADDR6	208	K15	ADDR7
17	U1	GND_33	65	A5	GDR4	113	C17	JCK	161	K16	ADDR2	209	J15	DATA6
18	V1	GND_33	66	A4	RFCKPLT	114	B17	GND_18	162	J16	ADDR3	210	H15	DATA3
19	V2	GND_18	67	A3	RFCKPLC	115	B16	TEN	163	H16	DATA5	211	G15	GND_33
20	V3	OCLAV10	68	A2	GND_18	116	B15	TMC0	164	G16	DATA1	212	F15	V_{DD}_18
21	V4	PCKO	69	B2	GND_18	117	B14	GDT0	165	F16	L0BFEN	213	E15	JDO
22	V5	OPCK	70	C2	RCVRLCK1	118	B13	GAT1	166	E16	JDI	214	D15	TAFCLK
23	V6	IPCK	71	D2	IFM1	119	B12	RFTCKTTL	167	D16	JRSTB	215	D14	V_{DD}_33
24	V7	IDATA11	72	E2	IFM0	120	B11	VAT0	168	C16	JMS	216	D13	SMC
25	V8	IDATA10	73	F2	ODATA12	121	B10	GND_18	169	C15	TMC1	217	D12	GDT3
26	V9	IDATA6	74	G2	ODATA9	122	B9	VDR0	170	C14	VDT0	218	D11	VDT1
27	V10	IDATA2	75	H2	GND_33	123	B8	RFRCKTTL	171	C13	GDT1	219	D10	VDT2
28	V11	IDATA1	76	J2	ODATA3	124	B7	GAR1	172	C12	GAT0	220	D9	GDR2
29	V12	IADDR2	77	K2	ODATA1	125	B6	GDR3	173	C11	GDT2	221	D8	VAR1
30	V13	IADDR0	78	L2	OADDR2	126	B5	VDR4	174	C10	GDR1	222	D7	VDR3
31	V14	IENB0	79	M2	OENB3	127	B4	V_{DD}_33	175	C9	VDR1	223	D6	V_{DD}_18
32	V15	IERR	80	N2	OMOD	128	B3	RCVRLCK0	176	C8	GAR0	224	D5	TST1
33	V16	IEOP	81	P2	OVAL	129	C3	TST0	177	C7	IREFVR	225	H5	V_{DD}_18
34	V17	GND_18	82	R2	OSOC	130	D3	MSM	178	C6	GND_33	226	J5	GND_18
35	V18	GND_33	83	T2	OCLAV1	131	E3	V_{DD}_33	179	C5	ALM1	227	K5	V_{DD}_18
36	U18	GND_33	84	U2	GND_18	132	F3	ODATA13	180	C4	TST2	228	L5	GND_18
37	T18	V_{DD}_33	85	U3	OCLAV7	133	G3	V_{DD}_33	181	D4	ALM3	229	P8	V_{DD}_18
38	R18	ICLAV11	86	U4	OCLAV8	134	H3	ODATA4	182	E4	ALM2	230	P9	GND_18
39	P18	RESETB	87	U5	OCLAV9	135	J3	ODATA0	183	F4	ALM0	231	P10	V_{DD}_18
40	N18	EXIN0	88	U6	IDATA15	136	K3	V_{DD}_33	184	G4	ODATA15	232	P11	GND_18
41	M18	EXIN1	89	U7	GND_33	137	L3	OADDR1	185	H4	ODATA11	233	L14	V_{DD}_18
42	L18	EXIN2	90	U8	IDATA12	138	M3	V_{DD}_33	186	J4	ODATA5	234	K14	GND_18
43	K18	ADDR5	91	U9	IDATA7	139	N3	OPRTY	187	K4	OADDR3	235	J14	V_{DD}_18
44	J18	ADDR1	92	U10	IDATA5	140	P3	V_{DD}_33	188	L4	OENB2	236	H14	GND_18
45	H18	ADDR0	93	U11	IDATA0	141	R3	OCLAV2	189	M4	OENB0	237	E11	IREFVT
46	G18	DATA4	94	U12	V_{DD}_33	142	T3	OCLAV4	190	N4	V_{DD}_18	238	E10	V_{DD}_18
47	F18	V_{DD}_33	95	U13	IENB2	143	T4	V_{DD}_33	191	P4	OCLAV3	239	E9	VDR2
48	E18	ACKB/RDYB	96	U14	IMOD	144	T5	OCLAV11	192	R4	OCLAV5	240	E8	VAR0

端子名称

ACKB/RDYB : Acknowledge / Ready
ADDR[9:0] : Address
ALM[3:0] : Alarm Pin
BUSM : Bus Mode Select
CG : Connect to GND
CSB : I/O Chip Select
DATA[7:0] : Data Bus
DSB/RDB : Data Strobe / Read
EXIN[2:0] : External Input Pin
GAR[1:0] : Analog Ground for Rx
GAT[1:0] : Analog Ground for Tx
GDR[4:0] : Ground for Rx LVDS Buffer
GDT[3:0] : Ground for Tx LVDS Buffer
GND_18 : Ground for 1.8-V Supply
GND_33 : Ground for 3.3-V Supply
IADDR[4:0] : Input Parallel Address
ICLAV[12:0] : Input Parallel Cell Available
IDATA[15:0] : Input Parallel Data
IENB[3:0] : Input Parallel Enable
IEOP : Input Parallel POS-PHY End of Packet
IERR : Input Parallel POS-PHY Packet Error
IFM[1:0] : Interface Mode
IMOD : Input Parallel POS-PHY Word Modulo
INTB : Interrupt Output
IPCK : Input Parallel Clock
IPRTY : Input Parallel Parity
IREFVR : Input Reference Voltage for Rx LVDS
IREFVT : Input Reference Voltage for Tx LVDS
ISOC : Input Parallel Start Of Cell
IVAL : Input Parallel POS-PHY Data Valid
JCK : JTAG Clock
JDI : JTAG Data Input
JDO : JTAG Data Output
JMS : JTAG Mode Select
JRSTB : JTAG Reset
L0BFEN : Line0 Buffer Enable
L1BFEN : Line1 Buffer Enable
MSM : Master/Slave Mode
OADDR[4:0] : Output Parallel Address
OCLAV[12:0] : Output Parallel Cell Available
ODATA[15:0] : Output Parallel Data
OENB[3:0] : Output Parallel Enable
OEOP : Output Parallel POS-PHY End Of Packet
OERR : Output Parallel POS-PHY Packet Error
OMOD : Output Parallel POS-PHY Word Modulo
OPCK : Output Parallel Clock
OPRTY : Output Parallel Parity
OSOC : Output Parallel Start Of Cell
OVAL : Output Parallel Data Valid
PCKO : Parallel Clock Out
RCVRLCK[1:0] : Recover Clock of Line1/0
RESETB : Reset
RFCKPLC : Reference Clock Complement
RFCKPLT : Reference Clock True
RFCKTTL : LVTTL Reference Clock Input
RFRCKTTL : PECL True Reference Clock Input
RFTCKTTL : PECL Comp. Reference Clock Input
RWB/WRB : Read Write / Write
RXLM[1:0] : Rx Serial Line (Inverted) of Line1/0
RXLP[1:0] : Rx Serial Line (True) of Line1/0
SMC : Test Mode Select Pin
TAFCLK : Test Async F/F Clock
TEN : Test Enable Pin
TMC[1:0] : Test Mode Pin
TST[2:0] : Test Select Pin
TXLM[1:0] : Tx Serial Line (Inverted) of Line1/0
TXLP[1:0] : Tx Serial Line (True) of Line1/0
VAR[1:0] : 1.8-V Analog Power Supply for Rx
VAT[1:0] : 1.8-V Analog Power Supply for Tx
VDR[4:0] : 1.8-V Power Supply for Rx LVDS Buffer
VDT[3:0] : 1.8-V Power Supply for Tx LVDS Buffer
V_{DD}_18 : 1.8-V Power Supply
V_{DD}_33 : 3.3-V Power Supply

目　　次

1.　端子機能　…　10

1. 1　パラレル・インタフェース　…　10
1. 2　シリアル・インタフェース　…　16
1. 3　MPU インタフェース　…　18
1. 4　アラーム出力　…　19
1. 5　汎用入力ポート　…　19
1. 6　JTAG バウンダリ・スキャン　…　19
1. 7　電　　源　…　20
1. 8　グランド　…　20
1. 9　そ の 他　…　21
1. 10 未使用端子の処理　…　21
1. 11 端子の初期状態　…　22
1. 12 パラレル・インタフェース・モードと端子機能　…　24
1. 13 パラレル・インタフェース端子の各モードにおける機能名一覧　…　26

2.　電気的特性　…　28

2. 1　絶対最大定格　…　28
2. 2　推奨動作条件　…　28
2. 3　DC 特性（IV_{DD} = 1.8±0.15 V，EV_{DD} = 3.3±0.3 V，T_A = －40～＋85℃）　…　29
2. 4　容　　量　…　29
2. 5　AC 特性（IV_{DD} = 1.8±0.15 V，EV_{DD} = 3.3±0.3 V，T_A = －40～＋85℃）　…　30
2. 5. 1　AC テスト条件　…　30
2. 5. 2　リセット　…　30
2. 5. 3　レファレンス・クロック　…　31
2. 5. 4　パラレル・インタフェース　…　32
2. 5. 5　MPU インタフェース　…　47
2. 5. 6　アラーム出力　…　51
2. 5. 7　汎用入力ポート　…　51
2. 5. 8　JTAG インタフェース　…　52

3.　シリアル・インタフェース用電源，グランド端子の接続　…　53

4.　制限事項　…　55

4. 1　レジスタ・ライト後の不正データ・バス・ドライブに関する制限事項　…　55

5.　外 形 図　…　57

6.　半田付け推奨条件　…　58

1. 端子機能

備考 1. このドキュメントでは，アクティブ・ロウの端子を XXXB と表しています。

2. IFM1，IFM0 端子のように同名で複数ある端子は，IFM[1:0]と表記し，IFM[1:0] = 10 という表記は，IFM1 = 1, IFM0 = 0 に対応しています。

1.1 パラレル・インタフェース

リンク・デバイスや PHY デバイスと ATM セル/POS パケットの転送を行うインタフェースです。

(1/7)

端子名	シリアル番号	アドレス番号	I/O レベル	機　能
IFM[1:0]	71, 72	D2, E2	I LVTTL	パラレル・インタフェース・モード選択信号。 パラレル・インタフェースのモードを設定する信号です。電源投入後に，この端子の入力レベルを変更した場合は，必ずリセット（RESETB = ロウ・レベル）を実行してください。 IFM[1:0] ／ モード 00 ／ UTOPIA-Level2 モード 01 ／ POS-PHY-Level2 モード 10 ／ 汎用 Mux/Demux モード (1 ch) 11 ／ 汎用 Mux/Demux モード (2 ch)
MSM	130	D3	I LVTTL	マスタ／スレーブ・モード選択信号 パラレル・インタフェースのマスタ／スレーブ・モードを選択する端子です。IFM[1:0] = 10, 11 の汎用 Mux/Demux モードのときは，この端子への設定は無視されます。 MSM ／ モード 0 ／ スレーブ・モード 1 ／ マスタ・モード
IDATA[15:0]	88, 196, 146, 90, 24, 25, 197, 147, 91, 26, 92, 148, 149, 27, 28, 93	U6, R8, T7, U8, V7, V8, R9, T8, U9, V9, U10, T9, T10, V10, V11, U11	I LVTTL	入力インタフェース・データ・バス。 **•UTOPIA モード（Master: RxData, Slave: TxData）** セルを入力する 16 ビット・データ・バスです。8 ビット幅のモードを選択した場合は IDATA[7:0]を使用し，IDATA[15:8]は無効になります。IDATA15 が MSB になります。 **•POS-PHY モード（Master: RDAT, Slave: TDAT）** パケット・データを入力する 16 ビット・データ・バスです。POS-PHY モードでは，16 ビット・モードのみとなります。 **•汎用 Mux/Demux モード** パラレル・データを入力します。PCKO クロックの立ち上がりに同期して入力してください。 IDATA[7:0]：シリアル・ライン 0 IDATA[15:8]：シリアル・ライン 1 注意　未使用の入力端子はロウ・レベルに固定してください。

(2/7)

端子名	シリアル番号	アドレス番号	I/O レベル	機　　能
ISOC	97	U15	I LVTTL	入力インタフェース・セル／パケット先頭位置信号。 **・UTOPIA モード（Master: RxSoc, Slave: TxSOC）** IDATA[15:0]上のセルの開始位置を示す信号を入力します。リンク・デバイスは，セルの先頭バイトに同期してハイ・レベルを入力します。 **・POS-PHY モード（Master: RSOP, Slave: TSOP）** IDATA[15:0]上のパケット・データの開始位置を示す信号を入力します。リンク・デバイスは，パケット・データの先頭バイトに同期してハイ・レベルを入力します。
ICLAV[12:0]	158, 38, 206, 157, 102, 156, 101, 100, 204, 203, 155, 202, 98	N16, R18, M15, P16, P17, R16, R17, T17, P15, R15, T16, R14, U16	Master: I Slave: O LVTTL	入力インタフェース･セル／パケット･アベイラブル信号。 マスタとスレーブのモードにより入出力が切り替わります。 **・UTOPIA モード（Master: RxClav, Slave: TxClav）** マスタ・モードでは RxClav 入力端子として，リンク・デバイスのセル・アベイラブル信号を入力します。スレーブ・モードでは，TxClav 出力信号として，μPD98441 の入力 FIFO の空き状況を示す信号を出力します。アクセス・モード，ポーリング・モードの設定により，使用する端子が異なります注。未使用となる入力端子は，ロウ・レベルに固定してください。 **・POS-PHY モード（Master: PRPA/DRPA, Slave: PTPA/STPA）** マスタ・モードでは PRPA または，DRPA 入力端子として機能し，リンク・デバイスからのパケット・アベイラブル信号を入力します。スレーブ・モードでは PTPA または，DPTA 出力端子となり，μPD98441 の入力 FIFO の空き状況示す信号を出力します。パケット・レベル，バイト・レベルのモード設定により使用する端子，および機能が変わります注。 **・汎用 Mux/Demux モード** 各端子は次の制御信号として機能します。PCKO クロックに同期して入力してください。 ライン 0 ／ ライン 1 ／ 機能 ICALV[0] ／ ICLAV[3] ／ データ入力イネーブル信号 ICLAV[1] ／ ICLAV[4] ／ IDLE コード送出指示 ICLAV[2] ／ ICLAV[5] ／ K コード送出指示
IADDR[4:0]	198, 150, 29, 199, 30	R10, T11, V12, R11, V13	Master: O Slave: I LVTTL	入力インタフェース・ポート・アドレス信号。 マスタとスレーブのモードにより入出力が切り替わります。 **・UTOPIA モード（Master: RxAddr, Slave: TxAddr）** マスタ・モードでは RxAddr 出力端子として，スレーブ・モードでは TxAddr 入力端子として，ポートのセレクション・アドレスおよびポーリング・アドレスを入出力します。 **・POS-PHY モード（Master: RADR, Slave: TADDR）** マスタ・モードでは RADR 出力端子として，スレーブ・モードでは TADR 入力端子として，ポートのセレクション・アドレスおよびポーリング・アドレスを入力します。

注　「1. 13　パラレル・インタフェース端子の各モードにおける機能名一覧」を参照してください。

(3/7)

端子名	シリアル番号	アドレス番号	I/O レベル	機　　能
IENB[3:0]	151, 95, 200, 31	T12, U13, R12, V14	Master: O Slave: I LVTTL	入力インタフェース・イネーブル信号。 マスタとスレーブのモードにより入出力が切り替わります。 **•UTOPIA モード（Master: RxEnb, Slave: TxEnb）** データ出力のイネーブル制御，および，アドレス信号と組み合わせてポート・セレクションを行います。設定モードに応じて使用する端子が異なります。未使用になる入力端子はロウ・レベルに固定してください[注]。 **•POS-PHY モード** IENB0 と IENB[3:1]とで機能が異なります。 **IENB0（Master: RENB, Slave: TENB）** データ出力のイネーブル制御，およびアドレス信号と組み合せてポートのセレクションを行います。 **IENB[3:1]（Master: DRPA, Slave: 未使用）** IENB[3:1]は，バイト・レベル・モードの場合に ICLAV[12:0]とともに，データのアベイラブル信号として使用します。ICLAV[12:0]は，ポート 0-ポート 12 に対応する DTPA/DRPA 端子として機能し，IENB[3:1]はポート 13-ポート 15 の DTPA/DRPA 端子として機能します。
IPRTY	153	T14	I LVTTL	入力インタフェース・パリティ信号。 **•UTOPIA モード（Master: RxPrty, Slave: TxPrty）** **•POS-PHY モード（Master: RPRTY, Slave: TPRTY）** UTOPIA，POS-PHY モードともに IDATA[15:0]信号の奇数パリティ信号を入力します。
IVAL	152	T13	I LVTTL	入力インタフェース・アベイラブル／データ有効信号。 POS-PHY モードのマスタ動作時のみで使用する端子です。 **•POS-PHY モード（Master: RVAL, Slave：未使用）** RVAL 入力端子として機能し，入力データが有効かどうかを示す信号を入力します。スレーブ・モードでは使用しないため，ロウ・レベルに固定してください。
IEOP	33	V16	I LVTTL	入力インタフェース・パケット終了位置信号。 POS-PHY モード時のみ有効になる端子です。 **•POS-PHY モード（Master: REOP, Slave: TEOP）** パケット・データの最終バイトの転送時にアサートする信号です。IEOP のアサート時，IMOD はパケットの最終ワードの有効バイト数を示します。
IERR	32	V15	I LVTTL	入力インタフェース・パケット・エラー信号。 POS-PHY モード時のみ有効になる端子です。 **•POS-PHY モード（Master: RERR, Slave: TERR）** 現在転送中のパケットがエラー・パケットであることを示す信号を入力します。IEOP がアサートされているときのみ有効です。

注　「1. 13　パラレル・インタフェース端子の各モードにおける機能名一覧」を参照してください。

(4/7)

端子名	シリアル番号	アドレス番号	I/O レベル	機　　能
IMOD	96	U14	I LVTTL	入力インタフェース最終ワード有効バイト信号。 POS-PHY モード時のみ有効になる端子です。 **•POS-PHY モード（Master: RMOD, Slave: TMOD）** 転送データの有効バイト数を示します。IMOD はパケットの最終ワードが転送されているとき以外は常に“0”とする必要があります。IEOP がアサートされているとき，IDATA[15:0]上の有効パケット・バイト数は次のようになります。 IMOD：0 — IDATA[15:0]の 2 バイトが有効 IMOD：1 — IDATA[15:8]の 1 バイトが有効
IPCK	23	V6	I LVTTL	入力インタフェース・クロック。 **•UTOPIA モード（Master: RxClk, Slave: TxClk）** **•POS-PHY モード（Master: RFCLK, Slave: TFCLK）** 入力インタフェース用のクロック入力端子です。この端子は，52 MHz までのクロックを入力します。入力インタフェースにおけるすべての動作は，このクロックに同期して実行されます。
PCKO	21	V4	O LVTTL	入出力インタフェース・クロック。 **•UTOPIA モード/POS-PHY モード** この端子は，パラレル・インタフェース用のクロックとしてシリアル・ライン用のレファレンス・クロックを流用する場合に使用する端子です。この端子は，レファレンス・クロックの 2 分周（32 MHz～44 MHz）を出力します。 **•汎用 Mux/Demux モード** この端子は，入力インタフェースの動作クロックを出力します。パラレル・データは，このクロックに同期して入力してください。出力されるクロックは，レファレンス・クロックより PLL が生成した送信用クロックの 10 分周（64 MHz～88 MHz）です。
ODATA[15:0]	184, 4, 132, 73, 185, 5, 74, 6, 7, 8, 186, 134, 76, 9, 77, 135	G4, D1, F3, F2, H4, E1, G2, F1, G1, H1, J4, H3, J2, J1, K2, J3	O LVTTL 3 ステート	出力インタフェース・セル／パケット・データ・バス。 **•UTOPIA モード（Master: TxData, Slave: RxData）** セルを出力する 16 ビット・データ・バスです。8 ビット幅モードを選択した場合は，ODATA[7:0]を使用し，ODATA[15:8]は無効になります。ODATA15 が MSB になります。 **•POS-PHY モード（Master: TDAT, Slave: RDAT）** パケット・データを出力する 16 ビット・データ・バスです。POS-PHY モードでは，16 ビット・モードのみとなります。 **•汎用 Mux/Demux モード** パラレル・データを出力します。各シリアル・ラインのリカバリ・クロックの 10 分周出力（RCVRLCK0/1）に同期して出力します。 ODATA[7:0]：シリアル・ライン 0 ODATA[15:8]：シリアル・ライン 1
OSOC	82	R2	O LVTTL 3 ステート	出力インタフェース・セル／パケット先頭位置信号。 **•UTOPIA モード（Master: TxSoc, Slave: RxSoc）** ODATA[15:0]上のセルの開始位置を示す信号を出力します。 μPD98441 はセルの先頭バイトに同期してアサートします。 **•POS-PHY モード（Master: TSOP, Slave: RSOP）** ODATA[15:0]上のパケット・データの開始位置を示す信号を出力します。μPD98441 は，パケット・データの先頭バイトに同期してハイ・レベルを入力します。

(5/7)

端子名	シリアル番号	アドレス番号	I/O レベル	機　　能
OCLAV[12:0]	195, 144, 20, 87, 86, 85, 193, 192, 142, 191, 141, 83, 16	R7, T5, V3, U5, U4, U3, R5, R4, T3, P4, R3, T2, T1	Master: I Slave: O LVTTL 3 ステート	出力インタフェース･セル／パケット･アベイラブル信号。 3 ステート信号で，モード設定に応じて入出力が切り替わります。 **･UTOPIA モード（Master: TxClav, Slave: RxClav）** マスタ・モードでは，TxClav 入力端子として，リンク・デバイスの FIFO の空き状況を示す信号を入力します。 スレーブ・モードでは RxClav 出力端子として，μPD98441 の出力 FIFO のセル・アベイラブル信号を出力します。 アクセス・モード，ポーリング・モードの設定により，使用する端子が異なります注。マスタ・モード設定時に未使用となる端子は，ロウ・レベルに固定してください。 **･POS-PHY モード（Master-Packet Level: PTPA/STPS，Byte-Level: DTPA，Slave: PRPA）** マスタ・モードでは，PTPA または，STPA 入力端子として機能し，リンク･デバイスの FIFO 状態を示す信号を入力します。スレーブ・モードでは。PRPA 出力端子として機能し，μ PD98441 のパケット・データのアベイラブル状況を示す信号を出力します。パケット・レベル，バイト・レベルのモード設定により使用する端子，および機能が変わります注。
OADDR[4:0]	11, 187, 78, 137, 12	L1, K4, L2, L3, M1	Master: O Slave: I LVTTL	出力インタフェース・ポート・アドレス信号。 **･UTOPIA モード（Master: TxAddr, Slave: RxAddr）** マスタ・モードでは TxAddr 出力端子として，スレーブ・モードでは RxAddr 入力端子として，ポートのセレクション・アドレスおよびポーリング・アドレスを入出力します。 **･POS-PHY モード（Master: TADR, Slave: RADR）** マスタ・モードでは TADR 出力端子として，スレーブ・モードでは RADR 入力端子として，ポートのセレクション・アドレスおよびポーリング・アドレスを入力します。

注　各モードで未使用になる端子は，「1. 13　パラレル・インタフェース端子の各モードにおける機能名一覧」を参照してください。

(6/7)

端子名	シリアル番号	アドレス番号	I/O レベル	機　　能
OENB[3:0]	79, 188, 13, 189	M2, L4, N1, M4	Master: O Slave: I LVTTL	出力データ・イネーブル信号。 モードにより入出力が切り替わります。 **・UTOPIA モード（Master: TxEnb, Slave: RxEnb）** データ出力のイネーブル制御，およびアドレス信号との組み合わせでポート・セレクションを行います。設定モードに応じて使用する端子が異なります。未使用になる端子は，適切な処置をしてください注。 **・POS-PHY モード** OENB0 と OENB[3:1]とで機能が異なります。 **OENB0（Master：TENB, Slave: RENB）** データ出力のイネーブル制御，およびアドレス信号と組み合わせてポートのセレクションを行います。 **OENB[3:1]（Master: DTPA , Slave: 未使用）** OENB[3:1]は，OCLAV[12:0]とともにバイト・レベル・モードの場合にのみ使用します。OCLAV[12:0]は，ポート 0-ポート 12 に対応する DTPA 端子として機能し，OENB[3:1]はポート 13-ポート 15 に対応する DTPA 端子として機能します。 **・汎用 Mux/Demux モード** 制御信号を RCVRLCK に同期して入出力します。 ライン 0 / ライン 1 / I/O / 機能 OENB[0] / OENB[2] / 入力 / 出力イネーブル OENB[1] / OENB[3] / 出力 / K コード
OPRTY	139	N3	O LVTTL 3 ステート	出力インタフェース・パリティ信号。 **・UTOPIA モード（Master: TxPrty, Slave: RxPrty）** **・POS-PHY モード（Master: TPRTY, Slave: RPRTY）** UTOPIA，POS-PHY モードともに ODATA[15:0]信号上に出力するデータと同期して，奇数パリティ信号を出力します。
OVAL	81	P2	O LVTTL 3 ステート	出力インタフェース・アベイラブル／データ有効信号。 POS-PHY モードのスレーブ動作時のみで使用する端子です。 **・POS-PHY モード（Master: 未使用, Slave: RVAL）** パケット・レベル・モードの RVAL 出力端子として機能します。マスタ・モード，およびバイト・レベル・モードでは使用しないため，ロウ・レベルの固定出力になります。
OEOP	15	R1	O LVTTL 3 ステート	出力インタフェース・パケット終了位置信号。 POS-PHY モード時のみ有効になる端子です。 **・POS-PHY モード（Master: TEOP, Slave: REOP）** 出力データの最終端を転送しているときにアサートする信号です。OEOP のアサート時，OMOD はパケットの最終ワードの有効バイト数を示します。

注　各モードで未使用になる端子は，「1. 13　パラレル・インタフェース端子の各モードにおける機能名一覧」を参照してください。

(7/7)

端子名	シリアル番号	アドレス番号	I/O レベル	機　　能
OERR	14	P1	O LVTTL 3 ステート	出力インタフェース・パケット終了位置信号。 POS-PHY モード時のみ有効になる端子です。 **•POS-PHY モード（Master: TERR, Slave: RERR）** 現在転送中のパケットがエラー・パケットであることを示す信号を出力します。OERR のアサートは OEOP がアサートされているときのみ有効です。
OMOD	80	N2	O LVTTL 3 ステート	出力インタフェース最終ワード有効バイト信号。 POS-PHY モード時のみ有効になる端子です。 **•POS-PHY モード（Master: TMOD, Slave: RMOD）** 転送データの有効バイト数を示します。OMOD はパケットの最終ワードが転送されているとき以外は常に“ 0 ”を出力します。OEOP をアサートしているとき，ODATA[15:0]上の有効パケット・バイト数は次のようになります。 OMOD：0 ― ODATA[15:0]の 2 バイトが有効 OMOD：1 ― ODATA[15:8]の 1 バイトが有効
OPCK	22	V5	I LVTTL	出力インタフェース・クロック **•UTOPIA モード（Master: TxClk, Slave: RxClk）** **•POS-PHY モード（Master: TFCLK, Slave: RFCLK）** 出力インタフェース用のクロック入力端子です。この端子には，52 MHz までのクロックを入力します。出力インタフェースにおけるすべての動作は，このクロックに同期して実行されます。

1. 2　シリアル・インタフェース

シリアル・インタフェースは，対向μPD98441 と接続する LVDS インタフェースです。

(1/2)

	端子名	シリアル番号	アドレス番号	I/O レベル	機　　能
★	TXLP0	55	A15	O LVDS （True）	送信シリアル・ライン 0 のデータ出力。 送信シリアル・ライン 0 のデータを出力します。 未使用時は，オープンにしてください。
★	TXLM0	56	A14	O LVDS （Inverted）	
★	TXLP1	58	A12	O LVDS （True）	送信シリアル・ライン 1 のデータ出力。 送信シリアル・ライン 1 のデータを出力します。 未使用時は，オープンにしてください。
★	TXLM1	57	A13	O LVDS （Inverted）	
★	RXLP0	61	A9	I LVDS （True）	受信シリアル・ライン 0 のデータ入力。 受信シリアル・ライン 0 のシリアル・データを入力します。 未使用時は，オープンにしてください。
★	RXLM0	62	A8	I LVDS （Inverted）	

(2/2)

端子名	シリアル番号	アドレス番号	I/O レベル	機　能
★ RXLP1	64	A6	I LVDS (True)	受信シリアル・ライン 1 のデータ入力。 受信シリアル・ライン 1 のシリアル・データを入力します。 未使用時は，オープンにしてください。
★ RXLM1	63	A7	I LVDS (Inverted)	
RFCKPLT	66	A4	I PECL (True)	PECL レファレンス・クロック入力。 シリアル・ラインの伝送クロックを生成する PLL に PECL レベルでレファレンス・クロックを入力する端子です。入力するクロックは，64 MHz～88 MHz の範囲で，シリアル・データは，このクロックを 10 逓倍した周波数（640 MHz～880 MHz）で出力されます。レファレンス・クロックを RFCKTTL 端子に入力する場合は，RFCKPLT 端子をハイ・レベルに，RFCKPLC 端子をロウ・レベルに固定してください。このクロックは，内部ロジックのシステム・クロックとしても使用します。
RFCKPLC	67	A3	I PECL (Inverted)	
RFCKTTL	3	C1	I LVTTL	シリアル・ライン用 LVTTL レファレンス・クロック入力。 シリアル・ラインの伝送クロックを生成する PLL に LVTTL レベルでレファレンス・クロックを入力する端子です。入力するクロックは，64 MHz～88 MHz の範囲で，シリアル・データは，このクロックを 10 逓倍した周波数（640 MHz～880 MHz）で出力されます。レファレンス・クロックを RFCKPLT/RFCKPLC 端子に入力する場合には，この端子にハイ・レベルを固定入力してください。このクロックは，内部ロジックのシステム・クロックとしても使用します。
RFTCKTTL	119	B12	I LVTTL	送信 LVDS テスト端子入力。 この端子は LSI テスト時のみに使用する端子です。 通常動作時は，ロウ・レベルまたはハイ・レベルに固定してください。
RFRCKTTL	123	B8	I LVTTL	受信 LVDS テスト端子入力。 この端子は LSI テスト時のみに使用する端子です。 通常動作時は，ロウ・レベルまたはハイ・レベルに固定してください。
RCVRLCK[1:0]	70, 128	C2, B3	O LVTTL	受信シリアル・ライン・リカバリ・クロック出力。 受信シリアル・データから抽出したクロックの 10 分周クロックを出力します。RCVRLCK1 が Line1 のリカバリ・クロック，RCVRLCK0 が Line0 のリカバリ・クロックです。
IREFVT	237	E11	N/A	LVDS トランシーバ・レファレンス電位。 アナログ電源 VAT[1:0]に 3 kΩの抵抗を介して接続してください。
IREFVR	177	C7	N/A	LVDS レシーバ・レファレンス電位。 アナログ電源 VAR[1:0]に 3 kΩの抵抗を介して接続してください。
L0BFEN	165	F16	I LVTTL	LVDS 送信ドライバの外部イネーブル信号。 送信ドライバを強制的にディスエーブルにします。この信号は FTXEN レジスタのドライバ・イネーブル設定と AND で作用します。 L0BFEN がライン 0 に，L1BFEN がライン 1 に作用します。 1：送信ドライバがイネーブルになります（通常動作）。 0：FTXEN レジスタの設定にかかわらず，送信 LVDS ドライバを強制的にディスエーブル（Hi-Z）にします。
L1BFEN	112	D17		

1. 3　MPU インタフェース

MPU インタフェースは，μ PD98441 のレジスタ・アクセスを行うマイクロプロセッサを接続するためのインタフェースです。

端子名	シリアル番号	アドレス番号	I/O レベル	機　　能
BUSM	207	L15	I LVTTL	MPU インタフェース・モード選択信号入力。 この端子への入力レベルによって，MPU インタフェースのモードが切り替わります。 BUSM = 1：<RDB, WRB, RDYB>モードを選択。 BUSM = 0：<DSB, RWB, ACKB>モードを選択。
ADDR[9:0]	159, 105, 208, 160, 43, 107, 162, 161, 44, 45	M16, L17, K15, L16, K18, J17, J16, K16, J18, H18	I LVTTL	アドレス入力。 μ PD98441 の内部レジスタのアドレスを入力するアドレス・バスです。
DATA[7:0]	108, 209, 163, 46, 210, 109, 164, 110	H17, J15, H16, G18, H15, G17, G16, F17	I/O LVTTL 3 ステート	8 ビット・データ・バス。 μ PD98441 の内部レジスタのデータをリード／ライトするためのデータ・バスです。
CSB	111	E17	I LVTTL	チップ・セレクト信号入力。 ロウ・レベルのとき，内部レジスタへのアクセスをイネーブルにします。
DSB/RDB	50	C18	I LVTTL	データ・ストローブ信号入力，またはリード信号入力。 この端子は，DSB と RDB の 2 つの機能を持っており，BUSM 端子で選択されるモードによって切り替わります。 BUSM = 0：データ・ストローブ信号 DSB として機能 BUSM = 1：リード・アクセスを選択する RDB として機能
RWB/WRB	49	D18	I LVTTL	リード／ライト信号入力，またはライト信号入力。 この端子は，RWB と WRB の 2 つの機能を持っており，BUSM 端子で選択されるモードによって切り替わります。 BUSM = 0：リード／ライト制御信号 RWB として機能 ハイ・レベル：リード・サイクル ロウ・レベル：ライト・サイクル BUSM = 1：ライト・アクセスを選択する WRB として機能
ACKB/RDYB	48	E18	O LVTTL 3 ステート	データ・アクノリッジ信号出力，またはレディ信号出力。 この端子は，ACKB と RDYB の 2 つの機能を持っており，BUSM 端子で選択されるモードによって切り替わります。 BUSM = 0： ACKB として機能 BUSM = 1： RDYB として機能
INTB	106	K17	O LVTTL オープン・ドレーン	割り込み信号出力。 内部で割り込み要因が発生したことを，ロウ・アクティブにしてホストに通知します。 この端子はオープン・ドレーン端子ですので，外部で pull-up してください。
RESETB	39	P18	I LVTTL	システム・リセット信号入力。 μ PD98441 のシステム・リセット端子です。μ PD98441 に入力されるパラレル・クロック（IPCK/OPCK）のうち，周期が長い側のクロックの 2 周期分以上のロウ・パルスを入力してください。

★ **注意**　MPU インタフェースを介してのレジスタのライト・アクセスには制限事項があります。4. 制限事項を参照してください。

1.4 アラーム出力

端子名	シリアル番号	アドレス番号	I/O レベル	機　能
ALM[3:0]	181, 182, 179, 183	D4, E4, C5, F4	O LVTTL	アラーム出力。 受信シリアル・ラインのエラー検出状態や内部レジスタのビット設定状態を出力します。出力する情報の種類は，RALM1-PALM0 レジスタ設定によって変更することができます。また，GOCG レジスタ設定により出力レベルを制御することがでるため，汎用出力ポートとしても使用することができます。ディフォールトでは，出力するエラー・ステータスは次のようになっています。 **ALM[3:0]のディフォールト出力** ALM[3:0] ／ 出力検出エラー ALM0 ／ ライン 0 の LOS エラー検出状態 ALM1 ／ ライン 0 の 10B8B デコード・エラー検出状態 ALM2 ／ ライン 1 の LOS エラー検出状態 ALM3 ／ ライン 1 の 10B8B デコード・エラー検出状態

1.5 汎用入力ポート

端子名	シリアル番号	アドレス番号	I/O レベル	機　能
EXIN[2:0]	42, 41, 40	L18, M18, N18	I LVTTL	汎用入力ポート。 外部周辺デバイスのステート信号入力ポートです。 この端子に入力された信号レベルは，内部 EXINS レジスタの対応するフィールドに反映され，そのフィールドの変化を割り込み要因にすることが可能です。

1.6 JTAG バウンダリ・スキャン

端子名	シリアル番号	アドレス番号	I/O レベル	機　能
JCK	113	C17	I LVTTL	バウンダリ・スキャン・クロック入力。 使用しない場合は，グランドに接続してください。
JDI	166	E16	I LVTTL (Internal pull-up)	バウンダリ・スキャン・データ入力。 使用しない場合は，グランドに接続してください。
JDO	213	E15	O 3 ステート LVTTL	バウンダリ・スキャン・データ出力。 使用しない場合は，オープンにしてください。
JMS	168	C16	I LVTTL (Internal pull-up)	バウンダリ・スキャン・モード選択信号入力。 使用しない場合は，グランドに接続してください。
JRSTB	167	D16	I LVTTL (Internal pull-up)	バウンダリ・スキャン・リセット信号入力。 使用しない場合は，グランドに接続してください。

備考 通常動作時の JTAG バウンダリ・スキャン用端子の処置について

JTAG ロジックは，RESETB 端子へのパルス入力ではリセットがかかりません。μ PD98441 は，JTAG のリセットがかかっていないとき，通常動作が行えない場合があります。通常動作を行う場合は，電源の投入後必ず次のいずれかの方法で JTAG ロジックにリセットをかけてください。

- JRSTB 端子をグランドに接続する。
- 電源投入後，JRSTB 端子にロウ・レベル・パルス（パルス幅：JCK 入力の 1 クロック・サイクル以上）を入力する（JDI, JMS 端子はオープン，JCK 端子はグランドに接続してください）。

1.7 電　源

端子名	シリアル番号	アドレス番号	I/O レベル	機　能
V_{DD}_33	37, 47, 94, 127, 131, 133, 136, 138, 140, 143, 154, 215	T18, F18, U12, B4, E3, G3, K3, M3, P3, T4, T15, D14	－	3.3 V LVTTL IO 用電源供給端子（＋3.3 V±5 %）
V_{DD}_18	190, 194, 201, 205, 212, 223, 225, 227, 229, 231, 233, 235, 238	N4, R6, R13, N15, F15, D6, H5, K5, P8, P10, L14, J14, E10	－	1.8 V ロジック・ブロック用電源供給端子（＋1.8 V±5 %）
VDT[3:0]	54, 219, 218, 170	A16, D10, D11, C14	－	1.8 V 送信 LVDS ドライバ用電源供給端子（＋1.8 V±5 %）
VDR[4:0]	126, 222, 239, 175, 122	B5, D7, E9, C9, B9	－	1.8 V 受信 LVDS レシーバ用電源供給端子（＋1.8 V±5 %）
VAT[1:0]	59, 120	A11, B11	－	1.8 V 送信アナログ用電源供給端子（＋1.8 V±5 %）
VAR[1:0]	221, 240	D8, E8	－	1.8 V 受信側アナログ用電源供給端子（＋1.8 V±5 %）

1.8 グランド

端子名	シリアル番号	アドレス番号	I/O レベル	機　能
GND_33	1, 2, 10, 17, 18, 35, 36, 52, 53, 75, 89, 104, 145, 178, 211	A1, B1, K1, U1, V1, V18, U18, A18, A17, H2, U7, M17, T6, C6, G15	－	3.3 V LVTTL IO 用グランド
GND_18	19, 34, 51, 68, 69, 84, 99, 114, 121, 226, 228, 230, 232, 234, 236	V2, V17, B18, A2, B2, U2, U17, B17, B10, J5, L5, P9, P11, K14, H14	－	1.8 V ロジック・ブロック用グランド
GDT[3:0]	217, 173, 171, 117	D12, C11, C13, B14	－	送信 LVDS ドライバ用グランド
GDR[4:0]	65, 125, 220, 174, 60	A5, B6, D9, C10, A10	－	受信 LVDS レシーバ用グランド
GAT[1:0]	118, 172	B13, C12	－	送信アナログ用グランド
GAR[1:0]	124, 176	B7, C8	－	受信アナログ用グランド

備考 電源，グランドの接続については，「3. シリアル・インタフェース用電源，グランド端子の接続」を参照してください。

1.9 そ の 他

端子名	シリアル番号	アドレス番号	I/O レベル	機　　能
TAFCLK	214	D15	I	テスト端子です。 グランドに接続してください。
TST[2:0]	180, 224, 129	C4, D5, C3	I	
TMC[1:0]	169, 116	C15, B15	I	
TEN	115	B16	I	
SMC	216	D13	I	3.3 V にプルアップしてください。
CG	103	N17	I	グランドに接続してください。

1.10 未使用端子の処理

各モードにより使用しない端子があります。未使用時の端子の処理を次に示します。

端子名	未使用時の端子処理
パラレル・インタフェースの入力端子	3.3 V にプルアップ，またはグランドに接続してください。
パラレル・インタフェースの出力端子	オープンにしてください。
PCKO	オープンにしてください。
TXLP[1:0]	オープンにしてください。
TXLM[1:0]	
★ RXLP[1:0]	オープンにしてください。
★ RXLM[1:0]	
RFCKPLT	3.3 V にプルアップしてください。
RFCKPLC	グランドに接続してください。
RFCKTTL	3.3 V にプルアップしてください
RFRCKTTL	3.3 V にプルアップ，またはグランドに接続してください。
RFTCKTTL	
RCVRLCK[1:0]	オープンにしてください。
L0BFEN	3.3 V にプルアップしてください。
L1BFEN	3.3 V にプルアップしてください。
RESETB	3.3 V にプルアップしてください。
INTB	オープンにしてください。
ALM[3:0]	オープンにしてください。
EXIN[2:0]	3.3 V にプルアップ，またはグランドに接続してください。
JCK	1.6 JTAG バウンダリ・スキャンの備考を参照してください。
JRSTB	
JDI	
JDO	
JMS	

備考 パラレル・インタフェースで未使用になる端子は，設定するパラレル・インタフェースのモードによって異なります。各モードにおける未使用端子は，「1.13 パラレル・インタフェース端子の各モードにおける機能名一覧」を参照してください。

1. 11　端子の初期状態

(1) パラレル・インタフェースのモードに依存する端子の初期状態

UTOPIA モード

UTOPIA，マスタ（IFM[1:0] = 00，MSM = 1）		
端子名	リセット中	リセット後
PCKO	レファレンス・クロックの 2 分周クロックを出力	
IENB[3:0]	1	1
IADDR[4:0]	1	1
OENB[3:0]	1	1
OADDR[4:0]	1	1
ODATA[7:0]	Hi-Z	Hi-Z
OPRTY	Hi-Z	Hi-Z
OMOD	0	0
OSOC	Hi-Z	Hi-Z
OEOP	0	0
OERR	0	0
OVAL	0	0
ICLAV[12:4]	入力（Hi-Z）	0
OCLAV[12:4]	0	0

UTOPIA，スレーブ（IFM[1:0] = 00，MSM = 0）		
端子名	リセット中	リセット後
PCKO	レファレンス・クロックの 2 分周クロックを出力	
ICLAV[3:0]	Hi-Z	Hi-Z
OCLAV[3:0]	Hi-Z	Hi-Z
ODATA[7:0]	Hi-Z	Hi-Z
OPRTY	Hi-Z	Hi-Z
OMOD	0	0
OSOC	Hi-Z	Hi-Z
OEOP	0	0
OERR	0	0
OVAL	0	0
ICLAV[12:4]	入力（Hi-Z）	0
OCLAV[12:4]	0	0

POS-PHY モード

POS-PHY，マスタ（IFM[1:0] = 01，MSM = 1）		
端子名	リセット中	リセット後
PCKO	レファレンス・クロックの 2 分周クロックを出力	
IENB[3:1]	Hi-Z	Hi-Z
IENB[0]	1	1
IADDR[4:0]	1	1
OENB [3:1]	Hi-Z	Hi-Z
OENB [0]	1	1
OADDR[4:0]	1	1
ODATA[7:0]	Hi-Z	0
OPRTY	Hi-Z	0
OMOD	Hi-Z	0
OSOC	Hi-Z	0
OEOP	Hi-Z	0
OERR	Hi-Z	0
OVAL	Hi-Z	0
ICLAV[12:4]	入力（Hi-Z）	入力（Hi-Z）
OCLAV[12:4]	入力（Hi-Z）	入力（Hi-Z）

POS-PHY，スレーブ（IFM[1:0] = 10，MSM = 0）		
端子名	リセット中	リセット後
PCKO	レファレンス・クロックの 2 分周クロックを出力	
ICLAV[3:1]	入力（Hi-Z）	0
ICLAV[0]	入力（Hi-Z）	入力（Hi-Z）
OCLAV[3:1]	0	0
OCLAV[0]	入力（Hi-Z）	入力（Hi-Z）
ODATA[7:0]	Hi-Z	Hi-Z
OPRTY	Hi-Z	Hi-Z
OMOD	Hi-Z	Hi-Z
OSOC	Hi-Z	Hi-Z
OEOP	Hi-Z	Hi-Z
OERR	Hi-Z	Hi-Z
OVAL	Hi-Z	Hi-Z
ICLAV[12:4]	入力（Hi-Z）	0
OCLAV[12:4]	0	0

汎用 Mux/Demux モード

汎用 Mux/Demux（IFM[1:0] = 1x，MSM = x，x:Don't care）		
端子名	**リセット中**	**リセット後**
PCKO	**送信** PLL **の** 10 **分周クロックを出力**	
IENB [3:0]	0	0
IADDR[4:0]	1	1
ICLAV[5:0]	**入力**（Hi-Z）	**入力**（Hi-Z）
OENB[3]	**入力**（Hi-Z）	**入力**（Hi-Z）
OENB[2]	0	0
OENB[1]	**入力**（Hi-Z）	**入力**（Hi-Z）
OENB[0]	0	0
OADDR[4:0]	1	1
OCLAV[3:0]	0	0
ODATA[7:0]	0	0
OPRTY	0	0
OMOD	0	0
OSOC	0	0
OEOP	0	0
OERR	0	0
OVAL	0	0
ICLAV[12:4]	**入力**（Hi-Z）	0
OCLAV[12:4]	0	0

（2）その他の端子の初期状態

端子名	**リセット中**	**リセット後**
TXLP0	Hi-Z	Hi-Z
TXLM0	Hi-Z	Hi-Z
TXLP1	Hi-Z	Hi-Z
TXLM1	Hi-Z	Hi-Z
RCVRLCK[1:0]	0	**リカバリ・クロックを出力**
DATA[7:0]	Hi-Z	Hi-Z
ACKB/RDYB	Hi-Z	Hi-Z
INTB（**プルアップ時**）	1	1
ALM[3], [1]	1	1
ALM[2], [0]	0	0

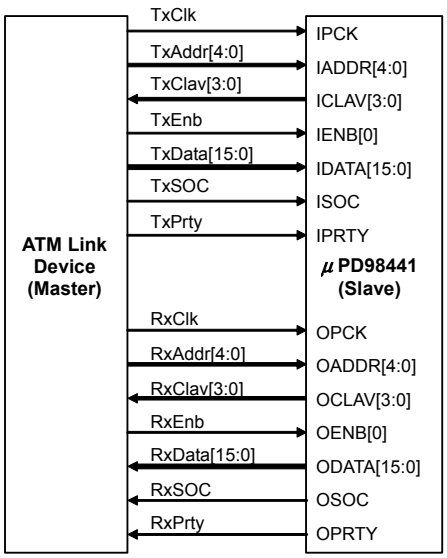
★

備考 **パラレル・インタフェースの入出力端子は，**IFM[1:0]**端子のモード設定によって，入力と出力が切り替わります。上記の初期状態は，出力端子の状態を示しています。各端子の入出力モードについては，「1.13 パラレル・インタフェース端子の各モードにおける機能名一覧」を参照してください。**

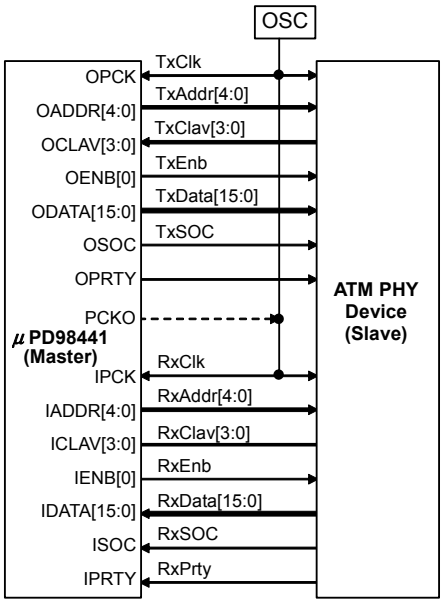
1. 12 パラレル・インタフェース・モードと端子機能

（1）UTOPIA Level2 モード

Slave モード

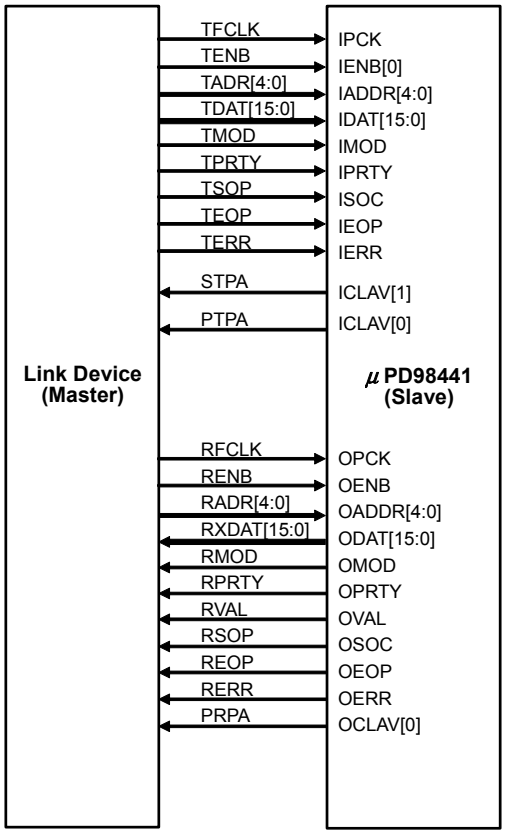


Master モード



（2）POS-PHY Level2 モード

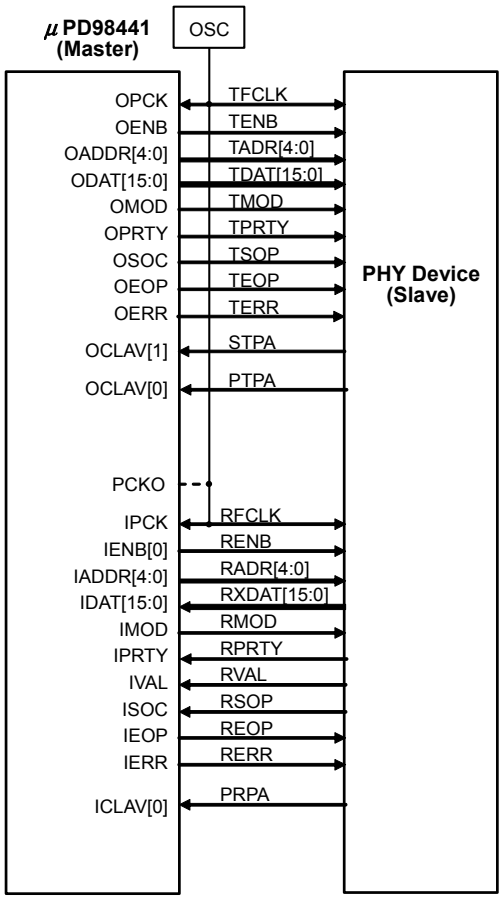
Slave モード（Packet Level モード）



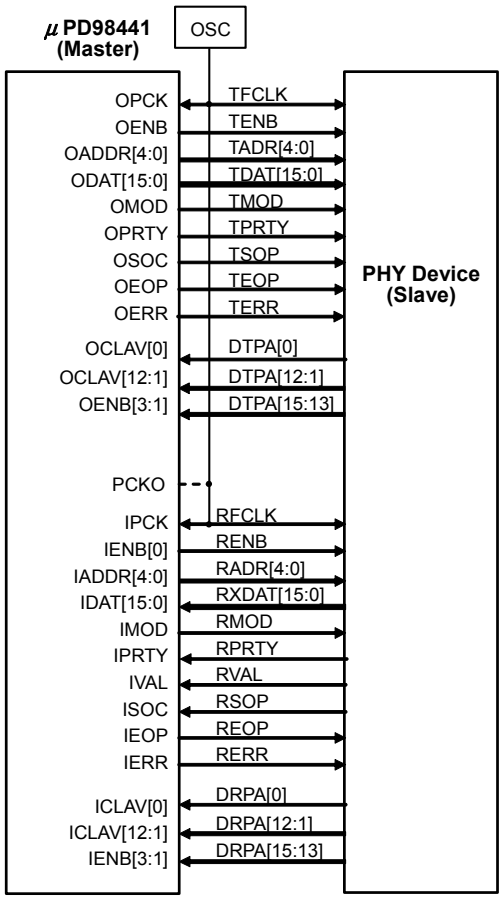
★

Master モード

（Packet Level モード）



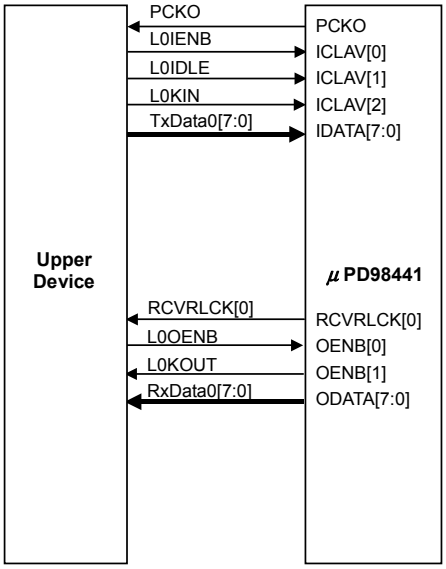
（Byte Level モード）



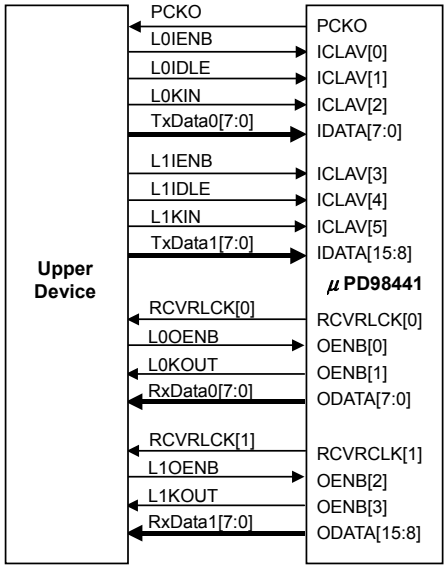
★

（3）汎用 Mux/Demux モード

1 ライン・モード



2 ライン・モード



1. 13　パラレル・インタフェース端子の各モードにおける機能名一覧

（1/2）

端子名	本数	UTOPIA Level 2 モード（IFM[1:0] = 00）									
		Slave（MSM = 0）				Master（MSM = 1）					
		標準アクセス		DSI, MSP		標準アクセス		DSI, MSP		拡張アクセス	
IDATA[7:0]	8	TxData[7:0]	I	TxData[7:0]	I	RxData[7:0]	I	RxData[7:0]	I	RxData[7:0]	I
IDATA[15:8]	8	TxData[15:8]	I	TxData[15:8]	I	RxData[15:8]	I	RxData[15:8]	I	RxData[15:8]	I
IPRTY	1	TxPrty	I	TxPrty	I	RxPrty	I	RxPrty	I	RxPrty	I
IMOD	1	未使用	I	未使用	I	未使用	I	未使用	I	未使用	I
ISOC	1	TxSOC	I	TxSOC	I	RxSOC	I	RxSOC	I	RxSOC	I
IEOP	1	未使用	I	未使用	I	未使用	I	未使用	I	未使用	I
IERR	1	未使用	I	未使用	I	未使用	I	未使用	I	未使用	I
IENB[0]	1	TxEnb[0]	I	TxEnb[0]	I	RxEnb[0]	O	RxEnb[0]	O	RxEnb[0]	O
IADDR[4:0]	5	TxAddr[4:0]	I	TxAddr[4:0]	I	RxAddr[4:0]	O	RxAddr[4:0]	O	RxAddr[4:0]	O
IVAL	1	未使用	I	未使用	I	未使用	I	未使用	I	未使用	I
ICLAV[0]	1	TxClav[0]	O	TxClav[0]	O	RxClav[0]	I	RxClav[0]	I	RxClav[0]	I
ICLAV[1]	1	未使用	O	TxClav[1]	O	未使用	I	RxClav[1]	I	RxClav[1]	I
ICLAV[2]	1	未使用	O	TxClav[2]	O	未使用	I	RxClav[2]	I	RxClav[2]	I
ICLAV[3]	1	未使用	O	TxClav[3]	O	未使用	I	RxClav[3]	I	RxClav[3]	I
ICLAV[4]	1	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O
ICLAV[5]	1	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O
ICLAV[12:6]	7	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O
IENB[3:1]	3	未使用	I	未使用	I	未使用	O	未使用	O	RxEnb[3:1]	O
IPCK	1	TxClk	I	TxClk	I	RxClk	I	RxClk	I	RxClk	I
PCKO	1	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O
ODATA[7:0]	8	RxData[7:0]	O	RxData[7:0]	O	TxData[7:0]	O	TxData[7:0]	O	TxData[7:0]	O
ODATA[15:8]	8	RxData[15:8]	O	RxData[15:8]	O	TxData[15:8]	O	TxData[15:8]	O	TxData[15:8]	O
OPRTY	1	RxPrty	O	RxPrty	O	TxPrty	O	TxPrty	O	TxPrty	O
OMOD	1	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O
OSOC	1	RxSOC	O	RxSOC	O	TxSOC	O	TxSOC	O	TxSOC	O
OENB[0]	1	RxEnb[0]	I	RxEnb[0]	I	TxEnb[0]	O	TxEnb[0]	O	TxEnb[0]	O
OADDR[4:0]	5	RxAddr[4:0]	I	RxAddr[4:0]	I	TxAddr[4:0]	O	TxAddr[4:0]	O	TxAddr[4:0]	O
OEOP	1	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O
OERR	1	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O
OVAL	1	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O
OCLAV[0]	1	RxClav[0]	O	RxClav[0]	O	TxClav[0]	I	TxClav[0]	I	TxClav[0]	I
OCLAV[1]	1	未使用	O	RxClav[1]	O	未使用	I	TxClav[1]	I	TxClav[1]	I
OCLAV[3:2]	2	未使用	O	RxClav[3:2]	O	未使用	I	TxClav[3:2]	I	TxClav[3:2]	I
OCLAV[12:4]	9	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O
OENB[1]	1	未使用	I	未使用	I	未使用	O	未使用	O	TxEnb[1]	O
OENB[2]	1	未使用	I	未使用	I	未使用	O	未使用	O	TxEnb[2]	O
OENB[3]	1	未使用	I	未使用	I	未使用	O	未使用	O	TxEnb[3]	O
OPCK	1	RxClk	I	RxClk	I	TxClk	I	TxClk	I	TxClk	I
RCVRCLK[0]	1	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O
RCVRCLK[1]	1	未使用	O	未使用	O	未使用	O	未使用	O	未使用	O

備考　：モードにより入出力が切り替わる端子

(2/2)

端子名	本数	POS-PHY Level 2 モード（IFM[1:0] = 01）						汎用 Mux/Demux モード			
		Slave（MSM = 0）		Master（MSM = 1）				1 ライン・モード		2 ライン・モード	
		Packet Level		Packet Level		Byte Level		IFM = 10		IFM = 11	
IDATA[7:0]	8	TDAT[7:0]	I	RDAT[7:0]	I	RDAT[7:0]	I	TxData0[7:0]	I	TxData0[7:0]	I
IDATA[15:8]	8	TDAT[15:8]	I	RDAT[15:8]	I	RDAT[15:8]	I	未使用	I	TxData1[7:0]	I
IPRTY	1	TPRTY	I	RPRTY	I	RPRTY	I	未使用	O	未使用	O
IMOD	1	TMOD	I	RMOD	I	RMOD	I	未使用	O	未使用	O
ISOC	1	TSOP	I	RSOP	I	RSOP	I	未使用	O	未使用	O
IEOP	1	TEOP	I	REOP	I	REOP	I	未使用	O	未使用	O
IERR	1	TERR	I	RERR	I	RERR	I	未使用	O	未使用	O
IENB[0]	1	TENB	I	RENB	O	RENB	O	未使用	O	未使用	O
IADDR[4:0]	5	TADR[4:0]	I	RADR[4:0]	O	RADR[4:0]	O	未使用	O	未使用	O
IVAL	1	未使用	I	RVAL	I	RVAL	I	未使用	O	未使用	O
ICLAV[0]	1	PTPA	O	PRPA	I	DRPA[0]	I	L0IENB	I	L0IENB	I
ICLAV[1]	1	STPA	O	未使用	I	DRPA[1]	I	L0IDLE	I	L0IDLE	I
ICLAV[2]	1	未使用	O	未使用	I	DRPA[2]	I	L0KIN	I	L0KIN	I
ICLAV[3]	1	未使用	O	未使用	I	DRPA[3]	I	未使用	O	L1IENB	I
ICLAV[4]	1	未使用	O	未使用	I	DRPA[4]	I	未使用	O	L1IDLE	I
ICLAV[5]	1	未使用	O	未使用	I	DRPA[5]	I	未使用	O	L1KIN	I
ICLAV[12:6]	7	未使用	I	未使用	I	DRPA[12:6]	I	未使用	O	未使用	O
IENB[3:1]	3	未使用	I	未使用	O	DRPA[15:13]	I	未使用	O	未使用	O
IPCK	1	TFCLK	I	RFCLK	I	RFCLK	I	未使用	I	未使用	I
PCKO	1	未使用	O	未使用	O	PCKO	O	PCKO	O	PCKO	O
ODATA[7:0]	8	RDAT[7:0]	O	TDAT[7:0]	O	TDAT[7:0]	O	RxData0[7:0]	O	RxData0[7:0]	O
ODATA[15:8]	8	RDAT[15:8]	O	TDAT[15:8]	O	TDAT[15:8]	O	未使用	O	RxData1[7:0]	O
OPRTY	1	RPRTY	O	TPRTY	O	TPRTY	O	未使用	O	未使用	O
OMOD	1	RMOD	O	TMOD	O	TMOD	O	未使用	O	未使用	O
OSOC	1	RSOP	O	TSOP	O	TSOP	O	未使用	O	未使用	O
OENB[0]	1	RENB	I	TENB	O	TENB	O	L0OENB	I	L0OENB	I
OADDR[4:0]	5	RADR[4:0]	I	TADR[4:0]	O	TADR[4:0]	O	未使用	O	未使用	O
OEOP	1	REOP	O	TEOP	O	TEOP	O	未使用	O	未使用	O
OERR	1	RERR	O	TERR	O	TERR	O	未使用	O	未使用	O
OVAL	1	RVAL	O	未使用	O	未使用	O	未使用	O	未使用	O
OCLAV[0]	1	PRPA	O	PTPA	I	DTPA[0]	I	未使用	O	未使用	O
OCLAV[1]	1	未使用	O	STPA	I	DTPA[1]	I	未使用	O	未使用	O
OCLAV[3:2]	2	未使用	O	未使用	I	DTPA[3:2]	I	未使用	O	未使用	O
OCLAV[12:4]	9	未使用	O	未使用	I	DTPA[12:4]	I	未使用	O	未使用	O
OENB[1]	1	未使用	I	未使用	O	DTPA[13]	I	L0KOUT	O	L0KOUT	O
OENB[2]	1	未使用	I	未使用	O	DTPA[14]	I	未使用	O	L1OENB	I
OENB[3]	1	未使用	I	未使用	O	DTPA[15]	I	未使用	O	L1KOUT	O
OPCK	1	RFCLK	I	TFCLK	I	TFCLK	I	未使用	I	未使用	I
RCVRCLK[0]	1	未使用	O	未使用	O	未使用	O	RCVRCL[0]	O	RCVRCLK[0]	O
RCVRCLK[1]	1	未使用	O	未使用	O	未使用	O	未使用	O	RCVRCLK[1]	O

備考 ：モードにより入出力が切り替わる端子

2. 電気的特性

2.1 絶対最大定格

項　目	略号	条　件	定　格	単位
電源電圧	IV_{DD}	内部ロジック・コア	−0.5〜+2.5	V
	EV_{DD}	I/O バッファ	−0.5〜+4.6	V
入力／出力電圧	V_I/V_O		−0.5〜+4.6	V
出力電流	I_O		24	mA
動作周囲温度	T_A		−40〜+85	℃
保存温度	T_{stg}		−65〜+150	℃

注意　各項目のうち 1 項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なうおそれがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考　入出力端子への 1.8 V または 3.3 V 電圧の印加は，必ず電源電圧が確定してから行ってください。

2.2 推奨動作条件

項　目	略号	条　件	MIN.	TYP.	MAX.	単位
電源電圧	IV_{DD}		1.65	1.8	1.95	V
	EV_{DD}		3.0	3.3	3.6	V
ロウ・レベル入力電圧	V_{IL1}	LVTTL レベル端子	−0.5		$0.3EV_{DD}$	V
	V_{IL2}	LVDS レベル端子	600		1700	mV
	V_{IL3}	PECL レベル端子，同時に V_{IX} を満たすこと	0		2.15	V
ハイ・レベル入力電圧	V_{IH1}	LVTTL レベル端子	$0.5EV_{DD}$		EV_{DD}+0.5	V
	V_{IH2}	LVDS レベル端子	900		1800	mV
	V_{IH3}	PECL レベル端子，同時に V_{IX} を満たすこと	1.85		3.6	V
LVDS 差動入力電圧	V_{ID1}	$\|V_{GPD}\|$ < 50 mV	100		900	mV
LVDS 差動入力スレッシュホールド	V_{IDTH}	$\|V_{GPD}\|$ < 50 mV	−100		+100	mV
PECL 差動入力電圧	V_{ID2}		0.4		3.6	V
PECL 入力クロスポイント	V_{IX}		1.65		2.35	V
動作周囲温度	T_A		−40		+85	℃

備考　$|V_{GPD}|$：ドライバ-レシーバ間の GND 電位の差分

2.3 DC 特性（IV_{DD} = 1.8±0.15 V，EV_{DD} = 3.3±0.3 V，T_A = －40～＋85℃）

項　目	略号	条　件	MIN.	TYP.	MAX.	単位
電源電流	I_{DD1}	IV_{DD}（1.8 V 系），通常動作時		220	350	mA
	I_{DD2}	IV_{DD}（3.3 V 系），通常動作時		45	70	mA
入力リーク電流	I_{LI}	V_I = EV_{DD} or GND			±10	μA
オフ・ステート出力電流	I_{OZ}	V_O = EV_{DD} or GND			±10	μA
ロウ・レベル出力電圧	V_{OL1}	LVTTL レベル端子 I_{OL} = 0 mA			0.1	V
	V_{OL2}	LVDS レベル端子 R_L = 100 Ω±1 %	880			mV
ハイ・レベル出力電圧	V_{OH1}	LVTTL レベル端子 I_{OH} = 0 mA	EV_{DD}－0.1			V
	V_{OH2}	LVDS レベル端子 R_L = 100 Ω±1 %			1535	mV
差動入力インピーダンス	R_{IN}	LVDS レベル端子	80		120	Ω
差動出力電圧	$\|V_{OD}\|$	LVDS レベル端子 R_L = 100 Ω±1 %	250		450	mV
オフセット出力電圧	V_{OS}	LVDS レベル端子 R_L = 100 Ω±1 %	1025		1350	mV
出力インピーダンス（シングル）	R_O	LVDS レベル端子 V_{CM} = 1.0 V and 1.4 V	40		140	Ω
出力電流	I_{SA}, I_{SB}	LVDS レベル端子 ドライバを GND に短絡			40	mA
	I_{SAB}	LVDS レベル端子 差動出力間を接続			12	mA

備考 1. 表中の電流値の＋，－は電流の方向を示しています。デバイスに流れ込む場合が＋，流れ出す場合が－です。

2. 条件欄で表記される各端子レベルは次の端子を示します。

レベル	端子名
LVDS レベル端子	TXLP0，TXLM0，TXLP1，TXLM1，RXLP0，RXLM0，RXLP1，RXLM1
PECL レベル端子	RFCKPLT，RFCKPLC
LVTTL レベル端子	上記端子を除く信号端子

2.4 容　量

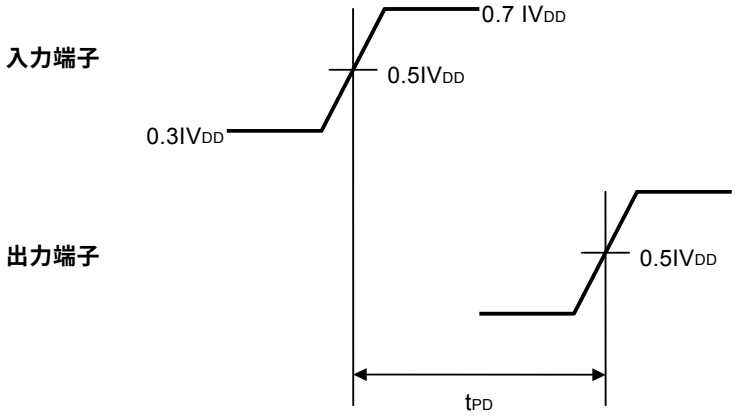
項　目	略号	条　件	MIN.	TYP.	MAX.	単位
出力容量	C_O	f = 1 MHz		7	10	pF
入力容量	C_I	f = 1 MHz		7	10	pF
入出力容量	C_{IO}	f = 1 MHz		7	10	pF

2. 5　AC 特性（IV_{DD} = 1.8±0.15 V，EV_{DD} = 3.3±0.3 V，T_A = －40～＋85℃）

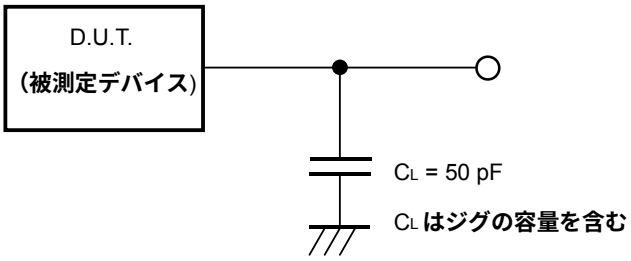
2. 5. 1　AC テスト条件

・遅延時間定義

伝達遅延時間は，以下のように定義します。



・AC テスト負荷回路

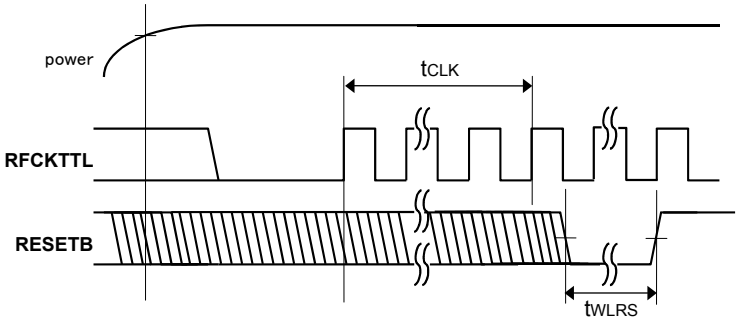


2. 5. 2　リセット

項　　目	略号	条　　件	MIN.	TYP.	MAX.	単位
PLL ロック時間 注1	t_{CLK}		1.0			ms
RESETB アサート時間	t_{WLRST}			注2		ns

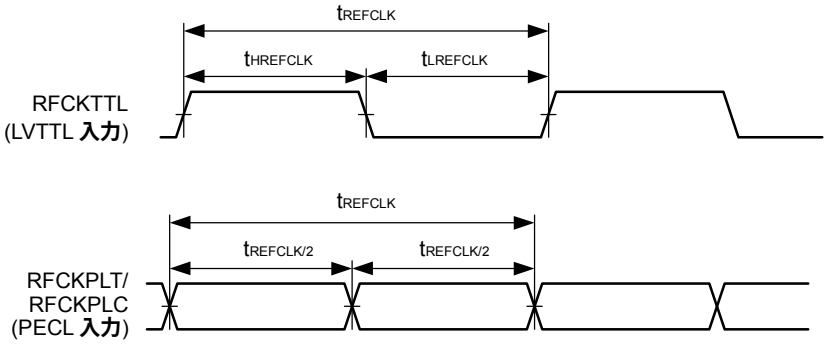
注 1. PLL 出力を安定させるため，パワーオン後 1 ms 以上の間レファレンス・クロックを入力してください。

2. IPCK または OPCK に入力しているクロックのうち，周期が長い方のクロック 2 周期分以上の幅で，ロウ・パルスを入力してください。



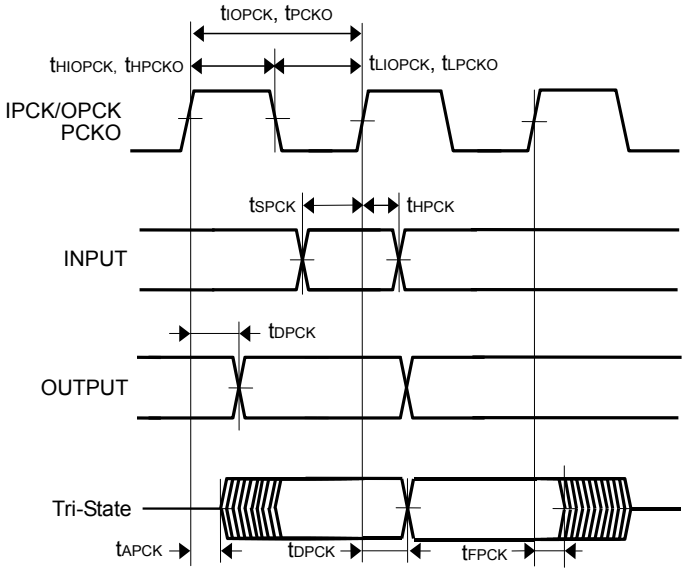
2. 5. 3　レファレンス・クロック

項　　目	略号	条　　件	MIN.	TYP.	MAX.	単位
レファレンス・クロック周波数	f_{REFCLK}	RFCKTTL, RFCKPLT, RFCKPLC	64		88	MHz
周波数差（対入力データ）	$f_{DREFCLK}$	レファレンス・クロック×10 と入力シリアル・データの差	−500		＋500	ppm
レファレンス・クロック・ジッタ	t_{HADRDB}	RFCKTTL, RFCKPLC, RFCKPLC			20	rms



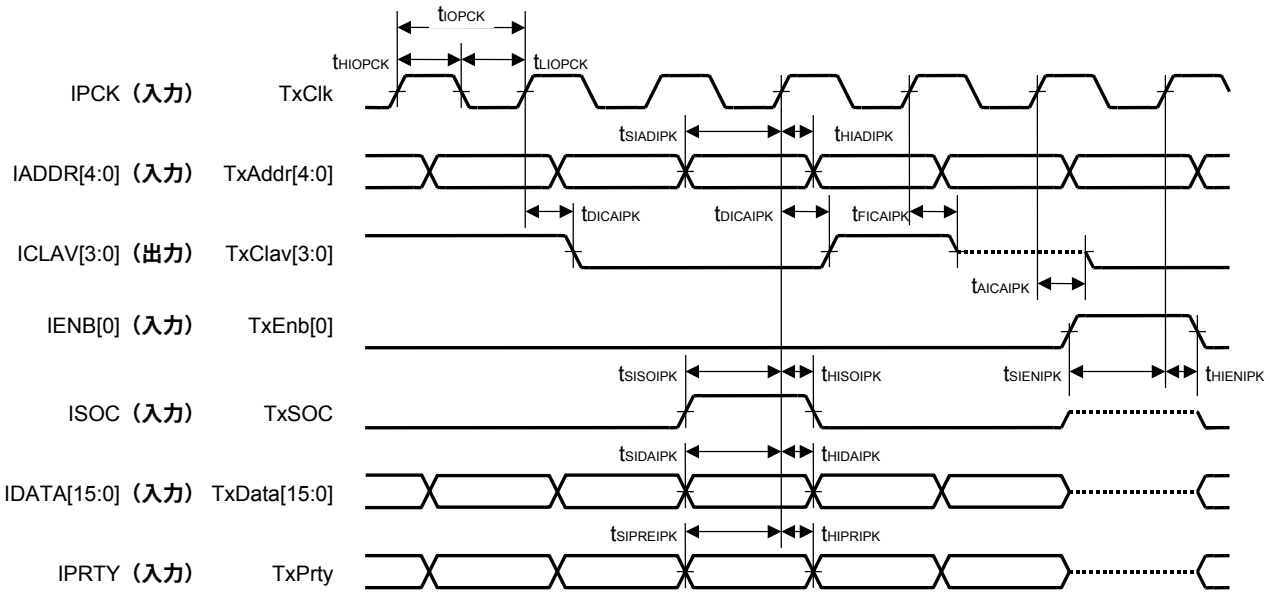
2. 5. 4　パラレル・インタフェース

項　　目	略号	条　　件	MIN.	TYP.	MAX.	単位
保持時間（対 IPCK↑/OPCK↑）	t_{HPCK}		1			ns
設定時間（対 IPCK↑/OPCK↑）	t_{SPCK}		4			ns
出力遅延時間（対 IPCK↑/OPCK↑）	t_{DPCK}	負荷容量：50 pF	1		14	ns
アクティブ遅延時間（対 IPCK↑/OPCK↑）	t_{APCK}	負荷容量：50 pF	1		15	ns
フロート遅延時間（対 IPCK↑/OPCK↑）	t_{FPCK}	負荷容量：50 pF	1		19	ns
IPCK/OPCK 周期	t_{IOPCK}		19		125	ns
IPCK/OPCK ハイ・レベル幅	t_{HIOPCK}	IPCK/OPCK 周期：19 ns	8		11	ns
		IPCK/OPCK 周期：125 ns	50		75	ns
IPCK/OPCK ロウ・レベル幅	t_{LIOPCK}	IPCK/OPCK 周期：19 ns	8		11	ns
		IPCK/OPCK 周期：125 ns	50		75	ns
PCKO 周期	t_{PCKO}	レファレンス・クロック周波数：64 MHz			31	ns
		レファレンス・クロック周波数：88 MHz			23	ns
PCKO ハイ・レベル幅	t_{HPCKO}	PCKO 周期：31 ns	12		19	ns
		PCKO 周期：23 ns	9		14	ns
PCKO ロウ・レベル幅	t_{LPCKO}	PCKO 周期：31 ns	12		19	ns
		PCKO 周期：23 ns	9		14	ns



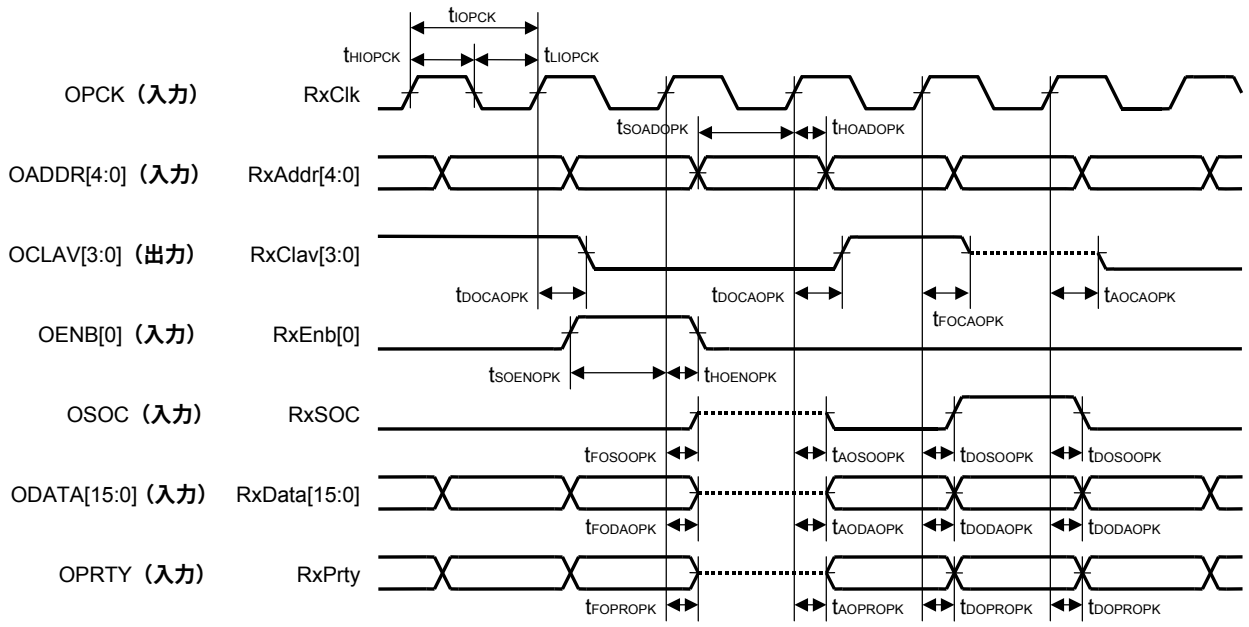
（1）UTOPIA モード，Slave モード，送信インタフェース

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
IPCK 周期	t_{IOPCK}		19		125	ns
IPCK ハイ・レベル幅	t_{HIOPCK}	IPCK 周期：19 ns	8		11	ns
		IPCK 周期：125 ns	50		75	ns
IPCK ロウ・レベル幅	t_{LIOPCK}	IPCK 周期：19 ns	8		11	ns
		IPCK 周期：125 ns	50		75	ns
IPCK↑ → ICLAV[3:0]↑↓ 遅延時間	$t_{DICAIPK}$	負荷容量：50 pF	1		14	ns
IPCK↑ → ICLAV[3:0]アクティブ時間	$t_{AICAIPK}$	負荷容量：50 pF	1		15	ns
IPCK↑ → ICLAV[3:0]フロート遅延時間	$t_{FICAIPK}$	負荷容量：50 pF	1		19	ns
IDATA[15:0]設定時間（対 IPCK↑）	$t_{SIDAIPK}$		4			ns
IDATA[15:0]保持時間（対 IPCK↑）	$t_{HIDAIPK}$		1			ns
ISOC 設定時間（対 IPCK↑）	$t_{SISOIPK}$		4			ns
ISOC 保持時間（対 IPCK↑）	$t_{HISOIPK}$		1			ns
IPRTY 設定時間（対 IPCK↑）	$t_{SIPRIPK}$		4			ns
IPRTY 保持時間（対 IPCK↑）	$t_{HIPRIPK}$		1			ns
IADDR[4:0]設定時間（対 IPCK↑）	$t_{SIADIPK}$		4			ns
IADDR[4:0]保持時間（対 IPCK↑）	$t_{HIADIPK}$		1			ns
IENB[0]設定時間（対 IPCK↑）	$t_{SIENIPK}$		4			ns
IENB[0]保持時間（対 IPCK↑）	$t_{HIENIPK}$		1			ns



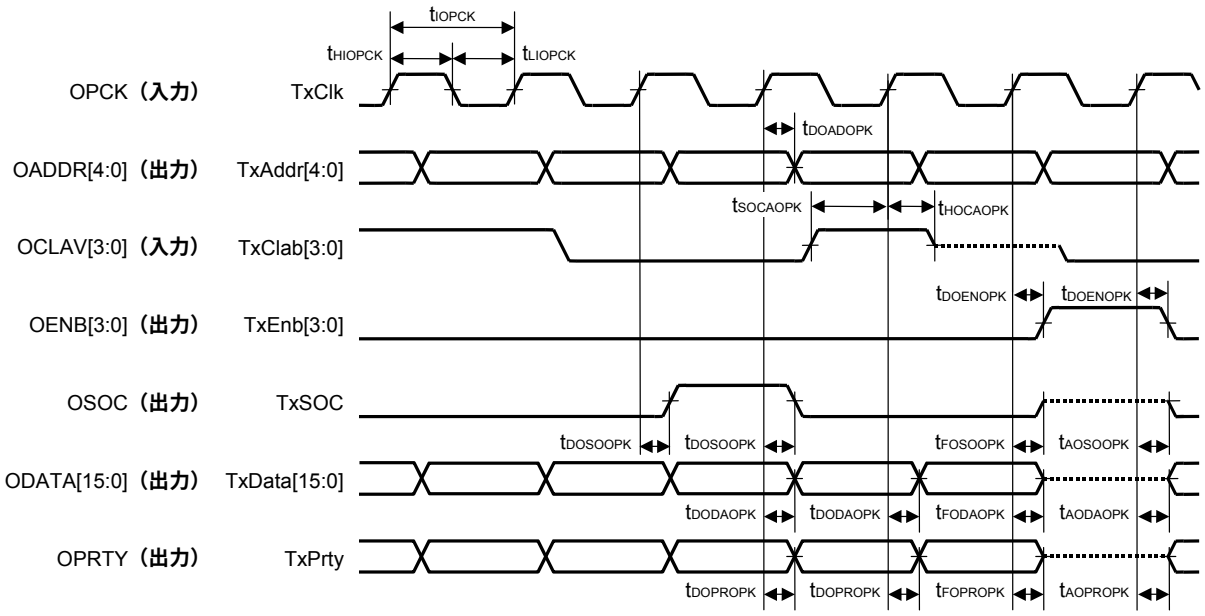
(2) UTOPIA モード，Slave モード，受信インタフェース

項　目	略　号	条　件	MIN.	TYP.	MAX.	単位
OPCK 周期	t_{IOPCK}		19		125	ns
OPCK ハイ・レベル幅	t_{HIOPCK}	OPCK 周期：19 ns	8		11	ns
		OPCK 周期：125 ns	50		75	ns
OPCK ロウ・レベル幅	t_{LIOPCK}	OPCK 周期：19 ns	8		11	ns
		OPCK 周期：125 ns	50		75	ns
OPCK↑ → OCLAV[3:0]↑↓ 遅延時間	$t_{DOCAOPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → OCLAV[3:0]アクティブ時間	$t_{AOCAOPK}$	負荷容量：50 pF	1		15	ns
OPCK↑ → OCLAV[3:0]フロート遅延時間	$t_{FOCAOPK}$	負荷容量：50 pF	1		19	ns
OPCK↑ → ODATA[15:0]↑↓ 遅延時間	$t_{DODAOPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → ODATA[15:0]アクティブ時間	$t_{AODAOPK}$	負荷容量：50 pF	1		15	ns
OPCK↑→ODATA[15:0]フロート遅延時間	$t_{FODAOPK}$	負荷容量：50 pF	1		19	ns
OPCK↑ → OSOC↑↓ 遅延時間	$t_{DOSOOPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → OSOC アクティブ時間	$t_{AOSOOPK}$	負荷容量：50 pF	1		15	ns
OPCK↑ → OSOC フロート遅延時間	$t_{FOSOOPK}$	負荷容量：50 pF	1		19	ns
OPCK↑ → OPRTY↑↓ 遅延時間	$t_{DOPROPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → OPRTY アクティブ時間	$t_{AOPROPK}$	負荷容量：50 pF	1		15	ns
OPCK↑→OPRTY フロート遅延時間	$t_{FOPROPK}$	負荷容量：50 pF	1		19	ns
OADDR[4:0]設定時間（対 OPCK↑）	$t_{SOADOPK}$		4			ns
OADDR[4:0]保持時間（対 OPCK↑）	$t_{HOADOPK}$		1			ns
OENB[0]設定時間（対 OPCK↑）	$t_{SOENOPK}$		4			ns
OENB[0]保持時間（対 OPCK↑）	$t_{HOENOPK}$		1			ns



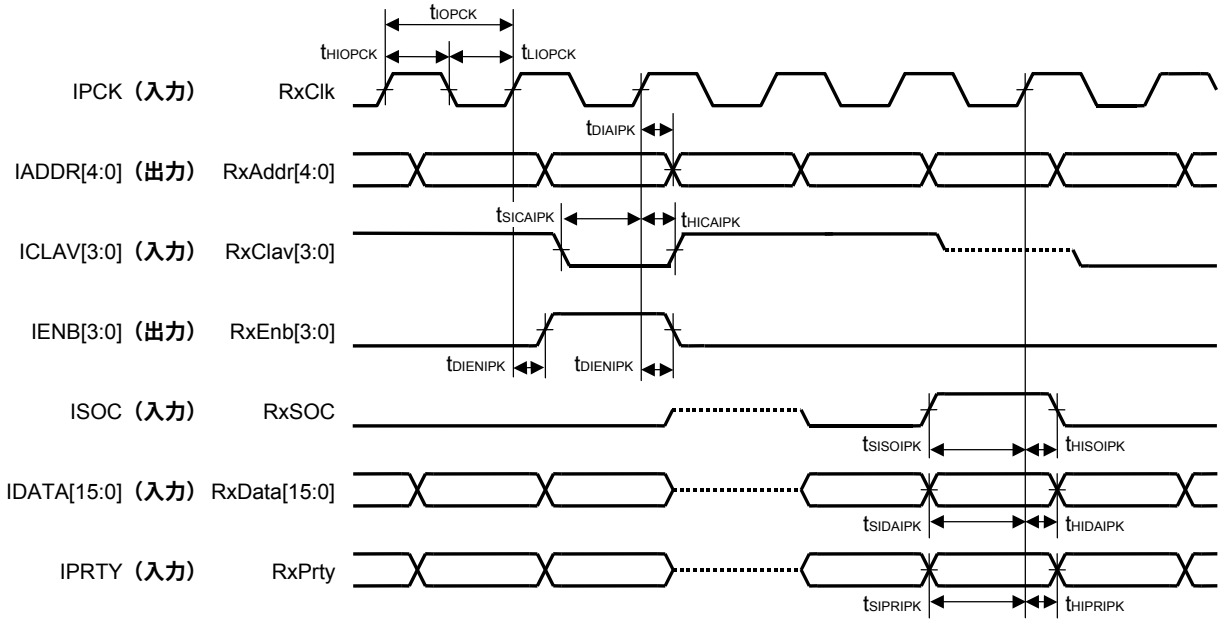
(3) UTOPIA モード，Master モード，送信インタフェース

項　目	略　号	条　件	MIN.	TYP.	MAX.	単位
OPCK 周期	t_{IOPCK}		19		125	ns
OPCK ハイ・レベル幅	t_{HIOPCK}	OPCK 周期：19 ns	8		11	ns
		OPCK 周期：125 ns	50		75	ns
OPCK ロウ・レベル幅	t_{LIOPCK}	OPCK 周期：19 ns	8		11	ns
		OPCK 周期：125 ns	50		75	ns
OCLAV[3:0]設定時間（対 OPCK↑）	$t_{SOCAOPK}$		4			ns
OCLAV[3:0]保持時間（対 OPCK↑）	$t_{HOCAOPK}$		1			ns
OPCK↑ → ODATA[15:0]↑↓ 遅延時間	$t_{DODAOPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → ODATA[15:0]アクティブ時間	$t_{AODAOPK}$	負荷容量：50 pF	1		15	ns
OPCK↑ → ODATA[15:0]フロート遅延時間	$t_{FODAOPK}$	負荷容量：50 pF	1		19	ns
OPCK↑ → OSOC↑↓ 遅延時間	$t_{DOSOOPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → OSOC アクティブ時間	$t_{AOSOOPK}$	負荷容量：50 pF	1		15	ns
OPCK↑ → OSOC フロート遅延時間	$t_{FOSOOPK}$	負荷容量：50 pF	1		19	ns
OPCK↑ → OPRTY↑↓ 遅延時間	$t_{DOPROPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → OPRTY アクティブ遅延時間	$t_{AOPROPK}$	負荷容量：50 pF	1		15	ns
OPCK↑→OPRTY フロート遅延時間	$t_{FOPROPK}$	負荷容量：50 pF	1		19	ns
OPCK↑ → OADDR[4:0]↑↓ 遅延時間	$t_{DOADOPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → OENB[3:0]↑↓ 遅延時間	$t_{DOENOPK}$	負荷容量：50 pF	1		14	ns



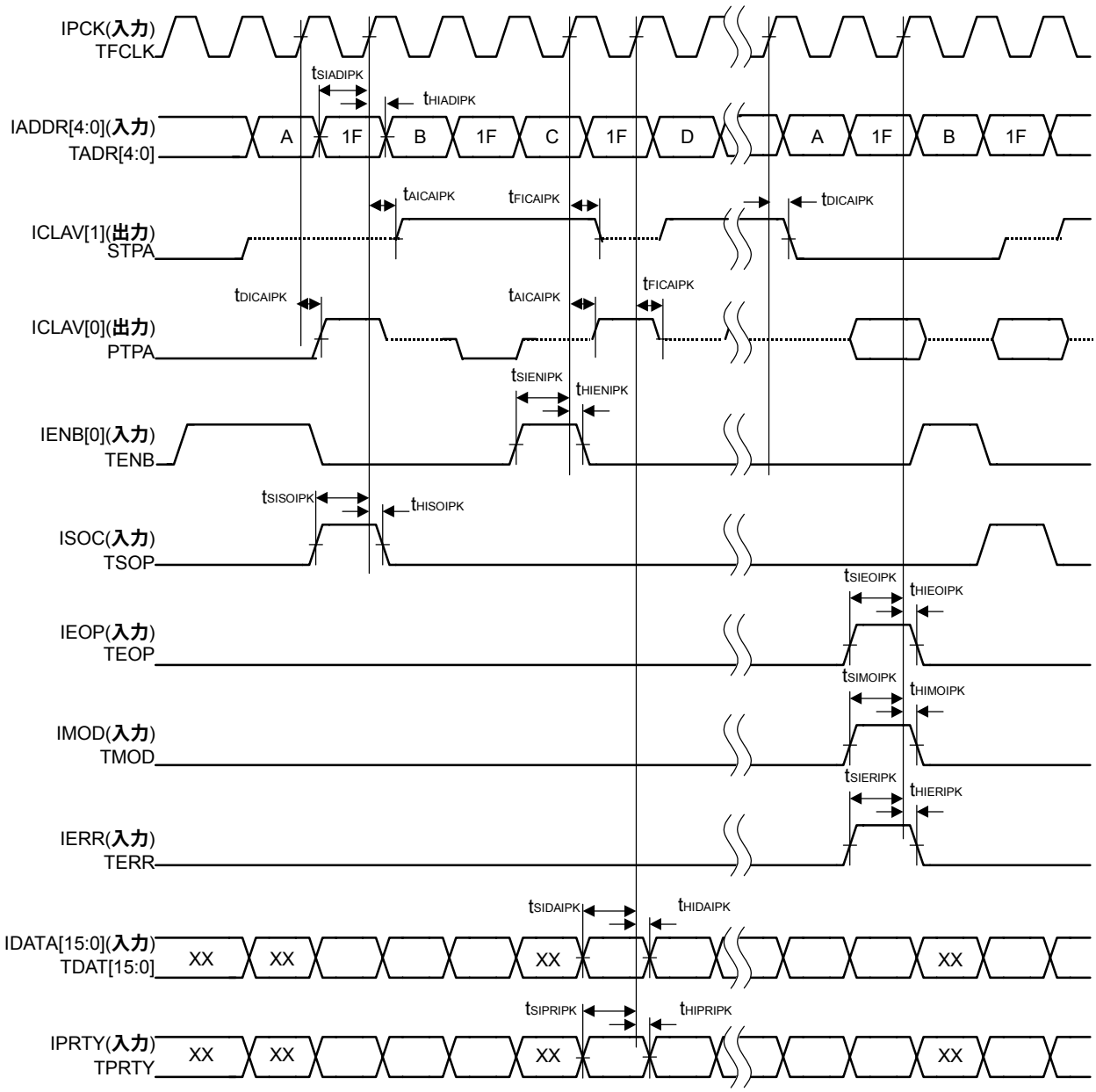
(4) UTOPIA モード，Master モード，受信インタフェース

項　目	略　号	条　件	MIN.	TYP.	MAX.	単位
IPCK 周期	t_{IOPCK}		19		125	ns
IPCK ハイ・レベル幅	t_{HIOPCK}	IPCK 周期：19 ns	8		11	ns
		IPCK 周期：125 ns	50		75	ns
IPCK ロウ・レベル幅	t_{LIOPCK}	IPCK 周期：19 ns	8		11	ns
		IPCK 周期：125 ns	50		75	ns
IPCK↑ → IENB[3:0]↑↓ 遅延時間	$t_{DIENIPK}$	負荷容量：50 pF	1		14	ns
ICLAV[3:0]設定時間 (対 IPCK↑)	$t_{SICAIPK}$		4			ns
ICLAV[3:0]保持時間 (対 IPCK↑)	$t_{HICAIPK}$		1			ns
IDATA[15:0]設定時間 (対 IPCK↑)	$t_{SIDAIPK}$		4			ns
IDATA[15:0]保持時間 (対 IPCK↑)	$t_{HIDAIPK}$		1			ns
ISOC 設定時間 (対 IPCK↑)	$t_{SISOIPK}$		4			ns
ISOC 保持時間 (対 IPCK↑)	$t_{HISOIPK}$		1			ns
IPRTY 設定時間 (対 IPCK↑)	$t_{SIPRIPK}$		4			ns
IPRTY 保持時間 (対 IPCK↑)	$t_{HIPRIPK}$		1			ns
IPCK↑ → IADDR[4:0]↑↓ 遅延時間	t_{DIAIPK}	負荷容量：50 pF	1		14	ns



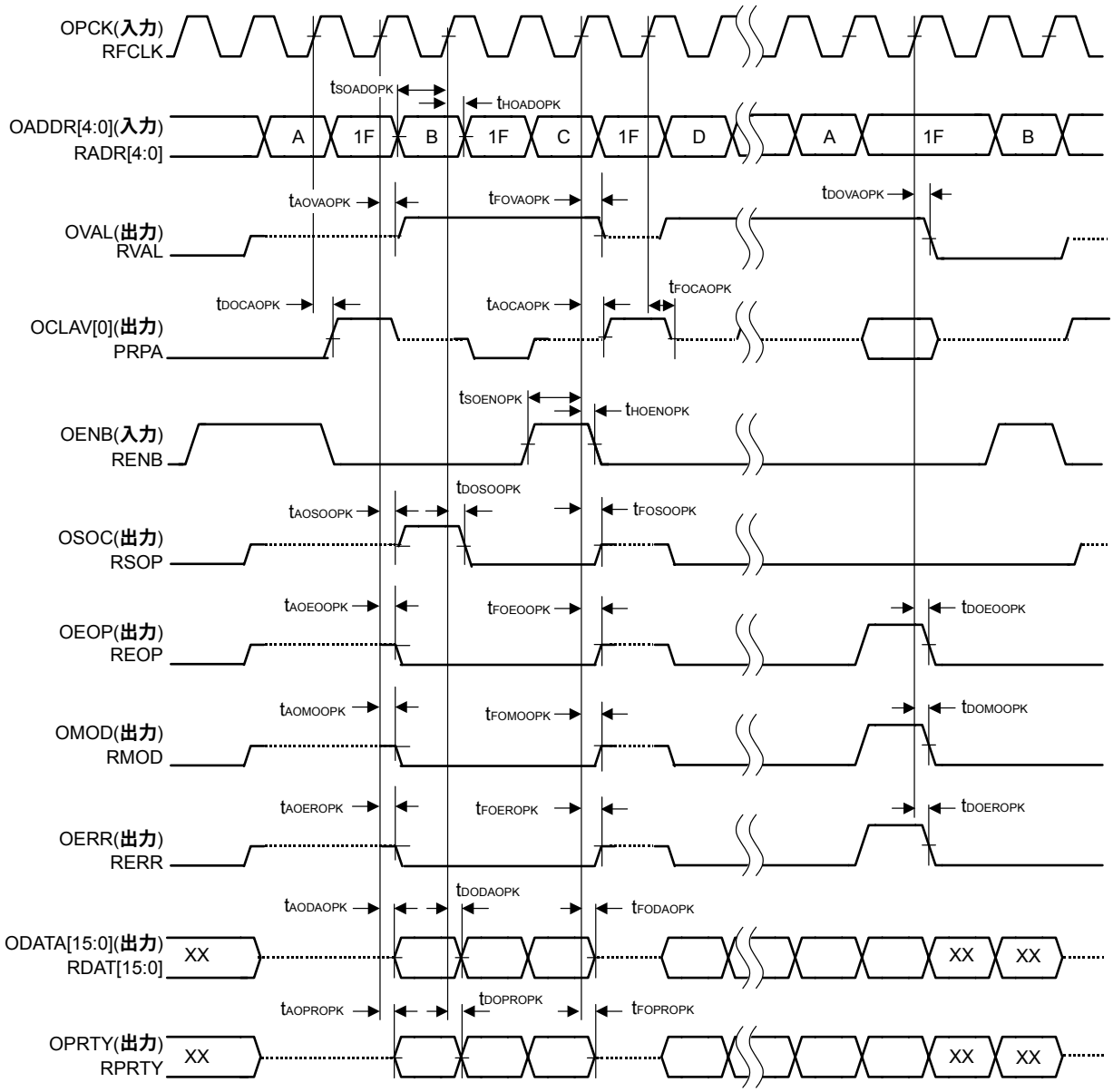
(5) POS-PHY モード，Slave モード，送信インタフェース

項　目	略　号	条　件	MIN.	TYP.	MAX.	単位
IPCK 周期	t_{IOPCK}		19		125	ns
IPCK ハイ・レベル幅	t_{HIOPCK}	IPCK 周期：19 ns	8		11	ns
		IPCK 周期：125 ns	50		75	ns
IPCK ロウ・レベル幅	t_{LIOPCK}	IPCK 周期：19 ns	8		11	ns
		IPCK 周期：125 ns	50		75	ns
IADDR[4:0]設定時間（対 IPCK↑）	$t_{SIADIPK}$		4		–	ns
IADDR[4:0]保持時間（対 IPCK↑）	$t_{HIADIPK}$		1		–	ns
IENB[0]設定時間（対 IPCK↑）	$t_{SIENIPK}$		4		–	ns
IENB[0]保持時間（対 IPCK↑）	$t_{HIENIPK}$		1		–	ns
ISOC 設定時間（対 IPCK↑）	$t_{SISOIPK}$		4		–	ns
ISOC 保持時間（対 IPCK↑）	$t_{HISOIPK}$		1		–	ns
IEOP 設定時間（対 IPCK↑）	$t_{SIEOIPK}$		4		–	ns
IEOP 保持時間（対 IPCK↑）	$t_{HIEOIPK}$		1		–	ns
IMOD 設定時間（対 IPCK↑）	$t_{SIMOIPK}$		4		–	ns
IMOD 保持時間（対 IPCK↑）	$t_{HIMOIPK}$		1		–	ns
IERR 設定時間（対 IPCK↑）	$t_{SIERIPK}$		4		–	ns
IERR 保持時間（対 IPCK↑）	$t_{HIERIPK}$		1		–	ns
IDATA[15:0] 設定時間（対 IPCK↑）	$t_{SIDAIPK}$		4		–	ns
IDATA[15:0] 保持時間（対 IPCK↑）	$t_{HIDAIPK}$		1		–	ns
IPRTY 設定時間（対 IPCK↑）	$t_{SIPRIPK}$		4		–	ns
IPRTY 保持時間（対 IPCK↑）	$t_{HIPRIPK}$		1		–	ns
IPCK↑ → ICLAV[1:0]↑↓ 遅延時間	$t_{DICAIPK}$	負荷容量：50 pF	1		14	ns
IPCK↑ → ICLAV[1:0]アクティブ時間	$t_{AICAIPK}$	負荷容量：50 pF	1		15	ns
IPCK↑ → ICLAV[1:0]フロート遅延時間	$t_{FICAIPK}$	負荷容量：50 pF	1		19	ns


IPCK(入力)
TFCLK
tSIADIPK
tHIADIPK
IADDR[4:0](入力)
TADR[4:0]
A
1F
B
1F
C
1F
D
A
1F
B
1F
tAICAIPK
tFICAIPK
tDICAIPK
ICLAV[1](出力)
STPA
tDICAIPK
tAICAIPK
tFICAIPK
ICLAV[0](出力)
PTPA
tSIENIPK
tHIENIPK
IENB[0](入力)
TENB
tSISOIPK
tHISOIPK
ISOC(入力)
TSOP
tSIEOIPK
tHIEOIPK
IEOP(入力)
TEOP
tSIMOIPK
tHIMOIPK
IMOD(入力)
TMOD
tSIERIPK
tHIERIPK
IERR(入力)
TERR
tSIDAIPK
tHIDAIPK
IDATA[15:0](入力)
TDAT[15:0]
XX
XX
XX
XX
tSIPRIPK
tHIPRIPK
IPRTY(入力)
TPRTY
XX
XX
XX
XX

（6）POS-PHY モード，Slave モード，受信インタフェース

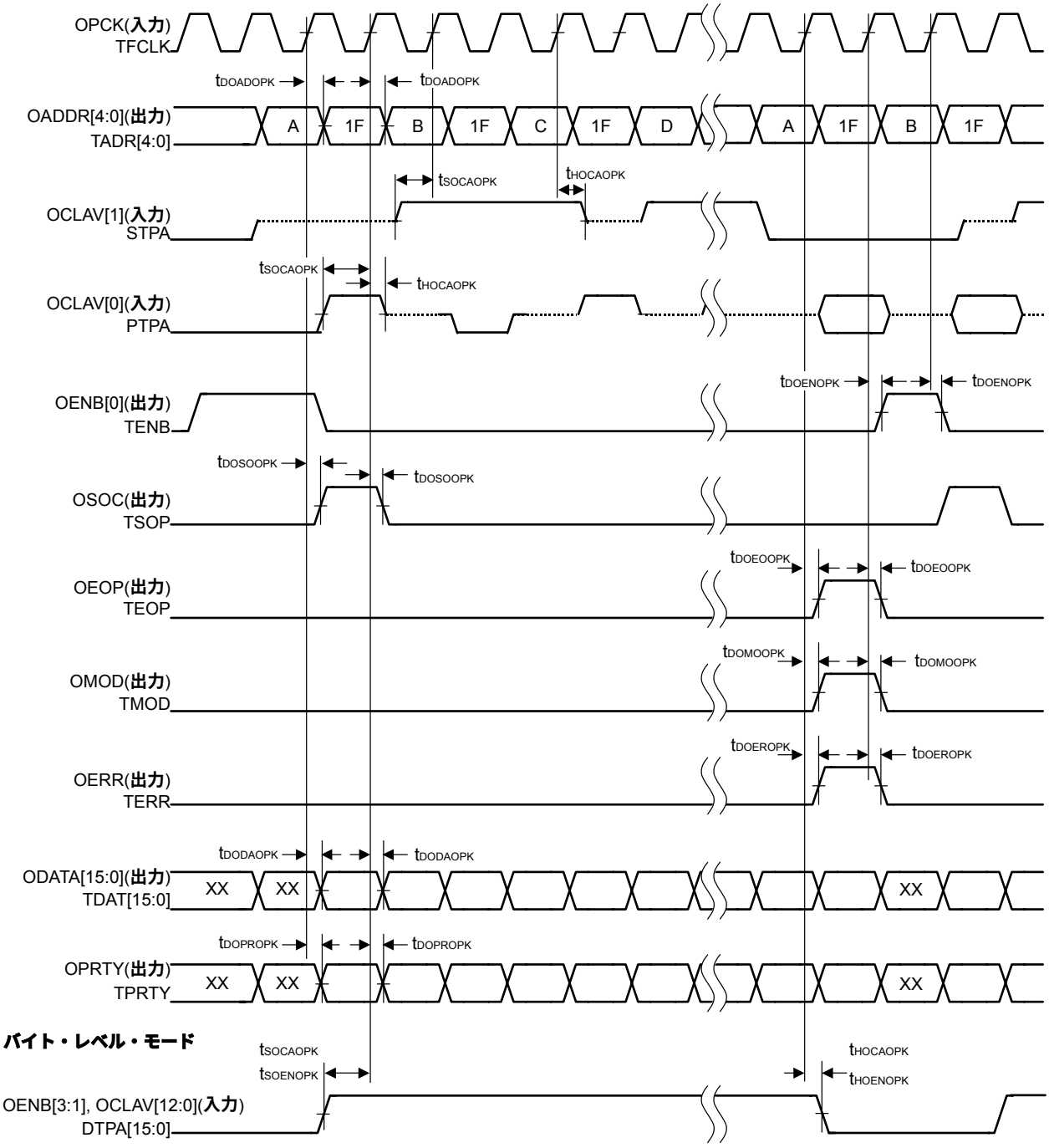
項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
OPCK 周期	t_{IOPCK}		19		125	ns
OPCK ハイ・レベル幅	t_{HIOPCK}	OPCK 周期：19 ns	8		11	ns
		OPCK 周期：125 ns	50		75	ns
OPCK ロウ・レベル幅	t_{LIOPCK}	OPCK 周期：19 ns	8		11	ns
		OPCK 周期：125 ns	50		75	ns
OENB[0]設定時間（対 OPCLK↑）	$t_{SOENOPK}$		4		–	ns
OENB[0]保持時間（対 OPCLK↑）	$t_{HOENOPK}$		1		–	ns
OADDR[4:0]設定時間（対 OPCLK↑）	$t_{SOADOPK}$		4		–	ns
OADDR[4:0]保持時間（対 OPCLK↑）	$t_{HOADOPK}$		1		–	ns
OPCK↑ → ODATA[15:0]↑↓ 遅延時間	$t_{DODAOPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → ODATA[15:0]アクティブ時間	$t_{AODAOPK}$	負荷容量：50 pF	1		15	ns
OPCK↑ → ODATA[15:0]フロート遅延時間	$t_{FODAOPK}$	負荷容量：50 pF	1		19	ns
OPCK↑ → OPRTY↑↓ 遅延時間	$t_{DOPROPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → OPRTY アクティブ時間	$t_{AOPROPK}$	負荷容量：50 pF	1		15	ns
OPCK↑ → OPRTY フロート遅延時間	$t_{FOPROPK}$	負荷容量：50 pF	1		19	ns
OPCK↑ → OSOC↑↓ 遅延時間	$t_{DOSOOPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → OSOC アクティブ時間	$t_{AOSOOPK}$	負荷容量：50 pF	1		15	ns
OPCK↑ → OSOC フロート遅延時間	$t_{FOSOOPK}$	負荷容量：50 pF	1		19	ns
OPCK↑ → OMOD↑↓ 遅延時間	$t_{DOMOOPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → OMOD アクティブ時間	$t_{AOMOOPK}$	負荷容量：50 pF	1		15	ns
OPCK↑ → OMOD フロート遅延時間	$t_{FOMOOPK}$	負荷容量：50 pF	1		19	ns
OPCK↑ → OEOP ↑↓ 遅延時間	$t_{DOEOOPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → OEOP アクティブ時間	$t_{AOEOOPK}$	負荷容量：50 pF	1		15	ns
OPCK↑ → OEOP フロート遅延時間	$t_{FOEOOPK}$	負荷容量：50 pF	1		19	ns
OPCK↑ → OERR ↑↓ 遅延時間	$t_{DOEROPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → OERR アクティブ時間	$t_{AOEROPK}$	負荷容量：50 pF	1		15	ns
OPCK↑ → OERR フロート遅延時間	$t_{FOEROPK}$	負荷容量：50 pF	1		19	ns
OPCK↑ → OVAL ↑↓ 遅延時間	$t_{DOVAOPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → OVAL アクティブ時間	$t_{AOVAOPK}$	負荷容量：50 pF	1		15	ns
OPCK↑ → OVAL フロート遅延時間	$t_{FOVAOPK}$	負荷容量：50 pF	1		19	ns
OPCK↑ → OCLAV[0] ↑↓ 遅延時間	$t_{DOCAOPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → OCLAV[0]アクティブ時間	$t_{AOCAOPK}$	負荷容量：50 pF	1		15	ns
OPCK↑ → OCLAV[0]フロート遅延時間	$t_{FOCAOPK}$	負荷容量：50 pF	1		19	ns


OPCK(入力)
RFCLK
tSOADOPK
tHOADOPK
OADDR[4:0](入力)
RADR[4:0]
A
1F
B
1F
C
1F
D
A
1F
B
tAOVAOPK
tFOVAOPK
tDOVAOPK
OVAL(出力)
RVAL
tDOCAOPK
tAOCAOPK
tFOCAOPK
OCLAV[0](出力)
PRPA
tSOENOPK
tHOENOPK
OENB(入力)
RENB
tDOSOOPK
tAOSOOPK
tFOSOOPK
OSOC(出力)
RSOP
tAOEOOPK
tFOEOOPK
tDOEOOPK
OEOP(出力)
REOP
tAOMOOPK
tFOMOOPK
tDOMOOPK
OMOD(出力)
RMOD
tAOEROPK
tFOEROPK
tDOEROPK
OERR(出力)
RERR
tDODAOPK
tAODAOPK
tFODAOPK
ODATA[15:0](出力)
RDAT[15:0]
XX
XX
XX
tDOPROPK
tAOPROPK
tFOPROPK
OPRTY(出力)
RPRTY
XX
XX
XX

（7）POS-PHY モード，Master モード，送信インタフェース

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
OPCK 周期	t_{IOPCK}		19		125	ns
OPCK ハイ・レベル幅	t_{HIOPCK}	OPCK 周期：19 ns	8		11	ns
		OPCK 周期：125 ns	50		75	ns
OPCK ロウ・レベル幅	t_{LIOPCK}	OPCK 周期：19 ns	8		11	ns
		OPCK 周期：125 ns	50		75	ns
OPCK↑ → OADDR[4:0]↑↓ 遅延時間	$t_{DOADOPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → OENB[0]↑↓ 遅延時間	$t_{DOENOPK}$	負荷容量：50 pF	1		14	ns
OCLAV[12:0]設定時間（対 OPCLK↑）	$t_{SOCAOPK}$		4		–	ns
OCLAV[12:0]保持時間（対 OPCLK↑）	$t_{HOCAOPK}$		1		–	ns
OENB[3:1]設定時間（対 OPCLK↑）	$t_{SOENOPK}$		4		–	ns
OENB[3:1]保持時間（対 OPCLK↑）	$t_{HOENOPK}$		1		–	ns
OPCK↑ → OSOC↑↓ 遅延時間	$t_{DOSOOPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → ODATA[15:0]↑↓ 遅延時間	$t_{DODAOPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → OMOD↑↓ 遅延時間	$t_{DOMOOPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → OEOP ↑↓ 遅延時間	$t_{DOEOOPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → OERR ↑↓ 遅延時間	$t_{DOEROPK}$	負荷容量：50 pF	1		14	ns
OPCK↑ → OPRTY↑↓ 遅延時間	$t_{DOPROPK}$	負荷容量：50 pF	1		14	ns

パケット・レベル・モード



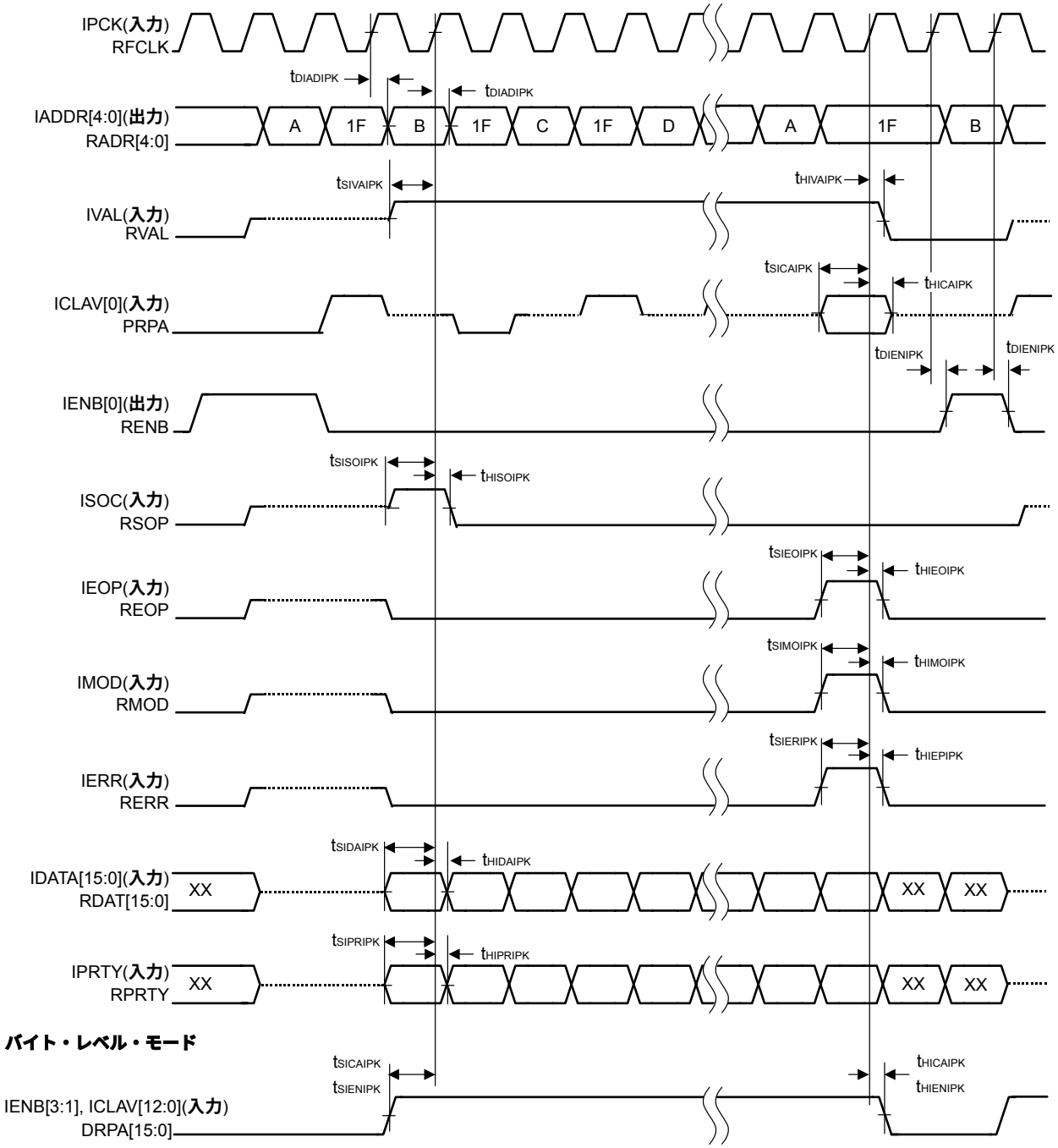
バイト・レベル・モード

備考 POS-PHY モードのバイト・レベル・トランスファ・モードでは，OENB[3:1]，OCLAV[12:0]信号が DTPA[15:0] 信号として機能します。

（8）POS-PHY モード，Master モード，受信インタフェース

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
IPCK 周期	t_{IOPCK}		19		125	ns
IPCK ハイ・レベル幅	t_{HIOPCK}	IPCK 周期：19 ns	8		11	ns
		IPCK 周期：125 ns	50		75	ns
IPCK ロウ・レベル幅	t_{LIOPCK}	IPCK 周期：19 ns	8		11	ns
		IPCK 周期：125 ns	50		75	ns
IPCK↑ → IENB[0]↑↓ 遅延時間	$t_{DIENIPK}$	負荷容量：50 pF	1		14	ns
IPCK↑ → IADDR[4:0]↑↓ 遅延時間	$t_{DIADIPK}$	負荷容量：50 pF	1		14	ns
IVAL 設定時間（対 IPCK↑）	$t_{SIVAIPK}$		4		–	ns
IVAL 保持時間（対 IPCK↑）	$t_{HIVAIPK}$		1		–	ns
ISOC 設定時間（対 IPCK↑）	$t_{SISOIPK}$		4		–	ns
ISOC 保持時間（対 IPCK↑）	$t_{HISOIPK}$		1		–	ns
IEOP 設定時間（対 IPCK↑）	$t_{SIEOIPK}$		4		–	ns
IEOP 保持時間（対 IPCK↑）	$t_{HIEOIPK}$		1		–	ns
IMOD 設定時間（対 IPCK↑）	$t_{SIMOIPK}$		4		–	ns
IMOD 保持時間（対 IPCK↑）	$t_{HIMOIPK}$		1		–	ns
IERR 設定時間（対 IPCK↑）	$t_{SIERIPK}$		4		–	ns
IERR 保持時間（対 IPCK↑）	$t_{HIERIPK}$		1		–	ns
IDATA[15:0]設定時間（対 IPCK↑）	$t_{SIDAIPK}$		4		–	ns
IDATA[15:0]保持時間（対 IPCK↑）	$t_{HIDAIPK}$		1		–	ns
IPRTY 設定時間（対 IPCK↑）	$t_{SIPRIPK}$		4		–	ns
IPRTY 保持時間（対 IPCK↑）	$t_{HIPRIPK}$		1		–	ns
ICLAV[12:0]設定時間（対 IPCK↑）	$t_{SICAIPK}$		4		–	ns
ICLAV[12:0]保持時間（対 IPCK↑）	$t_{HICAIPK}$		1		–	ns
IENB[3:1]設定時間（対 IPCK↑）	$t_{SIENIPK}$		4		–	ns
IENB[3:1]保持時間（対 IPCK↑）	$t_{HIENIPK}$		1		–	ns

パケット・レベル・モード

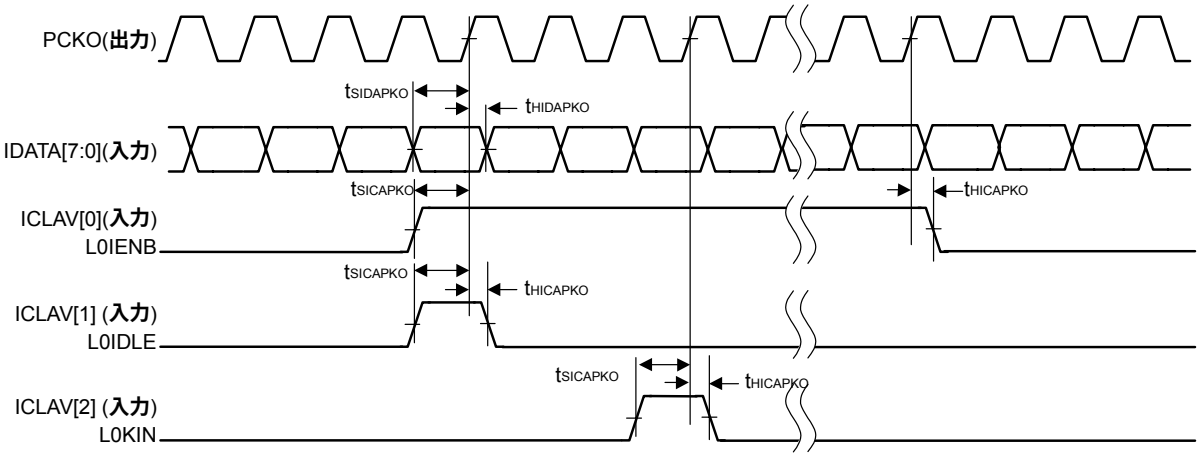


バイト・レベル・モード

備考 POS-PHY **モードのバイト・レベル・トランスファ・モードでは，**IENB[3:1]，ICLAV[12:0]**信号が** DRPA[15:0] **信号として機能します。**

(9) 汎用 Mux/Demux モード・パラレル入力インタフェース

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
PCKO 周波数	f_{PCKO}	レファレンス・クロック周波数：64 MHz〜88 MHz	64		88	MHz
IDATA[7:0]設定時間（対 PCKO↑）	$t_{SIDAPKO}$		4		–	ns
IDATA[7:0]保持時間（対 PCKO↑）	$t_{HIDAPKO}$		1		–	ns
ICLAV[2:0]設定時間（対 PCKO↑）	$t_{SICAPKO}$		4		–	ns
ICLAV[2:0]保持時間（対 PCKO↑）	$t_{HICAPKO}$		1		–	ns



（10）汎用 Mux/Demux モード・パラレル出力インタフェース

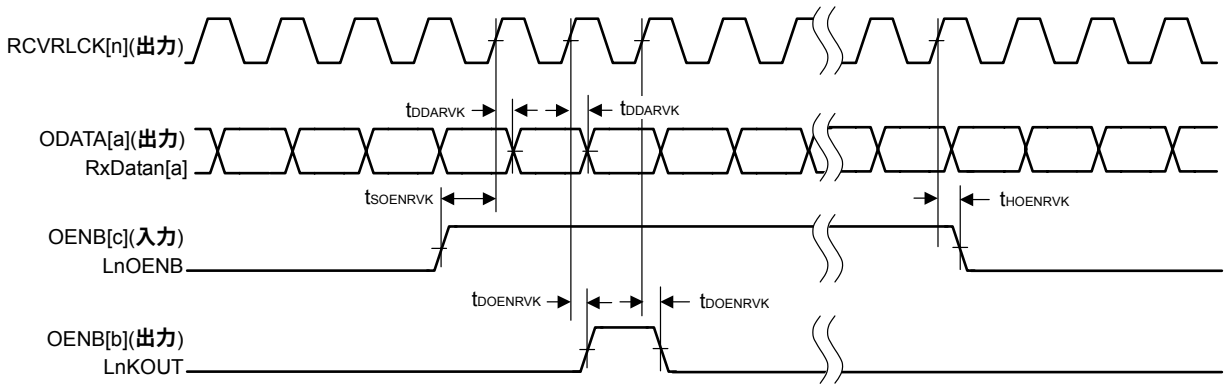
項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
RCVRLCK[n]周波数	f_{RCVCK}	対向μPD98441, 98442 のレファレンス・クロック周波数：64 MHz ～88 MHz	64		88	MHz
RCVRLCK[n]↑ → ODATA[a]↑↓ 遅延時間	t_{DDARVK}		2		10	ns
RCVRLCK[n]↑ → OENB[b]↑↓ 遅延時間	$t_{DOENRVK}$		2		10	ns
OENB[c]設定時間（対 RCVRLCK[n]↑）注	$t_{SOENRVK}$		4			ns
OENB[c]保持時間（対 RCVRLCK[n]↑）注	$t_{HOENRVK}$		1			ns

注　RCVRLCK[n]は，シリアル・ライン n のリカバリ・クロックの 10 分周を出力します。シリアル・ラインが正常に受信できていない場合は，正しく出力されません。

備考　n = 1, 0

n = 1 のとき a = [15:8], b = [3], c = [2]

n = 0 のとき a = [7:0], b = [1], c = [0]



2. 5. 5　MPU インタフェース

（1）リード・サイクル・タイミング

項　　目	略号	条　　件	MIN.	TYP.	MAX.	単位
ADDR 設定時間（対 DSB↓ [RDB↓]）	t_{SADRDB}		10			ns
ADDR 保持時間（対 DSB↑ [RDB↑]）	t_{HADRDB}		4			ns
CSB 設定時間（対 DSB↓ [RDB↓]）	t_{SCSRDB}		5			ns
CSB 保持時間（対 DSB↑ [RDB↑]）	t_{HCSRDB}		0			ns
RWB[WRB] 設定時間（対 DSB↓ [RDB↓]）	t_{SWRRDB}		5			ns
RWB[WRB] 保持時間（対 DSB↑ [RDB↑]）	t_{HWRRDB}		0			ns
DSB↓ [RDB↓]→ACKB[RDYB] 出力遅延時間	$t_{VRDYRDB}$	負荷容量：50 pF			15	ns
DSB↓ [RDB↓]→ACKB[RDYB] アクティブ時間	$t_{DRDYRDB}$	負荷容量：50 pF			注	ns
DSB↑ [RDB↑]→ACKB[RDYB] フロート時間	$t_{FRDYRDB}$	負荷容量：50 pF			10	ns
DSB↓ [RDB↓]→DATA 出力遅延時間	t_{VDTRDB}		t_{REFCLK}×4		t_{REFCLK}×6	ns
ACKB↓ [RDYB↓]→有効 DATA 出力時間	t_{DDTRDB}				10	ns
DATA フロート時間（対 DSB↑ [RDB↑]）	t_{FDTRDB}		15			ns
DSB↑ [RDB↑]→DSB↓ [RDB↓]最小間隔	t_{DSINT}		t_{REFCLK}×4			ns

注　$t_{DRDYRDB}$ の MAX.値は，MPU 拡張アクセス機能を使用するか否かによって変わります（L[n]CMDRJ レジスタ値）。

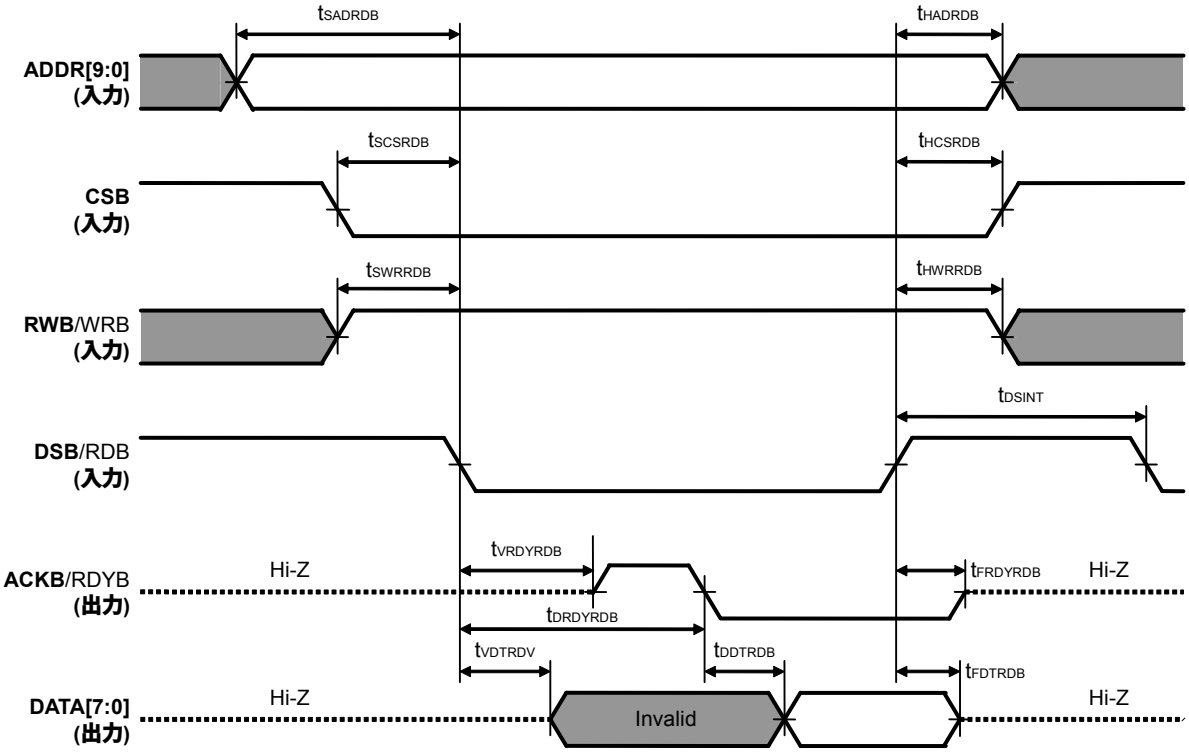
未使用（L0CMDRJ，L1CMDRJ ともに 1Fh）　：　$t_{DRDYRDB}$ (MAX.) = t_{REFCLK} × 36 + t_{IOPCK} × 7

使用（L0CMDRJ，L1CMDRJ の一方でも 1Fh 以外）　：　$t_{DRDYRDB}$ (MAX.) = t_{REFCLK} × 36 + t_{IOPCK} × 14

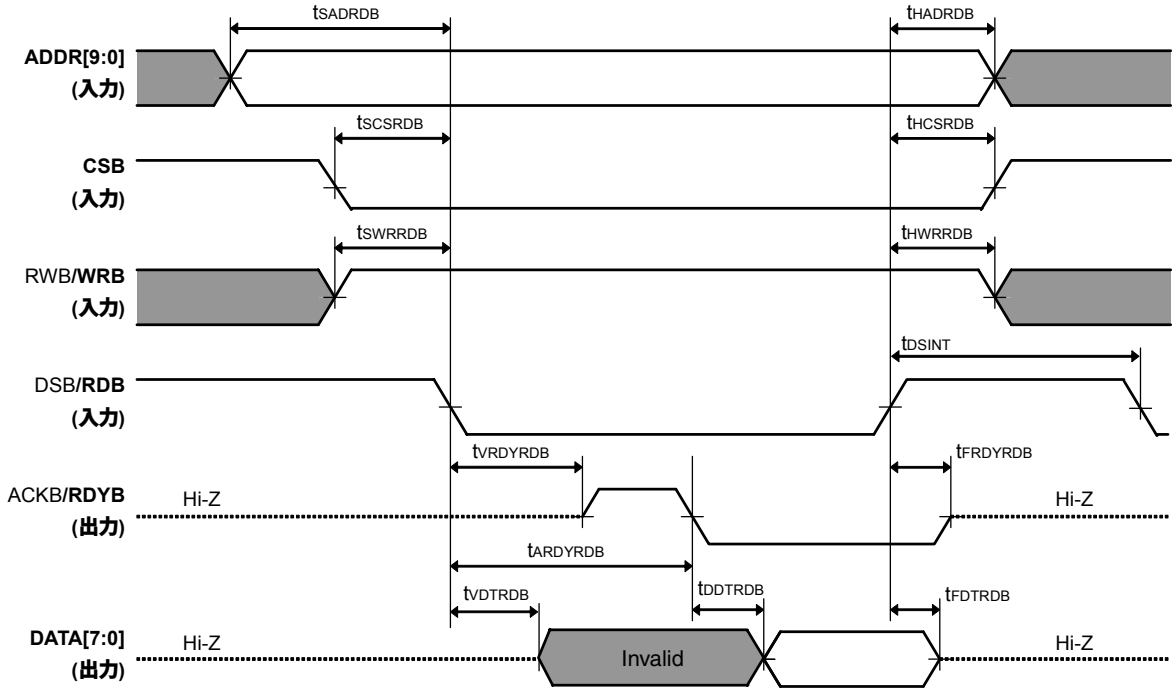
備考 1.　一度アクティブにした DSB[RDB]をインアクティブにする場合は，ACKB[RDYB]がアクティブになったことを検知してから行ってください。

2.　t_{REFCLK} は，レファレンス・クロック 1 周期分の長さ（1／f_{REFCLK}）です。

BUSM=“0”モード



BUSM=“1”モード



(2) ライト・サイクル・タイミング

項　　目	略号	条　　件	MIN.	TYP.	MAX.	単位
ADDR 設定時間（対 DSB↓ [RDB↓]）	t_{SADWR}	負荷容量：50 pF	10			ns
ADDR 保持時間（対 DSB↑ [RDB↑]）	t_{HADWR}	負荷容量：50 pF	4			ns
CSB 設定時間（対 DSB↓ [RDB↓]）	t_{SCSWR}	負荷容量：50 pF	5			ns
CSB 保持時間（対 DSB↑ [RDB↑]）	t_{HCSWR}	負荷容量：50 pF	0			ns
RWB[RDB]設定時間（対 DSB↓ [WRB↓]）	t_{SRDWR}	負荷容量：50 pF	5			ns
RWB[RDB]保持時間（対 DSB↑ [WRB↑]）	t_{HRDWR}	負荷容量：50 pF	0			ns
DSB[WRB]ロウ･パルス幅	t_{WLWR}	負荷容量：50 pF	50			ns
DSB↓ [WRB↓]→ACKB[RDYB]出力遅延時間	t_{VRDYWR}	負荷容量：50 pF	t_{REFCLK} × 4		t_{REFCLK} × 6	ns
DSB↓ [WRB↓]→ACKB[RDYB]アクティブ時間	t_{DRDYWR}	負荷容量：50 pF			注 1	ns
DSB↑ [RDB↑]→ACKB[RDYB] フロート時間	t_{FRDYWR}	負荷容量：50 pF	10			ns
DATA 設定時間（対 DSB↑ [WRB↑]）	t_{SDAWR}		15			ns
DATA 保持時間（対 DSB↑ [WRB↑]）	t_{HDAWR}		4		注 2	ns
DSB↑ [WRB↑]→DSB↓ [WRB↓]最小間隔	t_{DSINT}		注 2			ns

注 1. t_{DRDYWR} の MAX.値は，MPU 拡張アクセス機能を使用するか否かによって変わります（L[n]CMDRJ レジスタ値）。

未使用（L0CMDRJ，L1CMDRJ ともに 1Fh）　：　t_{DRDYWR} (MAX.) = t_{REFCLK} × 36 + t_{IOPCK} × 7

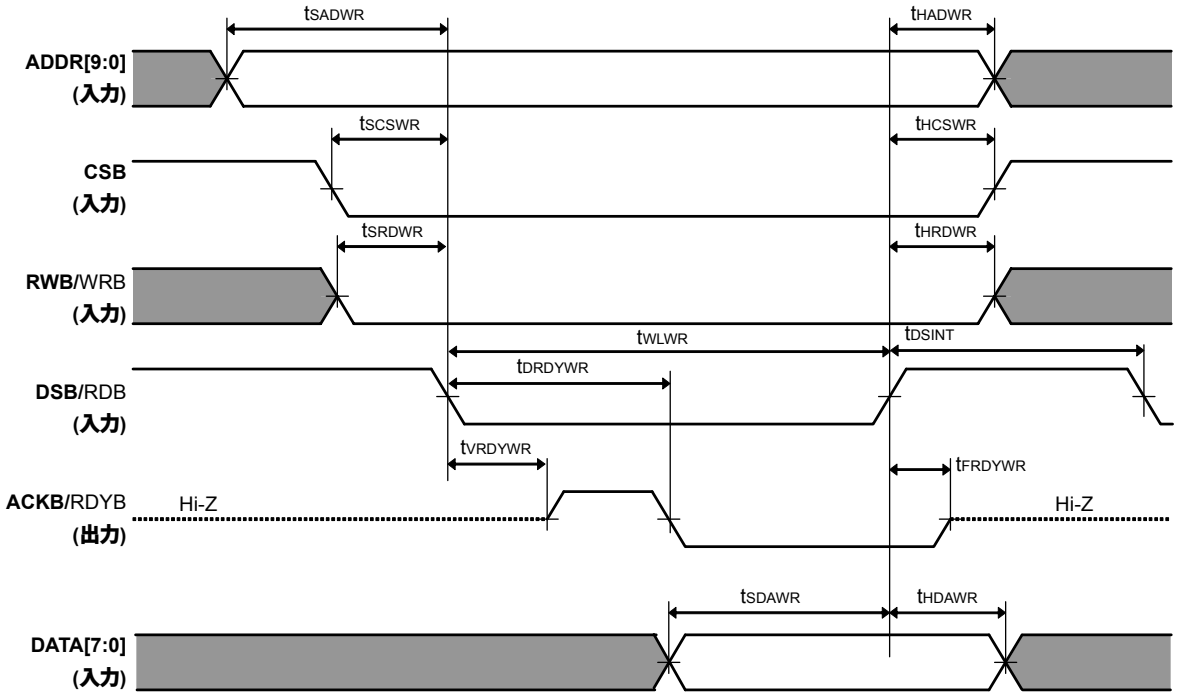
使用（L0CMDRJ，L1CMDRJ の一方でも 1Fh 以外）　：　t_{DRDYWR} (MAX.) = t_{REFCLK} × 36 + t_{IOPCK} × 14

2. μPD98441 へのライト・アクセスには制限事項があります。4. 制限事項を参照してください。

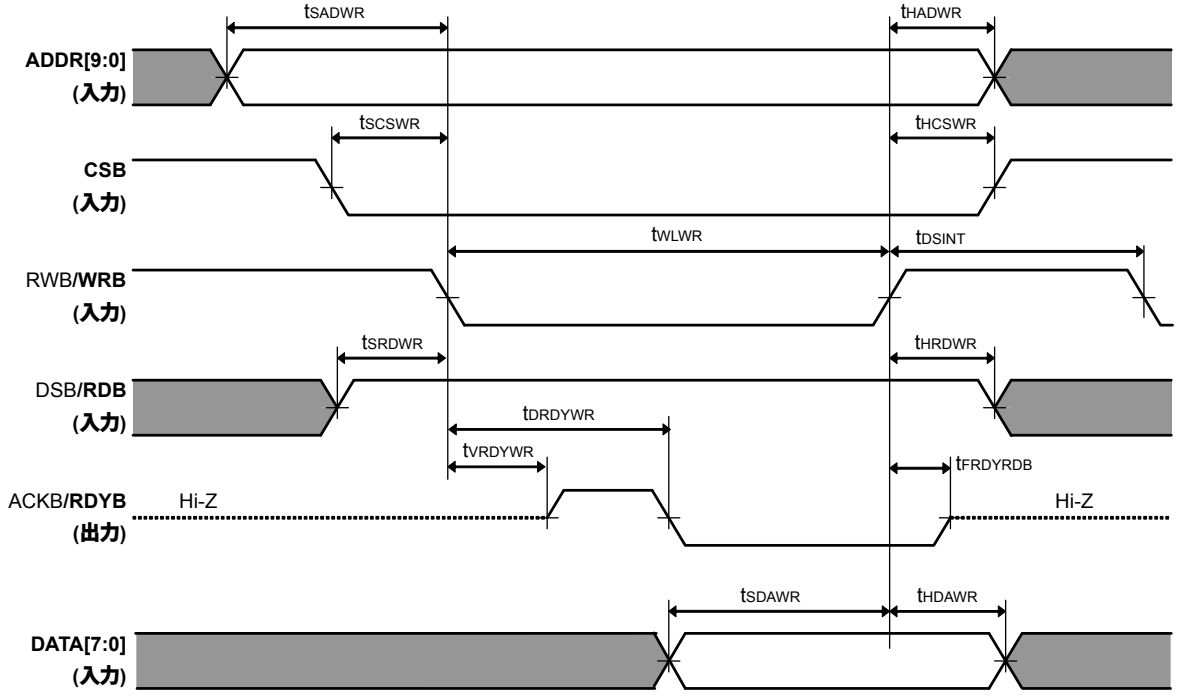
備考 1. 一度アクティブにした DSB[WRB]をインアクティブにする場合は，ACKB[RDYB]がアクティブになったことを検知したあとに行ってください。

2. t_{REFCLK} は，レファレンス・クロック 1 周期分の長さ（1／f_{REFCLK}）です。

BUSM=“0”モード



BUSM=“1”モード



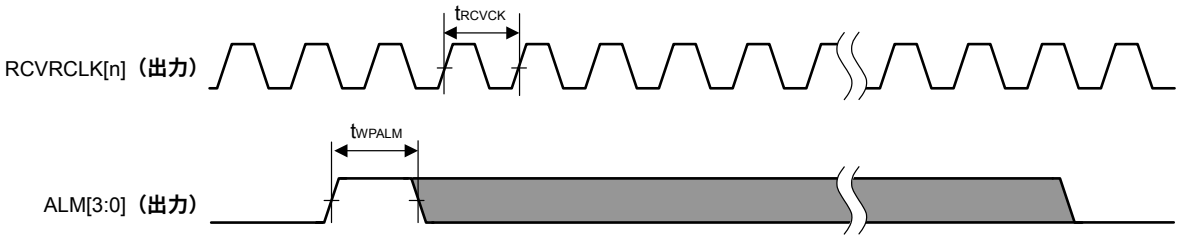
2. 5. 6　アラーム出力

項　　目	略号	条　　件	MIN.	TYP.	MAX.	単位
RCVRLCK[n]周期	t_{RCVCK}	レファレンス・クロック周波数：64 MHz			31	ns
		レファレンス・クロック周波数：88 MHz			23	ns
ALM[3:0]出力ハイ・パルス幅	t_{WPALM}	レファレンス・クロック周波数：64 MHz，負荷容量：50 pF	31			ns
		レファレンス・クロック周波数：88 MHz，負荷容量：50 pF	23			ns

備考 1. n = 1, 0

2. RCVRLCK[n]端子は，シリアル・ライン n のリカバリ・クロックの 10 分周クロックを出力します。

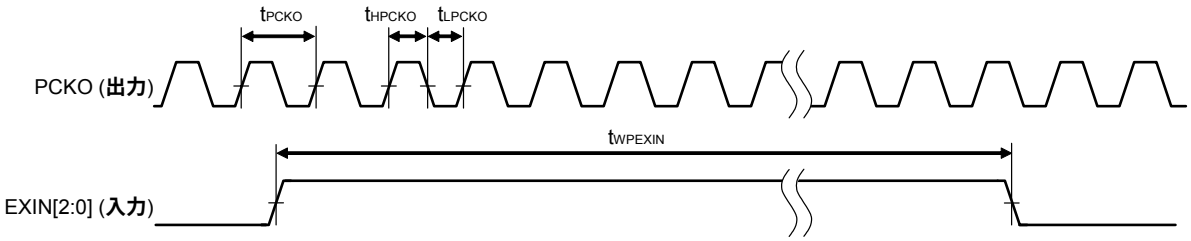
3. ALM[3:0]出力は，RALM1，2 レジスタで設定する出力アラームの種別により，出力信号の同期クロックが変わります。出力パルスが最短になるのは，デコード・エラーを設定した場合で，対応するシリアル・ライン n のリカバリ・クロック RCVRLCK[n]出力の 1 周期分を出力します。



2. 5. 7　汎用入力ポート

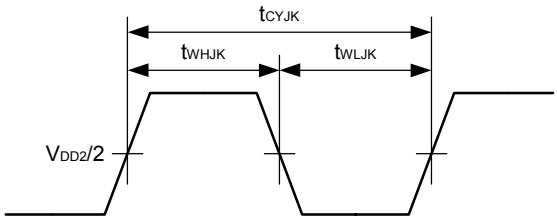
項　　目	略号	条　　件	MIN.	TYP.	MAX.	単位
PCKO 周期	t_{PCKO}	レファレンス・クロック周波数：64 MHz			31	ns
		レファレンス・クロック周波数：88 MHz			23	ns
PCKO ハイ・レベル幅	t_{HPCKO}	PCKO 周期：31 ns	12		19	ns
		PCKO 周期：23 ns	9		14	ns
PCKO ロウ・レベル幅	t_{LPCKO}	PCKO 周期：31 ns	12		19	ns
		PCKO 周期：23 ns	9		14	ns
EXIN 入力ハイ・パルス幅	t_{WPEXIN}	負荷容量：50 pF	t_{REFCLK} × 80			ns

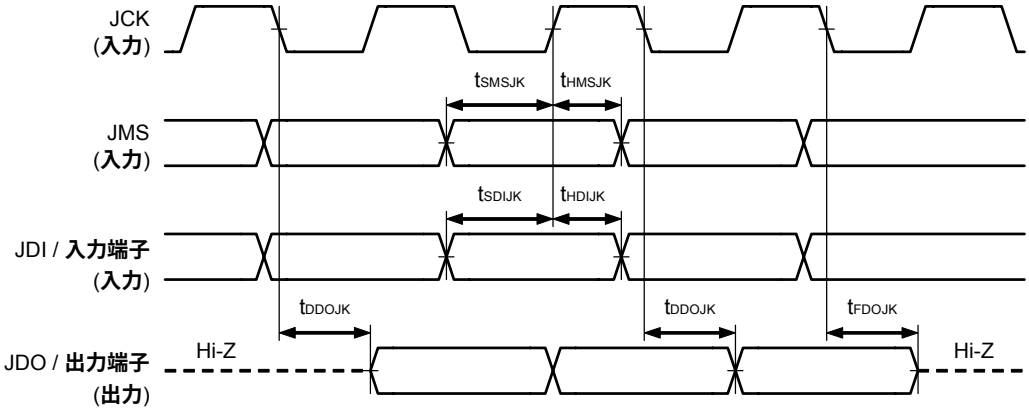
備考　μPD98441 は，EXIN[2:0]端子入力を PCKO クロックでサンプリングします。

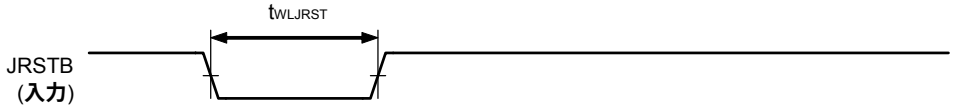


2. 5. 8　JTAG インタフェース

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
JCK サイクル	t_{CYJK}		100		–	ns
JCK ハイ・レベル幅	t_{WHJK}		40		–	ns
JCK ロウ・レベル幅	t_{WLJK}		40		–	ns
JCK↓ → JDO/出力端子出力遅延時間	t_{DDOJK}	負荷容量：50 pF	0		25	ns
JCK↓ → JDO/出力端子フロート出力遅延時間	t_{FDOJK}	負荷容量：50 pF	0		25	ns
JMS 設定時間（対 JCK↑）	t_{SMSJK}		10		–	ns
JMS 保持時間（対 JCK↑）	t_{HMSJK}		10		–	ns
JDI/入力端子設定時間（対 JCK↑）	t_{SDIJK}		10		–	ns
JDI/入力端子保持時間（対 JCK↑）	t_{HDIJK}		10		–	ns
JRSTB アサート時間	t_{WLJRST}		1×t_{CYJK}		–	ns







3. シリアル・インタフェース用電源，グランド端子の接続

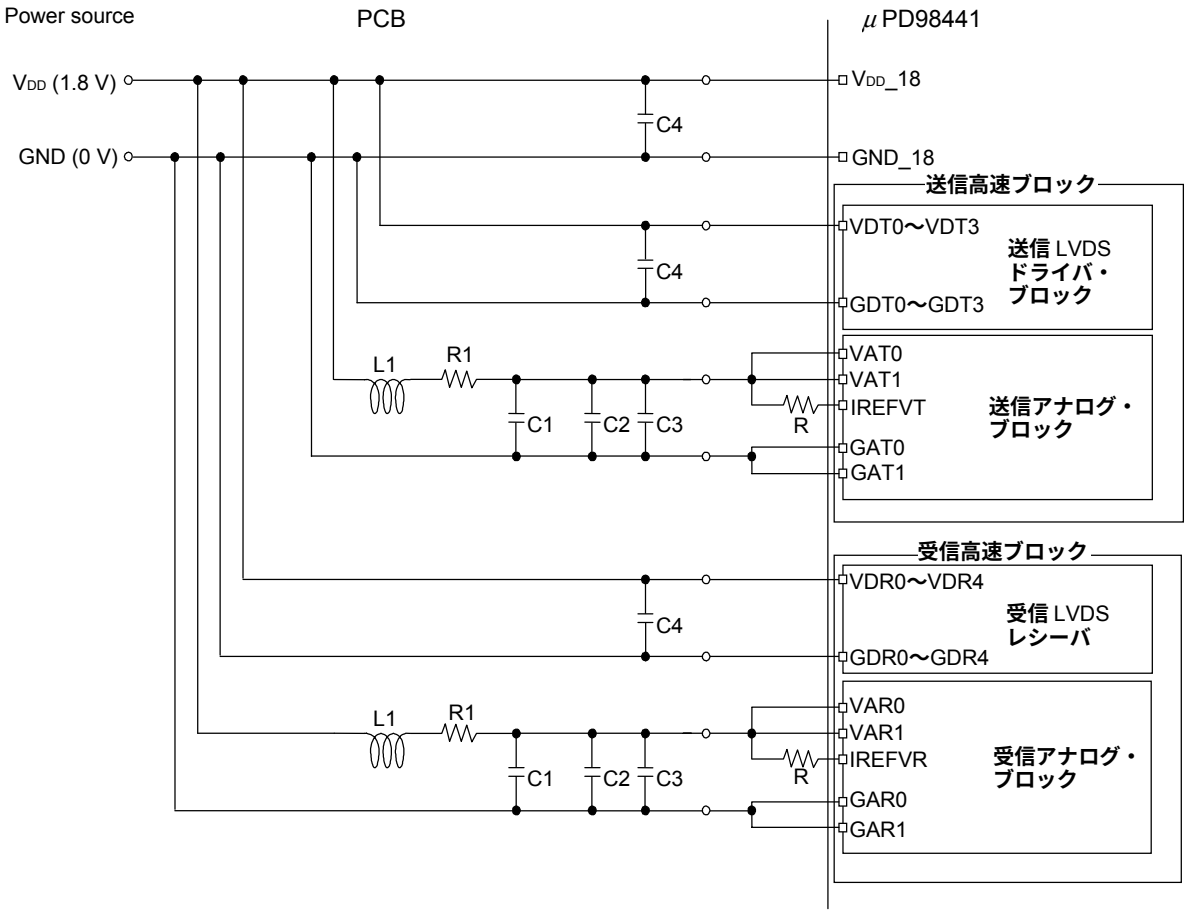
μPD98441 のシリアル･インタフェースの高速ブロックは，ノイズに影響を受けやすい LVDS ドライバや，PLL/CDR 回路，バイアス生成回路を内蔵していますので，電源，グランドのレイアウトは，なるべくノイズの影響を受けないように配慮する必要があります。

μ PD98441 のシリアル・インタフェース用の電源，グランド端子は，その供給先のブロックによって表 3－1 のように 4 種類に分類されています。図 3－1 に，これらの電源，グランドの接続例を示します。

表 3－1　シリアル・インタフェース用電源，GND

端子名	供給先	端子名	供給先
VDT0 VDT1 VDT2 VDT3	送信 LVDS ドライバ用電源／GND	VDR0 VDR1 VDR2 VDR3 VDR4	受信 LVDS レシーバ用電源／GND
GDT0 GDT1 GDT2 GDT3		GDR0 GDR1 GDR2 GDR3 GDR4	
VAT0 VAT1	送信アナログ用電源／GND	VAR0 VAR1	受信アナログ用電源／GND
GAT0 GAT1		GAR0 GAR1	

図 3－1　シリアル・インタフェース電源，GND 接続例



備考　R1：1.4 Ω（L1 の DC 抵抗成分を含みます）

L1：47 μH（定格電流＞30 mA）

C1：47 μF

C2：1.0 μF

C3：0.1 μF

C4：0.1 μF（なるべく多く基板上に配置してください）

R：　3.0 kΩ

4. 制限事項

4.1 レジスタ・ライト後の不正データ・バス・ドライブに関する制限事項

MPU インタフェースより，μPD98441 の内部レジスタに対してライト動作を行ったとき，DSB（WRB）信号をデアサート後に一定の期間，μPD98441 がデータ・バスの DATA[7:0]信号を不正にドライブします。そのため，DATA[7:0]上で信号の衝突が生じる恐れがあります。

μPD98441 は，ライト・アクセスの DSB（WRB）信号の立ち上がり後に，DATA[7:0] 信号の不正ドライブを開始します。ドライブは，CSB 信号の入力状態に関係なく行われます。リード・アクセスでは，不正ドライブを行いません。μPD98441 が DATA[7:0] 信号を不正にドライブするタイミングは，次のとおりです。

項　目		略　号	時　間
DSB↑(WRB↑)から不正ドライブが開始されるまでの遅延		t1	t_{REFCLK} × 4
不正ドライブの期間	MPU 拡張アクセス機能の未使用	t2	t_{REFCLK} × 36 + t_{IOPCK} × 7
	MPU 拡張アクセス機能の使用時	t2	t_{REFCLK} × 36 + t_{IOPCK} × 14

- t_{REFCLK} ： 入力されているレファレンス・クロック 1 周期分の長さ（1／f_{REFCLK}）です。
- t_{IOPCK} ： IPCK 端子または OPCK 端子に入力されているクロックのうち，周波数の低い側のクロックの１周期分の長さです。
- t2 は，MPU 拡張アクセス機能を使用するか否か（L[n]CMDRJ レジスタ値）によって異なります。
  未使用時とは，L0CMDRJ，L1CMDRJ がともに 1Fh の場合を指します。
  使用時とは，L0CMDRJ，L1CMDRJ のどちらかが 1Fh 以外に設定されている場合を指します。

図 4－1　DATA[7:0]の不正ドライブ期間（1/2）

(a) BUSM = “0” モード

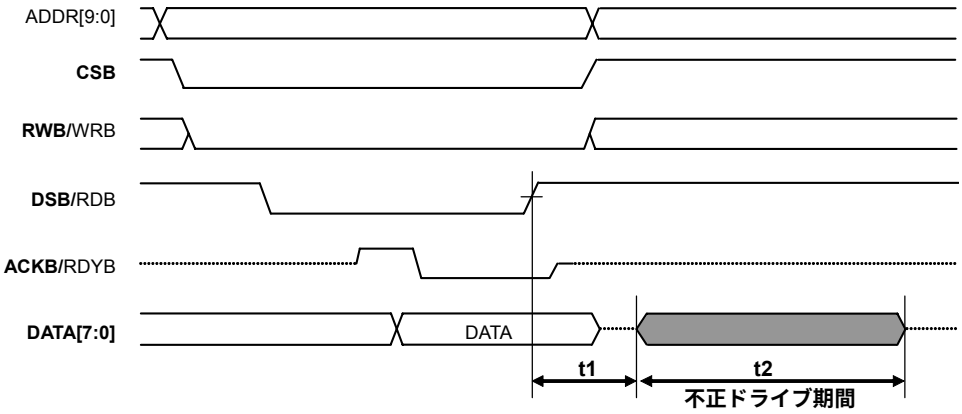
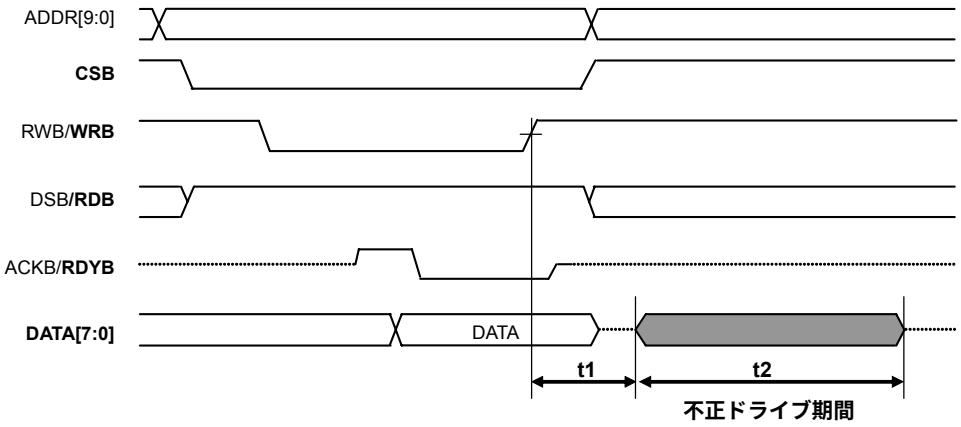


図 4－1　DATA[7:0]**の不正ドライブ期間**（2/2）

（b）BUSM = “ 1 ” **モード**

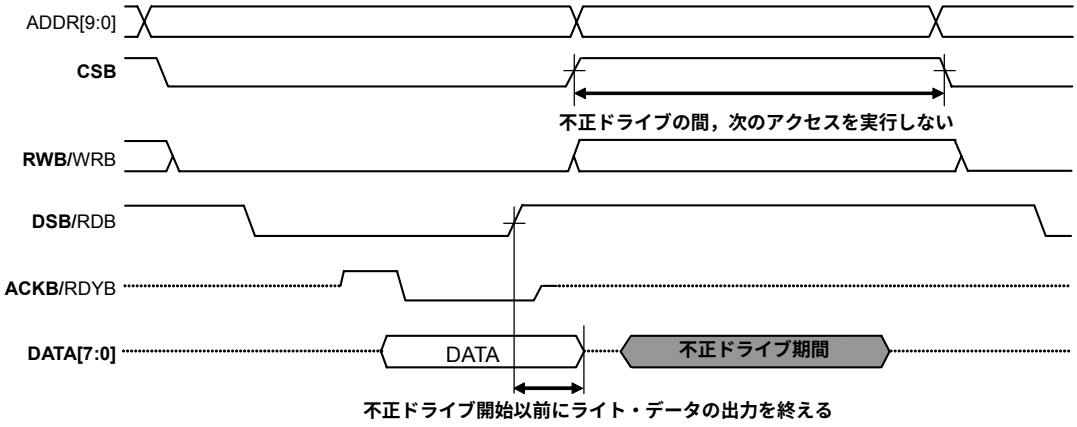


DATA[7:0]**上の信号衝突回避のため，次の両方の対策をシステム上で実現してください。**

①μPD98441 **にライト・アクセス時，**DATA[7:0]**へのデータ出力は，**DSB↑ (WRB↑) **に対する保持時間** MIN. 4 ns **が経過したあと，そのサイクルの** DSB↑ (WRB↑) **から** t1 **時間が経過する前にドライブを終了してください。**

②μPD98441 **にライト・アクセスした場合には，そのサイクルの** DSB↑ (WRB↑) **から** t2 **時間が経過するまでの間，次のアクセスを開始しないようにしてください。**

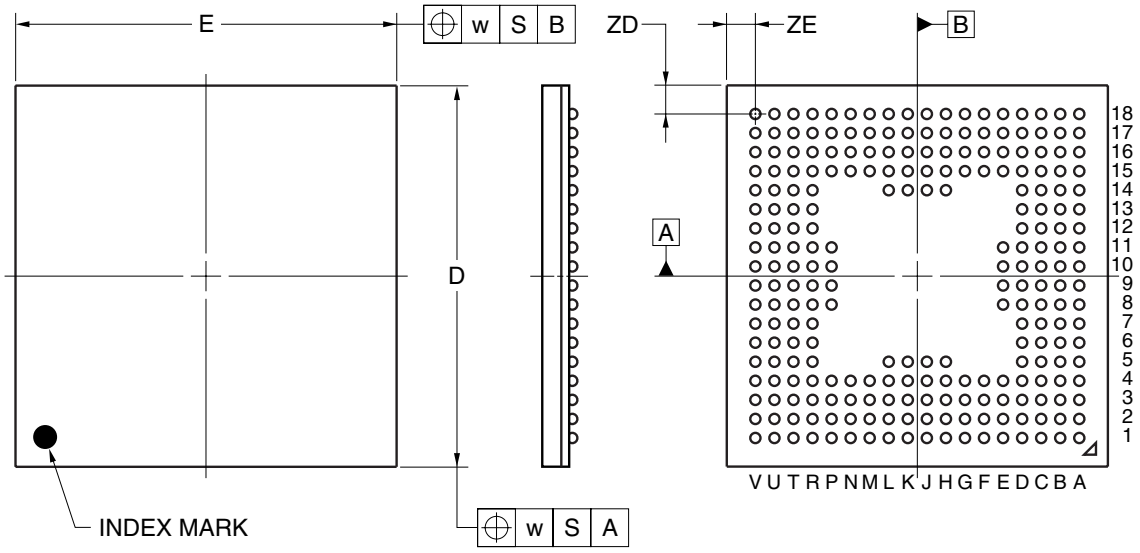
図 4－2　**衝突の回避**（BUSM = “ 0 ” **モードで表示**）

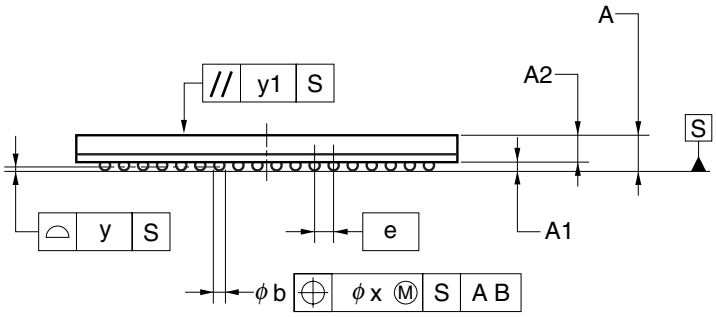


★　**備考**　**このデータ・シートには，**AC **特性に関係する制限事項のみを記載しています。機能に関する制限事項については，ユーザーズ・マニュアルに記載しています。**μPD98441　**ユーザーズ・マニュアル**（S16595J）**を参照してください。**

5. 外 形 図

240ピン・プラスチック FBGA（16x16）外形図





(UNIT:mm)

ITEM	DIMENSIONS
D	16.00±0.10
E	16.00±0.10
w	0.20
A	1.48±0.10
A1	0.35±0.06
A2	1.13
e	0.80
b	$0.50^{+0.05}_{-0.10}$
x	0.08
y	0.10
y1	0.20
ZD	1.20
ZE	1.20

P240F1-80-GA3

6. 半田付け推奨条件

この製品の半田付け実装は，次の条件で実施してください。

なお，推奨条件以外の半田付け方法および半田付け条件については，当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」（http://www.necel.com/pkg/ja/jissou/）

表 5－1　表面実装タイプの半田付け推奨条件

• μPD98441F1-GA3-A：240 ピン・プラスチック FBGA（16×16）

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：30 秒以内（210℃以上），回数：3 回以内，制限日数：7 日間[注]（以降は 125℃プリベーク 10 時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-3

注　ドライパック開封後の保管日数で保管条件は 25℃，65%RH 以下。

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域にとどまるような場合は，誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については，CMOSデバイスの入力に何も接続しない状態で動作させるのではなく，プルアップかプルダウンによって入力レベルを固定してください。また，未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，当社が出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時，MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合，原則として内部電源を投入した後に外部電源を投入してください。切断の際には，原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により，内部素子に過電圧が印加され，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については，その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に，入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については，その内容を守ってください。

POS-PHY は，PMC-Sierra, Inc.の商標です。

- 本資料に記載されている内容は2004年9月現在のもので，今後，予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は，本資料の誤りに関し，一切その責を負いません。
- 当社は，本資料に記載された当社製品の使用に関連し発生した第三者の特許権，著作権その他の知的財産権の侵害等に関し，一切その責を負いません。当社は，本資料に基づき当社または第三者の特許権，著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路，ソフトウエアおよびこれらに関する情報は，半導体製品の動作例，応用例を説明するものです。お客様の機器の設計において，回路，ソフトウエアおよびこれらに関する情報を使用する場合には，お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し，当社は，一切その責を負いません。
- 当社は，当社製品の品質，信頼性の向上に努めておりますが，当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命，身体および財産に対する損害の危険を最小限度にするために，冗長設計，延焼対策設計，誤動作防止設計等安全設計を行ってください。
- 当社は，当社製品の品質水準を「標準水準」，「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また，各品質水準は，以下に示す用途に製品が使われることを意図しておりますので，当社製品の品質水準をご確認ください。

  標準水準：コンピュータ，OA機器，通信機器，計測機器，AV機器，家電，工作機械，パーソナル機器，産業用ロボット

  特別水準：輸送機器（自動車，電車，船舶等），交通用信号機器，防災・防犯装置，各種安全装置，生命維持を目的として設計されていない医療機器

  特定水準：航空機器，航空宇宙機器，海底中継機器，原子力制御システム，生命維持のための医療機器，生命維持のための装置またはシステム等

  当社製品のデータ・シート，データ・ブック等の資料で特に品質水準の表示がない場合は，標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には，事前に当社販売窓口までお問い合わせください。

（注）

（1）本事項において使用されている「当社」とは，NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

（2）本事項において使用されている「当社製品」とは，（1）において定義された当社の開発，製造製品をいう。

M8E 02.11

【発　行】

NECエレクトロニクス株式会社

〒211-8668　神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL（アドレス）　http://www.necel.co.jp/

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電　話　：044−435−9494

E-mail　：info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。