

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

High-speed Address Search Engine

μ PD98421 は、64 ビット×8192 エントリの容量を持つ CAM (Content Addressable Memory) です。3 種類のサーチ・モードを備え、高速に検索を行うことができます。サーチ・モードの 1 つである Longest Prefix Match モードは、エントリ単位でのマスクを可能とし、検索データに最も長くマッチしたアドレスを出力することができます。この機能は、レイヤ 3 の IP アドレスなどのサーチに有効です。

特 徴

- 64 ビット×8K エントリ構成
- 高速シンクロナス動作。最大周波数 33 MHz (ノーマル・モード) / 50 MHz (FF モード)
- マスク・レジスタにより 64 ビット検索データの任意のビットをマスク可能
- 3 種類のサーチ・モードをサポート。高速検索が可能
 - Full Match モード 30 ns (33 MHz 動作時)
 - Full Match with Mask モード 30 ns
 - Longest Prefix Match モード 60 ns
- 複数接続することでエントリの拡張が可能
- 高速シンクロナス動作でデータのリード/ライトが可能 (メモリ動作)
- 電源電圧: 3.3 V $\pm$ 0.15 V
- 240 ピン・プラスチック FBGA

備考 このドキュメントでは、アクティブ・ロウの端子を XXX_B (端子名のあとに_B) と表現しています。

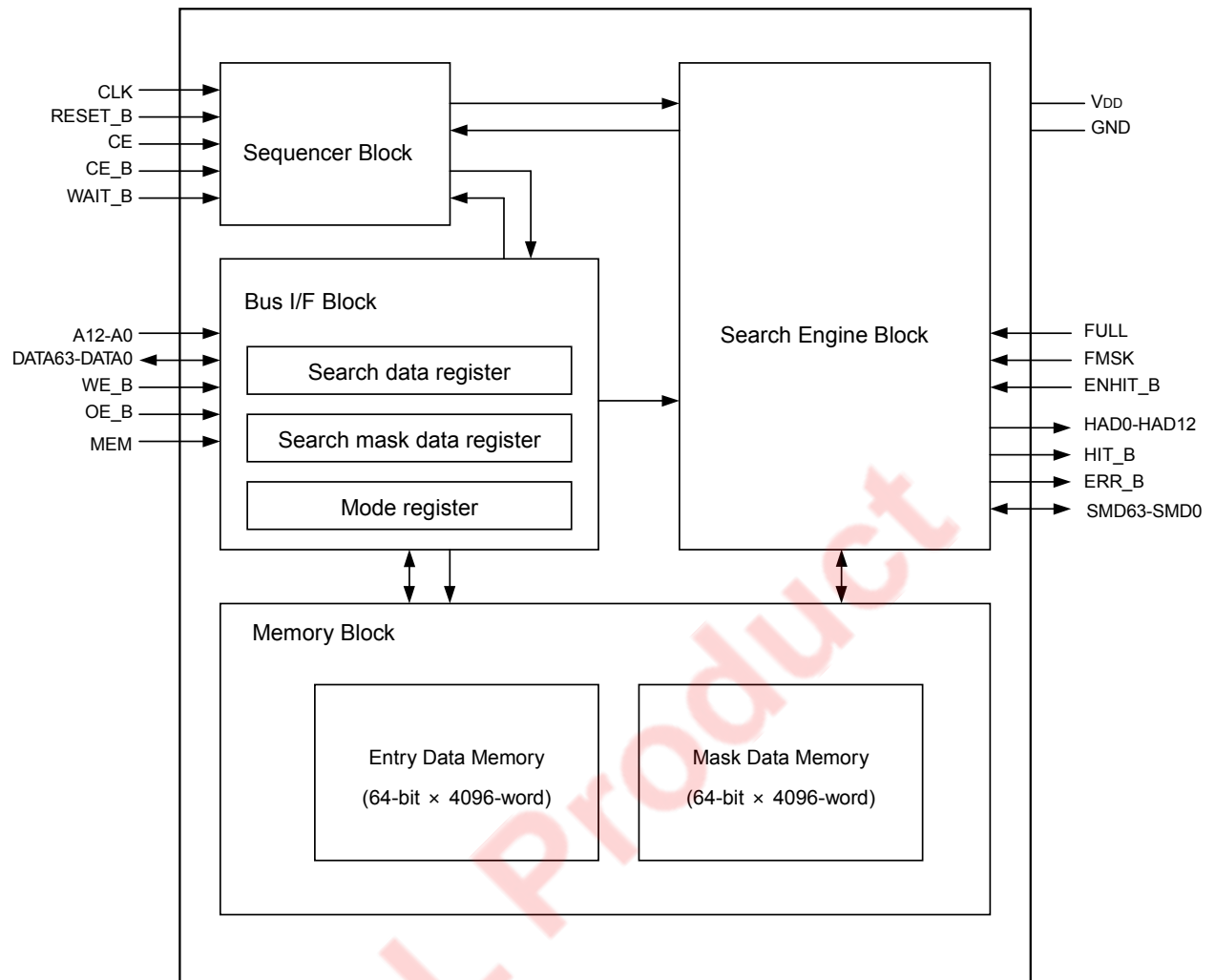
★オーダ情報

オーダ名称	パッケージ
μ PD98421F1-GA5	240 ピン・プラスチック FBGA (16×16)
μ PD98421F1-GA5-A	240 ピン・プラスチック FBGA (16×16)

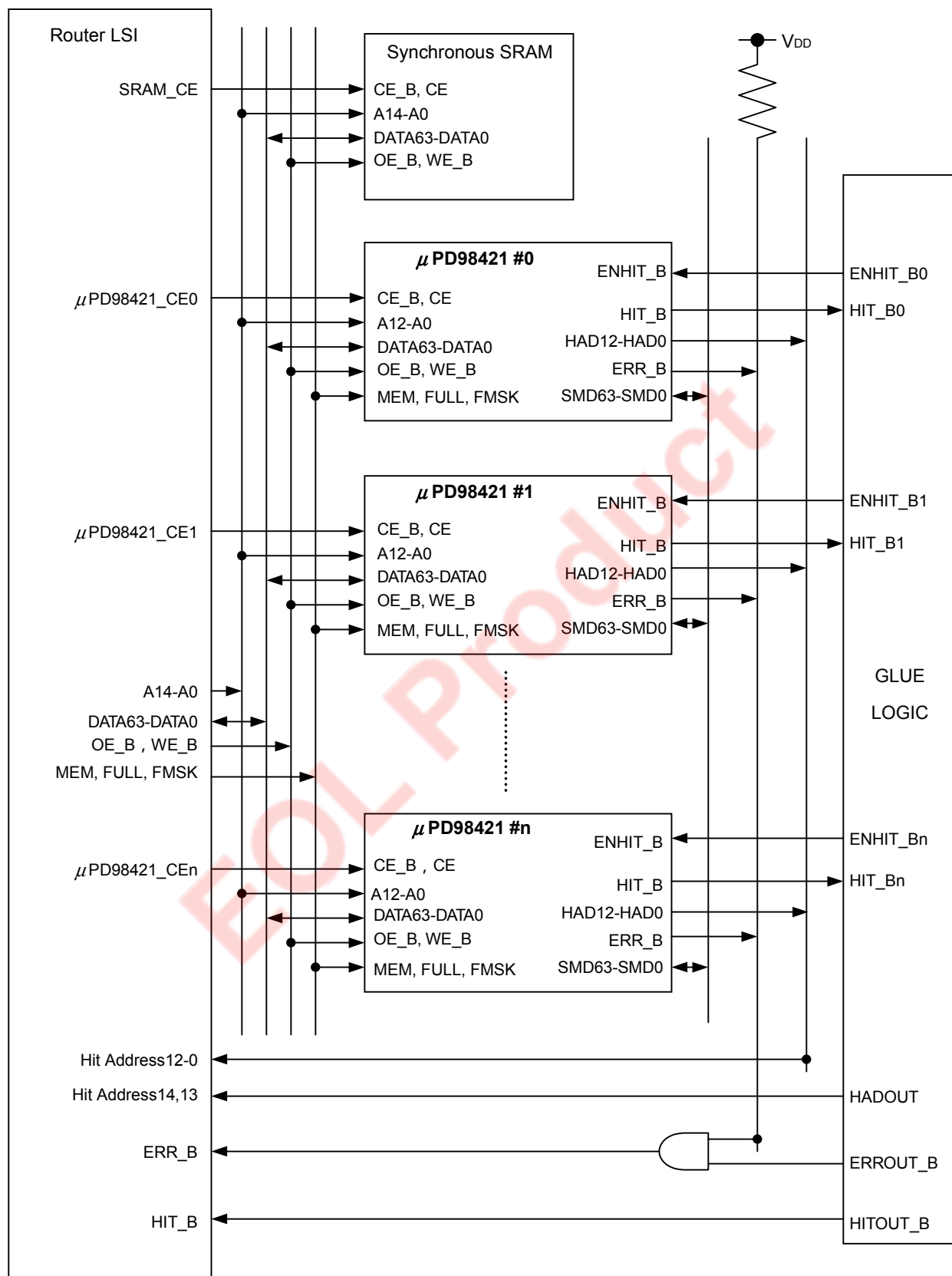
備考 μ PD98421F1-GA5-A は鉛フリー製品です。

本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

ブロック図



システム構成例

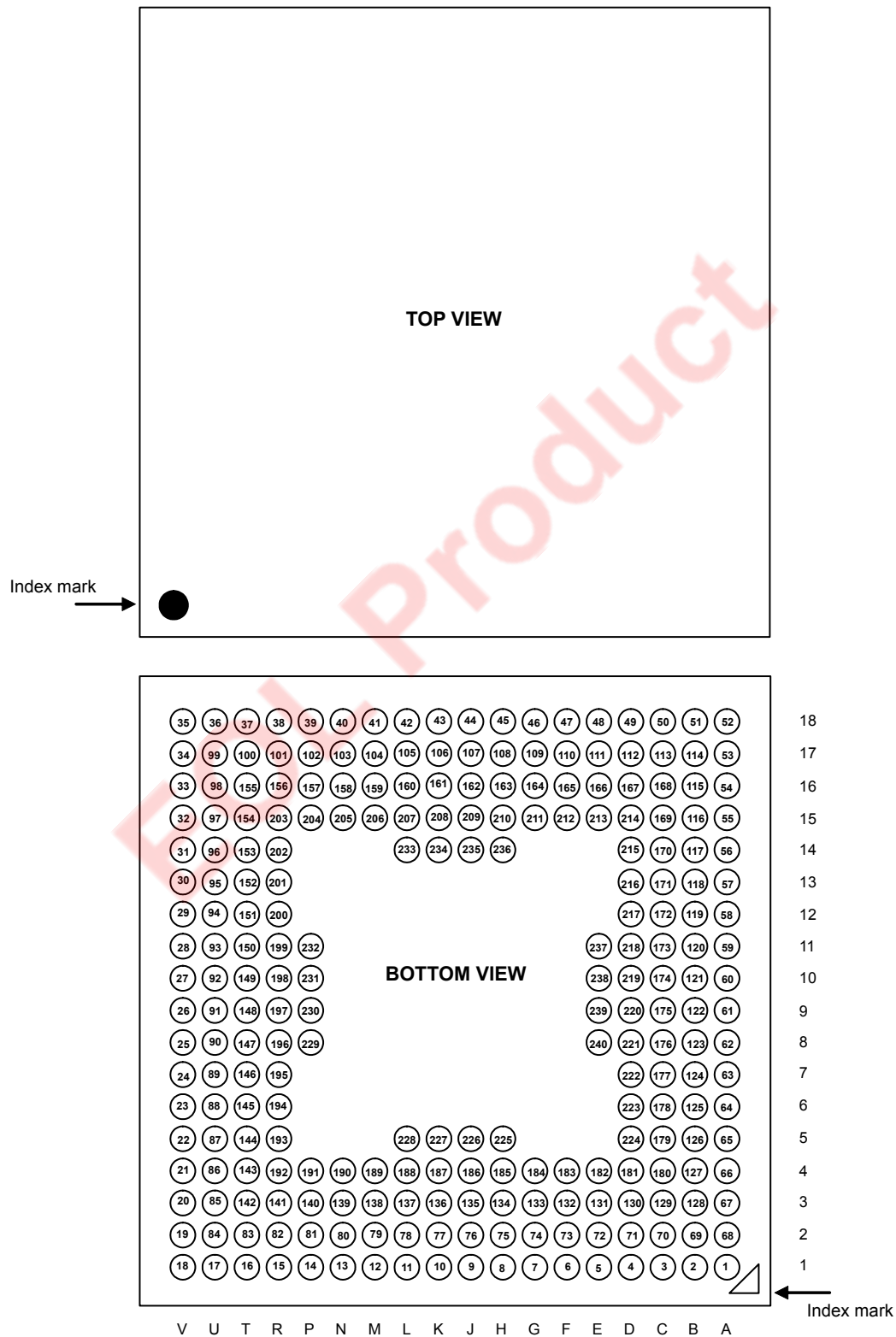


★ 端子接続図

・ 240 ピン・プラスチック FBGA (16 × 16)

μ PD98421F1-GA5

μ PD98421F1-GA5-A



端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
1 (A1)	L	49 (D18)	DATA23	97 (U15)	GND	145 (T6)	GND	193 (R5)	DATA38
2 (B1)	L	50 (C18)	SMD22	98 (U16)	A3	146 (T7)	GND	194 (R6)	DATA40
3 (C1)	I.C.	51 (B18)	DATA21	99 (U17)	V _{DD}	147 (T8)	SMD36	195 (R7)	SMD38
4 (D1)	DATA63	52 (A18)	SMD20	100 (T17)	A1	148 (T9)	DATA34	196 (R8)	DATA35
5 (E1)	GND	53 (A17)	V _{DD}	101 (R17)	HAD12	149 (T10)	DATA32	197 (R9)	GND
6 (F1)	DATA60	54 (A16)	DATA18	102 (P17)	GND	150 (T11)	WE_B	198 (R10)	SMD32
7 (G1)	SMD59	55 (A15)	DATA17	103 (N17)	HAD6	151 (T12)	MEM	199 (R11)	OE_B
8 (H1)	DATA57	56 (A14)	GND	104 (M17)	HAD3	152 (T13)	GND	200 (R12)	CE_B
9 (J1)	V _{DD}	57 (A13)	SMD15	105 (L17)	GND	153 (T14)	A9	201 (R13)	A12
10 (K1)	SMD55	58 (A12)	SMD13	106 (K17)	ENHIT_B	154 (T15)	A6	202 (R14)	A8
11 (L1)	SMD53	59 (A11)	V _{DD}	107 (J17)	SMD30	155 (T16)	A4	203 (R15)	A0
12 (M1)	GND	60 (A10)	SMD10	108 (H17)	DATA28	156 (R16)	HAD11	204 (P15)	GND
13 (N1)	SMD50	61 (A9)	SMD9	109 (G17)	DATA26	157 (P16)	HAD9	205 (N15)	V _{DD}
14 (P1)	DATA48	62 (A8)	DATA7	110 (F17)	DATA25	158 (N16)	HAD7	206 (M15)	HAD4
15 (R1)	GND	63 (A7)	GND	111 (E17)	GND	159 (M16)	HAD2	207 (L15)	HIT_B
16 (T1)	DATA46	64 (A6)	SMD4	112 (D17)	GND	160 (L16)	V _{DD}	208 (K15)	SMD31
17 (U1)	DATA45	65 (A5)	SMD3	113 (C17)	DATA20	161 (K16)	RESET_B	209 (J15)	V _{DD}
18 (V1)	SMD44	66 (A4)	GND	114 (B17)	GND	162 (J16)	GND	210 (H15)	GND
19 (V2)	GND	67 (A3)	DATA0	115 (B16)	DATA19	163 (H16)	SMD28	211 (G15)	V _{DD}
20 (V3)	DATA42	68 (A2)	V _{DD}	116 (B15)	SMD18	164 (G16)	SMD26	212 (F15)	SMD24
21 (V4)	GND	69 (B2)	GND	117 (B14)	DATA16	165 (F16)	SMD25	213 (E15)	DATA22
22 (V5)	SMD40	70 (C2)	I.C.	118 (B13)	DATA15	166 (E16)	SMD23	214 (D15)	SMD19
23 (V6)	SMD39	71 (D2)	V _{DD}	119 (B12)	GND	167 (D16)	V _{DD}	215 (D14)	DATA14
24 (V7)	DATA37	72 (E2)	DATA62	120 (B11)	SMD12	168 (C16)	SMD21	216 (D13)	SMD16
25 (V8)	GND	73 (F2)	SMD61	121 (B10)	SMD11	169 (C15)	GND	217 (D12)	SMD14
26 (V9)	SMD34	74 (G2)	GND	122 (B9)	DATA8	170 (C14)	SMD17	218 (D11)	DATA11
27 (V10)	DATA33	75 (H2)	SMD58	123 (B8)	SMD7	171 (C13)	V _{DD}	219 (D10)	DATA9
28 (V11)	CLK	76 (J2)	DATA56	124 (B7)	SMD5	172 (C12)	DATA13	220 (D9)	GND
29 (V12)	WAIT_B	77 (K2)	DATA54	125 (B6)	V _{DD}	173 (C11)	GND	221 (D8)	SMD6
30 (V13)	CE	78 (L2)	DATA52	126 (B5)	SMD2	174 (C10)	DATA10	222 (D7)	GND
31 (V14)	N.C.	79 (M2)	SMD51	127 (B4)	SMD0	175 (C9)	SMD8	223 (D6)	DATA2
32 (V15)	A10	80 (N2)	DATA49	128 (B3)	L	176 (C8)	DATA6	224 (D5)	SMD1
33 (V16)	A7	81 (P2)	V _{DD}	129 (C3)	L	177 (C7)	DATA4	225 (H5)	DATA58
34 (V17)	A5	82 (R2)	SMD46	130 (D3)	GND	178 (C6)	DATA3	226 (J5)	GND
35 (V18)	A2	83 (T2)	DATA44	131 (E3)	SMD63	179 (C5)	DATA1	227 (K5)	DATA53
36 (U18)	GND	84 (U2)	V _{DD}	132 (F3)	DATA61	180 (C4)	GND	228 (L5)	DATA51
37 (T18)	N.C.	85 (U3)	DATA43	133 (G3)	DATA59	181 (D4)	L	229 (P8)	SMD37
38 (R18)	HAD10	86 (U4)	SMD42	134 (H3)	GND	182 (E4)	SMD60	230 (P9)	V _{DD}
39 (P18)	HAD8	87 (U5)	SMD41	135 (J3)	SMD56	183 (F4)	SMD62	231 (P10)	GND
40 (N18)	HAD5	88 (U6)	DATA39	136 (K3)	SMD54	184 (G4)	V _{DD}	232 (P11)	FULL
41 (M18)	HAD1	89 (U7)	V _{DD}	137 (L3)	SMD52	185 (H4)	SMD57	233 (L14)	HAD0
42 (L18)	ERR_B	90 (U8)	DATA36	138 (M3)	DATA50	186 (J4)	DATA55	234 (K14)	DATA31
43 (K18)	GND	91 (U9)	SMD35	139 (N3)	SMD49	187 (K4)	GND	235 (J14)	DATA29
44 (J18)	DATA30	92 (U10)	SMD33	140 (P3)	DATA47	188 (L4)	V _{DD}	236 (H14)	SMD27
45 (H18)	SMD29	93 (U11)	GND	141 (R3)	GND	189 (M4)	GND	237 (E11)	DATA12
46 (G18)	DATA27	94 (U12)	FMSK	142 (T3)	SMD45	190 (N4)	SMD48	238 (E10)	GND
47 (F18)	GND	95 (U13)	V _{DD}	143 (T4)	V _{DD}	191 (P4)	SMD47	239 (E9)	V _{DD}
48 (E18)	DATA24	96 (U14)	A11	144 (T5)	DATA41	192 (R4)	SMD43	240 (E8)	DATA5

備考 1. () 内は、端子接続図の座標を表します。

2. I.C. : Internal Connection, L : ロウ・レベル固定, N.C. : No Connection

端子名称

A12-A0	: Address
CE, CE_B	: Chip Select
CLK	: Clock
DATA63-DATA0	: Data
ENHIT_B	: Enable Hit
ERR_B	: Error
FMSK	: Full Match Mask Mode
FULL	: Full Match Mode
GND	: Ground
HAD12-HAD0	: Hit Address
HIT_B	: Hit
MEM	: Memory
OE_B	: Output Enable
RESET_B	: Reset
SMD63-SMD0	: Search Mask Data
V _{DD}	: Supply Voltage
WAIT_B	: Wait
WE_B	: Write Enable

EOL Product

目 次

1. 端子機能	...	8
2. メモリ/レジスタ構成	...	11
2. 1 メモリ構成	...	11
2. 1. 1 Full Match モード	...	11
2. 1. 2 Full Match with Mask/Longest Prefix Match モード	...	11
2. 2 レジスタ構成	...	12
2. 2. 1 サーチ・データ・レジスタ	...	12
2. 2. 2 マスク・データ・レジスタ	...	13
2. 2. 3 モード・レジスタ	...	13
2. 2. 4 NOP レジスタ	...	14
3. 機能説明	...	15
3. 1 メモリ・オペレーション	...	15
3. 2 サーチ・オペレーション	...	15
3. 2. 1 Full Match モード	...	15
3. 2. 2 Full Match with Mask モード	...	16
3. 2. 3 Longest Prefix Match モード	...	17
3. 2. 4 その他の注意事項	...	20
4. 電気的特性	...	22
5. 半田付け推奨条件	...	38
6. 外形図	...	39

1. 端子機能

(1/3)

端子名	端子番号	I/O	説 明
CLK	28	I	クロック システム・クロック入力端子です。最高 33 MHz (ノーマル・モード) / 50 MHz (FF モード) のクロックを入力します。
WAIT_B	29	I	ウエイト ウエイト入力端子です。ロウ・レベルでアクティブになります。 μPD98421 は CLK の立ち上がり時に WAIT_B 信号がアクティブになっていることを検出すると、次の CLK の立ち上がりから 1CLK サイクルの間ウエイト状態となります。ウエイト中、すべての端子はウエイト前の状態を保持します。ただし、CE、CE_B、ENHIT_B による出力コントロールは有効です。
CE_B	200	I	チップ・セレクト ロウ・レベルでアクティブになります。CE 信号と CE_B 信号が同時にアクティブに設定されると、そのチップが選択状態になります。 選択状態にないチップの DATA、HAD、ERR_B、SMD はハイ・インピーダンス状態になります。
CE	30	I	チップ・セレクト ハイ・レベルでアクティブになります。CE 信号と CE_B 信号が同時にアクティブに設定されると、そのチップが選択状態になります。 選択状態にないチップの DATA、HAD、ERR_B、SMD はハイ・インピーダンス状態になります。
A12-A0	201, 96, 32, 153, 202, 33, 154, 34, 155, 98, 35, 100, 203	I	アドレス A12-A0 は 13 ビットのアドレス信号です。I/O アクセス・モード時には A12-A8 への入力は無視されます。
DATA63 -DATA0	4, 72, 132, 6, 133, 225, 8, 76, 186, 77, 227, 78, 228, 138, 80, 14, 140, 16, 17, 83, 85, 20, 144, 194, 88, 193, 24, 90, 196, 148, 27, 149, 234, 44, 235, 108, 46, 109, 110, 48, 49, 213, 51, 113, 115, 54, 55, 117, 118, 215, 172, 237, 218, 174, 219, 122, 62, 176, 240, 177, 178, 223, 179, 67	I/O	データ DATA63-DATA0 は内蔵メモリ、レジスタから 64 ビット・データの入出力を行うデータ・バス信号です。
WE_B	150	I	ライト・イネーブル DATA63-DATA0 への書き込みを許可します。WE_B 信号がアクティブ状態にあるとき、DATA63-DATA0 はハイ・インピーダンス状態になります。
OE_B	199	I	アウトプット・イネーブル DATA63-DATA0 からデータの出力を許可します。

(2/3)

端子名	端子番号	I/O	説 明
MEM	151	I	メモリ メモリ/レジスタへのアクセス権を指定します。MEM 信号がハイ・レベルの場合は SRAM と同じ動作をします (3. 機能説明 参照)。ロウ・レベルの場合、内部レジスタへの I/O アクセスが可能となります。 MEM Access function 1 メモリ・アクセス 0 I/O アクセス
FULL	232	I	フルマッチ・モード MEM 信号, FMSK 信号とともにサーチ・モードの設定を行います (3. 機能説明 参照)。
FMSK	94	I	フルマッチ・マスク・モード MEM 信号, FULL 信号とともにサーチ・モードの設定を行います (3. 機能説明 参照)。
HAD12- HAD0	101, 156, 38, 157, 39, 158, 103, 40, 206, 104, 159, 41, 233	O 3 ステート (Internal pull-up)	ヒット・アドレス サーチ・オペレーション中, HIT_B 信号がロウ・レベルにセットされ, ERR_B がハイ・レベルにセットされているときに, HAD12-HAD0 はマッチした有効アドレスを出力します。ERR_B がロウ・アクティブにセットされているときは, HAD 出力は無効になります。HAD12 は, Full Match モードのとき以外は意味を持ちません。
HIT_B	207	O	ヒット サーチ・オペレーション中, サーチ・データがサーチ・データ・レジスタに書かれたあと, サーチが行われます。HIT_B 信号は, ロウ・アクティブでサーチ・データにマッチするデータがあったことを示します。 0: 一致データあり 1: 一致データなし
ERR_B	42	O (オープン・ ドレイン)	エラー サーチ・オペレーション中, マスクされていない部分でヒットするエントリ・データが 2 組以上見つかったときに ERR_B 信号がロウ・レベルになります。 オープン・ドレイン信号なのでプルアップして使用してください。 メモリ・オペレーション中, この信号はインアクティブ状態 (ハイ・インピーダンス) になります。
ENHIT_B	106	I	イネーブル・ヒット この信号は HAD12-HAD0 信号, ERR_B 信号の出力を制御します。 ENHIT_B HAD[12:0] ERR_B 1 Hi-Z Hi-Z 0 enable to output

(3/3)

端子名	端子番号	I/O	説 明
SMD63-SMD0	131, 183, 73, 182, 7, 75, 185, 135, 10, 136, 11, 137, 79, 13, 139, 190, 191, 82, 142, 18, 192, 86, 87, 22, 23, 195, 229, 147, 91, 26, 92, 198, 208, 107, 45, 163, 236, 164, 165, 212, 166, 50, 168, 52, 214, 116, 170, 216, 57, 217, 58, 120, 121, 60, 61, 175, 123, 221, 124, 64, 65, 126, 224, 127	I/O (Internal pull-up)	サーチ・マスク・データ SMD63-SMD0信号は、Longest Prefix Matchモード中にほかのμPD98421との入出力テンポラリ用に使用されます。SMD63-SMD0の各端子は、それぞれをほかのμPD98421の同じ端子に接続してください。
RESET_B	161	I	リセット ロウ・レベルにリセットされるとチップが初期化状態になります。内部シーケンサおよびモード・レジスタのみが初期化されます。メモリ領域はクリアされません。電源投入時、RESET_B が必ずロウ・レベルとなるよう、外部回路を構成してください。また、リセット解除後少なくとも2CLK以上のNOPコマンドを継続して入力してください。
VDD	9, 53, 59, 68, 71, 81, 84, 89, 95, 99, 125, 143, 160, 167, 171, 184, 188, 205, 209, 211, 230, 239	-	3.3 V 電源
GND	5, 12, 15, 19, 21, 25, 36, 43, 47, 56, 63, 66, 69, 74, 93, 97, 102, 105, 111, 112, 114, 119, 130, 134, 141, 145, 146, 152, 162, 169, 173, 180, 187, 189, 197, 204, 210, 220, 222, 226, 231, 238	-	グランド
N.C.	31, 37	-	ノー・コネクション オープンにしてください。
I.C.	3, 70	-	インターナル・コネクション オープンにしてください。
L	1, 2, 128, 129, 181	-	これらの端子は常時ロウ・レベルに固定してください。

2. メモリ/レジスタ構成

2.1 メモリ構成

μPD98421 は 64 ビット×8192 エントリのメモリ領域を持っています。メモリ構成はサーチ・モードに合わせて 2 通りの方法が選択できます。この選択にはチップ側に特別な設定を行う必要はありません。また、同期 SRAM としても使用できます。

2.1.1 Full Matchモード

64 ビット×8192 エントリ：エントリ・データ

Full Match モード時には、8192 エントリのすべてがデータ領域として使用されます。

表 2 - 1 Full Match モードのメモリ・マッピング

アドレス	内 容
0000h	エントリ・データ
0001h	エントリ・データ
:	:
0FFFh	エントリ・データ
1000h	エントリ・データ
:	:
1FFEh	エントリ・データ
1FFFh	エントリ・データ

2.1.2 Full Match with Mask/Longest Prefix Match モード

64 ビット×4096 エントリ：エントリ・データ

64 ビット×4096 エントリ：エントリ・マスク・データ

Full Match with Mask モードおよび Longest Prefix Match モード時には、0000h-0FFFh の 4096 エントリがデータ領域として、1000h-1FFFh がマスク・データ領域として使用されます。

1000h-1FFFh のマスク・データは、表 2 - 2 に示すとおりにより、対応する各エントリ・データをマスクします。マスク・データのビットが 0 の場合、対応するエントリ・データのビットはサーチ時には無視されます。

なお、Longest Prefix Match モード時のマスク・データは、LSB から連続してマスクを設定する必要があります。

例) FFFF0000 → OK FF00F000 → NG

表 2 - 2 Full Match with Mask/Longest Prefix Match モードのメモリ・マッピング

アドレス	内 容
0000h	エントリ・データ
0001h	エントリ・データ
:	:
0FFFh	エントリ・データ
1000h	0000h のマスク・データ
:	:
1FFEh	0FFEh のマスク・データ
1FFFh	0FFFh のマスク・データ

2. 2 レジスタ構成

μPD98421 は 256 ワードの I/O アドレスに内蔵レジスタを割り当てています。レジスタは各 64 ビット長です。レジスタ・アクセスの I/O アドレス指定にはアドレス信号線 A0-A7 を使用し、A8-A12 は使用しません。また、アクセス時には MEM 信号線をロウ・レベルにセットして、ライト時には WE_B 端子をアクティブにし、リード時には OE_B 端子をアクティブにします。レジスタ・ライト時には、ノーマル・モード、FF モードともに 1 クロックでライトを行うことができます（サーチ・データ・レジスタへのライト動作によるサーチ・オペレーションを除く）。

レジスタ・リード時には、ノーマル・モードの場合、I/O アドレス入力の 1 クロック後にリード・データを出力します。FF モードの場合は、2 クロック後にリード・データを出力します。ノーマル、FF モードについては、2. 2. 3 モード・レジスタ を参照してください。

表 2 - 3 内部レジスタ

I/O アドレス	レジスタ
00h	サーチ・データ・レジスタ
01h	マスク・データ・レジスタ
02h	モード・レジスタ
03h	リザーブ（アクセスしないでください。）
04h	NOP レジスタ
05-FFh	リザーブ（アクセスしないでください。）

2. 2. 1 サーチ・データ・レジスタ

サーチ・データ本体はこのレジスタに格納されます。サーチ・データ・レジスタに 64 ビットのサーチ・データが書き込まれると、μPD98421 はサーチ・オペレーションを開始します。

サーチ・データ・レジスタは、チップのリセットでは初期化されません。

2. 2. 2 マスク・データ・レジスタ

マスク・データ・レジスタは、サーチ・データ・レジスタに格納されたサーチ・データをマスクする値を格納します。サーチ・データ・レジスタに値が書き込まれる前に有効な値を格納してください。

マスク・データ・レジスタのビットが 0 のときはマスクとして機能し、サーチ・データの対応するビットは無視されます。このレジスタに設定されたマスクは、すべての検索モードのすべてのエントリに対して有効です。

マスク・データ・レジスタは、チップのリセットでは初期化されません。全エントリのビット幅が 64 ビットに満たない場合、不使用ビットはこの機能を用いてマスクすることを推奨します（チップの消費電流を低減できます）。

ただし、bit63 はマスクしないでください。

2. 2. 3 モード・レジスタ

モード・レジスタは、μPD98421 の検索タイミング・モード（ノーマル / FF モード）の設定および FULL, FMSK, WAIT_B 信号線を用いる代わりに μPD98421 の動作を制御することができるレジスタです。チップのリセット後は 0 に初期化されます。

63	6	5	4	3	2	1	0
reserved		ff	full	fmsk	wait_b2	wait_b1	enbl

enbl モード・レジスタの full, fmsk, wait_b2, wait_b1 の各ビットの有効 / 無効設定

0 : full, fmsk, wait_b2, wait_b1 の各ビットは無効で、FULL, FMSK, WAIT_B の各信号線は有効

1 : full, fmsk, wait_b2, wait_b1 の各ビットは有効で、FULL, FMSK, WAIT_B の各信号線は無効

wait_b1 first clock 後ウエイトを入れるかどうかの指定

0 : サーチ・オペレーションのあとに 1 ウエイト挿入します。Longest Prefix Match モード時には最初のサーチ・クロックと 2 番目のサーチ・クロックの間に 1 ウエイト挿入します。

1 : No operation

wait_b2 second clock 後ウエイトを入れるかどうかの指定

0 : Longest Prefix Match モード時に、2 番目のサーチ・クロックのあとに 1 ウエイト挿入します。

1 : No operation

full, fmsk サーチ・モードの設定 ([full, fmsk] = [xx])

00 : Longest Prefix Match モード

01 : リザーブ

10 : Full Match モード

11 : Full Match with Mask モード

ff 検索タイミング・モード（ノーマル / FF モード）の設定

0 : ノーマル・モード

最大 33 MHz 動作で、Full Match / Full Match with Mask モードのときは、データ入力後、1 クロック後にヒット・アドレスを出力します。Longest Prefix Match モードのときは、データ入力後、2 クロックあとにヒット・アドレスを出力します。

1 : FF モード

最大 50 MHz 動作で、Full Match / Full Match with Mask モードのときは、データ入力後、2 クロックあとにヒット・アドレスを出力します。Longest Prefix Match モードのときは、データ入力後、4 クロックあとにヒット・アドレスを出力します。

reserved リザーブ
bit63-bit6 アクセスしないでください。

備考 モード・レジスタ、マスク・データ・レジスタへのライト・アクセスのあと、すぐにほかのオペレーションを行うことは避けてください。1 クロック以上 NOP を入れてから（NOP レジスタへのライト）、ほかのオペレーションを行うようにしてください。

2. 2. 4 NOPレジスタ

NOP レジスタへのライト動作により、ノー・オペレーション状態になります。この間、μPD98421 は何も行いません。サーチ・メモリ・アクセスなどの動作を行わないときは、NOP 状態に保持してください。NOP レジスタをリードすると読み出される値は不定です。

EOL Product

3. 機能説明

μPD98421 では、MEM、FULL、FMSK 信号の組み合わせ、またはモード・レジスタの full、fmsk ビットの組み合わせでメモリ・オペレーション、サーチ・オペレーションのオペレーション・モードを設定できます。

表 3-1 オペレーション・モード

MEM	FULL	FMSK	機 能
1	×	×	メモリ・オペレーション
0	1	0	Full Match モード
0	1	1	Full Match with Mask モード
0	0	0	Longest Prefix Match モード
0	0	1	None (設定禁止)

3.1 メモリ・オペレーション

μPD98421 はメモリ・オペレーション中には同期 SRAM のように内部のメモリ・セルに対して 64 ビットのデータを読み書きできます。

メモリ・オペレーション時は、MEM 端子をハイ・レベルにセットして、データのライト時は WE_B 信号をアクティブにし、リード時は OE_B 信号をアクティブにします。

データ・ライト時には、ノーマル・モード、FF モードともに 1 クロックでライトを行うことができます。データ・リード時には、ノーマル・モードの場合、アドレス入力の 1 クロック後にリード・データを出力します。FF モードの場合、アドレス入力の 2 クロック後にリード・データを出力します。ただし、ウェイト挿入により、リード・データ出力を遅らせることができます。

3.2 サーチ・オペレーション

サーチ・モードを設定後、サーチ・データ・レジスタに検索データを書き込むことで検索動作が開始されます。サーチ・モードの設定は、MEM、FULL、FMSK の各信号線をそれぞれのサーチ・モードに設定するか（表 3-1 参照）、モード・レジスタを使用する（2.2.3 モード・レジスタ 参照）ことで行うことができます。

3.2.1 Full Matchモード

Full Match モードは完全一致検索モードであり、8K エントリのエントリ・データと 1 つのマスク・レジスタを使用できます。

Full Match モード検索を行うには、表 3-1 のように信号線を設定し（またはモード・レジスタを設定し）、検索データをサーチ・データ・レジスタに書き込みます。

サーチ・データ・レジスタの値は、マスク・データ・レジスタの値によってマスクされ、8K ワードのメモリ・セルの 64 ビット値と比較されます。マスク・データ・レジスタの 0 が設定されているビットに対応するサーチ・データ・レジスタのビットは、比較には使用されません。

検索データがサーチ・データ・レジスタに書き込まれてから、ノーマル・モードの場合は 1 クロック経過後、FF モードの場合は 2 クロック経過後、マッチするデータが見つければ、HIT_B 信号がアクティブになります。このとき ENHIT_B が 0 に設定されていると、マッチするデータのアドレスは HAD12-HAD0 に出力されます。サーチ動作中に 2 つ以上のマッチするデータが検索されると、ERR_B がロウ・レベルになり、HAD12-HAD0 の出力は無効になります。

ただし、WAIT_B 挿入により、ヒット・アドレスを出力するタイミングを遅らせることができます。ENHIT_B 信号が 1 に設定されている場合は、ERR_B、HAD12-HAD0 は Hi-Z 状態になります。

例) 表 3-2 の検索データを表 3-3 に示すようなデータから Full Match モードで検索します (便宜的に 64 ビット値を 8 ビットごとに 16 進化しています)。

表 3-2 のマスク・データ・レジスタ・ビット 40-47 とビット 8-15 が 0 のため、サーチ・データ・レジスタの対応するビットのデータ (44 と 77) はメモリ・セルのデータとの比較時において、比較の対象となりません。

0003h に格納されているデータはビット 40-47 (ABh) とビット 8-15 (78h) がサーチ・データ・レジスタの値と異なりますが、マスク・データ・レジスタの設定により無視されます。その他のビットはすべてサーチ・データ・レジスタの値と一致しますので、このデータがマッチ・データであり、アドレス 0003h がマッチ・アドレスとなります。

表 3-2 検索データの例

サーチ・データ・レジスタ	マスク・データ・レジスタ
11.22.33.44.55.66.77.88	FF.FF.00.FF.FF.FF.00.FF

表 3-3 データの例

アドレス	データ
0000h	FF.FF.FF.FF.FF.FF.FF.FF
0001h	11.11.22.33.44.55.66.77
0002h	11.22.33.44.55.66.77.99
0003h	11.22.AB.44.55.66.78.88
:	:

3. 2. 2 Full Match with Maskモード

Full Match with Mask モードはエントリ単位でのマスクを可能にした、完全一致の検索モードです。4K エントリのエントリ・データを使用することができ、またマスク・レジスタも有効です。

Full Match with Mask モードを行うには表 3-1 のように信号線を設定し (またはモード・レジスタを設定し)、検索データをサーチ・データ・レジスタに書き込みます。

検索データをマスクするマスク・データをマスク・データ・レジスタに書き込みます。これは、検索データがサーチ・データ・レジスタに書き込まれる前に完了していなければなりません。

サーチ・データ・レジスタの各ビットは、マスク・データ・レジスタの同じ位置のビットの値によって、比較されるか無視されるかが決定します。

マスク・データ・レジスタのビットが 1 のビットに対応するサーチ・データ・レジスタのビットは比較対象となり、0 のビットに対応するサーチ・データ・レジスタのビットは比較の対象にはならず、無視されます。

検索データは、4K ワードのメモリ・セルの 64 ビット値と比較されます。

アドレス 0000h-0FFFh のメモリ・セルのデータは、それぞれ 1000h-1FFFh のメモリ・セルのデータによってマスクされます。

検索データがサーチ・データ・レジスタに書き込まれてから、ノーマル・モードの場合は 1 クロック経過後、FF

モードの場合は 2 クロック経過後，マッチするデータが見つければ，HIT 信号がアクティブになります。このとき ENHIT_B が 0 に設定されていると，マッチするデータのアドレスは HAD12-HAD0 に出力されます。

ただし，WAIT_B 挿入により，ヒット・アドレスを出力するタイミングを遅らせることができます。

例) 表 3 - 4 の検索データを表 3 - 5 に示すようなデータから検索する場合の例を示します。

サーチ・データ・レジスタの値は，マスク・データ・レジスタの値からビット 24-31 とビット 8-15 が検索時に無視されます。

データは 0000h のデータが 1000h のマスクによってマスクされ，ビット 48-63 が検索時には比較の対象になりません。このように，各データとマスクの関係から 0001h のデータがマッチ・データとなります。マッチ・アドレスは 0001h となります。

なお，1003h の値はサーチ・データ・レジスタとまったく同じ値ですが，Full Match with Mask モードでは，この領域がマスク・データ領域になるのでマッチ・データとはなりません。

表 3 - 4 検索データの例

サーチ・データ・レジスタ	マスク・データ・レジスタ
11.22.33.44.55.66.77.88	FF.FF.FF.FF.00.FF.00.FF

表 3 - 5 データの例

アドレス	データ	アドレス	マスク
0000h	11.22.33.44.55.66.77.BB	1000h	00.00.FF.FF.FF.FF.FF.FF
0001h	11.22.AA.44.55.66.77.88	1001h	FF.FF.00.FF.FF.FF.FF.FF
0002h	CC.22.33.44.55.66.77.88	1002h	FF.FF.FF.FF.FF.FF.00.00
0003h	99.AA.BB.CC.DD.EE.FF.00	1003h	11.22.33.44.55.66.77.88
:	:	:	:

3. 2. 3 Longest Prefix Matchモード

Longest Prefix Matchモードは，エントリ単位のマスクにより検索データに最も長くマッチしたデータを検索できます。アドレス0000h-0FFFhの4Kワード領域がエントリ・データ領域として使用され，1000h-1FFFhがそれぞれのエントリ・データに対応するマスク・データ領域として使用されます。Longest Prefix Matchモードでは，マスク・データは最下位から連続したビットにマスクを設定する必要があります（2. 1. 2 Full Match with Mask/Longest Prefix Matchモード 参照）。また，マスク・データ・レジスタも有効で，このレジスタに設定されたマスクはすべてのエントリに対して有効です。マスク・データ・レジスタへのマスク設定についても最下位から連続したビットにマスクを設定する必要があります。μPD98421を複数チップ接続して使用する場合は，全チップのマスク・データ・レジスタ値を統一してください。

Longest Prefix Match モードのサーチは，表 3 - 1 のように信号線を設定し（またはモード・レジスタを設定し），検索データをサーチ・データ・レジスタに書き込むことで検索が開始されます。検索開始からノーマル・モードの場合は 2 クロック経過後，FF モードの場合は 4 クロック経過後，マッチするデータが見つければ，HIT_B 端子がアクティブになります。このとき ENHIT_B 端子が 0 に設定されていると，マッチ・データのアドレスは HAD12-HAD0 端子に出力されます。

ただし，WAIT_B 挿入により，ヒット・アドレスを出力するタイミングを遅らせることができます。

検索動作中に 2 つ以上のマッチするデータが検索されたときは、ERR_B 端子がロウ・レベルになり、HAD12-HAD0 端子の出力は無効です。マッチするデータがないときは、HIT_B 端子、ERR_B 端子ともにハイ・レベルになります。

検索データをマスクするマスク・データはマスク・データ・レジスタに書き込まれます。これは、検索データがサーチ・データ・レジスタに書き込まれる前に完了していなければなりません。

検索データは、4K ワードのメモリ・セルの 64 ビット値と比較されます。

アドレス 0000h-0FFFh のメモリ・セルのデータはそれぞれ 1000h-1FFFh のメモリ・セルのデータによってマスクされます。

前述の 2 つのモードとは異なり、検索データと MSB 側から連続で最も長くマッチするビット列を持つメモリ・セルのデータがマッチ・データとなります。

例 1) 単独チップでの検索

表 3 - 6 の検索データを表 3 - 7 で示されるメモリ・セルのデータから検索します。

検索データはサーチ・データ・レジスタに値が書き込まれたあとにマスク・データ・レジスタの値をマスクしたものです。マスク・データのビットがすべて 1 であることから、サーチ・データ・レジスタのすべてのビットが検索時に比較の対象となります。

各メモリ・セルに格納されたデータとの比較は Full Match with Mask モードと同じ動作です。

マッチ・データのうち、適合したビット数の最も長いものが最終的なマッチ・データとなります。この例では 0001h のデータが該当します。

表 3 - 6 検索データの例

サーチ・データ・レジスタ	マスク・データ・レジスタ
11.22.33.44.55.66.77.88	FF.FF.FF.FF.FF.FF.FF.FF

表 3 - 7 データの例

アドレス	データ	アドレス	マスク
0000h	11.22.33.44.00.00.00.00	1000h	FF.FF.FF.FF.00.00.00.00
0001h	11.22.33.44.55.66.77.00	1001h	FF.FF.FF.FF.FF.FF.FF.00
0002h	11.22.33.44.55.00.00.00	1002h	FF.FF.FF.FF.FF.00.00.00
0003h	11.22.33.44.55.66.77.AA	1003h	FF.FF.FF.FF.FF.FF.00.00
:	:	:	:

μPD98421 を複数チップ接続している場合でも、すべての μPD98421 チップの中から、最も長く検索データとマッチしたデータを検索することができます。これは、SMD63-SMD0 端子をそれぞれのチップで接続することにより実現できます。

複数接続の場合は、全チップのマスク・データ・レジスタ値を統一してください。

例2) 複数の接続での検索

表3-8の検索データを表3-9～表3-11で示されるメモリ・セルのデータから検索します。表3-9～表3-11は、それぞれ別々のμPD98421チップとします。

検索を開始するとチップ1からは0001h、チップ2からは0002h、チップ3からは0001hがマッチ・アドレスとしてマッチします。この場合、表3-10のチップ2の0002hが最も短いマスク・ビットを持ちます。したがって、チップ2の0002hのデータがマッチ・データとなります。このとき、チップ2のHIT_B端子のみがロウ・レベルになり、チップ1およびチップ3のHIT_B端子はハイ・レベルになります。

表3-8 検索データ

サーチ・データ・レジスタ	マスク・データ・レジスタ
6E.13.01.22.5F.C2.77.E8	FF.FF.FF.FF.FF.FF.FF.FF

表3-9 チップ1のメモリ・セル

アドレス	データ	アドレス	マスク
0000h	11.22.33.44.55.00.00.00	1000h	FF.FF.FF.FF.FF.00.00.00
0001h	6E.13.01.22.5F.C2.77.00	1001h	FF.FF.FF.FF.FF.FF.00.00
0002h	6E.13.01.22.00.00.00.00	1002h	FF.FF.FF.FF.00.00.00.00
0003h	6F.FF.FF.FF.FF.00.00.00	1003h	FF.FF.FF.FF.FF.00.00.00
:	:	:	:

表3-10 チップ2のメモリ・セル

アドレス	データ	アドレス	マスク
0000h	11.22.33.44.00.00.00.00	1000h	FF.FF.FF.FF.00.00.00.00
0001h	6E.13.01.22.5F.C2.00.00	1001h	FF.FF.FF.FF.FF.FF.00.00
0002h	6E.13.01.22.5F.C2.77.00	1002h	FF.FF.FF.FF.FF.FF.FF.00
0003h	6D.FF.FE.EF.FF.FF.00.00	1003h	FF.FF.FF.FF.FF.FF.00.00
:	:	:	:

表3-11 チップ3のメモリ・セル

アドレス	データ	アドレス	マスク
0000h	6E.13.01.22.5F.C2.AA.00	1000h	FF.FF.FF.FF.FF.FF.FF.00
0001h	6E.13.01.22.5F.C2.00.00	1001h	FF.FF.FF.FF.FF.FF.00.00
0002h	6E.13.01.22.5F.BF.00.00	1002h	FF.FF.FF.FF.FF.FF.00.00
0003h	6E.13.01.22.61.01.00.00	1003h	FF.FF.FF.FF.FF.FF.00.00
:	:	:	:

3. 2. 4 その他の注意事項

- 複数クロック・サイクルで動作するモード中は、MEM, FULL, FMSK 端子により、モード変更を行わないでください。同様に A12-A0 も変更しないでください。

備考 複数クロック・サイクルで動作するモード

ノーマル・モードの場合：Longest Prefix Match モード

FF モードの場合：メモリ/レジスタ・リード、Full Match モード、Full Match with Mask モード、Longest Prefix Match モード

- オペレーションの変更と検索モードの変更を行う場合は、その間に NOP レジスタへのライト動作を 1 クロック以上行ってください。
- 電源投入時、RESET_B はロウ・レベルとなるよう外部回路を構成してください。
- リセット解除後、少なくとも 2CLK 以上の NOP コマンドを継続して入力してください。
- 連続サーチ動作中に CE (CE_B) を用いて一時的に動作を停止させた場合、サーチ動作中とほぼ同等の電力を消費します。このような場合は、NOP レジスタへのライト動作によるノー・オペレーション状態にするか、ウェイトを挿入してください。
- ノーマル・モードで連続検索を行う場合、全体の検索頻度を 66 %以下にしてください。
- ★ ERR_B はオープン・ドレイン信号ですので、プルアップが必要です。ERR_B 信号の立ち上がり時間は、負荷容量とプルアップ抵抗に依存します。ERR_B 信号の立ち上がりがエラー判定時刻 (ERR_B 信号をサンプリングする時刻) に間に合わない場合、エラーの誤検出となる恐れがありますので注意してください。

< プルアップ抵抗値 R の決定例 >

ERR_B 端子から見た負荷容量 C_L を見積もります。

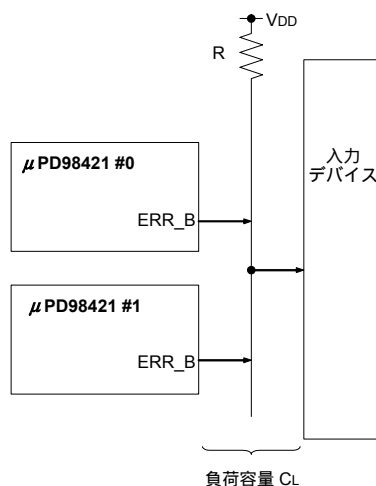
$C_L = (\text{ボードのパターン容量}) + (\mu\text{PD98421 の端子容量}) + (\text{入力デバイスの端子容量})$

ERR_B 端子がフロートしてから入力デバイスが ERR_B 信号をサンプリングするまでの時間 (t_D) を見積もります。

ERR_B 信号のフロート時間は、AC 特性の“CLK ↑ → ERR_B フロート時間 (t_{FERR})”から見積もってください。

$R \cdot t_D / C_L$ としてください。ただし、R は 200 Ω 以上にしてください。

t_D が小さい場合や C_L が大きい場合など、R の計算値が 200 Ω 未満になる場合は、 t_D を大きくとる、エラー発生時の次の検索でエラーが生じないダミー検索を行って ERR_B 信号が立ち上がるのを待つなどの処置をとり、R が 200 Ω 以上になるようにしてください。



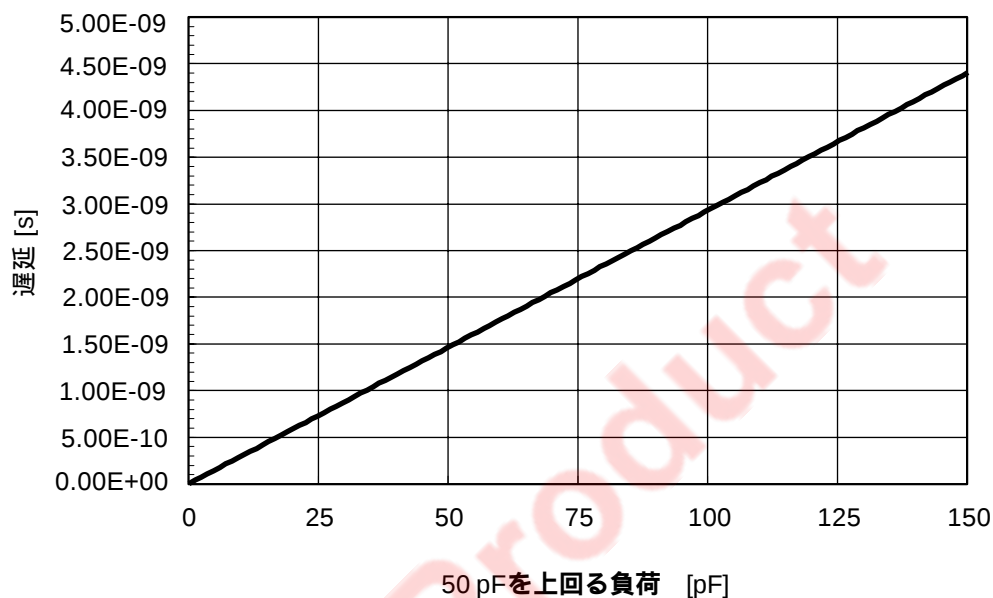
- 複数接続の場合の注意点

後述の AC 特性は出力負荷容量 50 pF の場合です。複数接続等により負荷容量が 50 pF を上回る場合、出力の遅延として、次の図の遅延分を加える必要があります。

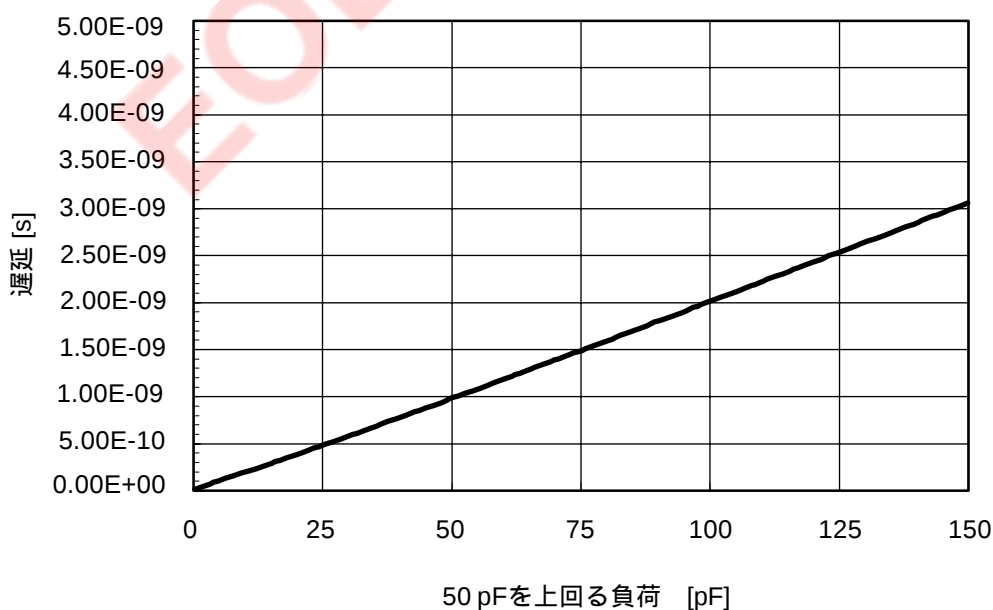
この遅延値を参考にして外部回路の設計を行ってください。この図中の遅延値は出力 Buffer のみの遅延値です。

また、遅延値の出力判定レベルは、立ち上がり遅延が V_{IH} (2.0 V) , 立ち下がり遅延が V_{IL} (0.8 V) です。

出力Buffer負荷依存 (typ.) @立ち上がり遅延



出力Buffer負荷依存 (typ.) @立ち下がり遅延



4. 電気的特性

すべての定格値は風速 2 m/s で空冷した場合の値です。

絶対最大定格

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}		- 0.5 ~ + 4.6	V
入力電圧	V _I		- 0.5 ~ + V _{DD} + 0.5	V
入出力電圧	V _{IO}		- 0.5 ~ + V _{DD} + 0.5	V
動作周囲温度	T _A		0 ~ 70	
保存温度	T _{stg}		- 65 ~ + 150	

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨動作条件

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電源電圧	V _{DD}		3.15	3.3	3.45	V
ハイ・レベル入力電圧	V _{IH1}	CLK, RESET_B 以外	2.0		V _{DD}	V
	V _{IH2}	CLK, RESET_B	2.4		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	CLK, RESET_B 以外	0		0.8	V
	V _{IL2}	CLK, RESET_B	0		0.4	V
動作周囲温度	T _A	風速 2 m/s 以上で空冷	0		70	

DC 特性 (T_A = 0 ~ 70 , V_{DD} = 3.3 V ± 0.15 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電圧	V _{OH}	I _{OH} = - 4.0 mA	2.4			V
ロウ・レベル出力電圧	V _{OL}	I _{OL} = 8.0 mA			0.4	V
動作電流	I _{DD} 注	f _{clk} = 33 MHz (ノーマル・モード)			1150	mA
		f _{clk} = 50 MHz (FF モード)			1150	mA
入力リーク電流	I _{LI}	V _I = 0 V ~ V _{DD}			± 10	μA
出力リーク電流	I _{LO}	V _{IO} = 0 V ~ V _{DD} , 出力：非選択			± 10	μA
プルアップ抵抗値 (HAD, SMD 端子)	R _{PU}	V _I = 0 V	25	50	150	kΩ

注 ノーマル・モードで連続検索を行う場合、全体の検索頻度を 66 % 以下にしてください。

キャパシタンス

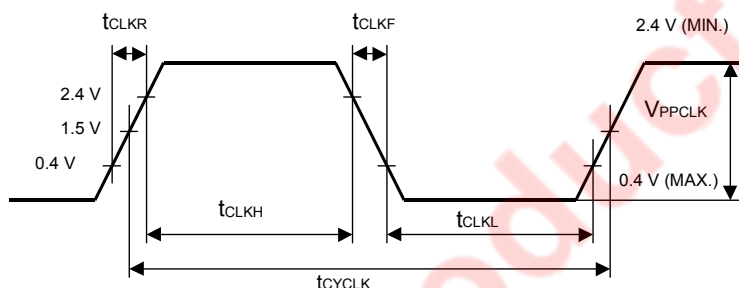
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力容量	C _{IN}	V _{IN} = 0 V, f = 1 MHz			10	pF
出力容量	C _{OUT}	V _{IN} = 0 V, f = 1 MHz			10	pF
入出力容量	C _{I/O}	V _{IN} = 0 V, f = 1 MHz			10	pF

AC 特性 ($T_A = 0 \sim 70$, $V_{DD} = 3.3 V \pm 0.15 V$)

すべての AC 特性は、出力端子負荷 50 pF の場合の値です。

CLK 入力

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
CLK サイクル・タイム	t _{CYCLK}	ノーマル・モード	30		125	ns
		FF モード	20		125	ns
CLK ハイ・レベル幅	t _{CLKH}	ノーマル・モード	13			ns
		FF モード	9			ns
CLK ロウ・レベル幅	t _{CLKL}	ノーマル・モード	13			ns
		FF モード	9			ns
CLK 立ち上がり時間	t _{CLKR}				3	ns
CLK 立ち下り時間	t _{CLKF}				3	ns



RESET_B 入力

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
RESET_B ロウ・レベル幅	t _{WRSTL}		t _{CYCLK} × 2			ns

CE, CE_B 動作

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
CE ↑ → DATA 有効時間	t _{DCEDATA}				10	ns
CE_B ↓ → DATA 有効時間						
CE ↑ → HAD 有効時間	t _{DCEHAD}				10	ns
CE_B ↓ → HAD 有効時間						
CE ↑ → ERR_B 有効時間	t _{DCEERR}				10	ns
CE_B ↓ → ERR_B 有効時間						
CE ↑ → SMD 有効時間	t _{DCESMD}				10	ns
CE_B ↓ → SMD 有効時間						
CE ↓ → DATA フロート時間	t _{FCEDATA}				10	ns
CE_B ↑ → DATA フロート時間						
CE ↓ → HAD フロート時間	t _{FCEHAD}				10	ns
CE_B ↑ → HAD フロート時間						
CE ↓ → ERR_B フロート時間	t _{FCEERR}				10	ns
CE_B ↑ → ERR_B フロート時間						
CE ↓ → SMD フロート時間	t _{FCESMD}				10	ns
CE_B ↑ → SMD フロート時間						

サーチ/メモリ動作 (1/2)

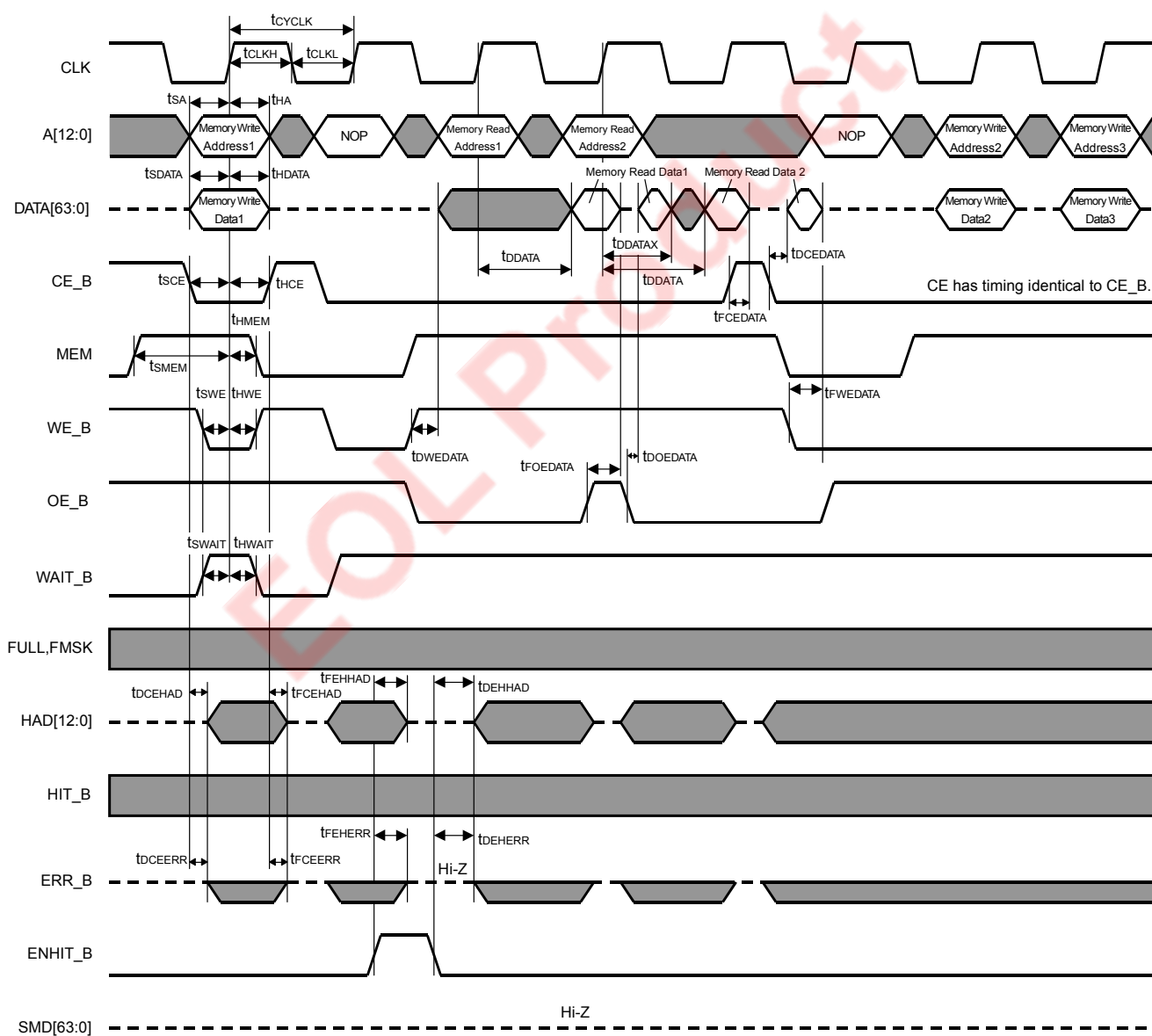
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
A セットアップ時間	tSA		4			ns
A ホールド時間	tHA		4			ns
データ・セットアップ時間	tSDATA		4			ns
データ・ホールド時間	tHDATA		4			ns
CE,CE_B セットアップ時間	tSCE		4			ns
CE,CE_B ホールド時間	tHCE		3			ns
MEM セットアップ時間	tSMEM		3			ns
MEM ホールド時間	tHMEM		3			ns
WE_B セットアップ時間	tSWE		3			ns
WE_B ホールド時間	tDWE		3			ns
WAIT_B セットアップ時間	tSWAIT		3			ns
WAIT_B ホールド時間	tHWAIT		3			ns
FULL,FMSK セットアップ時間	tSMODE		4			ns
FULL,FMSK ホールド時間	tHMODE		3			ns
CLK ↑ → DATA 遅延時間	tDDATA	ノーマル・モード			26	ns
		FF モード			10	ns
CLK ↑ → データ無効時間	tDDATAx	ノーマル・モード	4			ns
WE_B ↑ → データ有効時間	tDWEDATA				10	ns
WE_B ↓ → データ・フロート時間	tFWEDATA				10	ns
OE_B ↓ → データ有効時間	tDOEDATA				10	ns
OE_B ↑ → DATA フロート時間	tFOEDATA				10	ns
ENHIT_B ↓ → HAD 有効時間	tDEHHAD				10	ns
ENHIT_B ↑ → HAD フロート時間	tFEHHAD				10	ns
ENHIT_B ↓ → ERR_B 有効時間	tDEHERR				10	ns
ENHIT_B ↑ → ERR_B フロート時間	tFEHERR				10	ns
CLK ↑ → HAD 有効時間	tDHAD	ノーマル・モード			26	ns
		FF モード			10	ns
CLK ↑ → HAD フロート時間	tFHAD	ノーマル・モード			26	ns
		FF モード			10	ns
CLK ↑ → HAD 無効時間	tDHADx		5			ns
CLK ↑ → HIT_B 遅延時間	tDHIT	ノーマル・モード			26	ns
		FF モード			10	
CLK ↑ → HIT_B 無効時間	tDHITx		5			ns
CLK ↑ → ERR_B 有効時間	tDERR	ノーマル・モード			26	ns
		FF モード			10	ns
CLK ↑ → ERR_B フロート時間	tFERR	ノーマル・モード			26	ns
		FF モード			10	ns
CLK ↑ → ERR_B 無効時間	tDERRx		5			ns
SMD セットアップ時間	tSSMD		2			ns
SMD ホールド時間	tHSMD		3			ns

サーチ / メモリ動作 (2/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
CLK ↑ → SMD ロウ・レベル有効時間	tDSMDL1 ^注	ノーマル・モード			26	ns
		FF モード			10	ns
CLK ↓ → SMD ロウ・レベル有効時間	tDSMDL2 ^注	ノーマル・モード			12	ns
CLK ↓ → SMD ハイ・レベル有効時間	tDSMDH1	ノーマル・モード	2		13	ns
CLK ↑ → SMD ハイ・レベル有効時間	tDSMDH2	FF モード	2		10	ns
CLK ↑ → SMD フロート時間	tFSMD		2		10	ns

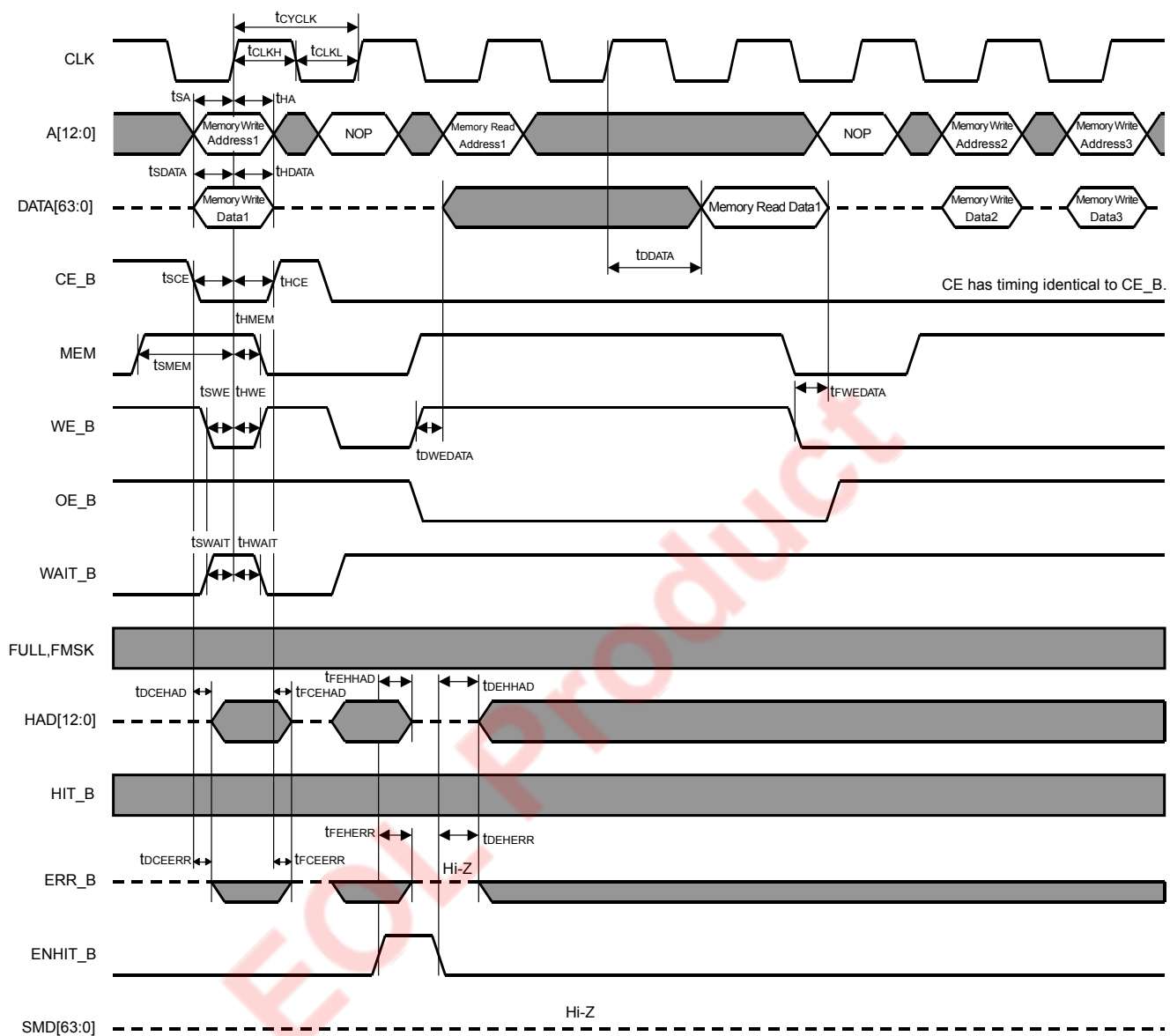
注 SMD ロウ・レベル有効時間は、tDSMDL1 と tDSMDL2 のどちらかの値を満たします。

(1) Memory Access (Normal mode)



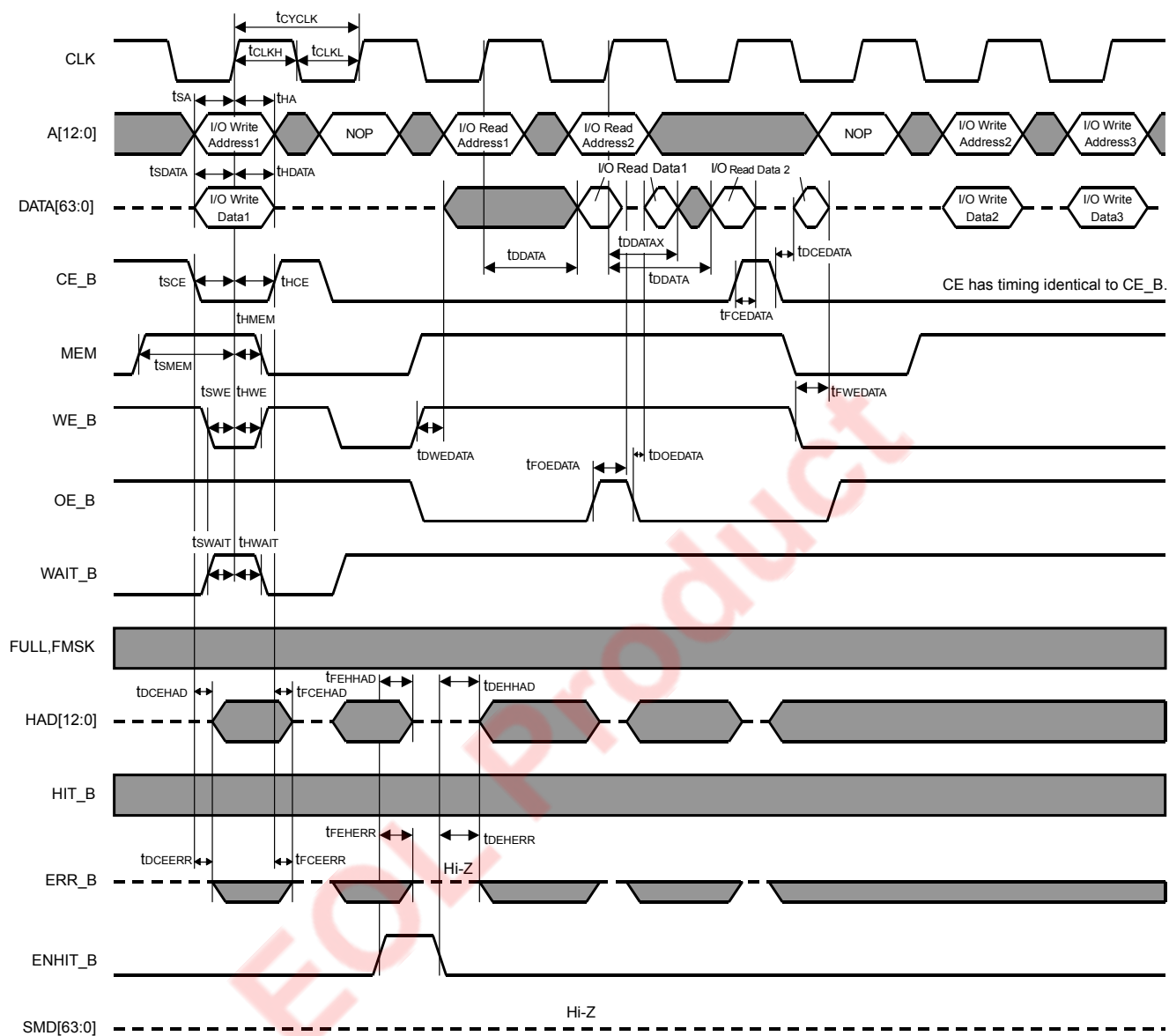
備考 CE は, CE B の反転です。

(2) Memory Access (FF mode)



備考 CE は、CE_B の反転です。

(3) I/O Access (Normal mode)



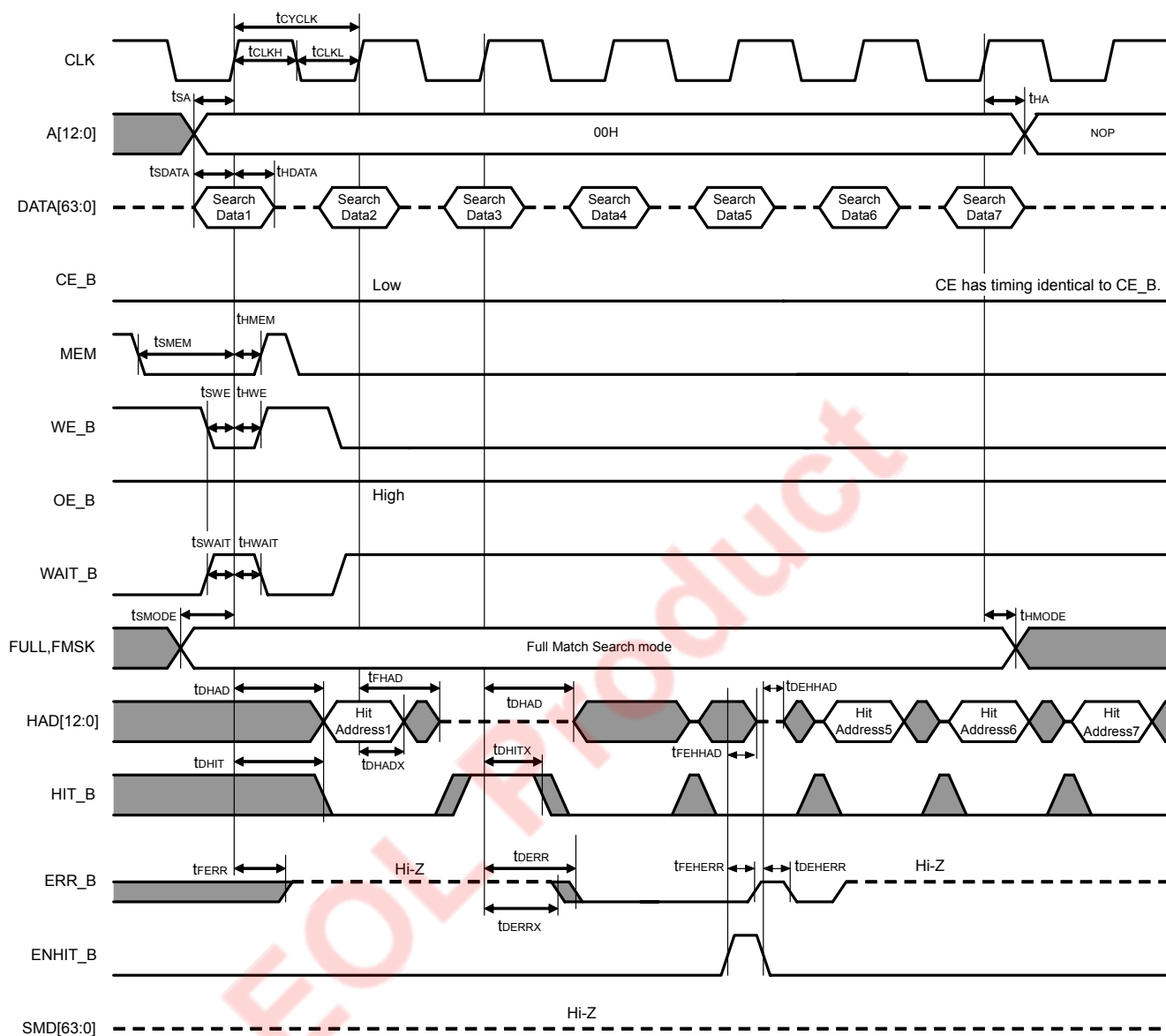
備考 CE は、CE_B の反転です。

The timing diagram illustrates the relationships between various signals during memory access operations. Key signals and their timing parameters include:

- CLK**: Clock signal with timing parameters t_{CYCLK} , t_{CLKH} , and t_{CLKL} .
- A[12:0]**: Address bus with setup time t_{SA} , hold time t_{HA} , and data setup/hold times t_{SDATA} and t_{HDATA} .
- DATA[63:0]**: Data bus with data transfer time t_{DDATA} .
- CE_B**: Chip Enable signal with setup time t_{SCE} and hold time t_{HCE} . A note indicates: "CE has timing identical to CE_B."
- MEM**: Memory Enable signal with setup time t_{SMEM} and hold time t_{HMEM} .
- WE_B**: Write Enable signal with setup time t_{SWE} , hold time t_{HWE} , and data transfer time t_{WEDATA} .
- OE_B**: Output Enable signal with data transfer time t_{WEDATA} .
- WAIT_B**: Wait signal with setup time t_{SWAIT} and hold time t_{HWAIT} .
- FULL_FMSK**: Full Memory Status signal.
- HAD[12:0]**: High Address Data signal with setup time t_{DCEHAD} , hold time t_{FCEHAD} , and data transfer time t_{DEHAD} .
- HIT_B**: Hit signal.
- ERR_B**: Error signal with setup time t_{DCEERR} , hold time t_{FCEERR} , and data transfer time t_{DEHERR} .
- ENHIT_B**: Enable Hit signal.
- SMD[63:0]**: Status Memory Data signal, which is Hi-Z.

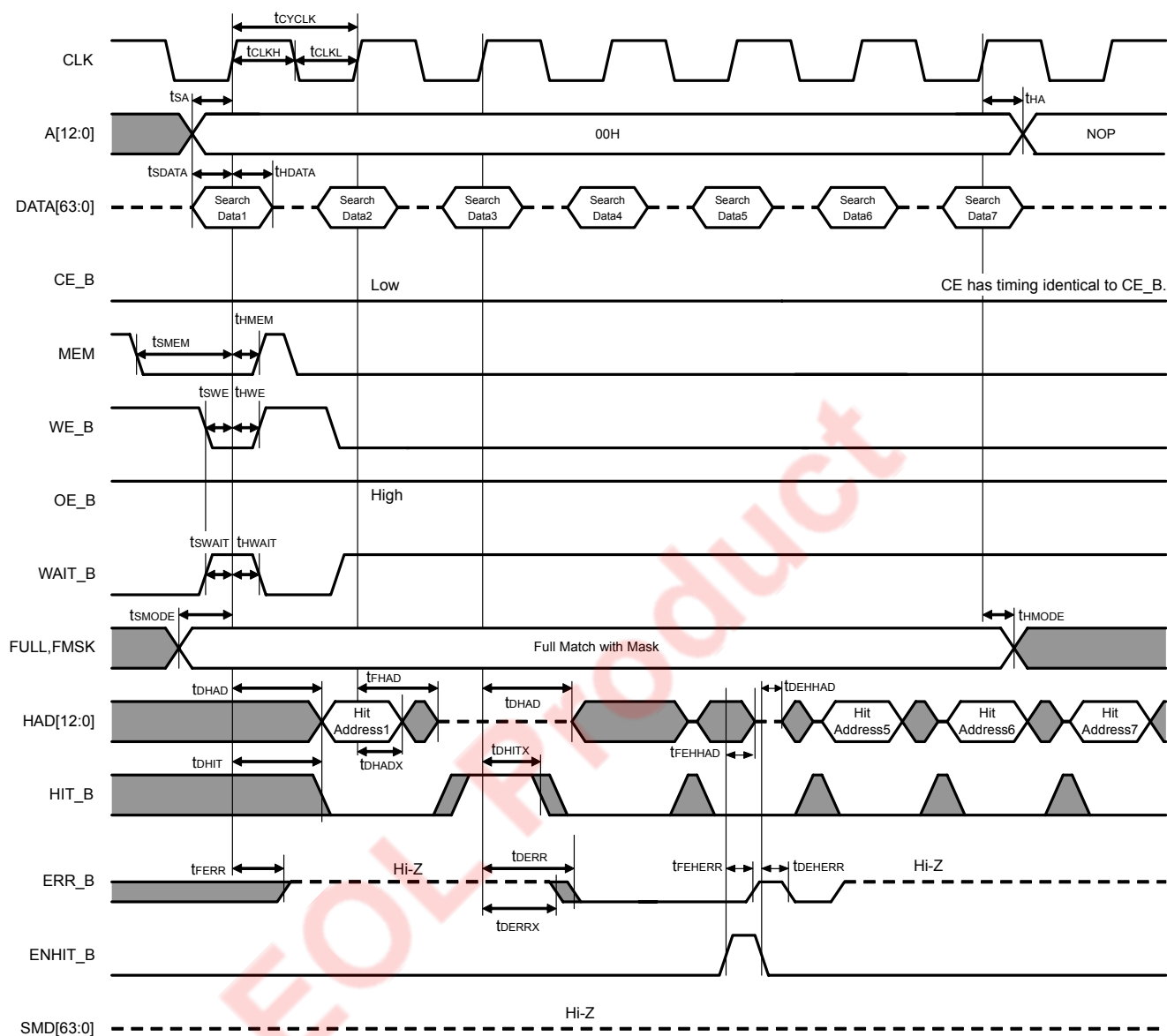
データ・シート S13650JJ6V0DS

(5) Full Match Search (Normal mode)



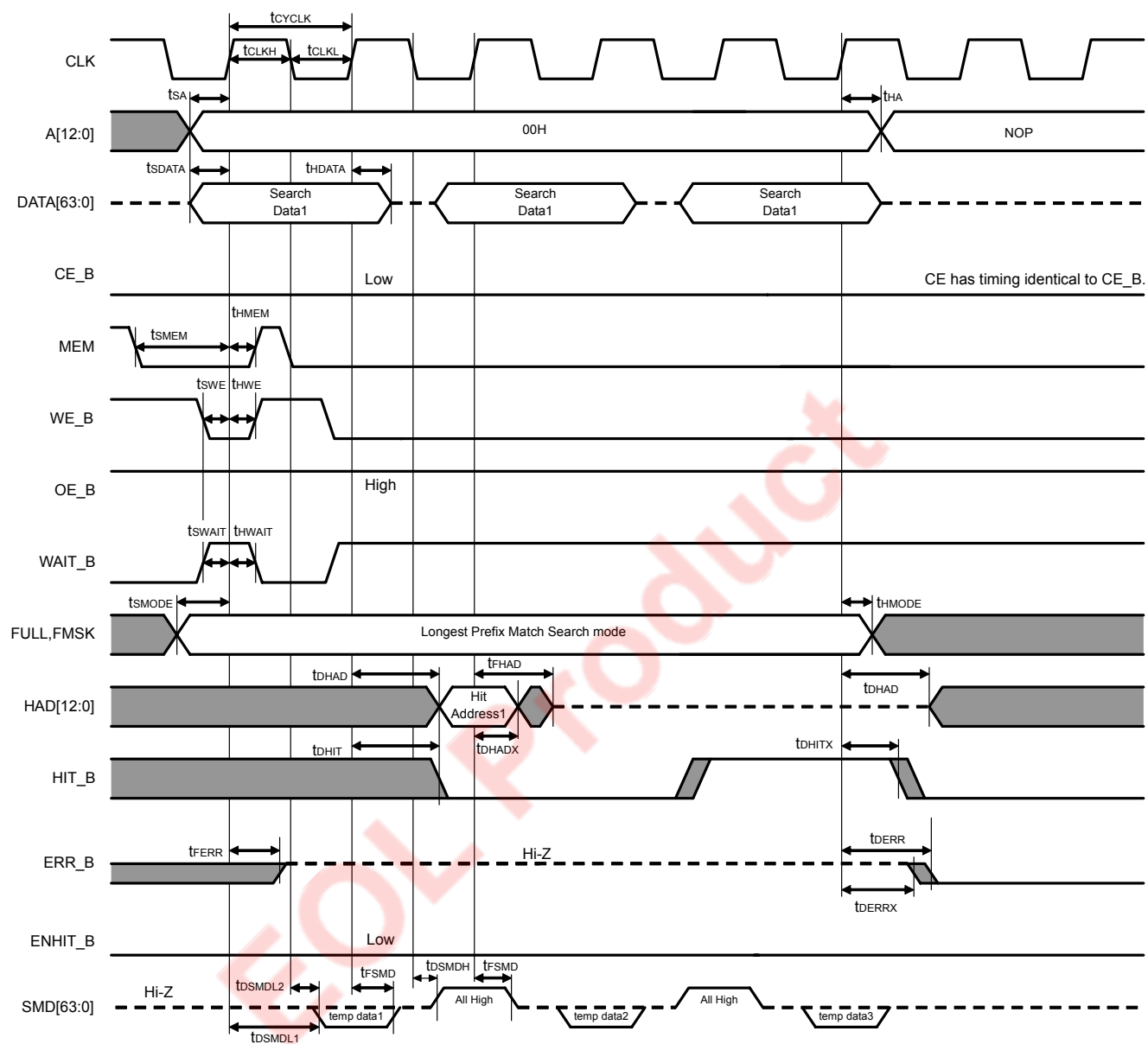
備考 CE は、CE_B の反転です。

(6) Full Match Search with MASK (Normal mode)



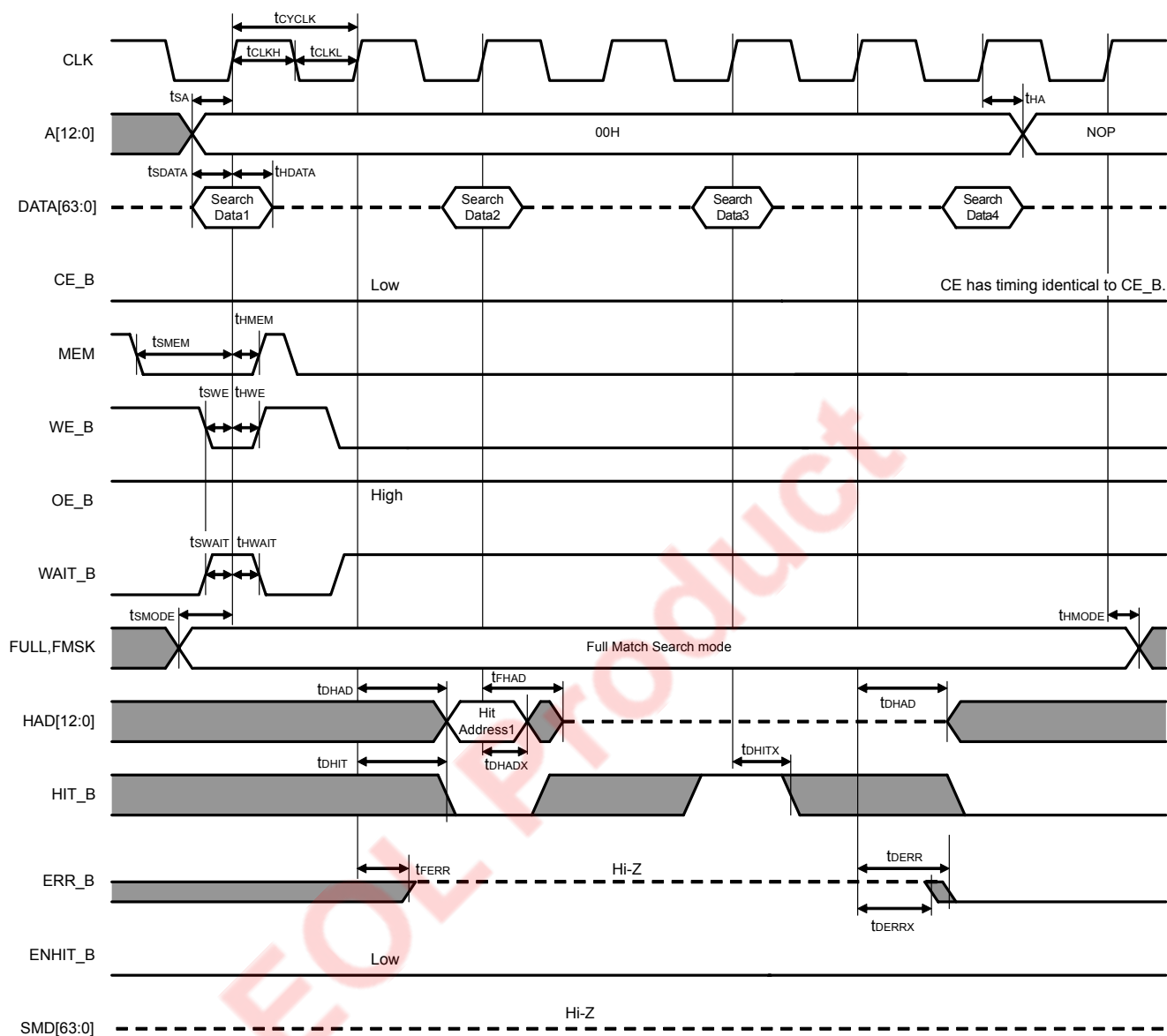
備考 CE は、CE_B の反転です。

(7) Longest Prefix Match Search (Normal mode)



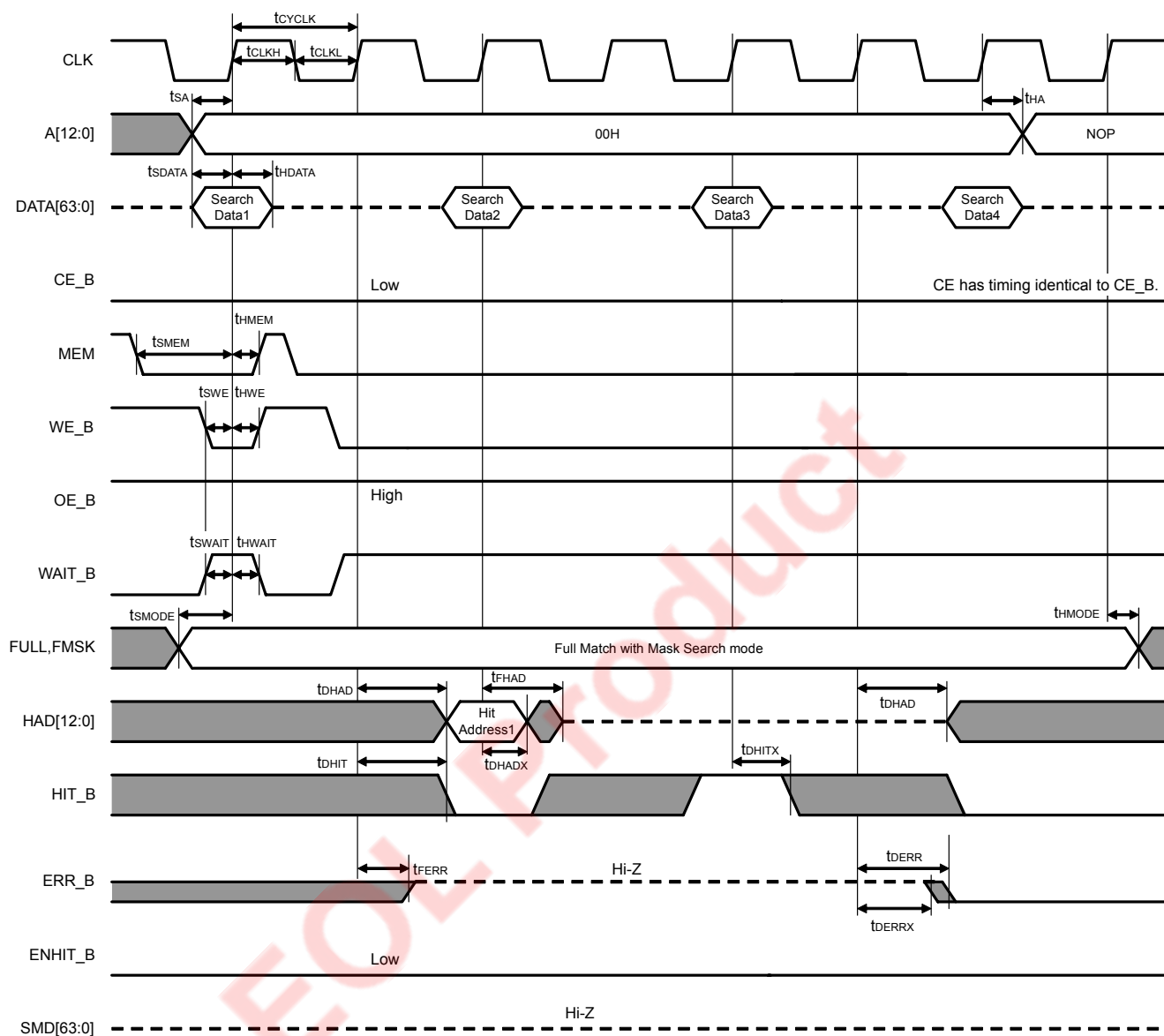
備考 CE は、CE_B の反転です。

(8) Full Match Search (FF mode)



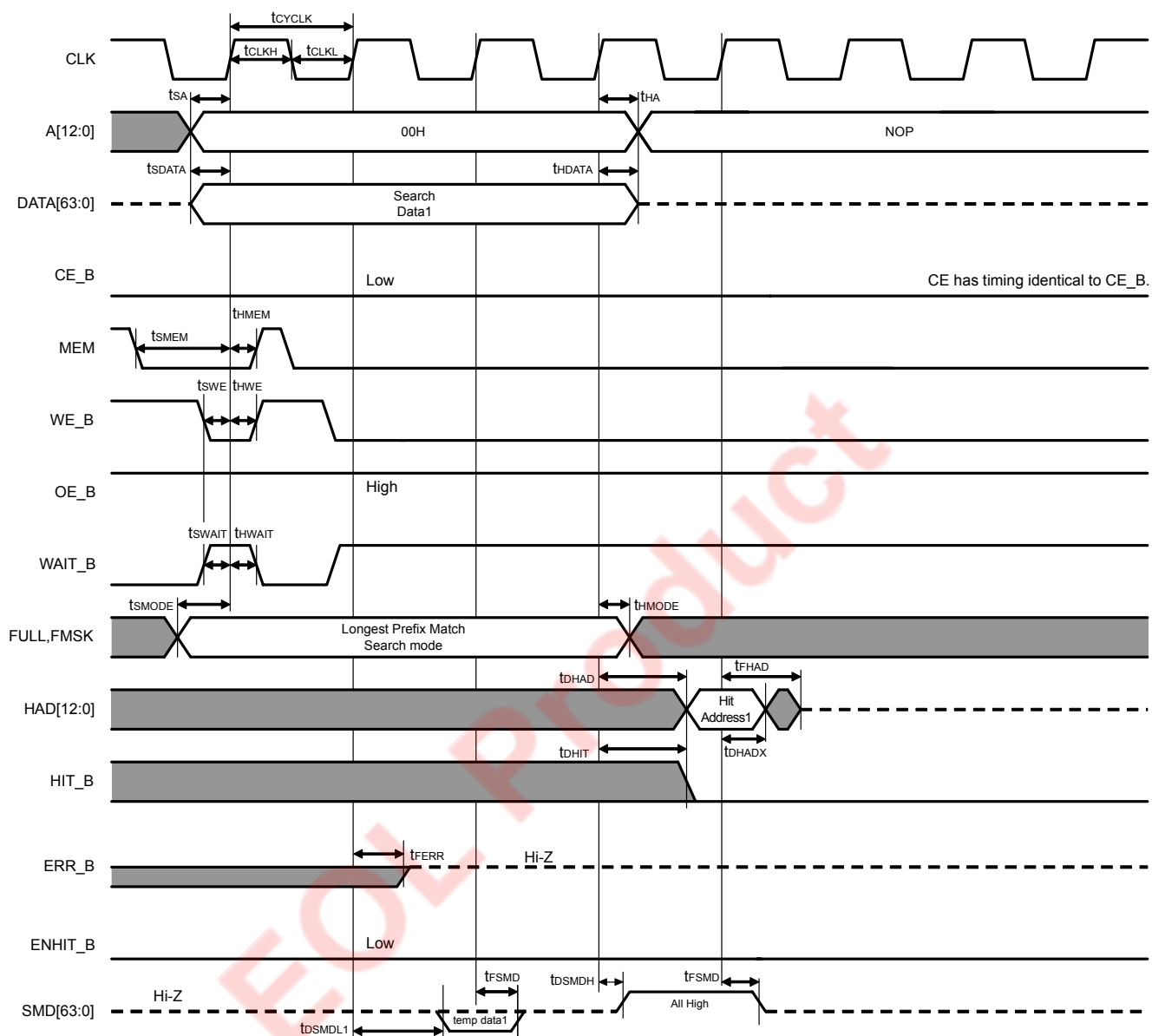
備考 CE は、CE_B の反転です。

(9) Full Match Search with MASK (FF mode)



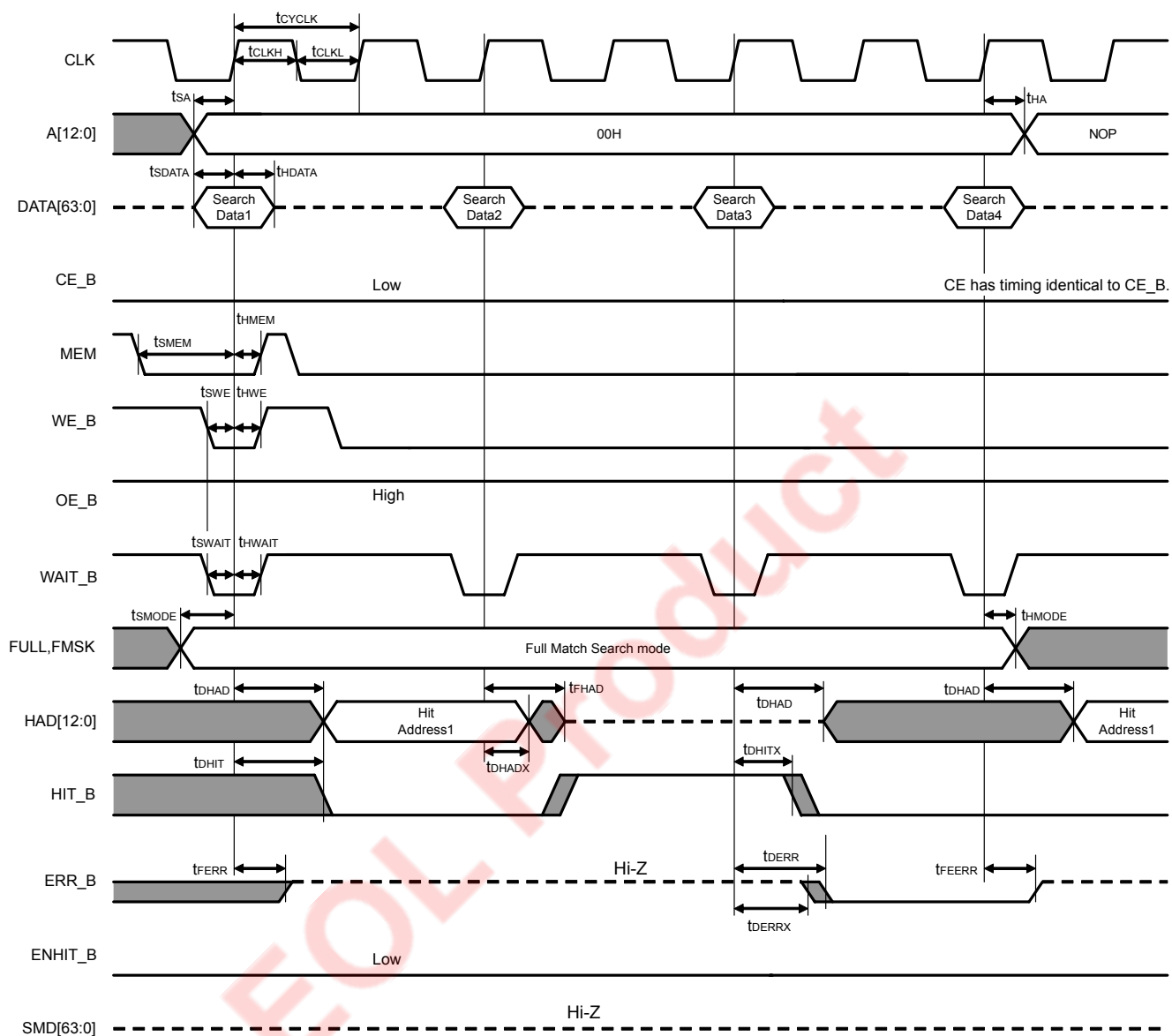
備考 CE は、CE_B の反転です。

(10) Longest Prefix Match Search (FF mode)



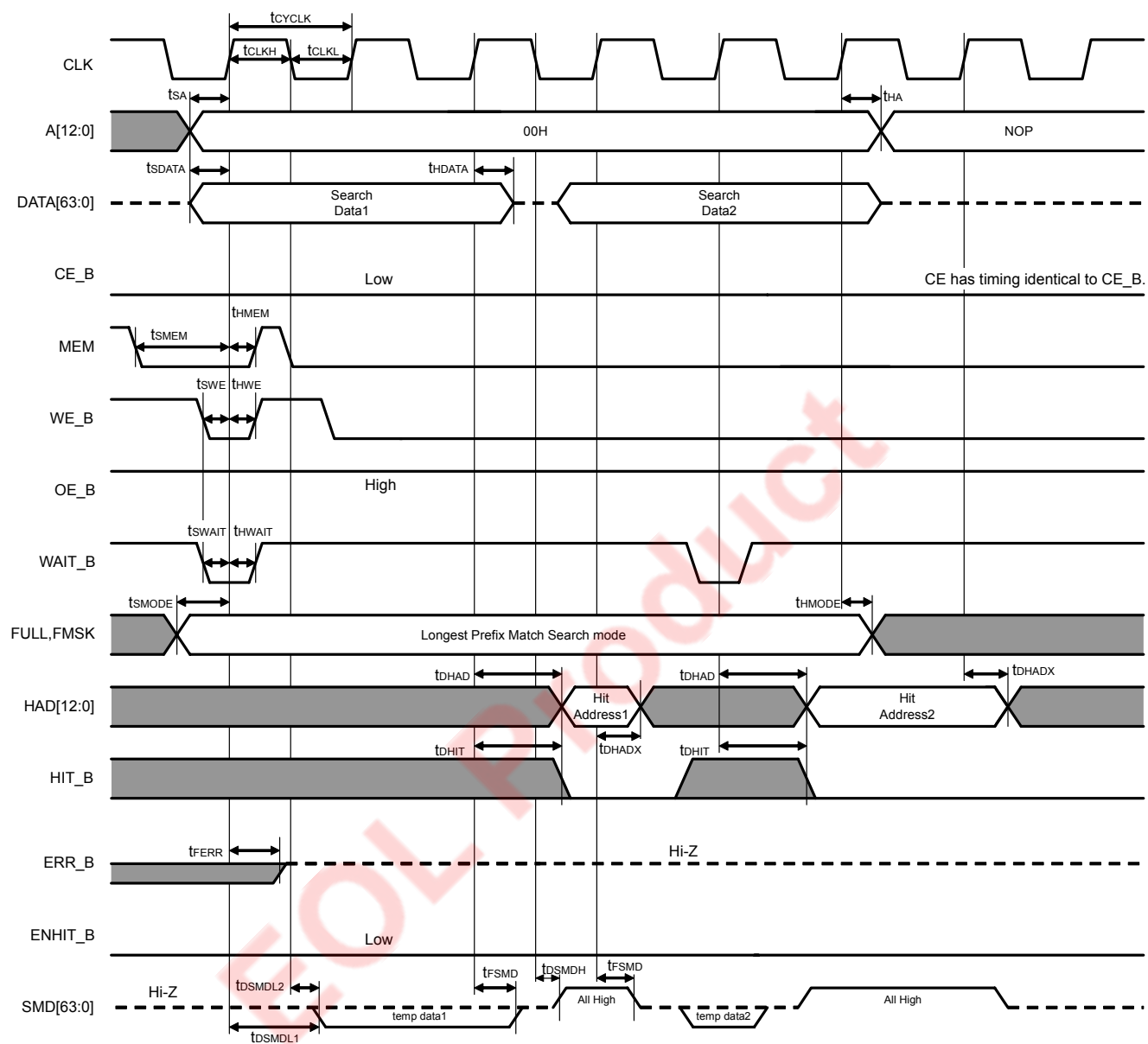
備考 CE は、CE_B の反転です。

(11) Full Match Search (Normal mode, Insertion wait)



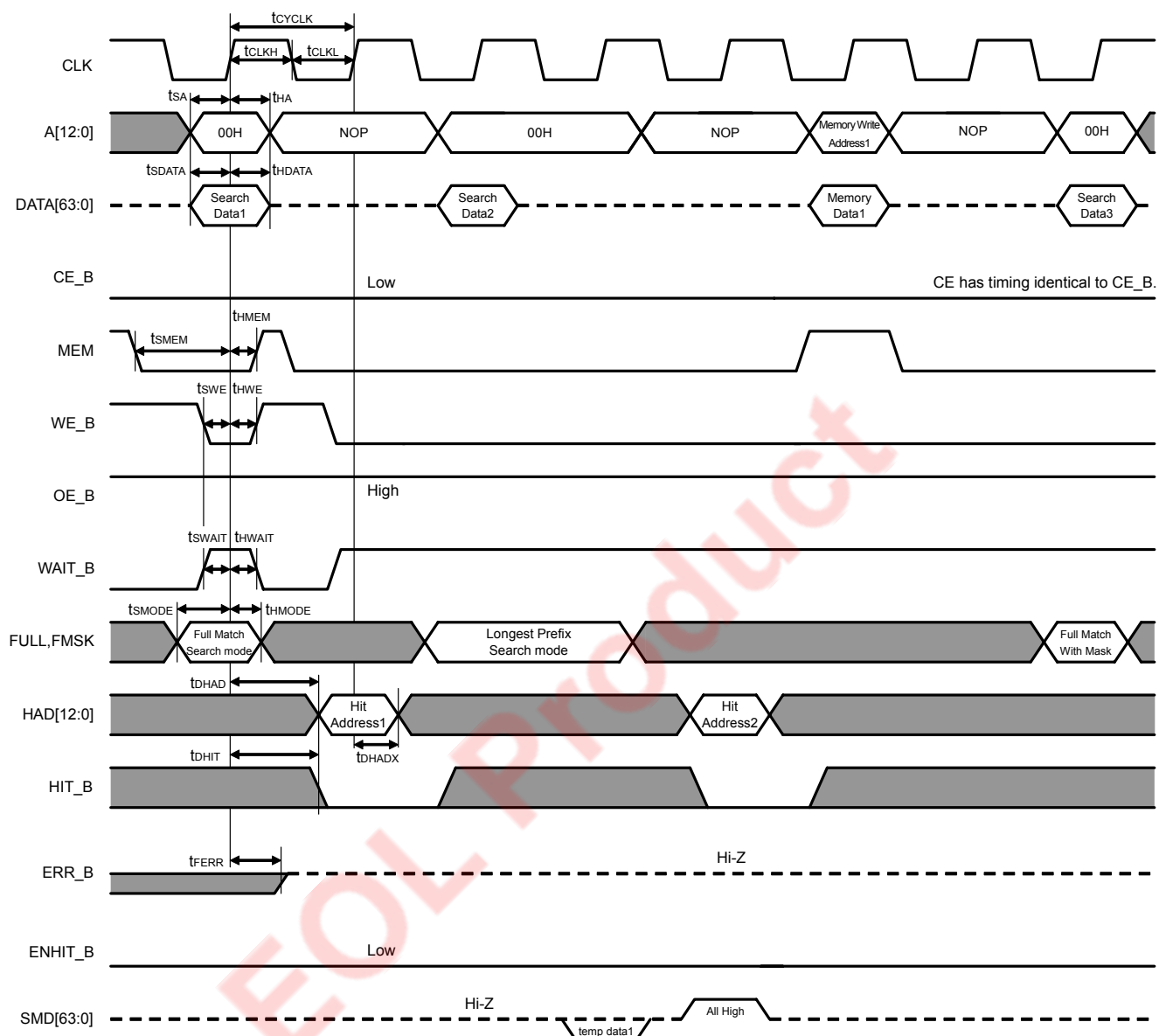
備考 CE は、CE_B の反転です。

(12) Longest Prefix Match Search (Normal mode, Insertion wait)



備考 CE は、CE_B の反転です。

(13) Search → Memory Access → Search (Normal mode)



備考 CE は、CE_B の反転です。

5. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

表面実装タイプ

★ ● μPD98421F1-GA5 : 240 ピン・プラスチック FBGA (16×16)

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30 秒以内（210℃ 以上），回数：2 回以内，制限日数：7 日間 [※] （以降は 125℃ プリベーク 10 時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-107-2

注 ドライパック開封後の保管日数で保管条件は 25℃，65 %RH 以下。

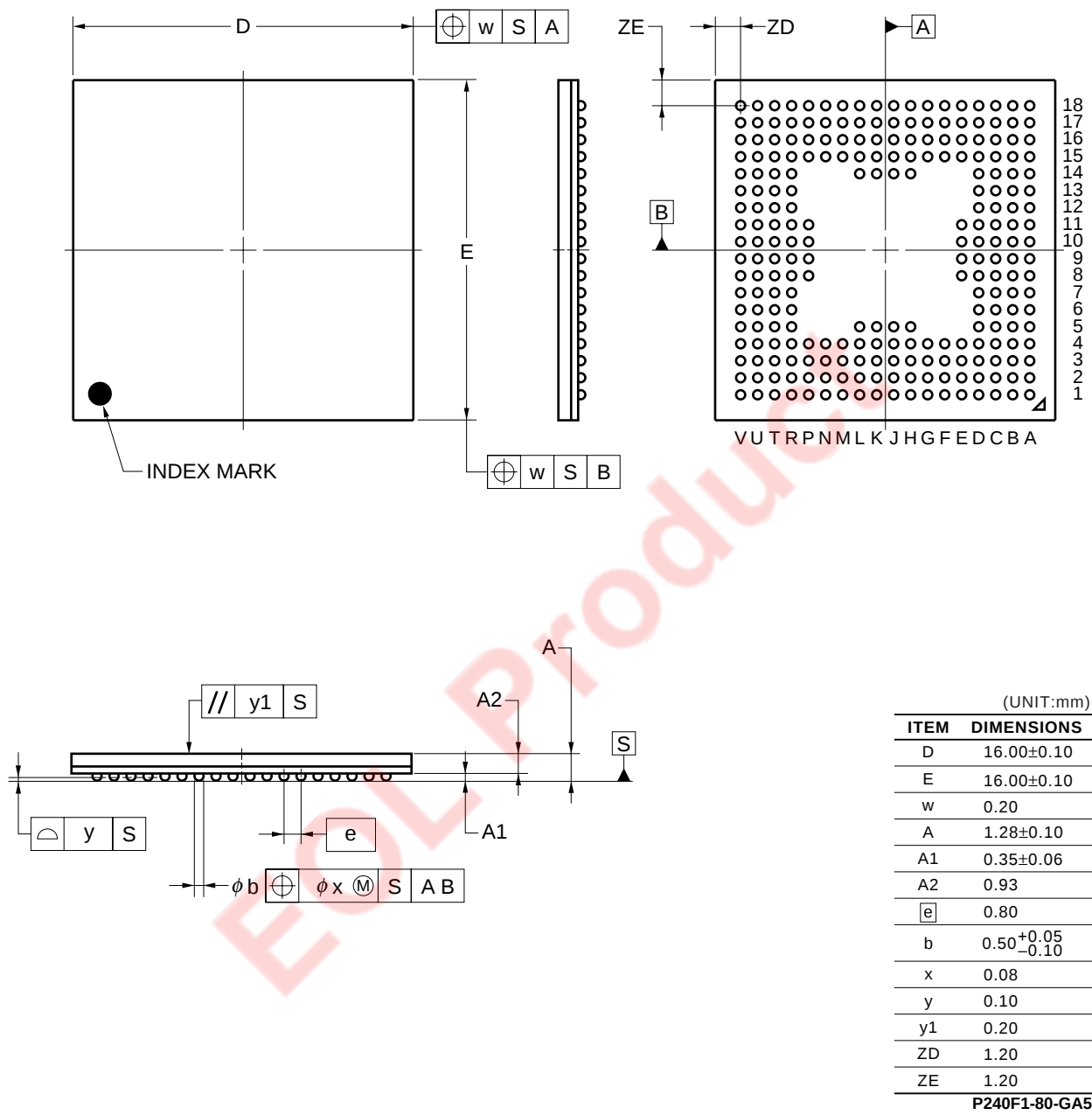
★ ● μPD98421F1-GA5-A : 240 ピン・プラスチック FBGA (16×16)

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60 秒以内（220℃ 以上），回数：2 回以内，制限日数：7 日間 [※] （以降は 125℃ プリベーク 10 時間必要） フラックス：塩素分の少ないロジン系フラックス（塩素 0.2 Wt% 以下）を推奨 <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-2

注 ドライパック開封後の保管日数で保管条件は 25℃，65 %RH 以下。

★6. 外形図

240ピン・プラスチック FBGA (16x16) 外形図



〔メ モ〕

EOL Product

〔メ モ〕

EOL Product

〔メ モ〕

EOL Product

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

- 本資料に記載されている内容は2005年6月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

（注）

（１）本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

（２）本事項において使用されている「当社製品」とは、（１）において定義された当社の開発、製造製品をいう。

M8E 02.11

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL（アドレス） <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00、午後 1:00～5:00）

電 話 ： 044-435-9494

E-mail ： info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。