

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



## 2.4G bps ATM SONET FRAMER

$\mu$  PD98414 (NEASCOT-P70™) は、ATM 用 LSI の一つで、ATM フォーラムに定められている ATM プロトコルのうち、SONET/SDH ベースの物理レイヤにおいて、TC サブレイヤの機能を果たす LSI です。

その主な機能は、送信機能として上位 ATM レイヤ・デバイスから受ける ATM セルを 2.4 G の SONET STS-48c/SDH STM-16c フレームのペイロード部にマッピングし回線側 MUX デバイスに出力することと、受信機能として逆に DEMUX デバイスから受けるデータ列からオーバーヘッド部と ATM セルを分離し、ATM セルを上位 ATM レイヤ・デバイスに転送することです。

LAN, WAN の ATM ネットワークを構成する伝送システム, ATM スイッチ, 高速バックボーン・スイッチなどの装置に最適です。

詳しい機能説明などは、次のユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

$\mu$ PD98414 ユーザズ・マニュアル : S14166J

## 特 徴

ATM Forum, ITU-T で勧告されている TC (Transmission Convergence) サブレイヤの機能を提供

2.4 Gbps SONET STS-48c/ SDH STM-16c のコンカチネーション・フレームをサポート

ATM レイヤ・インタフェース

- ・ 32 ビット幅, 104 MHz, LVTTTL FIFO インタフェース
- ・ 15 セル・サイズの送受信 FIFO
- ・ 52 バイト / 56 バイトのセル・フォーマットをサポート
- ・ 1 ワードの TAG 領域を受信セルの先頭に付加可能

回線側インタフェース

- ・ 16 ビット幅 PECL レベル入出力

CPU インタフェースは 2 モードから選択可能

- ・ 16 ビット幅データ・バス
- ・ Intel 互換モード [ RD, WR, RDY スタイル ] / Motorola 互換モード [ DS, R/W, ACK スタイル ]

2 種類のオーバーヘッド・インタフェースを提供 (すべてのオーバーヘッド領域にアクセス可能)

- ・ オーバヘッド・バイトのインサート / ドロップ用レジスタを装備
- ・ オーバヘッド・バイトの挿入 / 抽出用の専用インタフェースを装備

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

豊富な OAM 機能を提供

- ・ 障害 : LOS , OOF , LOF , LOP , OCD , LCD の検出
- ・ 警報 : APS , Line AIS , Line RDI , Path AIS , Path RDI の検出および送出
- ・ 受信 APS 信号 , Signal Label ( C2 バイト ) の監視機能を装備
- ・ ビット・エラー・レート・モニタリング機能を装備

J0/J1 トレース・メッセージ ( 16 バイト , 64 バイト長 ) の送受信メッセージ・バッファを装備

ループバック機能をサポート

リモート : 2 モード ( ATM レイヤ・ループバック , 回線側ループバック )

テスト用エラー生成疑似フレームの送出機能を提供

汎用ポート 入力 : 3 本 , 出力 : 5 本を装備

JTAG バウンダリ・スキャン・テスト ( IEEE 1149.1 ) をサポート

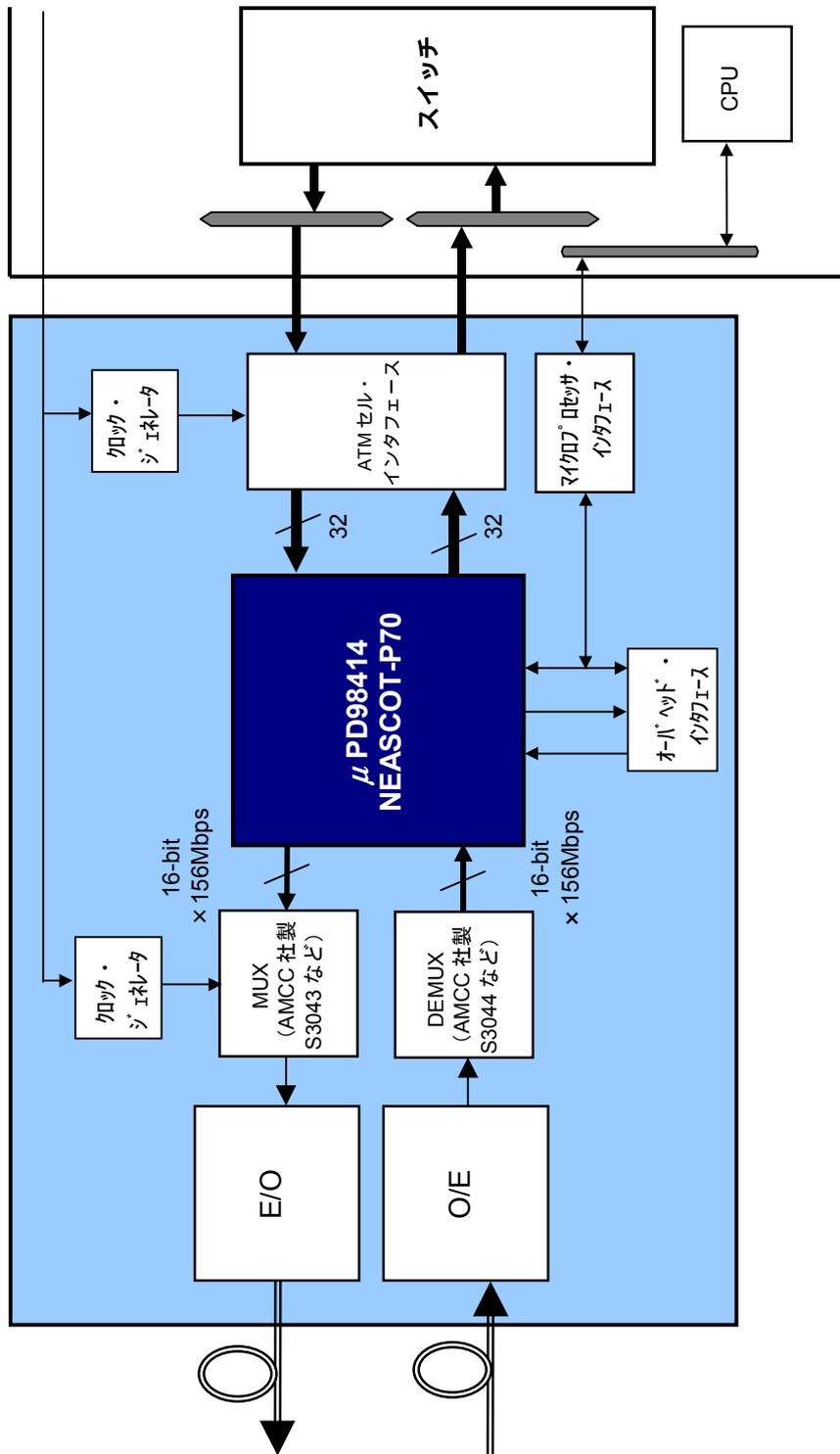
0.35 μm CMOS プロセス

+ 3.3 V 単一電源

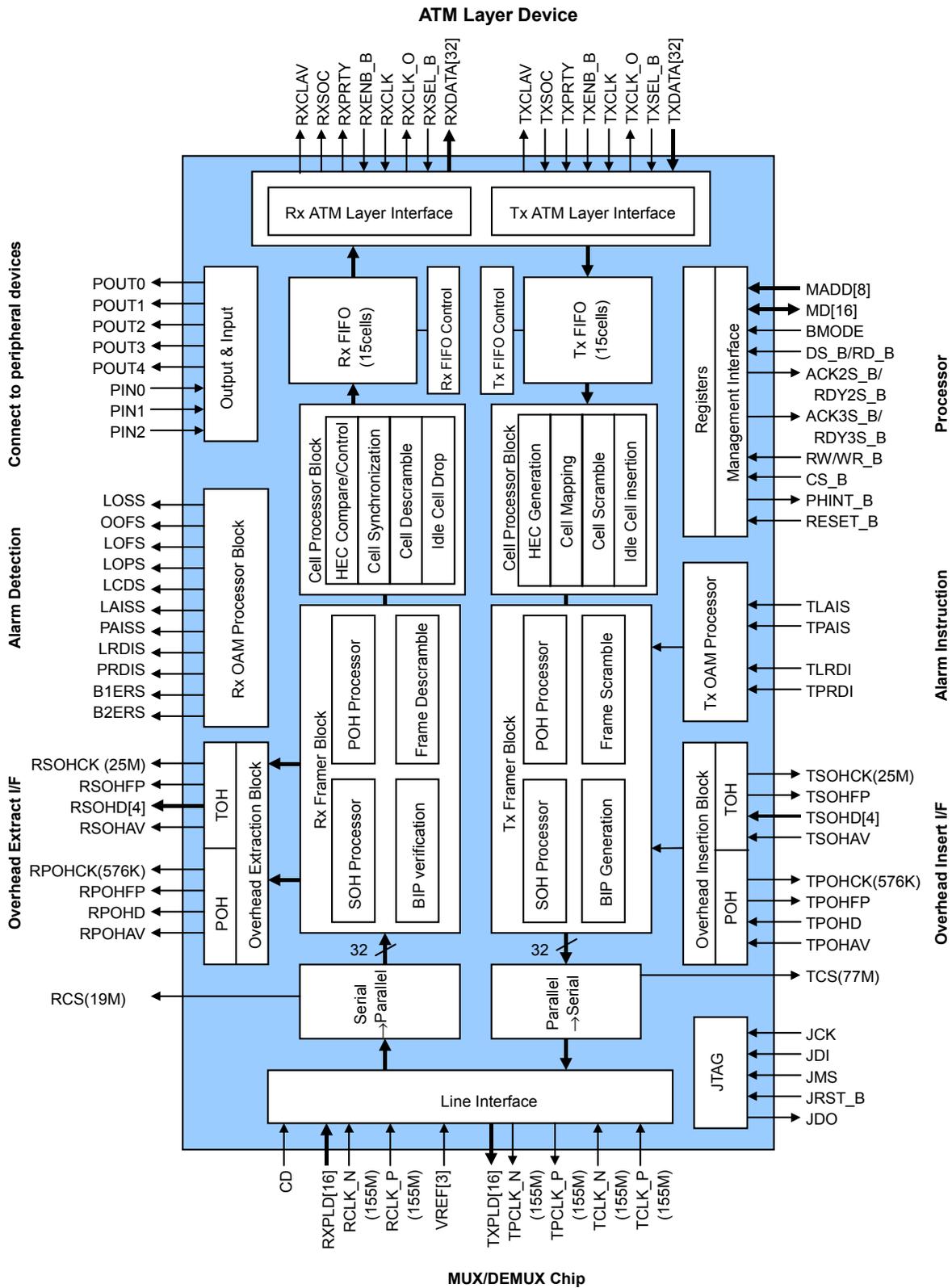
## オーダー情報

オーダー名称	パッケージ
μ PD98414F2-RN1	352 ピン・プラスチック BGA ( C/D アドバンスド・タイプ ) ( 35 × 35 )

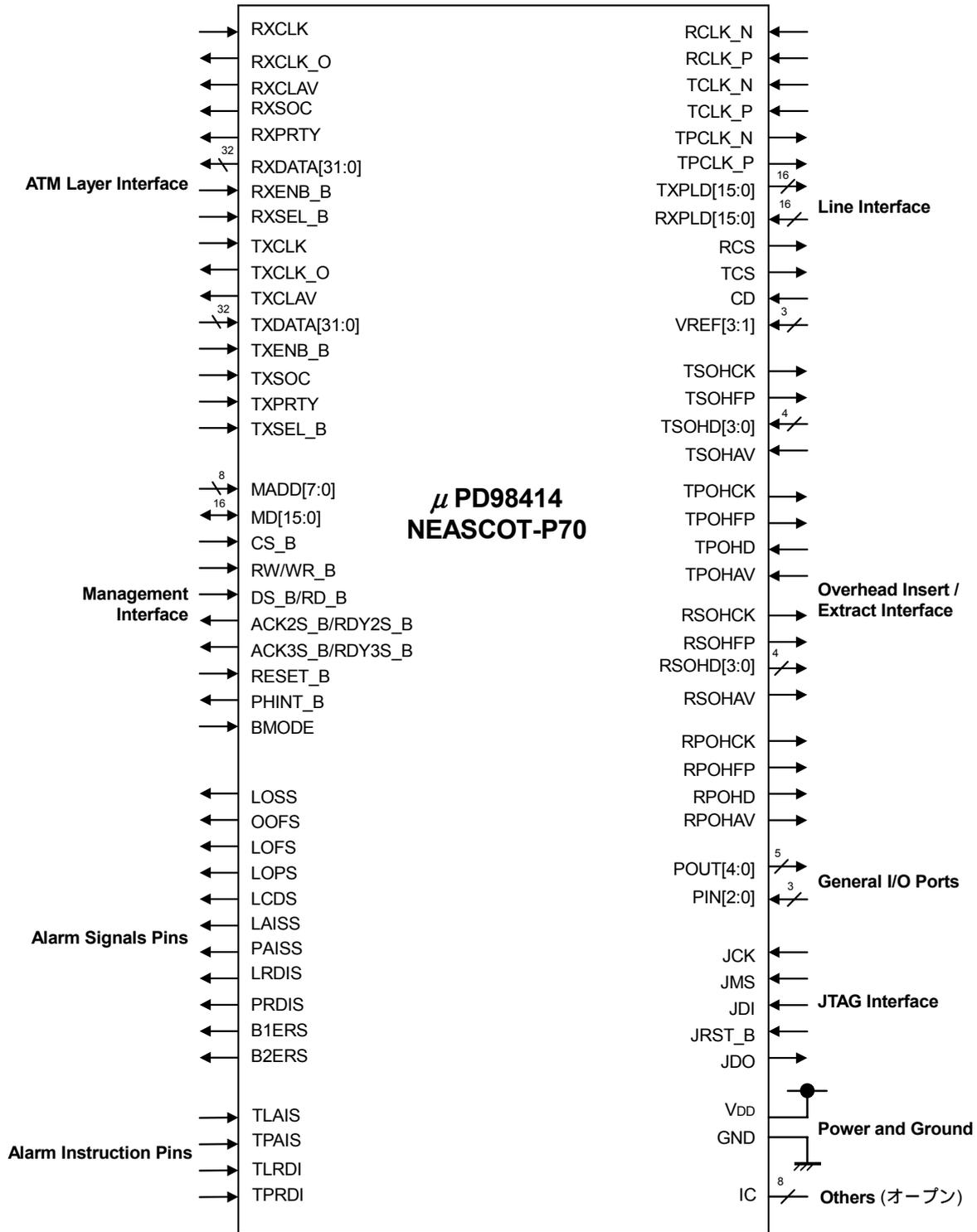
システム構成例



ブロック図



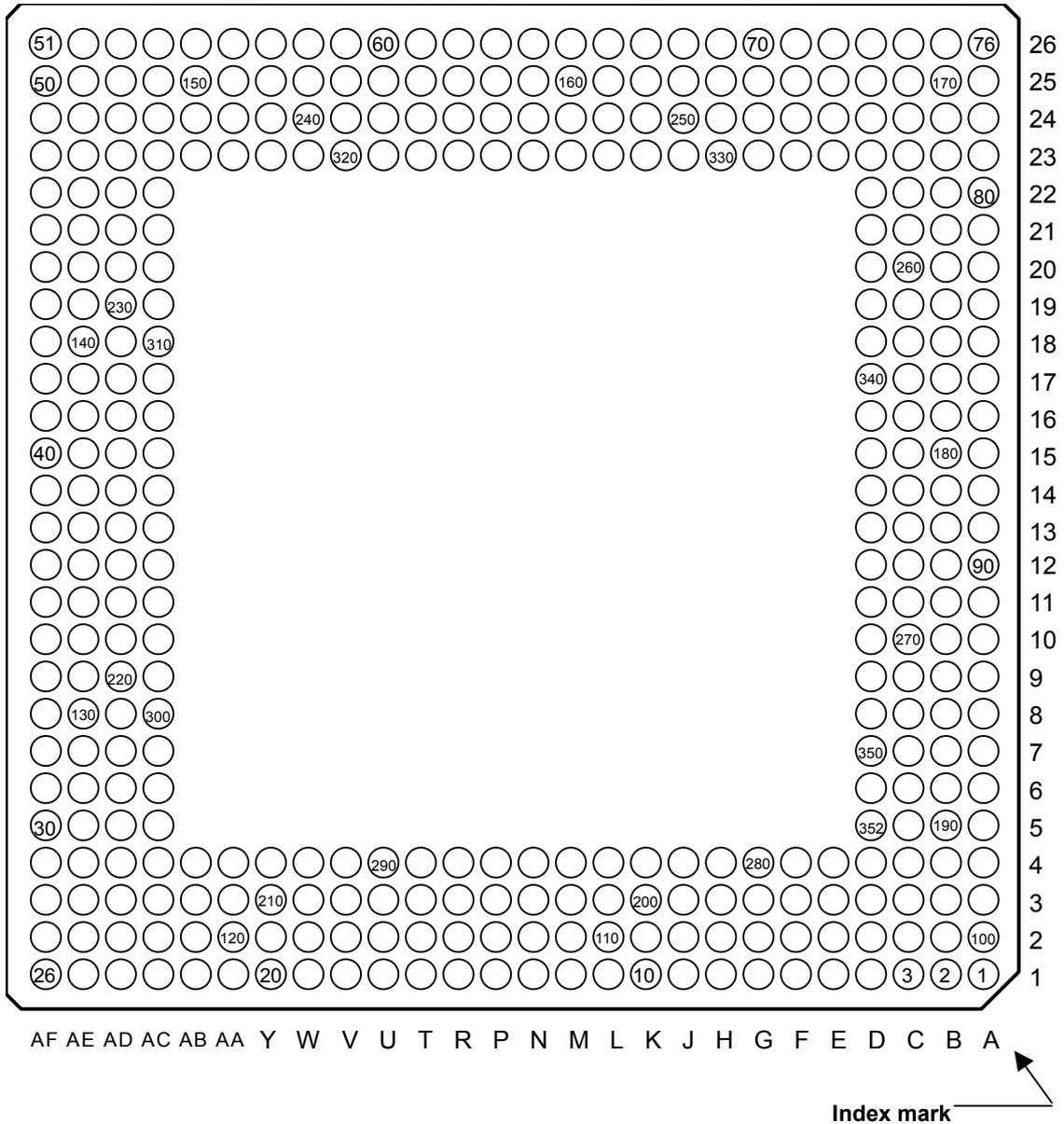
端子構成図



端子接続図 (Bottom View)

・ 352 ピン・プラスチック BGA (C/D アドバンスト・タイプ)(35 × 35)

μ PD98414F2-RN1



端子配置表

( 1/3 )

シリアル No.	アドレス No.	端子名	シリアル No.	アドレス No.	端子名	シリアル No.	アドレス No.	端子名
1	A01	GND	44	AF19	RXDATA30	86	A16	GND
2	B01	TCS	45	AF20	RXPRTY	87	A15	TXPLD13
3	C01	IC	46	AF21	RXCLAV	88	A14	GND
4	D01	IC	47	AF22	GND	89	A13	GND
5	E01	RXPLD15	48	AF23	POUT1	90	A12	V <sub>DD</sub>
6	F01	RXPLD13	49	AF24	PRDIS	91	A11	V <sub>DD</sub>
7	G01	GND	50	AF25	V <sub>DD</sub>	92	A10	GND
8	H01	RXPLD10	51	AF26	GND	93	A09	V <sub>DD</sub>
9	J01	RXPLD8	52	AE26	LAISS	94	A08	TXPLD3
10	K01	V <sub>DD</sub>	53	AD26	OOF5	95	A07	V <sub>DD</sub>
11	L01	GND	54	AC26	GND	96	A06	GND
12	M01	RXPLD4	55	AB26	TXDATA1	97	A05	TPCLK_P
13	N01	V <sub>DD</sub>	56	AA26	V <sub>DD</sub>	98	A04	IC
14	P01	GND	57	Y26	GND	99	A03	JDI
15	R01	GND	58	W26	V <sub>DD</sub>	100	A02	V <sub>DD</sub>
16	T01	V <sub>DD</sub>	59	V26	TXDATA10	101	B02	V <sub>DD</sub>
17	U01	RCLK_P	60	U26	TXDATA12	102	C02	RCS
18	V01	RPOHFP	61	T26	TXDATA15	103	D02	IC
19	W01	RSOHD2	62	R26	TXDATA17	104	E02	V <sub>DD</sub>
20	Y01	RSOHAV	63	P26	GND	105	F02	GND
21	AA01	TPOHAV	64	N26	TXDATA19	106	G02	RXPLD12
22	AB01	TSOHD2	65	M26	GND	107	H02	RXPLD11
23	AC01	TSOHD0	66	L26	TXDATA24	108	J02	RXPLD9
24	AD01	POUT4	67	K26	GND	109	K02	VREF2
25	AE01	GND	68	J26	TXDATA28	110	L02	GND
26	AF01	GND	69	H26	TXDATA30	111	M02	V <sub>DD</sub>
27	AF02	PIN1	70	G26	TXPRTY	112	N02	RXPLD3
28	AF03	TLRDI	71	F26	TXCLAV	113	P02	RXPLD2
29	AF04	POUT2	72	E26	GND	114	R02	RXPLD0
30	AF05	RXDATA1	73	D26	POUT0	115	T02	RCLK_N
31	AF06	V <sub>DD</sub>	74	C26	PHINT_B	116	U02	RPOHD
32	AF07	GND	75	B26	GND	117	V02	RSOHD3
33	AF08	V <sub>DD</sub>	76	A26	GND	118	W02	RSOHD1
34	AF09	RXDATA10	77	A25	RW	119	Y02	RSOHP
35	AF10	RXDATA12	77 兼用	A25 兼用	WR_B	120	AA02	TPOHFP
36	AF11	RXDATA15	78	A24	MADD6	121	AB02	TSOHD1
37	AF12	RXDATA17	79	A23	MADD4	122	AC02	TSOHP
38	AF13	GND	80	A22	MADD1	123	AD02	PIN2
39	AF14	RXDATA19	81	A21	MD13	124	AE02	V <sub>DD</sub>
40	AF15	GND	82	A20	MD10	125	AE03	PIN0
41	AF16	RXDATA24	83	A19	MD7	126	AE04	TPAIS
42	AF17	GND	84	A18	MD3	127	AE05	V <sub>DD</sub>
43	AF18	RXDATA28	85	A17	MD0	128	AE06	RXDATA3

(2/3)

シリアル No.	アドレス No.	端子名	シリアル No.	アドレス No.	端子名	シリアル No.	アドレス No.	端子名
129	AE07	RXDATA5	171 兼用	B24 兼用	RDY3S_B	215	AD04	CD
130	AE08	RXDATA6	172	B23	MADD5	216	AD05	RXDATA0
131	AE09	RXDATA9	173	B22	MADD2	217	AD06	GND
132	AE10	V <sub>DD</sub>	174	B21	MD14	218	AD07	RXDATA4
133	AE11	GND	175	B20	MD11	219	AD08	V <sub>DD</sub>
134	AE12	RXDATA16	176	B19	MD9	220	AD09	RXDATA8
135	AE13	RXDATA18	177	B18	MD5	221	AD10	RXDATA11
136	AE14	V <sub>DD</sub>	178	B17	MD1	222	AD11	RXDATA13
137	AE15	RXDATA22	179	B16	GND	223	AD12	V <sub>DD</sub>
138	AE16	RXDATA25	180	B15	V <sub>DD</sub>	224	AD13	V <sub>DD</sub>
139	AE17	RXDATA27	181	B14	TXPLD12	225	AD14	RXDATA21
140	AE18	GND	182	B13	TXPLD11	226	AD15	RXDATA23
141	AE19	RXDATA31	183	B12	TXPLD9	227	AD16	RXDATA26
142	AE20	RXENB_B	184	B11	TXPLD7	228	AD17	V <sub>DD</sub>
143	AE21	V <sub>DD</sub>	185	B10	GND	229	AD18	V <sub>DD</sub>
144	AE22	RXCLK_O	186	B09	V <sub>DD</sub>	230	AD19	V <sub>DD</sub>
145	AE23	B2ERS	187	B08	GND	231	AD20	RXSEL_B
146	AE24	PAISS	188	B07	TXPLD1	232	AD21	RXCLK
147	AE25	V <sub>DD</sub>	189	B06	TCLK_N	233	AD22	TLAIS
148	AD25	LOSS	190	B05	TPCLK_N	234	AD23	LRDIS
149	AC25	LCDS	191	B04	JCK	235	AD24	V <sub>DD</sub>
150	AB25	V <sub>DD</sub>	192	B03	JRST_B	236	AC24	LOPS
151	AA25	TXDATA3	193	C03	V <sub>DD</sub>	237	AB24	TXDATA0
152	Y25	TXDATA5	194	D03	IC	238	AA24	GND
153	W25	TXDATA6	195	E03	VREF3	239	Y24	TXDATA4
154	V25	TXDATA9	196	F03	GND	240	W24	V <sub>DD</sub>
155	U25	V <sub>DD</sub>	197	G03	V <sub>DD</sub>	241	V24	TXDATA8
156	T25	GND	198	H03	V <sub>DD</sub>	242	U24	TXDATA11
157	R25	TXDATA16	199	J03	V <sub>DD</sub>	243	T24	TXDATA13
158	P25	TXDATA18	200	K03	GND	244	R24	V <sub>DD</sub>
159	N25	V <sub>DD</sub>	201	L03	RXPLD7	245	P24	V <sub>DD</sub>
160	M25	TXDATA22	202	M03	RXPLD5	246	N24	TXDATA21
161	L25	TXDATA25	203	N03	V <sub>DD</sub>	247	M24	TXDATA23
162	K25	TXDATA27	204	P03	RXPLD1	248	L24	TXDATA26
163	J25	GND	205	R03	GND	249	K24	V <sub>DD</sub>
164	H25	TXDATA31	206	T03	GND	250	J24	V <sub>DD</sub>
165	G25	TXENB_B	207	U03	RPOHAV	251	H24	V <sub>DD</sub>
166	F25	V <sub>DD</sub>	208	V03	V <sub>DD</sub>	252	G24	TXSEL_B
167	E25	TXCLK_O	209	W03	RSOHD0	253	F24	TXCLK
168	D25	RESET_B	210	Y03	TPOHD	254	E24	IC
169	C25	DS_B	211	AA03	TSOHD3	255	D24	CS_B
169 兼用	C25 兼用	RD_B	212	AB03	TSOHAV	256	C24	V <sub>DD</sub>
170	B25	V <sub>DD</sub>	213	AC03	POUT3	257	C23	ACK2S_B
171	B24	ACK3S_B	214	AD03	V <sub>DD</sub>	257 兼用	C23 兼用	RDY2S_B

( 3/3 )

シリアル No.	アドレス No.	端子名	シリアル No.	アドレス No.	端子名	シリアル No.	アドレス No.	端子名
258	C22	MADD3	290	U04	RPOHCK	322	T23	GND
259	C21	MADD0	291	V04	GND	323	R23	TXDATA14
260	C20	MD12	292	W04	RSOHCK	324	P23	GND
261	C19	V <sub>DD</sub>	293	Y04	TPOHCK	325	N23	TXDATA20
262	C18	MD6	294	AA04	GND	326	M23	V <sub>DD</sub>
263	C17	MD2	295	AB04	TSOHCK	327	L23	V <sub>DD</sub>
264	C16	V <sub>DD</sub>	296	AC04	GND	328	K23	TXDATA29
265	C15	TXPLD14	297	AC05	TPRDI	329	J23	GND
266	C14	V <sub>DD</sub>	298	AC06	V <sub>DD</sub>	330	H23	GND
267	C13	TXPLD10	299	AC07	RXDATA2	331	G23	TXSOC
268	C12	GND	300	AC08	GND	332	F23	GND
269	C11	TXPLD6	301	AC09	RXDATA7	333	E23	BMODE
270	C10	TXPLD5	302	AC10	GND	334	D23	GND
271	C09	V <sub>DD</sub>	303	AC11	GND	335	D22	MADD7
272	C08	TXPLD2	304	AC12	RXDATA14	336	D21	V <sub>DD</sub>
273	C07	TXPLD0	305	AC13	GND	337	D20	MD15
274	C06	V <sub>DD</sub>	306	AC14	RXDATA20	338	D19	GND
275	C05	IC	307	AC15	V <sub>DD</sub>	339	D18	MD8
276	C04	JMS	308	AC16	V <sub>DD</sub>	340	D17	MD4
277	D04	GND	309	AC17	RXDATA29	341	D16	GND
278	E04	IC	310	AC18	GND	342	D15	TXPLD15
279	F04	V <sub>DD</sub>	311	AC19	GND	343	D14	GND
280	G04	RXPLD14	312	AC20	RXSOC	344	D13	V <sub>DD</sub>
281	H04	GND	313	AC21	GND	345	D12	TXPLD8
282	J04	GND	314	AC22	B1ERS	346	D11	V <sub>DD</sub>
283	K04	V <sub>DD</sub>	315	AC23	GND	347	D10	TXPLD4
284	L04	GND	316	AB23	LOFS	348	D09	GND
285	M04	RXPLD6	317	AA23	V <sub>DD</sub>	349	D08	GND
286	N04	GND	318	Y23	TXDATA2	350	D07	TCLK_P
287	P04	V <sub>DD</sub>	319	W23	GND	351	D06	GND
288	R04	VREF1	320	V23	TXDATA7	352	D05	JDO
289	T04	V <sub>DD</sub>	321	U23	GND			

## 端子名称

ACK2S_B	:Acknowledge 2-State	RSOHFP	:Rx SOH Insert Frame Pulse
ACK3S_B	:Acknowledge 3-State	RW	:Management Data Read/Write
B1ERS	:B1 Error Rate Degrade	RXCLAV	:Rx Cell Available
B2ERS	:B2 Error Rate Degrade	RXCLK	:UTOPIA Rx Clock In
BMODE	:Bus Mode	RXCLK_O	:UTOPIA Rx Clock Out
CD	:Carrier Detect	RXDATA0-	:UTOPIA Rx Data
CS_B	:Chip Select	RXDATA31	
DS_B	:Data Strobe	RXENB_B	:Rx Cell Enable
GND	:Ground	RXPLD0- RXPLD15	:Rx Line Data
IC	:Internal Circuits Connection	RXPRTY	:Rx Parity
JCK	:JTAG Test Clock	RXSEL_B	:Rx Cell Select
JDI	:JTAG Test Data In	RXSOC	:Rx Start Of Cell
JDO	:JTAG Test Data Out	TCLK_N	:Tx Clock In - (155 MHz)
JMS	:JTAG Test Mode Select	TCLK_P	:Tx Clock In + (155 MHz)
JRST_B	:JTAG Test Reset	TCS	:Tx Line Clock Signal Out (77 MHz)
LAISS	:Line AIS State	TLAIS	:Tx Line AIS Frame Send
LCDS	:LCD State	TLRDI	:Tx Line RDI Frame Send
LOFS	:LOF State	TPAIS	:Tx Path AIS Frame Send
LOPS	:LOP State	TPCLK_N	:Tx Clock Out - (155 MHz)
LOSS	:LOS State	TPCLK_P	:Tx Clock Out + (155 MHz)
LRDIS	:Line RDI State	TPOHAV	:Tx POH Insert Available
MADD0-MADD7	:Management Address	TPOHCK	:Tx POH Insert Clock
MD0-MD15	:Management Data	TPOHD	:Tx POH Insert Data
OOFS	:OOF State	TPOHFP	:Tx POH Insert Frame Pulse
PAISS	:Path AIS State	TPRDI	:Tx Path RDI Frame Send
PHINT_B	:Interrupt	TSOHAV	:Tx TOH Insert Available
PIN0-PIN2	:General In	TSOHCK	:Tx TOH Insert Clock
POUT0-POUT4	:General Out	TSOHD0-TSOHD3	:Tx TOH Insert Data
PRDIS	:Path RDI State	TSOHFP	:Tx TOH Insert Frame Pulse
RCLK_N	:Rx Line Clock - (155 MHz)	TXCLAV	:Tx Cell Available
RCLK_P	:Rx Line Clock + (155 MHz)	TXCLK	:UTOPIA Tx Clock In
RCS	:Rx Line Clock Signal Out (19 MHz)	TXCLK_O	:UTOPIA Tx Clock Out
RD_B	:Read	TXDATA0-	:UTOPIA Tx Data
RDY2S_B	:Ready 2-State	TXDATA31	
RDY3S_B	:Ready 3-State	TXENB_B	:Tx Cell Enable
RESET_B	:Reset	TXPLD0-TXPLD15	:Tx Line Data
RPOHAV	:Rx POH Insert Available	TXPRTY	:Tx Parity
RPOHCK	:Rx POH Insert Clock	TXSEL_B	:Tx Cell Select
RPOHD	:Rx POH Insert Data	TXSOC	:Tx Start Of Cell
RPOHFP	:Rx POH Insert Frame Pulse	V <sub>DD</sub>	:V <sub>DD</sub>
RSOHAV	:Rx SOH Insert Available	VREF1-VREF3	:Voltage Reference For PECL In
RSOHCK	:Rx SOH Insert Clock	WR_B	:Write
RSOHD0-RSOHD3	:Rx SOH Insert Data		

**目 次**

<b>1. 端子機能</b>	<b>...</b>	<b>12</b>	
1.1	ライン・インタフェース	...	12
1.2	ATM レイヤ・インタフェース	...	13
1.3	マネージメント・インタフェース	...	16
1.4	オーバヘッド・インタフェース	...	18
1.5	汎用入出力ポート	...	20
1.6	アラーム信号入出力	...	20
1.7	JTAG バウンダリ・スキャン	...	21
1.8	電源, グランド	...	22
1.9	その他	...	22
1.10	未使用端子の処置	...	23
1.11	端子の初期状態	...	24
<b>2. MUX/DEMUX デバイス接続例</b>	<b>...</b>	<b>25</b>	
<b>3. 電気的特性</b>	<b>...</b>	<b>27</b>	
<b>4. 外形図</b>	<b>...</b>	<b>41</b>	
<b>5. 半田付け推奨条件</b>	<b>...</b>	<b>42</b>	

1. 端子機能

1.1 ライン・インタフェース

ライン・インタフェースは、回線側 MUX/DEMUX デバイスと接続するためのインタフェースです。

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
RCLK_N	115	T02	I	受信クロック入力 ( 155.52 MHz ) 受信データに同期したクロック 155.52 MHz を入力します。
RCLK_P	17	U01	PECL	
TCLK_N	189	B06	I	送信クロック入力 ( 155.52 MHz ) 送信用クロックを入力します。μ PD98414 は送信データ TXPLD15-TXPLD0 をこのクロックの立ち上がりエッジに同期して更新します。
TCLK_P	350	D07	PECL	
TPCLK_N	190	B05	O	送信クロック出力 ( 155.52 MHz ) TCLK_N , TCLK_P に入力されるクロックを内部で反転して出力します。
TPCLK_P	97	A05	PECL	
RXPLD15 -RXPLD0	5, 280, 6, 106, 107, 8, 108, 9, 201, 285, 202, 12, 112, 113, 204, 114	E01, G04, F01, G02, H02, H01, J02, J01, L03, M04, M03, M01, N02, P02, P03, R02	I PECL	受信 16 ビット・パラレル・データ入力。
TXPLD15 -TXPLD0	342, 265, 87, 181, 182, 267, 183, 345, 184, 269, 270, 347, 94, 272, 188, 273	D15, C15, A15, B14, B13, C13, B12, D12, B11, C11, C10, D10, A08, C08, B07, C07	O PECL	送信 16 ビット・パラレル・データ出力。
TCS	2	B01	O LVTTTL	送信システム・クロック出力 ( 77.76 MHz ) TCLK_N , TCLK_P に入力される送信クロックをμ PD98414 内部で 2 分周して出力します。
RCS	102	C02	O LVTTTL	受信システム・クロック出力 ( 19.44 MHz ) RCLK_N , RCLK_P に入力される受信クロックをμ PD98414 内部で 8 分周して出力します。
CD	215	AD04	I LVTTTL (5V-tolerant)	受信フレーム機能リセット。 この端子の入力レベルがロウになると、その間受信フレーム・ブロック ( 回線から受信 FIFO の手前まで ) は、リセット状態になります。また、この信号レベルのロウへの変化は、LOS 検出の条件に加えることができます。受信光リンク・モジュールが出力する光入力断アラーム信号を入力して使用できます。
VREF3 -VREF1	195, 109, 288	E03, K02, R04	I VREF	シングル・エンド PECL 入力信号 ( RXPLD[15:0] ) のためのレファレンス電位 ( 中間電位 ) を入力する端子です。

1.2 ATM レイヤ・インタフェース

上位 ATM レイヤ・デバイスとセル転送を行うインタフェースです。

( 1/4 )

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
RXCLK	232	AD21	I LVTTTL	受信 FIFO クロック入力。 8 MHz から 104 MHz までの受信データ転送用のクロックを入力します。
RXCLK_O	144	AE22	O LVTTTL	受信 FIFO クロック折り返し出力。 RXCLK に入力されるクロックを、折り返し出力します。
RXSOC	312	AC20	O LVTTTL	受信セル先頭位置信号出力。 RXDATA 上に受信セルの先頭バイトを出力しているクロック・サイクルの間、RXSOC をハイ・レベルにして、ATM レイヤ・デバイスに通知します。
RXCLAV	46	AF21	O LVTTTL	受信 FIFO セル・データ転送可信号出力。 受信 FIFO 内に転送すべき受信データが 1 セル以上存在するとき、μ PD98414 は RXCLAV をハイ・レベルにして、ATM レイヤ・デバイスに通知します。受信セル・データの転送を開始すると、セルの出力を始めてから、7 クロック・サイクル目以降で、受信 FIFO 内にさらに 1 セル以上の有効データがある場合は、RXCLAV をハイ・レベルに維持し、ない場合は、ロウ・レベルに変化させます。
RXENB_B	142	AE20	I LVTTTL	受信イネーブル信号入力 ( バイト単位制御 )。 ATM レイヤ・デバイスが、μ PD98414 の受信セル・データ出力をバイト単位でイネーブル制御します。μ PD98414 は、RXENB_B を RXCLK の立ち上がりエッジごとにサンプリングし、ロウ・レベルを検出した場合はその次のクロック・サイクルから RSOC、RXDATA の出力を更新し、受信セル・データの転送を行います。ハイ・レベルを検出したときは、その次のクロック・サイクルから RSOC、RXDATA の出力を停止します。 <b>注意</b> この信号は、RXSEL_B との同時併用ができません。 使用しない場合はロウ・レベルに固定してください。

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
RXSEL_B	231	AD20	I LVTTTL	<p>受信イネーブル信号入力（セル単位制御）。</p> <p>ATM レイヤ・デバイスが、μ PD98414 の受信セル・データの出力をセル単位でイネーブル制御します。μ PD98414 は、RXSOC をハイ・レベルにする 1 クロック・サイクル前の立ち上がりエッジで RXSEL_B をサンプリングし、RXSEL_B がロウ・レベルの場合は次のクロック・サイクルから受信セル・データの出力を開始します。一度 RXSEL_B のロウ・レベルを検出すると、μ PD98414 は次のサンプル・タイミング（RXSOC をハイ・レベルにする 1 クロック前）まで、RXSEL_B をサンプリングしません。サンプリング・タイミングでハイ・レベルを検出すると、RXSEL_B を毎クロックごとにサンプリングし続け、ロウ・レベルを検出した時点の次のクロック・サイクルからセルの出力を開始します。</p> <p><b>注意</b> この信号は、RXSEL_B との同時併用ができません。使用しない場合はロウ・レベルに固定してください。</p>
RXPRTY	45	AF20	O LVTTTL	<p>パリティ・ビット出力。</p> <p>RXDATA 上の出力データに対して奇数パリティ・ビットを生成し、RXPRTY より出力します。パリティ・ビットの出力は常に行います。生成するパリティ・ビットは、MDR5 レジスタの RRPMM ビットへの設定により、偶数パリティに切り替えることができます。</p>
RXDATA31-RX DATA0	141, 44, 309, 43, 139, 227, 138, 41, 226, 137, 225, 306, 39, 135, 37, 134, 36, 304, 222, 35, 221, 34, 131, 220, 301, 130, 129, 218, 128, 299, 30, 216	AE19, AF19, AC17, AF18, AE17, AD16, AE16, AF16, AD15, AE15, AD14, AC14, AF14, AE13, AF12, AE12, AF11, AC12, AD11, AF10, AD10, AF09, AE09, AD09, AC09, AE08, AE07, AD07, AE06, AC07, AF05, AD05	O LVTTTL	<p>受信セル・データ出力バス。</p> <p>ATM レイヤ・デバイスに向けて受信セル・データを出力する 32 ビット・データ・バスです。RXCLK の立ち上がりエッジで更新します。</p>
TXCLK	253	F24	I LVTTTL	<p>送信 FIFO クロック入力。</p> <p>8 MHz から 104 MHz までの送信データを転送用のクロックを入力します。</p>
TXCLK_O	167	E25	O LVTTTL	<p>送信 FIFO クロック折り返し出力。TXCLK に入力されるクロックを、折り返し出力します。</p>

端子名	シリアル番号	アドレス番号	I/O・レベル	機 能
TXSOC	331	G23	I LVTTL	送信セル先頭位置信号入力。 送信セルの先頭位置を示す信号を入力します。μ PD98414 は、TXSOC がハイ・レベルのクロック・サイクルをセルの先頭ワードとして認識します。
TXCLAV	71	F26	O LVTTL	送信 FIFO セル・データ受け付け可信号出力。 送信 FIFO の空き状況を ATM レイヤ・デバイスに通知します。送信 FIFO 内に溜まったセル数が、MDR5 レジスタの TCAV[1:0]ビットに設定したしきい値に到達すると、μ PD98414 は TXCLAV をロウ・レベルに変化させます。しきい値セル数は、9、11、13、15 セル数のいずれかから選択でき、デフォルトは送信 FIFO がフルになる 15 セルに設定されています。μ PD98414 は、TXCLAV をロウ・レベルにしても、送信 FIFO がフルになる 15 セルまではセルを受け付け、それ以上は廃棄して送信 FIFO オーバフローの検出を通知します。
TXENB_B	165	G25	I LVTTL	送信イネーブル信号入力（バイト単位制御）。 ATM レイヤ・デバイスが、有効な送信セル・データを TXDATA 上に出力していることをバイト単位で通知する信号です。μ PD98414 は、TXENB_B を TXCLK の立ち上がりエッジごとにサンプリングし、ロウ・レベルのときはそのエッジで TXSOC、TXDATA 上のデータを送信 FIFO に取り込みます。ハイ・レベルのときは、取り込みません。 <b>注意</b> この信号は、RXSEL_B との同時併用ができません。 <b>使用しない場合はロウ・レベルに固定してください。</b>
TXSEL_B	252	G24	I LVTTL	送信イネーブル信号入力（セル単位制御）。 ATM レイヤ・デバイスが有効な送信セル・データを TXDATA 上に出力していることをμ PD98414 にセル単位で通知する信号です。μ PD98414 は、送信セルを ATM レイヤ・デバイスから受ける際、TXSOC にハイ・レベルが入力される直前の TXCLK クロックの立ち上がりエッジで、TXSEL_B をサンプリングし、ロウ・レベルの場合、μ PD98414 は次のクロック・サイクルから入力されるセルを送信 FIFO に取り込みます。一度 TXSEL_B のロウ・レベルを検出しセルを取り込み始めると、μ PD98414 は次のサンプリング・タイミング（次の TXSOC 入力の直前クロック）まで、TXSEL_B をサンプリングしません。TXSOC にハイ・レベルが入力される直前のクロックで TXSEL_B がハイ・レベルの場合は、μ PD98414 は次のセルを送信 FIFO に取り込みません。 <b>注意</b> この信号は、RXSEL_B との同時併用ができません。 <b>使用しない場合はロウ・レベルに固定してください。</b>

(4/4)

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
TXPRTY	70	G26	I LVTTTL (Internal pull-up)	パリティ・ビット入力。 TXDATA に入力するデータの奇数パリティ・ビットを入力します。μ PD98414 は、入力されるデータとパリティ・ビットから、パリティ演算を行い、エラーを検出した場合は、UEDR レジスタの UPED ビットをセットして通知します。μ PD98414 がパリティ演算を行うデータの範囲は、送信セルの 53 バイト(H1-P48)のみです。パリティ演算は、MDR5 レジスタの TRPM ビットへの設定により、偶数パリティ演算に切り替えることができます。
TXDATA31-TX DATA0	164, 69, 328, 68, 162, 248, 161, 66, 247, 160, 246, 325, 64, 158, 62, 157, 61, 323, 243, 60, 242, 59, 154, 241, 320, 153, 152, 239, 151, 318, 55, 237	H25, H26, K23, J26, K25, L24, L25, L26, M24, M25, N24, N23, N26, P25, R26, R25, T26, R23, T24, U26, U24, V26, V25, V24, V23, W25, Y25, Y24, AA25, Y23, AB26, AB24	I LVTTTL	送信セル・データ入力バス。 送信セル・データを入力する 32 ビット・データ・バスです。μ PD98414 は、TXCLK の立ち上がりエッジで取り込みます。

1.3 マネージメント・インタフェース

μ PD98414 のレジスタにアクセスするためのインタフェースです。

(1/2)

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
RESET_B	168	D25	I LVTTTL (5V-tolerant)	システム・リセット入力。 μ PD98414 を初期化します。少なくとも 100 ns 以上の幅を持つロウ・パルス信号を入力してください。
PHINT_B	74	C26	O LVTTTL (5V-tolerant)	割り込み信号出力。 割り込み要因が発生したことを、ホストに通知するための信号です。
BMODE	333	E23	I LVTTTL (5V-tolerant)	バス・モード選択入力。 リセット後の BMODE の入力レベルによって、マネージメント・インタフェースのモードが決定します。 BMODE = ロウのとき <DS, R/W, ACK>スタイルを選択。 BMODE = ハイのとき <RD, WR, RDY>スタイルを選択。
MADD7-MADD0	335, 78, 172, 79, 258, 173, 80, 259	D22, A24, B23, A23, C22, B22, A22, C21	I LVTTTL (5V-tolerant)	アドレス入力。 内部レジスタのアドレスを入力する 8 ビット・ラインです。
MD15-MD0	337, 174, 81, 260, 175, 82, 176, 339, 83, 262, 177, 340, 84, 263, 178, 85	D20, B21, A21, C20, B20, A20, B19, D18, A19, C18, B18, D17, A18, C17, B17, A17	I/O LVTTTL (5V-tolerant)	16 ビット・データ・バス。 内部レジスタとデータを転送し合う 16 ビット・データ・ラインです。

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
RW (WR_B)	77	A25	I LVTTL (5V-tolerant)	リード/ライト信号入力,またはライト信号入力。 この信号は, BMODE で設定されるモードによって機能が異なります。 BMODE = ロウのとき, リード/ライト制御信号 (RW) として機能。 RW = ハイ: リード・サイクル ロウ: ライト・サイクル BMODE = ハイのとき, ライト・アクセスを指定するライト信号 (WR_B) として機能。
ACK2S_B (RDY2S_B)	257	C23	O LVTTL (5V-tolerant)	アクノリッジ信号出力,またはレディ信号2ステート出力。 リード・アクセスのとき, データの準備ができたことを通知し, ライト・サイクルのとき, データを受け付け可能であることを通知するアクノリッジ, レディ信号を2ステートで出力します。
ACK3S_B (RDY3S_B)	171	B24	O 3-state LVTTL (5V-tolerant)	アクノリッジ信号出力,またはレディ信号3ステート出力。 リード・アクセスのとき, データの準備ができたことを通知し, ライト・サイクルのとき, データを受け付け可能であることを通知するアクノリッジ, レディ信号を3ステートで出力します。
CS_B	255	D24	I LVTTL (5V-tolerant)	チップ・セレクト信号入力。 ロウ・レベルのとき, μ PD98414 内部レジスタへのアクセスをイネーブルにします。
DS_B (RD_B)	169	C25	I LVTTL (5V-tolerant)	データ・ストローブ信号入力,またはリード信号入力。 この端子は, BMODE 端子の入力で選択されるマネージメント・インタフェース・モードによって機能が異なります。 BMODE = ロウのとき MD 上にデータを出力していることを示すデータ・ストローブ信号 (DS_B) として機能。 BMODE = ハイのとき リード・アクセスを指定するリード信号 (RD_B) として機能。

1.4 オーバヘッド・インタフェース

周辺デバイスからμ PD98414 の送受信するセクション・オーバヘッド (SOH), パス・オーバヘッド (POH) の内容を転送し合うためのインタフェースです。

(1/2)

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
TSOHCK	295	AB04	O LVTTTL	送信 TOH インタフェース・クロック出力 (25.92MHz)。送信クロック TCLK (155.52 MHz) を内部で 6 分周したクロック 25.92 MHz を出力します。TSOHFP, TSOHD は、このクロックに同期して出力されます。
TSOHFP	122	AC02	O LVTTTL	送信 TOH フレーム・パルス出力。 送信 TOH データの入力を開始するクロック・サイクルの 1 サイクル前に、TSOHFP をハイ・レベルにします。
TSOHD3-TSOHD0	211, 22, 121, 23	AA03, AB01, AB02, AC01	I LVTTTL (5V-tolerant/ Internal pull-down)	送信 TOH データ入力 4 ビット・バス。 送信 TOH データを入力する 4 ビット・データ・バスです。 TSOHFP を出力した次のクロック・サイクルから、TSOHD 上の TOH データを 2 クロック・サイクルで 1 バイトとして取り込みます。
TSOHAV	212	AB03	I LVTTTL (5V-tolerant/ Internal pull-down)	送信 TOH データ有効表示信号入力。 有効な TOH データを TSOHD 上に出力していることを μ PD98414 に通知するための信号です。SOH データを取り込む 2 クロック・サイクルごとの周期のうち、1 サイクル目の TSOHCK の立ち上がりエッジで TSOHAV をサンプリングし、ハイ・レベルの場合にそのサイクルと次のサイクルで TSOHD 上のデータを取り込みます。ロウ・レベルの場合は取り込みません。
TPOHCK	293	Y04	O LVTTTL	送信 POH インタフェース・クロック出力 (576 kHz)。送信クロック TCLK (155.52 MHz) を内部で 270 分周したクロック 576 kHz を出力します。TPOHFP, TPOHD は、このクロックに同期して出力されます。
TPOHFP	120	AA02	O LVTTTL	送信 POH フレーム・パルス出力。 送信 POH データの入力を開始するクロック・サイクルの 1 サイクル前に、TPOHFP をハイ・レベルにします。
TPOHD	210	Y03	I LVTTTL (5V-tolerant/ Internal pull-down)	送信 POH データ入力。 送信 POH データをシリアルで入力します。TPOHFP を出力した次のクロック・サイクルから、TPOHD 上の送信 POH データを 8 クロック・サイクルで 1 バイトとして取り込みます。
TPOHAV	21	AA01	I LVTTTL (5V-tolerant/ Internal pull-down)	送信 POH データ有効表示信号入力。 有効な POH データを TPOHD に出力していることを μ PD98414 に通知するための信号です。POH データを取り込む 8 クロック・サイクルごとの周期のうち、1 サイクル目の TPOHCK の立ち上がりエッジで TPOHAV をサンプリングし、ハイ・レベルの場合にそのサイクルから 8 サイクルの間は、TPOHD のデータを取り込みます。ロウ・レベルの場合は取り込みません。

(2/2)

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
RSOHCK	292	W04	○ LVTTTL	受信 TOH インタフェース・クロック出力 (25.92 MHz)、受信クロック RCLK (155.52 MHz) を内部で 6 分周したクロック 25.92 MHz を出力します。RSOHFP, RSOHAV はこのクロックに同期して出力されます。
RSOHFP	119	Y02	○ LVTTTL	受信 TOH フレーム・パルス出力。 受信 SOH データの出力を開始するクロック・サイクルの 1 サイクル前に, RSOHFP をハイ・レベルにします。
RSOHD3-RSOHD0	117, 19, 118, 209	V02, W01, W02, W03	○ LVTTTL	受信 TOH データ出力 4 ビット・バス。 受信 TOH データを出力する 4 ビット・データ・バスです。RSOHFP を出力した次のクロック・サイクルから, RSOHD 上に受信 SOH データの出力を開始します。
RSOHAV	20	Y01	○ LVTTTL	受信 TOH データ有効表示信号出力。 有効な受信 TOH データを RSOHD 上に出力していることを示します。RSOHD に有効データを出力しているクロック・サイクルでは RSOHAV をハイ・レベルにし, 出力していないサイクルでは, ロウ・レベルにします。
RPOHCK	290	U04	○ LVTTTL	受信 POH インタフェース・クロック出力 (576 kHz)、受信クロック RCLK (155.52 MHz) を内部で 270 分周したクロック 576 kHz を出力します。RPOHFP, RPOHAV はこのクロックに同期して出力されます。
RPOHFP	18	V01	○ LVTTTL	受信 POH フレーム・パルス出力。 受信 POH データの出力を開始するクロック・サイクルの 1 サイクル前に, RPOHFP をハイ・レベルにします。
RPOHD	116	U02	○ LVTTTL	受信 POH データ出力。 受信 POH データをシリアルで出力します。RPOHFP を出力した次のクロック・サイクルから, RPOHD 上に受信 POH データを 8 クロック・サイクルで 1 バイトとして出力します。
RPOHAV	207	U03	○ LVTTTL	受信 POH データ有効表示信号出力。 有効な受信 POH データを RPOHD 上に出力していることを示します。RPOHD に有効データを出力しているクロック・サイクルでは RPOHAV をハイ・レベルに, 出力していないサイクルでは, ロウ・レベルにします。

1.5 汎用入出力ポート

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
PIN2	123	AD02	I LVTTTL (Internal pull-down)	汎用入力ポート。 外部周辺デバイスのステート信号などを入力する汎用入力端子です。この端子の信号レベルは、内部 GPSR レジスタのビットに反映され、そのビットの変化を割り込み要因にすることができます。
PIN1, PIN0	27, 125	AF02, AE03	I LVTTTL (5V-tolerant/ Internal pull-down)	<b>注意 PIN2-PIN0 のうち、PIN2 のみ 5V トレラント端子ではないことに注意してください。</b>
POUT4-POUT0	24, 213, 29, 48, 73	AD01, AC03, AF04, AF23, D26	O LVTTTL	汎用出力ポート。 内部 POUTR レジスタへのビット設定が、これら端子の信号レベルとして出力されます。外部周辺デバイスのコントロールなどに使用できます。

1.6 アラーム信号入出力

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
B1ERS, B2ERS, LAISS, LCDS, LOFS, LOPS, LOSS, LRDIS, OOFs, PAISS, PRDIS	314, 145, 52, 149, 316, 236, 148, 234, 53, 146, 49	AC22, AE23, AE26, AC25, AB23, AC24, AD25, AD23, AD26, AE24, AF24	O LVTTTL	アラーム信号出力。 これらのアラーム信号は、μ PD98414 が受信側で障害、警報などのイベントを検出して内部 ESTR レジスタの対応するビットをセットしたとき、同時に対応する信号をハイ・レベルにして外部に通知します。イベントが消滅し ESTR レジスタのビットがリセットされると、信号もロウ・レベルになります。
TLAIS, TLRDI, TPAIS, TPRDI	233, 28, 126, 297	AD22, AF03, AE04, AC05	I LVTTTL (5V-tolerant/ Internal pull-down)	アラーム送信指示入力。 これらの信号にハイ・レベルを入力すると、その間対応する警報フレーム (Line AIS, Line RDI, Path AIS, Path RDI) を送出します。警報フレームの送出は、ほかに CMR1 レジスタへの設定によっても同様に指示することができます。

1.7 JTAG バウンダリ・スキャン

端子名	シリアル番号	アドレス番号	I/O・レベル	機能
JCK	191	B04	I LVTTTL (5V-tolerant)	バウンダリ・スキャン・クロック入力。 未使用時は、グラウンドに接続してください。
JDI	99	A03	I LVTTTL (5V-tolerant)	バウンダリ・スキャン・データ入力。 未使用時は、グラウンドに接続してください。
JDO	352	D05	O LVTTTL 3-state (5V-tolerant)	バウンダリ・スキャン・データ出力。 未使用時は、オープンにしてください。
JMS	276	C04	I LVTTTL (5V-tolerant)	バウンダリ・スキャン・モード選択信号入力。 未使用時は、グラウンドに接続してください。
JRST_B	192	B03	I LVTTTL (5V-tolerant)	バウンダリ・スキャン・リセット信号入力。 未使用時は、グラウンドに接続してください。

★ 備考 通常動作時の JTAG バウンダリ・スキャン用端子の処置について

JTAG ロジックは、RESET\_B 端子へのパルス入力ではリセットがかりません。

JTAG ロジックがリセット状態にないと、μ PD98414 は通常動作を行えない場合があります。JTAG ロジックのリセット方法には次の 2 つがありますので、JRST\_B 端子をグラウンドに接続していない場合には、電源投入後、必ずどちらかの方法で JTAG ロジックをリセットしてください。

・ JRST\_B 端子を使用せずに JTAG ロジックをリセット状態にする

JMS, JCK 端子を使用して、JTAG ロジックをリセット状態に移行させ、リセット状態から動かさないようにします (JRST\_B 端子は、pull-up している状態です)。

JMS 端子を 1 に固定 (pull-up) して、JCK 端子に 5 クロック・サイクル以上入力してください。

・ JRST\_B 端子を使用して JTAG ロジックをリセット状態にする

JRST\_B 端子にロウ・パルスを入力して、その後 JMS, JRST\_B 端子を pull-up してハイ・レベルを維持していると、JTAG ロジックはリセット状態から動きませんので、通常動作に影響を及ぼしません。他の JDI, JCK 端子は、pull-down/pull-up のどちらかで入力レベルを固定してください。

1.8 電源, グランド

端子名	シリアル番号	アドレス番号	I/O	機能
V <sub>DD</sub>	10, 13, 16, 31, 33, 50, 56, 58, 90, 91, 93, 95, 100, 101, 104, 111, 124, 127, 132, 136, 143, 147, 150, 155, 159, 166, 170, 180, 186, 193, 197, 198, 199, 203, 208, 214, 219, 223, 224, 228, 229, 230, 235, 240, 244, 245, 249, 250, 251, 256, 261, 264, 266, 271, 274, 279, 283, 287, 289, 298, 307, 308, 317, 326, 327, 336, 344, 346	K01, N01, T01, AF06, AF08, AF25, AA26, W26, A12, A11, A09, A07, A02, B02, E02, M02, AE02, AE05, AE10, AE14, AE21, AE25, AB25, U25, N25, F25, B25, B15, B09, C03, G03, H03, J03, N03, V03, AD03, AD08, AD12, AD13, AD17, AD18, AD19, AD24, W24, R24, P24, K24, J24, H24, C24, C19, C16, C14, C09, C06, F04, K04, P04, T04, AC06, AC15, AC16, AA23, M23, L23, D21, D13, D11	—	電源供給端子 ( + 3.3 V ± 5 % )
GND	1, 7, 11, 14, 15, 25, 26, 32, 38, 40, 42, 47, 51, 54, 57, 63, 65, 67, 72, 75, 76, 86, 88, 89, 92, 96, 105, 110, 133, 140, 156, 163, 179, 185, 187, 196, 200, 205, 206, 217, 238, 268, 277, 281, 282, 284, 286, 291, 294, 296, 300, 302, 303, 305, 310, 311, 313, 315, 319, 321, 322, 324, 329, 330, 332, 334, 338, 341, 343, 348, 349, 351	A01, G01, L01, P01, R01, AE01, AF01, AF07, AF13, AF15, AF17, AF22, AF26, AC26, Y26, P26, M26, K26, E26, B26, A26, A16, A14, A13, A10, A06, F02, L02, AE11, AE18, T25, J25, B16, B10, B08, F03, K03, R03, T03, AD06, AA24, C12, D04, H04, J04, L04, N04, V04, AA04, AC04, AC08, AC10, AC11, AC13, AC18, AC19, AC21, AC23, W23, U23, T23, P23, J23, H23, F23, D23, D19, D16, D14, D09, D08, D06	—	グランド端子。

1.9 その他

端子名	シリアル番号	アドレス番号	I/O レベル	機能
IC	3, 4, 98, 103, 194, 254, 275, 278	C01, D01, A04, D02, D03, E24, C05, E04,	—	内部回路接続テスト用端子。 必ずオープンにしてください。

1.10 未使用端子の処置

設定モードに応じて使用しない端子は、次のように処置してください。

端子名	処 置
IC	オープン
RCLK_N, TCLK_N	グラウンドに接続
RCLK_P, TCLK_P	3.3V にプルアップ
RXPLD[15:0], TXPLD[15:0]	3.3V にプルアップ
CD	3.3V または、5V にプルアップ
RXCLK, RXENB_B, RXSEL_B, TXCLK, TXENB_B, TXSOC, TXSEL_B	グラウンドに接続
TXPRTY	オープン
CS_B	3.3V または、5V にプルアップ
MADD[7:0], DS_B, RW	グラウンドに接続
TSOHD[3:0], TSOHAV, TPOHD, TPOHAV,	グラウンドに接続
PIN[2:0]	オープン
TLAIS, TPAIS, TLRDI, TPRDI	グラウンドに接続
JCK, JMS, JDI, JRST_B	グラウンドに接続
各出力端子	オープン

1.11 端子の初期状態

端子名	リセット中	リセット直後	CD 端子 = L による 受信フレーム・ ブロックのリセット中
TPCLK_N/TPCLK_P	リセットがかかりません。TCLK_N/P 入力に依存します。		
TXPLD15-TXPLD0	L	L	
TCS	リセットがかかりません。TCLK_N/P 入力に依存します。		
RCS	L	L	
RXCLK_O	リセットがかかりません。RXCLK 入力に依存します。		
RXSOC	L	L	
RXCLAV	L	L	
RXPRTY	RXDATA[31:0]のバリティ・ビットを出力しています。		
RXDATA31-RXDATA0	L	L	
TXCLK_O	リセットがかかりません。TXCLK 入力に依存します。		
TXCLAV	L	L	
PHINT_B	H	H	
MD15-MD0	入力モードになっています。(不定)		
ACK2S_B	H	H	
ACK3S_B	Hi-Z	Hi-Z	
TSOHCK	L	L	
TSOHFP	L	L	
TPOHCK	L	L	
TPOHFP	L	L	
RSOHCK	L	L	
RSOHFP	L	L	L
RSOHD3-RSOHD0	L	L	L
RSOHAV	L	L	L
RPOHCK	L	L	L
RPOHFP	L	L	L
RPOHD	L	L	L
RPOHAV	L	L	L
POUT4-POUT0	L	L	
B1ERS, B2ERS LAISS, LCDS LOFS, LOPS LOSS, LRDIS OOFs, PAISS PRDIS	L	LOPS,OOFs 以外 : L LOPS,OOFs : H	LOSS, OOFs, LOFS : 注 LOFS, LCDS : H B1ERS, B2ERS, LAISS, LRDIS, PAISS, PRDIS : L
JDO	不定	不定	

★

★

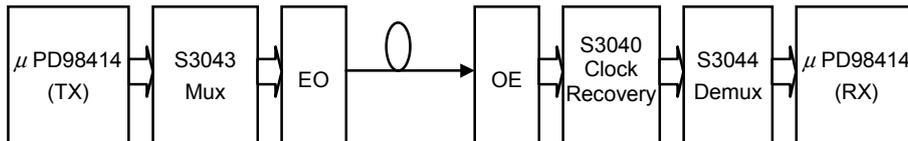
注 CD = L にしても, LOS, OOF, LOF の検出回路にはリセットがかかりません。ライン側の入力状態に依存します。

2. MUX/DEMUX デバイス接続例

推奨 MUX/DEMUX デバイス

μ PD98414 に接続する MUX , DEMUX デバイスとして下記の製品を推奨しています。

AMCC 社製	SONET/SDH OC-48 16:1 TRANSMITTER	S3043
	1:16 RECEIVER	S3044
	Clock Recovery	S3040



★ (光リンクモジュール (OE) に Clock Recovery 機能が含まれている場合, S3040 は不要です。)

接続回路例図

AMCC 社製 S3043 , S3044 との接続例を示します。

図 2 - 1 μ PD98414 と S3043 の接続例 (送信回線側)

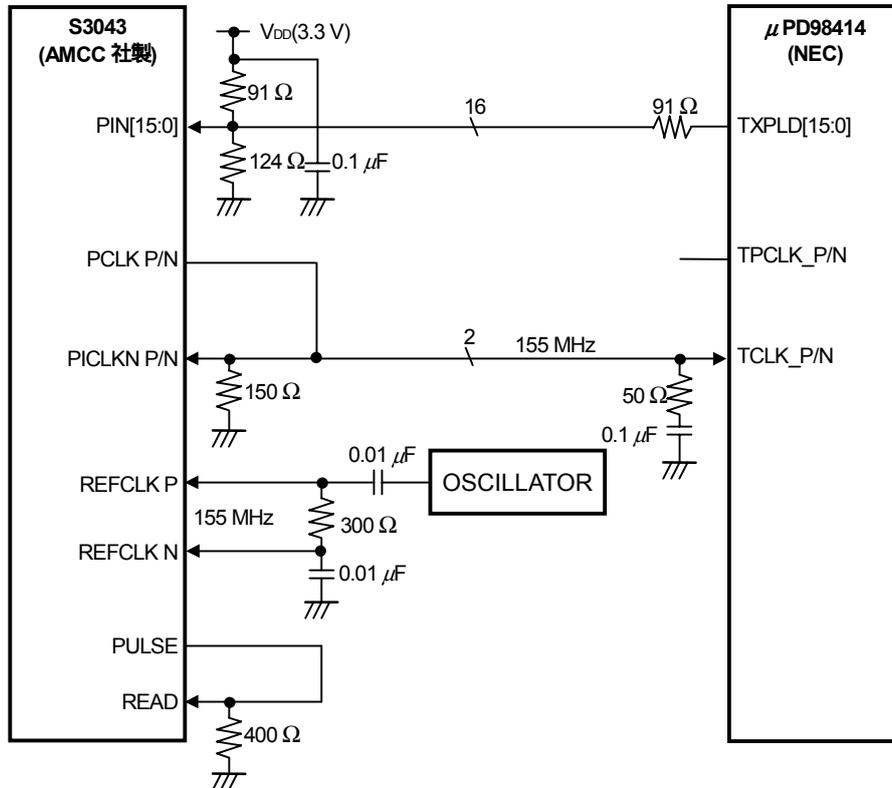
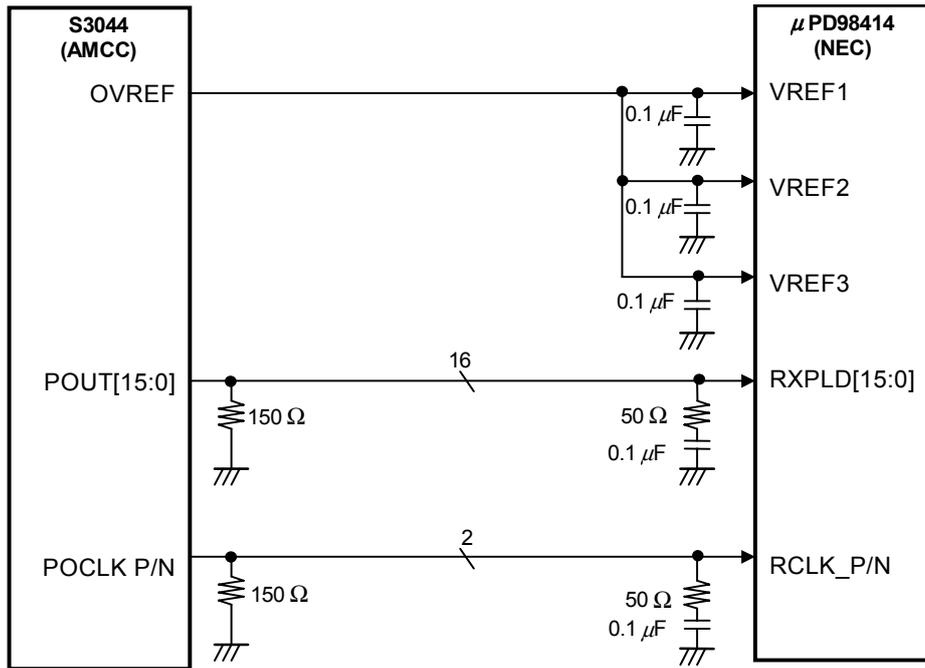


図 2 - 2 μ PD98414 と S3044 の接続例 (受信回線側)



3. 電気的特性

絶対最大定格，推奨動作条件，DC 特性表をご覧になる際は，後述の端子分類表もあわせてご覧ください。

絶対最大定格

項目	略号	条件	定格	単位
電源電圧	V <sub>DD</sub>		- 0.5 ~ + 4.6	V
入出力電圧	V <sub>I1</sub> /V <sub>O1</sub>	LVTTL レベル	- 0.5 ~ + 4.6	V
	V <sub>I2</sub> /V <sub>O2</sub>	LVTTL レベル 5Vトレラント端子	- 0.5 ~ + 6.6	V
	V <sub>I3</sub> /V <sub>O3</sub>	P-ECL レベル端子	- 0.5 ~ + 4.6	V
出力電流	I <sub>O1</sub>	I <sub>OL</sub> = 6 mA	20	mA
	I <sub>O2</sub>	I <sub>OL</sub> = 9 mA	30	mA
	I <sub>O3</sub>	I <sub>OL</sub> = 12 mA	40	mA
	I <sub>O4</sub>	I <sub>OL</sub> = 18 mA	60	mA
動作周囲温度	T <sub>A</sub>		- 40 ~ + 85	
保存温度	T <sub>stg</sub>		- 65 ~ + 150	

注意 各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なうおそれがあります。

つまり絶対最大定格とは 製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

推奨動作条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
★ 電源電圧	V <sub>DD</sub>		3.135	3.3	3.465	V
動作周囲温度	T <sub>A</sub>		- 40		+ 85	
★ ハイ・レベル入力電圧	V <sub>IH1</sub>	LVTTL レベル端子	2.4		V <sub>DD</sub>	V
	V <sub>IH2</sub>	LVTTL レベル 5Vトレラント端子	2.0		5.0	V
	V <sub>IH3</sub>	P-ECL レベル端子(Single-Ended)	V <sub>IREF</sub> + 0.15		V <sub>DD</sub>	V
	V <sub>IH4</sub>	P-ECL レベル端子(Differential)	V <sub>DD</sub> - 1.2		V <sub>DD</sub> - 0.55	V
★ ロウ・レベル入力電圧	V <sub>IL1</sub>	LVTTL レベル端子	0		0.8	V
	V <sub>IL2</sub>	LVTTL レベル 5Vトレラント端子	0		0.8	V
	V <sub>IL3</sub>	P-ECL レベル端子(Single-Ended)	0		V <sub>IREF</sub> - 0.15	V
	V <sub>IL4</sub>	P-ECL レベル端子(Differential)	V <sub>DD</sub> - 2.0		V <sub>DD</sub> - 1.4	V
★ VREF1-VREF3 端子入力電圧	V <sub>IREF</sub>		V <sub>DD</sub> /2 - 0.5		V <sub>DD</sub> /2 + 0.5	V
★ P-ECL 差動入力電圧	V <sub>IDFF</sub>	P-ECL レベル端子(Differential)	300			mV

注意 製品の動作中は，少なくとも風速 1 m/s の風で冷却するようにしてください。

★ DC 特性 (  $T_A = -40 \sim +85$  ,  $V_{DD} = 3.3 V \pm 5\%$  )

項目	略号	条件	MIN.	TYP.	MAX.	単位
オフステート出力電流	$I_{OZ}$	$V_O = V_{DD}$ or GND			$\pm 10$	$\mu A$
入力リーク電流	$I_{LI}$	$V_I = V_{DD}$ or GND			$\pm 10$	$\mu A$
ロウ・レベル出力電流	$I_{OL1}$	LVTTL レベル端子	6			mA
	$I_{OL2}$	$V_{OL} = 0.4 V$	12			mA
	$I_{OL3}$		18			mA
	$I_{OL4}$		LVTTL レベル 5V トレラント端子	6		
	$I_{OL5}$	$V_{OL} = 0.4 V$	9			mA
ハイ・レベル出力電流	$I_{OH1}$	LVTTL レベル端子	- 6			mA
	$I_{OH2}$	$V_{OH} = 2.4 V$	- 12			mA
	$I_{OH3}$		- 18			mA
	$I_{OH4}$		LVTTL レベル 5V トレラント端子	- 2		
	$I_{OH5}$	$V_{OH} = 2.4 V$	- 2			mA
ロウ・レベル出力電圧	$V_{OL1}$	LVTTL レベル端子, $I_{OL} = 0 mA$			0.1	V
	$V_{OL2}$	LVTTL レベル 5V トレラント端子, $I_{OL} = 0 mA$			0.1	V
	$V_{OL3}$	P-ECL レベル端子, $I_{OL} = 0 mA$ 図 2 - 1 で示した終端方法の場合	$0.37 \times V_{DD}$		$0.45 \times V_{DD}$	V
ハイ・レベル出力電圧	$V_{OH1}$	LVTTL レベル端子, $I_{OH} = 0 mA$	$V_{DD} - 0.1$			V
	$V_{OH2}$	LVTTL レベル 5V トレラント端子, $I_{OH} = 0 mA$	$V_{DD} - 0.2$			V
	$V_{OH3}$	P-ECL レベル端子, $I_{OH} = 0 mA$ 図 2 - 1 で示した終端方法の場合	$0.66 \times V_{DD}$		$0.75 \times V_{DD}$	V
電源電流	$I_{DD}$	通常動作		1.05	1.3	A

容 量

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力容量	$C_O$	$f = 1 MHz$		7	10	pF
入力容量	$C_I$	$f = 1 MHz$		7	10	pF
入出力容量	$C_{IO}$	$f = 1 MHz$		7	10	pF

端子の分類表

入力端子

分 類			適用端子名	数
LVTTTL レベル端子	V <sub>I1</sub>	pull-up つき	TXPRTY	1
	V <sub>IH1</sub>	pull-down つき	PIN2	1
	V <sub>IL1</sub>	-	RXCLK, RXENB_B, RXSEL_B, TXCLK, TXDATA[31:0], TXENB_B, TXSEL_B, TXSOC	39
LVTTTL レベル 5V トレラント端子	V <sub>I2</sub>	pull-down つき	PIN0, PIN1, TLAIS, TLRDI, TPAIS, TPOHAV, TPOHD, TPRDI, TSOHAV, TSOHD[3:0]	13
	V <sub>IH2</sub>	3-state	MD[15:0]	16
	V <sub>IL2</sub>	-	BMODE, CD, CS_B, DS_B, MADD[7:0], RESET_B, RW, JCK, JDI, JMS, JRST_B	18
★ P-ECL レベル端子 (Single-Ended)	V <sub>I3</sub> V <sub>IH3</sub> V <sub>IL3</sub>	-	RXPLD[15:0]	16
★ P-ECL レベル端子 (Differential)	V <sub>I3</sub> V <sub>IH4</sub> V <sub>IL4</sub> V <sub>IDFF</sub>	-	RCLK_P, RCLK_N, TCLK_P, TCLK_N	4

注意 汎用入力端子の PIN2-PIN0 のうち, PIN2 端子のみ 5V トレラント端子ではないことに注意してください。

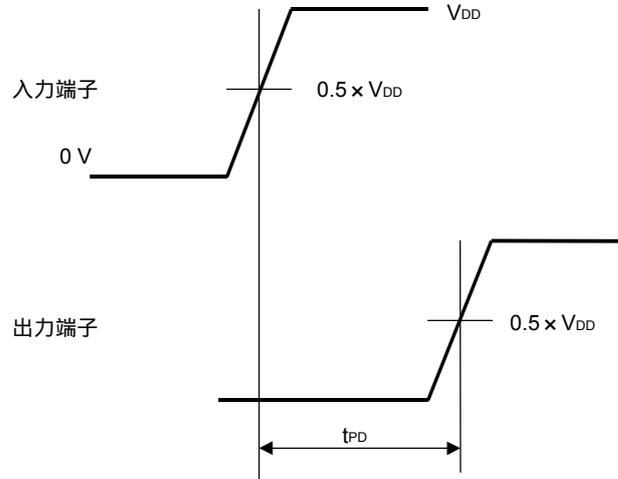
出力端子

分 類				適用端子名	数
LVTTTL レベル端子	V <sub>O1</sub> V <sub>OL1</sub> /V <sub>OH1</sub>	I <sub>OL1</sub> /I <sub>OH1</sub>	I <sub>o1</sub>	B1ERS, B2ERS, LAISS, LCDS, LOFS, LOPS, LOSS, LRDIS, OOFs, PAISS, POUT[4:0], PRDIS, RPOHAV, RPOHCK, RPOHD, RPOHFP, RSOHAV, RSOHCK, RSOHD[3:0], RSOHFP, TPOHCK, TPOHFP, TSOHCK, TSOHFP	31
		I <sub>OL2</sub> /I <sub>OH2</sub>	I <sub>o3</sub>	RCS, RXCLAV, RXDATA[31:0], RXPRTY, RXSOC, TCS, TXCLAV	38
		I <sub>OL3</sub> /I <sub>OH3</sub>	I <sub>o4</sub>	RXCLK_O, TXCLK_O	2
LVTTTL レベル 5V トレラント端子	V <sub>O2</sub> V <sub>OL2</sub> /V <sub>OH2</sub>	I <sub>OL4</sub> /I <sub>OH4</sub>	I <sub>o1</sub>	JDO	1
		I <sub>OL5</sub> /I <sub>OH5</sub>	I <sub>o2</sub>	ACK3S_B, ACK2S_B, PHINT_B, MD[15:0] ( 3-state )	19
★ P-ECL レベル端子 (Single-Ended)	V <sub>O3</sub> V <sub>OL3</sub> /V <sub>OH3</sub>	-	I <sub>o2</sub>	TXPLD[15:0]	16
★ P-ECL レベル端子 (Differential)	V <sub>O3</sub> V <sub>OL3</sub> /V <sub>OH3</sub>	-	I <sub>o2</sub>	TPCLK_P, TPCLK_N	2

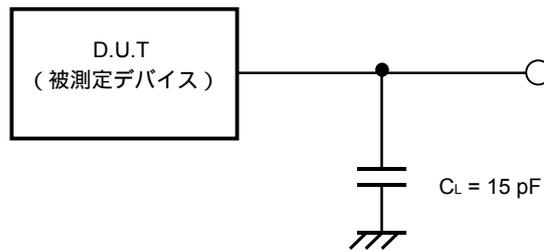
★ AC 特性 ( $T_A = -40 \sim +85$  ,  $V_{DD} = 3.3 V \pm 5 \%$ )

AC テスト条件

遅延時間の定義

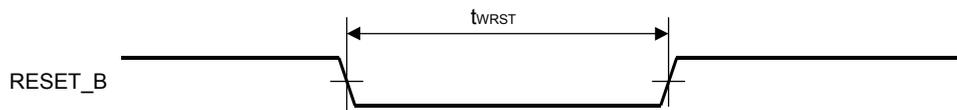


負荷条件



(1) RESET\_B 入力

項目	略号	条件	MIN.	TYP.	MAX.	単位
RESET_B パルス幅	$t_{WRST}$		100			ns



(2) マネージメント・インタフェース

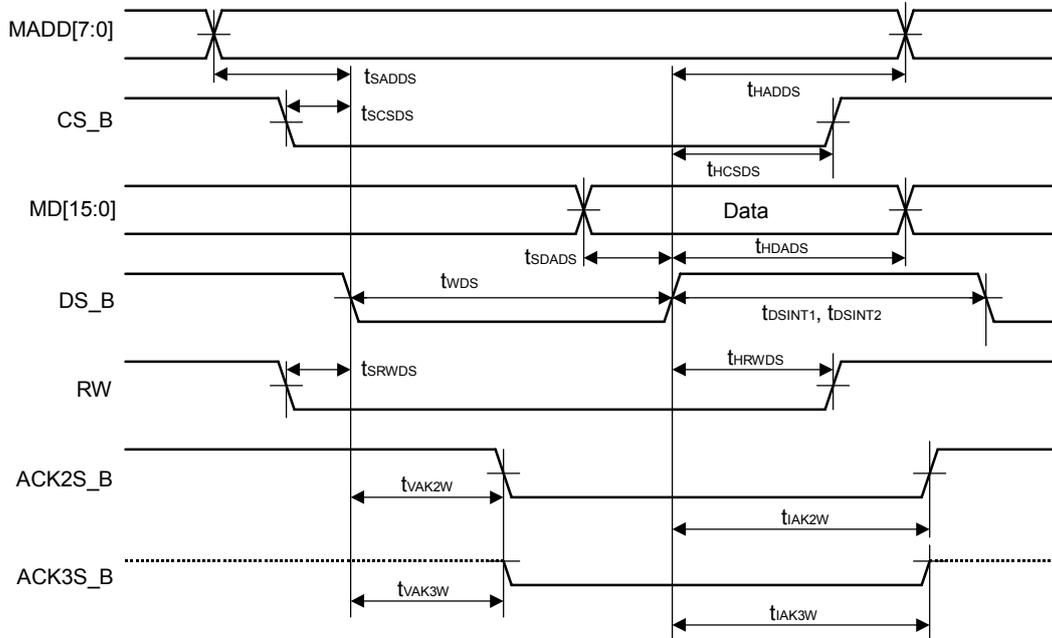
(a) ライト・タイミング (BMODE = "0")

項目	略号	条件	MIN.	TYP.	MAX.	単位
アドレス設定時間 (対 DS_B )	tSADDS		10			ns
CS_B 設定時間 (対 DS_B )	tSCSDS		5			ns
RW 設定時間 (対 DS_B )	tSRWDS		5			ns
データ設定時間 (対 DS_B )	tSDADS		15			ns
アドレス保持時間 (対 DS_B )	tHADDS		4			ns
★ CS_B 保持時間 (対 DS_B )	tHCSDS		1			ns
★ RW 保持時間 (対 DS_B )	tHRWDS		1			ns
データ保持時間 (対 DS_B )	tHDADS		4			ns
★ DS_B ACK2S_B 出力遅延時間	tVAK2W	負荷容量 : 15 pF , 注	0		10	ns
★ DS_B ACK3S_B 出力遅延時間	tVAK3W	負荷容量 : 15 pF , 注	0		10	ns
★ DS_B ACK2S_B フロート遅延時間	tIAK2W	注	0		10	ns
★ DS_B ACK3S_B フロート遅延時間	tIAK3W		0		10	ns
DS_B パルス幅	tWDS		50			ns
★ DS_B DS_B 最小間隔時間 (1)	tDSINT1		40			ns
DS_B DS_B 最小間隔時間 (2)	tDSINT2		150			ns

注 tDSINT2 は、下記のレジスタに連続アクセスした場合の最小間隔です。これより短い間隔で連続アクセスすると、ACK2S\_B (ACK3S\_B) の出力遅延時間が tVAK2W (tVAK3W) の MAX. 値より大きくなります。

tDSINT1 は、下記のレジスタ以外にアクセスした場合、および下記のレジスタに初回にアクセスした場合の値です。

レジスタ : RJ0ARR, RJ0APR, RJ0BRR, RJ0BPR, RJ1ARR, RJ1APR, RJ1BRR, RJ1BPR  
 TJ0ARR, TJ0APR, TJ0BRR, TJ0BPR, TJ1ARR, TJ1APR, TJ1BRR, TJ1BPR



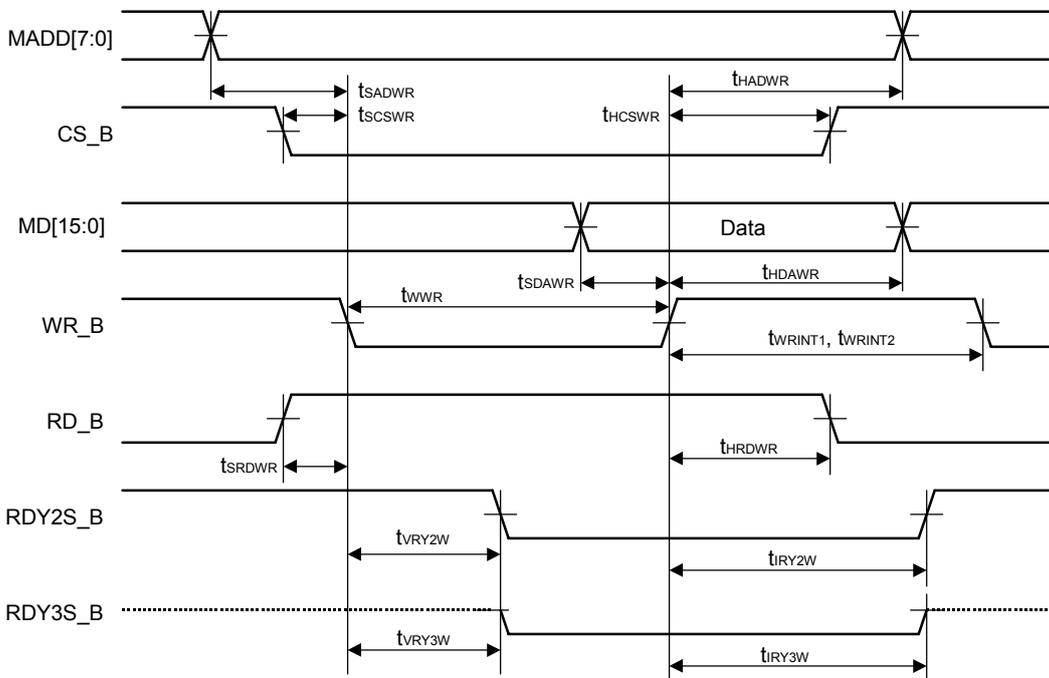
(b) ライト・タイミング (BMODE = "1")

項目	略号	条件	MIN.	TYP.	MAX.	単位
アドレス設定時間 (対 WR_B )	t <sub>SADWR</sub>		10			ns
CS_B 設定時間 (対 WR_B )	t <sub>SCSWR</sub>		5			ns
RD_B 設定時間 (対 WR_B )	t <sub>SRDWR</sub>		5			ns
データ設定時間 (対 WR_B )	t <sub>SDAWR</sub>		15			ns
アドレス保持時間 (対 WR_B )	t <sub>HADWR</sub>		4			ns
★ CS_B 保持時間 (対 WR_B )	t <sub>HCSWR</sub>		1			ns
★ RD_B 保持時間 (対 WR_B )	t <sub>HRDWR</sub>		40			ns
データ保持時間 (対 WR_B )	t <sub>HDAWR</sub>		4			ns
★ WR_B RDY2S_B 出力遅延時間	t <sub>VR<sub>Y</sub>2W</sub>	負荷容量 : 15 pF, 注	0		10	ns
★ WR_B RDY3S_B 出力遅延時間	t <sub>VR<sub>Y</sub>3W</sub>	負荷容量 : 15 pF, 注	0		10	ns
★ WR_B RDY2S_B フロート遅延時間	t <sub>IR<sub>Y</sub>2W</sub>	注	0		10	ns
★ WR_B RDY3S_B フロート遅延時間	t <sub>IR<sub>Y</sub>3W</sub>		0		10	ns
WR_B パルス幅	t <sub>WWR</sub>		50			ns
★ WR_B WR_B 最小間隔時間 (1)	t <sub>WRINT1</sub>		40			ns
WR_B WR_B 最小間隔時間 (2)	t <sub>WRINT2</sub>		150			ns

注 t<sub>WRINT2</sub> は、下記のレジスタに連続アクセスした場合の最小間隔です。これより短い間隔で連続アクセスすると、RDY2S\_B (RDY3S\_B) の出力遅延時間が t<sub>VR<sub>Y</sub>2W</sub> (t<sub>VR<sub>Y</sub>3W</sub>) の MAX. 値より大きくなります。

t<sub>WRINT1</sub> は、下記のレジスタ以外にアクセスした場合、および下記のレジスタに初回にアクセスした場合の値です。

- レジスタ : RJ0ARR, RJ0APR, RJ0BRR, RJ0BPR, RJ1ARR, RJ1APR, RJ1BRR, RJ1BPR  
 TJ0ARR, TJ0APR, TJ0BRR, TJ0BPR, TJ1ARR, TJ1APR, TJ1BRR, TJ1BPR



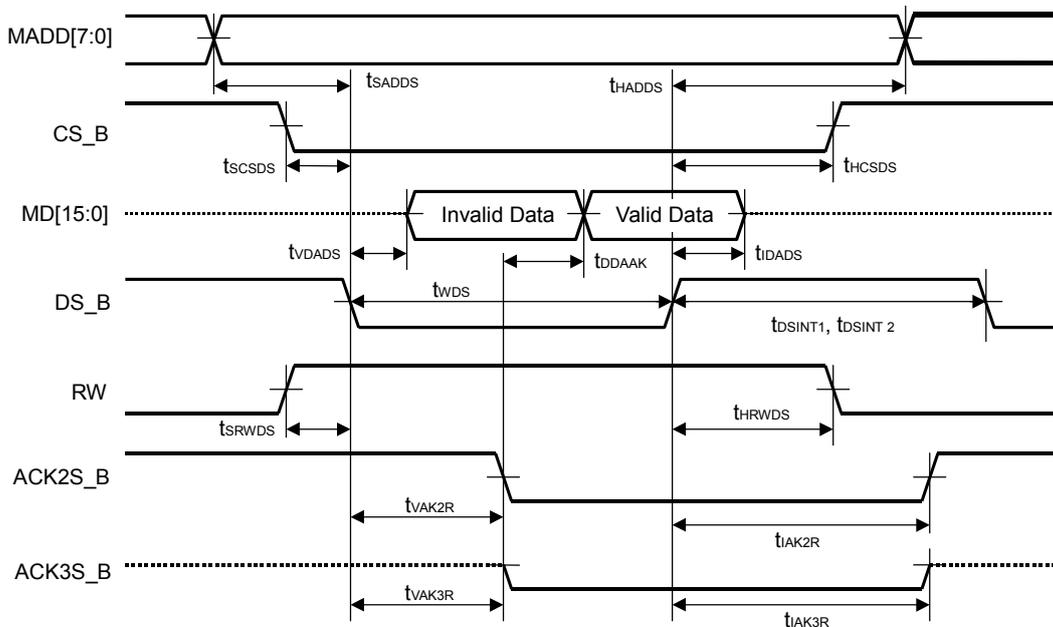
(c) リード・タイミング (BMODE = "0")

項目	略号	条件	MIN.	TYP.	MAX.	単位
アドレス設定時間 (対 DS_B )	tSADDS		10			ns
CS_B 設定時間 (対 DS_B )	tSCSDS		5			ns
RW 設定時間 (対 DS_B )	tSRWDS		5			ns
アドレス保持時間 (対 DS_B )	tHADDS		4			ns
★ CS_B 保持時間 (対 DS_B )	tHCSDS		1			ns
★ RW 保持時間 (対 DS_B )	tHRWDS		1			ns
★ DS_B ACK2S_B 出力遅延時間	tVAK2R	負荷容量 : 15 pF, 注	0		10	ns
★ DS_B ACK3S_B 出力遅延時間	tVAK3R	負荷容量 : 15 pF, 注	0		10	ns
★ DS_B データ出力遅延時間	tVDADS	注	0		22	ns
★ DS_B ACK2S_B フロート遅延時間	tIAK2R		0		10	ns
★ DS_B ACK3S_B フロート遅延時間	tIAK3R		0		10	ns
★ DS_B データ・フロート遅延時間	tIDADS		3		22	ns
★ ACK2S_B[ACK3S_B] データ出力遅延時間	tDAAK				20	ns
DS_B パルス幅	tWDS		50			ns
★ DS_B DS_B 最小間隔時間 (1)	tDSINT1		40			ns
★ DS_B DS_B 最小間隔時間 (2)	tDSINT2		150			ns

注 tDSINT2 は、下記のレジスタに連続アクセスした場合の最小間隔です。これより短い間隔で連続アクセスすると、ACK2S\_B (ACK3S\_B) の出力遅延時間が tVAK2R (tVAK3R) の MAX.値より大きくなります。

tDSINT1 は、下記のレジスタ以外にアクセスした場合、および下記のレジスタに初回にアクセスした場合の値です。

レジスタ : RJ0ARR, RJ0APR, RJ0BRR, RJ0BPR, RJ1ARR, RJ1APR, RJ1BRR, RJ1BPR, TJ0ARR, TJ0APR, TJ0BRR, TJ0BPR, TJ1ARR, TJ1APR, TJ1BRR, TJ1BPR



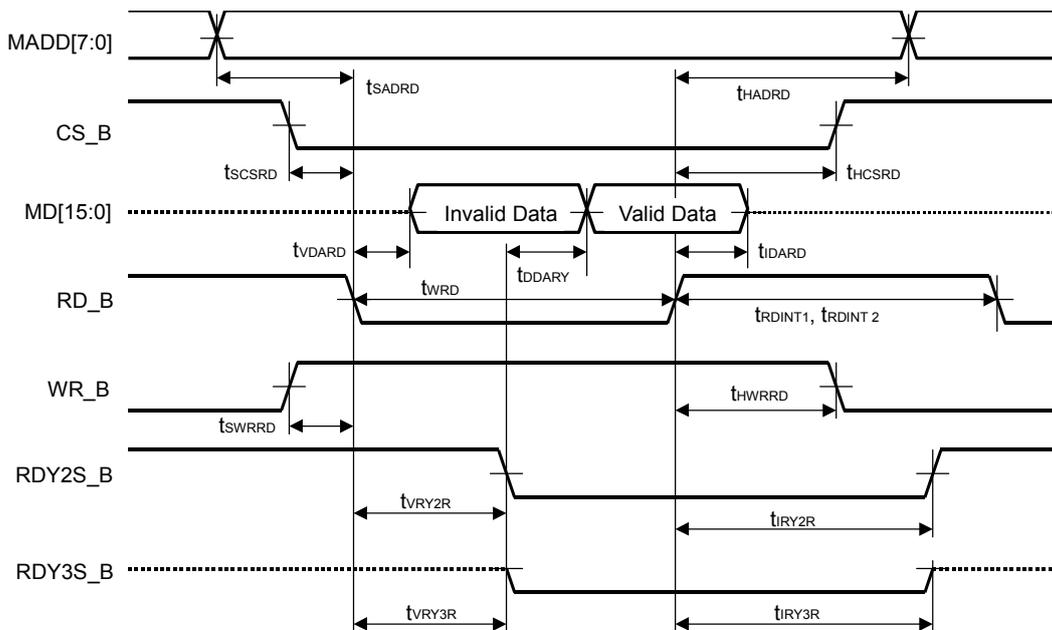
(d) リード・タイミング (BMODE = "1")

項目	略号	条件	MIN.	TYP.	MAX.	単位
アドレス設定時間 (対 RD_B )	tSADR		10			ns
CS_B 設定時間 (対 RD_B )	tSCSRD		5			ns
WR_B 設定時間 (対 RD_B )	tSWRRD		5			ns
アドレス保持時間 (対 RD_B )	tHADRD		4			ns
★ CS_B 保持時間 (対 RD_B )	tHCSR		1			ns
★ WR_B 保持時間 (対 RD_B )	tHWRRD		40			ns
★ RD_B RDY2S_B 出力遅延時間	tVRY2R	負荷容量 : 15 pF, 注	0		10	ns
★ RD_B RDY3S_B 出力遅延時間	tVRY3R	負荷容量 : 15 pF, 注	0		10	ns
★ RD_B データ出力遅延時間	tVDARD	注	0		22	ns
★ RD_B RDY2S_B フロート遅延時間	tIRY2R		0		10	ns
★ RD_B RDY3S_B フロート遅延時間	tIRY3R		0		10	ns
RD_B データ・フロート遅延時間	tIDARD		3		22	ns
★ RDY2S_B[RDY3S_B] データ出力遅延時間	tDDARY				20	ns
RD_B パルス幅	tWRD		50			ns
★ RD_B RD_B 最小間隔 (1)	tRDINT1		40			ns
RD_B RD_B 最小間隔 (2)	tRDINT2		150			ns

注 tRDINT2 は、下記のレジスタに連続アクセスした場合の最小間隔です。これより短い間隔で連続アクセスすると、RDY2S\_B (RDY3S\_B) の出力遅延時間が tVRY2R (tVRY3R) の MAX. 値より大きくなります。

tRDINT1 は、下記のレジスタ以外にアクセスした場合、および下記のレジスタに初回にアクセスした場合の値です。

レジスタ : RJ0ARR, RJ0APR, RJ0BRR, RJ0BPR, RJ1ARR, RJ1APR, RJ1BRR, RJ1BPR  
 TJ0ARR, TJ0APR, TJ0BRR, TJ0BPR, TJ1ARR, TJ1APR, TJ1BRR, TJ1BPR



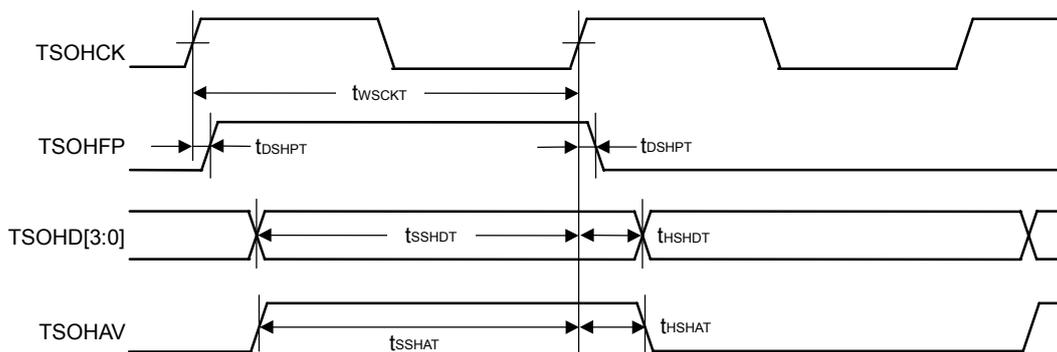
(3) オーバヘッド・インタフェース

(a) インサート

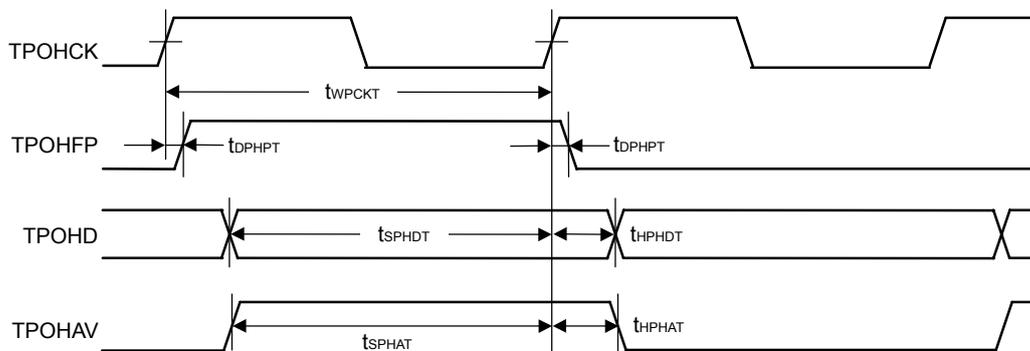
項目	略号	条件	MIN.	TYP.	MAX.	単位
TSOHCK 周波数	f <sub>WSCKT</sub>	注		25.92		MHz
TSOHCK サイクル時間	t <sub>WSCKT</sub>	注		38.6		ns
★ TSOHCK TSOHFP 出力遅延時間	t <sub>DSHPT</sub>	負荷容量 : 15 pF	- 6		+ 6	ns
TSOHD 設定時間 (対 TSOHCK )	t <sub>SSHDT</sub>		20			ns
TSOHD 保持時間 (対 TSOHCK )	t <sub>HSHDT</sub>		2			ns
TSOHAV 設定時間 (対 TSOHCK )	t <sub>SSHAT</sub>		20			ns
TSOHAV 保持時間 (対 TSOHCK )	t <sub>HSHAT</sub>		2			ns
TPOHCK 周波数	f <sub>WPCKT</sub>	注		576		kHz
TPOHCK サイクル時間	t <sub>WPCKT</sub>	注		1.74		μs
★ TPOHCK TPOHFP 出力遅延時間	t <sub>DPHPT</sub>	負荷容量 : 15 pF	- 6		+ 6	ns
TPOHD 設定時間 (対 TPOHCK )	t <sub>SPHDT</sub>		10			ns
TPOHD 保持時間 (対 TPOHCK )	t <sub>HPHDT</sub>		5			ns
TPOHAV 設定時間 (対 TPOHCK )	t <sub>SPHAT</sub>		10			ns
TPOHAV 保持時間 (対 TPOHCK )	t <sub>HPHAT</sub>		5			ns

★ 注 TSOHCK , TPOHCK は , TCLK\_P/N の分周クロック出力です。

TOH インサート



POH インサート

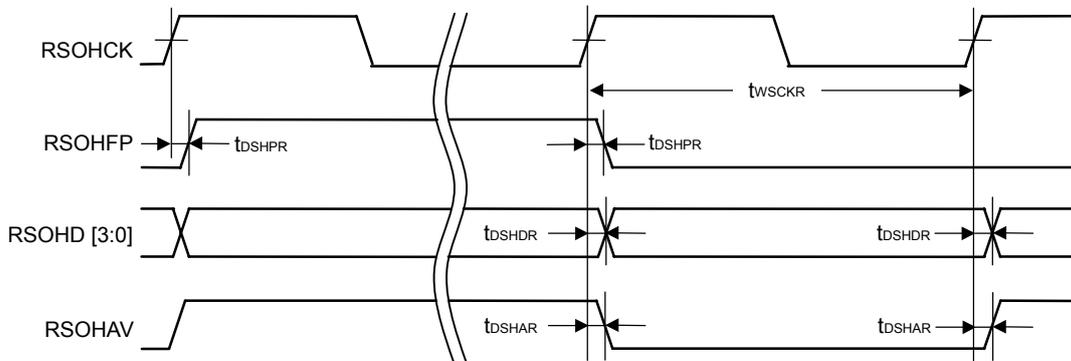


(b) エクストラクト

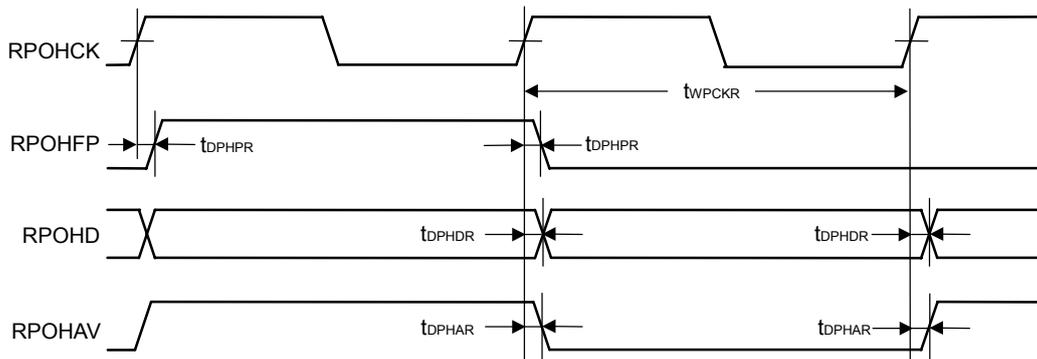
項目	略号	条件	MIN.	TYP.	MAX.	単位
RSOHCK 周波数	f <sub>WSCKR</sub>	注		25.92		MHz
RSOHCK サイクル時間	t <sub>WSCKR</sub>	注		38.6		ns
★ RSOHCK RSOHFP 出力遅延時間	t <sub>DSHPR</sub>	負荷容量 : 15 pF	- 3		+ 3	ns
★ RSOHCK RSOHDT 出力遅延時間	t <sub>DSHDR</sub>	負荷容量 : 15 pF	- 3		+ 3	ns
★ RSOHCK RSOHAV 出力遅延時間	t <sub>DSHAR</sub>	負荷容量 : 15 pF	- 3		+ 3	ns
RPOHCK 周波数	f <sub>WPCKR</sub>	注		576		kHz
RPOHCK サイクル時間	t <sub>WPCKR</sub>	注		1.74		μs
★ RPOHCK RPOHFP 出力遅延時間	t <sub>DPHPR</sub>	負荷容量 : 15 pF	- 3		+ 3	ns
★ RPOHCK RPOHDT 出力遅延時間	t <sub>DPHDR</sub>	負荷容量 : 15 pF	- 3		+ 3	ns
★ RPOHCK RPOHAV 出力遅延時間	t <sub>DPHAR</sub>	負荷容量 : 15 pF	- 3		+ 3	ns

★ 注 RSOHCK , RPOHCK は , RCLK\_P/N の分周クロック出力です。

TOH エクストラクト



POH エクストラクト

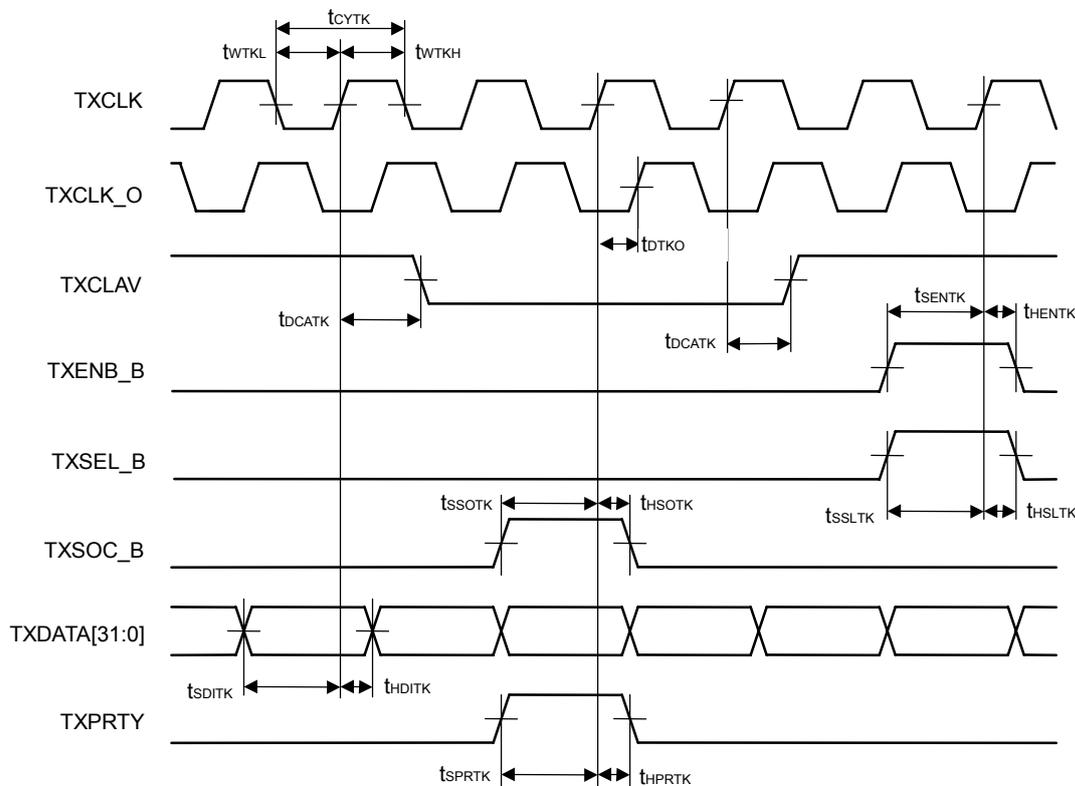


(4) ATM レイヤ・インタフェース

(a) 送信側 ATM レイヤ・インタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
TXCLK 周波数	f <sub>CYTK</sub>		8		104	MHz
TXCLK サイクル時間	t <sub>CYTK</sub>		125		9.6	ns
★ TXCLK ハイ・レベル幅	t <sub>WTKH</sub>		3.9			ns
★ TXCLK ロウ・レベル幅	t <sub>WTKL</sub>		3.9			ns
★ TXCLK TXCLK_O 出力遅延時間	t <sub>DTKO</sub>	負荷容量:15 pF, 注	0.5		6	ns
★ TXCLK TXCLAV 出力遅延時間	t <sub>DCATK</sub>	負荷容量:15 pF	0.5		6	ns
★ TXDATA[31:0]設定時間 (対 TXCLK )	t <sub>SDITK</sub>		2.8			ns
★ TXDATA[31:0]保持時間 (対 TXCLK )	t <sub>HDITK</sub>		0.5			ns
★ TXSOC 設定時間 (対 TXCLK )	t <sub>SSOTK</sub>		2.8			ns
★ TXSOC 保持時間 (対 TXCLK )	t <sub>HSOTK</sub>		0.5			ns
★ TXPRTY 設定時間 (対 TXCLK )	t <sub>SPRTK</sub>		2.8			ns
★ TXPRTY 保持時間 (対 TXCLK )	t <sub>HPRTK</sub>		0.5			ns
★ TXENB_B 設定時間 (対 TXCLK )	t <sub>SENTK</sub>		2.8			ns
★ TXENB_B 保持時間 (対 TXCLK )	t <sub>HENTK</sub>		0.5			ns
★ TXSEL_B 設定時間 (対 TXCLK )	t <sub>SSLTK</sub>		2.8			ns
★ TXSEL_B 保持時間 (対 TXCLK )	t <sub>HSLTK</sub>		0.5			ns

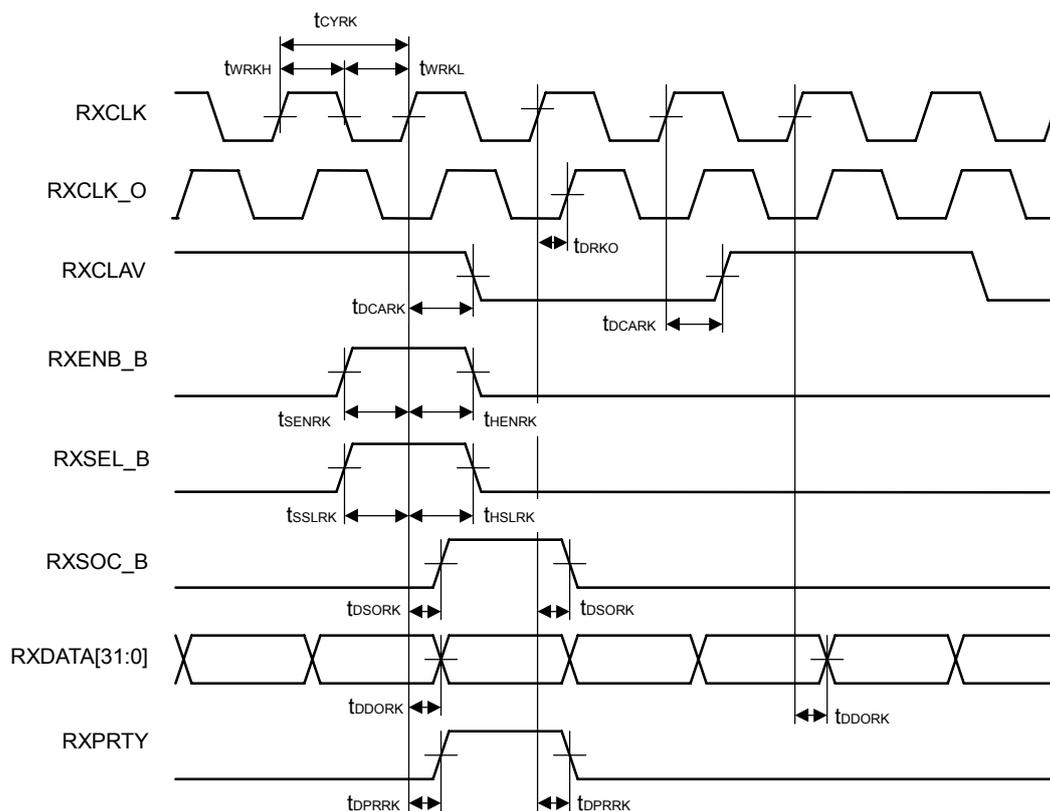
★ 注 TXCLK\_O は、TXCLK の論理反転出力です。



(b) 受信側 ATM レイヤ・インタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
RXCLK 周波数	f <sub>CYRK</sub>		8		104	MHz
RXCLK サイクル時間	t <sub>CYRK</sub>		125		9.6	ns
★ RXCLK ハイ・レベル幅	t <sub>WRKH</sub>		3.9			ns
★ RXCLK ロウ・レベル幅	t <sub>WRKL</sub>		3.9			ns
★ RXCLK RXCLK_O 出力遅延時間	t <sub>DRKO</sub>	負荷容量 : 15 pF, 注	0.5		6	ns
★ RXCLK RXCLAV 出力遅延時間	t <sub>DCARK</sub>	負荷容量 : 15 pF	0.5		6	ns
★ RXCLK RXDATA[31:0]出力遅延時間	t <sub>DDORK</sub>	負荷容量 : 15 pF	0.5		6	ns
★ RXCLK RXSOC 出力遅延時間	t <sub>DSORK</sub>	負荷容量 : 15 pF	0.5		6	ns
★ RXCLK RXPRTY 出力遅延時間	t <sub>DPRRK</sub>	負荷容量 : 15 pF	0.5		6	ns
★ RXENB_B 設定時間 (対 RXCLK )	t <sub>SEN RK</sub>		2.8			ns
★ RXENB_B 保持時間 (対 RXCLK )	t <sub>HEN RK</sub>		0.5			ns
★ RXSEL_B 設定時間 (対 RXCLK )	t <sub>SSL RK</sub>		2.8			ns
★ RXSEL_B 保持時間 (対 TXCLK )	t <sub>HSL RK</sub>		0.5			ns

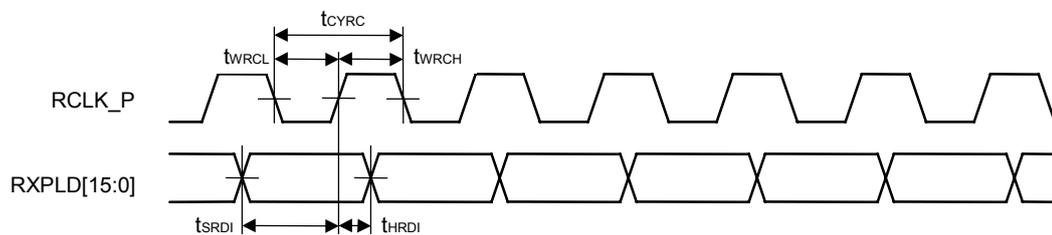
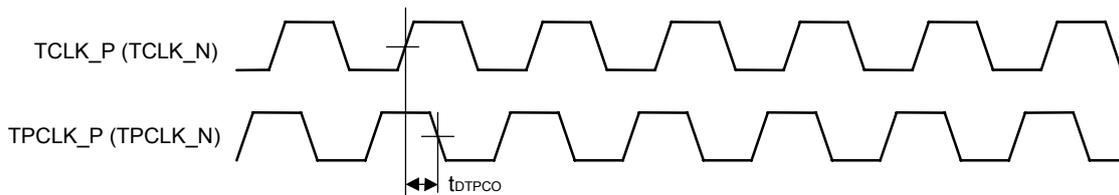
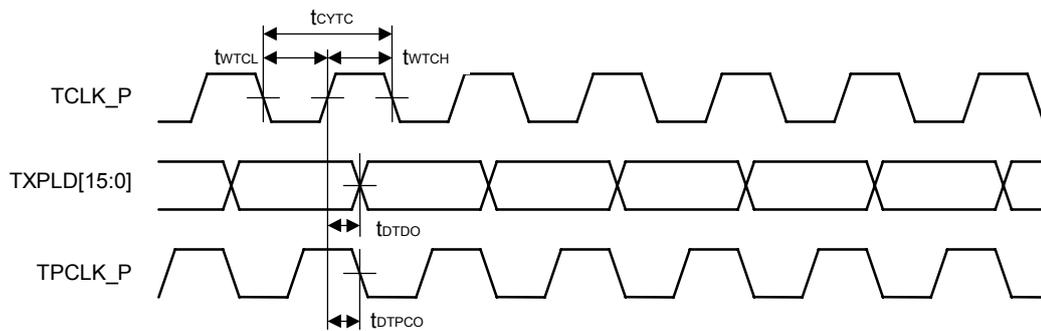
★ 注 RXCLK\_O は、RXCLK の論理反転出力です。



(5) ライン・インタフェース

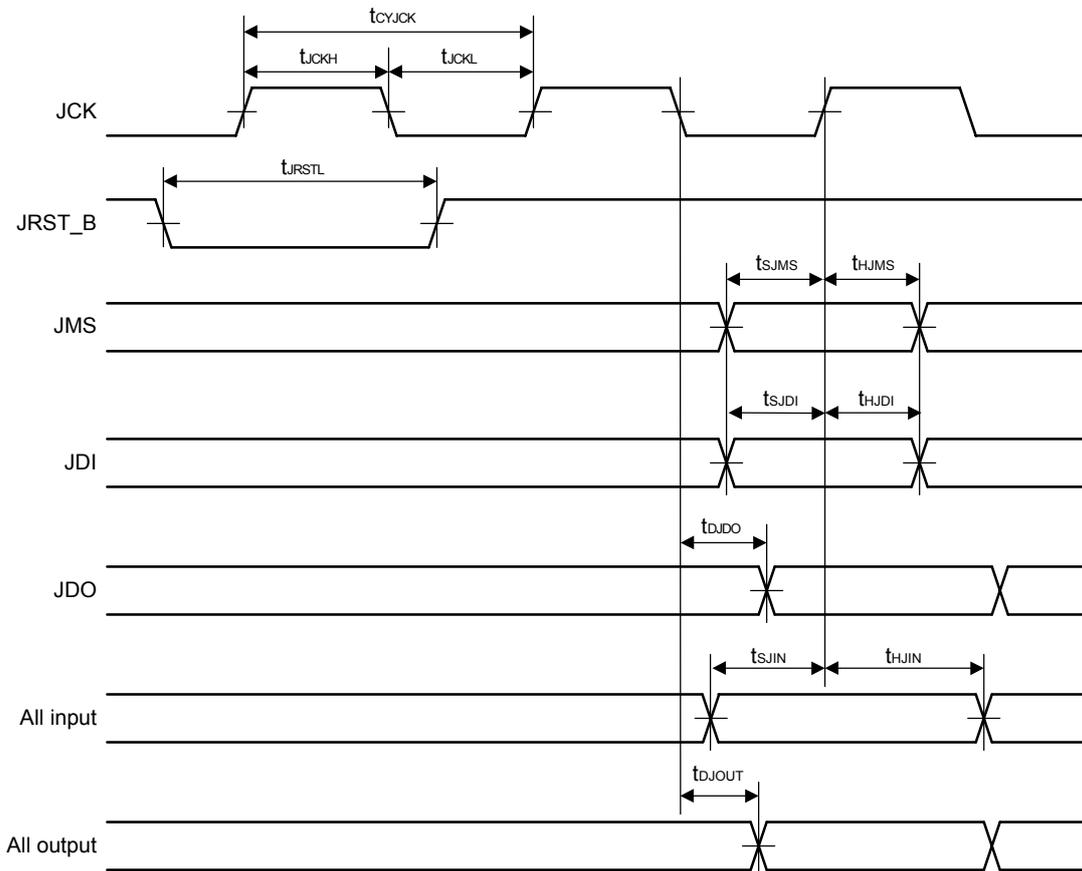
項目	略号	条件	MIN.	TYP.	MAX.	単位
TCLK_P[TCLK_N]周波数	f <sub>CYTC</sub>			155.52		MHz
TCLK_P[TCLK_N] サイクル時間	t <sub>CYTC</sub>			6.43		ns
★ TCLK_P[TCLK_N] ハイ・レベル幅	t <sub>WTCH</sub>		2.6			ns
★ TCLK_P[TCLK_N] ロウ・レベル幅	t <sub>WTCL</sub>		2.6			ns
★ RCLK_P[RCLK_N]周波数	f <sub>CYRC</sub>			155.52		MHz
RCLK_P[RCLK_N] サイクル時間	t <sub>CYRC</sub>			6.43		ns
★ RCLK_P[RCLK_N] ハイ・レベル幅	t <sub>WRCH</sub>		2.6			ns
★ RCLK_P[RCLK_N] ロウ・レベル幅	t <sub>WRCL</sub>		2.6			ns
★ TCLK_P TXPLD[15:0]遅延時間	t <sub>DTDO</sub>		0.5		4.0	ns
★ TCLK_P[TCLK_N] TPCLK_P [TPCLK_N] 遅延時間	t <sub>DTPCO</sub>	注	0.5		4.5	ns
★ RXPLD[15:0]設定時間 (対 RXCLK )	t <sub>SRDI</sub>		1.8			ns
RXPLD[15:0]保持時間 (対 RXCLK )	t <sub>HRDI</sub>		0.5			ns

★ 注 TPCLK\_P, TPCLK\_N は, TCLK\_P, TCLK\_N の論理反転出力です。



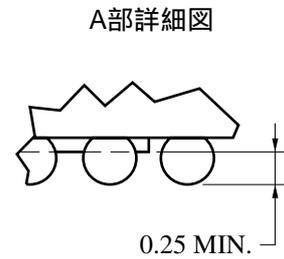
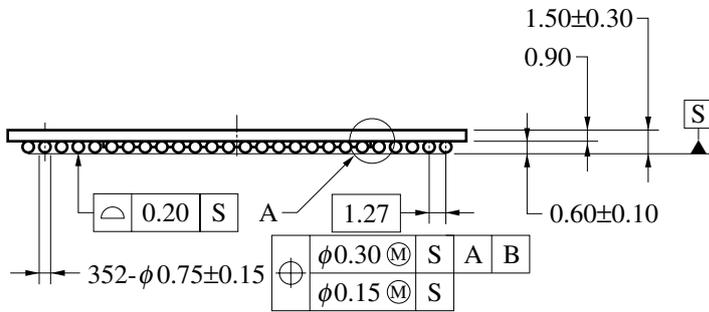
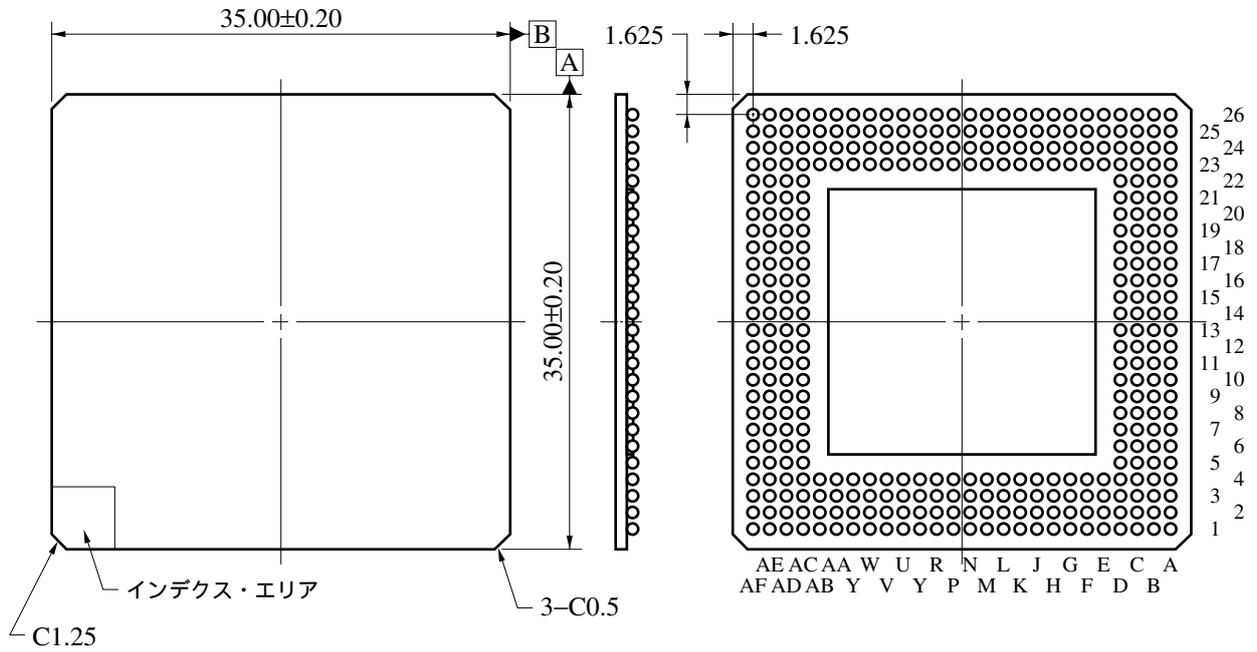
★ (6) JTAG バウンダリ・スキャン

項目	略号	条件	MIN.	TYP.	MAX.	単位
JCK サイクル時間	t <sub>cyJCK</sub>		250			ns
JCK ハイ・レベル幅	t <sub>JCKH</sub>		100			ns
JCK ロウ・レベル幅	t <sub>JCKL</sub>		100			ns
JMS セットアップ時間	t <sub>sJMS</sub>		30			ns
JMS ホールド時間	t <sub>hJMS</sub>		30			ns
JDI セットアップ時間	t <sub>sJDI</sub>		30			ns
JDI ホールド時間	t <sub>hJDI</sub>		30			ns
Capture_DR データ入力セットアップ時間	t <sub>sJIN</sub>		30			ns
Capture_DR データ入力ホールド時間	t <sub>hJIN</sub>		30			ns
JCK Up Date_DR 出力遅延時間	t <sub>dJOUT</sub>		0		50	ns
JCK JDO 遅延時間	t <sub>dJDO</sub>		0		50	ns
JRST_B ロウ・レベル幅	t <sub>JRSTL</sub>		t <sub>cyJCK</sub>			ns



4. 外形図

352ピン・プラスチック BGA (C/D アドバンスト・タイプ)(35x35) 外形図 (単位 : mm)



P352F2-127-RN1-1

## 5. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.ic.nec.co.jp/pkg/ja/jissou/index.html>)

## 表面実装タイプ

## μ PD98414F2-RN1 : 352 ピン・プラスチック BGA (C/D アドバンスド・タイプ)(35×35)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：220℃，時間：30秒以内（210℃以上）， 回数：2回以内，制限日数：2日間 <sup>注</sup> （以降は125℃プリバーク20時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態での ベーキングができません。	IR20-202-2

注 ドライパック開封後の保管日数で保管条件は25℃，65%RH以下。

## CMOSデバイスの一般的注意事項

**静電気対策（MOS全般）**

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

**未使用入力の処理（CMOS特有）**

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して $V_{DD}$ またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

**初期化以前の状態（MOS全般）**

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

NEASCOT-P70 は、日本電気株式会社の商標です。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災 / 防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート / データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

## — お問い合わせ先 —

### 【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン  
(電話：午前 9:00 ~ 12:00, 午後 1:00 ~ 5:00)

電話 : 044-435-9494  
FAX : 044-435-9608  
E-mail : s-info@saed.tmg.nec.co.jp

### 【営業関係お問い合わせ先】

#### 第一販売事業部

東京 (03)3798-6106, 6107, 6108  
大阪 (06)6945-3178, 3200, 3208, 3212  
仙台 (022)267-8740  
郡山 (024)923-5591  
千葉 (043)238-8116

#### 第二販売事業部

東京 (03)3798-6110, 6111, 6112  
立川 (042)526-5981, 6167  
松本 (0263)35-1662  
静岡 (054)254-4794  
金沢 (076)232-7303  
松山 (089)945-4149

#### 第三販売事業部

東京 (03)3798-6151, 6155, 6586, 1622, 1623, 6156  
水戸 (029)226-1702  
広島 (082)242-5504  
前橋 (027)243-6060  
鳥取 (0857)27-5313  
太田 (0276)46-4014  
名古屋 (052)222-2170, 2190  
福岡 (092)261-2806

### 【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

### 【NECエレクトロニクスデバイス ホームページ】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>