

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



1.5G ATM Switch LSI

μPD98412(NEASCOT-X15™)は、ATM スイッチ機能を 1 チップに搭載した LSI で、UTOPIA Level 2 インタフェースを持ち、マルチ PHY 接続を利用して 30×30 回線をスイッチングできます。また、共有バッファ方式ノンブロッキング型スイッチを採用し、外部接続の SRAM をセルのバッファリングに使用して、スイッチ容量 1.5 Gbps を実現します。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μPD98412 ユーザーズ・マニュアル：S14169J

特 徴

- ATM FORUM UNI Version 3.1 & Traffic Management 4.0 に準拠
- 1 チップですべてのスイッチ機能を実現
- ノンブロッキングでスイッチ容量 1.5 Gbps を実現
- ビット幅の選べる UTOPIA Level 2 インタフェース
(4ポート×8ビット, 2ポート×8ビット+1ポート×16ビット, 2ポート×16ビット)
- UTOPIA Level 2 インタフェースに各種ポーリング・モードを採用
- 30 論理ポートのスイッチングが可能
- マルチスピード対応 (622 Mbps, 155 Mbps, 52 Mbps, 25 Mbps etc.)
- シグナリング処理, OAM セル処理用にマイクロプロセッサ接続ポートを設定可能
- 16K/32K/64K ユニキャスト VP/VC と 1K/2K/4K マルチキャスト VP/VC をサポート
- 標準 SRAM を使用した共有バッファ・アーキテクチャ
- セル・バッファ容量 12.8K/25.6K/51.2K セル
- 4 つの QOS クラス (CBR, VBR, ABR, UBR) をサポート
- ABR トラフィック制御 (バイナリ・モード)
- EPD (Early Packet Discard), PPD (Partial Packet Discard) をサポート
- +3.3V 単一電源 (+5V TTL レベル信号と直接接続も可能)
- テスト機能: JTAG (IEEE 1149.1) サポート

備考 このドキュメントでは、アクティブ・ロウの端子を XXX_B (端子名のあとに_B) と表しています。

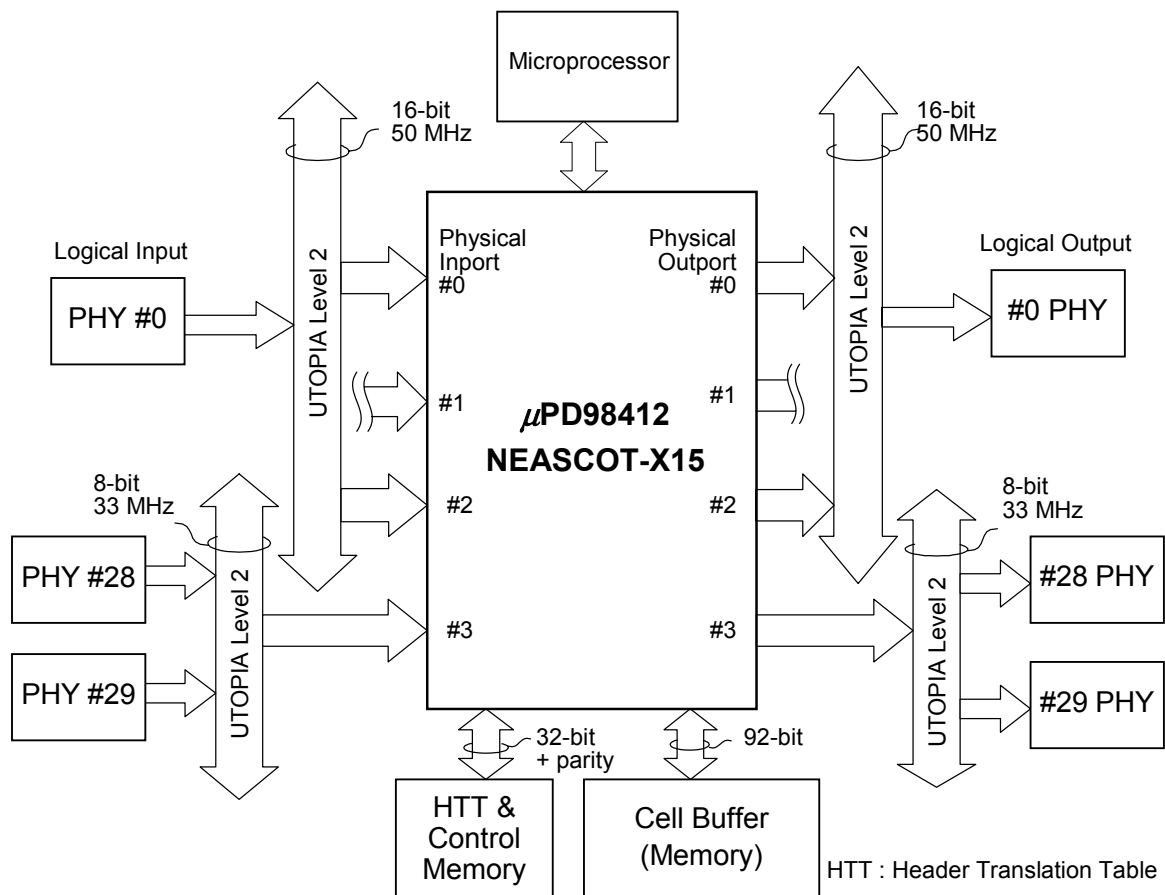
本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

オーダ情報

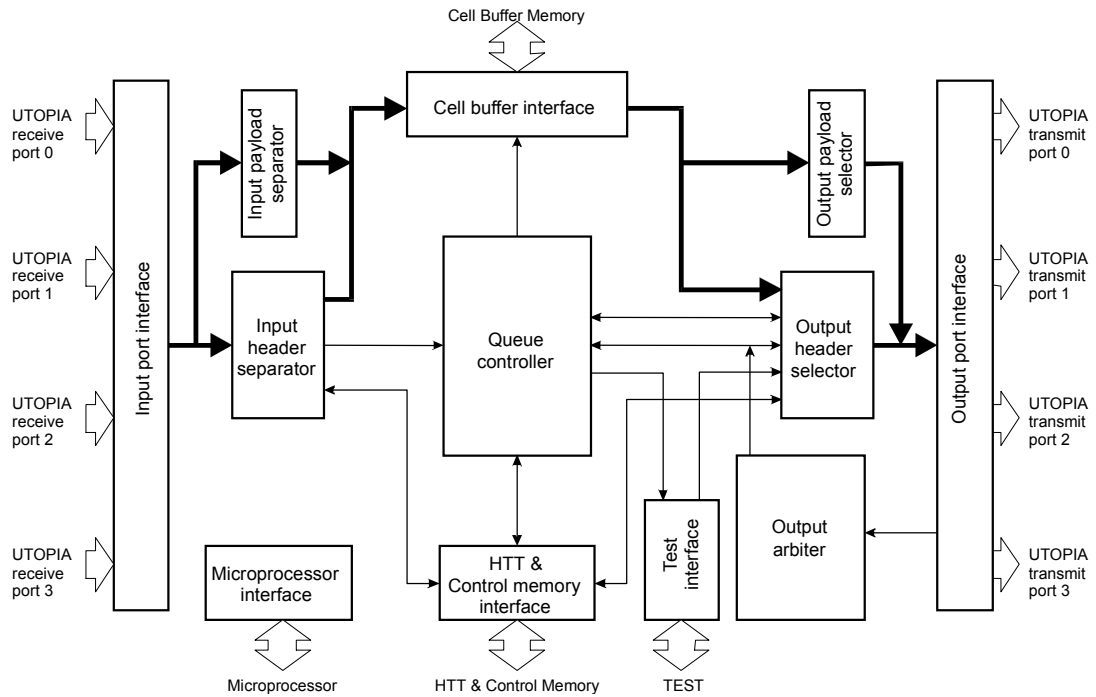
オーダ名称	パッケージ
μPD98412N7-H6	576 ピン・テープ BGA (H/Sp 付き) (40 × 40)

システム構成例 (用途)

μPD98412 は、マイクロプロセッサとセル・バッファ格納用 SRAM およびヘッダ変換テーブル (HTT) / コントローラ情報格納用 SRAM を下図のように接続して、ATM レイヤにおけるセル・スイッチング機能を実現できます。

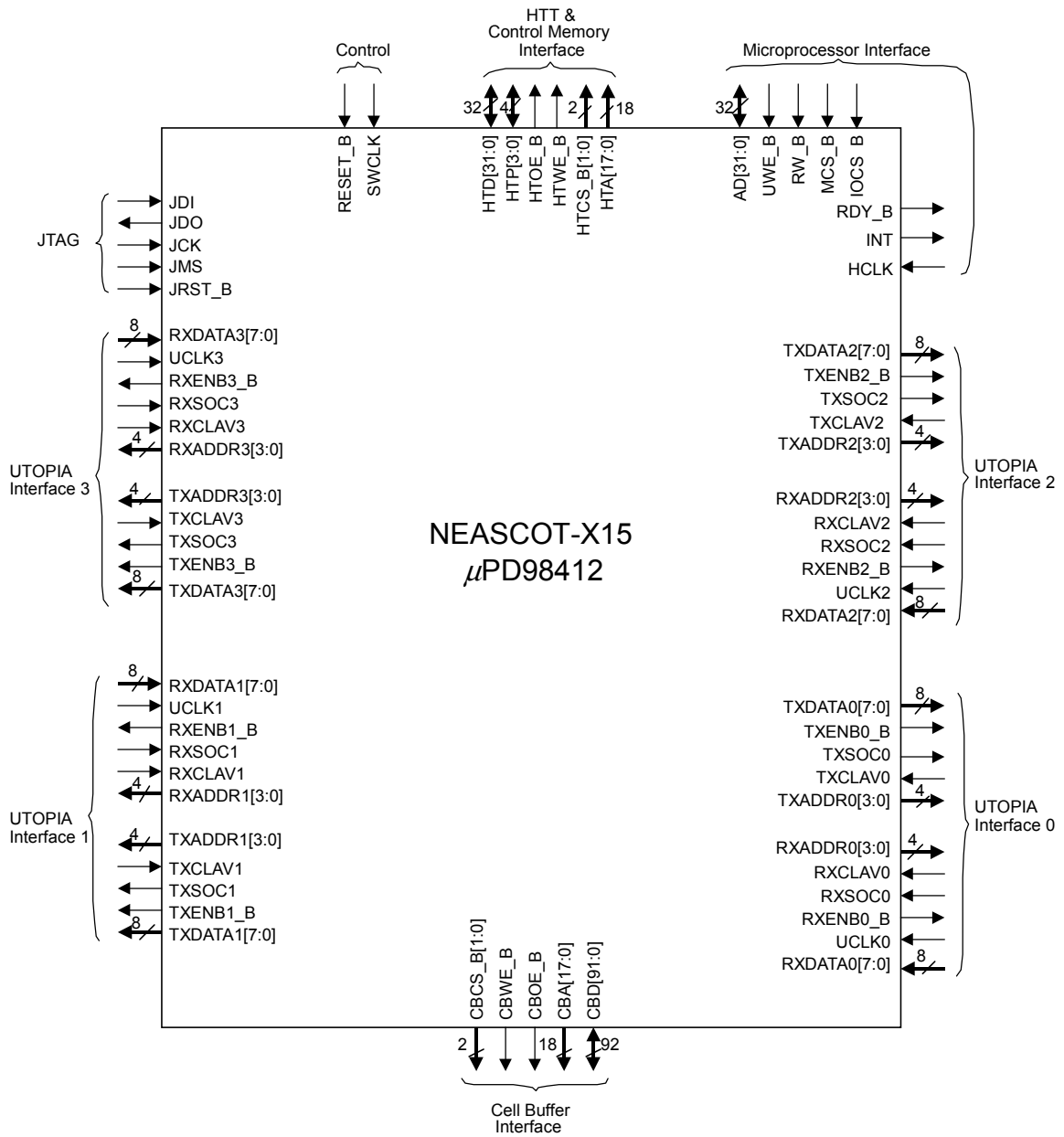


ブロック図

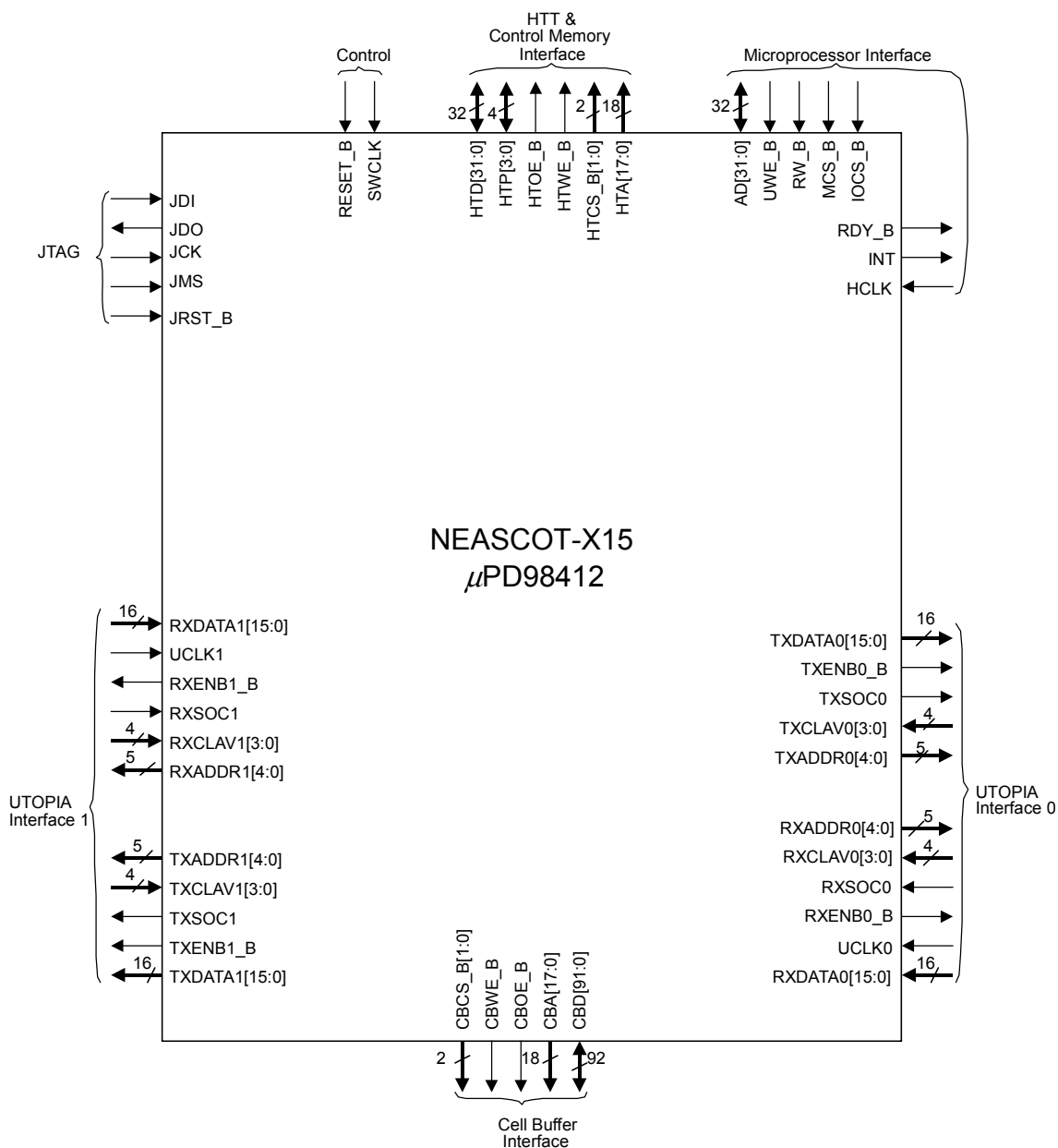


端子構成図

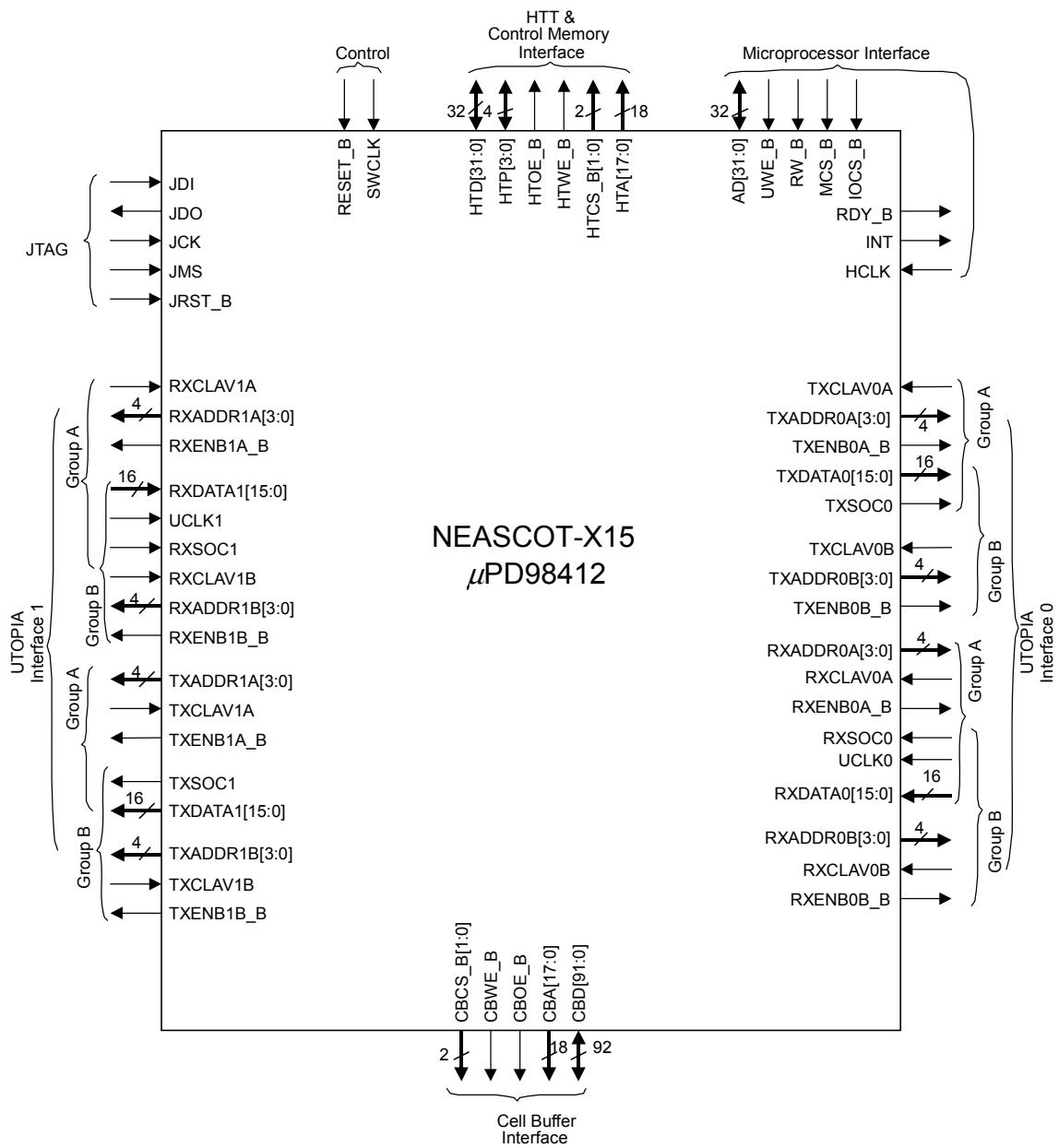
(1) 8-bit 12-PHY Polling Mode / 15-PHY Polling Mode



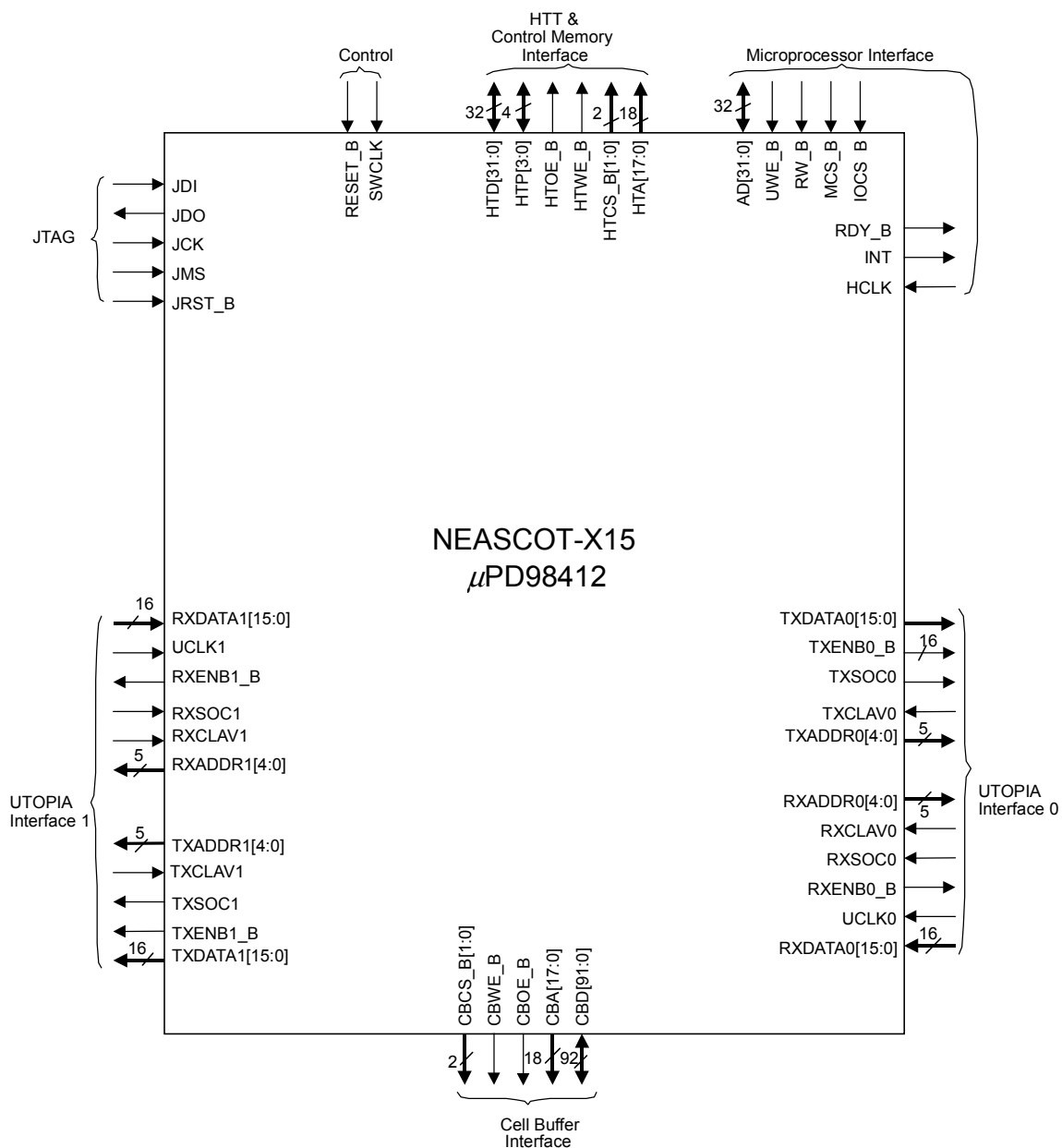
(2) 16-bit Multiplexed Status Polling Mode



(3) 16-bit 2-Group Weighted Polling Mode



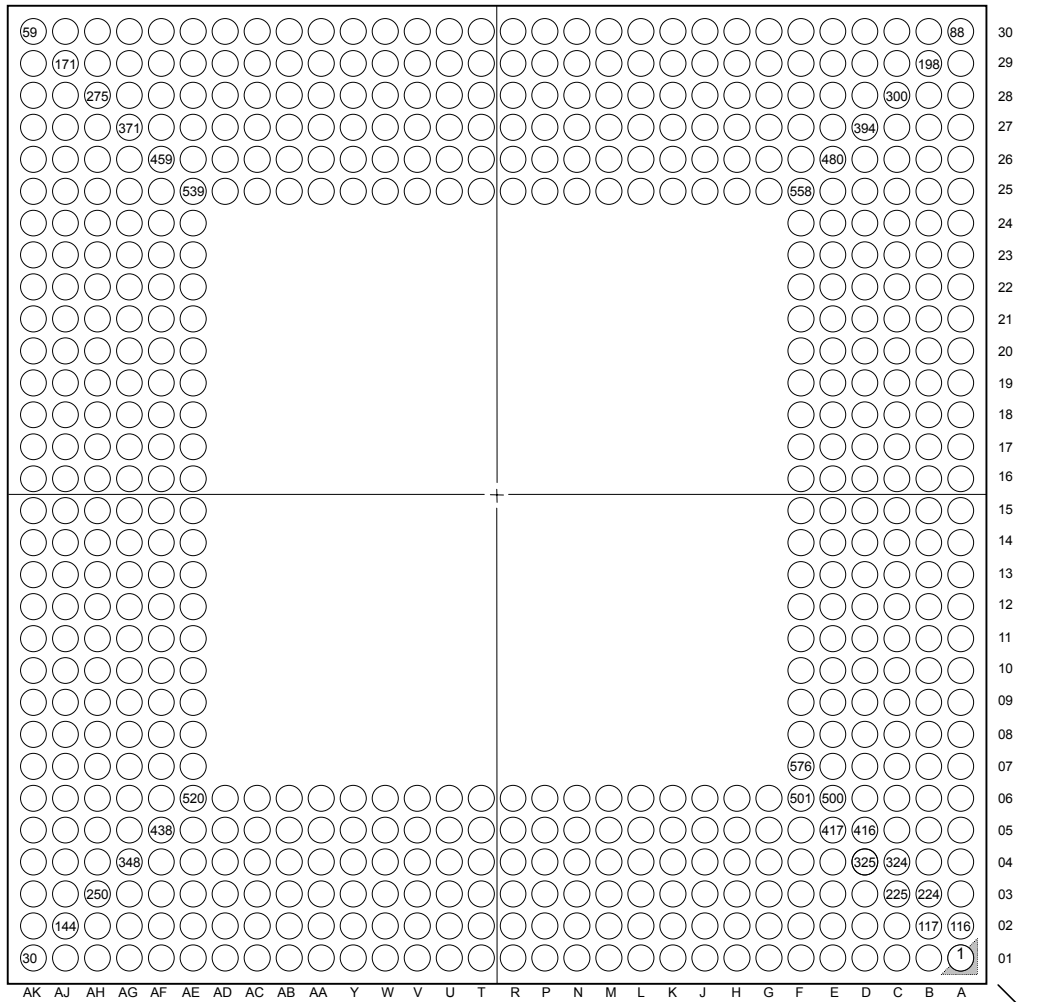
(4) 16-bit 1-Group Weighted Polling Mode



端子概要図 (Bottom View)

・ 576 ピン・テープ BGA (H/Sp 付き) (40 × 40)

μPD98412N7-H6



Index area 注

注 Index area は Top View 側にマーキングされています。

端子名称

1. Power

VDD : Supply Voltage
GND : Ground

2. Memory Interface

HTA17-HTA00 : HTT Memory Address
HTD31-HTD00 : HTT Memory Data Bus
HTP3-HTP0 : HTT Memory Data Bus Parity
HTCS1_B,HTCS0_B : HTT Memory Chip Select
HTWE_B : HTT Memory Write Enable
HTOE_B : HTT Memory Output Enable
CBA17-CBA00 : Cell Buffer Memory Address
CBD91-CBD00 : Cell Buffer Memory Data Bus
CBCS1_B,CBCS0_B : Cell Buffer Memory Chip Select
CBWE_B : Cell Buffer Memory Write Enable
CBOE_B : Cell Buffer Memory Output Enable

3. CPU Interface

IOCS_B : I/O Chip Select
MCS_B : Memory Chip Select
RDY_B : I/O Ready , Memory Ready
INT : Interrupt Request
HCLK : Host Clock
AD31-AD00 : Address and Data
R/W_B : Read/Write
UWE_B : Upper Word Enable

4. JTAG

JDI : JTAG Data Input
JDO : JTAG Data Output
JCK : JTAG Data Clock
JMS : JTAG Mode Select
JRST_B : JTAG Reset

5. Other

SWCLK : System Clock
RESET_B : Hardware Reset
IC : Internal Connected
CG : Connect Ground
PU : Pull-up

6. UTOPIA

(1) 8-bit 12-PHY Polling Mode / 15-PHY Polling Mode

UCLK0 : UTOPIA Clock
 RXADDR03-RXADDR00 : Receive Address
 RXDATA007-RXDATA000 : Receive Data Bus
 RXSOC0 : Receive Start of Cell
 RXENB0_B : Receive Enable Data Transfers
 RXCLAV0 : Receive Cell Buffer Available
 TXADDR03-TXADDR00 : Transmit Address
 TXDATA007-TXDATA000 : Transmit Data Bus
 TXSOC0 : Transmit Start of Cell
 TXENB0_B : Transmit Enable Data Transfers
 TXCLAV0 : Transmit Cell Buffer Available
 UCLK1 : UTOPIA Clock
 RXADDR13-RXADDR10 : Receive Address
 RXDATA107-RXDATA100 : Receive Data Bus
 RXSOC1 : Receive Start of Cell
 RXENB1_B : Receive Enable Data Transfers
 RXCLAV1 : Receive Cell Buffer Available
 TXADDR13-TXADDR10 : Transmit Address
 TXDATA107-TXDATA100 : Transmit Data Bus
 TXSOC1 : Transmit Start of Cell
 TXENB1_B : Transmit Enable Data Transfers
 TXCLAV1 : Transmit Cell Buffer Available
 UCLK2 : UTOPIA Clock
 RXADDR23-RXADDR20 : Receive Address
 RXDATA207-RXDATA200 : Receive Data Bus
 RXSOC2 : Receive Start of Cell
 RXENB2_B : Receive Enable Data Transfers
 RXCLAV2 : Receive Cell Buffer Available
 TXADDR23-TXADDR20 : Transmit Address
 TXDATA207-TXDATA200 : Transmit Data Bus
 TXSOC2 : Transmit Start of Cell
 TXENB2_B : Transmit Enable Data Transfers
 TXCLAV2 : Transmit Cell Buffer Available
 UCLK3 : UTOPIA Clock
 RXADDR33-RXADDR30 : Receive Address
 RXDATA307-RXDATA300 : Receive Data Bus
 RXSOC3 : Receive Start of Cell
 RXENB3_B : Receive Enable Data Transfers
 RXCLAV3 : Receive Cell Buffer Available
 TXADDR33-TXADDR30 : Transmit Address
 TXDATA307-TXDATA300 : Transmit Data Bus
 TXSOC3 : Transmit Start of Cell
 TXENB3_B : Transmit Enable Data Transfers
 TXCLAV3 : Transmit Cell Buffer Available

(2) 16-bit Multiplexed Status Polling Mode

UCLK0 : UTOPIA Clock
 RXADDR04-RXADDR00 : Receive Address
 RXDATA015-RXDATA000 : Receive Data Bus
 RXSOC0 : Receive Start of Cell
 RXENB0_B : Receive Enable Data Transfers
 RXCLAV0[3]-RXCLAV0[0] : Receive Cell Buffer Available
 TXADDR04-TXADDR00 : Transmit Address
 TXDATA015-TXDATA000 : Transmit Data Bus
 TXSOC0 : Transmit Start of Cell
 TXENB0_B : Transmit Enable Data Transfers
 TXCLAV0[3]-TXCLAV0[0] : Transmit Cell Buffer Available
 UCLK1 : UTOPIA Clock
 RXADDR14-RXADDR10 : Receive Address
 RXDATA115-RXDATA100 : Receive Data Bus
 RXSOC1 : Receive Start of Cell
 RXENB1_B : Receive Enable Data Transfers
 RXCLAV1[3]-RXCLAV1[0] : Receive Cell Buffer Available
 TXADDR14-TXADDR10 : Transmit Address
 TXDATA115-TXDATA100 : Transmit Data Bus
 TXSOC1 : Transmit Start of Cell
 TXENB1_B : Transmit Enable Data
 TXCLAV1[3]-TXCLAV1[0] : Transmit Cell Buffer Available

(3) 16-bit 2-Group Weighted Polling Mode

UCLK0 : UTOPIA Clock
 RXADDR0A3-RXADDR0A0 : Receive Address
 RXADDR0B3-RXADDR0B0 : Receive Address
 RXDATA015-RXDATA000 : Receive Data Bus
 RXSOC0 : Receive Start of Cell
 RXENB0A_B,RXENB0B_B : Receive Enable Data Transfers
 RXCLAV0A,RXCLAV0B : Receive Cell Buffer Available
 TXADDR0A3-TXADDR0A0 : Transmit Address
 TXADDR0B3-TXADDR0B0 : Transmit Address
 TXDATA015-TXDATA000 : Transmit Data Bus
 TXSOC0 : Transmit Start of Cell
 TXENB0A_B,TXENB0B_B : Transmit Enable Data Transfers
 TXCLAV0A,TXCLAV0B : Transmit Cell Buffer Available
 UCLK1 : UTOPIA Clock
 RXADDR1A3-RXADDR1A0 : Receive Address
 RXADDR1B3-RXADDR1B0 : Receive Address
 RXDATA115-RXDATA100 : Receive Data Bus
 RXSOC1 : Receive Start of Cell
 RXENB1A_B,RXENB1B_B : Receive Enable Data Transfers
 RXCLAV1A,RXCLAV1B : Receive Cell Buffer Available
 TXADDR1A3-TXADDR1A0 : Transmit Address
 TXADDR1B3-TXADDR1B0 : Transmit Address
 TXDATA115-TXDATA100 : Transmit Data Bus
 TXSOC1 : Transmit Start of Cell
 TXENB1A_B,TXENB1B_B : Transmit Enable Data Transfers
 TXCLAV1A,TXCLAV1B : Transmit Cell Buffer Available

(4) 16-bit 1-Group Weighted Polling Mode

UCLK0 : UTOPIA Clock
 RXADDR04-RXADDR00 : Receive Address
 RXDATA015-RXDATA000 : Receive Data Bus
 RXSOC0 : Receive Start of Cell
 RXENB0_B : Receive Enable Data Transfers
 RXCLAV0 : Receive Cell Buffer Available
 TXADDR04-TXADDR00 : Transmit Address
 TXDATA015-TXDATA000 : Transmit Data Bus
 TXSOC0 : Transmit Start of Cell
 TXENB0_B : Transmit Enable Data Transfers
 TXCLAV0 : Transmit Cell Buffer Available
 UCLK1 : UTOPIA Clock
 RXADDR14-RXADDR10 : Receive Address
 RXDATA115-RXDATA100 : Receive Data Bus
 RXSOC1 : Receive Start of Cell
 RXENB1_B : Receive Enable Data Transfers
 RXCLAV1 : Receive Cell Buffer Available
 TXADDR14-TXADDR10 : Transmit Address
 TXDATA115-TXDATA100 : Transmit Data Bus
 TXSOC1 : Transmit Start of Cell
 TXENB1_B : Transmit Enable Data Transfers
 TXCLAV1 : Transmit Cell Buffer Available

端子配置

(1/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
1	A01	AD30	←	←	←	I/O
2	B01	GND	←	←	←	
3	C01	AD24	←	←	←	I/O
4	D01	AD20	←	←	←	I/O
5	E01	AD16	←	←	←	I/O
6	F01	GND	←	←	←	
7	G01	AD10	←	←	←	I/O
8	H01	AD06	←	←	←	I/O
9	J01	GND	←	←	←	
10	K01	AD01	←	←	←	I/O
11	L01	HTA17	←	←	←	O
12	M01	HTA13	←	←	←	O
13	N01	HTA09	←	←	←	O
14	P01	GND	←	←	←	
15	R01	HTA06	←	←	←	O
16	T01	HTA02	←	←	←	O
17	U01	HTCS0_B	←	←	←	O
18	V01	HTD31	←	←	←	I/O
19	W01	HTD29	←	←	←	I/O
20	Y01	VDD	←	←	←	
21	AA01	HTD24	←	←	←	I/O
22	AB01	HTD21	←	←	←	I/O
23	AC01	HTD17	←	←	←	I/O
24	AD01	HTP1	←	←	←	I/O
25	AE01	VDD	←	←	←	
26	AF01	GND	←	←	←	
27	AG01	HTD06	←	←	←	I/O
28	AH01	HTD05	←	←	←	I/O
29	AJ01	HTD01	←	←	←	I/O
30	AK01	PU	←	←	←	I
31	AK02	VDD	←	←	←	
32	AK03	GND	←	←	←	
33	AK04	JCK	←	←	←	I
34	AK05	RXDATA307	RXDATA115	RXDATA115	RXDATA115	I
35	AK06	VDD	←	←	←	
36	AK07	RXDATA301	RXDATA109	RXDATA109	RXDATA109	I
37	AK08	GND	←	←	←	
38	AK09	RXCLAV3	RXCLAV1[2]	RXCLAV1B	CG	I
39	AK10	VDD	←	←	←	
40	AK11	TXADDR33	IC	TXADDR1B3	IC	O

(2/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
41	AK12	CG	TXCLAV1[3]	CG	CG	I
42	AK13	TXDATA307	TXDATA115	TXDATA115	TXDATA115	O
43	AK14	VDD	←	←	←	
44	AK15	TXDATA304	TXDATA112	TXDATA112	TXDATA112	O
45	AK16	TXDATA300	TXDATA108	TXDATA108	TXDATA108	O
46	AK17	RXDATA104	RXDATA104	RXDATA104	RXDATA104	I
47	AK18	RXDATA100	RXDATA100	RXDATA100	RXDATA100	I
48	AK19	UCLK1	UCLK1	UCLK1	UCLK1	I
49	AK20	RXCLAV1	RXCLAV1[0]	RXCLAV1A	RXCLAV1	I
50	AK21	RXADDR12	RXADDR12	RXADDR1A2	RXADDR12	O
51	AK22	TXADDR12	TXADDR12	TXADDR1A2	TXADDR12	O
52	AK23	TXCLAV1	TXCLAV1[0]	TXCLAV1A	TXCLAV1	I
53	AK24	TXDATA107	TXDATA107	TXDATA107	TXDATA107	O
54	AK25	TXDATA103	TXDATA103	TXDATA103	TXDATA103	O
55	AK26	CBD87	←	←	←	I/O
56	AK27	CBD84	←	←	←	I/O
57	AK28	VDD	←	←	←	
58	AK29	GND	←	←	←	
59	AK30	CBD77	←	←	←	I/O
60	AJ30	GND	←	←	←	
61	AH30	VDD	←	←	←	
62	AG30	CBD68	←	←	←	I/O
63	AF30	CBD64	←	←	←	I/O
64	AE30	VDD	←	←	←	
65	AD30	CBD58	←	←	←	I/O
66	AC30	CBD54	←	←	←	I/O
67	AB30	VDD	←	←	←	
68	AA30	CBD49	←	←	←	I/O
69	Y30	CBD47	←	←	←	I/O
70	W30	CBCS1_B	←	←	←	O
71	V30	CBA17	←	←	←	O
72	U30	VDD	←	←	←	
73	T30	CBA14	←	←	←	O
74	R30	CBA10	←	←	←	O
75	P30	CBA06	←	←	←	O
76	N30	CBA02	←	←	←	O
77	M30	CBA00	←	←	←	O
78	L30	VDD	←	←	←	
79	K30	CBD39	←	←	←	I/O
80	J30	CBD35	←	←	←	I/O

(3/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
81	H30	VDD	←	←	←	
82	G30	CBD29	←	←	←	I/O
83	F30	CBD25	←	←	←	I/O
84	E30	GND	←	←	←	
85	D30	CBD18	←	←	←	I/O
86	C30	VDD	←	←	←	
87	B30	VDD	←	←	←	
88	A30	CBD11	←	←	←	I/O
89	A29	VDD	←	←	←	
90	A28	CBD05	←	←	←	I/O
91	A27	CBD01	←	←	←	I/O
92	A26	RXDATA005	RXDATA005	RXDATA005	RXDATA005	I
93	A25	RXDATA003	RXDATA003	RXDATA003	RXDATA003	I
94	A24	VDD	←	←	←	
95	A23	RXCLAV0	RXCLAV0[0]	RXCLAV0A	RXCLAV0	I
96	A22	VDD	←	←	←	
97	A21	TXADDR03	TXADDR03	TXADDR0A3	TXADDR03	O
98	A20	TXADDR01	TXADDR01	TXADDR0A1	TXADDR01	O
99	A19	TXSOC0	TXSOC0	TXSOC0	TXSOC0	O
100	A18	TXDATA005	TXDATA005	TXDATA005	TXDATA005	O
101	A17	GND	←	←	←	
102	A16	TXDATA001	TXDATA001	TXDATA001	TXDATA001	O
103	A15	RXDATA205	RXDATA013	RXDATA013	RXDATA013	I
104	A14	RXDATA201	RXDATA009	RXDATA009	RXDATA009	I
105	A13	RXENB2_B	IC	RXENB0B_B	IC	O
106	A12	RXCLAV2	RXCLAV0[2]	RXCLAV0B	CG	I
107	A11	RXADDR21	IC	RXADDR0B1	IC	O
108	A10	TXADDR22	IC	TXADDR0B2	IC	O
109	A09	TXCLAV2	TXCLAV0[2]	TXCLAV0B	CG	I
110	A08	GND	←	←	←	
111	A07	TXDATA203	TXDATA011	TXDATA011	TXDATA011	O
112	A06	VDD	←	←	←	
113	A05	GND	←	←	←	
114	A04	R/W_B	←	←	←	I
115	A03	UWE_B	←	←	←	I
116	A02	CG	←	←	←	I
117	B02	AD29	←	←	←	I/O
118	C02	AD27	←	←	←	I/O
119	D02	VDD	←	←	←	
120	E02	AD19	←	←	←	I/O

(4/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
121	F02	AD15	←	←	←	I/O
122	G02	AD11	←	←	←	I/O
123	H02	AD09	←	←	←	I/O
124	J02	AD05	←	←	←	I/O
125	K02	AD04	←	←	←	I/O
126	L02	AD00	←	←	←	I/O
127	M02	HTA14	←	←	←	O
128	N02	HTA10	←	←	←	O
129	P02	VDD	←	←	←	
130	R02	HTA05	←	←	←	O
131	T02	HTA01	←	←	←	O
132	U02	HTWE_B	←	←	←	O
133	V02	HTD30	←	←	←	I/O
134	W02	HTD26	←	←	←	I/O
135	Y02	HTD25	←	←	←	I/O
136	AA02	HTD22	←	←	←	I/O
137	AB02	HTD20	←	←	←	I/O
138	AC02	HTD16	←	←	←	I/O
139	AD02	HTD13	←	←	←	I/O
140	AE02	HTD10	←	←	←	I/O
141	AF02	HTD07	←	←	←	I/O
142	AG02	HTD02	←	←	←	I/O
143	AH02	GND	←	←	←	
144	AJ02	GND	←	←	←	
145	AJ03	CBD91	←	←	←	I/O
146	AJ04	JDO	←	←	←	O
147	AJ05	VDD	←	←	←	
148	AJ06	RXDATA306	RXDATA114	RXDATA114	RXDATA114	I
149	AJ07	RXDATA302	RXDATA110	RXDATA110	RXDATA110	I
150	AJ08	RXDATA300	RXDATA108	RXDATA108	RXDATA108	I
151	AJ09	RXENB3_B	IC	RXENB1B_B	IC	O
152	AJ10	VDD	←	←	←	
153	AJ11	RXADDR30	RXADDR14	RXADDR1B0	RXADDR14	O
154	AJ12	TXADDR30	TXADDR14	TXADDR1B0	TXADDR14	O
155	AJ13	TXENB3_B	IC	TXENB1B_B	IC	O
156	AJ14	GND	←	←	←	
157	AJ15	TXDATA303	TXDATA111	TXDATA111	TXDATA111	O
158	AJ16	RXDATA107	RXDATA107	RXDATA107	RXDATA107	I
159	AJ17	RXDATA103	RXDATA103	RXDATA103	RXDATA103	I
160	AJ18	VDD	←	←	←	

(5/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
161	AJ19	VDD	←	←	←	
162	AJ20	GND	←	←	←	
163	AJ21	TXADDR13	TXADDR13	TXADDR1A3	TXADDR13	O
164	AJ22	TXADDR10	TXADDR10	TXADDR1A0	TXADDR10	O
165	AJ23	TXENB1_B	TXENB1_B	TXENB1A_B	TXENB1_B	O
166	AJ24	TXDATA104	TXDATA104	TXDATA104	TXDATA104	O
167	AJ25	TXDATA101	TXDATA101	TXDATA101	TXDATA101	O
168	AJ26	CBD85	←	←	←	I/O
169	AJ27	VDD	←	←	←	
170	AJ28	CBD80	←	←	←	I/O
171	AJ29	CBD76	←	←	←	I/O
172	AH29	CBD74	←	←	←	I/O
173	AG29	GND	←	←	←	
174	AF29	CBD67	←	←	←	I/O
175	AE29	CBD63	←	←	←	I/O
176	AD29	CBD59	←	←	←	I/O
177	AC29	CBD57	←	←	←	I/O
178	AB29	CBD53	←	←	←	I/O
179	AA29	CBD52	←	←	←	I/O
180	Y29	CBD48	←	←	←	I/O
181	W29	CBD44	←	←	←	I/O
182	V29	CBOE_B	←	←	←	O
183	U29	GND	←	←	←	
184	T29	CBA13	←	←	←	O
185	R29	CBA09	←	←	←	O
186	P29	CBA05	←	←	←	O
187	N29	CBA01	←	←	←	O
188	M29	CBD41	←	←	←	I/O
189	L29	CBD40	←	←	←	I/O
190	K29	CBD36	←	←	←	I/O
191	J29	CBD34	←	←	←	I/O
192	H29	CBD30	←	←	←	I/O
193	G29	CBD26	←	←	←	I/O
194	F29	CBD23	←	←	←	I/O
195	E29	CBD19	←	←	←	I/O
196	D29	GND	←	←	←	
197	C29	CBD14	←	←	←	I/O
198	B29	CBD10	←	←	←	I/O
199	B28	CBD08	←	←	←	I/O
200	B27	CBD02	←	←	←	I/O

(6/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
201	B26	CBD00	←	←	←	I/O
202	B25	RXDATA004	RXDATA004	RXDATA004	RXDATA004	I
203	B24	RXDATA000	RXDATA000	RXDATA000	RXDATA000	I
204	B23	RXENB0_B	RXENB0_B	RXENB0A_B	RXENB0_B	O
205	B22	RXADDR03	RXADDR03	RXADDR0A3	RXADDR03	O
206	B21	RXADDR02	RXADDR02	RXADDR0A2	RXADDR02	O
207	B20	TXADDR02	TXADDR02	TXADDR0A2	TXADDR02	O
208	B19	TXCLAV0	TXCLAV0[0]	TXCLAV0A	TXCLAV0	I
209	B18	TXDATA006	TXDATA006	TXDATA006	TXDATA006	O
210	B17	TXDATA002	TXDATA002	TXDATA002	TXDATA002	O
211	B16	TXDATA000	TXDATA000	TXDATA000	TXDATA000	O
212	B15	RXDATA204	RXDATA012	RXDATA012	RXDATA012	I
213	B14	RXDATA200	RXDATA008	RXDATA008	RXDATA008	I
214	B13	RXSOC2	RXCLAV0[3]	CG	CG	I
215	B12	GND	←	←	←	
216	B11	TXADDR23	IC	TXADDR0B3	IC	O
217	B10	CG	TXCLAV0[3]	CG	CG	I
218	B09	TXENB2_B	IC	TXENB0B_B	IC	O
219	B08	TXDATA204	TXDATA012	TXDATA012	TXDATA012	O
220	B07	TXDATA200	TXDATA008	TXDATA008	TXDATA008	O
221	B06	IOCS_B	←	←	←	I
222	B05	CG	←	←	←	I
223	B04	CG	←	←	←	I
224	B03	IC	←	←	←	O
225	C03	AD28	←	←	←	I/O
226	D03	AD26	←	←	←	I/O
227	E03	AD22	←	←	←	I/O
228	F03	AD18	←	←	←	I/O
229	G03	AD14	←	←	←	I/O
230	H03	VDD	←	←	←	
231	J03	AD08	←	←	←	I/O
232	K03	VDD	←	←	←	
233	L03	GND	←	←	←	
234	M03	HTA15	←	←	←	O
235	N03	HTA11	←	←	←	O
236	P03	HTA07	←	←	←	O
237	R03	HTA03	←	←	←	O
238	T03	HTA00	←	←	←	O
239	U03	HTOE_B	←	←	←	O
240	V03	VDD	←	←	←	

(7/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
241	W03	GND	←	←	←	
242	Y03	HTD23	←	←	←	I/O
243	AA03	VDD	←	←	←	
244	AB03	GND	←	←	←	
245	AC03	HTD14	←	←	←	I/O
246	AD03	HTD11	←	←	←	I/O
247	AE03	HTP0	←	←	←	I/O
248	AF03	HTD03	←	←	←	I/O
249	AG03	HTD00	←	←	←	I/O
250	AH03	IC	←	←	←	O
251	AH04	CBD90	←	←	←	I/O
252	AH05	JDI	←	←	←	I
253	AH06	JMS	←	←	←	I
254	AH07	RXDATA305	RXDATA113	RXDATA113	RXDATA113	I
255	AH08	GND	←	←	←	
256	AH09	GND	←	←	←	
257	AH10	RXSOC3	RXCLAV1[3]	CG	CG	I
258	AH11	RXADDR31	IC	RXADDR1B1	IC	O
259	AH12	TXADDR31	IC	TXADDR1B1	IC	O
260	AH13	TXSOC3	IC	IC	IC	O
261	AH14	TXDATA305	TXDATA113	TXDATA113	TXDATA113	O
262	AH15	TXDATA301	TXDATA109	TXDATA109	TXDATA109	O
263	AH16	RXDATA106	RXDATA106	RXDATA106	RXDATA106	I
264	AH17	RXDATA102	RXDATA102	RXDATA102	RXDATA102	I
265	AH18	GND	←	←	←	
266	AH19	RXADDR13	RXADDR13	RXADDR1A3	RXADDR13	O
267	AH20	RXADDR10	RXADDR10	RXADDR1A0	RXADDR10	O
268	AH21	TXADDR11	TXADDR11	TXADDR1A1	TXADDR11	O
269	AH22	TXSOC1	TXSOC1	TXSOC1	TXSOC1	O
270	AH23	TXDATA105	TXDATA105	TXDATA105	TXDATA105	O
271	AH24	TXDATA102	TXDATA102	TXDATA102	TXDATA102	O
272	AH25	CBD86	←	←	←	I/O
273	AH26	CBD81	←	←	←	I/O
274	AH27	CBD79	←	←	←	I/O
275	AH28	CBD75	←	←	←	I/O
276	AG28	CBD73	←	←	←	I/O
277	AF28	CBD69	←	←	←	I/O
278	AE28	CBD66	←	←	←	I/O
279	AD28	CBD62	←	←	←	I/O
280	AC28	GND	←	←	←	

(8/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
281	AB28	CBD56	←	←	←	I/O
282	AA28	GND	←	←	←	
283	Y28	VDD	←	←	←	
284	W28	CBD45	←	←	←	I/O
285	V28	CBWE_B	←	←	←	O
286	U28	CBA15	←	←	←	O
287	T28	CBA11	←	←	←	O
288	R28	CBA08	←	←	←	O
289	P28	CBA04	←	←	←	O
290	N28	VDD	←	←	←	
291	M28	GND	←	←	←	
292	L28	CBD37	←	←	←	I/O
293	K28	VDD	←	←	←	
294	J28	CBD31	←	←	←	I/O
295	H28	CBD27	←	←	←	I/O
296	G28	CBD24	←	←	←	I/O
297	F28	CBD20	←	←	←	I/O
298	E28	CBD15	←	←	←	I/O
299	D28	CBD13	←	←	←	I/O
300	C28	CBD09	←	←	←	I/O
301	C27	CBD07	←	←	←	I/O
302	C26	CBD03	←	←	←	I/O
303	C25	RXDATA007	RXDATA007	RXDATA007	RXDATA007	I
304	C24	GND	←	←	←	
305	C23	GND	←	←	←	
306	C22	RXSOC0	RXSOC0	RXSOC0	RXSOC0	I
307	C21	GND	←	←	←	
308	C20	VDD	←	←	←	
309	C19	CG	TXCLAV0[1]	CG	CG	I
310	C18	TXDATA007	TXDATA007	TXDATA007	TXDATA007	O
311	C17	TXDATA003	TXDATA003	TXDATA003	TXDATA003	O
312	C16	RXDATA206	RXDATA014	RXDATA014	RXDATA014	I
313	C15	GND	←	←	←	
314	C14	GND	←	←	←	
315	C13	VDD	←	←	←	
316	C12	RXADDR20	RXADDR04	RXADDR0B0	RXADDR04	O
317	C11	TXADDR20	TXADDR04	TXADDR0B0	TXADDR04	O
318	C10	TXSOC2	IC	IC	IC	O
319	C09	TXDATA205	TXDATA013	TXDATA013	TXDATA013	O
320	C08	TXDATA201	TXDATA009	TXDATA009	TXDATA009	O

(9/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
321	C07	CG	←	←	←	I
322	C06	RDY_B	←	←	←	O
323	C05	GND	←	←	←	
324	C04	VDD	←	←	←	
325	D04	VDD	←	←	←	
326	E04	AD25	←	←	←	I/O
327	F04	GND	←	←	←	
328	G04	AD17	←	←	←	I/O
329	H04	VDD	←	←	←	
330	J04	GND	←	←	←	
331	K04	AD07	←	←	←	I/O
332	L04	VDD	←	←	←	
333	M04	HTA16	←	←	←	O
334	N04	HTA12	←	←	←	O
335	P04	HTA08	←	←	←	O
336	R04	HTA04	←	←	←	O
337	T04	VDD	←	←	←	
338	U04	HTP3	←	←	←	I/O
339	V04	GND	←	←	←	
340	W04	HTP2	←	←	←	I/O
341	Y04	GND	←	←	←	
342	AA04	VDD	←	←	←	
343	AB04	HTD15	←	←	←	I/O
344	AC04	HTD12	←	←	←	I/O
345	AD04	HTD08	←	←	←	I/O
346	AE04	HTD04	←	←	←	I/O
347	AF04	RESET_B	←	←	←	I
348	AG04	IC	←	←	←	O
349	AG05	CBD89	←	←	←	I/O
350	AG06	IC	←	←	←	
351	AG07	JRST_B	←	←	←	I
352	AG08	GND	←	←	←	
353	AG09	VDD	←	←	←	
354	AG10	UCLK3	CG	CG	CG	I
355	AG11	RXADDR32	IC	RXADDR1B2	IC	O
356	AG12	TXADDR32	IC	TXADDR1B2	IC	O
357	AG13	TXCLAV3	TXCLAV1[2]	TXCLAV1B	CG	I
358	AG14	TXDATA306	TXDATA114	TXDATA114	TXDATA114	O
359	AG15	TXDATA302	TXDATA110	TXDATA110	TXDATA110	O
360	AG16	VDD	←	←	←	

(10/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
361	AG17	RXDATA101	RXDATA101	RXDATA101	RXDATA101	I
362	AG18	RXENB1_B	RXENB1_B	RXENB1A_B	RXENB1_B	O
363	AG19	RXADDR11	RXADDR11	RXADDR1A1	RXADDR11	O
364	AG20	GND	←	←	←	
365	AG21	GND	←	←	←	
366	AG22	TXDATA106	TXDATA106	TXDATA106	TXDATA106	O
367	AG23	GND	←	←	←	
368	AG24	GND	←	←	←	
369	AG25	CBD82	←	←	←	I/O
370	AG26	GND	←	←	←	
371	AG27	VDD	←	←	←	
372	AF27	CBD72	←	←	←	I/O
373	AE27	CBD70	←	←	←	I/O
374	AD27	CBD65	←	←	←	I/O
375	AC27	GND	←	←	←	
376	AB27	VDD	←	←	←	
377	AA27	CBD55	←	←	←	I/O
378	Y27	GND	←	←	←	
379	W27	CBD46	←	←	←	I/O
380	V27	CBCS0_B	←	←	←	O
381	U27	CBA16	←	←	←	O
382	T27	CBA12	←	←	←	O
383	R27	VDD	←	←	←	
384	P27	CBA03	←	←	←	O
385	N27	GND	←	←	←	
386	M27	CBD38	←	←	←	I/O
387	L27	GND	←	←	←	
388	K27	GND	←	←	←	
389	J27	CBD28	←	←	←	I/O
390	H27	GND	←	←	←	
391	G27	CBD21	←	←	←	I/O
392	F27	CBD16	←	←	←	I/O
393	E27	VDD	←	←	←	
394	D27	GND	←	←	←	
395	D26	CBD06	←	←	←	I/O
396	D25	GND	←	←	←	
397	D24	RXDATA006	RXDATA006	RXDATA006	RXDATA006	I
398	D23	VDD	←	←	←	
399	D22	UCLK0	UCLK0	UCLK0	UCLK0	I
400	D21	CG	RXCLAV0[1]	CG	CG	I

(11/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
401	D20	GND	←	←	←	
402	D19	TXADDR00	TXADDR00	TXADDR0A0	TXADDR00	O
403	D18	TXENB0_B	TXENB0_B	TXENB0A_B	TXENB0_B	O
404	D17	TXDATA004	TXDATA004	TXDATA004	TXDATA004	O
405	D16	RXDATA207	RXDATA015	RXDATA015	RXDATA015	I
406	D15	VDD	←	←	←	
407	D14	UCLK2	CG	CG	CG	I
408	D13	RXADDR23	IC	RXADDR0B3	IC	O
409	D12	TXADDR21	IC	TXADDR0B1	IC	O
410	D11	GND	←	←	←	
411	D10	TXDATA206	TXDATA014	TXDATA014	TXDATA014	O
412	D09	TXDATA202	TXDATA010	TXDATA010	TXDATA010	O
413	D08	GND	←	←	←	
414	D07	INT	←	←	←	O
415	D06	CG	←	←	←	I
416	D05	AD31	←	←	←	I/O
417	E05	VDD	←	←	←	
418	F05	VDD	←	←	←	
419	G05	AD21	←	←	←	I/O
420	H05	VDD	←	←	←	
421	J05	AD12	←	←	←	I/O
422	K05	VDD	←	←	←	
423	L05	AD02	←	←	←	I/O
424	M05	VDD	←	←	←	
425	N05	GND	←	←	←	
426	P05	VDD	←	←	←	
427	R05	VDD	←	←	←	
428	T05	HTCS1_B	←	←	←	O
429	U05	VDD	←	←	←	
430	V05	HTD28	←	←	←	I/O
431	W05	VDD	←	←	←	
432	Y05	HTD19	←	←	←	I/O
433	AA05	VDD	←	←	←	
434	AB05	GND	←	←	←	
435	AC05	VDD	←	←	←	
436	AD05	VDD	←	←	←	
437	AE05	SWCLK	←	←	←	I
438	AF05	VDD	←	←	←	
439	AF06	CBD88	←	←	←	I/O
440	AF07	GND	←	←	←	

(12/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
441	AF08	VDD	←	←	←	
442	AF09	RXDATA303	RXDATA111	RXDATA111	RXDATA111	I
443	AF10	VDD	←	←	←	
444	AF11	GND	←	←	←	
445	AF12	VDD	←	←	←	
446	AF13	VDD	←	←	←	
447	AF14	VDD	←	←	←	
448	AF15	VDD	←	←	←	
449	AF16	RXDATA105	RXDATA105	RXDATA105	RXDATA105	I
450	AF17	VDD	←	←	←	
451	AF18	RXSOC1	RXSOC1	RXSOC1	RXSOC1	I
452	AF19	VDD	←	←	←	
453	AF20	VDD	←	←	←	
454	AF21	VDD	←	←	←	
455	AF22	VDD	←	←	←	
456	AF23	VDD	←	←	←	
457	AF24	CBD83	←	←	←	I/O
458	AF25	VDD	←	←	←	
459	AF26	VDD	←	←	←	
460	AE26	GND	←	←	←	
461	AD26	VDD	←	←	←	
462	AC26	VDD	←	←	←	
463	AB26	CBD60	←	←	←	I/O
464	AA26	VDD	←	←	←	
465	Y26	CBD50	←	←	←	I/O
466	W26	VDD	←	←	←	
467	V26	VDD	←	←	←	
468	U26	VDD	←	←	←	
469	T26	VDD	←	←	←	
470	R26	CBA07	←	←	←	O
471	P26	VDD	←	←	←	
472	N26	CBD43	←	←	←	I/O
473	M26	VDD	←	←	←	
474	L26	CBD33	←	←	←	I/O
475	K26	VDD	←	←	←	
476	J26	VDD	←	←	←	
477	H26	VDD	←	←	←	
478	G26	CBD17	←	←	←	I/O
479	F26	GND	←	←	←	
480	E26	VDD	←	←	←	

(13/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
481	E25	VDD	←	←	←	
482	E24	VDD	←	←	←	
483	E23	VDD	←	←	←	
484	E22	RXDATA001	RXDATA001	RXDATA001	RXDATA001	I
485	E21	VDD	←	←	←	
486	E20	RXADDR00	RXADDR00	RXADDR0A0	RXADDR00	O
487	E19	VDD	←	←	←	
488	E18	VDD	←	←	←	
489	E17	VDD	←	←	←	
490	E16	VDD	←	←	←	
491	E15	RXDATA202	RXDATA010	RXDATA010	RXDATA010	I
492	E14	VDD	←	←	←	
493	E13	RXADDR22	IC	RXADDR0B2	IC	O
494	E12	VDD	←	←	←	
495	E11	VDD	←	←	←	
496	E10	VDD	←	←	←	
497	E09	HCLK	←	←	←	I
498	E08	VDD	←	←	←	
499	E07	VDD	←	←	←	
500	E06	IC	←	←	←	
501	F06	GND	←	←	←	
502	G06	AD23	←	←	←	I/O
503	H06	GND	←	←	←	
504	J06	AD13	←	←	←	I/O
505	K06	GND	←	←	←	
506	L06	AD03	←	←	←	I/O
507	M06	GND	←	←	←	
508	N06	VDD	←	←	←	
509	P06	GND	←	←	←	
510	R06	GND	←	←	←	
511	T06	GND	←	←	←	
512	U06	GND	←	←	←	
513	V06	HTD27	←	←	←	I/O
514	W06	GND	←	←	←	
515	Y06	HTD18	←	←	←	I/O
516	AA06	GND	←	←	←	
517	AB06	HTD09	←	←	←	I/O
518	AC06	GND	←	←	←	
519	AD06	VDD	←	←	←	
520	AE06	GND	←	←	←	

(14/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
521	AE07	VDD	←	←	←	
522	AE08	GND	←	←	←	
523	AE09	RXDATA304	RXDATA112	RXDATA112	RXDATA112	I
524	AE10	GND	←	←	←	
525	AE11	RXADDR33	IC	RXADDR1B3	IC	O
526	AE12	GND	←	←	←	
527	AE13	GND	←	←	←	
528	AE14	GND	←	←	←	
529	AE15	GND	←	←	←	
530	AE16	GND	←	←	←	
531	AE17	GND	←	←	←	
532	AE18	CG	RXCLAV1[1]	CG	CG	I
533	AE19	GND	←	←	←	
534	AE20	CG	TXCLAV1[1]	CG	CG	I
535	AE21	GND	←	←	←	
536	AE22	TXDATA100	TXDATA100	TXDATA100	TXDATA100	O
537	AE23	GND	←	←	←	
538	AE24	CBD78	←	←	←	I/O
539	AE25	GND	←	←	←	
540	AD25	CBD71	←	←	←	I/O
541	AC25	GND	←	←	←	
542	AB25	CBD61	←	←	←	I/O
543	AA25	GND	←	←	←	
544	Y25	CBD51	←	←	←	I/O
545	W25	GND	←	←	←	
546	V25	GND	←	←	←	
547	U25	GND	←	←	←	
548	T25	GND	←	←	←	
549	R25	GND	←	←	←	
550	P25	GND	←	←	←	
551	N25	CBD42	←	←	←	I/O
552	M25	GND	←	←	←	
553	L25	CBD32	←	←	←	I/O
554	K25	GND	←	←	←	
555	J25	CBD22	←	←	←	I/O
556	H25	GND	←	←	←	
557	G25	CBD12	←	←	←	I/O
558	F25	GND	←	←	←	
559	F24	CBD04	←	←	←	I/O
560	F23	GND	←	←	←	

(15/15)

端子番号	アドレス	12-PHY Polling mode/ 15-PHY Polling mode	Multiplexed Status Polling mode	2-Group Weighted Polling mode	1-Group Weighted Polling mode	I/O
561	F22	RXDATA002	RXDATA002	RXDATA002	RXDATA002	I
562	F21	GND	←	←	←	
563	F20	RXADDR01	RXADDR01	RXADDR0A1	RXADDR01	O
564	F19	GND	←	←	←	
565	F18	GND	←	←	←	
566	F17	GND	←	←	←	
567	F16	GND	←	←	←	
568	F15	RXDATA203	RXDATA011	RXDATA011	RXDATA011	I
569	F14	GND	←	←	←	
570	F13	VDD	←	←	←	
571	F12	GND	←	←	←	
572	F11	TXDATA207	TXDATA015	TXDATA015	TXDATA015	O
573	F10	GND	←	←	←	
574	F09	MCS_B	←	←	←	I
575	F08	GND	←	←	←	
576	F07	GND	←	←	←	

目 次

- 1. 端子機能 ... 28**
 - 1.1 パワー・サブライ ... 28
 - 1.2 UTOPIA インタフェース ... 29
 - 1.3 メモリ・インタフェース信号 ... 43
 - 1.4 マイクロプロセッサ・インタフェース信号 ... 45
 - 1.5 JTAG ... 46
 - 1.6 その他 ... 46
 - 1.7 未使用端子の処理方法 ... 47
 - 1.8 リセット時の端子の状態 ... 48

- 2. 電気的特性 ... 49**

- 3. 外形図 ... 63**

- 4. 半田付け推奨条件 ... 64**

1. 端子機能

μPD98412 は 3.3 V 動作デバイスですが , 5V TTL インタフェースを持つ PHY デバイス , CPU やメモリと直接接続可能です。

1.1 パワー・サブライ

表1 - 1 パワー・サブライ

端子名	端子番号	I/O	機能
VDD	20, 25, 31, 35, 39, 43, 57, 61, 64, 67, 72, 78, 81, 86, 87, 89, 94, 96, 112, 119, 129, 147, 152, 160, 161, 169, 230, 232, 240, 243, 283, 290, 293, 308, 315, 324, 325, 329, 332, 337, 342, 353, 360, 371, 376, 383, 393, 398, 406, 417, 418, 420, 422, 424, 426, 427, 429, 431, 433, 435, 436, 438, 441, 443, 445 - 448, 450, 452 - 456, 458, 459, 461, 462, 464, 466 - 469, 471, 473, 475 - 477, 480 - 483, 485, 487 - 490, 492, 494 - 496, 498, 499, 508, 519, 521, 570	-	+ 3.3 V ± 5% の電源を供給する端子です。
GND	2, 6, 9, 14, 26, 32, 37, 58, 60, 84, 101, 110, 113, 143, 144, 156, 162, 173, 183, 196, 215, 233, 241, 244, 255, 256, 265, 280, 282, 291, 304, 305, 307, 313, 314, 323, 327, 330, 339, 341, 352, 364, 365, 367, 368, 370, 375, 378, 385, 387, 388, 390, 394, 396, 401, 410, 413, 425, 434, 440, 444, 460, 479, 501, 503, 505, 507, 509 - 512, 514, 516, 518, 520, 522, 524, 526 - 531, 533, 535, 537, 539, 541, 543, 545 - 550, 552, 554, 556, 558, 560, 562, 564 - 567, 569, 571, 573, 575, 576	-	グランド端子です。

1.2 UTOPIA インタフェース

μPD98412 は、PHY レイヤと ATM レイヤ間のインタフェースとして UTOPIA Level 2 (セル・レベル転送) を採用しています。各 polling mode により記号、端子番号、機能が異なります。

(1) 8-bit 12-PHY Polling Mode / 15-PHY Polling Mode

表1 - 2 受信インタフェース信号 (1/2)

端子名	端子番号	I/O	機能
RXADDR03 -RXADDR00	205, 206, 563, 486	O	受信インタフェース0番のマルチPHY選択アドレス RXADDR03がMSBです。
RXDATA007 -RXDATA000	303, 397, 92, 202, 93, 561, 484, 203	I	受信インタフェース0番のセル・データ入力 PHYレイヤ・デバイスから8ビット単位で入力します。 μPD98412はUCLK0の立ち上がりエッジに同期してデータを読み込みます。RXDATA007がMSBです。
RXSOC0	306	I	受信インタフェース0番のセル転送スタート信号 PHYレイヤ・デバイスからセル・データの先頭に同期して入力される信号です。
RXENB0_B	204	O	受信インタフェース0番の転送イネーブル信号 μPD98412が次のクロック・サイクルで受信可能であることをPHYレイヤ・デバイスに示します。
RXCLAV0	95	I	受信インタフェース0番のセル転送有効信号 PHYレイヤ・デバイスから、μPD98412に転送するセルが1セル以上存在することを通知する信号を入力します。
UCLK0	399	I	受信インタフェース0番のUTOPIAクロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行います。
RXADDR13 -RXADDR10	266, 50, 363, 267	O	受信インタフェース1番のマルチPHY選択アドレス RXADDR13がMSBです。
RXDATA107 -RXDATA100	158, 263, 449, 46, 159, 264, 361, 47	I	受信インタフェース1番のセル・データ入力 PHYレイヤ・デバイスから8ビット単位で入力します。 μPD98412はUCLK1の立ち上がりエッジに同期してデータを読み込みます。RXDATA107がMSBです。
RXSOC1	451	I	受信インタフェース1番のセル転送スタート信号 PHYレイヤ・デバイスからセル・データの先頭に同期して入力される信号です。
RXENB1_B	362	O	受信インタフェース1番の転送イネーブル信号 μPD98412が次のクロック・サイクルで受信可能であることをPHYレイヤ・デバイスに示します。
RXCLAV1	49	I	受信インタフェース1番のセル転送有効信号 PHYレイヤ・デバイスから、μPD98412に転送するセルが1セル以上存在することを通知する信号を入力します。
UCLK1	48	I	受信インタフェース1番のUTOPIAクロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行います。

表 1 - 2 受信インタフェース信号 (2/2)

端子名	端子番号	I/O	機能
RXADDR23 -RXADDR20	408, 493, 107, 316	O	受信インタフェース2番のマルチPHY選択アドレス RXADDR23がMSBです。
RXDATA207 -RXDATA200	405, 312, 103, 212, 568, 491, 104, 213	I	受信インタフェース2番のセル・データ入力 PHYレイヤ・デバイスから8ビット単位で入力します。 μPD98412はUCLK2の立ち上がりエッジに同期してデータを読み込みます。RXDATA207がMSBです。
RXSOC2	214	I	受信インタフェース2番のセル転送スタート信号 PHYレイヤ・デバイスからセル・データの先頭に同期して入力される信号です。
RXENB2_B	105	O	受信インタフェース2番の転送イネーブル信号 μPD98412が次のクロック・サイクルで受信可能であることをPHYレイヤ・デバイスに示します。
RXCLAV2	106	I	受信インタフェース2番のセル転送有効信号 PHYレイヤ・デバイスから, μPD98412に転送するセルが1セル以上存在することを通知する信号を入力します。
UCLK2	407	I	受信インタフェース2番のUTOPIAクロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行います。
RXADDR33 -RXADDR30	525, 355, 258, 153	O	受信インタフェース3番のマルチPHY選択アドレス RXADDR33がMSBです。
RXDATA307 -RXDATA300	34, 148, 254, 523, 442, 149, 36, 150	I	受信インタフェース3番のセル・データ入力 PHYレイヤ・デバイスから8ビット単位で入力します。 μPD98412はUCLK3の立ち上がりエッジに同期してデータを読み込みます。RXDATA307がMSBです。
RXSOC3	257	I	受信インタフェース3番のセル転送スタート信号 PHYレイヤ・デバイスからセル・データの先頭に同期して入力される信号です。
RXENB3_B	151	O	受信インタフェース3番の転送イネーブル信号 μPD98412が次のクロック・サイクルで受信可能であることをPHYレイヤ・デバイスに示します。
RXCLAV3	38	I	受信インタフェース3番のセル転送有効信号 PHYレイヤ・デバイスから, μPD98412に転送するセルが1セル以上存在することを通知する信号を入力します。
UCLK3	354	I	受信インタフェース3番のUTOPIAクロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行います。

表1 - 3 送信インタフェース信号 (1/2)

端子名	端子番号	I/O	機能
TXADDR03 -TXADDR00	97, 207, 98, 402	O	送信インタフェース0番のマルチPHY選択アドレス TXADDR03がMSBです。
TXDATA007 -TXDATA000	310, 209, 100, 404, 311, 210, 102, 211	O	送信インタフェース0番のセル・データ出力 PHYレイヤ・デバイスへ8ビット単位で出力します。 μPD98412はUCLK0の立ち上がりエッジに同期してデータを出 力します。TXDATA007がMSBです。 (3ステート・バッファ)
TXSOC0	99	O	送信インタフェース0番のセル転送スタート信号 送信セル・データの先頭に同期して出力される信号です。 (3ステート・バッファ)
TXENB0_B	403	O	送信インタフェース0番の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることをPHYレ イヤ・デバイスに示します。
TXCLAV0	208	I	送信インタフェース0番のセル転送有効信号 現在のセル転送終了後、次の1セル・データをすべて受け取れるこ とを通知する信号を入力します。
TXADDR13 -TXADDR10	163, 51, 268, 164	O	送信インタフェース1番のマルチPHY選択アドレス TXADDR13がMSBです。
TXDATA107 -TXDATA100	53, 366, 270, 166, 54, 271, 167, 536	O	送信インタフェース1番のセル・データ出力 PHYレイヤ・デバイスへ8ビット単位で出力します。 μPD98412はUCLK1の立ち上がりエッジに同期してデータを出 力します。TXDATA107がMSBです。 (3ステート・バッファ)
TXSOC1	269	O	送信インタフェース1番のセル転送スタート信号 送信セル・データの先頭に同期して出力される信号です。 (3ステート・バッファ)
TXENB1_B	165	O	送信インタフェース1番の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることをPHYレ イヤ・デバイスに示します。
TXCLAV1	52	I	送信インタフェース1番のセル転送有効信号 現在のセル転送終了後、次の1セル・データをすべて受け取れるこ とを通知する信号を入力します。

表 1 - 3 送信インタフェース信号 (2/2)

端子名	端子番号	I/O	機能
TXADDR23 -TXADDR20	216, 108, 409, 317	O	送信インタフェース2番のマルチPHY選択アドレス TXADDR23がMSBです。
TXDATA207 -TXDATA200	572, 411, 319, 219, 111, 412, 320, 220	O	送信インタフェース2番のセル・データ出力 PHYレイヤ・デバイスへ8ビット単位で出力します。 μPD98412はUCLK2の立ち上がりエッジに同期してデータを出力 します。TXDATA207がMSBです。 (3ステート・バッファ)
TXSOC2	318	O	送信インタフェース2番のセル転送スタート信号 送信セル・データの先頭に同期して出力される信号です。 (3ステート・バッファ)
TXENB2_B	218	O	送信インタフェース2番の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることをPHYレ イヤ・デバイスに示します。
TXCLAV2	109	I	送信インタフェース2番のセル転送有効信号 現在のセル転送終了後、次の1セル・データをすべて受け取れるこ とを通知する信号を入力します。
TXADDR33 -TXADDR30	40, 356, 259, 154	O	送信インタフェース3番のマルチPHY選択アドレス TXADDR33がMSBです。
TXDATA307 -TXDATA300	42, 358, 261, 44, 157, 359, 262, 45	O	送信インタフェース3番のセル・データ出力 PHYレイヤ・デバイスへ8ビット単位で出力します。 μPD98412は、立ち上がりエッジに同期してデータを出力します。 TXDATA307がMSBです。 (3ステート・バッファ)
TXSOC3	260	O	送信インタフェース3番のセル転送スタート信号 送信セル・データの先頭に同期して出力される信号です。 (3ステート・バッファ)
TXENB3_B	155	O	送信インタフェース3番の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることをPHYレ イヤ・デバイスに示します。
TXCLAV3	357	I	送信インタフェース3番のセル転送有効信号 現在のセル転送終了後、次の1セル・データをすべて受け取れるこ とを通知する信号を入力します。

(2) 16-bit Multiplexed Status Polling Mode

表1 - 4 受信インタフェース信号 (1/2)

端子名	端子番号	I/O	機能
RXADDR04 -RXADDR00	316, 205, 206, 563, 486	O	受信インタフェース0番のマルチPHY選択アドレス RXADDR04がMSBです。
RXDATA015 -RXDATA000	405, 312, 103, 212, 568, 491, 104, 213, 303, 397, 92, 202, 93, 561, 484, 203	I	受信インタフェース0番のセル・データ入力 PHYレイヤ・デバイスから16ビット単位で入力します。 μPD98412はUCLK0の立ち上がりエッジに同期してデータを読み 込みます。RXDATA015がMSBです。
RXSOC0	306	I	受信インタフェース0番のセル転送スタート信号 PHYレイヤ・デバイスからセル・データの先頭に同期して入力され る信号です。
RXENB0_B	204	O	受信インタフェース0番の転送イネーブル信号 μPD98412が次のクロック・サイクルで受信可能であることをPHY レイヤ・デバイスに示します。
RXCLAV0[0] -RXCLAV0[3]	95, 400, 106, 214	I	受信インタフェース0番のセル転送有効信号 PHYレイヤ・デバイスから, μPD98412に転送するセルが1セル以 上存在することを通知する信号を入力します。接続するPHYのPHY アドレスにより, 接続する端子 (RXCLAV0[0]-[3]) が異なってきま す。
UCLK0	399	I	受信インタフェース0番のUTOPIAクロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行 います。

表 1 - 4 受信インタフェース信号 (2/2)

端子名	端子番号	I/O	機能
RXADDR14 -RXADDR10	153, 266, 50, 363, 267	O	受信インタフェース1番のマルチPHY選択アドレス RXADDR14がMSBです。
RXDATA115 -RXDATA100	34, 148, 254, 523, 442, 149, 36, 150, 158, 263, 449, 46, 159, 264, 361, 47	I	受信インタフェース1番のセル・データ入力 PHYレイヤ・デバイスから16ビット単位で入力します。 μPD98412はUCLK1の立ち上がりエッジに同期してデータを読み 込みます。RXDATA115がMSBです。
RXSOC1	451	I	受信インタフェース1番のセル転送スタート信号 PHYレイヤ・デバイスからセル・データの先頭に同期して入力され る信号です。
RXENB1_B	362	O	受信インタフェース1番の転送イネーブル信号 μPD98412が次のクロック・サイクルで受信可能であることをPHY レイヤ・デバイスに示します。
RXCLAV1[0] -RXCLAV1[3]	49, 532, 38, 257	I	受信インタフェース1番のセル転送有効信号 PHYレイヤ・デバイスから, μPD98412に転送するセルが1セル以 上存在することを通知する信号を入力します。接続するPHYのPHY アドレスにより, 接続する端子 (RXCLAV1[0]-[3]) が異なってきま す。
UCLK1	48	I	受信インタフェース1番のUTOPIAクロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行 います。

表1-5 送信インタフェース信号

端子名	端子番号	I/O	機能
TXADDR04 -TXADDR00	317, 97, 207, 98, 402	O	送信インタフェース0番のマルチPHY選択アドレス TXADDR04がMSBです。
TXDATA015 -TXDATA000	572, 411, 319, 219, 111, 412, 320, 220, 310, 209, 100, 404, 311, 210, 102, 211	O	送信インタフェース0番のセル・データ出力 PHYレイヤ・デバイスへ16ビット単位で出力します。 μPD98412はUCLK0の立ち上がりエッジに同期してデータを出力 します。TXDATA015がMSBです。 (3ステート・バッファ)
TXSOC0	99	O	送信インタフェース0番のセル転送スタート信号 送信セル・データの先頭に同期して出力される信号です。 (3ステート・バッファ)
TXENB0_B	403	O	送信インタフェース0番の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることをPHYレ イヤ・デバイスに示します。
TXCLAV0[0] -TXCLAV0[3]	208, 309, 109, 217	I	送信インタフェース0番のセル転送有効信号 現在のセル転送終了後, 次の1セル・データをすべて受け取れるこ とを通知する信号を入力します。接続するPHYのPHYアドレスによ り, 接続する端子 (TXCLAV0[0]-[3]) が異なってきます。
TXADDR14 -TXADDR10	154, 163, 51, 268, 164	O	送信インタフェース1番のマルチPHY選択アドレス TXADDR14がMSBです。
TXDATA115 -TXDATA100	42, 358, 261, 44, 157, 359, 262, 45, 53, 366, 270, 166, 54, 271, 167, 536	O	送信インタフェース1番のセル・データ出力 PHYレイヤ・デバイスへ16ビット単位で出力します。 μPD98412はUCLK1の立ち上がりエッジに同期してデータを出力 します。TXDATA115がMSBです。 (3ステート・バッファ)
TXSOC1	269	O	送信インタフェース1番のセル転送スタート信号 送信セル・データの先頭に同期して出力される信号です。 (3ステート・バッファ)
TXENB1_B	165	O	送信インタフェース1番の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることをPHYレ イヤ・デバイスに示します。
TXCLAV1[0] -TXCLAV1[3]	52, 534, 357, 41	I	送信インタフェース1番のセル転送有効信号 現在のセル転送終了後, 次の1セル・データをすべて受け取れるこ とを通知する信号を入力します。接続するPHYのPHYアドレスによ り, 接続する端子 (TXCLAV1[0]-[3]) が異なってきます。

(3) 16-bit 2-Group Weighted Polling Mode

表1 - 6 受信インタフェース信号 (1/2)

端子名	端子番号	I/O	機能
RXADDR0A3 -RXADDR0A0	205, 206, 563, 486	O	受信インタフェース0番, グループAのマルチPHY選択アドレス RXADDR0A3がMSBです。
RXADDR0B3 -RXADDR0B0	408, 493, 107, 316	O	受信インタフェース0番, グループBのマルチPHY選択アドレス RXADDR0B3がMSBです。
RXENB0A_B	204	O	受信インタフェース0番, グループAの転送イネーブル信号 μPD98412が次のクロック・サイクルで受信可能であることをPHY レイヤ・デバイスに示します。
RXENB0B_B	105	O	受信インタフェース0番, グループBの転送イネーブル信号 μPD98412が次のクロック・サイクルで受信可能であることをPHY レイヤ・デバイスに示します。
RXCLAV0A	95	I	受信インタフェース0番, グループAのセル転送有効信号 PHYレイヤ・デバイスから, μPD98412に転送するセルが1セル以 上存在することを通知する信号を入力します。
RXCLAV0B	106	I	受信インタフェース0番, グループBのセル転送有効信号 PHYレイヤ・デバイスから, μPD98412に転送するセルが1セル以 上存在することを通知する信号を入力します。
RXDATA015 -RXDATA000	405, 312, 103, 212, 568, 491, 104, 213, 303, 397, 92, 202, 93, 561, 484, 203	I	受信インタフェース0番のセル・データ入力 PHYレイヤ・デバイスから16ビット単位で入力します。 μPD98412はUCLK0の立ち上がりエッジに同期してデータを読み 込みます。RXDATA015がMSBです。
RXSOC0	306	I	受信インタフェース0番のセル転送スタート信号 PHYレイヤ・デバイスからセル・データの先頭に同期して入力され る信号です。
UCLK0	399	I	受信インタフェース0番のUTOPIAクロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行 います。

表 1 - 6 受信インタフェース信号 (2/2)

端子名	端子番号	I/O	機能
RXADDR1A3 -RXADDR1A0	266, 50, 363, 267	O	受信インタフェース1番, グループAのマルチPHY選択アドレス RXADDR1A3がMSBです。
RXADDR1B3 -RXADDR1B0	525, 355, 258, 153	O	受信インタフェース1番, グループBのマルチPHY選択アドレス RXADDR1B3がMSBです。
RXENB1A_B	362	O	受信インタフェース1番, グループAの転送イネーブル信号 μPD98412が次のクロック・サイクルで受信可能であることをPHY レイヤ・デバイスに示します。
RXENB1B_B	151	O	受信インタフェース1番, グループBの転送イネーブル信号 μPD98412が次のクロック・サイクルで受信可能であることをPHY レイヤ・デバイスに示します。
RXCLAV1A	49	I	受信インタフェース1番, グループAのセル転送有効信号 PHYレイヤ・デバイスから, μPD98412に転送するセルが1セル以 上存在することを通知する信号を入力します。
RXCLAV1B	38	I	受信インタフェース1番, グループBのセル転送有効信号 PHYレイヤ・デバイスから, μPD98412に転送するセルが1セル以 上存在することを通知する信号を入力します。
RXDATA115 -RXDATA100	34, 148, 254, 523, 442, 149, 36, 150, 158, 263, 449, 46, 159, 264, 361, 47	I	受信インタフェース1番のセル・データ入力 PHYレイヤ・デバイスから16ビット単位で入力します。 μPD98412はUCLK1の立ち上がりエッジに同期してデータを読み 込みます。RXDATA115がMSBです。
RXSOC1	451	I	受信インタフェース1番のセル転送スタート信号 PHYレイヤ・デバイスからセル・データの先頭に同期して入力され る信号です。
UCLK1	48	I	受信インタフェース1番のUTOPIAクロック入力 このクロックの立ち上がりエッジに同期してデータの送受信を行 います。

表1 - 7 送信インタフェース信号 (1/2)

端子名	端子番号	I/O	機能
TXADDR0A3 -TXADDR0A0	97, 207, 98, 402	O	送信インタフェース0番, グループAのマルチPHY選択アドレス TXADDR0A3がMSBです。
TXADDR0B3 -TXADDR0B0	216, 108, 409, 317	O	送信インタフェース0番, グループBのマルチPHY選択アドレス TXADDR0B3がMSBです。
TXENB0A_B	403	O	送信インタフェース0番, グループAの転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることをPHYレイヤ・デバイスに示します。
TXENB0B_B	218	O	送信インタフェース0番, グループBの転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることをPHYレイヤ・デバイスに示します。
TXCLAV0A	208	I	送信インタフェース0番, グループAのセル転送有効信号 現在のセル転送終了後, 次の1セル・データをすべて受け取れることを通知する信号を入力します。
TXCLAV0B	109	I	送信インタフェース0番, グループBのセル転送有効信号 現在のセル転送終了後, 次の1セル・データをすべて受け取れることを通知する信号を入力します。
TXDATA015 -TXDATA000	572, 411, 319, 219, 111, 412, 320, 220, 310, 209, 100, 404, 311, 210, 102, 211	O	送信インタフェース0番のセル・データ出力 PHYレイヤ・デバイスへ16ビット単位で出力します。 μPD98412はUCLK0の立ち上がりエッジに同期してデータを出力します。TXDATA015がMSBです。 (3ステート・バッファ)
TXSOC0	99	O	送信インタフェース0番のセル転送スタート信号 送信セル・データの先頭に同期して出力される信号です。 (3ステート・バッファ)

表 1 - 7 送信インタフェース信号 (2/2)

端子名	端子番号	I/O	機能
TXADDR1A3 -TXADDR1A0	163, 51, 268, 164	O	送信インタフェース1番, グループAのマルチPHY選択アドレス TXADDR1A3がMSBです。
TXADDR1B3 -TXADDR1B0	40, 356, 259, 154	O	送信インタフェース1番, グループBのマルチPHY選択アドレス TXADDR1B3がMSBです。
TXENB1A_B	165	O	送信インタフェース1番, グループAの転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることをPHYレイヤ・デバイスに示します。
TXENB1B_B	155	O	送信インタフェース1番, グループBの転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることをPHYレイヤ・デバイスに示します。
TXCLAV1A	52	I	送信インタフェース1番, グループAのセル転送有効信号 現在のセル転送終了後, 次の1セル・データをすべて受け取れることを通知する信号を入力します。
TXCLAV1B	357	I	送信インタフェース1番, グループBのセル転送有効信号 現在のセル転送終了後, 次の1セル・データをすべて受け取れることを通知する信号を入力します。
TXDATA115 -TXDATA100	42, 358, 261, 44, 157, 359, 262, 45, 53, 366, 270, 166, 54, 271, 167, 536	O	送信インタフェース1番のセル・データ出力 PHYレイヤ・デバイスへ16ビット単位で出力します。 μPD98412はUCLK1の立ち上がりエッジに同期してデータを出力します。TXDATA115がMSBです。 (3ステート・バッファ)
TXSOC1	269	O	送信インタフェース1番のセル転送スタート信号 送信セル・データの先頭に同期して出力される信号です。 (3ステート・バッファ)

(4) 16-bit 1-Group Weighted Polling Mode

表1 - 8 受信インタフェース信号

端子名	端子番号	I/O	機能
RXADDR04 -RXADDR00	316, 205, 206, 563, 486	O	受信インタフェース0番のマルチPHY選択アドレス RXADDR04がMSBです。
RXDATA015 -RXDATA000	405, 312, 103, 212, 568, 491, 104, 213, 303, 397, 92, 202, 93, 561, 484, 203	I	受信インタフェース0番のセル・データ入力 PHYレイヤ・デバイスから16ビット単位で入力します。 μPD98412はUCLK0の立ち上がりエッジに同期してデータを読み込みます。RXDATA015がMSBです。
RXSOC0	306	I	受信インタフェース0番のセル転送スタート信号 PHYレイヤ・デバイスからセル・データの先頭に同期して入力される信号です。
RXENB0_B	204	O	受信インタフェース0番の転送イネーブル信号 μPD98412が次のクロック・サイクルで受信可能であることをPHYレイヤ・デバイスに示します。
RXCLAV0	95	I	受信インタフェース0番のセル転送有効信号 PHYレイヤ・デバイスから, μPD98412に転送するセルが1セル以上存在することを通知する信号を入力します。
UCLK0	399	I	受信インタフェース0番のUTOPIAクロック入力 このクロックの立ち上がりエッジに同期してデータを送受信を行います。
RXADDR14 -RXADDR10	153, 266, 50, 363, 267	O	受信インタフェース1番のマルチPHY選択アドレス RXADDR14がMSBです。
RXDATA115 -RXDATA100	34, 148, 254, 523, 442, 149, 36, 150, 158, 263, 449, 46, 159, 264, 361, 47	I	受信インタフェース1番のセル・データ入力 PHYレイヤ・デバイスから16ビット単位で入力します。 μPD98412はUCLK1の立ち上がりエッジに同期してデータを読み込みます。RXDATA115がMSBです。
RXSOC1	451	I	受信インタフェース1番のセル転送スタート信号 PHYレイヤ・デバイスからセル・データの先頭に同期して入力される信号です。
RXENB1_B	362	O	受信インタフェース1番の転送イネーブル信号 μPD98412が次のクロック・サイクルで受信可能であることをPHYレイヤ・デバイスに示します。
RXCLAV1	49	I	受信インタフェース1番のセル転送有効信号 PHYレイヤ・デバイスから, μPD98412に転送するセルが1セル以上存在することを通知する信号を入力します。
UCLK1	48	I	受信インタフェース1番のUTOPIAクロック入力 このクロックの立ち上がりエッジに同期してデータを送受信を行います。

表1-9 送信インタフェース信号

端子名	端子番号	I/O	機能
TXADDR04 -TXADDR00	317, 97, 207, 98, 402	O	送信インタフェース0番のマルチPHY選択アドレス TXADDR04がMSBです。
TXDATA015 -TXDATA000	572, 411, 319, 219, 111, 412, 320, 220, 310, 209, 100, 404, 311, 210, 102, 211	O	送信インタフェース0番のセル・データ出力 PHYレイヤ・デバイスへ16ビット単位で出力します。 μPD98412はUCLK0の立ち上がりエッジに同期してデータを出 力します。TXDATA015がMSBです。 (3ステート・バッファ)
TXSOC0	99	O	送信インタフェース0番のセル転送スタート信号 送信セル・データの先頭に同期して出力される信号です。 (3ステート・バッファ)
TXENB0_B	403	O	送信インタフェース0番の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることをPHYレ イヤ・デバイスに示します。
TXCLAV0	208	I	送信インタフェース0番のセル転送有効信号 現在のセル転送終了後、次の1セル・データをすべて受け取れるこ とを通知する信号を入力します。
TXADDR14 -TXADDR10	154, 163, 51, 268, 164	O	送信インタフェース1番のマルチPHY選択アドレス TXADDR14がMSBです。
TXDATA115 -TXDATA100	42, 358, 261, 44, 157, 359, 262, 45, 53, 366, 270, 166, 54, 271, 167, 536	O	送信インタフェース1番のセル・データ出力 PHYレイヤ・デバイスへ16ビット単位で出力します。 μPD98412はUCLK1の立ち上がりエッジに同期してデータを出 力します。TXDATA115がMSBです。 (3ステート・バッファ)
TXSOC1	269	O	送信インタフェース1番のセル転送スタート信号 送信セル・データの先頭に同期して出力される信号です。 (3ステート・バッファ)
TXENB1_B	165	O	送信インタフェース1番の転送イネーブル信号 現在のクロック・サイクルでデータが出力されていることをPHYレ イヤ・デバイスに示します。
TXCLAV1	52	I	送信インタフェース1番のセル転送有効信号 現在のセル転送終了後、次の1セル・データをすべて受け取れるこ とを通知する信号を入力します。

1.3 メモリ・インタフェース信号

μPD98412は、2種類のメモリ・インタフェースを持ちます。一方のHTT&コントロール・メモリにはセルのヘッダ変換テーブルとセル・バッファへのアドレス・ポインタを格納し、もう一方のセル・バッファ・メモリにはセル・データを格納します。表1-10にHTT&コントロール・メモリのインタフェース信号を示します。また、表1-11にセル・バッファ・メモリのインタフェース信号を示します。

表1-10 HTT &コントロール・メモリ・インタフェース信号

端子名	端子番号	I/O	機能
HTA17 -HTA00	11, 333, 234, 127, 12, 334, 235, 128, 13, 335, 236, 15, 130, 336, 237, 16, 131, 238	O	アドレス出力
HTD31 -HTD00	18, 133, 19, 430, 513, 134, 135, 21, 242, 136, 22, 137, 432, 515, 23, 138, 343, 245, 139, 344, 246, 140, 517, 345, 141, 27, 28, 346, 248, 142, 29, 249	I/O	データ入出力バス (32-bit / word単位) (プルダウン抵抗付き)
HTP3 -HTP0	338, 340, 24, 247	I/O	パリティ入出力 (プルダウン抵抗付き)
HTCS1_B, HTCS0_B	428, 17	O	チップ・セレクト信号
HTWE_B	132	O	ライト・イネーブル信号
HTOE_B	239	O	出力イネーブル信号

表1 - 11 セル・バッファ・メモリ・インタフェース信号

端子名	端子番号	I/O	機能
CBA17 -CBA00	71, 381, 286, 73, 184, 382, 287, 74, 185, 288, 470, 75, 186, 289, 384, 76, 187, 77	○	アドレス出力
CBD91 -CBD00	145, 251, 349, 439, 55, 272, 168, 56, 457, 369, 273, 170, 274, 538, 59, 171, 275, 172, 276, 372, 540, 373, 277, 62, 174, 278, 374, 63, 175, 279, 542, 463, 176, 65, 177, 281, 377, 66, 178, 179, 544, 465, 68, 180, 69, 379, 284, 181, 472, 551, 188, 189, 79, 386, 292, 190, 80, 191, 474, 553, 294, 192, 82, 389, 295, 193, 83, 296, 194, 555, 391, 297, 195, 85, 478, 392, 298, 197, 299, 557, 88, 198, 300, 199, 301, 395, 90, 559, 302, 200, 91, 201	I/O	データ入出力バス (92-bit / word単位) (プルダウン抵抗付き)
CBCS1_B, CBCS0_B	70, 380	○	チップ・セレクト信号
CBWE_B	285	○	ライト・イネーブル信号
CBOE_B	182	○	出力イネーブル信号

1.4 マイクロプロセッサ・インタフェース信号

μPD98412は、32ビット・アドレス・データ多重同期バスをマイクロプロセッサ・インタフェースとしてサポートしています。

表1 - 12 マイクロプロセッサ・インタフェース信号

端子名	端子番号	I/O	機能
IOCS_B	221	I	I/Oチップ・セレクト信号
MCS_B	574	I	メモリ・チップ・セレクト信号
INT	414	O	割り込み要求信号
HCLK	497	I	マイクロプロセッサ・バス・クロック (8~33 MHz)
AD31-AD0	416, 1, 117, 225, 118, 226, 326, 3, 502, 227, 419, 4, 120, 228, 328, 5, 121, 229, 504, 421, 122, 7, 123, 231, 331, 8, 124, 125, 506, 423, 10, 126	I/O	アドレス/データ・バス
R/W_B	114	I	リード/ライト選択信号
UWE_B	115	I	上位ワード・イネーブル信号
RDY_B	322	O	レディ信号 (3ステート・バッファ)

1.5 JTAG

表1 - 13 JTAG インタフェース信号

端子名	端子番号	I/O	機能
JDI	252	I	JTAGシリアル・データ入力
JDO	146	O	JTAGシリアル・データ出力 (通常時, オープン) (3ステート・バッファ)
JCK	33	I	JTAGシリアル・クロック入力
JMS	253	I	JTAGモード・セレクト信号
JRST_B	351	I	JTAGリセット信号

1.6 その他

表1 - 14 その他のインタフェース信号

端子名	端子番号	I/O	機能
SWCLK	437	I	システム・クロック入力 (8~40 MHz)
RESET_B	347	I	ハードウェア・リセット信号 (シュミット入力バッファ)
CG	116, 222, 223, 321, 415	I	常時, GNDに接続
PU	30	I	常時, V _{DD} にプルアップ
IC	224, 250, 348, 350, 500	O	内部接続信号 (常時, オープン)

1.7 未使用端子の処理方法

表1 - 15 未使用端子の処理方法

端子名	I/O	未使用時の推奨接続方法
RXDATA * * *	I	GNDに接続してください。
RXSOC *	I	GNDに接続してください。
RXCLAV *	I	GNDに接続してください。
UCLK *	I	GNDに接続してください。
TXCLAV *	I	GNDに接続してください。
HTD31-HTD00	I/O (プルダウン抵抗付き)	オープンにしてください。
HTP3-HTP0	I/O (プルダウン抵抗付き)	オープンにしてください。
CBD91-CBD00	I/O (プルダウン抵抗付き)	オープンにしてください。
IOCS_B	I	V _{DD} にプルアップしてください。
MCS_B	I	V _{DD} にプルアップしてください。
AD31-AD00	I/O	V _{DD} にプルアップしてください。
R/W_B	I	V _{DD} にプルアップしてください。
UWE_B	I	V _{DD} にプルアップしてください。
JDI	I	GNDに接続してください。
JCK	I	GNDに接続してください。
JMS	I	GNDに接続してください。
JRST_B	I	GNDに接続してください。
全出力端子	O	オープンにしてください。

1.8 リセット時の端子の状態

表1 - 16 リセット時の端子の状態

端子名	I/O	リセット時の端子状態
RXADDR *	O	ハイ
RXENB *_B	O	ハイ
TXADDR *	O	ハイ
TXDATA * * *	O (3ステート・バッファ)	Hi-Z
TXSOC *	O (3ステート・バッファ)	Hi-Z
TXENB *_B	O	ハイ
HTA17-HTA00	O	ロウ
HTCS1_B, HTCS0_B	O	ハイ
HTWE_B	O	ハイ
HTOE_B	O	ハイ
HTP3-HTP0	I/O (プルダウン抵抗付き)	ロウ
HTD31-HTD00	I/O (プルダウン抵抗付き)	ロウ
CBD91-CBD00	I/O (プルダウン抵抗付き)	ロウ
CBA17-CBA00	O	ロウ
CBOE_B	O	ハイ
CBWE_B	O	ハイ
CBCS1_B, CBCS0_B	O	ハイ
INT	O	ロウ
RDY_B	O (3ステート・バッファ)	Hi-Z
AD31-AD00	I/O	Hi-Z
JDO	O (3ステート・バッファ)	Hi-Z

2. 電気的特性

絶対最大定格

項目	略号	条件	定格	単位
電源電圧	V _{DD}		-0.5 ~ +4.6	V
入力電圧	V _I	V _I < V _{DD} +3.0 V	-0.5 ~ +6.6	V
出力電圧	V _O	V _O < V _{DD} +3.0 V	-0.5 ~ +6.6	V
保存温度	T _{stg}		-65 ~ +150	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

容 量

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _I	Frequency=1 MHz	-	10	20	pF
出力容量	C _O	Frequency=1 MHz	-	10	20	pF
入出力容量	C _{IO}	Frequency=1 MHz	-	10	20	pF

推奨動作条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}		3.135	3.300	3.465	V
ロウ・レベル入力電圧	V _{IL}	RESET_B 信号以外	0	-	0.8	V
ハイ・レベル入力電圧	V _{IH}	RESET_B 信号以外	2.0	-	5.5	V
ネガティブ・トリガ電圧	V _N	RESET_B 信号	0.6		1.8	V
ポジティブ・トリガ電圧	V _P	RESET_B 信号	1.2		2.4	V
ヒステリシス電圧	V _H		0.3		1.5	V
動作周囲温度	T _A		-40	-	+85	

DC 特性 ($T_A = -40 \sim +85$, $V_{DD} = 3.3 V \pm 5\%$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力リーク電流	I _{OZ}	V _O =V _{DD} or GND	-	-	±10	μA
入力リーク電流	I _{LI1}	V _I =V _{DD} or GND , 注 1	-	-	±10	μA
	I _{LI2}	V _I =V _{DD} 注 2 (50 k プルダウン)	25	120	220	μA
ロウ・レベル出力電流	I _{OL1}	V _{OL} =0.4 V , 注 3	6.0	-	-	mA
	I _{OL2}	V _{OL} =0.4 V , 注 4, 5	9.0	-	-	mA
	I _{OL3}	V _{OL} =0.4 V , 注 6	12.0	-	-	mA
ハイ・レベル出力電流	I _{OH1}	V _{OH} =2.4 V , 注 3	- 3.0	-	-	mA
	I _{OH2}	V _{OH} =2.4 V , 注 4	- 4.0	-	-	mA
	I _{OH2}	V _{OH} =2.4 V , 注 5 (UTOPIA)	- 6.0	-	-	mA
	I _{OH3}	V _{OH} =2.4 V , 注 6	- 5.0	-	-	mA
ロウ・レベル出力電圧	V _{OL}	I _{OL} =0 mA	-	-	0.1	V
ハイ・レベル出力電圧	V _{OH1}	I _{OH} =0 mA , 注 7	V _{DD} - 0.2	-	-	V
	V _{OH2}	I _{OH} =0 mA , 注 8	V _{DD} - 0.4	-	-	V
動作電流	I _{DD}	V _I =V _{DD} or GND	-	注 9	1300	mA

注 1. RXDATA***, RXSOC*, RXCLAV*, UCLK*, TCLAV*, AD31-AD00, MCS_B, IOCS_B, R/W_B, UWE_B, HCLK, JDI, JCK, JMS, JRST_B, SWCLK, RESET_B 端子

2. HTD31-HTD00, HTP3-HTP0, CBD91-CBD00 端子

3. INT, JDO 端子

4. HTA17-HTA00, HTWE_B, HTOE_B, CBA17-CBA00, CBCS0_B, CBWE_B, CBOE_B, HTCS1_B, HTCS0_B, CBCS1_B, HTD31-HTD00, HTP3-HTP0, CBD91-CBD00 端子

5. RXADDR**, TXADDR**, RXENB*_B, TXENB*_B, TXDATA***, TXSOC*端子

6. RDY_B, AD31-AD00 端子

7. INT, JDO, RXADDR**, TXADDR**, RXENB*_B, TXENB*_B, TXDATA***, TXSOC*, HTCS1_B, HTCS0_B, CBCS1_B, HTA17-HTA00, HTWE_B, HTOE_B, CBA17-CBA00, CBCS0_B, CBWE_B, CBOE_B, RDY_B, AD31-AD00 端子

8. HTD31-HTD00, HTP3-HTP0, CBD91-CBD00 端子

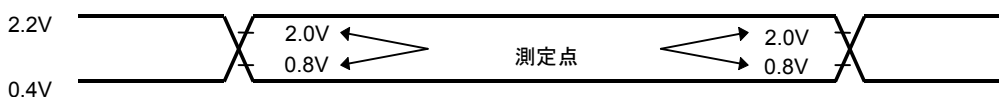
9. 動作電流 (I_{DD}) の TYP.概算値は、スイッチングのスループットに依存します。

たとえば以下の条件の場合には、下式のように計算されます。

(条件) 8-bit UTOPIA インタフェース × 4 ポート , SWCLK = 40 MHz , UCLK0-UCLK3 = 50 MHz

$$I_{DD} (TYP.) = 267 \times t + 600 \text{ mA} , t (\text{スループット}) : 0 \sim 1.5 [\text{単位: Gbps}]$$

AC テスト出力波形

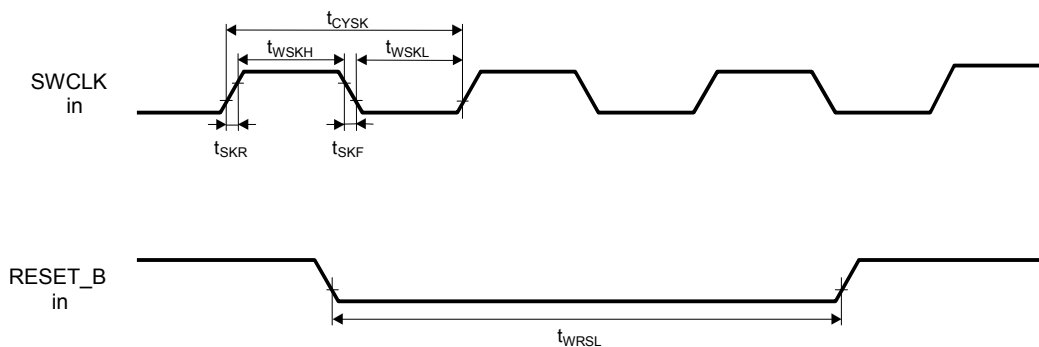


AC 特性 ($T_A = -40 \sim +85$, $V_{DD} = 3.3 V \pm 5\%$)

(1) コントロール信号

項目	略号	条件	MIN.	TYP.	MAX.	単位
SWCLK サイクル時間	t_{CYSK}		25		125	ns
SWCLK ハイ・レベル幅	t_{WSKH}		10.5		-	ns
SWCLK ロウ・レベル幅	t_{WSKL}		10.5		-	ns
SWCLK 立ち上がり時間	t_{SKR}		-		2	ns
SWCLK 立ち下がり時間	t_{SKF}		-		2	ns
RESET_B ロウ・レベル幅	t_{WRSL}		16		-	t_{CYSK}

コントロール信号



(2) プロセッサ・インタフェース (32 ビット・モード, リード/ライト)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
HCLK サイクル時間	t _{CYHK}		30		125	ns
HCLK ハイ・レベル幅	t _{WHKH}		12		–	ns
HCLK ロウ・レベル幅	t _{WHKL}		12		–	ns
HCLK 立ち上がり時間	t _{HKR}		–		3	ns
HCLK 立ち下がり時間	t _{HKF}		–		3	ns
HCLK↑ → INT 出力遅延時間	t _{DHKIT}	負荷容量 30 pF	1		17	ns
HCLK↑ → RDY_B 出力遅延時間	t _{DHKRY}	負荷容量 70 pF	1		17	ns
HCLK↑ → RDY_B フロート出力遅延時間	t _{FHKRY}	負荷容量 70 pF	1		17	ns
HCLK↑ → AD 出力遅延時間	t _{DHKAD}	負荷容量 70 pF	1		17	ns
HCLK↑ → AD フロート出力遅延時間	t _{FHKAD}	負荷容量 70 pF	1		17	ns
AD セットアップ時間 (対 HCLK↑)	t _{SADHK}		8		–	ns
AD ホールド時間 (対 HCLK↑)	t _{HHKAD}		1		–	ns
IOCS_B セットアップ時間 (対 HCLK↑)	t _{SIOHK}		8		–	ns
IOCS_B ホールド時間 (対 HCLK↑)	t _{HHKIO}		1		–	ns
IOCS_B リカバリ時間	t _{IORV}		注		–	ns
MCS_B セットアップ時間 (対 HCLK↑)	t _{SMHK}		8		–	ns
MCS_B ホールド時間 (対 HCLK↑)	t _{HHKM}		1		–	ns
MCS_B リカバリ時間	t _{MRV}		注		–	ns
UWE_B セットアップ時間 (対 HCLK↑)	t _{SUWHK}		8		–	ns
UWE_B ホールド時間 (対 HCLK↑)	t _{HHKUW}		1		–	ns
R/W_B セットアップ時間 (対 HCLK↑)	t _{SRWHK}		8		–	ns
R/W_B ホールド時間 (対 HCLK↑)	t _{HHKRW}		1		–	ns

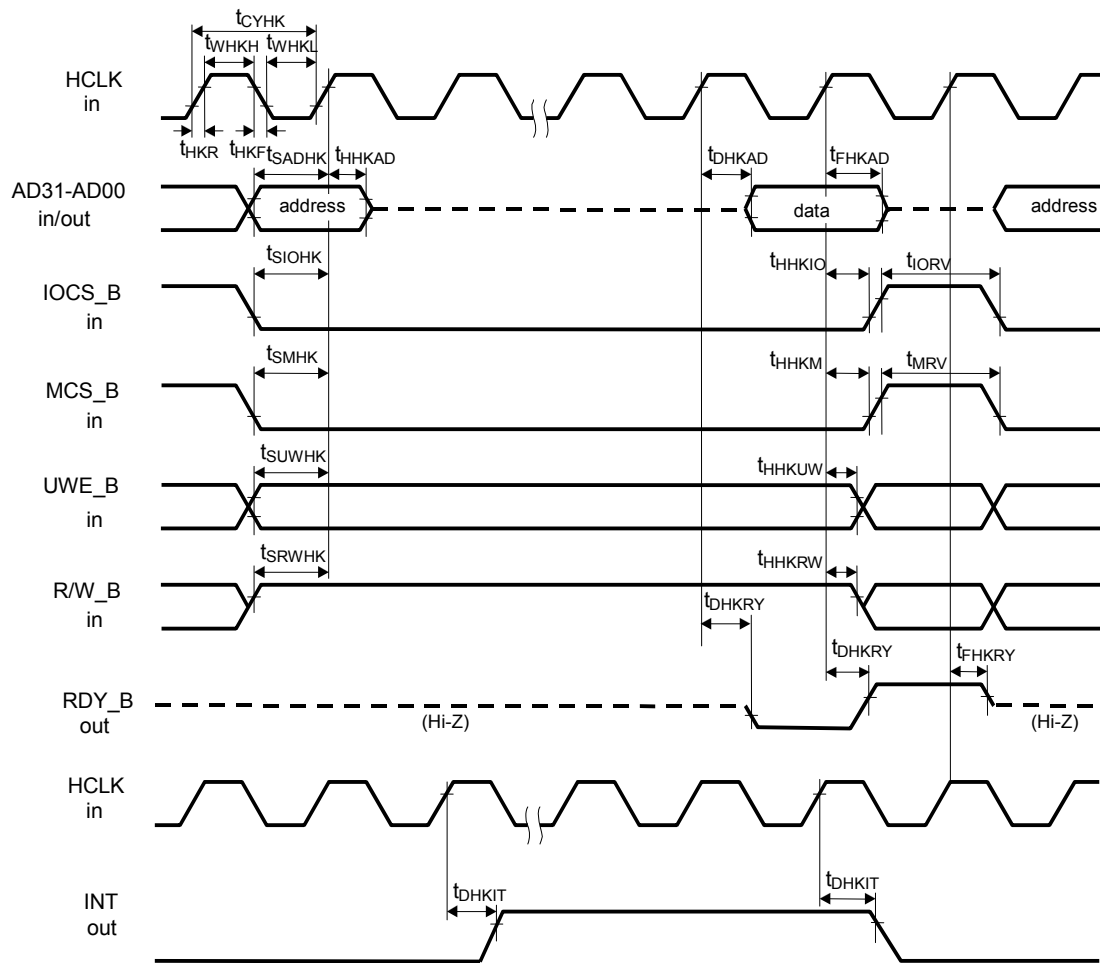
注 (1) HCLK サイクル時間 (t_{CYHK}) < 4 × SWCLK サイクル時間 (t_{CYSK}) の場合

$$\text{IOCS_B リカバリ時間 (t}_{\text{IORV}}) = \text{MCS_B リカバリ時間 (t}_{\text{MRV}}) = \text{t}_{\text{CYHK}}$$

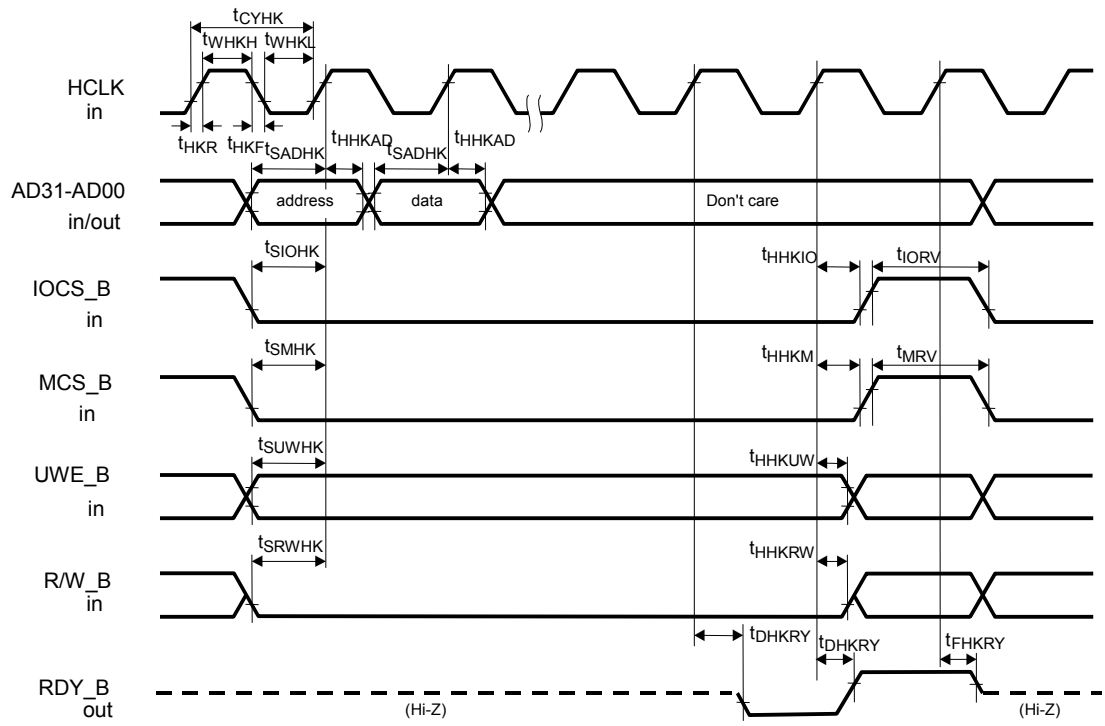
(2) HCLK サイクル時間 (t_{CYHK}) ≥ 4 × SWCLK サイクル時間 (t_{CYSK}) の場合

$$\text{IOCS_B リカバリ時間 (t}_{\text{IORV}}) = \text{MCS_B リカバリ時間 (t}_{\text{MRV}}) = \text{t}_{\text{CYHK}} \times 2$$

プロセッサ・インタフェース (32 ビット・モード, リード)



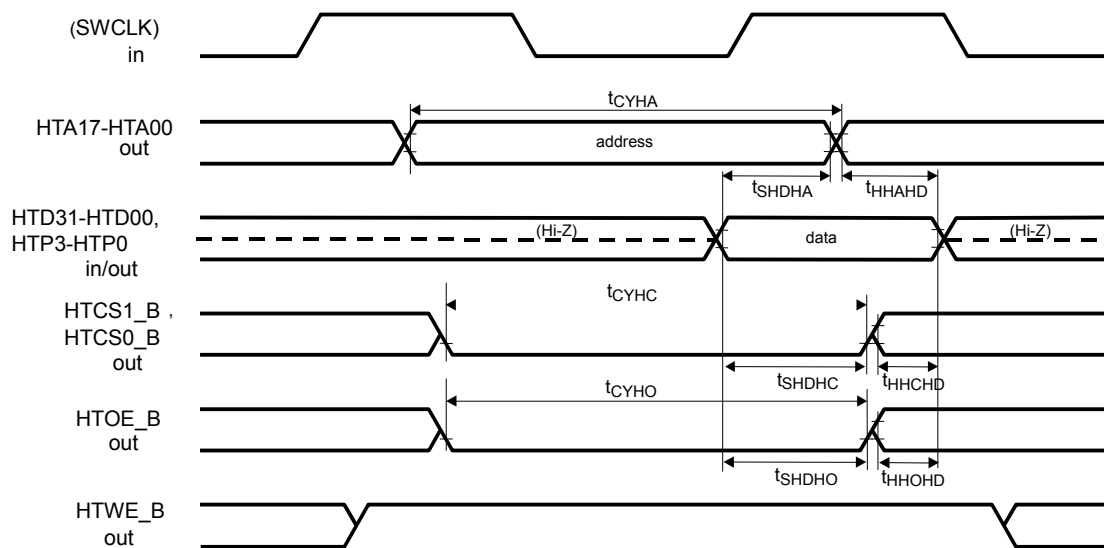
プロセッサ・インタフェース (32 ビット・モード, ライト)



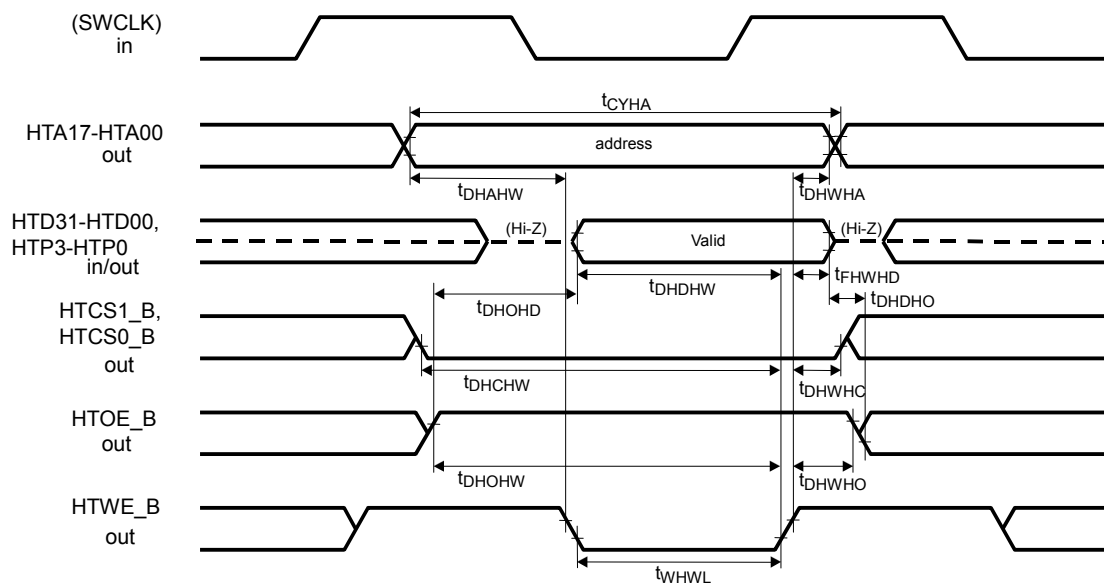
(3) HTT & コントロール・メモリ・インタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
HTA サイクル時間	tcYHA	負荷容量 50pF	tcYSK - 2			ns
HTD, HTP セットアップ時間 (対 HTA)	tSHDHA		9			ns
HTD, HTP ホールド時間 (対 HTA)	tHHAHD		1			ns
HTCS_B サイクル時間	tcYHC	負荷容量 50pF	tcYSK - 2			ns
HTD, HTP セットアップ時間 (対 HTCS_B)	tSHDHC		9			ns
HTD, HTP ホールド時間 (対 HTCS_B)	tHHCHD		1			ns
HTOE_B サイクル時間	tcYHO	負荷容量 50pF	tcYSK - 2			ns
HTD, HTP セットアップ時間 (対 HTOE_B)	tSHDHO		9			ns
HTD, HTP ホールド時間 (対 HTOE_B)	tHHOHD		1			ns
HTWE_B ロウ・レベル幅	tWHWL	負荷容量 50pF	tWSKL - 1.5			ns
データ → HTWE_B↑ 出力遅延時間	tdHDHW	負荷容量 50pF	tWSKL - 3			ns
HTWE_B↑ → データ・フロート出力 遅延時間	tFHWHD	負荷容量 50pF	0			ns
HTA → HTWE_B↓ 出力遅延時間	tdAHAW	負荷容量 50pF	tWSKH - 5			ns
HTCS_B↓ → HTWE_B↑ 出力遅延 時間	tdHCHW	負荷容量 50pF	tcYSK - 6			ns
HTOE_B↑ → HTWE_B↑ 出力遅延 時間	tdHOHW	負荷容量 50pF	tcYSK - 6			ns
HTWE_B↑ → HTA 出力遅延時間	tdHWHA	負荷容量 50pF	0			ns
HTWE_B↑ → HTCS_B↑ 出力遅延 時間	tdHWHC	負荷容量 50pF	0			ns
HTWE_B↑ → HTOE_B↓ 出力遅延 時間	tdHWHO	負荷容量 50pF	0			ns
HTD フロート → HTOE_B↓ 出力遅 延時間	tdHDHO	負荷容量 50pF	0			ns
HTOE_B↑ → データ出力遅延時間	tdHOHD	負荷容量 50pF	tWSKH - 3			ns

HTT & コントロール・メモリ・インタフェース (リード)



HTT & コントロール・メモリ・インタフェース (ライト)



(4) セル・バッファ・メモリ・インタフェース

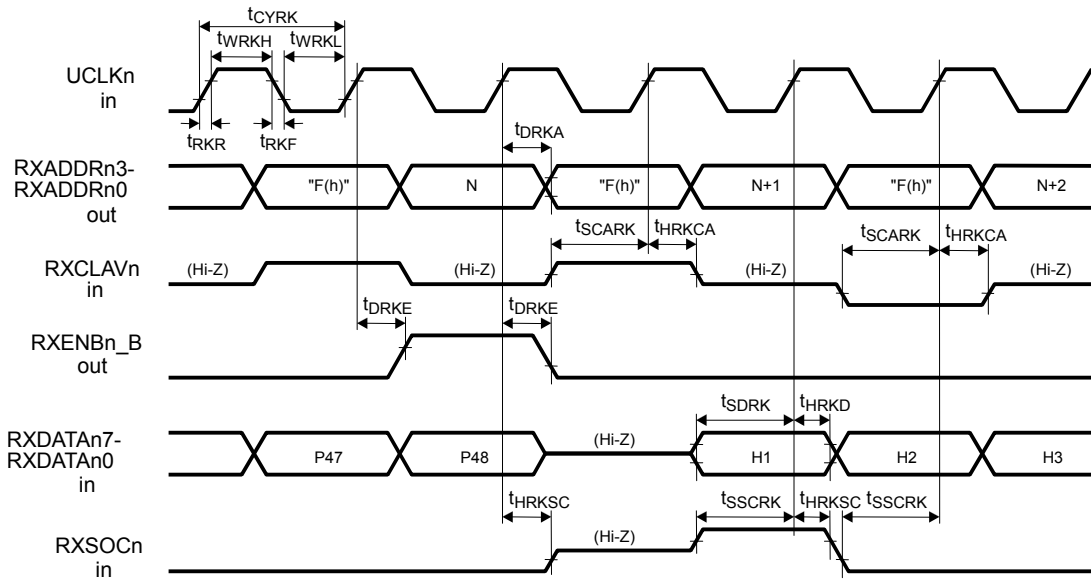
項目	略号	条件	MIN.	TYP.	MAX.	単位
CBA サイクル時間	tCYCA	負荷容量 50pF	tCYSK - 2			ns
CBD セットアップ時間 (対 CBA)	tSCDCA		9			ns
CBD ホールド時間 (対 CBA)	tHCACD		1			ns
CBCS_B サイクル時間	tCYCC	負荷容量 50pF	tCYSK - 2			ns
CBD セットアップ時間 (対 CBCS_B)	tSCDCC		9			ns
CBD ホールド時間 (対 CBCS_B)	tHCCCD		1			ns
CBOE_B サイクル時間	tCYCO	負荷容量 50pF	tCYSK - 2			ns
CBD セットアップ時間 (対 CBOE_B)	tSCDCO		9			ns
CBD ホールド時間 (対 CBOE_B)	tHC OCD		1			ns
CBWE_B ロウ・レベル幅	tWCWL	負荷容量 50pF	tWSKL - 1.5			ns
データ → CBWE_B↑ 出力遅延時間	tDCDCW	負荷容量 50pF	tWSKL - 3			ns
CBWE_B↑ → データ・フロート出力遅延時間	tFCWCD	負荷容量 50pF	0			ns
CBA → CBWE_B↓ 出力遅延時間	tDCACW	負荷容量 50pF	tWSKH - 5			ns
CBCS_B↓ → CBWE_B↑ 出力遅延時間	tDCCCW	負荷容量 50pF	tCYSK - 6			ns
CBOE_B↑ → CBWE_B↑ 出力遅延時間	tDCOCW	負荷容量 50pF	tCYSK - 6			ns
CBWE_B↑ → CBA 出力遅延時間	tDCWCA	負荷容量 50pF	0			ns
CBWE_B↑ → CBCS_B↑ 出力遅延時間	tDCWCC	負荷容量 50pF	0			ns
CBWE_B↑ → CBOE_B↓ 出力遅延時間	tDCWCO	負荷容量 50pF	0			ns
CBD フロート → CBOE_B↓ 出力遅延時間	tDCDCO	負荷容量 50pF	0			ns
CBOE_B↑ → データ出力遅延時間	tDCOCD	負荷容量 50pF	tWSKH - 3			ns

(5) UTOPIA インタフェース (受信)

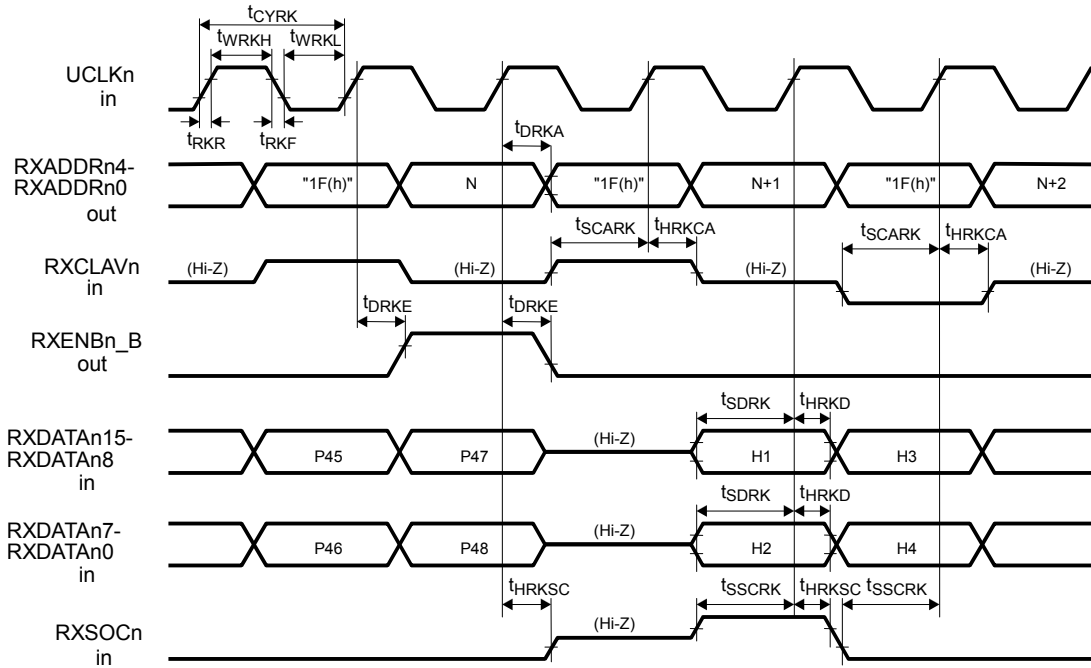
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
UCLK サイクル時間	tCYRK		20		125	ns
UCLK ハイ・レベル幅	tWRKH		8			ns
UCLK ロウ・レベル幅	tWRKL		8			ns
UCLK 立ち上がり時間	tRKR				2	ns
UCLK 立ち下がり時間	tRKF				2	ns
UCLK↑ → RXADDR 出力遅延時間	tDRKA	負荷容量 50pF	1		14	ns
UCLK↑ → RXENB_B 出力遅延時間	tDRKE	負荷容量 50pF	1		14	ns
RXCLAV セットアップ時間 (対 UCLK↑)	tSCARK		4			ns
RXCLAV ホールド時間 (対 UCLK↑)	tHRKCA		1			ns
RXDATA セットアップ時間 (対 UCLK↑)	tSDRK		4			ns
RXDATA ホールド時間 (対 UCLK↑)	tHRKD		1			ns
RXSOC セットアップ時間 (対 UCLK↑)	tSSCRK		4			ns
RXSOC ホールド時間 (対 UCLK↑)	tHRKSC		1			ns

UTOPIA インタフェース (受信) (n = 0 - 3)

8 ビット・モード



16 ビット・モード

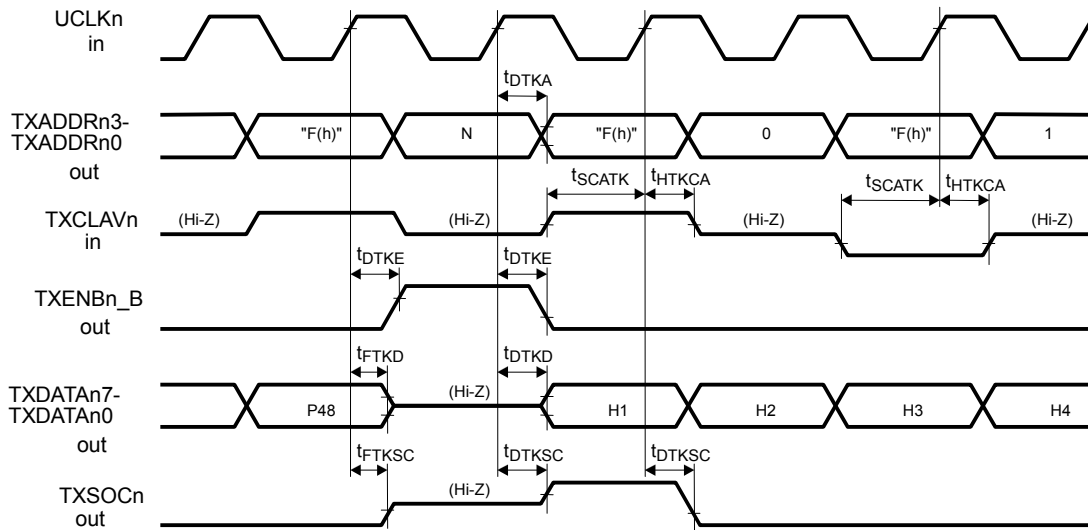


(6) UTOPIA インタフェース (送信)

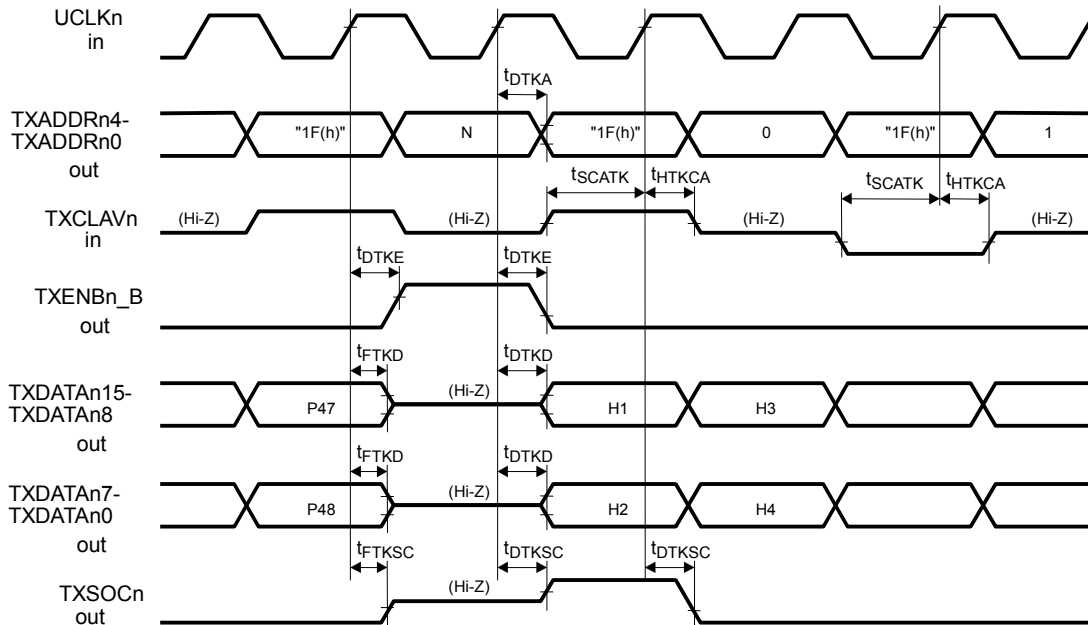
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
UCLK↑→ TXADDR 出力遅延時間	tDTKA	負荷容量 50pF	1		14	ns
UCLK↑→ TXENB_B 出力遅延時間	tDTKE	負荷容量 50pF	1		14	ns
UCLK↑→ TXDATA 出力遅延時間	tDTKD	負荷容量 50pF	1		14	ns
UCLK↑→ TXDATA フロート出力遅延時間	tFTKD	負荷容量 50pF	1		14	ns
UCLK↑→ TXSOC 出力遅延時間	tDTKSC	負荷容量 50pF	1		14	ns
UCLK↑→ TXSOC フロート出力遅延時間	tFTKSC	負荷容量 50pF	1		14	ns
TXCLAV セットアップ時間 (対 UCLK↑)	tSCATK		4			ns
TXCLAV ホールド時間 (対 UCLK↑)	tHTKCA		1			ns

UTOPIA インタフェース (送信) (n = 0 - 3)

8 ビット・モード

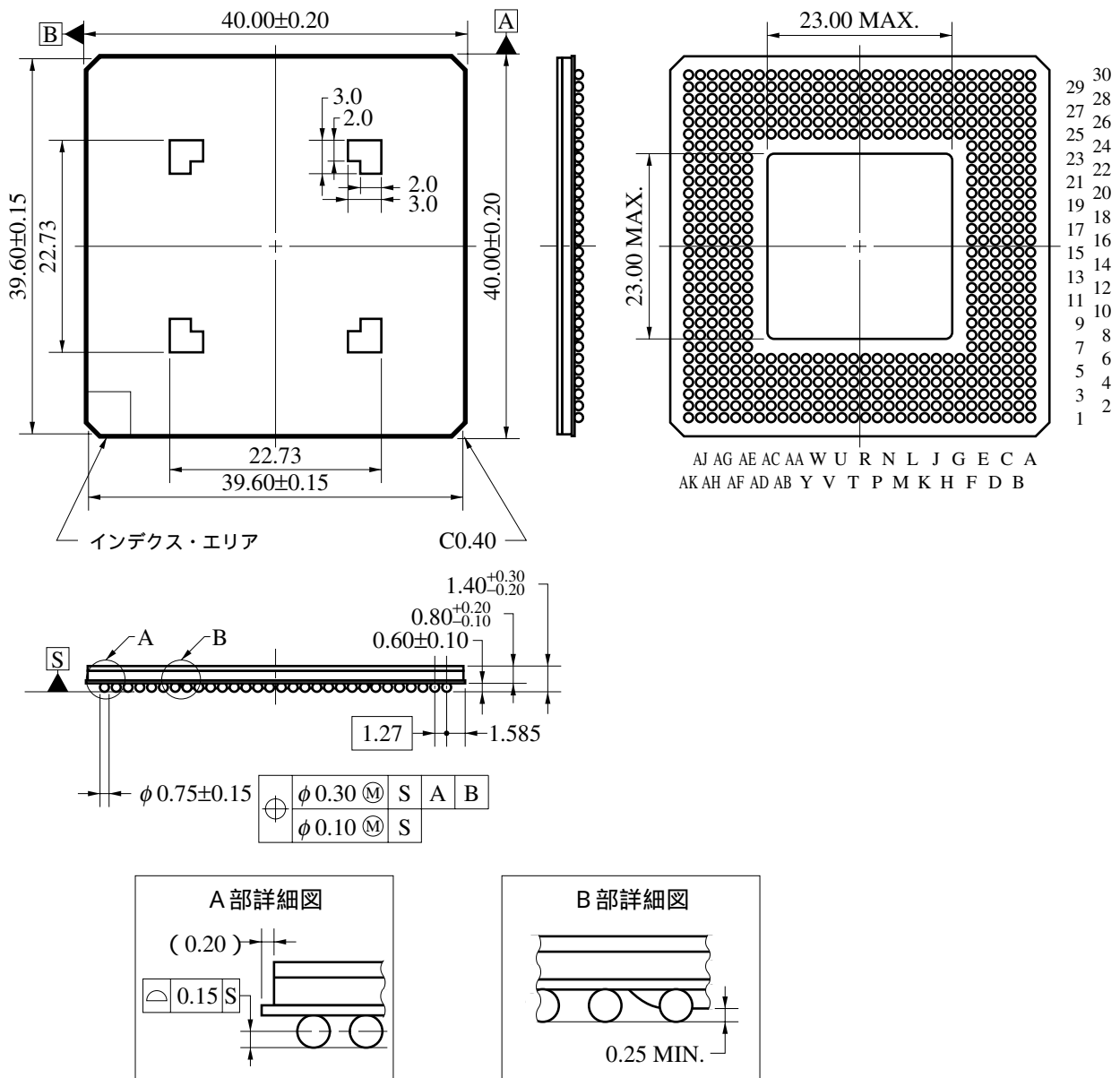


16 ビット・モード



3. 外形図

576ピン・テープ BGA (H/Sp付き)(40x40) 外形図 (単位: mm)



S576N7-127-H6-1

4. 半田付け推奨条件

この製品の半田付け実装は、次の条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方法および半田付け条件については、当社販売員にご相談ください。

表面実装タイプ

μPD98412N7-H6 : 576 ピン・テープ BGA (H/Sp 付き) (40×40)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-107-3
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で保管条件は 25℃，65%RH 以下。

[メモ]

[メモ]

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

NEASCOT-X15 は、日本電気株式会社の商標です。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災 / 防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート / データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC 半導体テクニカルホットライン（インフォメーションセンター）
 （電話：午前 9:00～12:00、午後 1:00～5:00）

電話 : 044-548-8899
 FAX : 044-548-7900
 E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

半導体第一販売事業部	〒108-8001	東京都港区芝5-7-1	(日本電気本社ビル)	(03)3454-1111				
半導体第二販売事業部								
半導体第三販売事業部								
中部支社	〒460-8525	愛知県名古屋市中区錦1-17-1	(日本電気中部ビル)	(052)222-2170 (052)222-2190				
関西支社	〒540-8551	大阪府大阪市中央区城見1-4-24	(日本電気関西ビル)	(06)6945-3178 (06)6945-3200 (06)6945-3208				
北海道支社	札幌	(011)231-0163	甲府支社	甲府	(055)224-4141	京都支社	京都	(075)344-7824
東北支社	仙台	(022)267-8740	長野支社	松本	(0263)35-1662	神戸支社	神戸	(078)333-3854
岩手支店	盛岡	(019)651-4344	静岡支社	静岡	(054)254-4794	中国支社	広島	(082)242-5504
郡山支店	郡山	(024)923-5511	立川支社	立川	(042)526-5981,6167	鳥取支店	鳥取	(0857)27-5311
長岡支店	長岡	(0258)36-2155	埼玉支社	大宮	(048)649-1415	岡山支店	岡山	(086)225-4455
水戸支店	水戸	(029)226-1717	千葉支社	千葉	(043)238-8116	四国支社	松山	(089)945-4149
群馬支店	高崎	(027)326-1255	神奈川支社	横浜	(045)682-4524	九州支社	福岡	(092)261-2806
太田支店	太田	(0276)46-4011	三重支店	津	(059)225-7341			
宇都宮支店	宇都宮	(028)621-2281	北陸支社	金沢	(076)232-7303			