

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ATM QUAD SONET FRAMER

μPD98411 (NEASCOT-P40™) は ATM 用 LSI の 1 つで、ATM フォーラムに定められている ATM プロトコルのうち、SONET/SDH ベースの物理レイヤにおいて、TC サブレイヤの機能を果たす LSI です。その主な機能は、送信機能として ATM レイヤから渡される ATM セルを 155 Mbps の SONET STS-3c/SDH STM-1 フレーム STS-1 フレームのペイロード部にマッピングし、物理レイヤの PMD (Physical Media Dependent) に送出することと、受信機能として、逆に PMD デバイスから受信したデータ列からオーバーヘッド部と ATM セルを分離し ATM セルを ATM レイヤに送出することです。μPD98411 は、この送受信機能を 1 組のポート機能として、4 ポート分を 1 チップで実現する LSI で、ATM ネットワークを構成する ATM ハブや、ATM スイッチなどの装置に最適です。

またさらに、受信データのビット・ストリームから受信用同期クロックを抽出するクロック・リカバリ機能をポートごとにサポートしており、送信用クロックを生成するクロック・シンセシス機能も搭載しています。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μPD98411 ユーザーズ・マニュアル : S12736J

特 徴

- ATM ユーザ・ネットワーク・インタフェース TC サブレイヤの機能 4 チャンネル分を 1 チップに搭載
- ATM FORUM UNI v3.1 に適合
- クロック・リカバリ PLL×4、クロック・シンセサイザ PLL×1 を内蔵
- ATM FORUM UTOPIA Level2 v1.0 に適合

・ ATM レイヤは、マルチ PHY インタフェース (最大で 800 Mbps)、各種モードから選択可

シングル 16 ビット	1TCLAV/1RCLAV (Cell Available) 信号モード
シングル 8 ビット	Direct Status Indication モード
デュアル 8 ビット	Multiplexed Status Polling モード

・ マネジメント・インタフェースは 2 モードから選択可

RD, WR, RDY スタイル (Intel 互換モード)
DS, R/W, ACK スタイル (Motorola 互換モード)

- 回線側 PMD インタフェースは、P-ECL レベル入力
- ループバック機能をサポート
- 疑似エラー生成フレームの送出機能を装備
- 汎用ポート 入力：チャンネルごとに 1 本、出力：チャンネルごとに 3 本 (LED ドライブ可) を装備
- JTAG バウンダリ・スキャン・テスト (IEEE1149.1) をサポート

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

- 豊富な OAM (Operation, Administration, Maintenance) 機能を装備

- ・ 送 信

警報，障害の検出	回線品質の監視
APS	B1 バイト演算挿入
Line AIS/Path AIS	B2 バイト演算挿入
Line RDI/Path RDI	B3 バイト演算挿入
	Line REI の自動送出
	Path REI の自動送出

- ・ 受 信

警報，障害の検出	回線品質低下の通知	回線品質モニタ・カウンタ (24 ビット幅)
外部入力信号の変化	B1 エラー	B1 エラー・カウンタ
LOS	B2 エラー	B2 エラー・カウンタ
OOF	B3 エラー	B3 エラー・カウンタ
LOF	Line REI	Line REI カウンタ
LOP	Path REI	Path REI カウンタ
OCD	Frequency Justification	Frequency Justification カウンタ
LCD	FIFO Overflow	HEC 処理廃棄セル・カウンタ
Line AIS/Path AIS		FIFO オーバフロー廃棄セル・カウンタ
Line RDI/Path RDI		受信アイドル・セル・カウンタ
APS		有効セル・カウンタ

- 0.35 μm CMOS プロセス
- 低消費電力，+3.3 V 単一電源

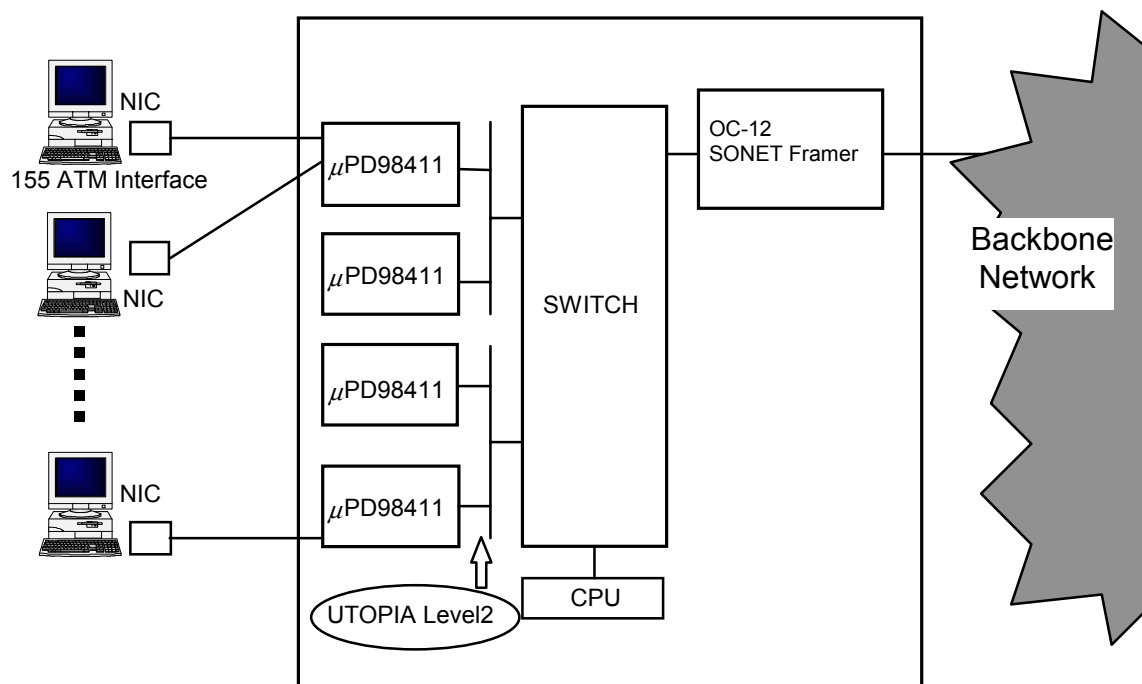
オーダ情報

オーダ名称	パッケージ
μPD98411GN-MMU	240 ピン・プラスチック QFP (ファインピッチ) (32×32 mm)

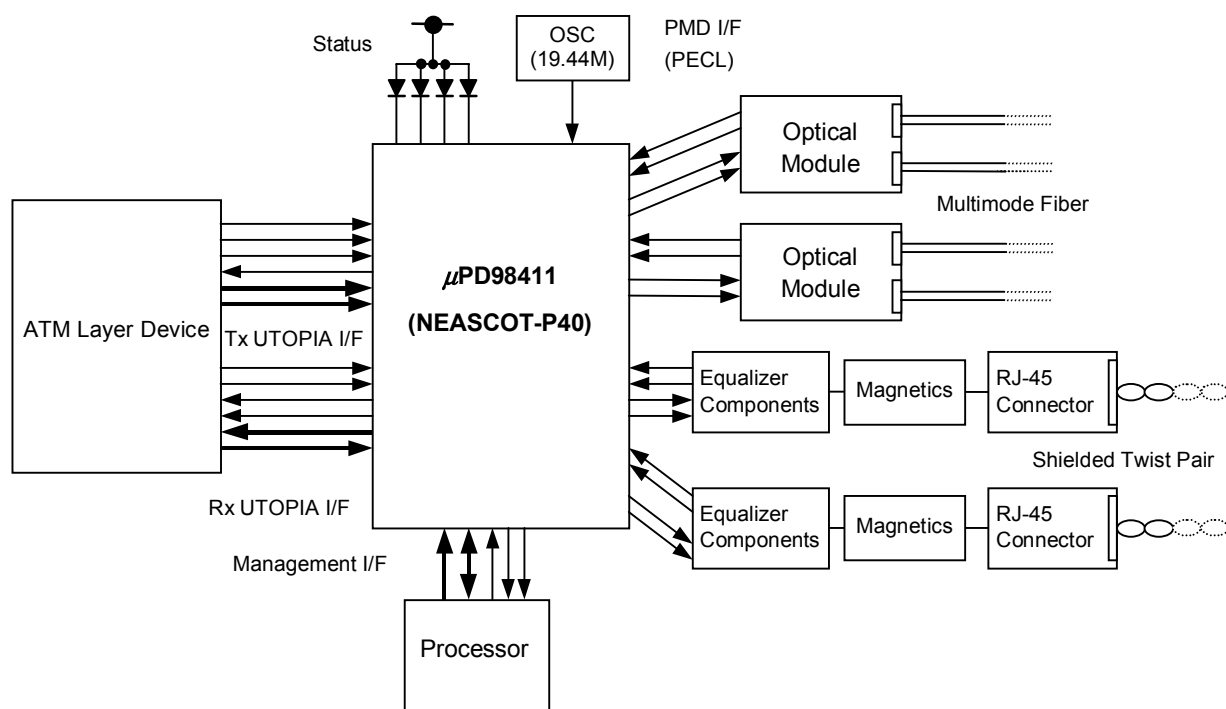
システム構成例

μPD98411 を用いたシステム構成例を次に示します。

例：ATM スイッチ

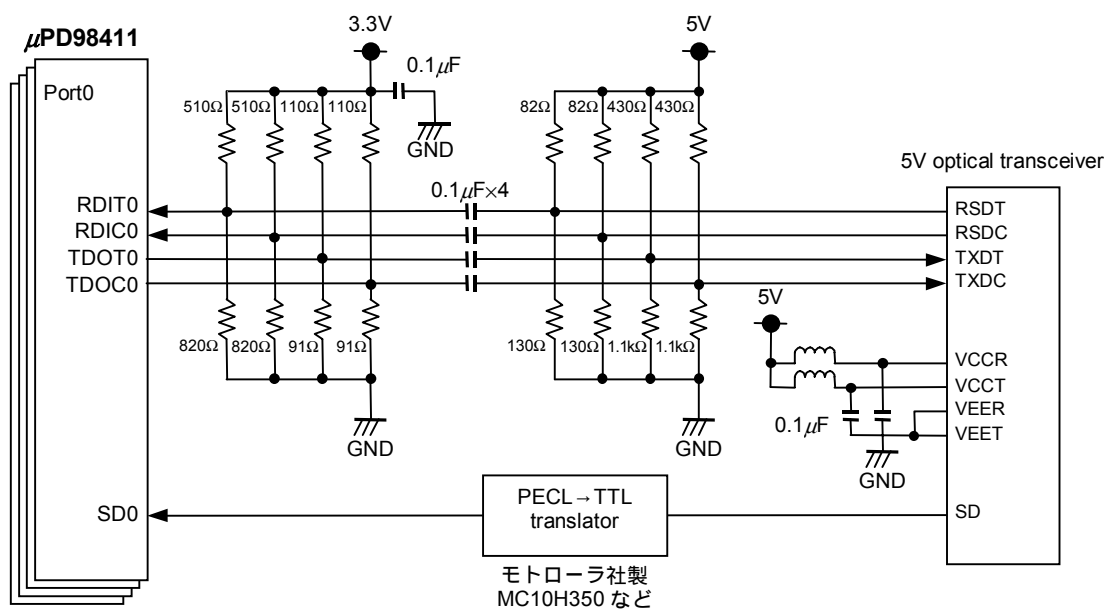


システム構成

(1) μ PD98411 システム応用例

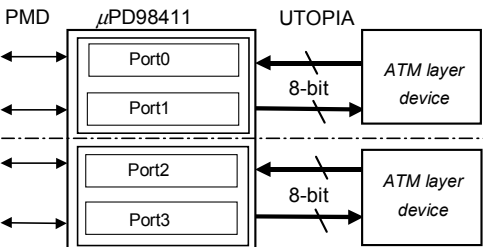
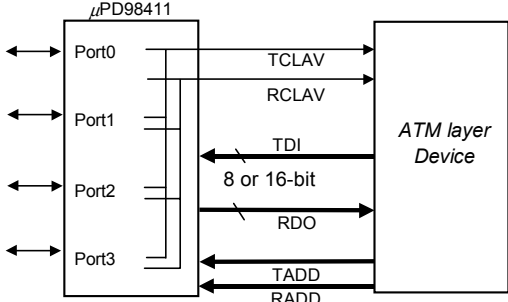
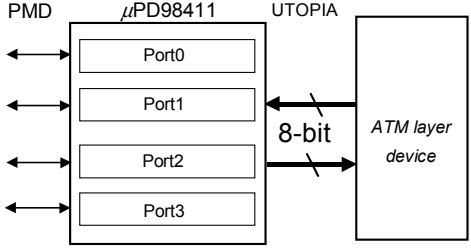
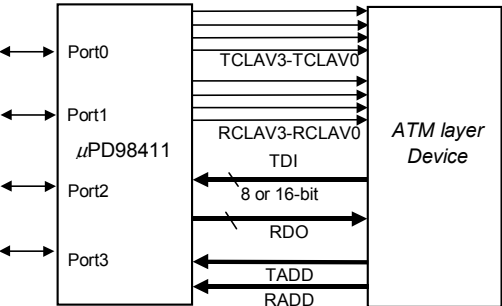
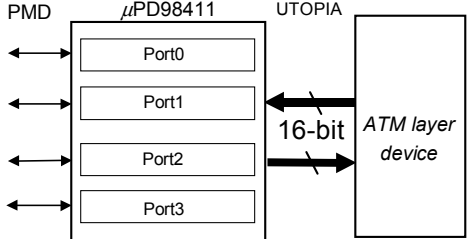
(2) 5V トランシーバ/レシーバへの接続例

μ PD98411 を 5V 光トランシーバへ接続する場合の例を次に示します。 μ PD98411 は 3.3V 動作なので、5V デバイスに接続する場合は AC カップリング回路を追加してください。

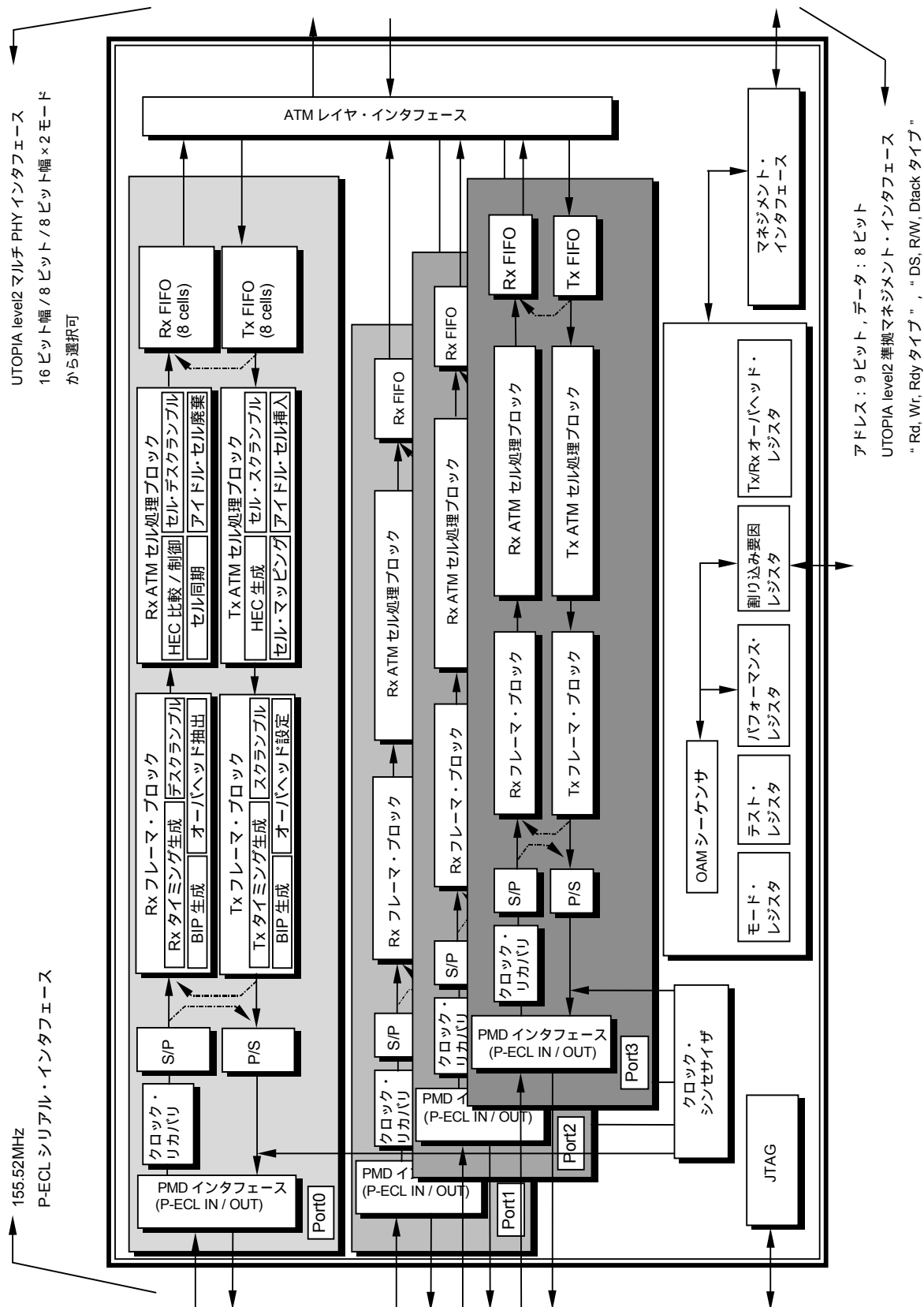


(3) UTOPIA インタフェース

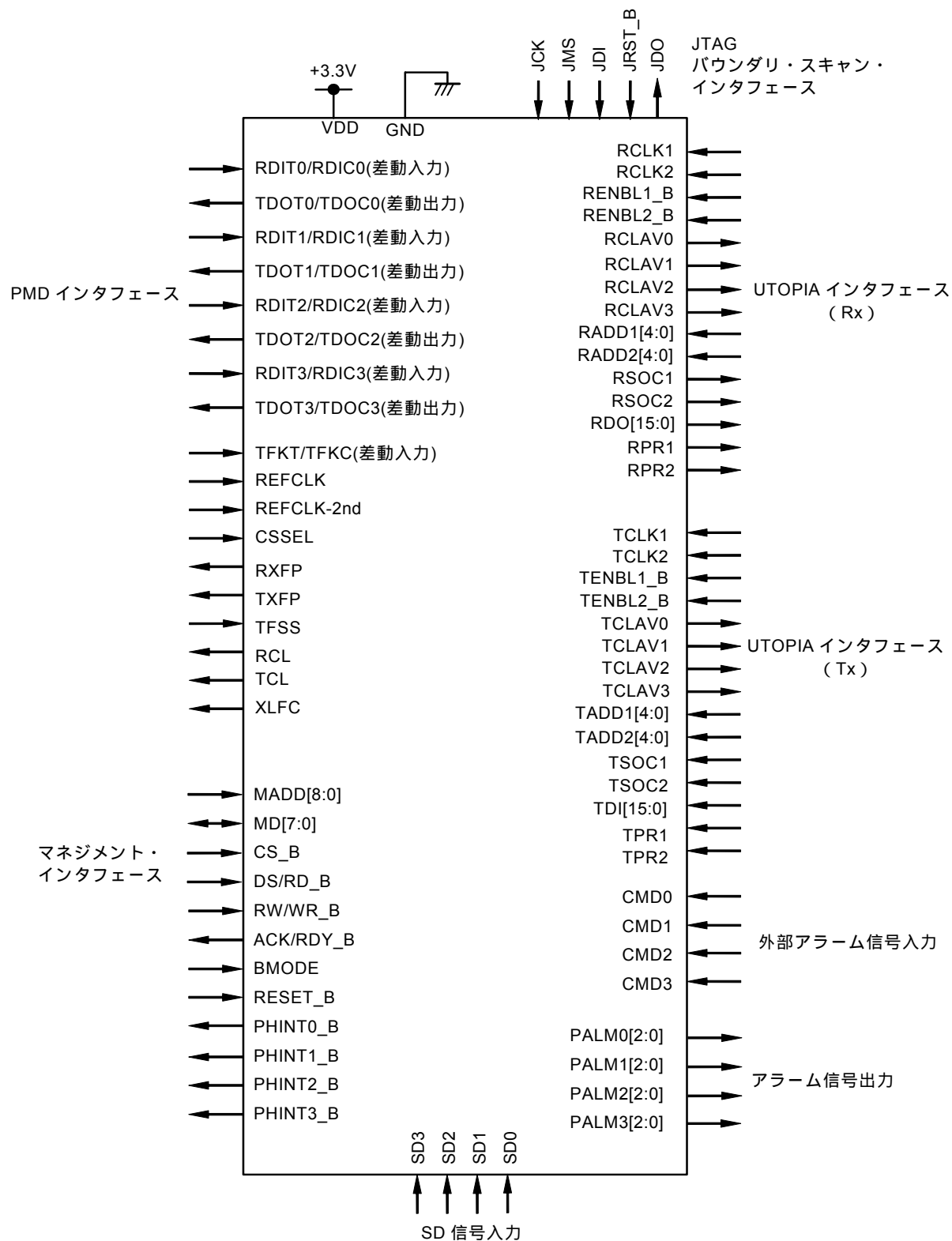
UTOPIA インタフェースは、上位 ATM レイヤ・デバイスと送受信セル・データの転送を行うインタフェースです。
μPD98411 の UTOPIA インタフェースは、“UTOPIA Level 2 version 1.0 June '95 標準の”MPHY Data Path Operation”に適合しており、バス・タイプ、および送受信 FIFO のステータスを得る方法（TCLAV/RCLAV 信号の動作）において、次のモードから選択できます。

バス・モード	セル転送可能状態通知方法
Dual 8-bit バス 2 ポートに対して 8 ビットのデータ・バスを使用するモードです。ポート 0 とポート 1 で 1 つの 8 ビット・バスを介して転送し、ポート 2 とポート 3 はもう一方の 8 ビット・バスを介して転送します。各ポートは独立して動作します。 	1 TCLAV & 1 RCLAV 信号モード 1 TCLAV & 1 RCLAV 信号モードは、μPD98411 の 4 ポートがそれぞれに持つ TCLAV, RCLAV のステータスを 1 信号にマルチプレクスして出力するモードです。 
Single 8-bit バス 4 ポートすべてのセル・データを 8 ビット・バスを介して転送するモードです。最大送信レートは 400 Mbps (8-bit × 50 MHz) になります。 	DSI (Direct Status Indication) モード 内蔵する 4 つのポートそれぞれが、独立した TCLAV/RCLAV 信号を使用するモードです。ステータスを得るためのポーリング動作は不要です。 
Single 16-bit バス 4 ポートすべてのセル・データを 16 ビット・バスを介して転送するモードです。最大送信レートは、800 Mbps (16-bit × 50 MHz) になります。 	MSP (Multiplexed Status Polling) モード 1 つの ATM レイヤに多くのポート（最大 30 ポート）を接続する場合に、1 度のポーリングで複数のポートのステータスを得るため、ポートのグループ分けを行い、グループごとにアドレスを割り当てるモードです。

ブロック図



端子構成図

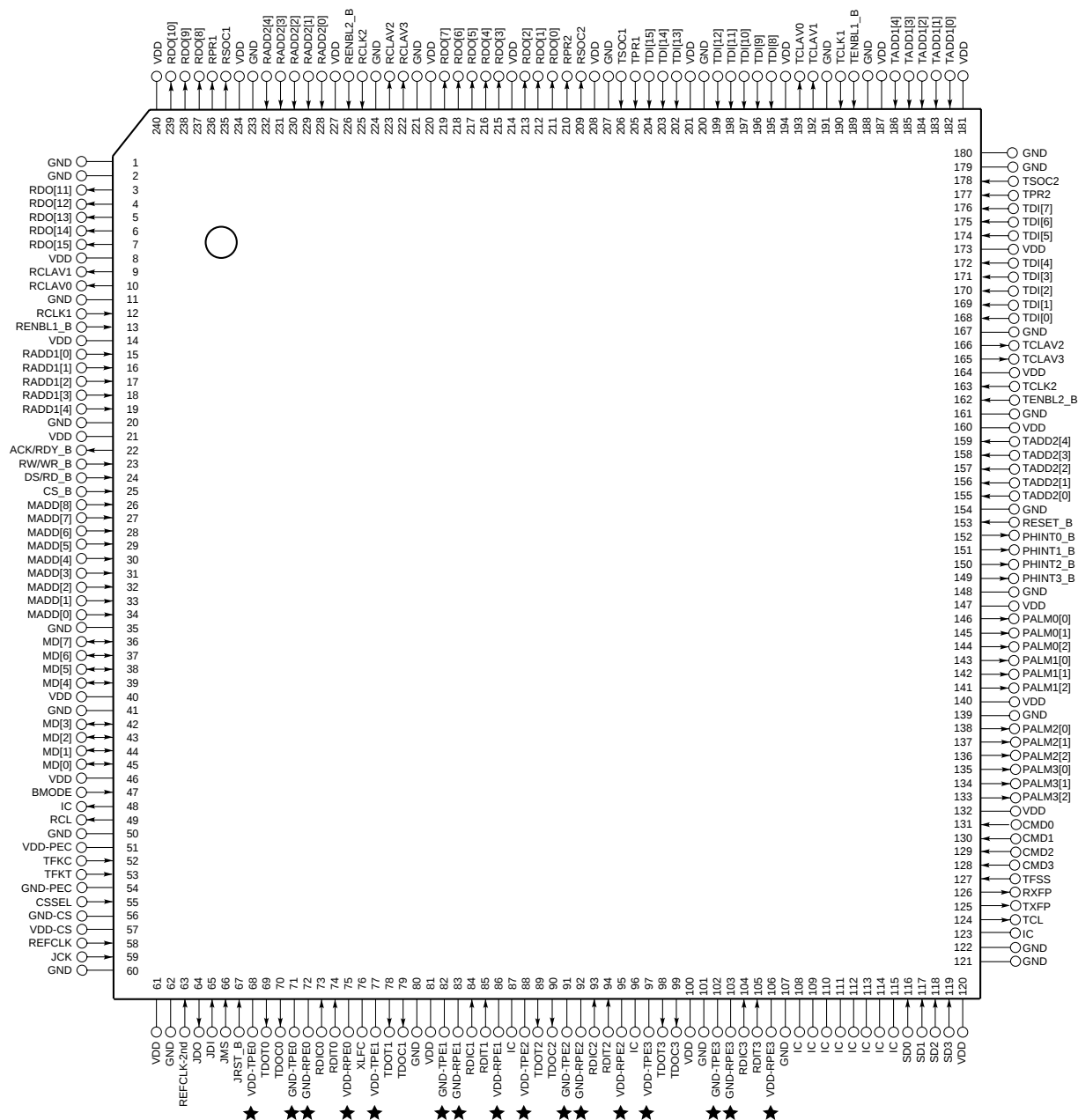


備考 このドキュメントでは、アクティブ・ロウの端子を XXX B と表しています。

端子接続図 (Top View)

μPD98411GN-MMU

・ 240 ピン・プラスチック QFP (ファインピッチ) (32 × 32 mm)



備考 IC : 内部接続端子です。必ずオープンにしてください。

端子配置表

(1/2)

No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	GND	40	VDD	79	TDOC1	118	SD2
2	GND	41	GND	80	GND	119	SD3
3	RDO[11]	42	MD[3]	81	VDD	120	VDD
4	RDO[12]	43	MD[2]	82	GND-TPE1★	121	GND
5	RDO[13]	44	MD[1]	83	GND-RPE1★	122	GND
6	RDO[14]	45	MD[0]	84	RDIC1	123	IC
7	RDO[15]	46	VDD	85	RDIT1	124	TCL
8	VDD	47	BMODE	86	VDD-RPE1★	125	TXFP
9	RCLAV1	48	IC	87	IC	126	RXFP
10	RCLAV0	49	RCL	88	VDD-TPE2★	127	TFSS
11	GND	50	GND	89	TDOT2	128	CMD3
12	RCLK1	51	VDD-PEC	90	TDOC2	129	CMD2
13	RENB1_B	52	TFKC	91	GND-TPE2★	130	CMD1
14	VDD	53	TFKT	92	GND-RPE2★	131	CMD0
15	RADD1[0]	54	GND-PEC	93	RDIC2	132	VDD
16	RADD1[1]	55	CSSEL	94	RDIT2	133	PALM3[2]
17	RADD1[2]	56	GND-CS	95	VDD-RPE2★	134	PALM3[1]
18	RADD1[3]	57	VDD-CS	96	IC	135	PALM3[0]
19	RADD1[4]	58	REFCLK	97	VDD-TPE3★	136	PALM2[2]
20	GND	59	JCK	98	TDOT3	137	PALM2[1]
21	VDD	60	GND	99	TDOC3	138	PALM2[0]
22	ACK/RDY_B	61	VDD	100	VDD	139	GND
23	RW/WR_B	62	GND	101	GND	140	VDD
24	DS/RD_B	63	REFCLK-2nd	102	GND-TPE3★	141	PALM1[2]
25	CS_B	64	JDO	103	GND-RPE3★	142	PALM1[1]
26	MADD[8]	65	JDI	104	RDIC3	143	PALM1[0]
27	MADD[7]	66	JMS	105	RDIT3	144	PALM0[2]
28	MADD[6]	67	JRST_B	106	VDD-RPE3★	145	PALM0[1]
29	MADD[5]	68	VDD-TPE0★	107	GND	146	PALM0[0]
30	MADD[4]	69	TDOT0	108	IC	147	VDD
31	MADD[3]	70	TDOC0	109	IC	148	GND
32	MADD[2]	71	GND-TPE0★	110	IC	149	PHINT3_B
33	MADD[1]	72	GND-RPE0★	111	IC	150	PHINT2_B
34	MADD[0]	73	RDIC0	112	IC	151	PHINT1_B
35	GND	74	RDIT0	113	IC	152	PHINT0_B
36	MD[7]	75	VDD-RPE0★	114	IC	153	RESET_B
37	MD[6]	76	XLFC	115	IC	154	GND
38	MD[5]	77	VDD-TPE1★	116	SD0	155	TADD2[0]
39	MD[4]	78	TDOT1	117	SD1	156	TADD2[1]

(2/2)

No.	端子名	No.	端子名	No.	端子名	No.	端子名
157	TADD2[2]	179	GND	201	VDD	223	RCLAV2
158	TADD2[3]	180	GND	202	TDI[13]	224	GND
159	TADD2[4]	181	VDD	203	TDI[14]	225	RCLK2
160	VDD	182	TADD1[0]	204	TDI[15]	226	RENBL2_B
161	GND	183	TADD1[1]	205	TPR1	227	VDD
162	TENBL2_B	184	TADD1[2]	206	TSOC1	228	RADD2[0]
163	TCLK2	185	TADD1[3]	207	GND	229	RADD2[1]
164	VDD	186	TADD1[4]	208	VDD	230	RADD2[2]
165	TCLAV3	187	VDD	209	RSOC2	231	RADD2[3]
166	TCLAV2	188	GND	210	RPR2	232	RADD2[4]
167	GND	189	TENBL1_B	211	RDO[0]	233	GND
168	TDI[0]	190	TCLK1	212	RDO[1]	234	VDD
169	TDI[1]	191	GND	213	RDO[2]	235	RSOC1
170	TDI[2]	192	TCLAV1	214	VDD	236	RPR1
171	TDI[3]	193	TCLAV0	215	RDO[3]	237	RDO[8]
172	TDI[4]	194	VDD	216	RDO[4]	238	RDO[9]
173	VDD	195	TDI[8]	217	RDO[5]	239	RDO[10]
174	TDI[5]	196	TDI[9]	218	RDO[6]	240	VDD
175	TDI[6]	197	TDI[10]	219	RDO[7]		
176	TDI[7]	198	TDI[11]	220	VDD		
177	TPR2	199	TDI[12]	221	GND		
178	TSOC2	200	GND	222	RCLAV3		

端子名称

ACK/RDY_B	: Acknowledge/Ready	RESET_B	: System Reset
BMODE	: Bus Mode	RPR2, RPR1	: Receive Data Path Parity
CMD3-CMD0	: Command Signal	RSOC2, RSOC1	: Receive Start Of Cell
CS_B	: Chip Select	RW/WR_B	: Management Interface Read/Write
CSSEL	: Clock Source Select	RXFP	: Receive Frame Pulse
DS/RD_B	: Data Strobe/Read	SD3-SD0	: Signal Detect
GND	: Ground	TADD2[4:0], TADD1[4:0]	: Transmit Address
GND-CS	: Ground for Analog PLL Block	TCL	: Internal Transmit System Clock
★ GND-RPE3 ~ GND-RPE0	: Ground for Rx PECL Block	TCLAV3-TCLAV0	: Transmit Cell Available Signals
★ GND-TPE3 ~ GND-TPE0	: Ground for Tx PECL Block	TCLK2, TCLK1	: Transmit Data transferring Clock
GND-PEC	: Ground for TFKT/TFKC PECL Block	TDI[15:0]	: Transmit Data Input from the ATM Layer
JCK	: JTAG Clock	TDOC3-TDOC0	: Transmit Data Output Complement
JDI	: JTAG Data Input	TDOT3-TDOT0	: Transmit Data Output True
JDO	: JTAG Data Output	TENBL2_B, TENBL1_B	: Transmit Data Enable
JMS	: JTAG Mode Select	TFKC	: Transmit Reference Clock Complement
JRST_B	: JTAG Reset	TFKT	: Transmit Reference Clock True
MADD[8:0]	: Management Interface Address Bus	TFSS	: Transmit Frame Set Signal
MD[7:0]	: Management Interface Data Bus	TPR2, TPR1	: Transmit Data Path Parity
PALM3[2:0], PALM2[2:0], PALM1[2:0], PALM0[2:0]	: Physical Alarm Output Signals	TSOC2, TSOC1	: Transmit Start Of Cell
PHINT3_B-PHINT0_B	: Physical Interrupt	TXFP	: Transmit Frame Pulse
RADD2[4:0], RADD1[4:0]	: Receive Address	VDD	: Supply Voltage
RCL	: Internal Receive System Clock	VDD-CS	: Supply Voltage for Analog PLL Block
RCLAV3-RCLAV0	: Receive Cell Available Signals	★ VDD-RPE3 ~ VDD-RPE0	: Supply Voltage for Rx PECL Block
RCLK2, RCLK1	: Receive Data Transferring Clock	★ VDD-TPE3 ~ VDD-TPE0	: Supply Voltage for Tx PECL Block
RDIC3-RDIC0	: Receive Data Input Complement	VDD-PEC	: Supply Voltage for TFKT/TFKC PECL Block
RDIT3-RDIT0	: Receive Data Input True	XLFC	: Tx Loop Filter Capacity
RDO[15:0]	: Receive Data Output		
REFCLK	: System Clock		
REFCLK-2nd	: 2nd Reference Clock		
RENBL2_B, RENBL1_B	: Receive Data Enable		

目 次

1. 端子機能	... 13
1.1 PMD インタフェース	... 13
1.2 UTOPIA インタフェース	... 15
1.3 マネジメント・インタフェース	... 19
1.4 アラーム信号入出力	... 20
1.5 JTAG バウンダリ・スキャン	... 20
1.6 電源, グランド	... 21
1.7 その他	... 21
1.8 未使用端子の処置	... 22
1.9 端子の初期状態	... 23
1.10 UTOPIA インタフェースの選択モードと使用端子	... 24
2. 電気的特性	... 25
3. 外形図	... 36
4. 半田付け推奨条件	... 37

1. 端子機能

1.1 PMD インタフェース

(1/2)

端子名	端子番号	入出力レベル	I/O	機 能
RDIT3-RDIT0	105, 94, 85, 74	P-ECL True(+)	I	受信シリアル・データ入力。 P-ECL レベルの差動入力です。
RDIC3- RDIC0	104, 93, 84, 73	P-ECL Complement(-)	I	
TDOT3- TDOT0	98, 89, 78, 69	P-ECL True(+)	O	送信シリアル・データ出力。 P-ECL レベルの差動出力です。
TDOC3- TDOC0	99, 90, 79, 70	P-ECL Complement(-)	O	
SD3-SD0	119-116	TTL ★	I	回線信号検出信号入力。 回線トランシーバ（光モジュールなど）の SD（Signal Detect）信号を入力するための端子です。この信号がロウ・レベルになると、そのポートは LOS 検出となります。 ハイ・レベル：正常 ロウ・レベル：LOS 状態
REFCLK	58	TTL ★	I	システム・クロック（19.44 MHz）入力。 内部シンセサイザ PLL / クロック・リカバリ PLL, およびレジスタが動作するためのソース・クロックとして使用します。
REFCLK-2nd	63	TTL ★	I	第 2 システム・クロック（19.44 MHz）入力。 内部シンセサイザ PLL の 2 番目のソース・クロックを入力する端子です。シンセサイザ PLL のソース・クロックを切り替える必要がない場合は使用しません。REFCLK と REFCLK-2nd のどちらのクロックをソース・クロックにするかは、CSSC レジスタ（アドレス：076H）で設定します。デフォルトでは、REFCLK 入力を選択されています。 REFCLK-2nd をシンセサイザ PLL のソース・クロックにする場合でも、REFCLK はレジスタ動作などにも使用するため、クロックを入力する必要があります。 <pre> graph LR REFCLK --> PLL[送信シンセサイザ PLL ブロック] REFCLK_2nd --> PLL REG[レジスタ REF_cnt ビット] --> PLL PLL --> OUT[155.52MHz 送信クロック] </pre>
RXFP	126	TTL ★	O	受信フレーム・パルス出力（8 kHz）。 受信するフレームの先頭に同期して、パルス信号を出力します。パルス信号は、RCL クロックの 1 サイクル分です。 内部 FPMSK レジスタ（アドレス：07CH）への設定で、4 ポートのうちどのポートが受信するフレームに同期したパルスを出力するかを選択します。デフォルト設定ではどのポートも選択されておらず、出力しません。

(2/2)

端子名	端子番号	入出力レベル	I/O	機 能
XLFC	76	アナログ	O	ループ・フィルタ容量接続端子。 シンセサイザ PLL のループ・フィルタを接続する端子です。オープンにしてください。
TXFP	125	TTL ★	O	送信側フレーム・パルス信号出力 (8 kHz)。 送信フレームの先頭に同期して、TCL クロックの 1 周期分に相当するパルス信号を出力します。内部 FPMSK レジスタ (アドレス: 07CH) への設定で、4 ポートのうちどのポートが送信するフレームに同期したパルスを出力するかを選択します。デフォルト設定ではどのポートも選択されておらず、出力しません。
TFSS	127	TTL ★	I	フレーム送信ディスエーブル信号入力。 この端子にハイ・レベルを入力すると、すべてのポートは、出力データ列を 0 か 1 のどちらかに固定し、フレームの送出を停止します。 ロウを入力すると、フレームの先頭 (1st A1 バイト) から送出を再開します。送出タイミングは、TFSS のハイ・レベルを最後に検知した TCL クロックの立ち上がりから 9 周期後の立ち上がりに同期して送信フレームの出力を再開します。
RCL	49	TTL ★	O	受信システム・クロック出力 (19.44 MHz)。 各ポートは、内部受信処理に受信クロック 155.52 MHz の 8 分周クロックを使用しており、そのクロックをこの端子から出力します。どのポートのシステム・クロックを出力するかは、RCMSK レジスタ (アドレス: 07BH) への設定で選択します。デフォルト設定では、ポート 0 のクロックが選択されています。リセット中、およびどのポートも選択されていないときは、ロウ・レベルを出力します。また、REFCLK_2nd もこの端子から出力できます。 注意 受信クロックの 8 分周クロックを出力している場合、基となる受信クロックが受信回線の状況に応じて変化したとき、この端子からスパイク・ノイズが出力される場合があります。
TCL	124	TTL ★	O	送信システム・クロック出力 (19.44 MHz)。 各ポートは、内部送信処理に送信クロック 155.52 MHz の 8 分周クロックを使用しており、そのクロックをこの端子から出力します。どのポートのシステム・クロックを出力するかは、TCMSK レジスタ (アドレス: 07AH) への設定で選択します。リセット中、およびどのポートも選択されていないときは、ロウ・レベルを出力します。
TFKT	53	P-ECL True(+)	I	外部生成送信クロック 155.52 MHz 入力。 内部に搭載するシンセサイザ PLL を使用せず、外部で生成した送信クロック (155.52 MHz) を入力するための端子です。この端子は、CSSEL 端子をハイ・レベルにするとイネーブルになります。
TFKC	52	P-ECL Complement(-)	I	
CSSEL	55	TTL ★	I	TFKT/TFKC 端子イネーブル信号入力。 チップ外部からの 155.52 MHz クロックを TFKT/TFKC 端子に入力する場合に、TFKT/TFKC 端子のイネーブル信号を入力する端子です。 ハイ・レベル: TFKT/TFKC 端子イネーブル ロウ・レベル: TFKT/TFKC 端子ディスエーブル

1.2 UTOPIA インタフェース

UTOPIA インタフェースの各信号は、内部 MitUt レジスタ（アドレス：079H）で選択するモードに応じて使用する端子が異なります。詳細については、1.10 UTOPIA インタフェースの選択モードと使用端子を参照してください。

(1/4)

端子名	端子番号	入出力レベル	I/O	機 能
RDO[15:11] RDO[10:8] RDO[7:3] RDO[2:0]	7-3 239-237 219-215 213-211	TTL ★	O 3 線-ト	受信データ・バス。 ATM レイヤ・デバイスに受信データを転送する 16 ビット・データ・バスです。RCLK クロックの立ち上がり同期して出力します。MitUt レジスタ（アドレス：079H）で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。 ・ Single 8-bit バス : RDO[7:0] ・ Single 16-bit バス : RDO[15:0] ・ Dual 8-bit バス : RDO[15:8] / RDO[7:0]
RCLK2 RCLK1	225 12	TTL ★	I	受信クロック入力。 受信データ転送用クロックを入力する端子です。50 MHz までのクロックを入力します。MitUt レジスタ（アドレス：079H）で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。 ・ Single 8-bit バス : RCLK2 ・ Single 16-bit バス : RCLK1 ・ Dual 8-bit バス : RCLK1 / RCLK2
RSOC2 RSOC1	209 235	TTL ★	O 3 線-ト	受信セル開始位置信号出力。 ATM レイヤ・デバイスに対して受信セルの先頭バイト位置を示す信号を出力します。MitUt レジスタ（アドレス：079H）で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。 ・ Single 8-bit バス : RSOC2 ・ Single 16-bit バス : RSOC2 ・ Dual 8-bit バス : RSOC1 / RSOC2
RENBL2_B RENBL1_B	226 13	TTL ★	I	受信イネーブル信号入力。 対向 ATM レイヤ・デバイスが受信データ受け付け可能であることを示す信号を入力します。MitUt レジスタ（アドレス：079H）で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。 ・ Single 8-bit バス : RENBL2_B ・ Single 16-bit バス : RENBL1_B ・ Dual 8-bit バス : RENBL1_B / RENBL2_B

(2/4)

端子名	端子番号	入出力レベル	I/O	機能
RCLAV3 RCLAV2 RCLAV1 RCLAV0	222 223 9 10	TTL ★	O 3ポート	受信セル転送可通知信号出力。 受信 FIFO に 1 セル以上のデータが存在することを ATM レイヤ・デバイスに通知する信号です。 1TCLAV&1RCLAV モードの場合、各ポートの RCLAV 信号は、内部でマルチプレクスされて 1 信号として出力します。RCLAV0-RCLAV3 の 4 信号のうち使用する信号は、MitUt レジスタ (アドレス: 079H) で選択する UTOPIA インタフェース・モードに応じて異なります。 ・ Single 8-bit バス : RCLAV2 ・ Single 16-bit バス : RCLAV1 ・ Dual 8-bit バス : RCLAV1 / RCLAV2 Direct Status Indication(DSI)モード ,および Multiplexed Status Polling (MSP) モードの場合には、RCLAV0-RCLAV3 の 4 信号が各ポートに割り当てられ、それぞれの FIFO 状態を通知します。ポート 0 には RCLAV0、ポート 3 には RCLAV3 が対応します。
RADD2[4:0] RADD1[4:0]	232-228 19-15	TTL ★	I	受信側 PHY アドレス入力。 ポートを選択するアドレスを入力します。MitUt レジスタ (アドレス: 079H) で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。 ・ Single 8-bit バス : RADD2[4:0] ・ Single 16-bit バス : RADD1[4:0] ・ Dual 8-bit バス : RADD1[4:0] / RADD2[4:0]
RPR2 RPR1	210 236	TTL ★	O	パリティ・ビット出力端子。 RDO[15]-RDO[0]上に出力するデータに対して、奇数パリティ・ビットを生成しこの端子より出力します。MitUt レジスタ (アドレス: 079H) で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。 ・ Single 8-bit バス : RPR2 ・ Single 16-bit バス : RPR2 ・ Dual 8-bit バス : RPR1 / RPR2
TDI[15:13] TDI[12:8] TDI[7:5] TDI[4:0]	204-202 199-195 176-174 172-168	TTL ★	I	送信データ・バス。 ATM レイヤ・デバイスから送信データを入力するデータ・バスです。TCLK クロックの立ち上がりエッジで取り込みます。MitUt レジスタ (アドレス: 079H) で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。 ・ Single 8-bit バス : TDI[15:8] ・ Single 16-bit バス : TDI[15:0] ・ Dual 8-bit バス : TDI[15:8] / TDI[7:0]

(3/4)

端子名	端子番号	入出力レベル	I/O	機 能
TCLK2 TCLK1	163 190	TTL ★	I	送信クロック入力。 送信データ転送用のクロックを入力する端子です。50 MHzまでのクロックを入力します。MitUt レジスタ(アドレス : 079H)で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。 ・ Single 8-bit バス : TCLK1 ・ Single 16-bit バス : TCLK2 ・ Dual 8-bit バス : TCLK1 / TCLK2
TSOC2 TSOC1	178 206	TTL ★	I	送信セル開始位置信号入力。 送信セルの先頭バイト位置を示す信号を入力する端子です。MitUt レジスタ(アドレス : 079H)で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。 ・ Single 8-bit バス : TSOC1 ・ Single 16-bit バス : TSOC1 ・ Dual 8-bit バス : TSOC1 / TSOC2
TENBL2_B TENBL1_B	162 189	TTL ★	I	送信イネーブル信号入力。 ATM レイヤ・デバイスが有効な送信データを TDI[15]-TDI[0]に出力していることを示す信号を入力します。MitUt レジスタ(アドレス : 079H)で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。 ・ Single 8-bit バス : TENBL1_B ・ Single 16-bit バス : TENBL2_B ・ Dual 8-bit バス : TENBL1_B / TENBL2_B
TCLAV3 TCLAV2 TCLAV1 TCLAV0	165 166 192 193	TTL ★	O 3ポート	送信セル受付可能通知信号出力。 送信 FIFO に 1 セル以上の空き領域があることを ATM レイヤ・デバイスに通知する信号です。 1TCLAV&1RCLAV モードの場合、各ポートの TCLAV 信号は、内部でマルチプレクスされて 1 信号として出力します。TCLAV0-TCLAV3 の 4 信号のうち使用する信号は MitUt レジスタ(アドレス : 079H)で選択する UTOPIA インタフェース・モードに応じて異なります。 ・ Single 8-bit バス : TCLAV1 ・ Single 16-bit バス : TCLAV2 ・ Dual 8-bit バス : TCLAV1 / TCLAV2 Direct Status Indication(DSI)モード ,および Multiplexed Status Polling (MSP) モードの場合には、TCLAV0-TCLAV3 の 4 端子を各ポートに 1 信号ずつ割り当て、それぞれのポートの FIFO 状態を通知します。ポート 0 には TCLAV0 が、ポート 3 には TCLAV3 が対応しています。

(4/4)

端子名	端子番号	入出力レベル	I/O	機 能
TADD2[4:0] TADD1[4:0]	159-155 186-182	TTL ★	I	送信側PHY アドレス入力。 選択するポートのアドレスを入力します。MitUt レジスタ（アドレス：079H）で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。 ・ Single 8-bit バス : TADD1[4:0] ・ Single 16-bit バス : TADD2[4:0] ・ Dual 8-bit バス : TADD1[4:0] / TADD2[4:0]
TPR2 TPR1	177 205	TTL ★	I	パリティ・ビット入力端子。 TDO[15:0]から入力するデータの奇数パリティ・ビットを入力します。MitUt レジスタ（アドレス：079H）で選択する UTOPIA インタフェース・モードに応じて、使用する端子が異なります。 ・ Single 8-bit バス : TPR1 ・ Single 16-bit バス : TPR1 ・ Dual 8-bit バス : TPR1 / TPR2

1.3 マネジメント・インタフェース

端子名	端子番号	入出力レベル	I/O	機能
BMODE	47	TTL ★	I	モード選択入力。 この端子入力によって、マネジメント・インタフェースのモードを選択します。 BMODE= 1: 端子機能として<RD_B, WR_B, RDY_B>を選択。 BMODE= 0: 端子機能として<DS_B, R/W_B, ACK_B>を選択。
MADD[8:0]	26-34	TTL ★	I	アドレス入力。 内部レジスタのアドレスを入力する 9 ビット・アドレスです。
MD[7:4] MD[3:0]	36-39 42-45	TTL ★	I/O 3 スト	8 ビット・データ・バス。 内部レジスタのデータをリード/ライトするための 8 ビット・データ・バスです。
CS_B	25	TTL ★	I	チップ・セレクト信号入力。 ロウ・レベルのとき、内部レジスタへのアクセスをイネーブルにします。
DS/RD_B	24	TTL ★	I	データ・ストロブ信号入力、またはリード信号入力。 この端子は、BMODE 端子の入力で選択されるマネジメント・インタフェース・モードによって機能が異なります。 BMODE = 0: データ・ストロブ信号 DS_B として機能 BMODE = 1: リード・アクセスを選択する RD_B として機能
RW/WR_B	23	TTL ★	I	リード/ライト信号入力、またはライト信号入力。 この端子は、BMODE 端子入力で選択されるマネジメント・インタフェース・モードによって機能が異なります。 BMODE = 0 の場合、リード/ライト制御信号 R/W_B として機能 R/W_B = ハイ: リード・サイクル R/W_B = ロウ: ライト・サイクル BMODE = 1 の場合、内部レジスタに対してライトを選択する WR_B として機能
ACK/RDY_B	22	TTL ★	O 3 スト	データ・アクノリッジ信号出力、またはレディ信号出力。 内部レジスタに対するリード/ライト・サイクルを受け付けるアクノリッジおよびレディ信号を出力します。
PHINT3_B- PHINT0_B	149-152	TTL ★	O	割り込み信号出力。 割り込み要因が発生したことをホストに通知するための信号です。4 ポートの割り込み要因を PHINT0_B 信号から通知するモードと PHINT0_B-PHINT3_B の 4 端子を使用し、各ポートが個別の割り込み通知するモードがあります。ポート 0 が PHINT0_B、ポート 3 が PHINT3_B 端子に対応します。
RESET_B	153	TTL ★	I	システム・リセット信号入力。 μPD98411 を初期化します。1μs 以上の幅を持つロウ・パルスを入力しなければなりません。特に、電源投入時には少なくとも電源電圧のレベルが 90% 以上に到達してから上述のパルス幅を確保しなければなりません。RESET_B 信号を入力するときは、REFCLK 端子にクロックが入力されている必要があります。

1.4 アラーム信号入出力

端子名	端子番号	入出力レベル	I/O	機 能
CMD3-CMD0	128-131	TTL ★	I	汎用入力信号。 外部周辺デバイスのステート信号などを入力する汎用入力端子です。この端子の信号レベルは、内部レジスタのステート・ビットに反映され、そのビットの変化を割り込み要因にすることもできます。各ポートごとに1端子あり、CMD0はポート0に、CMD3はポート3に対応します。
PALM3[2:0] PALM2[2:0] PALM1[2:0] PALM0[2:0]	133-135 136-138 141-143 144-146	TTL ★	O	PHY レイヤ・アラーム検出信号出力。 これらの端子は、ポートが警告・障害(LOS, OOF, LOF, LOP, OCD, LCD, Line AIS, Path AIS, Line RDI, Path RDI)を検出したこと、またはCMD端子入力のレベルが変化したことをステートとして出力します。さらに、内部レジスタのビットのステートを反映させる汎用出力ポートとしても使用できます。出力するステートは、AMPR, AMPR1, AMPR2 レジスタを用いて選択します。

1.5 JTAG バウンダリ・スキャン

端子名	端子番号	入出力レベル	I/O	機 能
JDI	65	TTL ★	I	バウンダリ・スキャン・データ入力です。 未使用時は、グラウンドに接続してください。
JDO	64	TTL ★	O 3 スター	バウンダリ・スキャン・データ出力です。 未使用時は、オープンにしてください。
JCK	59	TTL ★	I	バウンダリ・スキャン・クロック入力です。 未使用時は、グラウンドに接続してください。
JMS	66	TTL ★	I	バウンダリ・スキャン・モード選択信号入力です。 未使用時は、グラウンドに接続してください。
JRST_B	67	TTL ★	I	バウンダリ・スキャン・リセット信号入力です。 未使用時は、グラウンドに接続してください。

★ 備考 未使用時（通常動作時）の JTAG バウンダリ・スキャン用端子の処置について

未使用時（通常動作時）の JRST_B 端子の処置をグラウンド接続としているのは、JTAG ロジックが誤って動作するのをより確実に防ぐためです。JTAG 端子の処置は、そのほかに次の2つがあります。

・ JRST_B 端子を使用せずに JTAG ロジックをリセット状態にする

JMS, JCK 端子を使用して、JTAG ロジックをリセット状態に移行させ、リセット状態から動かさないようにします（JRST_B 端子は、プルアップしている状態です）。

JMS 端子を1固定（プルアップ）して、JCK 端子に5クロック・サイクル以上入力してください。

・ JRST_B 端子を使用して JTAG ロジックをリセット状態にする

JRST_B 端子に μPD98411 の RESET_B と同じ幅のロウ・パルスを入力して、その後 JMS, JRST_B 端子ともにプルアップしてハイ・レベルを維持していると、JTAG ロジックはリセット状態から動きませんので、通常動作に影響を及ぼしません。他の JDI, JCK 端子は、プルダウン / プルアップのどちらかで入力レベルを固定してください。

1.6 電源, グランド

端子名	端子番号	I/O	機 能
VDD	8, 14, 21, 40, 46, 61, 81, 100, 120, 132, 140, 147, 160, 164, 173, 181, 187, 194, 201, 208, 214, 220, 227, 234, 240	-	低速部ロジック用電源 (+ 3.3 V ± 5 %) とグランド。
GND	1, 2, 11, 20, 35, 41, 50, 60, 62, 80, 101, 107, 121, 122, 139, 148, 154, 161, 167, 179, 180, 188, 191, 200, 207, 221, 224, 233	-	
VDD-PEC	51	-	TFKT / TFKC 入力高速部用電源 (+ 3.3 V ± 5 %) とグランド。
GND-PEC	54	-	この電源のノイズは, ジッタ特性に影響を及ぼします。フィルタなどの対策によりノイズ削減するようにしてください。
VDD-CS	57	-	送信クロック・シンセサイザ PLL 用電源 (+ 3.3 V ± 5 %) とグランド。
GND-CS	56	-	この電源のノイズは, ジッタ特性に影響を及ぼします。フィルタなどの対策によりノイズ削減するようにしてください。
★ VDD-RPE3	106	-	各ポートの受信クロック・リカバリ部, 受信 P-ECL バッファ用電源 (+ 3.3 V ± 5 %) とグランド。 この電源のノイズは, ジッタ特性に影響を及ぼします。フィルタなどの対策によりノイズ削減するようにしてください。
VDD-RPE2	95		
VDD-RPE1	86		
VDD-RPE0	75		
★ GND-RPE3	103	-	
GND-RPE2	92		
GND-RPE1	83		
GND-RPE0	72		
★ VDD-TPE3	97	-	各ポートのシリアル / パラレル変換部, 送信 P-ECL バッファ用電源 (+ 3.3 V ± 5 %) とグランド。 この電源のノイズは, ジッタ特性に影響を及ぼします。フィルタなどの対策によりノイズ削減するようにしてください。
VDD-TPE2	88		
VDD-TPE1	77		
VDD-TPE0	68		
★ GND-TPE3	102	-	
GND-TPE2	91		
GND-TPE1	82		
GND-TPE0	71		

1.7 その他

端子名	端子番号	入出力レベル	I/O	機 能
IC	48, 87, 96, 108-115, 123	CMOS	-	内部回路接続テスト端子です。必ずオープンにしてください。

1.8 未使用端子の処置

設定モードに応じて発生する使用しない端子は、次のように処置してください。

端子名	処 置
RCLK2, RCLK1 RENBL2_B, RENBL1_B RADD2[4:0], RADD1[4:0] TDI[15:0] TCLK2, TCLK1 TSOC2, TSOC1 TENBL2_B, TENBL1_B TADD2[4:0], TADD1[4:0] TPR2, TPR1	グラウンドに接続してください。
RDO[15:0] RSOC2, RSOC1 RPR2, RPR1 RCLAV3-RCLAV0 TCLAV3-TCLAV0 TDOT, TDOC	オープンにしてください。
CMD3-CMD0	グラウンドに接続してください。
SD3-SD0	プルアップしてください。
TFKT, TFKC RDIT, RDIC	TFKT, RDIT はプルアップ ,TFKC, RDIC はグラウンドに接続してください。
TFSS	グラウンドに接続してください。
XLFC	オープンにしてください。
REFCLK-2nd	グラウンドに接続してください。
上記以外の出力端子	オープンにしてください。

★

★

1.9 端子の初期状態

端子名	リセット中	リセット後
RDO[15:0] RSOC2, RSOC1 RCLAV3-RCLAV0 TCLAV3-TCLAV0 RPR2, RPR1	Hi-Z	Hi-Z
PHINT3_B-PHINT0_B	H	H
PALM3[2:0]-PALM0[2:0]	L	L
RXFP	L	L
TXFP	L	L
TCL	L	L
RCL	L	L
MD[7:0]	Hi-Z	Hi-Z
ACK/RDY_B	Hi-Z	Hi-Z
TDOT3-TDOT0	L	L
TDOC3-TDOC0	H	H

★

1.10 UTOPIA インタフェースの選択モードと使用端子

モード		MSL[3:0] ^注	使用端子			
Dual 8-bit	2TCLAV/2RCLAV	0001	Tx	Port 0/1	TCLK1,TDI[15:8],TADD1,TPR1,TENBL1_B,TCLAV1,TSOC1	
				Port 2/3	TCLK2,TDI[7:0],TADD2,TPR2,TENBL2_B,TCLAV2,TSOC2	
			Rx	Port 0/1	RCLK1,RDO[15:8],RADD1,RPR1,RENBL1_B,RCLAV1,RSOC1	
				Port 2/3	RCLK2,RDO[7:0],RADD2,RPR2,RENBL2_B,RCLAV2,RSOC2	
	Direct Status Indication 4TCLAV/4RCLAV 信号使用 (2 ステート出力)	0101	Tx	Port 0/1	TCLK1,TDI[15:8],TADD1,TPR1,TENBL1_B,TCLAV0-TCLAV1,TSOC1	
				Port 2/3	TCLK2,TDI[7:0],TADD2,TPR2,TENBL2_B,TCLAV2-TCLAV3,TSOC2	
			Rx	Port 0/1	RCLK1,RDO[15:8],RADD1,RPR1,RENBL1_B,RCLAV0-RCLAV1,RSOC1	
				Port 2/3	RCLK2,RDO[7:0],RADD2,RPR2,RENBL2_B,RCLAV2-RCLAV3,RSOC2	
	Multiplexed Status Polling 2TCLAV/2RCLAV 信号使用 (3 ステート出力)	1001	Tx	Port 0/1	TCLK1,TDI[15:8],TADD1,TPR1,TENBL1_B,TCLAV1,TSOC1	
				Port 2/3	TCLK2,TDI[7:0],TADD2,TPR2,TENBL2_B,TCLAV2,TSOC2	
			Rx	Port 0/1	RCLK1,RDO[15:8],RADD1,TPR1,RENBL1_B,RCLAV1,RSOC1	
				Port 2/3	RCLK2,RDO[7:0],RADD2,TPR2,RENBL2_B,RCLAV2,RSOC2	
	Multiplexed Status Polling 4TCLAV/4RCLAV 信号使用 (3 ステート出力)	1101	Tx	Port 0/1	TCLK1,TDI[15:8],TADD1,TPR1,TENBL1_B,TCLAV0-TCLAV1,TSOC1	
				Port 2/3	TCLK2,TDI[7:0],TADD2,TPR2,TENBL2_B,TCLAV2-TCLAV3,TSOC2	
			Rx	Port 0/1	RCLK1,RDO[15:8],RADD1,RPR1,RENBL1_B,RCLAV0-RCLAV1,RSOC1	
				Port 2/3	RCLK2,RDO[7:0],RADD2,RPR2,RENBL2_B,RCLAV2-RCLAV3,RSOC2	
Single 8-bit	1TCLAV/1RCLAV	0010	Tx	TCLK1,TDI[15:8],TADD1,TPR1,TENBL1_B,TCLAV1,TSOC1		
			Rx	RCLK2,RDO[7:0],RADD2,RPR2,RENBL2_B,RCLAV2,RSOC2		
	Direct Status Indication 4TCLAV/4RCLAV 信号使用 (2 ステート出力)	0110	Tx	TCLK1,TDI[15:8],TADD1,TPR1,TENBL1_B,TCLAV0-TCLAV3,TSOC1		
			Rx	RCLK2,RDO[7:0],RADD2,RPR2,RENBL2_B,RCLAV0-RCLAV3,RSOC2		
	Multiplexed Status Polling 1TCLAV/1RCLAV 信号使用 (3 ステート出力)	1010	Tx	TCLK1,TDI[15:8],TADD1,TPR1,TENBL1_B,TCLAV1,TSOC1		
			Rx	RCLK2,RDO[7:0],RADD2,RPR2,RENBL2_B,RCLAV2,RSOC2		
	Multiplexed Status Polling 4TCLAV/4RCLAV 信号使用 (3 ステート出力)	1110	Tx	TCLK1,TDI[15:8],TADD1,TPR1,TENBL1_B,TCLAV0-TCLAV3,TSOC1		
			Rx	RCLK2,RDO[7:0],RADD2,RPR2,RENBL2_B,RCLAV0-RCLAV3,RSOC2		
Single 16-bit	1TCLAV/1RCLAV	0011	Tx	TCLK2,TDI[15:0],TADD2,TPR1,TENBL2_B,TCLAV2,TSOC1		
			Rx	RCLK1,RDO[15:0],RADD1,RPR2,RENBL1_B,RCLAV1,RSOC2		
	Direct Status Indication 4TCLAV/4RCLAV 信号使用 (2 ステート出力)	0111	Tx	TCLK2,TDI[15:0],TADD2,TPR1,TENBL2_B,TCLAV0-TCLAV3,TSOC1		
			Rx	RCLK1,RDO[15:0],RADD1,RPR2,RENBL1_B,RCLAV0-RCLAV3,RSOC2		
	Multiplexed Status Polling 1TCLAV/1RCLAV 信号使用 (3 ステート出力)	1011	Tx	TCLK2,TDI[15:0],TADD2,TPR1,TENBL2_B,TCLAV2,TSOC1		
			Rx	RCLK1,RDO[15:0],RADD1,RPR2,RENBL1_B,RCLAV1,RSOC2		
	Multiplexed Status Polling 4TCLAV/4RCLAV 信号使用 (3 ステート出力)	1111	Tx	TCLK2,TDI[15:0],TADD2,TPR1,TENBL2_B,TCLAV0-TCLAV3,TSOC1		
			Rx	RCLK1,RDO[15:0],RADD1,RPR2,RENBL1_B,RCLAV0-RCLAV3,RSOC2		

注 MltUt レジスタ (アドレス : 079H)

2. 電気的特性

絶対最大定格

項 目	略 号	条 件	定 格	単位
電源電圧	V _{DD}		- 0.5 ~ + 4.6	V
入力 / 出力電圧	V _I / V _O	P-ECL レベル以外の端子	- 0.5 ~ + 6.6 かつ V _{DD} + 3.0	V
	V _{IA} / V _{OA}	P-ECL レベル端子	- 0.5 ~ + 4.6 かつ V _{DD} + 0.5	V
動作周囲温度	T _A		- 40 ~ + 85	
保存温度	T _{stg}		- 65 ~ + 150	

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なうおそれがあります。
つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

容 量

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
入力容量	C _I	動作周波数=1MHz		6	10	pF
出力容量	C _O	動作周波数=1MHz		6	10	pF
入出力容量	C _{IO}	動作周波数=1MHz		6	10	pF

推奨動作条件

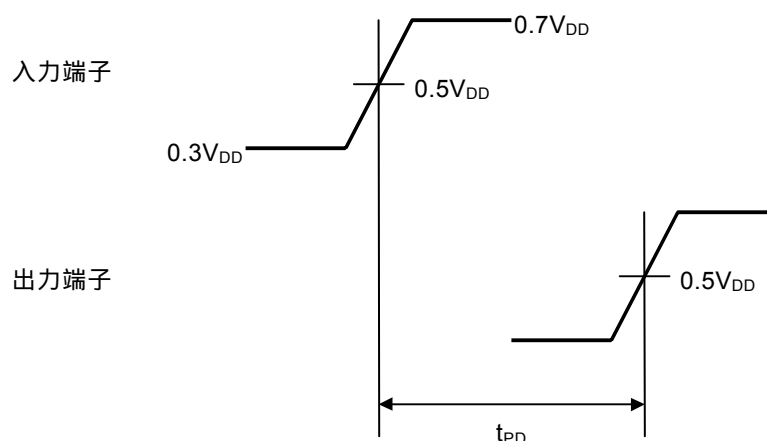
項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}		V _{DD} × 0.95	3.3	V _{DD} × 1.05	V
動作周囲温度	T _A		- 40		+ 85	
ロウ・レベル入力電圧	V _{IL}	P-ECL レベル以外の端子	0		0.8	V
	V _{ILA}	P-ECL レベル端子	V _{DD} - 2.82		V _{DD} - 1.50	V
ハイ・レベル入力電圧	V _{IH}	P-ECL レベル以外の端子	2.2		5.25	V
	V _{IHA}	P-ECL レベル端子	V _{DD} - 1.49		V _{DD} - 0.4	V
★ 差動入力電圧	V _{IDIFF}	P-ECL レベル端子	0.3		2.41	V

DC 特性 ($V_{DD} = 3.3 \pm 5\% V$, $T_A = -40 \sim +85$)

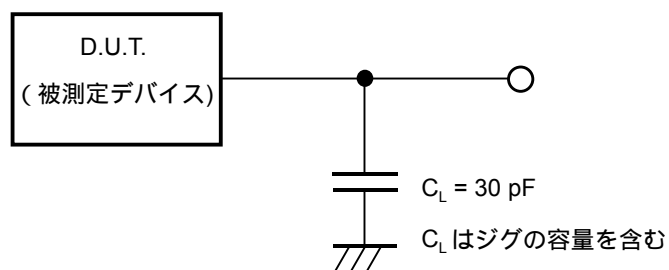
項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
オフステート出力電流	I_{OZ}	$V_I = V_{DD}$ or GND			10	μA
入力リーク電流	I_{IL}	$V_I = V_{DD}$ or GND , P-ECL レベル以外の端子			10	μA
	I_{ILA}	P-ECL レベル端子			10	μA
内部ブルダウン抵抗	R_{PL}	59, 65, 66, 67 端子	5.4	30	56.4	$k\Omega$
ロウ・レベル出力電圧	V_{OLA}	$R_L = 50 \Omega$, $V_T = V_{DD} - 2 V$, P-ECL レベル端子	$V_{DD} - 2.175$	$V_{DD} - 1.975$	$V_{DD} - 1.755$	V
ハイ・レベル出力電圧	V_{OHA}	$R_L = 50 \Omega$, $V_T = V_{DD} - 2 V$, P-ECL レベル端子	$V_{DD} - 1.14$	$V_{DD} - 0.92$	$V_{DD} - 0.69$	V
ロウ・レベル出力電流	I_{OL}	$V_{OL} = 0.4 V$, $V_{DD} = 3.3 V$ P-ECL レベル以外の端子	9.0			mA
ハイ・レベル出力電流	I_{OH}	$V_{OH} = 2.4 V$, $V_{DD} = 3.3 V$ P-ECL レベル以外の端子	- 9.0			mA
電源電流	I_{DD}	通常動作時		500	800	mA

AC 特性 ($V_{DD} = 3.3 \pm 5\% V$, $T_A = -40 \sim +85$)

伝達遅延時間は、以下のように定義します。



AC テスト負荷回路



備考 負荷容量 $C_L = 50pF$ の場合は、動作条件が $T_A = 0 \sim +70$ になります。

マネジメント・インタフェース

(a) 内部レジスタ・リード

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
アドレス設定時間 (対 DS_B↓[RD_B↓])	t _{SADDS}		10			ns
CS_B 設定時間 (対 DS_B↓[RD_B↓])	t _{SCSDS}		5			ns
RW_B[WR_B]設定時間 (対 DS_B↓[RD_B↓])	t _{SRWDS}		5			ns
アドレス保持時間 (対 DS_B↑[RD_B↑])	t _{HADDS}		4			ns
CS_B 保持時間 (対 DS_B↑[RD_B↑])	t _{HCSDS}		0			ns
RW_B[WR_B]保持時間 (対 DS_B↑[RD_B↑])	t _{HRWDS}		0			ns
★ DS_B↓[RD_B↓]→ACK_B[RDY_B]ドライブ開始 遅延時間	t _{DAKDS}	負荷容量：30 pF	0		15	ns
★ DS_B↓[RD_B↓]→MD[7:0]バッファ出力遅延 時間	t _{DDADS}	負荷容量：30 pF	0		25	ns
DS_B↑[RD_B↑]→ACK_B[RDY_B]フロート 遅延時間	t _{IAKDS}	負荷容量：30 pF	10		70	ns
DS_B↑[RD_B↑]→データ・フロート遅延時間	t _{IDADS}	負荷容量：30 pF	15		70	ns
★ ACK_B↓[RDY_B↓]→有効データ出力遅延時 間	t _{VDAAK}	負荷容量：30 pF			10	ns
DS_B[RD_B]パルス幅 ^注	t _{WDS}		51.44			ns
★ DS_B↑[RD_B↑] → DS_B↓[RD_B↓]最小間隔	t _{DSINT}		7 × t _{CYRF}			ns

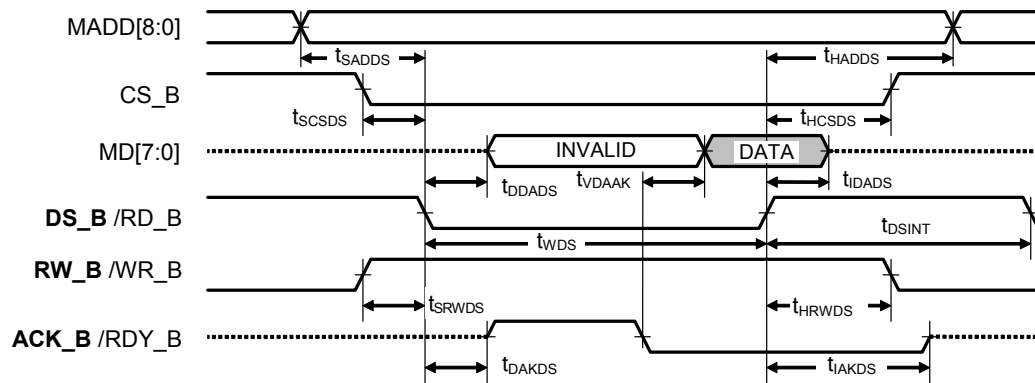
- ★ 注 t_{WDS} は、μPD98411 が DS_B[RD_B]をロウ・レベルと認識できる時間を規定しており、データを確実にリードできる DS_B[RD_B]のパルス幅を規定しているものではありません。

DS_B[RD_B]がロウ・レベルになってから、μPD98411 が ACK_B[RDY_B]をロウ・レベルにするまでの時間は、アクセスするレジスタによって異なります。DS_B[RD_B]は、ACK_B[RDY_B]がロウ・レベルになったことを確認してからハイ・レベルにしてください。

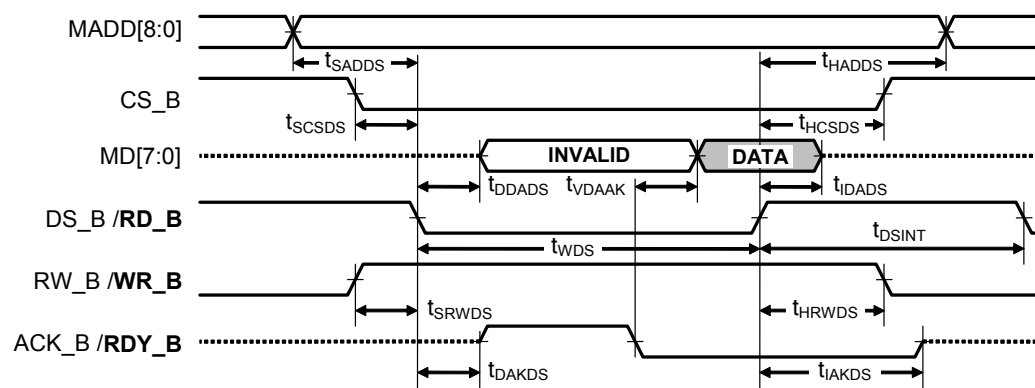
DS_B[RD_B]がロウ・レベルになってから、μPD98411 が ACK_B[RDY_B]をロウ・レベルにするまでの時間は、最大でも「4.5 × t_{CYRF}」です。ACK_B[RDY_B]を使用せずに、どのレジスタに対してもリードを行えるようにする場合は、DS_B[RD_B]のパルス幅を少なくとも「4.5 × t_{CYRF}」以上にしてください。

- ★ 備考 t_{CYRF} は、REFCLK 端子に入力される 19.44 MHz クロックの周期です。

★ (i) BMODE= " 0 "



★ (ii) BMODE= " 1 "



(b) 内部レジスタ・ライト

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
アドレス設定時間 (対 DS_B↓[RD_B↓])	t _{SADDS}		10			ns
CS_B 設定時間 (対 DS_B↓[WR_B↓])	t _{SCSDS}		5			ns
RW_B[RD_B]設定時間 (対 DS_B↓[WR_B↓])	t _{SRWDS}		5			ns
データ設定時間 (対 DS_B↑[WR_B↑])	t _{SDADS}		15			ns
アドレス保持時間 (対 DS_B↑[WR_B↑])	t _{HADDS}		4			ns
CS_B 保持時間 (対 DS_B↑[WR_B↑])	t _{HCSDS}		0			ns
RW_B[RD_B]保持時間 (対 DS_B↑[WR_B↑])	t _{HRWDS}		0			ns
データ保持時間 (対 DS_B↑[WR_B↑])	t _{HDADS}		4			ns
★ DS_B↓[WR_B↓]→ACK_B[RDY_B]ドライブ 開始遅延時間	t _{DAKDS}	負荷容量 : 30 pF	0		15	ns
DS_B↑[WR_B↑]→ACK_B[RDY_B]フロート 遅延時間	t _{IAKDS}	負荷容量 : 30 pF			10	ns
DS_B[RD_B]パルス幅 [※]	t _{WDS}		51.44			ns
★ DS_B↑[RD_B↑] → DS_B↓[RD_B↓]最小間隔	t _{DSINT}		7 × t _{CYRF}			ns

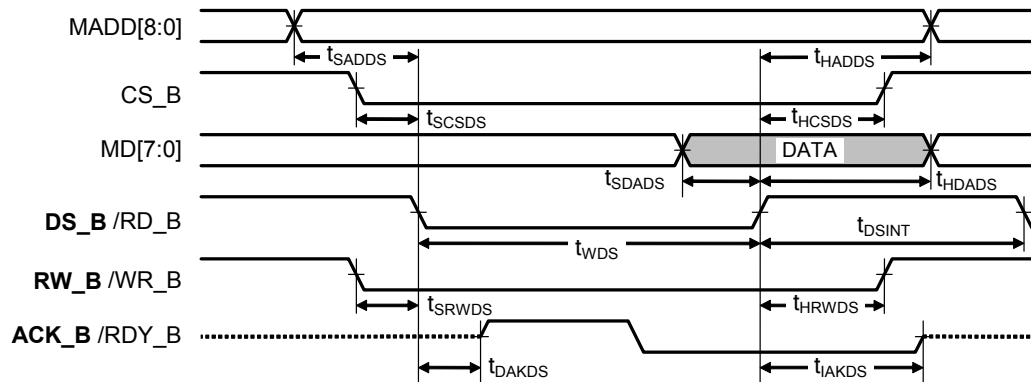
★ 注 t_{WDS} は、μPD98411 が DS_B[RD_B]をロウ・レベルと認識できる時間を規定しており、データを確実にリードできる DS_B[RD_B]のパルス幅を規定しているものではありません。

DS_B[RD_B]がロウ・レベルになってから、μPD98411 が ACK_B[RDY_B]をロウ・レベルにするまでの時間は、アクセスするレジスタによって異なります。DS_B[RD_B]は、ACK_B[RDY_B]がロウ・レベルになったことを確認してからハイ・レベルにしてください。

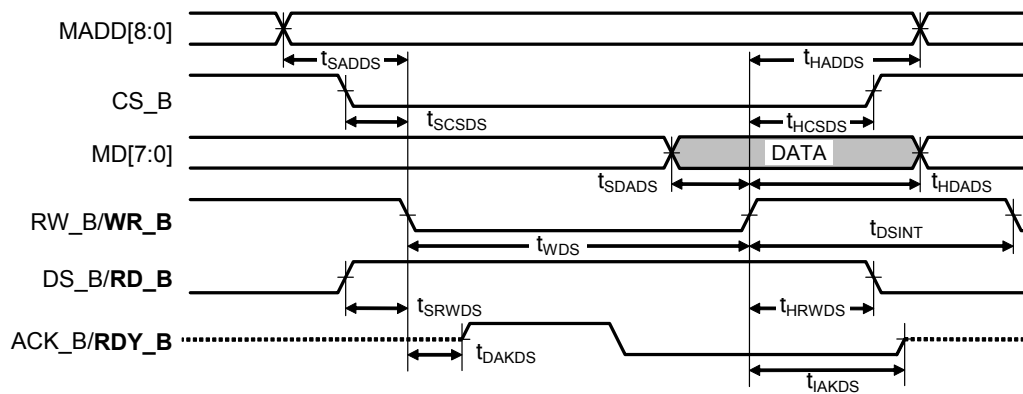
DS_B[RD_B]がロウ・レベルになってから、μPD98411 が ACK_B[RDY_B]をロウ・レベルにするまでの時間は、最大でも「4.5 × t_{CYRF}」です。ACK_B[RDY_B]を使用せずに、どのレジスタに対してもリードを行えるようにする場合は、DS_B[RD_B]のパルス幅を少なくとも「4.5 × t_{CYRF}」以上にしてください。

★ 備考 t_{CYRF} は、REFCLK 端子に入力される 19.44 MHz クロックの周期です。

★ (i) BMODE = "0"

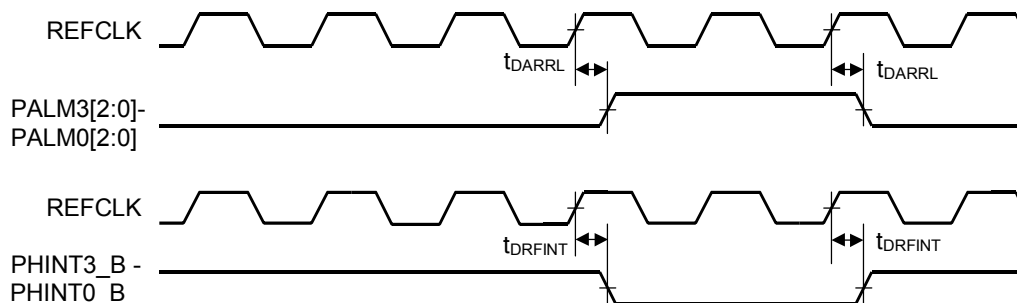


★ (ii) BMODE = "1"



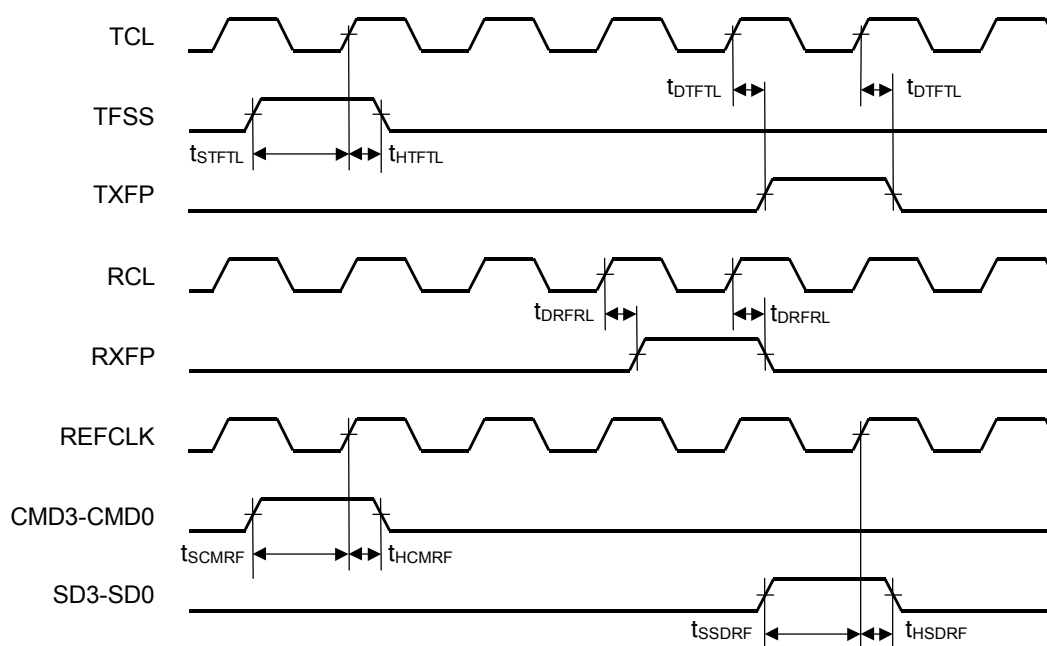
OAM インタフェース

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
REFCLK↑ → PALM3[2:0]-PALM0[2:0]遅延時間	tDARRL	負荷容量 : 30 pF			25	ns
REFCLK↑ → PHINT3_B-PHINT0_B 遅延時間	tDRFINT				25	ns



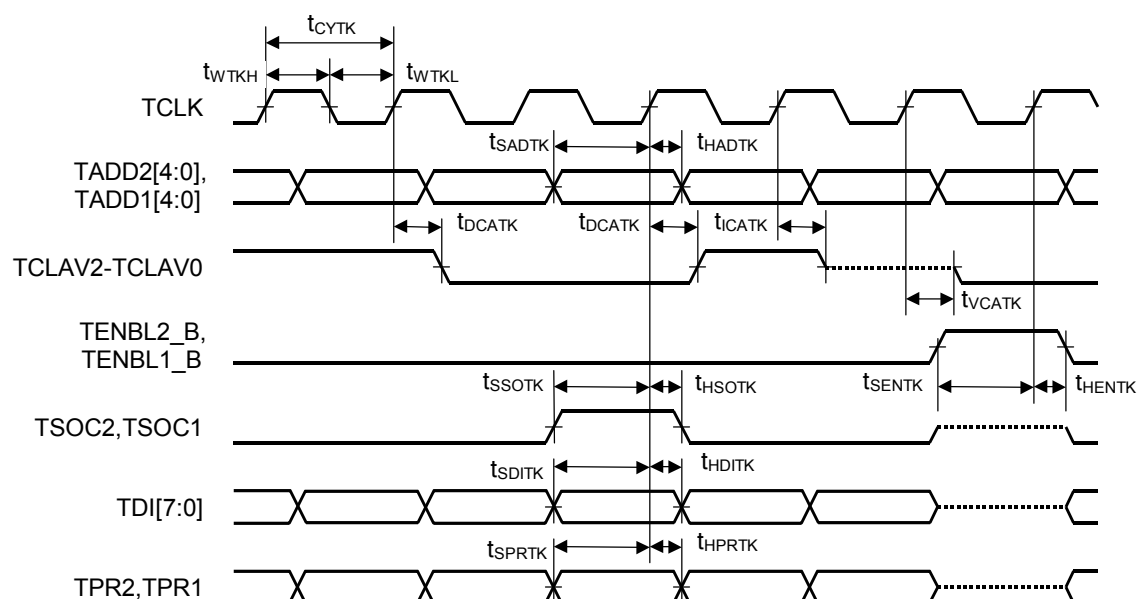
コントロール・シグナル・インタフェース

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
TFSS 設定時間 (対 TCL↑)	tSTFTL		20			ns
TFSS 保持時間 (対 TCL↑)	tHTFTL		5			ns
TCL↑ → TXFP 遅延時間	tDTFTL	負荷容量 : 30 pF			25	ns
RCL↑ → RXFP 遅延時間	tDRFRL	負荷容量 : 30 pF			25	ns
CMD 設定時間 (対 REFCLK)	tSCMRF		20			ns
CMD 保持時間 (対 REFCLK)	tHCMRF		5			ns
SD 設定時間 (対 REFCLK)	tSSDRF		20			ns
SD 保持時間 (対 REFCLK)	tHSDRF		5			ns



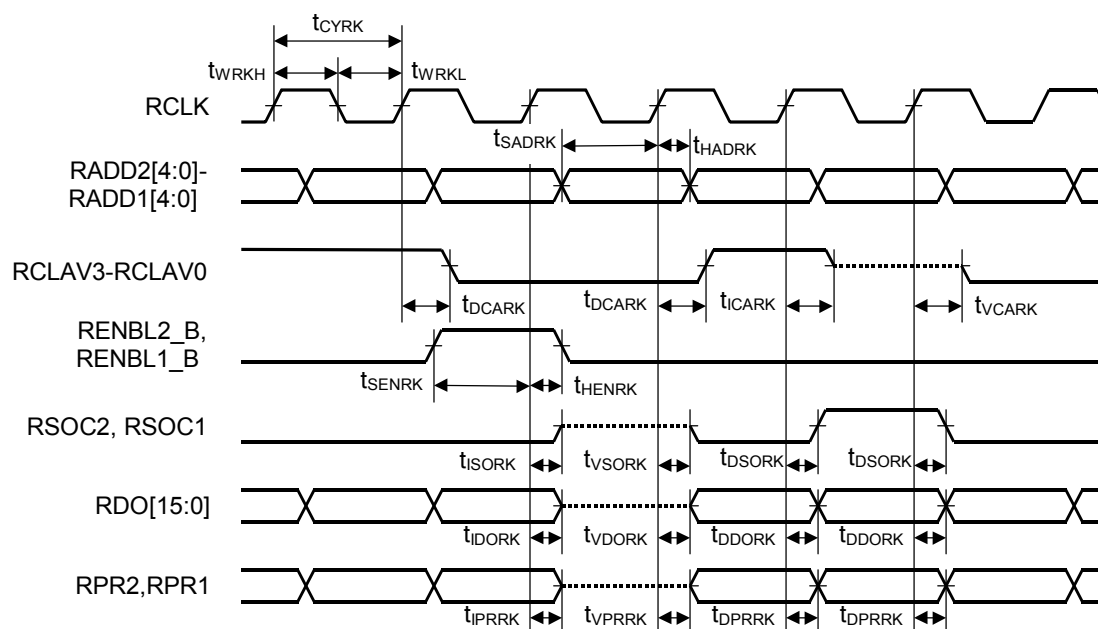
UTOPIA インタフェース (送信側)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
TCLK サイクル時間	t_{CYTK}		20		125	ns
TCLK ハイ・レベル幅	t_{WTKH}		$0.4 \times t_{CYTK}$		$0.6 \times t_{CYTK}$	ns
TCLK ロウ・レベル幅	t_{WTKL}		$0.4 \times t_{CYTK}$		$0.6 \times t_{CYTK}$	ns
TCLK↑ → TCLAV↓ 遅延時間	t_{DCATK}	負荷容量 : 30 pF	1		14	ns
TCLK↑ → TCLAV 出力遅延時間	t_{VCATK}	負荷容量 : 30 pF	1		14	ns
TCLK↑ → TCLAV データ・フロート 遅延時間	t_{ICATK}	負荷容量 : 30 pF	1		20	ns
TDI 設定時間 (対 TCLK↑)	t_{SDITK}		4			ns
TDI 保持時間 (対 TCLK↑)	t_{HDITK}		1			ns
TSOC 設定時間 (対 TCLK↑)	t_{SSOTK}		4			ns
TSOC 保持時間 (対 TCLK↑)	t_{HSOTK}		1			ns
TPR 設定時間 (対 TCLK↑)	t_{SPRTK}		4			ns
TPR 保持時間 (対 TCLK↑)	t_{HPRTK}		1			ns
TADD 設定時間 (対 TCLK↑)	t_{SADTK}		4			ns
TADD 保持時間 (対 TCLK↑)	t_{HADTK}		1			ns
TENBL_B 設定時間 (対 TCLK↑)	t_{SENTK}		4			ns
TENBL_B 保持時間 (対 TCLK↑)	t_{HENTK}		1			ns



UTOPIA インタフェース (受信側)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
RCLK サイクル時間	t_{CYRK}		20		125	ns
RCLK ハイ・レベル幅	t_{WRKH}		$0.4 \times t_{CYRK}$		$0.6 \times t_{CYRK}$	ns
RCLK ロウ・レベル幅	t_{WRKL}		$0.4 \times t_{CYRK}$		$0.6 \times t_{CYRK}$	ns
RCLK↑ → RCLAV↑↓ 遅延時間	t_{DCARK}	負荷容量 : 30 pF	1		14	ns
RCLK↑ → RCLAV 出力遅延時間	t_{VCARK}	負荷容量 : 30 pF	1		14	ns
RCLK↑ → RCLAV データ・フロート遅延時間	t_{ICARK}	負荷容量 : 30 pF	1		20	ns
RCLK↑ → RDO↑↓ 遅延時間	t_{DDORK}	負荷容量 : 30 pF	1		14	ns
RCLK↑ → RDO 出力遅延時間	t_{VDORK}	負荷容量 : 30 pF	1		14	ns
RCLK↑ → RDO データ・フロート遅延時間	t_{IDORK}	負荷容量 : 30 pF	1		20	ns
RCLK↑ → RSOC↑↓ 遅延時間	t_{DSORK}	負荷容量 : 30 pF	1		14	ns
RCLK↑ → RSOC 出力遅延時間	t_{VSORK}	負荷容量 : 30 pF	1		14	ns
RCLK↑ → RSOC データ・フロート遅延時間	t_{ISORK}	負荷容量 : 30 pF	1		20	ns
RCLK↑ → RPR↑↓ 遅延時間	t_{DPRRK}	負荷容量 : 30 pF	1		14	ns
RCLK↑ → RPR 出力遅延時間	t_{VPRRK}	負荷容量 : 30 pF	1		14	ns
RCLK↑ → RPR データ・フロート遅延時間	t_{IPRRK}	負荷容量 : 30 pF	1		20	ns
RADD 設定時間 (対 RCLK↑)	t_{SADRK}		4			ns
RADD 保持時間 (対 RCLK↑)	t_{HADRK}		1			ns
RENBL_B 設定時間 (対 RCLK↑)	t_{SENRK}		4			ns
RENBL_B 保持時間 (対 RCLK↑)	t_{HENRK}		1			ns

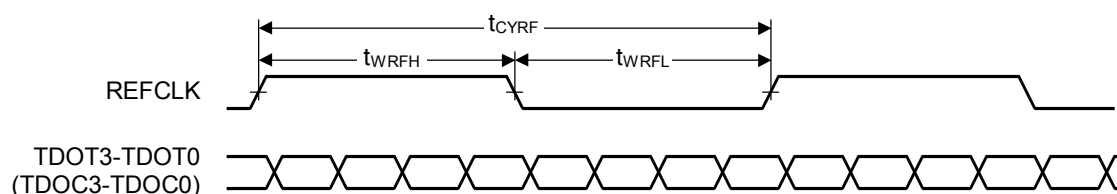


PMD インタフェース (送信側)

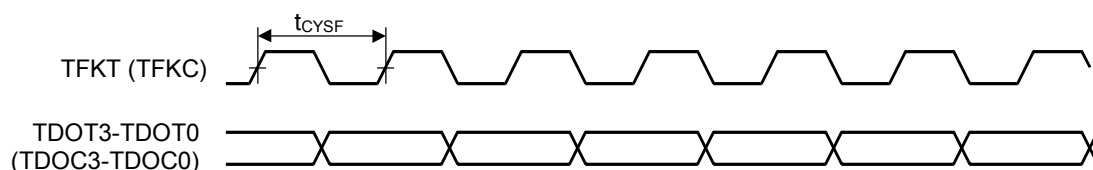
項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
REFCLK サイクル時間 [※]	t_{CYRF}		- 20 ppm	51.4403	+ 20 ppm	ns
REFCLK ハイ・レベル幅	t_{WRFH}		$0.4 \times t_{CYRF}$		$0.6 \times t_{CYRF}$	ns
REFCLK ロウ・レベル幅	t_{WRFL}		$0.4 \times t_{CYRF}$		$0.6 \times t_{CYRF}$	ns
TFKT(TFKC)サイクル時間	t_{CYSF}		- 0.005 UI	6.43	+ 0.005 UI	ns

注 TCL 信号 0.01 UI 以下のジッタを実現するためには、少なくとも 40 ppm 精度以上の基準信号を入力しなくてはなりません。

(i) クロック・シンセサイザ使用時

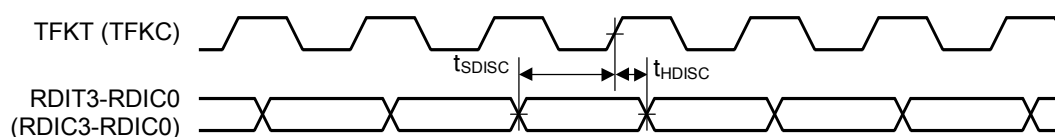


(ii) 外部シリアル・クロック使用時



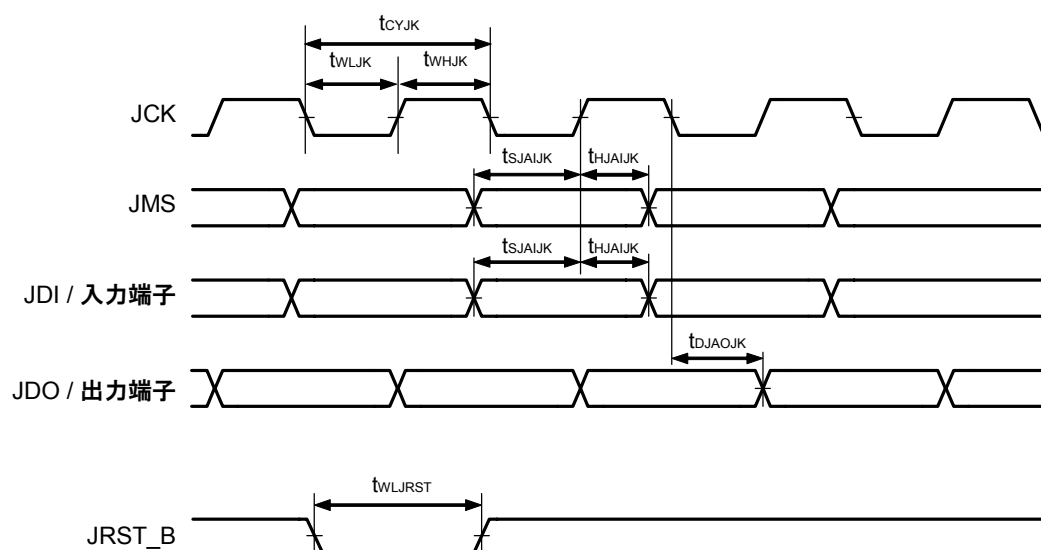
PMD インタフェース (受信側)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
RDIT(RDIC)設定時間 (対 TFKT(TFKC))	t_{SDISC}	外部 PLL 使用時	1			ns
RDIT(RDIC)保持時間 (対 TFKT(TFKC))	t_{HDISC}	外部 PLL 使用時	4			ns



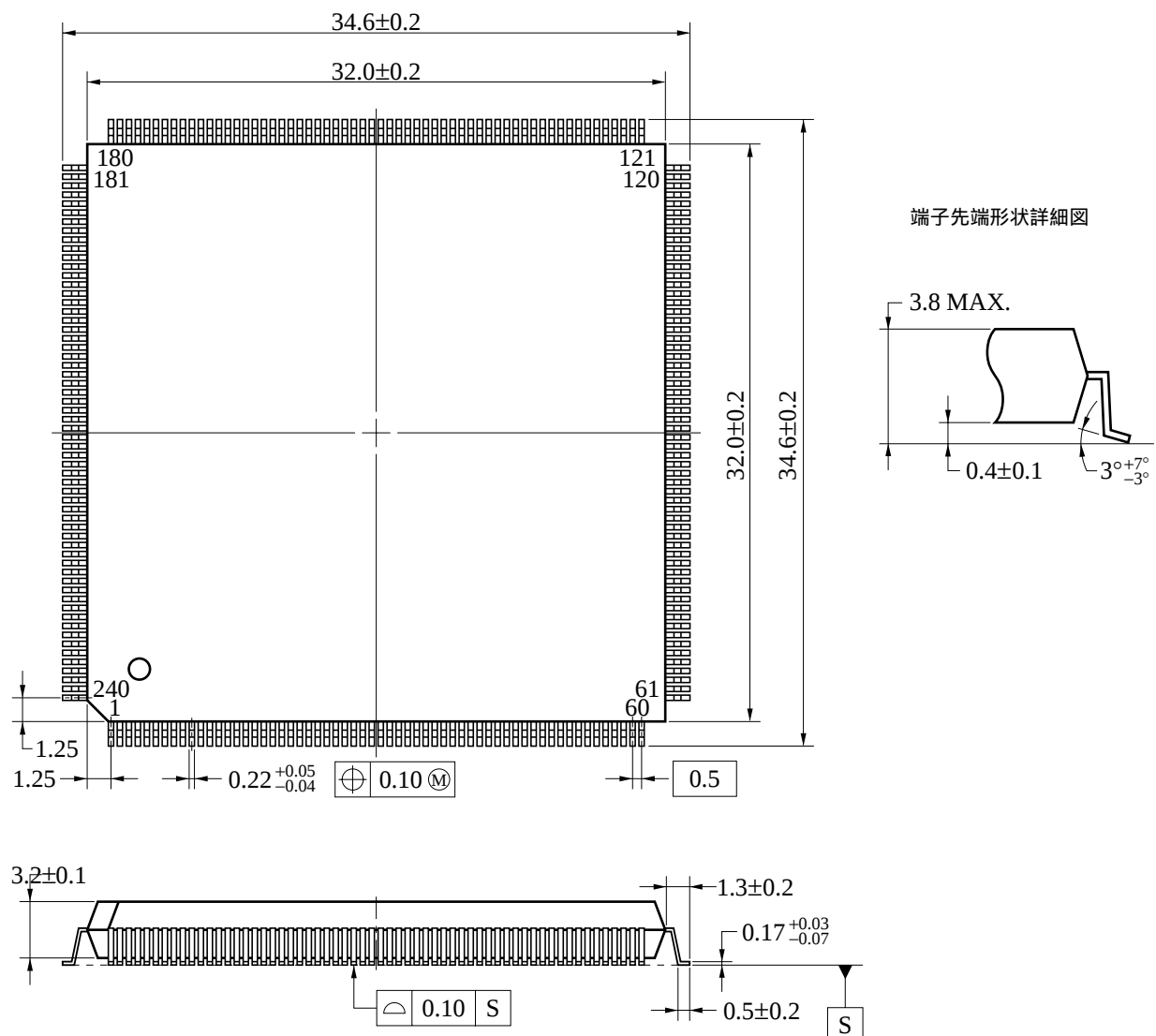
★ JTAG インタフェース

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
JCK サイクル	t_{CYJK}		100			ns
JCK ハイ・レベル幅	t_{WHJK}		40			ns
JCK ロウ・レベル幅	t_{WLJK}		40			ns
JDI/JMS/入力端子設定時間 (対 JCK↑)	t_{SJAIJK}		10		—	ns
JDI/JMS/入力端子保持時間 (対 JCK↑)	t_{HJAIJK}		10		—	ns
JCK↓ → JDO/出力端子出力遅延時間	t_{DJAOJK}	負荷容量 : 30 pF	0		25	ns
JRST_B アサート時間	t_{WLJRST}		$1 \times t_{CYJK}$		—	ns



3. 外形図

240ピン・プラスチック QFP (ファインピッチ) (32x32) 外形図 (単位: mm)



P240GN-50-LMU,MMU,SMU-4

★ 4. 半田付け推奨条件

この製品の半田付け実装は、次の条件で実施してください。

なお、推奨条件以外の半田付け方法および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/>)

表面実装タイプの半田付け条件

μPD98411GN-MMU : 240 ピン・プラスチック QFP (ファインピッチ) (32 × 32 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30 秒以内（210℃ 以上），回数：2 回以内， 制限日数 ^注 ：3 日間（以降は 125℃ ブリベーク 20 時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR35-203-2
VPS	パッケージ・ピーク温度：215℃，時間：40 秒以内（200℃ 以上），回数：2 回以内， 制限日数 ^注 ：3 日間（以降は 125℃ ブリベーク 20 時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	VP15-203-2
端子部分加熱	端子温度：300℃ 以下，時間：3 秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は 20℃，65%RH 以下。

注意 半田付け方式の併用は避けください（ただし，端子部分加熱方式を除く）。

[メモ]

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

NEASCOT-P40 は、日本電気株式会社の商標です。

- 本資料に記載されている内容は2005年3月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

（注）

（１）本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

（２）本事項において使用されている「当社製品」とは、（１）において定義された当社の開発、製造製品をいう。

M8E 02.11

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL（アドレス） <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00、午後 1:00～5:00）

電 話 ： 044-435-9494

E-mail ： info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。