

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ATM LIGHT SAR CONTROLLER

μ PD98409 (NEASCOT-S40C™) は、ATMセルのセグメンテーションとリアセンブリを行う高性能SARチップです。PCI (Peripheral Component Interconnect) バス・インタフェース、コントロール・メモリを内蔵、CPUの画像圧縮データ転送負荷を軽減するMPEGパケット・トランスファ・エンジン機能をサポートし、ATMネットワークとインタフェースするセット・トップ・ボックス (STB) に使用するのに適した仕様となっています。 μ PD98409は、ATMフォーラム勧告に適合しており、AAL-5 SARサブレイヤおよびATMレイヤの機能を内蔵しています。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD98409ユーザーズ・マニュアル：S12776J

特 徴

- ATMフォーラムに適合
- PCIバス・インタフェース内蔵 (5/3.3V, 32/64bit, 33MHz)
PCI Specification Revision 2.1に適合
- AAL-5 SARサブレイヤおよびATMレイヤの機能を内蔵
- AAL-5処理をハードウェアでサポート (非AAL-5はソフトウェアでの処理が可能)
- 最大64個の仮想チャネル (VC) をサポート (64VCのコントロール・メモリ内蔵)
- 送信スケジューリングを行うトラフィック・シェーパを2個内蔵
- CPUの画像圧縮データ転送負荷を軽減するMPEGパケット・トランスファ・エンジン
- 12セル分の受信FIFOを内蔵
- PHYデバイス・インタフェース：UTOPIA Level-1インタフェース (オクテット/セル・レベル・ハンドシェイク)
- JTAGバウンダリ・スキャン・テスト機能
- 0.35 μ m CMOSプロセス, +5/+3.3V電源
 - バス・インタフェース +5V : +5/+3.3V電源
 - バス・インタフェース +3.3V : +3.3V単一電源

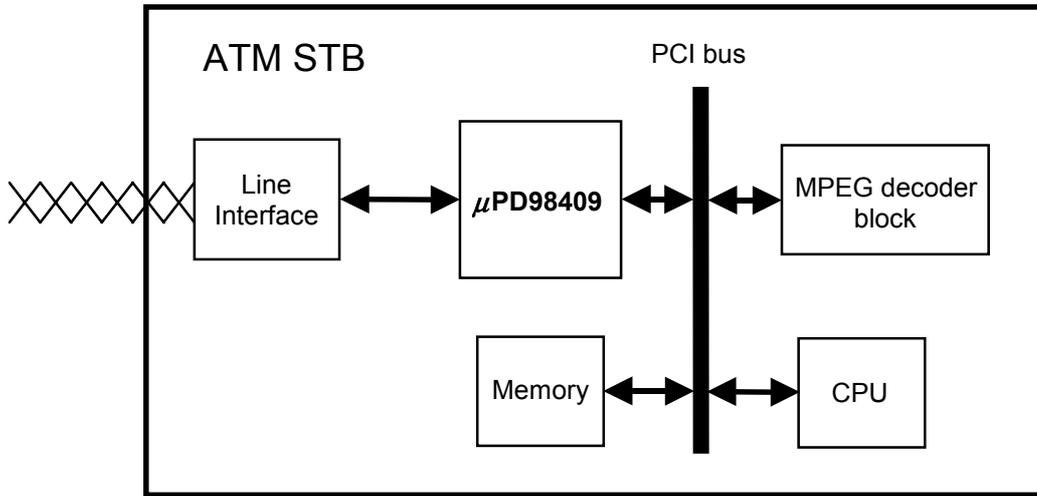
オーダ情報

	オーダ名称	パッケージ
	μ PD98409GN-LMU	240ピン・プラスチックQFP (ファインピッチ) (32×32)
★	μ PD98409GN-LMU-A	240ピン・プラスチックQFP (ファインピッチ) (32×32)

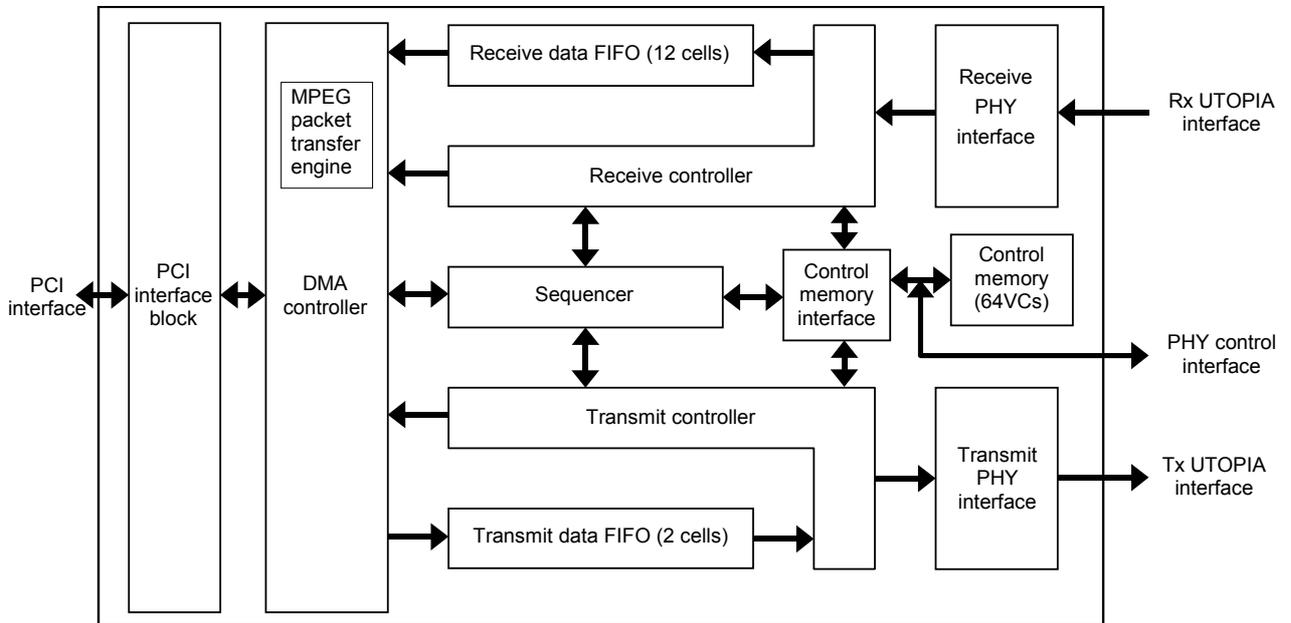
備考 μ PD98409GN-LMU-Aは鉛フリー製品です。

本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

システム構成例



ブロック図



端子名称

AD31-AD0	:Address/Data	PO3-PO0	:Generic Output Port
BUSCLK	:Bus Clock	RCLK	:Receive Clock
CA8-CA0	:PHY Device Address	RENBL_B	:Receive Enable
CD7-CD0	:PHY Device Data	REQ_B	:Request
DEVSEL_B	:Device Select	RSOC	:Receive Start of Cell
E2PCLK	:Clock for EEPROM™	RST_B	:Reset
E2PCS	:EEPROM Chip Select	RSTOUT_B	:Reset Output
E2PDI	:Serial Data Input from EEPROM	Rx7-Rx0	:Receive Data Bus
E2PDO	:Serial Data Output to EEPROM	SERR_B	:System Error
EMPTY_B/RxCLAV	:PHY Empty / Rx Cell Available	STOP_B	:Stop
FRAME_B	:Cycle Frame	TCLK	:Transmit Clock
FULL_B/ TxCLAV	:PHY Buffer Full / Tx Cell Available	TENBL_B	:Transmit Enable
GND	:Ground	TRDY_B	:Target Ready
GNT_B	:Grant	TSOC	:Transmit Start of Cell
IDSEL	:ID Select	Tx7-Tx0	:Transmit Data Bus
INTR_B	:Interrupt	V _{DD3}	:+3.3V Power Supply
IRDY_B	:Initiator Ready	V _{DD5}	:+5V Power Supply
JCK	:JTAG Test Pin		
JDI	:JTAG Test Pin		
JDO	:JTAG Test Pin		
JMS	:JTAG Test Pin		
JRST_B	:JTAG Test Pin		
LA5-LA0	:Internal Test Pin		
LASTB	:Internal Test Pin		
PAR	:Parity		
PCBE_B3-PCBE_B0	:Bus Command and Byte Enables		
PERR_B	:Parity Error		
PHCE_B	:PHY Chip Enable		
PHINT_B	:PHY Interrupt		
PHOE_B	:PHY Output Enable		
PHRW_B	:PHY Read/Write		
PHYSEL1	:PHY Select		

目 次

1 . 端子機能	...	6
1.1 PHYデバイス・インタフェース端子	...	6
1.1.1 UTOPIAインタフェース	...	6
1.1.2 PHYデバイス・コントロール・インタフェース	...	8
1.2 バス・インタフェース端子	...	9
1.3 シリアルEEPROMインタフェース端子	...	12
1.4 JTAGバウンダリ・スキャン端子	...	13
1.5 その他の端子	...	14
1.6 電源およびグランド端子	...	14
2 . 電気的特性	...	15
3 . 外形図	...	36
4 . 半田付け推奨条件	...	37

1. 端子機能

μPD98409の機能端子について説明します。各端子の使用方法的詳細説明、および注意事項は、μPD98409ユーザーズ・マニュアル(資料番号：S12776J)に記載されていますので、必ず参照してください。

以下に表中のI/Oレベルの記述を説明します。

- LV-TTL input : 5V CMOS outputに接続可
- TTL output : 5V TTL inputに接続可, $V_{OH}=3.3V$, $I_{OL}=6mA$
- CMOS output : 3.3V CMOS output, $V_{OH}=3.3V$, $I_{OL}=12mA$
- PCI input : 5/3.3V PCI input
- PCI output : 5/3.3V PCI output

1.1 PHYデバイス・インタフェース端子

PHYデバイス・インタフェースには、μPD98409がATMセルをPHYデバイスとの間で転送し合うためのUTOPIAインタフェースと、PHYデバイスを制御するためのPHYコントロール・インタフェースがあります。

1.1.1 UTOPIAインタフェース

(1 / 2)

端子名	端子番号	I/O	I/Oレベル	機能
Rx7-Rx0	116-119, 123-126	I	LV-TTL	受信データ・バス Rx7-Rx0は、8ビット入力バスです。ネットワークからの受信データを、PHYデバイスからバイト形式で入力します。 μPD98409はRCLKの立ち上がりエッジに同期してデータを取り込みます。
RSOC	133	I	LV-TTL	受信セル開始位置信号 RSOC信号は、PHYデバイスからセル・データの1バイト目に同期して入力される信号です。Rx7-Rx0にヘッダの1バイト目が入力されている間、ハイ・レベルを入力します。
RENBL_B	132	O	TTL	受信イネーブル RENBL_B信号は、μPD98409が次のクロック・サイクルでデータ受信可能であることをPHYデバイスに示します。
EMPTY_B/ RxCLAV	131	I	LV-TTL	PHY出力バッファ・エンプティ / Rxセル・アベイラブル 受信FIFOに転送すべきセル・データが存在せず、PHYデバイスが受信データを供給できないことをμPD98409に通知する信号です。UTOPIAインタフェースのモードがオクテット・レベル・ハンドシェークのとき、EMPTY_B信号として機能し現クロック・サイクルにおけるRx7-Rx0上のデータが無効であることを通知します。セル・レベル・ハンドシェークにおいては、RxCLAV信号として機能し、現在のセル転送終了後、次に供給するセルがないことを通知します。

(2 / 2)

端子名	端子番号	I/O	I/Oレベル	機能
RCLK	128	O	TTL	受信クロック 受信側でPHYデバイスとセル・データを転送し合うための同期用のクロックです。BUSCLK端子に入力されたシステム・クロックがそのまま出力されます。
Tx7-Tx0	141-144, 146-149	O	TTL	送信データ・バス Tx7-Tx0は8ビット出力バスです。送信データを、PHYデバイスへバイト形式で出力します。μPD98409はTCLKの立ち上がりエッジに同期してデータを出力します。
TSOC	135	O	TTL	送信セル開始位置信号 TSOC信号は、送信セル・データの1バイト目に同期して出力される信号です。
TENBL_B	136	O	TTL	送信イネーブル TENBL_B信号は、現在のクロック・サイクルでTx7-Tx0にデータが出力されていることをPHYデバイスに示します。
FULL_B/ TxCLAV	134	I	LV-TTL	PHYレイヤ・バッファ・フル/Txセル・アベイラブル PHYデバイスの入力バッファが一杯で、これ以上データを受け入れられないことをμPD98409に通知する信号です。 UTOPIAインタフェースのモードがオクテット・レベル・ハンドシェイクのとき、PHYデバイスはセル・データを受けとれる場合にインアクティブを入力します。セル・レベル・ハンドシェイクにおいては、現在のセル転送終了後、次の1セル・データすべてを受けとれることを通知する信号を入力します。
TCLK	138	O	TTL	送信クロック 送信側でPHYデバイスとセル・データを転送し合うための同期用のクロックです。BUSCLK端子に入力されたシステム・クロックがそのまま出力されます。

1.1.2 PHYデバイス・コントロール・インタフェース

端子名	端子番号	I/O	I/Oレベル	機能
PHRW_B	153	O	TTL	PHYリード/ライト μPD98409は、PHRW_BによってPHYデバイス制御の方向を示します。 1: リード 0: ライト
PHOE_B	165	O	TTL	PHYレイヤ出力イネーブル μPD98409は、PHOE_Bをロウ・レベルにすることにより、PHYデバイスからの出力をイネーブルにします。
PHCE_B	166	O	TTL	PHYレイヤ・チップ・イネーブル μPD98409は、PHYデバイスにアクセスするときPHCE_Bをロウ・レベルにします。
PHINT_B	152	I	LV-TTL	PHYレイヤ割り込み PHYデバイスからの割り込み信号入力端子です。PHYデバイスはPHINT_Bにロウ・レベルを入力することにより、割り込み要因を持つことを μPD98409に示します。
RSTOUT_B	232	O	TTL	リセット出力 PHYデバイスをリセットするための信号です。RST_B端子にロウ・レベルが入力されたとき、またはソフトウェア・リセットが実行されたとき、μPD98409はこの端子を11-22クロック・サイクルの間、ロウ・レベルにします。
CD7-CD0	154, 155, 157-159, 162-164	I/O 3ステート	LV-TTL in TTL out	PHYデバイス・データ CD7-CD0は8ビットのデータ・バスです。3ステート入出力端子です。PHYデバイスとのデータ転送に使用します。
CA8-CA0	178-175, 173-170, 167	O	TTL	PHYデバイス・アドレス CA8-CA0は9ビットのアドレス・バスです。リード/ライト動作時にPHYデバイスにアドレスを出力します。

1.2 バス・インタフェース端子

μPD98409は、ホストとのバス・インタフェースに32ビットのPCIバス・インタフェースを採用しています。“PCI Local Bus Specification Revision2.1”に適合しています。

(1 / 3)

端子名	端子番号	I/O	I/Oレベル	機能
AD31-AD0	238, 239, 3-6, 9, 10, 16-19, 22-25, 42-45, 48-51, 55-57, 62-65, 68	I/O 3ステート	PCI	アドレス/データ AD31-AD0は、32ビットのマルチプレクス・アドレスおよびデータ・バス信号です。バス・マスタとして動作する場合、μPD98409は最初の1クロック目でアドレスをドライブします。2クロック目からはデータが転送されます。
PCBE3_B PCBE2_B PCBE1_B PCBE0_B	11 27 39 54	I/O 3ステート	PCI	バス・コマンド/バイト・イネーブル アドレス・フェーズでは、これらの信号は“バス・コマンド”(発生するバス・トランザクション)を定義します。データ・フェーズでは、どのバイト・レーンが有効なデータを保持しているかを示します。PCBE3_B端子は、バイト3(ビット31-ビット24)に、PCBE0_B端子は、バイト0(ビット7-ビット0)に対応します。
PAR	38	I/O 3ステート	PCI	パリティ この信号は、PAR信号を含むAD31-AD0およびPCBE3_B-PCBE0_B端子上の偶数パリティの入出力を行います。マスタ動作の場合、PAR信号はアドレスおよびライト・データ・フェーズ中に出力になります。ターゲットとして動作する場合にはリード・データ・フェーズ中に出力になります。
FRAME_B	28	I/O サステインド 3ステート	PCI	フレーム この信号は、バス・トランザクションの開始と期間を示します。この信号がアクティブになると、バス・トランザクションの開始を示します。アクティブの間、データ転送が行われ、次のデータ転送フェーズがそのトランザクションの中の最後のデータ転送になったときにインアクティブになります。
TRDY_B	30	I/O サステインド 3ステート	PCI	ターゲット・レディ ターゲット・デバイスが現在のデータ・フェーズのトランザクションを完了する準備ができたとき、この信号はロウ・レベルになります。この信号はIRDY_Bと組み合わせて使われ、IRDY_BとTRDY_B信号の双方がロウ・レベルになっているタイミングでリード/ライト・データ転送が実行されます。

端子名	端子番号	I/O	I/Oレベル	機能
IRDY_B	29	I/O サステインド 3ステート	PCI	イニシエータ・レディ イニシエータが現在のデータ・フェーズのトランザクションを完了する準備ができたとき、この信号はロウ・レベルになります。この信号はTRDY_Bと組み合わせて使用され、IRDY_BとTRDY_B信号の双方がロウ・レベルになっているタイミングでリード/ライト・データ転送が実行されます。 FRAME_BとIRDY_Bがともにインアクティブになっているときは、バス・サイクルが実行されていない状態となります。IRDY_BとTRDY_Bと一緒にアクティブになるまでウエイト・サイクルが挿入されます。
STOP_B	34	I/O サステインド 3ステート	PCI	ストップ この信号は、ターゲット・デバイスがマスタ・デバイスに対して、現在のトランザクションの中止を要求するときにロウ・レベルになります。
DEVSEL_B	33	I/O サステインド 3ステート	PCI	デバイス・セレクト ターゲットとして動作する場合、FRAME_B信号がアクティブになったあと、μPD98409がアドレスを認識すると、この信号をロウ・レベルにします。マスタとして動作する場合は、ターゲット・デバイスが選択できたかどうか、この信号をサンプリングします。
IDSEL	13	I	PCI	初期化デバイス・セレクト この信号は、μPD98409のコンフィギュレーション・レジスタに対してリード/ライトを行うときにハイ・レベルが入力されます。
REQ_B	69	O ^注	PCI	リクエスト μPD98409はこの信号をロウ・レベルにして、アービタにバスの使用权を要求します。
GNT_B	71	I	PCI	grant この信号がロウ・レベルになると、アービタからバスの使用权がμPD98409に譲与されたことを示します。
PERR_B	35	I/O サステインド 3ステート	PCI	パリティ・エラー μPD98409がデータ・パリティ・エラーを検出したことを通知するための信号です。コンフィギュレーション・レジスタの“Parity Error Response”ビットが1にセットされている場合にイネーブルになります。

注 “PCI Local Bus Specification Revision 2.1”では、RST_B端子にロウ・レベルが入力されている期間、REQ_B端子はハイ・インピーダンスにならなければなりません。μPD98409のREQ_B端子はハイ・レベルを出力します。

(3 / 3)

端子名	端子番号	I/O	I/Oレベル	機能
SERR_B	37	O	N-Ch オープン・ ドレイン	システム・エラー μPD98409がアドレス・パリティ・エラーを検出したことを通知するための信号です。コンフィギュレーション・レジスタの“ Parity Error Response ” および “ System Error Enable ” ビットが共に1にセットされている場合にイネーブルになります。
INTR_B	75	O	N-Ch オープン・ ドレイン	割り込み出力 オープン・ドレイン信号です。プルアップして使用してください。INTR_Bは割り込みGSRレジスタの(マスクされていない)割り込みビットがセットされたことをCPUに知らせます。
BUSCLK	73	I	PCI	PCIバス・クロック バス・クロック入力端子です。33MHzまでのクロックを入力します。
RST_B	235	I	PCI	リセット RST_B信号により、μPD98409を初期化します(起動時など)。RST_Bにロウ・レベルを入力すると、μPD98409内部のステート・マシンやレジスタはリセットされ、すべての3ステート信号はハイ・インピーダンスになります。動作中に入力すると、そのときの動作状態は失われます。RST_Bへの入力は少なくとも1クロック・サイクルの間ロウ・レベルを保持してください。リセット後、少なくとも20クロック間は、μPD98409へのアクセスは行わないでください。

1.3 シリアルEEPROMインタフェース端子

μPD98409は、MICROWIRE™インタフェースに対応したシリアルEEPROM用のインタフェースを持っています。接続したEEPROMからPCIコンフィギュレーション・レジスタの一部の内容をロードすることができます。

接続するEEPROMはNational Semiconductor社製の“NM93C46L”を推奨します。

端子名	端子番号	I/O	I/Oレベル	機能
E2PCS	84	O	TTL	EEPROMチップ・セレクト EEPROM用のチップ・セレクト信号です。 未使用時は、オープンにしてください。
E2PDI	83	I	TTL 内部 プルアップ	EEPROMデータ入力 EEPROMのデータ出力端子に接続します。 未使用時は、プルアップまたはオープンにしてください。
E2PDO	82	O	TTL	EEPROMデータ出力 EEPROMのデータ入力端子に接続します。 未使用時は、オープンにしてください。
E2PCLK	79	O	TTL	EEPROMクロック EEPROMとのデータ転送に必要なクロックを供給します。 BUSCLK端子に入力されるクロックを36分周して出力します。 未使用時は、オープンにしてください。

1.4 JTAGバウンダリ・スキャン端子

(お客様のご要求により、本機能をサポートすることができます。)

端子名	端子番号	I/O	I/Oレベル	機能
JDI	216	I	LV-TTL	JTAGテスト・データ入力 JDI端子は、JTAGバウンダリ・スキャン回路レジスタにデータを入力するための端子です。 通常動作時は、ハイ・レベル固定またはロウ・レベル固定にしてください。
JDO	217	O 3ステート	TTL	JTAGテスト・データ出力 JDO端子は、JTAGバウンダリ・スキャン回路レジスタから、データを出力するための端子です。JCK端子に入力されるクロックの立ち下がりで出力を変化させます。 通常動作時はオープンにしてください。
JCK	214	I	LV-TTL	JTAGテスト・クロック JTAGバウンダリ・スキャン回路レジスタへのクロックの供給に使用します。 通常動作時は、ハイ・レベル固定またはロウ・レベル固定にしてください。
JMS	218	I	LV-TTL	JTAGテスト・モード・セレクト 通常動作時は、ハイ・レベル固定またはロウ・レベル固定にしてください。
JRST_B	219	I	LV-TTL	JTAGテスト・リセット JTAGバウンダリ・スキャン回路を初期化するための端子です。 通常動作時はロウ・レベル固定にしてください。

備考 通常動作時のJTAGバウンダリ・スキャン用端子の処置について

JTAGロジックは、RST_B端子へのパルス入力ではリセットがかかりません。

JTAG ロジックがリセット状態にないと、μ PD98409は通常動作を行えない場合があります。JTAG ロジックのリセット方法には次の2つがありますので、JRST_B 端子をグラウンドに接続していない場合には、電源投入後、必ずどちらかの方法で JTAG ロジックをリセットしてください。

・JRST_B 端子を使用せずに JTAG ロジックをリセット状態にする

JMS, JCK 端子を使用して、JTAG ロジックをリセット状態に移行させ、リセット状態から動かさないようにします (JRST_B 端子は、pull-up している状態です)。

JMS 端子を1に固定 (pull-up) して、JCK 端子に5クロック・サイクル以上入力してください。

・JRST_B 端子を使用して JTAG ロジックをリセット状態にする

JRST_B 端子にロウ・パルスを入力して、その後 JMS, JRST_B 端子を pull-up してハイ・レベルを維持していると、JTAG ロジックはリセット状態から動きませんので、通常動作に影響を及ぼしません。他の JDI, JCK 端子は、pull-down/pull-up のどちらかで入力レベルを固定してください。

1.5 その他の端子

端子名	端子番号	I/O	I/Oレベル	機能
PHYSEL1	225	I	LV-TTL	内部テスト用端子 ロウ・レベルを入力してください。
PO3-PO0	192-195	O	CMOS	汎用出力ポート 汎用出力端子です。GPORレジスタにライトした値が出力されます。
LA5-LA0	182-185 , 187 , 188	O	TTL	内部テスト用端子 通常動作時はオープンにしてください。
LASTB	189	O	TTL	内部テスト用端子 通常動作時はオープンにしてください。

1.6 電源およびグランド端子

端子名	端子番号	I/O	機能
V _{DD3}	21 , 40 , 61 , 81 , 91 , 100 , 120 , 130 , 140 , 151 , 160 , 169 , 181 , 190 , 201 , 206 , 220 , 240	-	+3.3V電源 チップに+3.3Vの電圧を供給します。
V _{DD5}	8 , 14 , 32 , 47 , 52 , 58 , 67 , 76 , 234 , 237	-	+5V電源 バス・インタフェース+5Vを使用するとき、+5Vの電圧を供給します。バス・インタフェース+3.3Vを使用するときは、+3.3Vの電圧を供給してください。
GND	1 , 2 , 7 , 12 , 15 , 20 , 26 , 31 , 36 , 41 , 46 , 53 , 59 , 60 , 66 , 70 , 72 , 74 , 77 , 78 , 80 , 85 , 90 , 96 , 98 , 101 , 110 , 112 , 121 , 122 , 127 , 129 , 137 , 139 , 145 , 150 , 156 , 161 , 168 , 174 , 179 , 180 , 186 , 191 , 196 , 200 , 207 , 213 , 215 , 221 , 223 , 228 , 233 , 236	-	グランド グランドに接続します。

2. 電気的特性

絶対最大定格

項目	略号	条件	定格	単位
電源電圧	V_{DD3}		- 0.5 ~ + 4.6	V
	V_{DD5} ^注	V_{DD3} V_{DD5}	- 0.5 ~ + 6.6	V
入力電圧	V_I	PCI端子以外, $V_I < V_{DD3} + 3.0V$	- 0.5 ~ + 6.6	V
		PCI端子	- 5.5 ~ + 11.0	V
出力電圧	V_O	PCI端子およびPO0-PO3以外, $V_O < V_{DD3} + 3.0V$	- 0.5 ~ + 6.6	V
		PO3-PO0, $V_O < V_{DD3} + 0.5V$	- 0.5 ~ + 4.6	V
		PCI端子	- 0.5 ~ + 6.6	V
出力電流	I_O	PCI端子およびPO0-PO3以外	20	mA
		PO3-PO0	40	mA
		PCI端子	20	mA
動作周囲温度	T_A		0 ~ + 70	
保存温度	T_{stg}		- 65 ~ + 150	

注 V_{DD5} : クランピング・ダイオード用の専用電源

注意 各項目のうち1項目でも、また、一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。
つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨動作条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V_{DD3}		3.0	3.3	3.6	V
	V_{DD5} ^注	+3.3V PCI	3.0	3.3	3.6	V
	V_{DD5} ^注	+5V PCI	4.75	5.00	5.25	V
動作周囲温度	T_A		0		+ 70	
ハイ・レベル入力電圧	V_{IH1}	PCI以外の入力端子	2.0		5.5	V
	V_{IH2}	RST_B端子	2.2		$V_{DD5} + 0.5$	V
	V_{IH3}	RST_B以外のPCI端子	2.0		$V_{DD5} + 0.5$	V
ロウ・レベル入力電圧	V_{IL1}	PCI以外の入力端子	0		+ 0.8	V
	V_{IL2}	PCI端子	- 0.5		+ 0.8	V

注 V_{DD5} : クランピング・ダイオード用の専用電源

DC特性 (T_A = 0 ~ +70 °C , V_{DD3} = +3.3 V ± 0.3V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	V _{OH1}	I _{OH} = -2.0 mA ^{注1}	2.4			V
	V _{OH2}	I _{OH} = -12.0 mA ^{注2}	2.4			V
ロウ・レベル出力電圧	V _{OL1}	I _{OL} = 3.0 mA ^{注3}			0.55	V
	V _{OL2}	I _{OL} = 6.0 mA ^{注4}			0.55	V
	V _{OL3}	I _{OL} = 6.0 mA ^{注5}			0.40	V
	V _{OL4}	I _{OL} = 12.0 mA ^{注6}			0.40	V
電源電流	I _{DD}	f _{CLK} = 33MHz, 通常送受信時		250	400	mA
入力リーク電流 (通常入力)	I _{I1}	V _I = V _{DD3}		± 10 ⁻⁴	± 10	μA
入力リーク電流 (プルアップ抵抗付きE2PDI端子)	I _{I2}	V _I = GND	10	80	200	μA

注1. V_{OH1}は, PO3-PO0端子以外の出力端子に適用。

2. V_{OH2}は, PO3-PO0端子に適用。

3. V_{OL1}は, PCI出力端子のうちAD31-AD0, PCBE3_B-PCBE0_B, PAR, REQ_Bおよび INTR_B端子に適用。

4. V_{OL2}は, PCI出力端子のうちFRAME_B, TRDY_B, IRDY_B, DEVSEL_B, STOP_B, SERR_Bおよび PERR_B端子に適用。

5. V_{OL3}は, PCI出力端子以外かつPO3-PO0端子以外の端子に適用。

6. V_{OL4}は, PO3-PO0端子に適用。

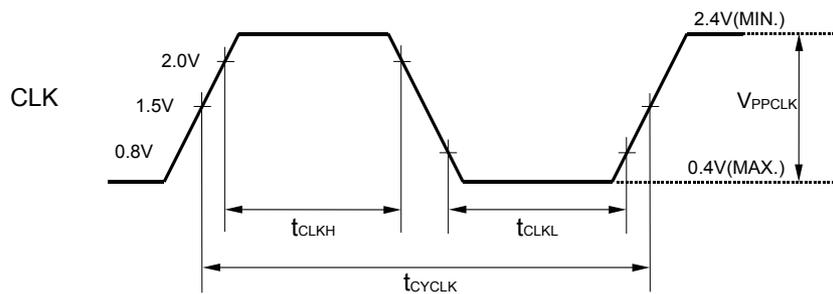
容量 (T_A = +25 °C , V_{DD3} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _{IN}	f = 1MHz		10	20	pF
出力容量	C _{OUT}	f = 1MHz		10	20	pF
入出力容量	C _{I/O}	f = 1MHz		10	20	pF

AC特性 ($T_A = 0 \sim +70 \text{ }^\circ\text{C}$, $V_{DD3} = +3.3 \text{ V} \pm 0.3\text{V}$)

BUSCLK入力

項目	略号	条件	MIN.	TYP.	MAX.	単位
CLKサイクル・タイム	t_{CYCLK}		30		125	ns
CLKハイ・レベル幅	t_{CLKH}		11			ns
CLKロウ・レベル幅	t_{CLKL}		11			ns
CLK振幅	V_{PPCLK}		2			V
CLKスルー・レート	slew_{CLK}		1		4	V/ns



RST入力

項目	略号	条件	MIN.	TYP.	MAX.	単位
RSTロウ・レベル幅	t_{RSTL}		t_{CYCLK}			ns
RSTスルーレート	slew_{RST}		50			mV/ns

PCIバス・インタフェース

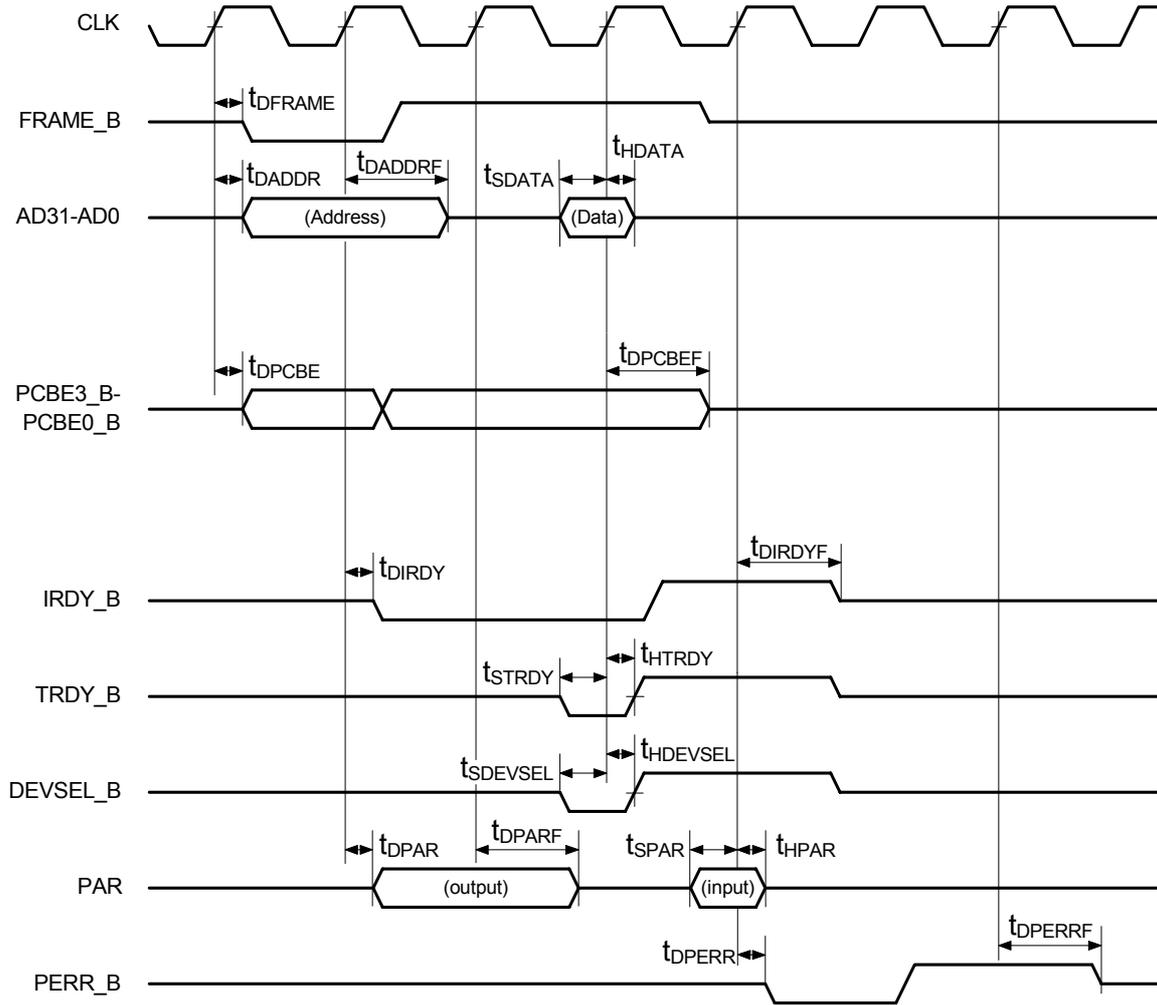
バス・マスタ・リード

項目	略号	条件	MIN.	TYP.	MAX.	単位
CLK↑→FRAME_B有効時間	t _{DFRAME}		2		11	ns
CLK↑ → AD (Address) 有効時間	t _{DADDR}		2		11	ns
CLK↑ → AD (Address) フロート時間	t _{DADDRF}				28	ns
AD (Data) セットアップ時間	t _{SDATA}		7			ns
AD (Data) ホールド時間	t _{HDATA}		2 ^{注1}			ns
CLK↑ → PCBE_B有効時間	t _{DPCBE}		2		11	ns
CLK↑ → PCBE_Bフロート時間	t _{DPCBEF}				28	ns
CLK↑ → IRDY_B有効時間	t _{DIRDY}		2		11	ns
CLK↑ → IRDY_Bフロート時間	t _{DIRDYF}				28	ns
TRDY_Bセットアップ時間	t _{STRDY}		9 ^{注2}			ns
TRDY_Bホールド時間	t _{HTRDY}		2 ^{注1}			ns
DEVSEL_Bセットアップ時間	t _{SDEVSEL}		7			ns
DEVSEL_Bホールド時間	t _{HDEVSEL}		2 ^{注1}			ns
CLK↑ → PAR有効時間	t _{DPAR}		2		11	ns
CLK↑ → PARフロート時間	t _{DPARF}				28	ns
PARセットアップ時間	t _{SPAR}		7			ns
PARホールド時間	t _{HPAR}		2 ^{注1}			ns
CLK↑ → PERR_B有効時間	t _{DPERR}		2		11	ns
CLK↑ → PERR_Bフロート時間	t _{DPERRF}				28	ns

注1. PCI Specification Revision2.1からの緩和スペック 0ns 2ns

2. PCI Specification Revision2.1からの緩和スペック 7ns 9ns

バス・マスタ・リード



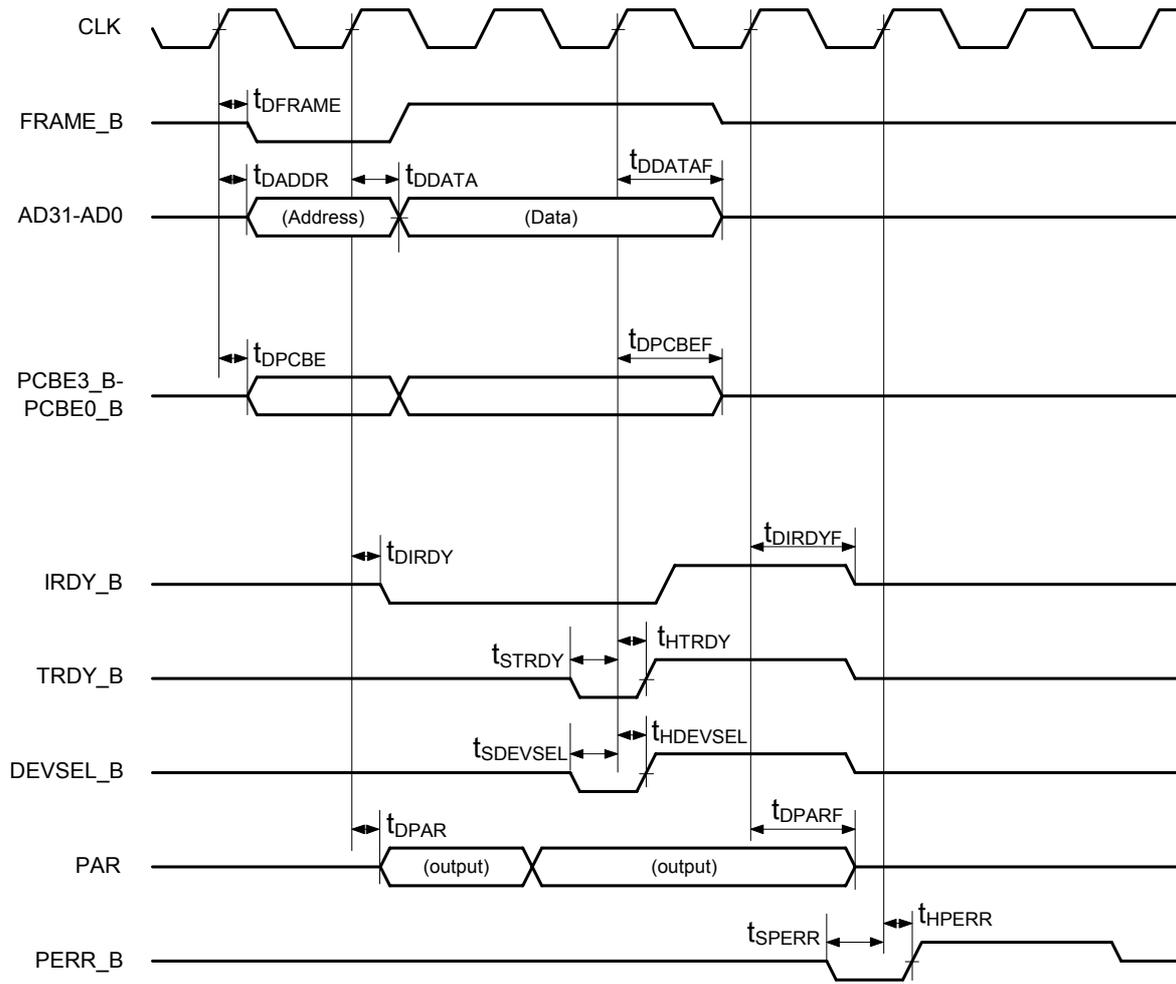
バス・マスタ・ライト

項目	略号	条件	MIN.	TYP.	MAX.	単位
CLK↑ → FRAME_B 有効時間	t _D FRAME		2		11	ns
CLK↑ → AD (Address) 有効時間	t _D ADDR		2		11	ns
CLK↑ → データ有効時間	t _D DATA		2		11	ns
CLK↑ → データ・フロート時間	t _D DATAF				28	ns
CLK↑ → PCBE_B有効時間	t _D PCBE		2		11	ns
CLK↑ → PCBE_Bフロート時間	t _D PCBEF				28	ns
CLK↑ → IRDY_B有効時間	t _D IRDY		2		11	ns
CLK↑ → IRDY_Bフロート時間	t _D IRDYF				28	ns
TRDY_Bセットアップ時間	t _S TRDY		9 ^{注2}			ns
TRDY_Bホールド時間	t _H TRDY		2 ^{注1}			ns
DEVSEL_Bセットアップ時間	t _S DEVSEL		7			ns
DEVSEL_Bホールド時間	t _H DEVSEL		2 ^{注1}			ns
CLK↑ → PAR有効時間	t _D PAR		2		11	ns
CLK↑ → PARフロート時間	t _D PARF				28	ns
PERR_Bセットアップ時間	t _S PERR		7			ns
PERR_Bホールド時間	t _H PERR		2 ^{注1}			ns

注1. PCI Specification Revision2.1からの緩和スペック 0ns 2ns

2. PCI Specification Revision2.1からの緩和スペック 7ns 9ns

バス・マスタ・ライト



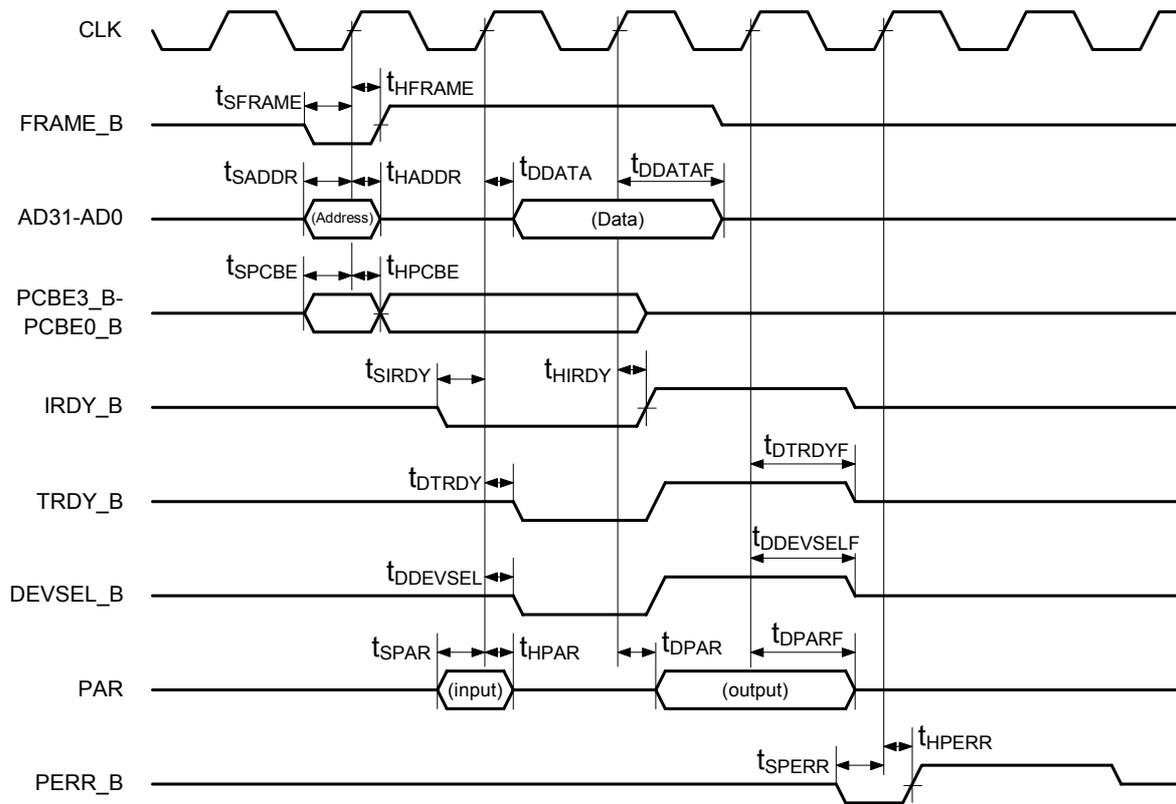
ターゲット・リード

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
FRAME_Bセットアップ時間	t _{SFRAME}		7			ns
FRAME_Bホールド時間	t _{HFRAME}		2 ^{注1}			ns
AD (Address) セットアップ時間	t _{SADDR}		7			ns
AD (Address) ホールド時間	t _{HADDR}		2 ^{注1}			ns
CLK↑ → AD (Data) 有効時間	t _{DDATA}		2		11	ns
CLK↑ → AD (Data) フロート時間	t _{DDATAF}				28	ns
PCBE_Bセットアップ時間	t _{SPCBE}		7			ns
PCBE_Bホールド時間	t _{HPCBE}		2 ^{注1}			ns
IRDY_Bセットアップ時間	t _{SIRDY}		9 ^{注2}			ns
IRDY_Bホールド時間	t _{HIRDY}		2 ^{注1}			ns
CLK↑ → TRDY_B有効時間	t _{DTRDY}		2		11	ns
CLK↑ → TRDY_Bフロート時間	t _{DTRDYF}				28	ns
CLK↑ → DEVSEL_B有効時間	t _{DDEVSEL}		2		11	ns
CLK↑ → DEVSEL_B フロート時間	t _{DDEVSELF}				28	ns
PARセットアップ時間	t _{SPAR}		7			ns
PARホールド時間	t _{HPAR}		2 ^{注1}			ns
CLK↑ → PAR有効時間	t _{DPAR}		2		11	ns
CLK↑ → PARフロート時間	t _{DPARF}				28	ns
PERR_Bセットアップ時間	t _{SPERR}		7			ns
PERR_Bホールド時間	t _{HPERR}		2 ^{注1}			ns

注1. PCI Specification Revision2.1からの緩和スペック 0ns 2ns

2. PCI Specification Revision2.1からの緩和スペック 7ns 9ns

ターゲット・リード



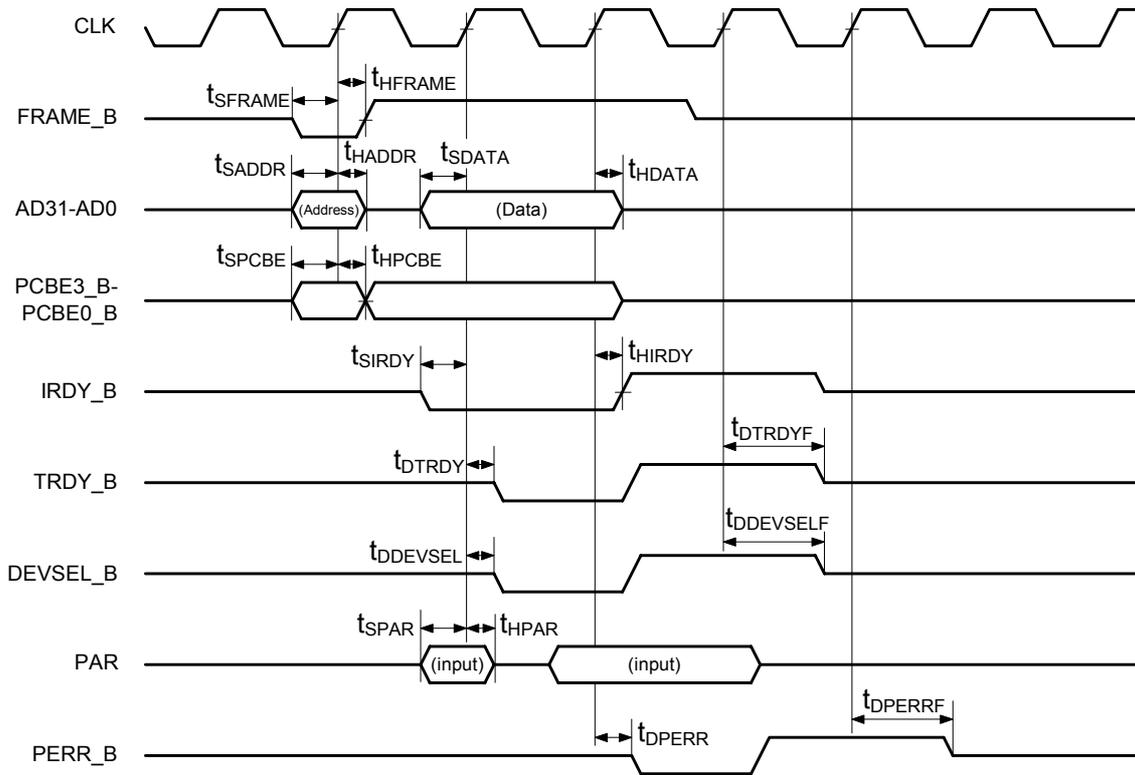
ターゲット・ライト

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
FRAME_Bセットアップ時間	t _{SFRAME}		7			ns
FRAME_Bホールド時間	t _{HFRAME}		2 ^{注1}			ns
AD (Address) セットアップ時間	t _{SADDR}		7			ns
AD (Address) ホールド時間	t _{HADDR}		2 ^{注1}			ns
AD (Data) セットアップ時間	t _{SADATA}		7			ns
AD (Data) ホールド時間	t _{HADATA}		2 ^{注1}			ns
PCBE_Bセットアップ時間	t _{SPCBE}		7			ns
PCBE_Bホールド時間	t _{HPCBE}		2 ^{注1}			ns
IRDY_Bセットアップ時間	t _{SIRDY}		9 ^{注2}			ns
IRDY_Bホールド時間	t _{HIRDY}		2 ^{注1}			ns
CLK↑ → TRDY_B有効時間	t _{DTRDY}		2		11	ns
CLK↑ → TRDY_Bフロート時間	t _{DTRDYF}				28	ns
CLK↑ → DEVSEL_B有効時間	t _{DDEVSEL}		2		11	ns
CLK↑ → DEVSEL_B フロート時間	t _{DDEVSELF}				28	ns
PARセットアップ時間	t _{SPAR}		7			ns
PARホールド時間	t _{HPAR}		2 ^{注1}			ns
CLK↑ → PERR_B有効時間	t _{DPERR}		2		11	ns
CLK↑ → PERR_Bフロート時間	t _{DPERRF}				28	ns

注1. PCI Specification Revision2.1からの緩和スペック 0ns 2ns

2. PCI Specification Revision2.1からの緩和スペック 7ns 9ns

ターゲット・ライト

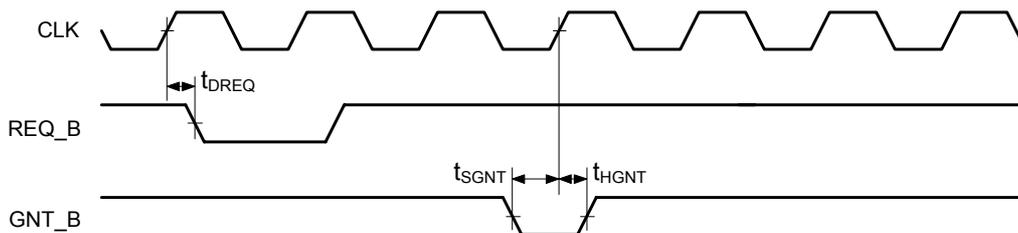


バス・アービトレーション

項目	略号	条件	MIN.	TYP.	MAX.	単位
CLK↑ → REQ_B有効時間	t_{DREQ}		2		12	ns
GNT_Bセットアップ時間	t_{SGNT}		10			ns
GNT_Bホールド時間	t_{HGNT}		2 ^注			ns

注 PCI Specification Revision2.1からの緩和スペック 0ns 2ns

バス・アービトレーション



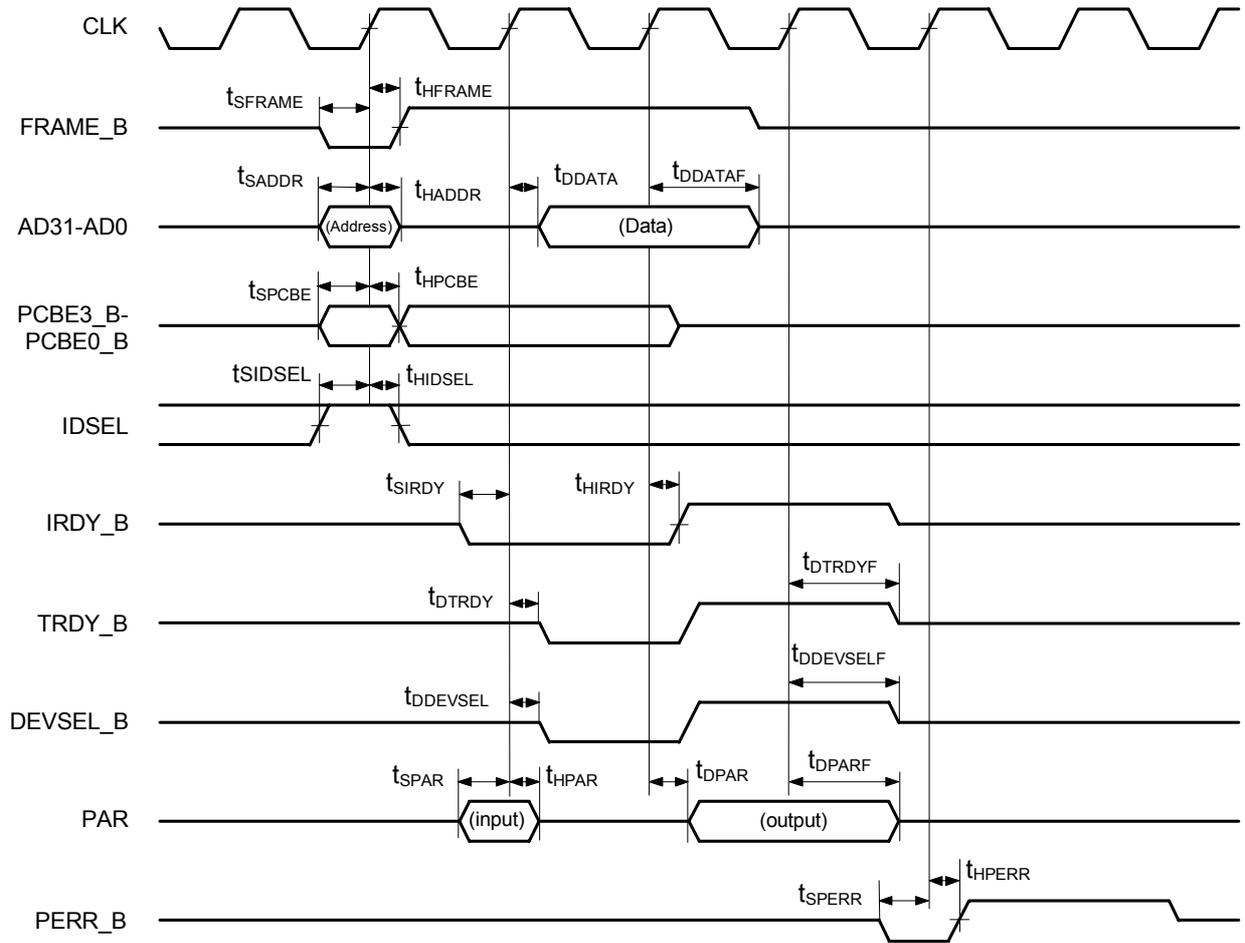
コンフィギュレーション・リード

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
FRAME_Bセットアップ時間	t _{SFRAME}		7			ns
FRAME_Bホールド時間	t _{HFRAME}		2 ^{注1}			ns
AD (Address) セットアップ時間	t _{SADDR}		7			ns
AD (Address) ホールド時間	t _{HADDR}		2 ^{注1}			ns
CLK↑ → AD (Data) 有効時間	t _{DDATA}		2		11	ns
CLK↑ → AD (Data) フロート時間	t _{DDATAF}				28	ns
PCBE_Bセットアップ時間	t _{SPCBE}		7			ns
PCBE_Bホールド時間	t _{HPCBE}		2 ^{注1}			ns
IDSELセットアップ時間	t _{SIDSEL}		7			ns
IDSELホールド時間	t _{HIDSEL}		2 ^{注1}			ns
IRDY_Bセットアップ時間	t _{SIRDY}		9 ^{注2}			ns
IRDY_Bホールド時間	t _{HIRDY}		2 ^{注1}			ns
CLK↑ → TRDY_B有効時間	t _{DTRDY}		2		11	ns
CLK↑ → TRDY_Bフロート時間	t _{DTRDYF}				28	ns
CLK↑ → DEVSEL_B 有効時間	t _{DDEVSEL}		2		11	ns
CLK↑ → DEVSEL_B フロート時間	t _{DDEVSELF}				28	ns
CLK↑ → PAR有効時間	t _{DPAR}		2		11	ns
CLK↑ → PARフロート時間	t _{DPARF}				28	ns
PARセットアップ時間	t _{SPAR}		7			ns
PARホールド時間	t _{HPAR}		2 ^{注1}			ns
PERR_Bセットアップ時間	t _{SPERR}		7			ns
PERR_Bホールド時間	t _{HPERR}		2 ^{注1}			ns

注1. PCI Specification Revision2.1からの緩和スペック 0ns 2ns

2. PCI Specification Revision2.1からの緩和スペック 7ns 9ns

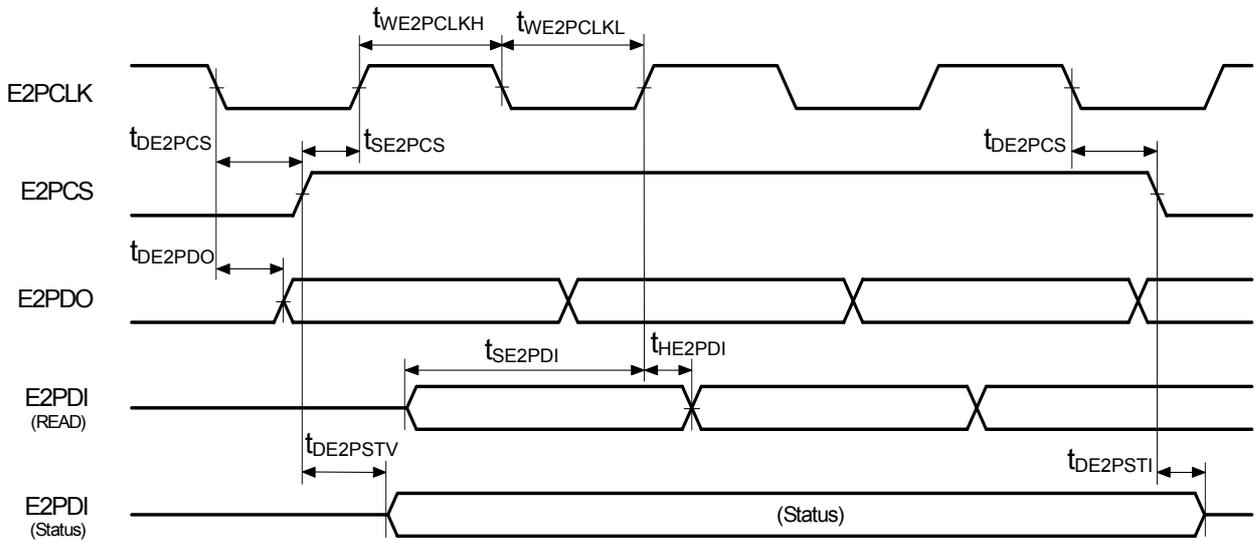
コンフィギュレーション・リード



EEPROMインタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
E2PCLKハイ・レベル幅	$t_{WE2PCLKH}$		$t_{CYCLK} \times 18$ - 50	$t_{CYCLK} \times 18$	$t_{CYCLK} \times 18$ + 50	ns
E2PCLKロウ・レベル幅	$t_{WE2PCLKL}$		$t_{CYCLK} \times 18$ - 50	$t_{CYCLK} \times 18$	$t_{CYCLK} \times 18$ + 50	ns
E2PCLK↓ → E2PCS有効時間	t_{DE2PCS}		50			ns
E2PCS↑ → E2PCLK	t_{SE2PCS}		50			ns
E2PCLK↓ → E2PDO有効時間	t_{DE2PDO}				300	ns
E2PDI → E2PCLK セットアップ時間	t_{SE2PDI}		500			ns
E2PCLK → E2PDIホールド時間	t_{HE2PDI}		70			ns
E2PCS↑ → E2PDI (Status) 有効遅延時間	$t_{DE2PSTV}$				500	ns
E2PCS↓ → E2PDI (Status) 無効遅延時間	$t_{DE2PSTI}$		0		100	ns

EEPROMインタフェース



UTOPIAインタフェース

送信動作

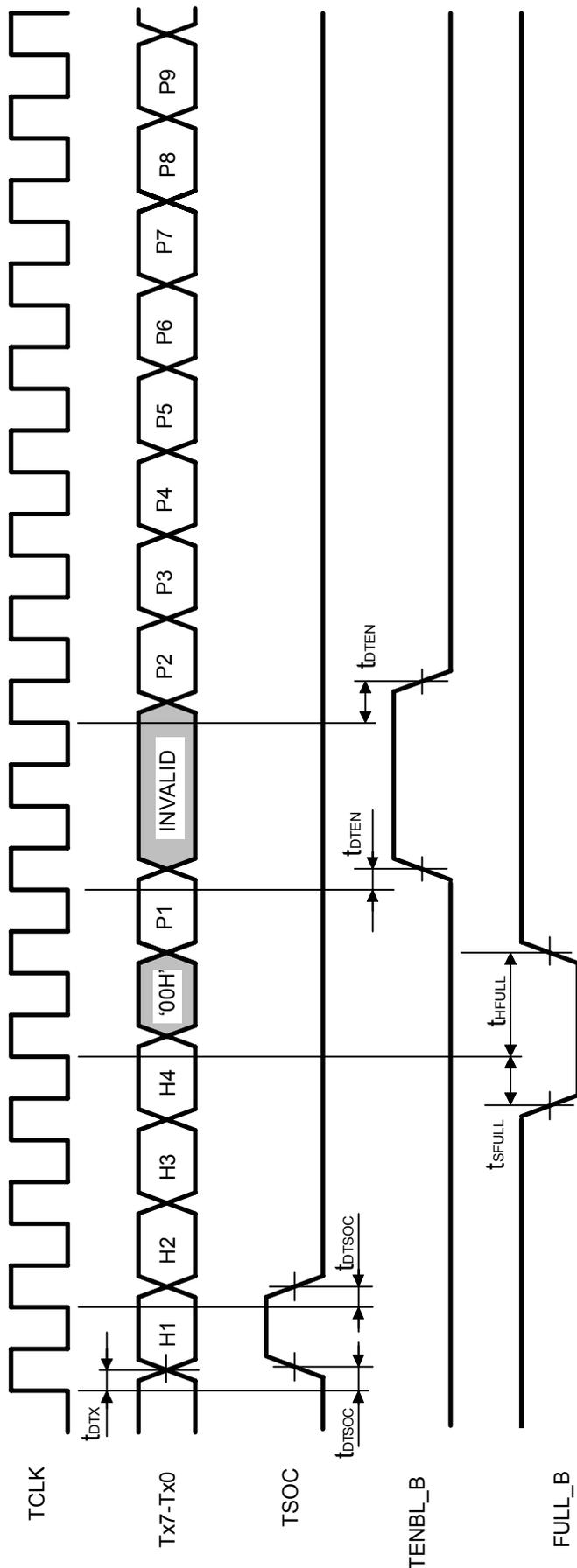
項目	略号	条件	MIN.	TYP.	MAX.	単位
TCLK↑→Tx遅延時間	t _{DTX}		3		18	ns
TCLK↑→TSOC遅延時間	t _{DTSOC}		3		18	ns
TCLK↑→TENBL_B遅延時間	t _{DTEN}		3		18	ns
FULL_Bセットアップ時間	t _{SFULL}		8			ns
FULL_Bホールド時間	t _{HFULL}		1			ns

受信動作

項目	略号	条件	MIN.	TYP.	MAX.	単位
Rxセットアップ時間	t _{SRX}		8			ns
Rxホールド時間	t _{HRX}		1			ns
RSOCセットアップ時間	t _{SRSOC}		8			ns
RSOCホールド時間	t _{HRSOC}		1			ns
RCLK↑→RENBL_B遅延時間	t _{DREN}		3		18	ns
EMPTY_Bセットアップ時間	t _{SEMP}		8			ns
EMPTY_Bホールド時間	t _{HEMP}		1			ns

UTOPIAインタフェース(1)

送信動作



H1-H4: ATM header

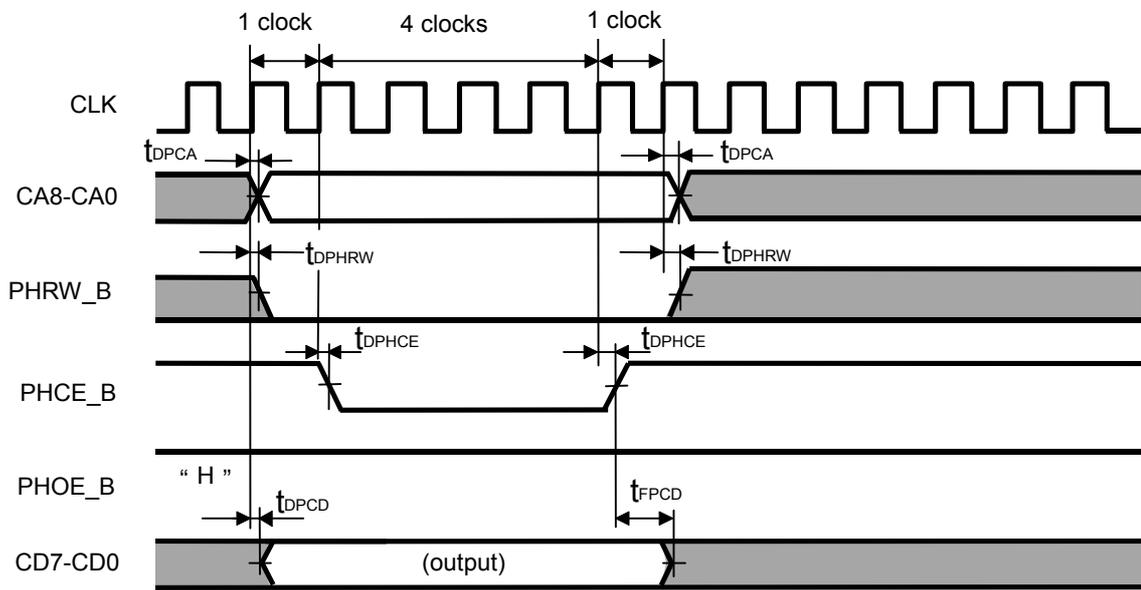
P1-P9: Payload data

PHYステータス・アクセス

ライト

項目	略号	条件	MIN.	TYP.	MAX.	単位
CLK↑→CA遅延時間	t _{DPCA}				20	ns
CLK↑→PHRW_B遅延時間	t _{DPHRW}				20	ns
CLK↑→PHCE_B遅延時間	t _{DPHCE}				20	ns
CLK↑→CD遅延時間	t _{DPCD}				20	ns
PHCE_B↑→CDフロート時間	t _{FPCD}		1t _{CYCLK} - 10		1t _{CYCLK} + 10	ns

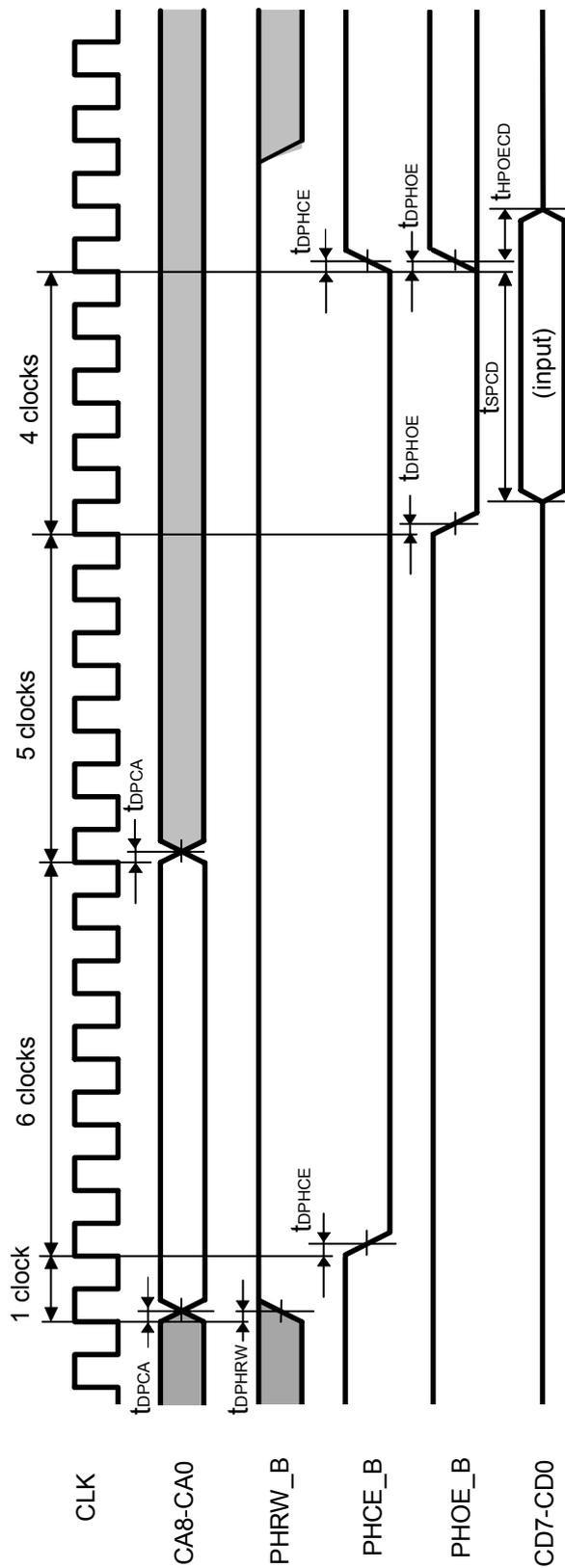
ライト・タイミング



リード

項目	略号	条件	MIN.	TYP.	MAX.	単位
CDセットアップ時間	t _{SPCD}		0			ns
CDホールド時間	t _{HPOECD}		0			ns
CLK↑→CA遅延時間	t _{DPCA}				20	ns
CLK↑→PHRW_B遅延時間	t _{DPHRW}				20	ns
CLK↑→PHCE_B遅延時間	t _{DPHCE}				20	ns
CLK↑→PHOE_B遅延時間	t _{DPHOE}				20	ns

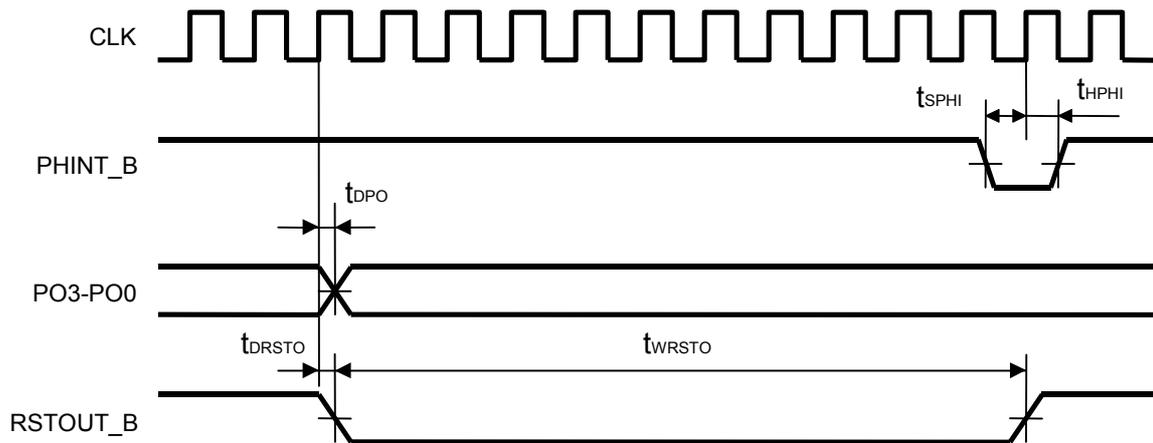
リード・タイミング



その他

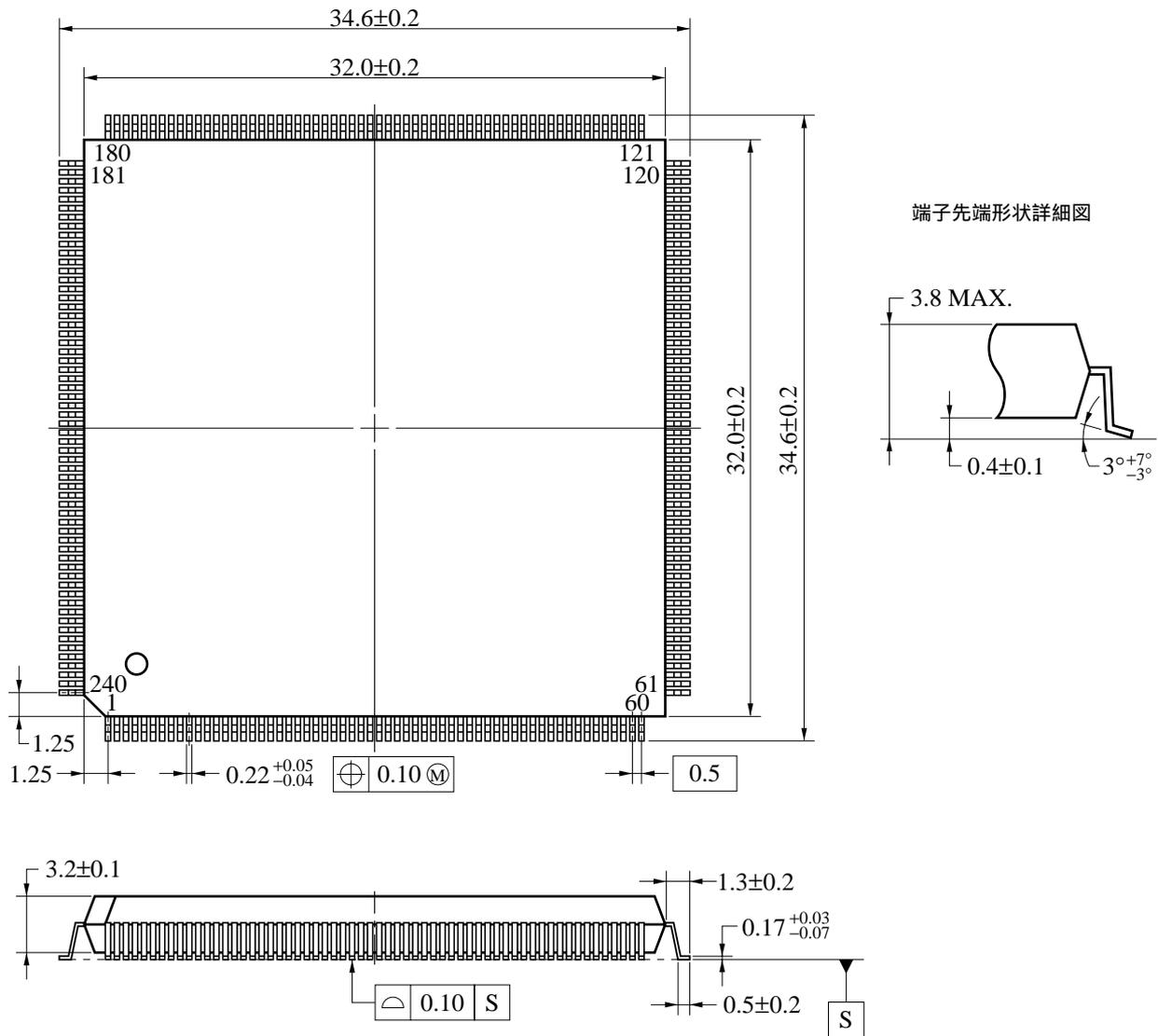
項目	略号	条件	MIN.	TYP.	MAX.	単位
PHINT_Bセットアップ時間	t_{SPHI}		8			ns
PHINT_Bホールド時間	t_{HPHI}		1			ns
CLK↑→PO遅延時間	t_{DPO}		2		25	ns
CLK↑→RSTOUT_B遅延時間	t_{DRSTO}		2		25	ns
RSTOUT_B出力パルス幅	t_{WRSTO}		11		22	t_{CYCLK}

その他のタイミング



3.外形図

240ピン・プラスチック QFP (ファインピッチ)(32x32)外形図(単位: mm)



P240GN-50-LMU,MMU,SMU-4

4. 半田付け推奨条件

この製品の半田付け実装は、次の条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

表4-1 表面実装タイプの半田付け推奨条件

μPD98409GN-LMU : 240ピン・プラスチックQFP (ファインピッチ) (32×32)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上）， 回数：1回，制限日数：3日間 ^注 （以降は125℃プリバーク20時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-203-1
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上）， 回数：1回，制限日数：3日間 ^注 （以降は125℃プリバーク20時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-203-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で保管条件は25℃，65%RH以下。

★ μPD98409GN-LMU-A : 240ピン・プラスチックQFP (ファインピッチ) (32×32)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：250℃，時間：30秒以内（220℃以上）， 回数：3回，制限日数：7日間 ^注 （以降は125℃プリバーク20時間必要） フラックス：塩素分の少ないロジン系フラックス（塩素0.2 Wt%以下）を推奨 <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR50-207-3
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

[メモ]

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

NEASCOT-S40C, EEPROM は、NEC エレクトロニクス株式会社の商標です。

MICROWIRE は、National Semiconductor 社の商標です。

- 本資料に記載されている内容は2005年7月現在のものです、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話(代表)：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00、午後 1:00～5:00)

電話：044-435-9494

E-mail：info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。