お客様各位

# カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

# ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

保守／廃止

MOS集積回路
MOS Integrated Circuit

# μPD98401A

## ATM SAR CHIP

μPD98401A（NEASCOT-S15™）は，ATMセルのセグメンテーションとリアセンブリを行う高性能SARチップです。ワークステーション，コンピュータ，フロントエンド・プロセッサ，ネットワーク・ハブ，ルータに内蔵することにより，ATMネットワークとインタフェースすることができます。μPD98401Aは，ATMフォーラム勧告に準拠しており，AAL-5 SARサブレイヤおよびATMレイヤの機能を内蔵しています。

μPD98401Aは，従来品μPD98401とハードウエア，ソフトウエアでの互換性を維持しています。

**詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。**

**μPD98401A ユーザーズ・マニュアル：S12054J**

### 特　徴

- ATMフォーラムに準拠
- AAL-5 SARサブレイヤおよびATMレイヤの機能を内蔵
- AAL-5処理をハードウエアでサポート
- Rawセル処理機能により，非AAL-5トラフィック（AAL-3/4セル，OAMセル，RMセル）のソフトウエアでの処理が可能
- 非AAL-5トラフィックに対してCRC-10の比較/生成をハードウエアでサポート
- 最大32K個の仮想チャネル（VC）をサポート
- 送信スケジューリング（平均レート／ピーク・レートの制御）を行うトラフィック・シェーパを16個内蔵しており，VCごとにさまざまな送信レートの設定が可能
- PHYデバイス制御用のインタフェースおよびコマンドを装備
- PHYデバイスとのセル・データ・インタフェースは“UTOPIAインタフェース”を採用
  - -オクテット・レベル・ハンドシェーク
  - -セル・レベル・ハンドシェーク
- 32ビット汎用バス・インタフェース
- 高速DMACを内蔵（1, 2, 4, 8, 12, 16ワード・バーストをサポート）
- JTAGバウンダリ・スキャン・テスト機能（IEEE 1149.1）を装備
- CMOSプロセス
- +5V単一電源

**備考**　このドキュメントでは，アクティブ・ロウの端子をxxx_B（端子名のあとに_B）と表しています。

**本資料の内容は，予告なく変更することがありますので，最新のものであることをご確認の上ご使用ください。**

資料番号　S12100JJ4V0DS00（第4版）
発行年月　June 2002 NS CP(K)

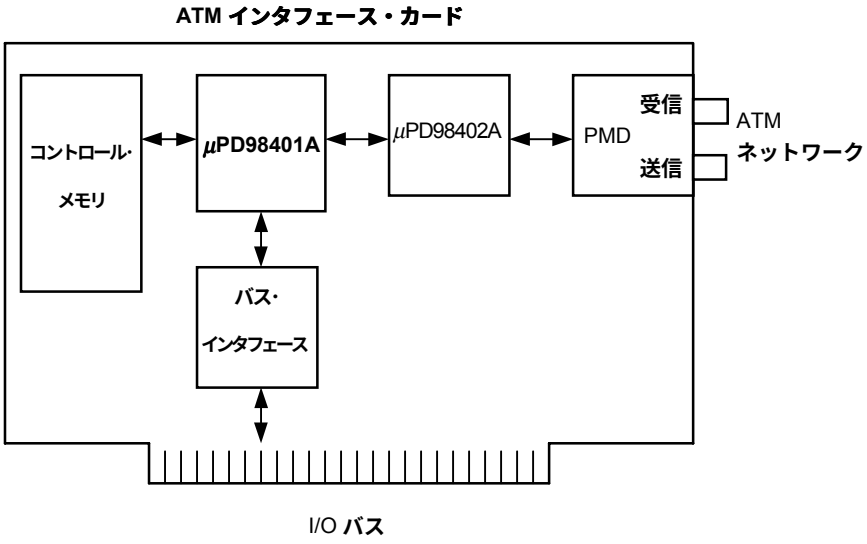
本文欄外の★印は，本版で改訂された主な箇所を示しています。

©NEC Corporation 1997

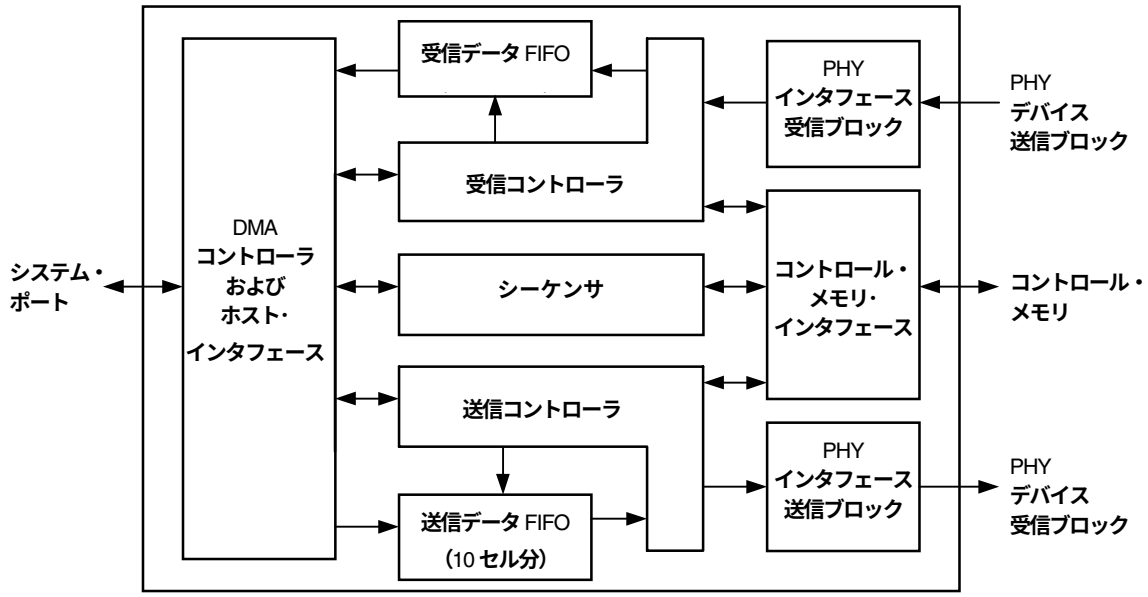
## オーダ情報

| オーダ名称 | パッケージ |
|---|---|
| μPD98401AGD-MML | 208ピン・プラスチックQFP（ファインピッチ）（28×28） |

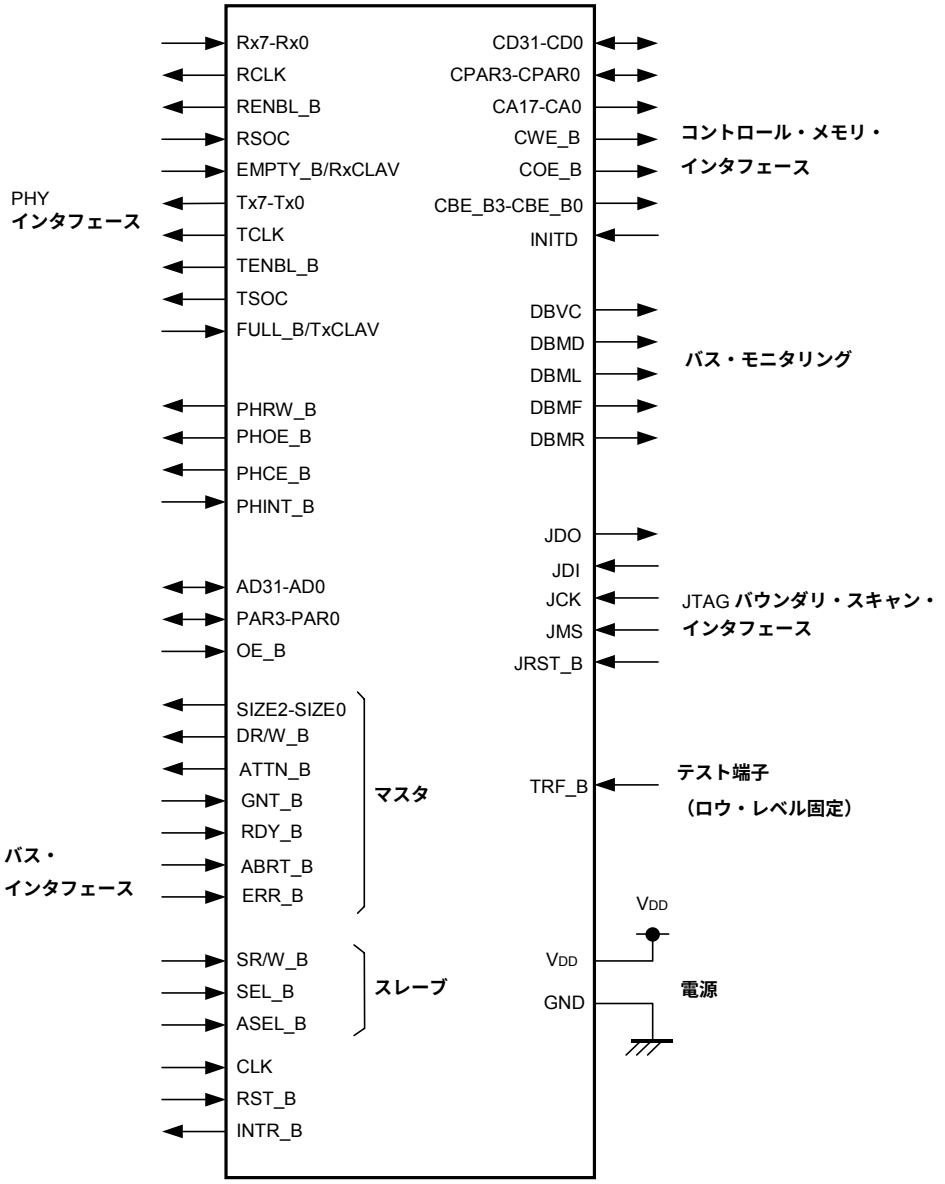
## システム構成例




## ブロック図



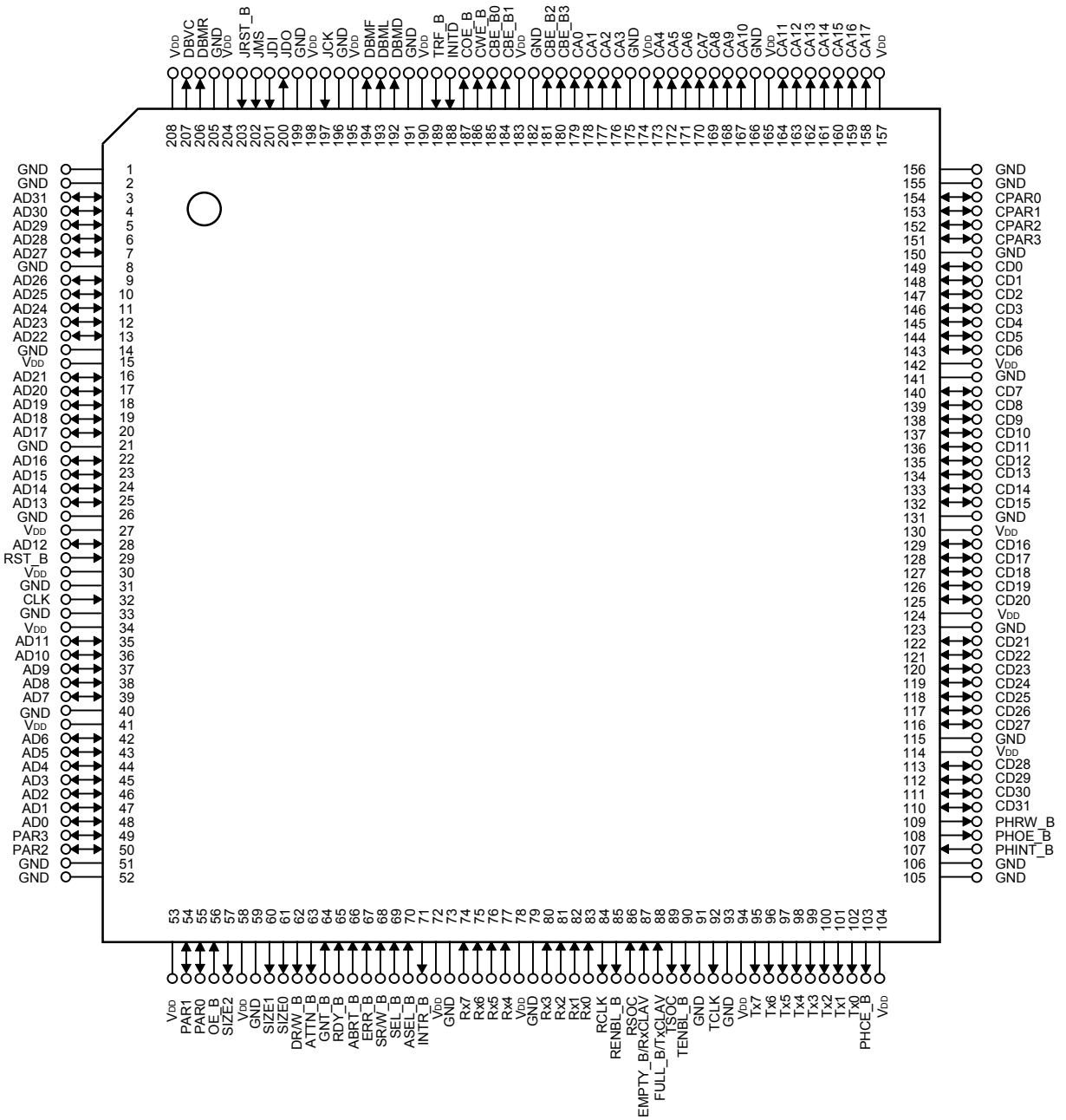
## 端子構成図


Rx7-Rx0
RCLK
RENBL_B
RSOC
EMPTY_B/RxCLAV
PHY
インタフェース
Tx7-Tx0
TCLK
TENBL_B
TSOC
FULL_B/TxCLAV
PHRW_B
PHOE_B
PHCE_B
PHINT_B
AD31-AD0
PAR3-PAR0
OE_B
SIZE2-SIZE0
DR/W_B
ATTN_B
GNT_B
RDY_B
ABRT_B
ERR_B
マスタ
バス・
インタフェース
SR/W_B
SEL_B
ASEL_B
スレーブ
CLK
RST_B
INTR_B
CD31-CD0
CPAR3-CPAR0
CA17-CA0
CWE_B
COE_B
CBE_B3-CBE_B0
INITD
コントロール・メモリ・
インタフェース
DBVC
DBMD
DBML
DBMF
DBMR
バス・モニタリング
JDO
JDI
JCK
JMS
JRST_B
JTAG バウンダリ・スキャン・
インタフェース
TRF_B
テスト端子
（ロウ・レベル固定）
VDD
VDD
GND
電源

## 端子接続図（Top View）

- 208ピン・プラスチックQFP（ファインピッチ）（28×28）

  μPD98401AGD-MML



## 端子名称

| | |
|---|---|
| ABRT_B | :Abort |
| AD31-AD0 | :Address/Data |
| ASEL_B | :Slave Address Select |
| ATTN_B | :Attention/Burst Frame |
| CA17-CA0 | :Control Memory Address |
| CBE_B3-CBE_B0 | :Local Port Byte Enable |
| CD31-CD0 | :Control Memory Data |
| CLK | :Clock |
| COE_B | :Control Memory Output Enable |
| CPAR3-CPAR0 | :Control Memory Parity |
| CWE_B | :Control Memory Write Enable |
| DBMD | :DMA Bus Monitor Data |
| DBMF | :DMA Bus Monitor First |
| DBML | :DMA Bus Monitor Last |
| DBVC | :DMA Bus Monitor VC |
| DBMR | :DMA Bus Monitor Remaining |
| DR/W_B | :DMA Read/Write |
| EMPTY_B/RxCLAV | :PHY Output Buffer Empty |
| ERR_B | :Error |
| FULL_B/TxCLAV | :PHY Buffer Full |
| GND | :Ground |
| GNT_B | :Grant |
| INITD | :Initialization Disable |
| INTR_B | :Interrupt |
| JCK | :JTAG Test Pin |
| JDI | :JTAG Test Pin |
| JDO | :JTAG Test Pin |
| JMS | :JTAG Test Pin |
| JRST_B | :JTAG Test Pin |
| OE_B | :Output Enable |
| PAR3-PAR0 | :Bus Parity |
| PHCE_B | :PHY Chip Enable |
| PHINT_B | :PHY Interrupt |
| PHOE_B | :PHY Output Enable |
| PHRW_B | :PHY Read/Write |
| RCLK | :Receive Clock |
| RDY_B | :Target Ready |
| RENBL_B | :Receive Enable |
| RSOC | :Receive Start Cell |
| RST_B | :Reset |
| Rx7-Rx0 | :Receive Data Bus |
| SEL_B | :Slave Select |
| SIZE2-SIZE0 | :Burst Size |
| SR/W_B | :Slave Read/Write |
| TCLK | :Transmit Clock |
| TENBL_B | :Transmit Enable |
| TSOC | :Transmit Start of Cell |
| TRF_B | :Delay Select |
| Tx7-Tx0 | :Transmit Data Bus |
| $V_{DD}$ | :Power Supply |

# 目　　次

**1. 端子機能 … 7**

1.1 PHYデバイス・インタフェース端子 … 7

1.2 バス・インタフェース端子 … 10

1.3 バス・モニタ端子 … 14

1.4 コントロール・メモリ・インタフェース端子 … 15

1.5 JTAGバウンダリ・スキャン端子 … 16

1.6 テスト端子 … 17

1.7 電源およびグランド端子 … 17

1.8 端子のリセット中，リセット後の状態 … 18

**2. μPD98401からの追加機能と相違点 … 19**

2.1 追加機能 … 19

2.2 μPD98401（NEASCOT-S10™）との相違点 … 19

**3. 電気的特性 … 20**

**4. 外形図 … 36**

**5. 半田付け推奨条件 … 37**

# 1. 端子機能

μPD98401Aのパッケージは208ピンで，機能端子が152本，$V_{DD}$およびGND端子が56本です。

## 1.1 PHYデバイス・インタフェース端子

PHYデバイス・インタフェースには，μPD98401AがATMセルをPHYデバイスとの間で転送し合うためのUTOPIAインタフェースと，PHYデバイスを制御するためのPHYコントロール・インタフェースがあります。

### （1）UTOPIAインタフェース （1/2）

| 端子名 | 端子番号 | I/O | I/Oレベル | 機　　能 |
|---|---|---|---|---|
| Rx7-Rx4<br>Rx3-Rx0 | 74‐77<br>80‐83 | I | TTL | 受信データ・バス<br>Rx7-Rx0は8ビット入力バスです。ネットワークからの受信データを，PHYデバイスからバイト形式で入力します。<br>μPD98401AはRCLKの立ち上がりエッジに同期してデータを取り込みます。 |
| RSOC | 86 | I | TTL | 受信セル開始位置信号<br>RSOC信号は，PHYデバイスからセル・データの1バイト目に同期して入力される信号です。Rx7-Rx0にヘッダの1バイト目が入力されている間，ハイ・レベルを入力します。 |
| RENBL_B | 85 | O | CMOS | 受信イネーブル<br>RENBL_B信号は，μPD98401Aが次のクロック・サイクルでデータ受信可能であることをPHYデバイスに示します。<br>リセット中，リセット後はハイ・レベルになります。 |
| EMPTY_B/<br>RxCLAV | 87 | I | TTL | PHY出力バッファ・エンプティ/Rxセル・アベイラブル<br>受信FIFOに転送すべきセル・データが存在せず，PHYデバイスが受信データを供給できないことをμPD98401Aに通知する信号です。UTOPIAインタフェースのモードがオクテット・レベル・ハンドシェークのとき，EMPTY_B信号として機能し，現クロック・サイクルにおけるRx7-Rx0上のデータが無効であることを通知します。セル・レベル・ハンドシェークにおいては，RxCLAV信号として機能し，現在のセル転送終了後，次に供給するセルがないことを通知します。 |
| RCLK | 84 | O | CMOS | 受信クロック<br>受信側でPHYデバイスとセル・データを転送し合うための同期用のクロックです。CLK端子に入力されているシステム・クロックがリセット直後からそのまま出力されます。 |

(2/2)

| 端子名 | 端子番号 | I/O | I/Oレベル | 機　　能 |
|---|---|---|---|---|
| Tx7-Tx0 | 95－102 | O | CMOS | **送信データ・バス**<br>Tx7-Tx0は8ビット出力バスです。送信データを，PHYデバイスへバイト形式で出力します。μPD98401AはTCLKの立ち上がりエッジに同期してデータを出力します。 |
| TSOC | 89 | O | CMOS | **送信セル開始位置信号**<br>TSOC信号は，送信セル・データの1バイト目に同期して出力される信号です。 |
| TENBL_B | 90 | O | CMOS | **送信イネーブル**<br>TENBL_B信号は，現在のクロック・サイクルでTx7-Tx0にデータが出力されていることをPHYデバイスに示します。リセット中，リセット後はハイ・レベルになります。 |
| FULL_B/<br>TxCLAV | 88 | I | TTL | **PHYレイヤ・バッファ・フル／Txセル・アベイラブル**<br>FULL_B信号は，入力バッファが一杯で，PHYデバイスがこれ以上データを受け入れられないことをμPD98401Aに通知する信号です。<br>UTOPIAインタフェースのモードがオクテット・レベル・ハンドシェークのとき，PHYデバイスはセル・データを受け取れる場合にインアクティブを入力します。セル・レベル・ハンドシェークにおいては，現在のセル転送終了後，次の1セル・データすべてをPHYデバイスが受け取れることを通知します。 |
| TCLK | 92 | O | CMOS | **送信クロック**<br>送信側でPHYデバイスとセル・データを転送し合うための同期用のクロックです。CLK端子に入力されたシステム・クロックがそのまま出力されます。 |

### （2）PHYデバイス・コントロール・インタフェース

| 端子名 | 端子番号 | I/O | I/Oレベル | 機　　能 |
|---|---|---|---|---|
| PHRW_B | 109 | O | CMOS | PHYリード／ライト<br>μPD98401Aは，PHRW_BによってPHYデバイス制御の方向を示します。リセット後は，ロウ・レベルになります。<br>1：リード<br>0：ライト |
| PHOE_B | 108 | O | CMOS | PHYレイヤ出力イネーブル<br>μPD98401Aは，PHOE_Bをロウ・レベルにすることにより，PHYデバイスからの出力をイネーブルにします。 |
| PHCE_B | 103 | O | CMOS | PHYレイヤ・チップ・イネーブル<br>μPD98401Aは，PHYデバイスにアクセスするときPHCE_Bをロウ・レベルにします。リセット後はハイ・レベルになります。 |
| PHINT_B | 107 | I | TTL | PHYレイヤ割り込み<br>PHYデバイスからの割り込み信号入力端子です。PHYデバイスはPHINT_Bにロウ・レベルを入力することにより，割り込み要因を持つことを μPD98401Aに示します。リセット後はハイ・レベルになります。 |

## 1.2 バス・インタフェース端子

バス・インタフェースは一般に使用されるI/Oバス（PCI，S bus，GIO，AP busなど）に適応した汎用バス・インタフェースです。

（1/4）

| 端子名 | 端子番号 | I/O | I/Oレベル | 機　　能 |
|---|---|---|---|---|
| AD31-AD27<br>AD26-AD22<br>AD21-AD17<br>AD16-AD13<br>AD12<br>AD11- AD7<br>AD6-AD0 | 3-7<br>9－13<br>16－20<br>22－25<br>28<br>35－39<br>42－48 | I/O<br>3ステート | TTL in<br>CMOS out | アドレス／データ<br>AD31-AD0は32ビットのアドレス／データ・バスです。アドレス・バスとデータ・バスを兼用した入出力端子です。AD31-AD0では，入力／出力の1クロック目でアドレスが転送されます。2クロック目からはデータが転送されます。μPD98401Aがバスにアクセスしていないときは，ADバスはハイ・インピーダンスになります。 |
| PAR3<br>PAR2<br>PAR1<br>PAR0 | 49<br>50<br>54<br>55 | I/O<br>3ステート | TTL in<br>CMOS out | バス・パリティ<br>PARはAD31-AD0のパリティを示します。GMRによりパリティ・チェックのモードを設定します。イネーブル／ディスエーブル，奇数パリティ／偶数パリティ，ワード・パリティ／バイト・パリティの設定ができます。バイト・パリティの場合，PAR3はAD31-AD24，PAR0はAD7-AD0のパリティを示します。ワード・パリティの場合，PAR3は入出力端子になります。アドレス出力時とデータ・ライト時には出力になり，データ・リード時には入力になります。μPD98401Aがバスにアクセスしていないときは，PAR3-PAR0はハイ・インピーダンスになります。未使用時にはプルアップしてください。 |
| OE_B | 56 | I | TTL | 出力イネーブル<br>この端子がロウ・レベルのとき，μPD98401AはAD31-AD0およびPAR3-PAR0を3ステートの入出力端子として動作させます。ハイ・レベルを入力すると，その間はこれらの端子をハイ・インピーダンスにします。この端子はオプション端子です。この端子を制御し，μPD98401Aのバスを強制的にハイ・インピーダンスにする必要がないシステムでは，ロウ・レベルに固定してください。 |

（2/4）

| 端子名 | 端子番号 | I/O | I/Oレベル | 機　　能 |
|---|---|---|---|---|
| SIZE2<br>SIZE1<br>SIZE0 | 57<br>60<br>61 | O | CMOS | **バースト・サイズ**<br>SIZE2-SIZE0は現在のDMA転送のサイズを示します。これらの端子は，明確なバースト・サイズを必要とするバス（S busなど）とのインタフェースに使用します。<br><br>SIZE2 / SIZE1 / SIZE0 / 機　能<br>0 / 0 / 0 / 1ワード転送<br>0 / 0 / 1 / 2ワード・バースト<br>0 / 1 / 0 / 4ワード・バースト<br>0 / 1 / 1 / 8ワード・バースト<br>1 / 0 / 0 / 16ワード・バースト<br>1 / 0 / 1 / 12ワード・バースト<br>1 / 1 / 0 / 未定義<br>1 / 1 / 1 / 受信側バイト・アライメント |
| DR/W_B | 62 | O | CMOS | DMAリード／ライト<br>DR/W_BはDMAアクセスの方向を示します。<br>1： リード・アクセス<br>0： ライト・アクセス<br>リセット後は1になります。 |
| ATTN_B | 63 | O | CMOS | アテンション（DMAリクエスト）<br>μPD98401AはDMA動作を行おうとするとき，ATTN_B信号をロウ・レベルにします。ATTN_B信号は，DMAで転送されるデータが残り1ワードになった時点でCLKの立ち上がりに同期してインアクティブになります。 |
| GNT_B | 64 | I | TTL | バス許可<br>GNT_B信号は，バス・アービタがμPD98401AからのDMAリクエストに対してバスの使用権を認める場合にロウ・レベルを入力します。μPD98401Aは，GNT_B信号がアクティブ・ロウになったことを検出すると，バス使用権が認められたとして，DMA動作を開始します。GNT_B信号の立ち下がりは，ATTN_B信号の立ち上がりから少なくとも1システム・クロック周期以上の間隔を開けるようにしてください。<br>GNT_B信号は，μPD98401Aが次のDMAサイクル要求のためにATTN_B信号をアクティブ・ロウにする以前に必ずインアクティブ・ハイに戻す必要があります。 |

（3/4）

| 端子名 | 端子番号 | I/O | I/Oレベル | 機　　能 |
|---|---|---|---|---|
| RDY_B | 65 | I | TTL | **対象デバイス・レディ**<br>RDY_Bは**DMAサイクル時，転送対象デバイスの入力／出力の準備が完了したことをμPD98401Aに示します。μPD98401AのDMAリード・オペレーションでは，AD31-AD0に有効データがあるとき，RDY_B信号をロウ・レベルにします。μPD98401AのDMAライト・オペレーションでは，転送対象デバイスのデータ受信準備が完了したとき，RDY_B信号をロウ・レベルにします。**<br>μPD98401Aの**RDY_BおよびABRT_B信号のサンプリング・タイミングは，内部レジスタ（GMRレジスタ）の設定によって，1クロック早くすることができます（アーリ・モード）。** |
| ABRT_B | 66 | I | TTL | **アボート**<br>ABRT_Bは，DMA転送サイクルを中断する場合に使用します。DMA転送サイクルのデータ転送中にこの信号がロウ・レベルになると，そのサイクルでDMA転送を中断し，ATTN_B信号をいったんインアクティブにします。その後，μPD98401AはATTN_B信号を再びアクティブにし，アボートされたデータからバーストを再開します。ABRT_Bにロウ・レベルが入力されているときは，RDY_B信号は無視されます。ユーザはμPD98401AのRDY_BおよびABRT_B信号のサンプリング・タイミングを内部レジスタ（GMR）の設定によって，1クロック早くすることができます（アーリ・モード）。未使用時はプルアップしてください。 |
| ERR_B | 67 | I | TTL | **システム・バス・エラー**<br>システム・バス上でエラー発生を検出したとき，バスを管理するデバイスがμPD98401Aに対してオペレーションを強制的に停止させるための端子です。<br>この端子にロウ・レベルが入力されると，μPD98401Aはすべてのバス・オペレーションを停止し，GSRレジスタ（マスクされていないとき）のシステム・バス・エラー・ビット（ビット25）をセットし，割り込みを発生します。未使用時はプルアップしてください。 |
| SR/ W_B | 68 | I | TTL | **スレーブ・リード／ライト**<br>SR/ W_B信号により，スレーブ・アクセスの方向を決定します。<br>1：リード・アクセス<br>0：ライト・アクセス |

（4/4）

| 端子名 | 端子番号 | I/O | I/Oレベル | 機　　能 |
|---|---|---|---|---|
| SEL_B | 69 | I | TTL | スレーブ・セレクト<br>μPD98401Aに対してスレーブ・アクセスを選択する場合にアクティブ・ロウにします。SEL_B信号は，ASEL_B信号がロウ・レベルになるのと同時か，あるいはそれ以後にロウ・レベルにするようにしてください。また，SEL_B信号がインアクティブになってから次にアクティブなるまでの間には必ず2システム・クロック・サイクル以上のインアクティブ期間を挿入してください。 |
| ASEL_B | 70 | I | TTL | スレーブ・アドレス・セレクト<br>ASEL_B信号により，μPD98401Aの直接アドレス・レジスタを選択します。<br>ASEL_Bにロウ・レベルが入力されると，μPD98401AはCLKの最初の立ち上がりエッジでADバスをサンプリングします。 |
| CLK | 32 | I | TTL | クロック<br>システム・クロック入力端子です。8MHz－33MHzの範囲のクロックを入力します。 |
| RST_B | 29 | I | TTL | リセット<br>RST_B信号により，μPD98401Aを初期化します（起動時など）。リセット動作後，μPD98401Aは通常動作を開始できるようになります。RST_Bにロウ・レベルを入力すると，μPD98401A内部のステート・マシンやレジスタはリセットされ，すべての3ステート信号はハイ・インピーダンスになります。リセット入力は非同期です。動作中に入力すると，そのときの動作状態は失われます。RST_Bへの入力は少なくとも1クロック・サイクルの間ロウ・レベルを保持してください。リセット後，少なくとも20クロック間は，μPD98401Aへのアクセスは行わないでください。 |
| INTR_B | 71 | O | Nchオープン・ドレーン出力 | 割り込み出力<br>オープン・ドレーン信号ですので，プルアップして使用してください。<br>INTR_Bは割り込みGSRレジスタの（マスクされていない）割り込みビットがセットされたことをCPUに知らせます。 |

### 1.3 バス・モニタ端子

バス・モニタ端子は，現在DMA転送中のデータの種別を通知する端子です。これら5本の端子はGMRレジスタのBMEビットが1にセットされることでイネーブルになり，BMEビットが0のときは，Hi-Z出力になります。

| 端子名 | 端子番号 | I/O | I/Oレベル | 機　　能 |
|---|---|---|---|---|
| DBMD | 192 | O<br>3ステート | CMOS | DMAバス・モニタ・データ<br>AAL-5セルのペイロード部をDMA転送中であることを通知します。この端子はGMRレジスタのBMEビットが1にセットされた場合にイネーブルとなり，0のときはHi-Z出力となります。<br>DBMD信号は，ATTN_B信号の立ち下がりに同期して変化します。ハイ・レベルはAAL-5パケット送受信セルのペイロード部分をDMA転送中であることを示し，ロウ・レベルはその他のデータを転送中であること示します。 |
| DBML | 193 | O<br>3ステート | CMOS | DMAバス・モニタ・ライト<br>現在DMA転送中の1ワード・データが，次の条件のいずれかに当てはまる場合，そのデータ出力に同期してハイ・レベルになります。<br>・AAL-5パケットの最終セルの最後の1ワード<br>・受信バッファの最終ワードへ書き込む1ワード・データ<br>・MAX. NUMBER OF SEGMENTSエラーを起こした受信パケットの最終セルの最後の1ワード・データ<br>ロウ・レベルの場合は，上記以外のデータであることを示します。この端子は，GMRレジスタのBMEビットが1にセットされた場合にイネーブとなり，0のときはHi-Z出力となります。 |
| DBMF | 194 | O<br>3ステート | CMOS | DMAバス・モニタ・ファースト<br>DMA転送中のデータが受信AAL-5パケットの開始セルであることを通知する端子です。この端子は，GMRレジスタのBMEビットが1にセットされた場合にイネーブルになり，0のときはHi-Z出力となります。AAL-5パケットの最初のセルの最終ワード・データに同期してハイ・レベルになります。 |
| DBMR | 206 | O<br>3ステート | CMOS | DMAバス・モニタ・リメイニング<br>送信バッファの残りセル数がRCSレジスタに設定された値と等しいか，あるいは少なくなったことを通知する端子です。この端子はGMRレジスタのBMEビットが1にセットされた場合にイネーブルとなり，0のときはHi-Z出力となります。 |
| DBVC | 207 | O<br>3ステート | CMOS | DMAバス・モニタVC<br>現在DMA転送中のデータが，受信VCテーブルのVCPビットに1がセットされているVCのものであることを通知します。ATTN_Bの立ち下がりに同期してアクティブになります。この端子は，GMRレジスタのBMEビットが1にセットされた場合にイネーブルになり，0のときはHi-Z出力となります。 |

## 1.4 コントロール・メモリ・インタフェース端子

μPD98401Aが外付けコントロール・メモリとPHYデバイスにアクセスを行うためのインタフェースです。18ビットのアドレス専用バスと32ビットのデータ専用バスを使用します。ホストのコントロール・メモリへのアクセスはこのインタフェースを介してのみ行われます。

| 端子名 | 端子番号 | I/O | I/Oレベル | 機　　能 |
|---|---|---|---|---|
| CD31-CD28<br>CD27-CD21<br>CD20-CD16<br>CD15-CD7<br>CD6-CD0 | 110-113<br>116-122<br>125-129<br>132-140<br>143-149 | I/O<br>3ステート | TTL in,<br>CMOS out | コントロール・メモリ・データ<br>CD31-CD0は32ビットのデータ・バスです。3ステート入出力端子です。コントロール・メモリまたはPHYデバイスとのデータ転送に使用します。 |
| CPAR3-CPAR0 | 151-154 | I/O | TTL in,<br>CMOS out | コントロール・メモリ・パリティ<br>CPAR3-CPAR0は，CD31-CD0のパリティを8ビットごとに示します。リード・サイクル時，μPD98401Aはパリティをチェックします（イネーブルされている場合）。ライト・サイクル時はパリティを出力します。未使用時はプルアップしてください。 |
| CA17-CA11<br>CA10-CA4<br>CA3-CA0 | 158-164<br>167-173<br>176-179 | O | CMOS | コントロール・メモリ・アドレス<br>CA17-CA0は18ビットのアドレス・バスです。リード／ライト動作時にコントロール・メモリまたはPHYデバイスにアドレスを出力します。 |
| CWE_B | 186 | O | CMOS | コントロール・メモリ・ライト・イネーブル<br>CWE_B信号は，コントロール・メモリ・アクセスの方向を示します。<br>1：リード・アクセス<br>0：ライト・アクセス |
| COE_B | 187 | O | CMOS | コントロール・メモリ出力イネーブル<br>COE_Bは，コントロール・メモリのデータ出力をイネーブル／ディスエーブルします。 |
| CBE_B3<br>CBE_B2<br>CBE_B1<br>CBE_B0 | 180<br>181<br>184<br>185 | O | CMOS | ローカル・ポート・バイト·イネーブル<br>CBE_B3-CBE_B0は，コントロール・ポートのうちリード／ライトの対象となるバイトを示します。 |
| INITD | 188 | I | TTL | 初期化ディスエーブル<br>INITD信号は，チップ・テスト時にコントロール・メモリの自動初期化をディスエーブルするために使用します。<br>INITDは，テスト時以外の通常動作時にはGNDに直接接続してください。 |

### 1.5 JTAGバウンダリ・スキャン端子

| 端子名 | 端子番号 | I/O | I/Oレベル | 機　　能 |
|---|---|---|---|---|
| JDI | 201 | I | TTL | JTAGテスト・データ入力<br>JDI端子は，JTAGバウンダリ・スキャン回路レジスタにデータを入力するための端子です。<br>通常動作時はハイ・レベル，あるいはロウ・レベル固定にしてください。 |
| JDO | 200 | O<br>3ステート | CMOS | JTAGテスト・データ出力<br>JDO端子は，JTAGバウンダリ・スキャン回路レジスタからデータを出力するための端子です。JCK端子に入力されるクロックの立ち下がりで出力を変化させます。<br>通常動作時はオープンにしてください。 |
| JCK | 197 | I | TTL | JTAGテスト・クロック<br>JTAGバウンダリ・スキャン回路レジスタへのクロックの供給に使用します。<br>通常動作時はハイ・レベル，あるいはロウ・レベル固定にしてください。 |
| JMS | 202 | I | TTL | JTAGテスト・モード・セレクト<br>通常動作時はハイ・レベル，あるいはロウ・レベル固定にしてください。 |
| JRST_B | 203 | I | TTL | JTAGテスト・リセット<br>JTAGバウンダリ・スキャン回路を初期化するための端子です。通常動作時はロウ・レベル固定にしてください。 |

★ **備考**　通常動作時のJTAGバウンダリ・スキャン用端子の処置について

JTAGロジックは，RESET_B端子へのパルス入力ではリセットがかかりません。

JTAGロジックがリセット状態にないと，μPD98401Aは通常動作を行えない場合があります。JTAGロジックのリセット方法には次の2つがありますので，JRST_B端子をグランドに接続していない場合には，電源投入後，必ずどちらかの方法でJTAGロジックをリセットしてください。

**・JRST_B端子を使用せずにJTAGロジックをリセット状態にする**

JMS，JCK端子を使用して，JTAGロジックをリセット状態に移行させ，リセット状態から動かさないようにします（JRST_B端子は，pull-upしている状態です）。

JMS端子を1に固定（pull-up）して，JCK端子に5クロック・サイクル以上入力してください。

**・JRST_B端子を使用してJTAGロジックをリセット状態にする**

JRST_B端子にロウ・パルスを入力して，その後JMS，JRST_B端子をpull-upしてハイ・レベルを維持していると，JTAGロジックはリセット状態から動きませんので，通常動作に影響を及ぼしません。他のJDI，JCK端子は，pull-down/pull-upのどちらかで入力レベルを固定してください。

### 1.6 テスト端子

| 端子名 | 端子番号 | I/O | I/Oレベル | 機　　能 |
|---|---|---|---|---|
| TRF_B | 189 | I | TTL | チップの内部テスト用端子です。<br>0：通常動作<br>1：テスト<br>通常動作時はグランドに直接接続し，ロウ・レベルに固定してください。 |

### 1.7 電源およびグランド端子

| 端子名 | 端子番号 | I/O | 機　　能 |
|---|---|---|---|
| $V_{DD}$ | 15, 27, 30, 34, 41, 53, 58, 72, 78, 94, 104, 114, 124, 130, 142, 157, 165, 174, 183, 190, 195, 198, 204, 208 | － | 電源（24本）<br>24本の$V_{DD}$端子でチップに＋5V±5%の電圧を供給します。 |
| GND | 1, 2, 8, 14, 21, 26, 31, 33, 40, 51, 52, 59, 73, 79, 91, 93, 105, 106, 115, 123, 131, 141, 150, 155, 156, 166, 175, 182, 191, 196, 199, 205 | － | グランド（32本）<br>グランドに接続します。 |

## 1.8 端子のリセット中，リセット後の状態

| 端　子 | リセット中 | リセット直後 |
|---|---|---|
| AD0-AD31 | Hi-Z（入力モード） | Hi-Z（入力モード） |
| PAR0-PAR3 | Hi-Z（入力モード） | Hi-Z（入力モード） |
| SIZE0-SIZE2 | 0 | 0 |
| DR/W_B | 1 | 1 |
| ATTN_B | 1 | 1 |
| INTR_B | 1（ただしプルアップ） | 1（ただしプルアップ） |
| CA17-CA0 | 0 | 0 |
| CD0-CD31 | オール0（出力モード） | オール0（出力モード） |
| CWE_B | 1 | 1 |
| COE_B | 1 | 1（ハイ／ロウの繰り返し） |
| CBE_B3-CBE_B0 | オール1 | オール1 |
| PHRW_B | 0 | 0 |
| PHOE_B | 1 | 1 |
| PHCE_B | 1 | 1 |
| RCLK | CLK出力 | CLK出力 |
| RENBL_B | 1 | 0 |
| Tx0-Tx7 | オール0 | オール0 |
| TCLK | CLK出力 | CLK出力 |
| TENBL_B | 1 | 1 |
| TSOC | 0 | 0 |
| JDO | Hi-Z（3ステート） | Hi-Z（3ステート） |
| DBMD | Hi-Z | Hi-Z |
| DBML | Hi-Z | Hi-Z |
| DBMF | Hi-Z | Hi-Z |
| DBMR | Hi-Z | Hi-Z |
| DBVC | Hi-Z | Hi-Z |

# 2．μPD98401 からの追加機能と相違点

## 2.1 追加機能

μPD98401Aは，μPD98401とハードウエア，ソフトウエアで互換性を維持しています。

μPD98401Aは，μPD98401に次の機能が加えられています。すべての追加機能は，GMRレジスタの設定によってイネーブルになります。

（1）DMA12ワード・バースト・サイクル
（2）受信データ・バッファのバイト・アライメント転送機能
（3）バス・モニタ端子
（4）送信レート調整用にアイドル・セルを挿入するモード
（5）新スケジューリング機能　アグリゲート・モード
（6）受信パケット・サイズ表示（セル単位／Lengthモード）
（7）UTOPIAインタフェースのセル・レベル・サポート
（8）AAL-3/4トラフィック，アシスト機能
（9）JTAGバウンダリ・スキャンのサポート

## 2.2 μPD98401（NEASCOT - S10$^{TM}$）との相違点

### （1）受信FIFOのサイズ増大

μPD98401　：10セル分
μPD98401A　：23セル分

### （2）PTIフィールド（1xx）のセル処理

μPD98401　：OAM F5パターン（101，100）以外のセルは，ユーザ・データ・セルとして受信。
μPD98401A　：1xxパターンのRawセルとして処理。プール0番に格納。

### （3）アンアサインド・セルの送出方法の変更

μPD98401は，電源立ち上げ後，ただちにアンアサインド・セルの送出を開始し，アクティブ送信VCがない間はアンアサインド・セルを送出し続けます。また，GMRレジスタのUCEビットの設定によって，アクティブVCがない間のアンアサインド・セル送出を止める機能があります。

μPD98401Aは，このUCEビット機能を削除し，電源立ち上げ後，およびアクティブVCがないときは，TENBL_B信号をインアクティブにし，アンアサインド・セルを送出しません。μPD98401Aがアンアサインド・セルを送出するのは，アクティブVCがある場合と，アンアサインド・セル・ジェネレータ機能がイネーブルに設定された場合のみです。

## 3．電気的特性

＊印は，μPD98401からの変更箇所を示します。

### 絶対最大定格

| | 項　　目 | 略　号 | 条　　件 | 定　　格 | 単 位 |
|---|---|---|---|---|---|
| | 電源電圧 | $V_{DD}$ | | −0.5〜+6.5 | V |
| | 入力電圧 | $V_I$ | | −0.5〜$V_{DD}$ + 0.5 | V |
| ＊ | 出力電流 | $I_{O1}$ 注1 | | 24 | mA |
| ＊ | | $I_{O2}$ 注2 | | 36 | mA |
| ＊ | 動作周囲温度 | $T_A$ | | 0〜+80 | ℃ |
| | 保存温度 | $T_{stg}$ | | −65〜+150 | ℃ |

**注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なうおそれがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。**

＊ **DC特性**　（$T_A$ = 0〜+80℃, $V_{DD}$ = 5V±5%）

| 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単 位 |
|---|---|---|---|---|---|---|
| ロウ・レベル入力電圧 | $V_{IL}$ | | −0.5 | | +0.8 | V |
| ハイ・レベル入力電圧 | $V_{IH1}$ | RST_B，CLK端子以外 | +2.2 | | $V_{DD}$ + 0.5 | V |
| | $V_{IH2}$ | RST_B，CLK端子 | +3.3 | | $V_{DD}$ + 0.5 | V |
| ハイ・レベル出力電圧 | $V_{OH1}$ 注1 | $I_{OH}$ = −4.0 mA | $V_{DD}$ × 0.7 | | | V |
| | $V_{OH2}$ 注2 | $I_{OH}$ = −6.0 mA | $V_{DD}$ × 0.7 | | | V |
| ロウ・レベル出力電圧 | $V_{OL1}$ 注1 | $I_{OL}$ = 8.0 mA | | | 0.4 | V |
| | $V_{OL2}$ 注2 | $I_{OL}$ = 12.0 mA | | | 0.4 | V |
| 電源電流 | $I_{DD}$ | 通常動作 | | 350 | 500 | mA |
| 入力リーク電流 | $I_{LI}$ | $V_I$ = $V_{DD}$ or GND | −10 | | +10 | μA |
| 出力リーク電流 | $I_{OZ}$ | $V_O$ = $V_{DD}$ or GND | −10 | | +10 | μA |

**注1.** $I_{O1}$, $V_{OH1}$および$V_{OL1}$は，以下の端子に適用します。

CD31 - CD0, CPAR3 - CPAR0, CA17 - CA0, CBE_B3 - CBE_B0, CWE_B, COE_B, RCLK, RENBL_B, TSOC, TENBL_B, TCLK, Tx7 - Tx0, PHCE_B, PHOE_B, PHRW_B, JDO

**2.** $I_{O2}$, $V_{OH2}$と $V_{OL2}$は，以下の端子に適用します。

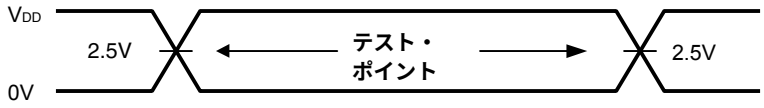
AD31 - AD0, PAR3 - PAR0, SIZE2 - SIZE0, DR/W, ATTN_B, INTR_B, DBMD, DBML, DBMF, DBMR, DBVC

**容　量**（$T_A$ = 25℃，$V_{DD}$ = 0V，f = 1MHz）

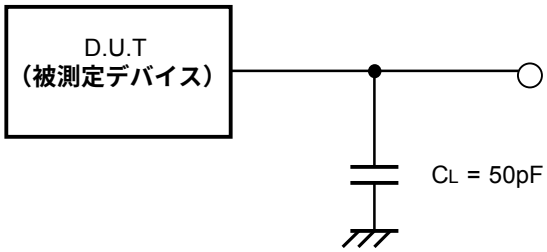
| 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単 位 |
|---|---|---|---|---|---|---|
| 出力容量 | $C_O$ | f = 1MHz | | 7 | 10 | pF |
| 入力容量 | $C_I$ | f = 1MHz | | 7 | 10 | pF |
| 入出力容量 | $C_{IO}$ | f = 1MHz | | 7 | 10 | pF |

**AC特性**（$T_A$ = 0～+80℃，$V_{DD}$ =5V±5%）

**ACテスト条件**

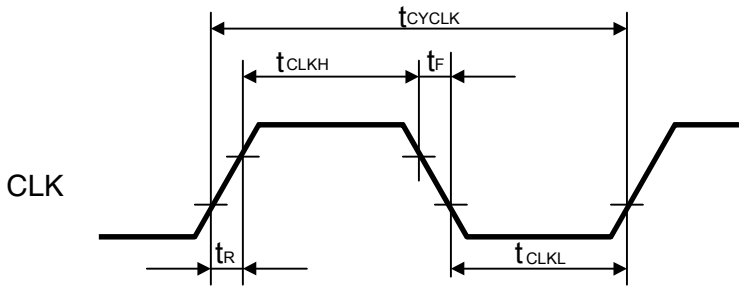



＊ **負荷条件**




**CLK入力**

| | 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単 位 |
|---|---|---|---|---|---|---|---|
| | CLKサイクル時間 | $t_{CYCLK}$ | | 30 | | 125 | ns |
| ＊ | CLKハイ・レベル幅 | $t_{CLKH}$ | | 11 | | | ns |
| ＊ | CLKロウ・レベル幅 | $t_{CLKL}$ | | 11 | | | ns |
| ＊ | CLK立ち上がり時間 | $t_R$ | | | | 4 | ns |
| ＊ | CLK立ち下がり時間 | $t_F$ | | | | 4 | ns |

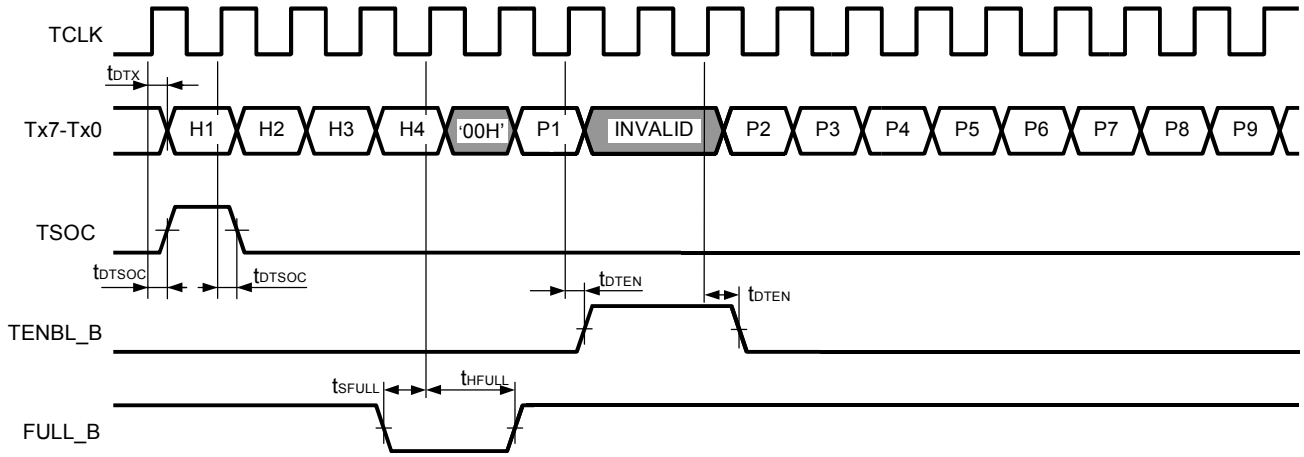


**PHYインタフェース（1/2）**

**（1）送信動作時**

| | 項　目 | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単 位 |
|---|---|---|---|---|---|---|---|
| | TCLK↑→Tx遅延時間 | $t_{DTX}$ | | 3 | | 18 | ns |
| | TCLK↑→TSOC遅延時間 | $t_{DTSOC}$ | | 3 | | 18 | ns |
| | TCLK↑→TENBL_B遅延時間 | $t_{DTEN}$ | | 3 | | 18 | ns |
| * | FULL_Bセットアップ時間 | $t_{SFULL}$ | | 8 | | | ns |
| | FULL_Bホールド時間 | $t_{HFULL}$ | | 1 | | | ns |

**送信動作タイミング**



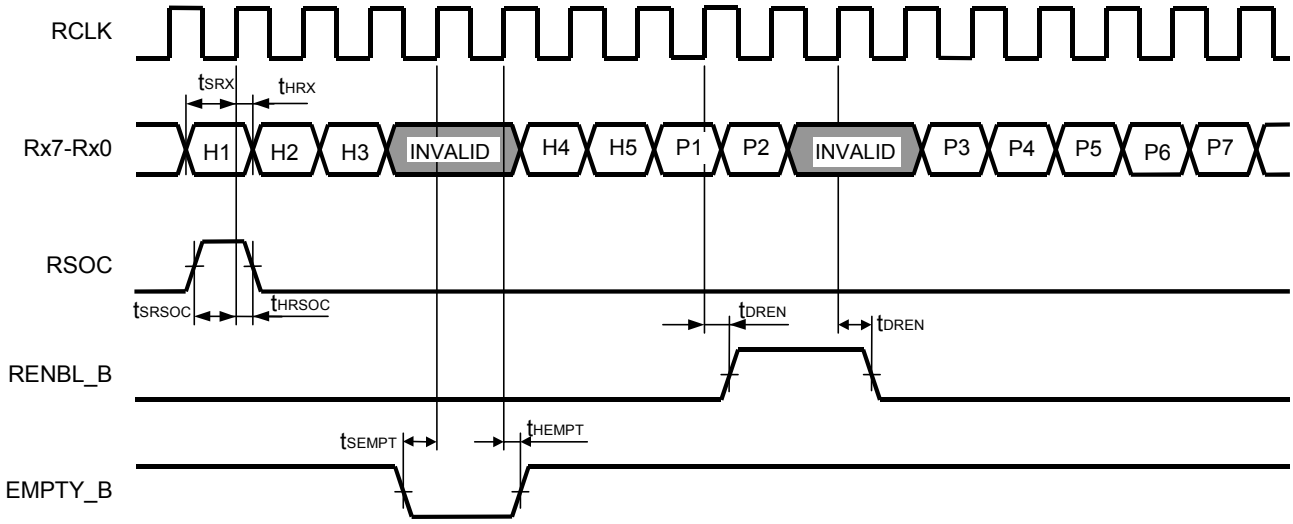

H4-H1: ATM Header
P9-P1: Payload Data

**PHYインタフェース（2/2）**

**（2）受信動作時**

| | 項　目 | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単 位 |
|---|---|---|---|---|---|---|---|
| ＊ | Rxセットアップ時間 | $t_{SRX}$ | | 8 | | | ns |
| | Rxホールド時間 | $t_{HRX}$ | | 1 | | | ns |
| ＊ | RSOCセットアップ時間 | $t_{SRSOC}$ | | 8 | | | ns |
| | RSOCホールド時間 | $t_{HRSOC}$ | | 1 | | | ns |
| | RCLK↑→RENBL_B遅延時間 | $t_{DREN}$ | | 3 | | 18 | ns |
| ＊ | EMPTY_Bセットアップ時間 | $t_{SEMPT}$ | | 8 | | | ns |
| | EMPTY_Bホールド時間 | $t_{HEMPT}$ | | 1 | | | ns |

**受信動作タイミング**



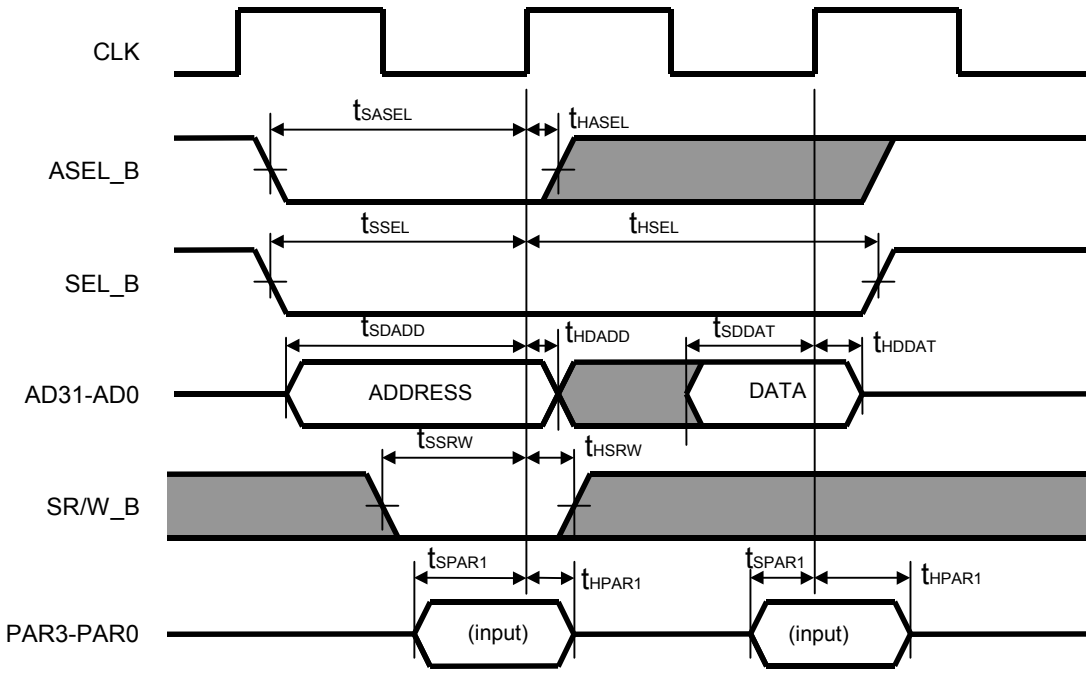

H4-H1: ATM Header
P7-P1: Payload Data

## ホスト・スレーブ・アクセス（1/2）

### （1）ライト

| 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単 位 |
|---|---|---|---|---|---|---|
| ASEL_Bセットアップ時間 | $t_{SASEL}$ | | 8 | | | ns |
| ASEL_Bホールド時間 | $t_{HASEL}$ | | 3 | | | ns |
| SEL_Bセットアップ時間 | $t_{SSEL}$ | | 8 | | | ns |
| SEL_Bホールド時間 | $t_{HSEL}$ | | $1t_{CYCLK}$ + 3 | | | ns |
| アドレス・セットアップ時間 | $t_{SDADD}$ | | 8 | | | ns |
| アドレス・ホールド時間 | $t_{HDADD}$ | | 3 | | | ns |
| データ・セットアップ時間 | $t_{SDDAT}$ | | 8 | | | ns |
| データ・ホールド時間 | $t_{HDDAT}$ | | 3 | | | ns |
| PARセットアップ時間 | $t_{SPAR1}$ | | 8 | | | ns |
| PARホールド時間 | $t_{HPAR1}$ | | 3 | | | ns |
| SR/ W_Bセットアップ時間 | $t_{SSRW}$ | | 8 | | | ns |
| SR/ W_Bホールド時間 | $t_{HSRW}$ | | 3 | | | ns |

### ライト・タイミング

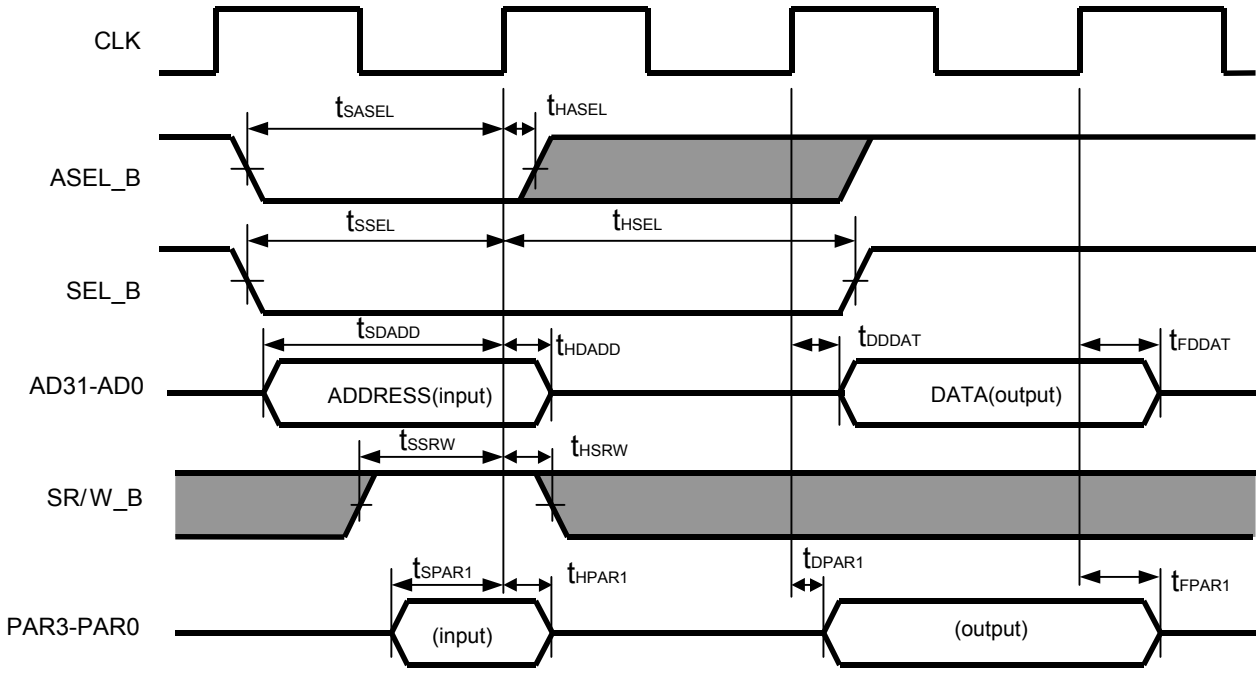


## ホスト・スレーブ・アクセス（2/2）

### （2）リード

| | 項　目 | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単 位 |
|---|---|---|---|---|---|---|---|
| | ASEL_Bセットアップ時間 | $t_{SASEL}$ | | 8 | | | ns |
| | ASEL_Bホールド時間 | $t_{HASEL}$ | | 3 | | | ns |
| | SEL_Bセットアップ時間 | $t_{SSEL}$ | | 8 | | | ns |
| | SEL_Bホールド時間 | $t_{HSEL}$ | | $1t_{CYCLK}+3$ | | | ns |
| | アドレス・セットアップ時間 | $t_{SDADD}$ | | 8 | | | ns |
| | アドレス・ホールド時間 | $t_{HDADD}$ | | 3 | | | ns |
| * | CLK↑→データ遅延時間 | $t_{DDDAT}$ | | | | 20 | ns |
| | CLK↑→データ・フロート時間 | $t_{FDDAT}$ | | 3 | | 18 | ns |
| | PARセットアップ時間 | $t_{SPAR1}$ | | 8 | | | ns |
| | PARホールド時間 | $t_{HPAR1}$ | | 3 | | | ns |
| * | CLK↑→PAR遅延時間 | $t_{DPAR1}$ | | | | 20 | ns |
| | CLK↑→PARフロート時間 | $t_{FPAR1}$ | | 3 | | 18 | ns |
| | SR/ W_Bセットアップ時間 | $t_{SSRW}$ | | 8 | | | ns |
| | SR/ W_Bホールド時間 | $t_{HSRW}$ | | 3 | | | ns |

### リード・タイミング

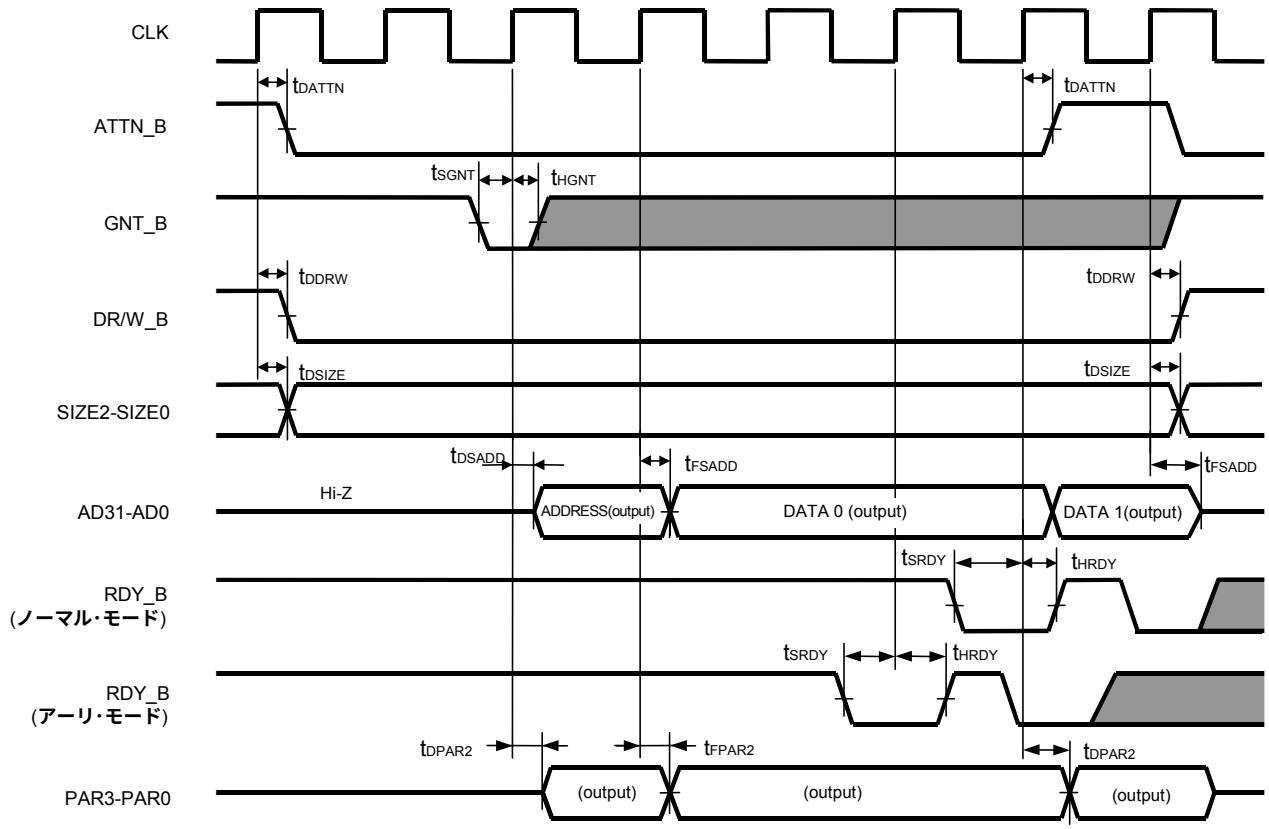


**DMAアクセス（1/2）**

**（1）ライト**

| | 項　目 | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単 位 |
|---|---|---|---|---|---|---|---|
| | CLK↑→ATTN_B遅延時間 | $t_{DATTN}$ | | | | 18 | ns |
| | GNT_Bセットアップ時間 | $t_{SGNT}$ | | 8 | | | ns |
| | GNT_Bホールド時間 | $t_{HGNT}$ | | 3 | | | ns |
| | CLK↑→DR/ W_B遅延時間 | $t_{DDRW}$ | | 3 | | 18 | ns |
| | CLK↑→SIZE遅延時間 | $t_{DSIZE}$ | | 3 | | 18 | ns |
| ＊ | CLK↑→アドレス遅延時間 | $t_{DSADD}$ | | | | 20 | ns |
| | CLK↑→アドレス／データ･フロート時間 | $t_{FSADD}$ | | 3 | | 18 | ns |
| ＊ | CLK↑→PAR遅延時間 | $t_{DPAR2}$ | | | | 20 | ns |
| | CLK↑→PARフロート時間 | $t_{FPAR2}$ | | 3 | | 18 | ns |
| ＊ | RDY_Bセットアップ時間 | $t_{SRDY}$ | | 8 | | | ns |
| | RDY_Bホールド時間 | $t_{HRDY}$ | | 3 | | | ns |

**ライト・タイミング（例：2ワード･バースト時）**

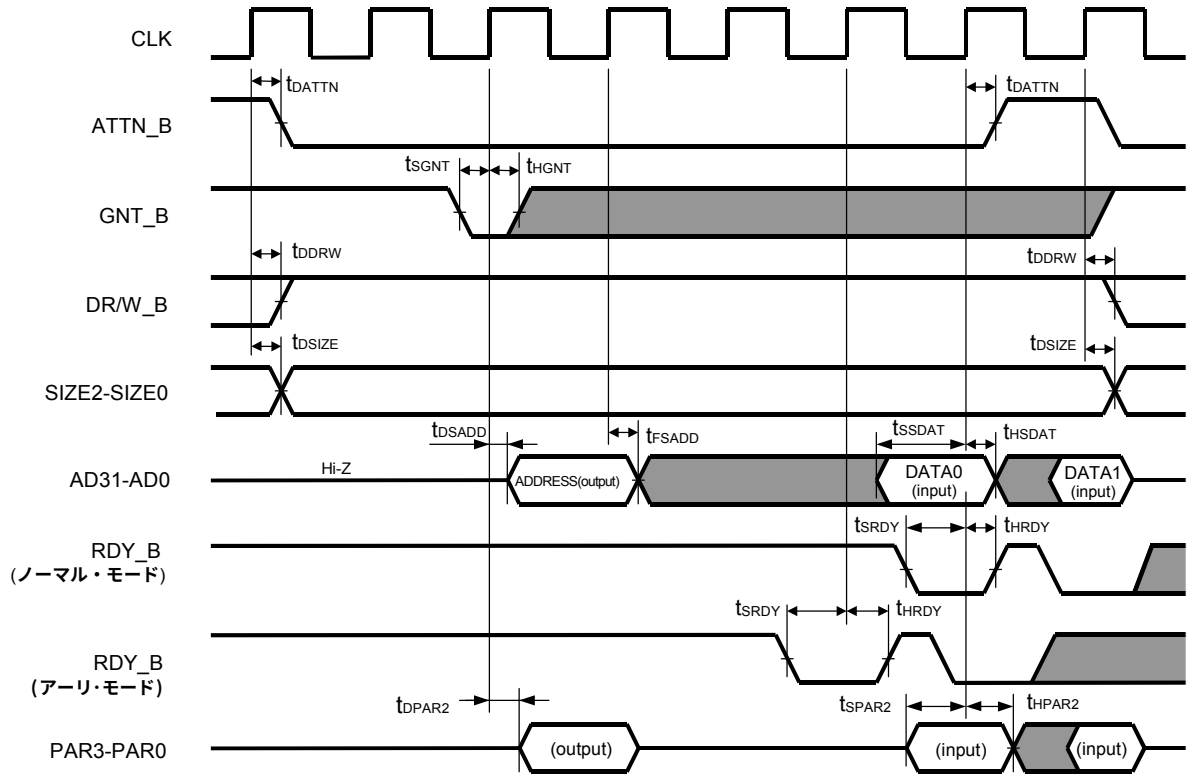


**DMAアクセス（2/2）**

**（2） リード**

| | 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単 位 |
|---|---|---|---|---|---|---|---|
| | CLK↑→ATTN_B遅延時間 | $t_{DATTN}$ | | | | 18 | ns |
| | GNT_Bセットアップ時間 | $t_{SGNT}$ | | 8 | | | ns |
| | GNT_Bホールド時間 | $t_{HGNT}$ | | 3 | | | ns |
| | CLK↑→DR/W_B遅延時間 | $t_{DDRW}$ | | 3 | | 18 | ns |
| | CLK↑→SIZE遅延時間 | $t_{DSIZE}$ | | 3 | | 18 | ns |
| ＊ | CLK↑→アドレス遅延時間 | $t_{DSADD}$ | | | | 20 | ns |
| | CLK↑→アドレス／データ・フロート時間 | $t_{FSADD}$ | | 3 | | 18 | ns |
| ＊ | CLK↑→PAR遅延時間 | $t_{DPAR2}$ | | | | 20 | ns |
| ＊ | RDY_Bセットアップ時間 | $t_{SRDY}$ | | 8 | | | ns |
| | RDY_Bホールド時間 | $t_{HRDY}$ | | 3 | | | ns |
| | データ・セットアップ時間 | $t_{SSDAT}$ | | 8 | | | ns |
| | データ・ホールド時間 | $t_{HSDAT}$ | | 3 | | | ns |
| | PARセットアップ時間 | $t_{SPAR2}$ | | 8 | | | ns |
| | PARホールド時間 | $t_{HPAR2}$ | | 3 | | | ns |

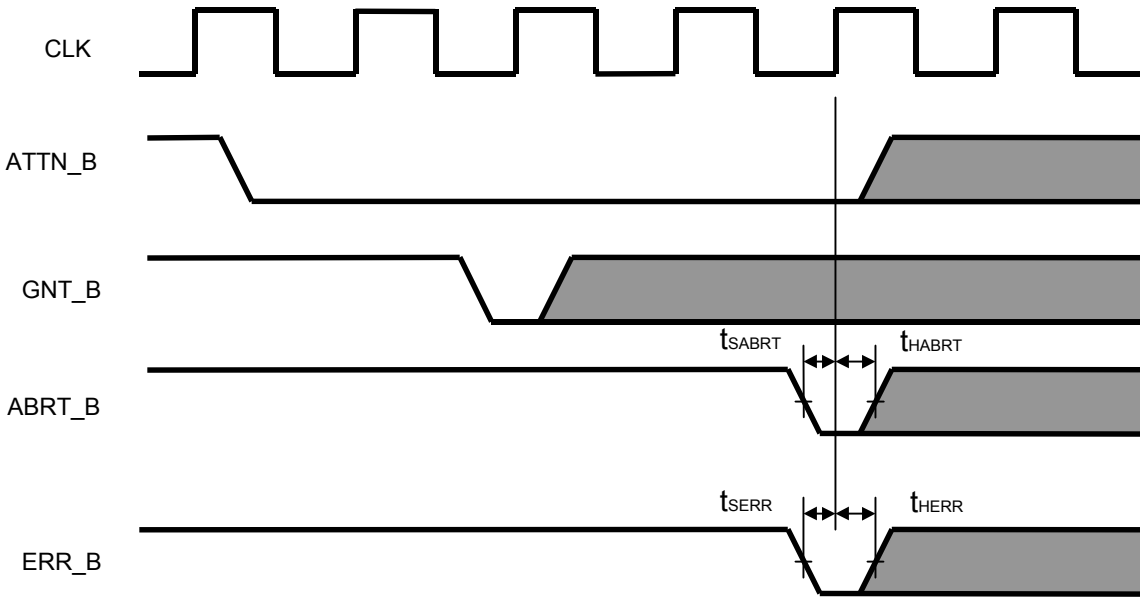
**リード・タイミング（例：2ワード・バースト時）**



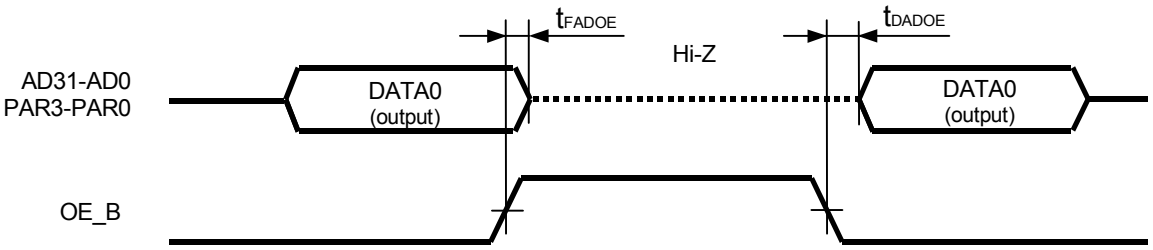
**ABRT_B，ERR_B，OE_B信号**

| | 項　目 | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単 位 |
|---|---|---|---|---|---|---|---|
| ＊ | ABRT_Bセットアップ時間 | $t_{SABRT}$ | | 8 | | | ns |
| | ABRT_Bホールド時間 | $t_{HABRT}$ | | 3 | | | ns |
| ＊ | ERR_Bセットアップ時間 | $t_{SERR}$ | | 8 | | | ns |
| | ERR_Bホールド時間 | $t_{HERR}$ | | 3 | | | ns |
| ＊ | OE_B↓→AD，PAR出力確定時間 | $t_{DADOE}$ | | | | 18 | ns |
| ＊ | OE_B↑→AD，PAR Hi-Z確定時間 | $t_{FADOE}$ | | | | 18 | ns |

**ABRT_B／ERR_B タイミング**



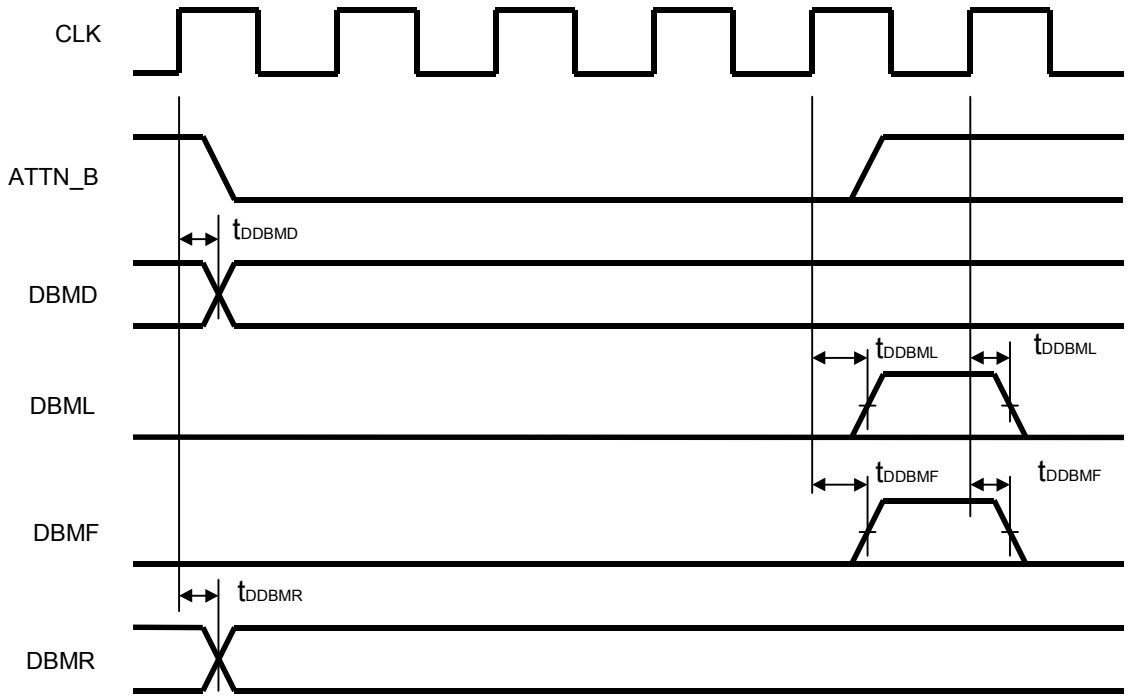

**OE_B タイミング**



### バス・モニタリング信号

| | 項　目 | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単 位 |
|---|---|---|---|---|---|---|---|
| ＊ | CLK↑→DBMD遅延時間 | $t_{DDBMD}$ | | | | 18 | ns |
| ＊ | CLK↑→DBML遅延時間 | $t_{DDBML}$ | | | | 19 | ns |
| ＊ | CLK↑→DBMF遅延時間 | $t_{DDBMF}$ | | | | 19 | ns |
| ＊ | CLK↑→DBMR遅延時間 | $t_{DDBMR}$ | | | | 18 | ns |

### バス・モニタリング信号タイミング

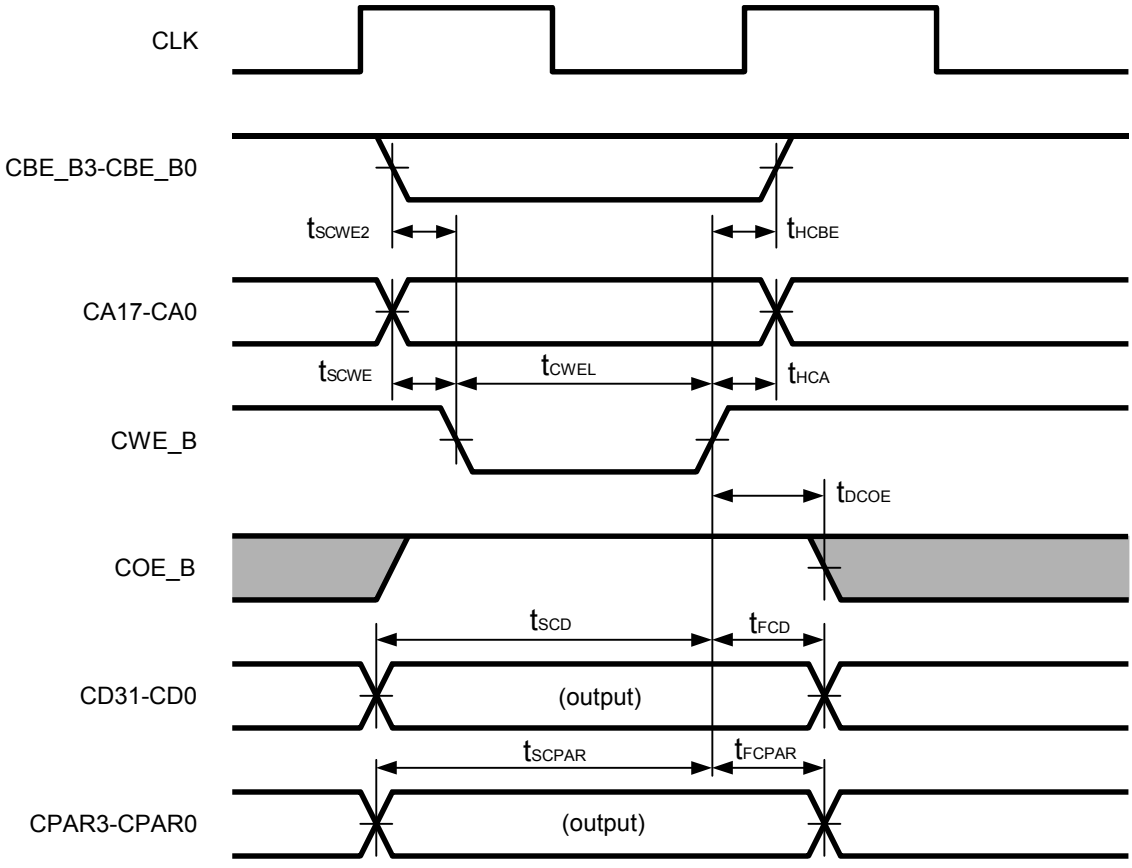


**コントロール・メモリ・アクセス（1/2）**

**（1）ライト**

| | 項　目 | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単 位 |
|---|---|---|---|---|---|---|---|
| ＊ | CA→CWE_B↓ セットアップ時間 | $t_{SCWE}$ | | 0 | | | ns |
| ＊ | CBE_B→CWE_B↓ セットアップ時間 | $t_{SCWE2}$ | | 0 | | | ns |
| ＊ | CWE_Bロウ・レベル幅 | $t_{CWEL}$ | | $1t_{CLKH} - 2$ | | | ns |
| ＊ | CWE_B↑→ CDフロート時間 | $t_{FCD}$ | | 0 | | $1t_{CLKL} + 10$ | ns |
| ＊ | CWE_B↑→COE_B遅延時間 | $t_{DCOE}$ | | 0 | | | ns |
| ＊ | CAホールド時間（対CWE_B↑） | $t_{HCA}$ | | 0 | | | ns |
| | CBE_Bホールド時間（対CWE_B↑） | $t_{HCBE}$ | | 0 | | | ns |
| | CD出力時間（対CWE_B↑） | $t_{SCD}$ | | 8 | | | ns |
| | CWE_B↑→CPARフロート時間 | $t_{FCPAR}$ | | 0 | | $1t_{CLKL} + 10$ | ns |
| | CPAR出力時間（対CWE_B↑） | $t_{SCPAR}$ | | 8 | | | ns |

**ライト・タイミング**

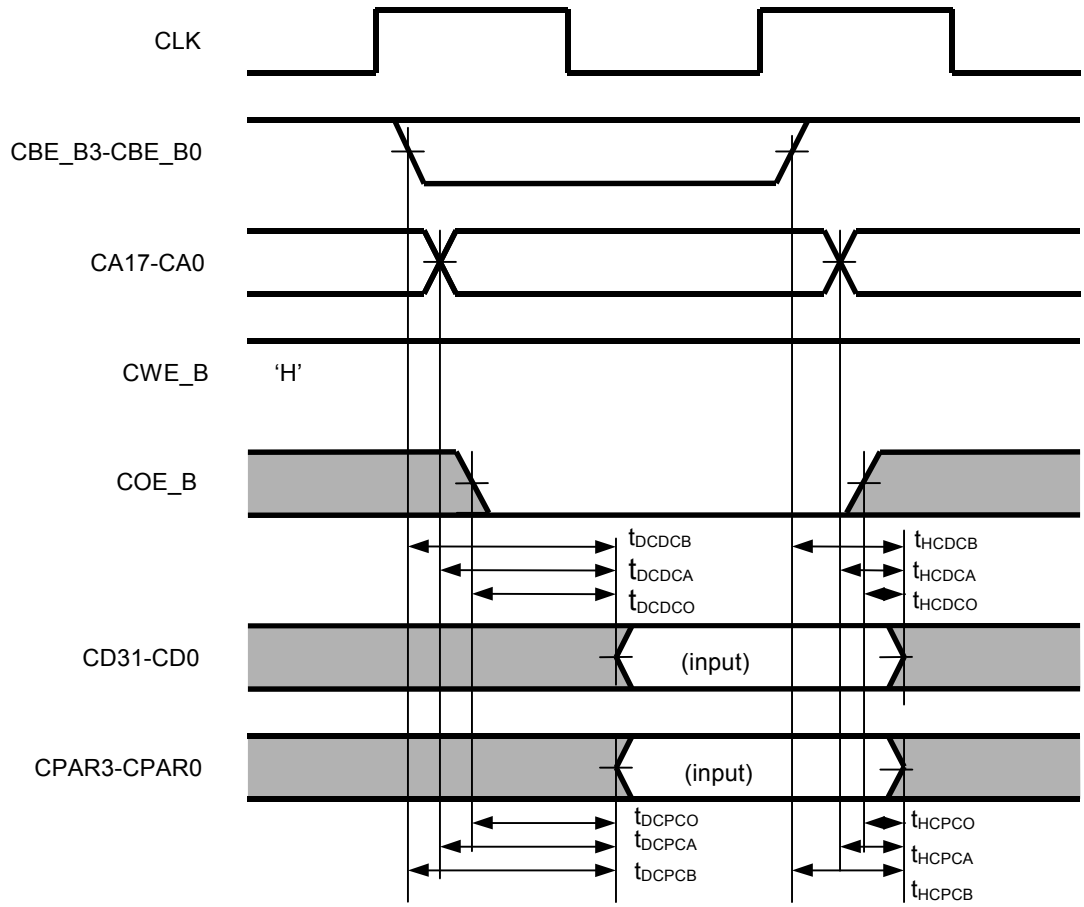


**コントロール・メモリ・アクセス（2/2）**

**（2）リード**

| | 項　目 | 略　号 | 条　件 | Min. | Typ. | Max. | 単 位 |
|---|---|---|---|---|---|---|---|
| * | CD遅延許容時間（対CBE_B↓） | $t_{DCDCB}$ | | | | $1t_{CYCLK}$ - 15 | ns |
| * | CD遅延許容時間（対CA） | $t_{DCDCA}$ | | | | $1t_{CYCLK}$ - 15 | ns |
| * | CD遅延許容時間（対COE_B↓） | $t_{DCDCO}$ | | | | $1t_{CYCLK}$ - 15 | ns |
| * | CDホールド時間（対CBE_B↑） | $t_{HCDCB}$ | | 0 | | | ns |
| * | CDホールド時間（対CA） | $t_{HCDCA}$ | | 0 | | | ns |
| * | CDホールド時間（COE_B↑） | $t_{HCDCO}$ | | 0 | | | ns |
| * | CPARホールド許可時間（対CBE_B↓） | $t_{DCPCB}$ | | | | $1t_{CYCLK}$ - 15 | ns |
| * | CPARホールド許可時間（対CA） | $t_{DCPCA}$ | | | | $1t_{CYCLK}$ - 15 | ns |
| * | CPARホールド許可時間（対COE_B↓） | $t_{DCPCO}$ | | | | $1t_{CYCLK}$ - 15 | ns |
| * | CPARホールド時間（対CBE_B↑） | $t_{HCPCB}$ | | 0 | | | ns |
| * | CPARホールド時間（対CA） | $t_{HCPCA}$ | | 0 | | | ns |
| * | CPARホールド時間（対COE_B↑） | $t_{HCPCO}$ | | 0 | | | ns |

**リード・タイミング**

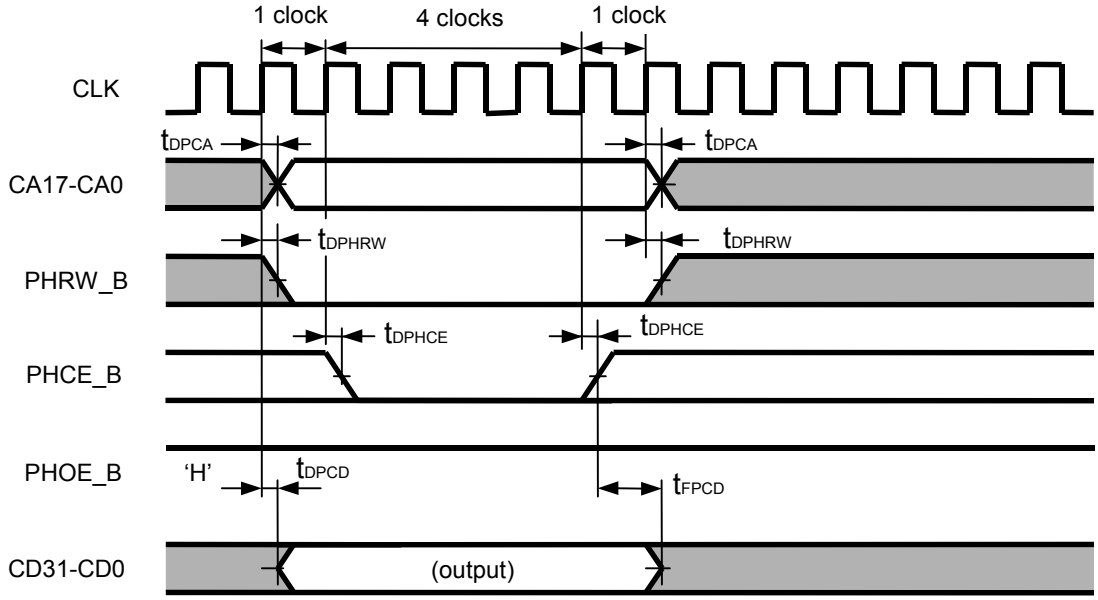


**PHYステータス・アクセス（1/2）**

**（1）ライト**

| | 項　　目 | 略　号 | 条　　件 | Min. | Typ. | Max. | 単 位 |
|---|---|---|---|---|---|---|---|
| | CLK↑→CA遅延時間 | $t_{DPCA}$ | | | | 20 | ns |
| ＊ | CLK↑→PHRW_B遅延時間 | $t_{DPHRW}$ | | | | 20 | ns |
| ＊ | CLK↑→PHCE_B遅延時間 | $t_{DPHCE}$ | | | | 20 | ns |
| | CLK↑→CD遅延時間 | $t_{DPCD}$ | | | | 20 | ns |
| | PHCE_B↑→CDフロート時間 | $t_{FPCD}$ | | $1t_{CYCLK} - 10$ | | $1t_{CYCLK} + 10$ | ns |

**ライト・タイミング**

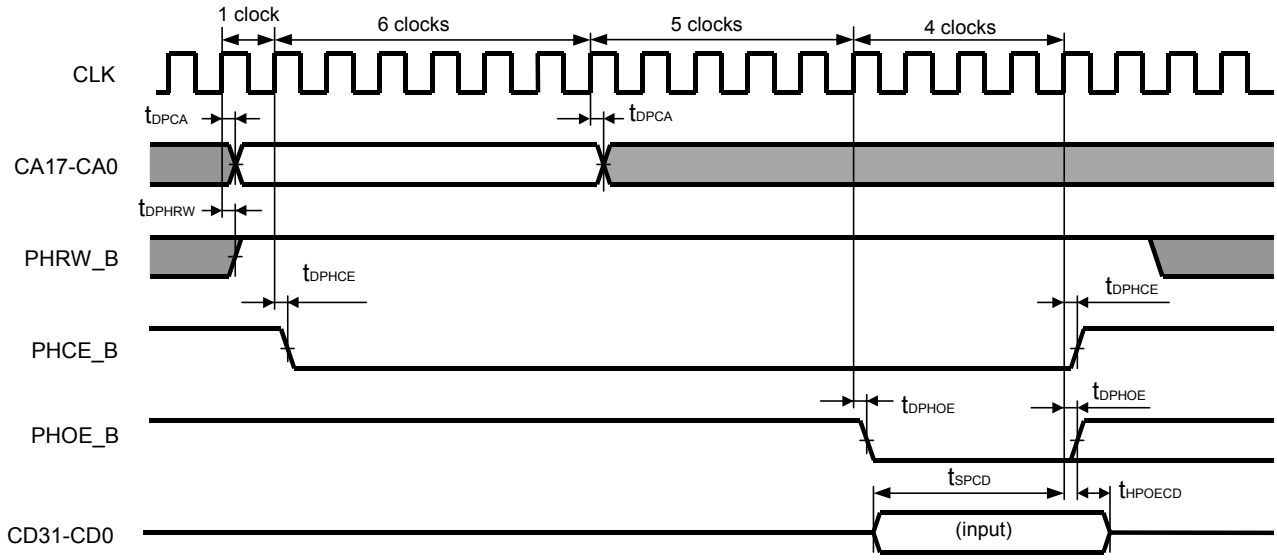


**PHYステータス・アクセス（2/2）**

**（2）リード**

| | 項　目 | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単 位 |
|---|---|---|---|---|---|---|---|
| | CDセットアップ時間 | $t_{SPCD}$ | | 0 | | | ns |
| | CDホールド時間 | $t_{HPOECD}$ | | 0 | | | ns |
| | CLK↑→CA遅延時間 | $t_{DPCA}$ | | | | 20 | ns |
| ＊ | CLK↑→PHRW_B遅延時間 | $t_{DPHRW}$ | | | | 20 | ns |
| ＊ | CLK↑→PHCE_B遅延時間 | $t_{DPHCE}$ | | | | 20 | ns |
| ＊ | CLK↑→PHOE_B遅延時間 | $t_{DPHOE}$ | | | | 20 | ns |

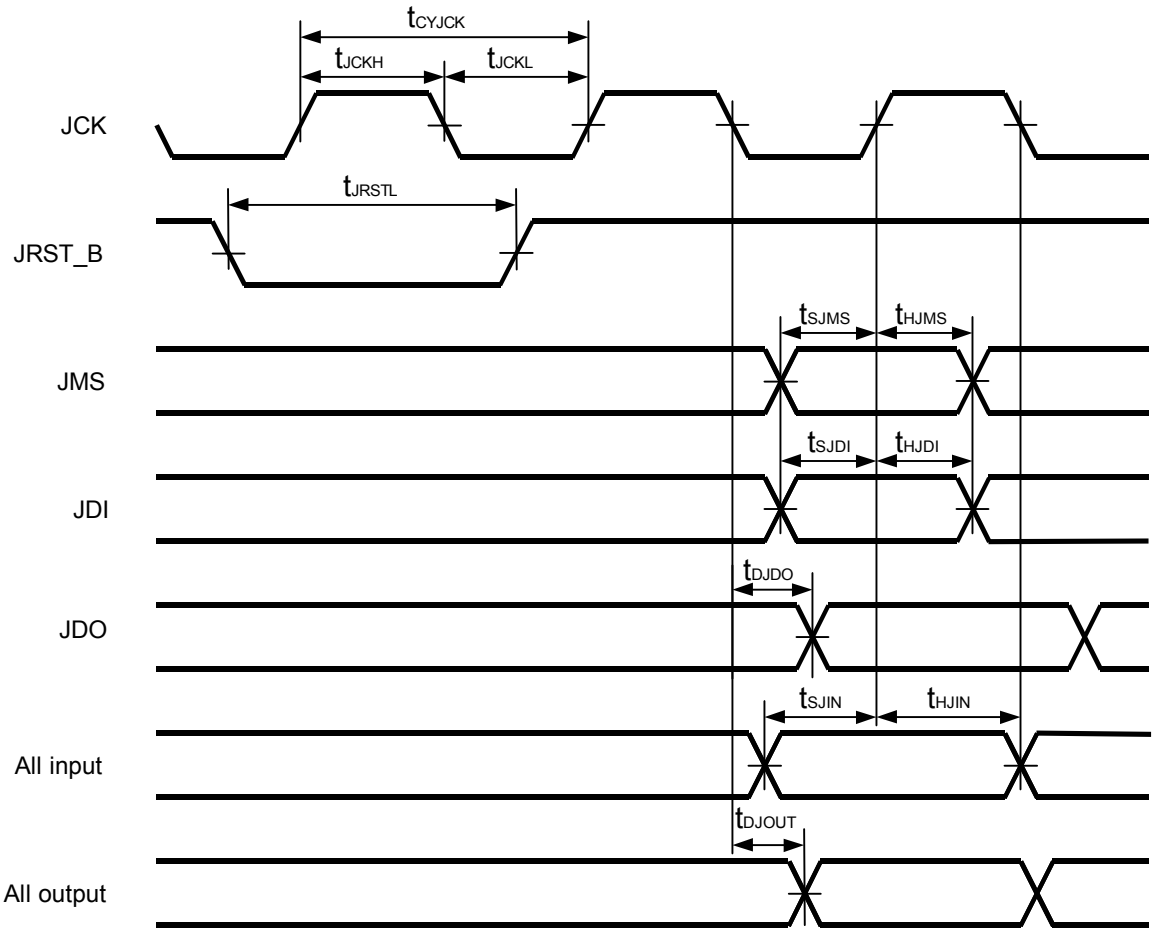
**リード・タイミング**



**JTAGバウンダリ・スキャン**

| | 項　目 | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単 位 |
|---|---|---|---|---|---|---|---|
| | JCKサイクル時間 | $t_{CYJCK}$ | | 100 | | | ns |
| | JCKハイ・レベル幅 | $t_{JCKH}$ | | 40 | | | ns |
| | JCKロウ・レベル幅 | $t_{JCKL}$ | | 40 | | | ns |
| | JMSセットアップ時間 | $t_{SJMS}$ | | 10 | | | ns |
| | JMSホールド時間 | $t_{HJMS}$ | | 10 | | | ns |
| | JDIセットアップ時間 | $t_{SJDI}$ | | 10 | | | ns |
| | JDIホールド時間 | $t_{HJDI}$ | | 10 | | | ns |
| | Capture_DRデータ入力セットアップ時間 | $t_{SJIN}$ | | 15 | | | ns |
| * | Capture_DRデータ入力ホールド時間 | $t_{HJIN}$ | | 15 | | | ns |
| * | JCK↓→Up Date_DR出力遅延時間 | $t_{DJOUT}$ | | | | 25 | ns |
| | JCK↓→JDO遅延時間 | $t_{DJDO}$ | | | | 20 | ns |
| | JRST_Bロウ・レベル幅 | $t_{JRSTL}$ | | 1$t_{CYJCK}$ | | | ns |

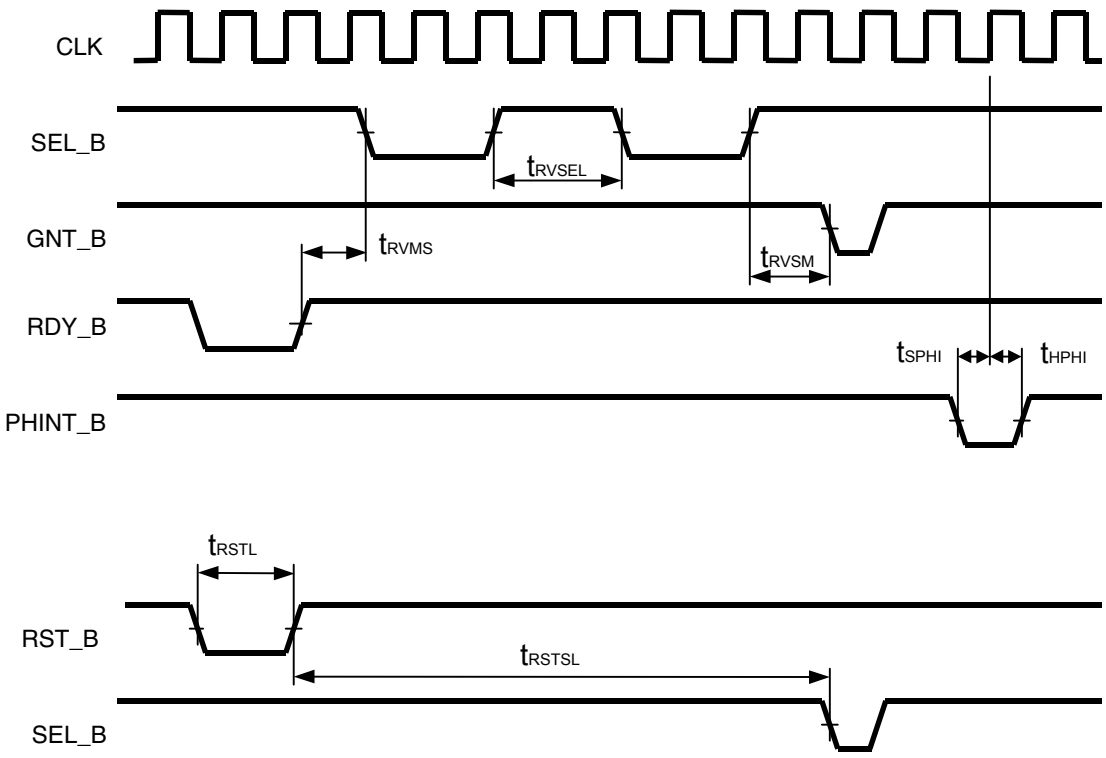
**JTAG バウンダリ・スキャン・タイミング**



### その他

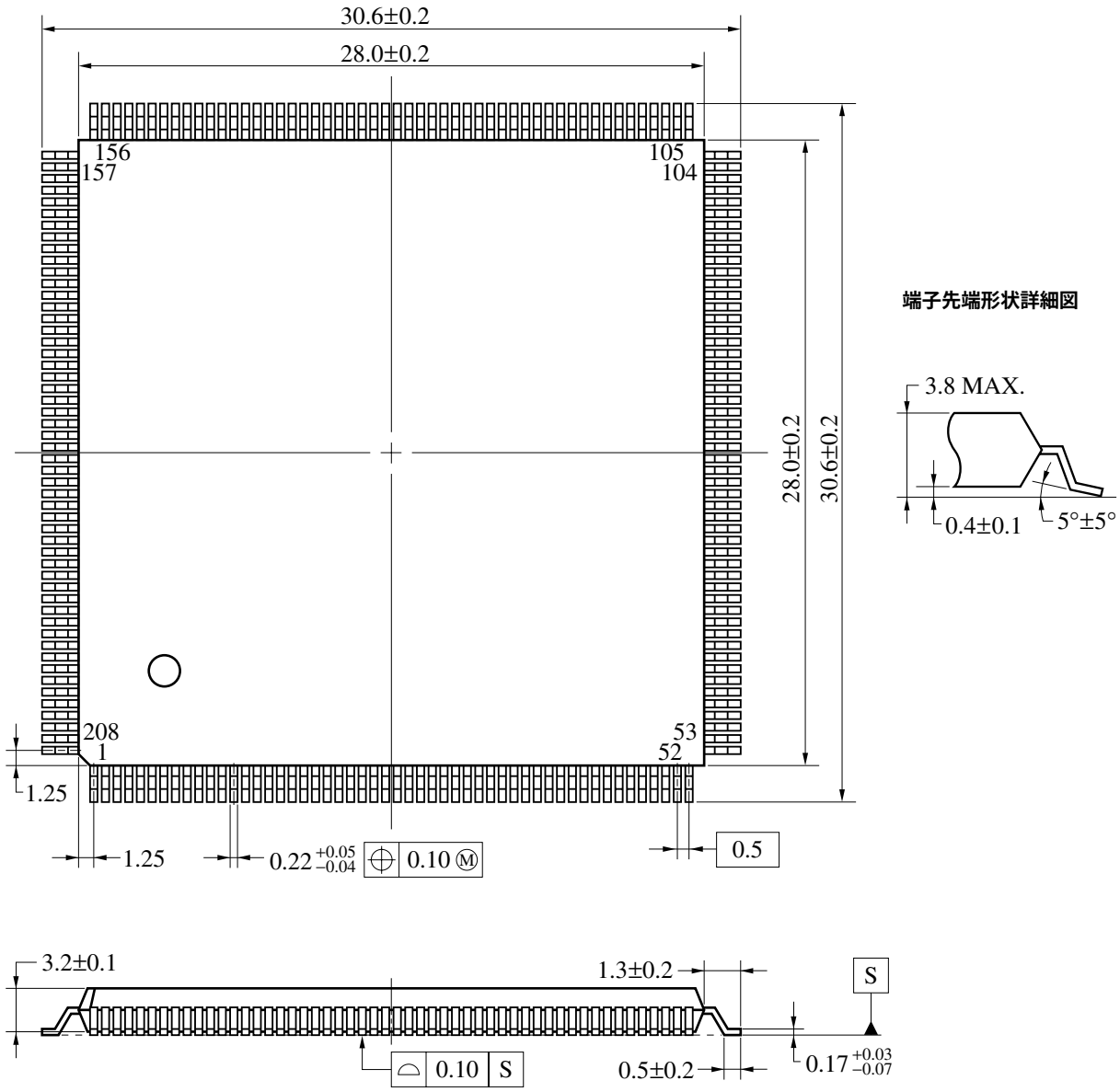
| 項　　目 | 略　号 | 条　　件 | Min. | Typ. | Max. | 単 位 |
|---|---|---|---|---|---|---|
| SEL_Bリカバリ時間 | $t_{RVSEL}$ | | 2 | | | $t_{CYCLK}$ |
| SEL_B↑→GNT_B↓リカバリ時間 | $t_{RVSM}$ | | 1 | | | $t_{CYCLK}$ |
| RDY_B↑→SEL_B↓リカバリ時間 | $t_{RVMS}$ | 通常時 RDY_Bモード | 1 | | | $t_{CYCLK}$ |
| PHINT_Bセットアップ時間 | $t_{SPHI}$ | | 8 | | | ns |
| PHINT_Bホールド時間 | $t_{HPHI}$ | | 1 | | | ns |
| RST_B入力パルス幅 | $t_{RSTL}$ | | 1 | | | $t_{CYCLK}$ |
| RST_B↑→SEL_B↓ リカバリ時間 | $t_{RSTSL}$ | | 20 | | | $t_{CYCLK}$ |

### その他のタイミング



## 4．外 形 図

★ **208ピン・プラスチック QFP（ファインピッチ）（28x28）外形図（単位：mm）**




P208GD-50-LML, MML, SML, WML-7

## ５．半田付け推奨条件

この製品の半田付け実装は，次の推奨条件で実施してください。

なお，推奨条件以外の半田付け方式および半田付け条件については，当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」（http://www.ic.nec.co.jp/pkg/ja/jissou/index.html）

### 表面実装タイプ

μPD98401AGD-MML：208ピン・プラスチックQFP（ファインピッチ）（28×28）

| 半田付け方式 | 半　田　付　け　条　件 | 推奨条件記号 |
|---|---|---|
| 赤外線リフロー | パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内，<br>制限日数：7日間[注]（以降は125℃プリベーク36時間必要）<br><留意事項><br>耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。 | IR35-367-2 |
| 端子部分加熱 | 端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり） | － |

注 ドライパック開封後の保管日数で保管条件は25℃，65％RH以下。

［メ　モ］

## CMOSデバイスの一般的注意事項

### ①静電気対策（MOS全般）

**注意　MOSデバイス取り扱いの際は静電気防止を心がけてください。**

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，NECが出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

### ②未使用入力の処理（CMOS特有）

**注意　CMOSデバイスの入力レベルは固定してください。**

バイポーラやNMOSのデバイスと異なり，CMOSデバイスの入力に何も接続しない状態で動作させると，ノイズなどに起因する中間レベル入力が生じ，内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また，未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介して$V_{DD}$またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

### ③初期化以前の状態（MOS全般）

**注意　電源投入時，MOSデバイスの初期状態は不定です。**

分子レベルのイオン注入量等で特性が決定するため，初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

NEASCOT-S15，NEASCOT-S10 は，日本電気株式会社の商標です。

- 本資料の内容は予告なく変更することがありますので，最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して，当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合，当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路，ソフトウエア，及びこれらに付随する情報は，半導体製品の動作例，応用例を説明するためのものです。従って，これら回路・ソフトウエア・情報をお客様の機器に使用される場合には，お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して，当社は一切その責を負いません。
- 当社は品質，信頼性の向上に努めていますが，半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として，人身事故，火災事故，社会的な損害等を生じさせない冗長設計，延焼対策設計，誤動作防止設計等安全設計に十分ご注意願います。
- 当社は，当社製品の品質水準を「標準水準」，「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また，各品質水準は以下に示す用途に製品が使われることを意図しておりますので，当社製品の品質水準をご確認の上ご使用願います。

  標準水準：コンピュータ，OA機器，通信機器，計測機器，AV機器，家電，工作機械，パーソナル機器，産業用ロボット

  特別水準：輸送機器（自動車，列車，船舶等），交通用信号機器，防災／防犯装置，各種安全装置，生命維持を直接の目的としない医療機器

  特定水準：航空機器，航空宇宙機器，海底中継機器，原子力制御システム，生命維持のための医療機器，生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で，特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は，必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

## お問い合わせ先

### 【技術的なお問い合わせ先】

ＮＥＣ半導体テクニカルホットライン
（電話：午前 9:00～12:00，午後 1:00～5:00）
電　話　：044−435−9494
FAX　：044−435−9608
E-mail　：info@lsi.nec.co.jp

### 【営業関係お問い合わせ先】

システムLSI第一営業事業部
東　京　(03)3798−6106, 6107, 6108, 6155
大　阪　(06)6945−3178, 3200, 3208
名古屋　(052)222−2375
仙　台　(022)267−8740
水　戸　(029)226−1702
広　島　(082)242−5504
鳥　取　(0857)27−5313
松　山　(089)945−4149

システムLSI第二営業事業部
東　京　(03)3798−6110, 6111, 6112, 6151, 6156
名古屋　(052)222−2170, 2190
松　本　(0263)35−1662
前　橋　(027)243−6060
立　川　(042)526−5981
静　岡　(054)254−4794
金　沢　(076)232−7303
福　岡　(092)261−2806

### 【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

### 【NECエレクトロンデバイス　ホームページ】

NECエレクトロンデバイスの情報がインターネットでご覧になれます。　URL（アドレス）　http://www.ic.nec.co.jp/

C02.5S