

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

7300 画素×3 列 カラー CCD リニア・イメージ・センサ

μPD8835 は、CCD (Charge Coupled Device) によって走査する、光から電圧への変換機能と色分解機能を持つ、超高速の 1 次元カラー・イメージ・センサです。4 出力/色の高速出力信号増幅器と高速の CCD レジスタを持っていますので、高精細な画像を高速で読み取ることができます。

放熱性に優れたヒートシンク付きプラスチック・パッケージの採用により、高速高解像度のデジタル・カラー PPC やカラー・スキャナに最適です。

特 徴

有効画素数	: 7300 画素×3 列
フォトセル・ピッチ	: 10 μm
ライン間隔	: 40 μm (4 ライン) 赤画素列 - 緑画素列間, 緑画素列 - 青画素列間
色フィルタ	: 赤色, 緑色, 青色の原色, 顔料系フィルタ 10 ⁷ lx・hour の耐光性あり (標準太陽光 + UV カット・フィルタ L40 使用時)
高解像度	: A3 サイズの短辺を 24 dot/mm の解像度で読み取り
データ・レート	: 140 MHz/色 Max. (35 MHz/チャンネル Max.)
電 源	: +10 V, +5 V
入力クロック・レベル	: +5 V 動作の CMOS 出力
内蔵回路	: 出力信号増幅器 リセット・フィードスルー・レベル・クランプ回路 クランプ・クロック発生回路 サンプル・ホールド回路 サンプル・ホールド・クロック発生回路
出力信号	: 4 本出力/色, 前後分離タイプ サンプル・ホールド・モードのみ

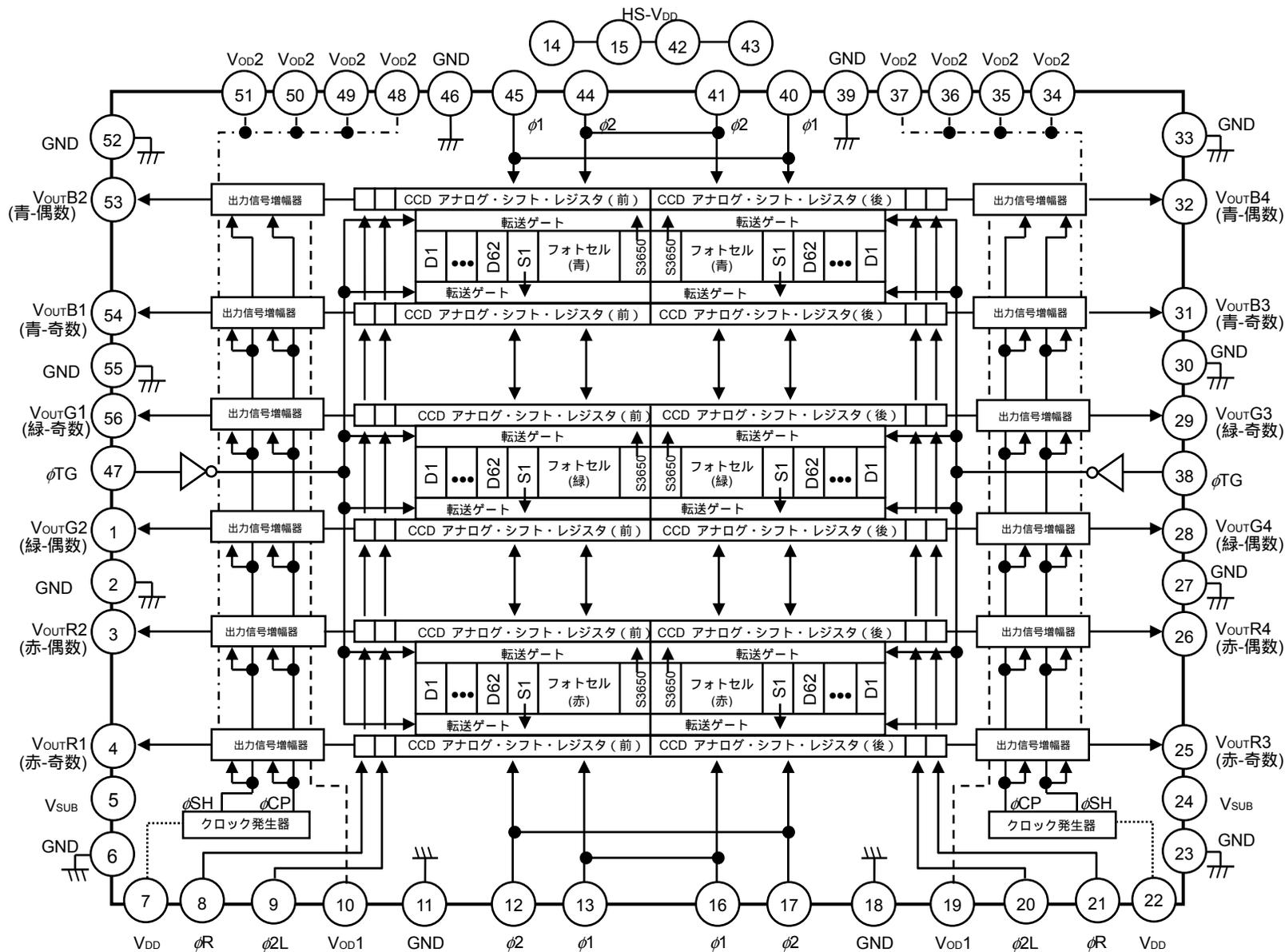
オーダ情報

オーダ名称	パッケージ
μPD8835CU-A	1 次元 CCD センサ用 56 ピン・ヒートシンク付きプラスチック DIP (15.24 mm (600)) 1.778 mm ピッチ

備考 μPD8835CU-A は、鉛フリー製品です。

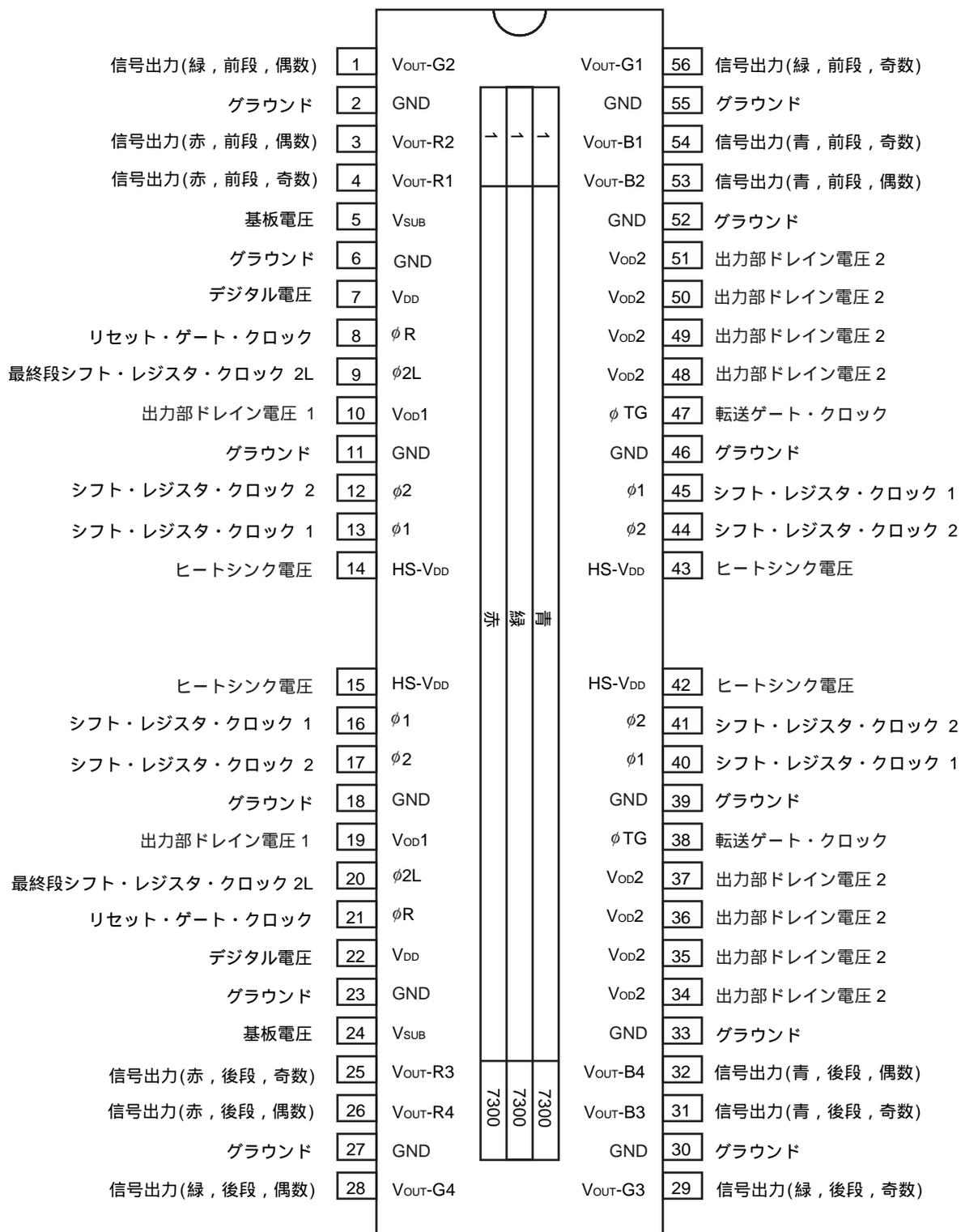
本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

ブロック図

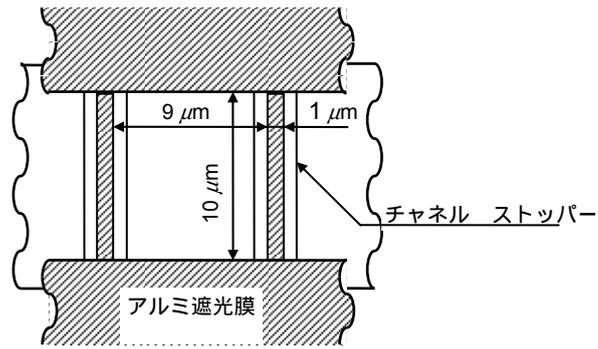


端子接続図 (Top View)

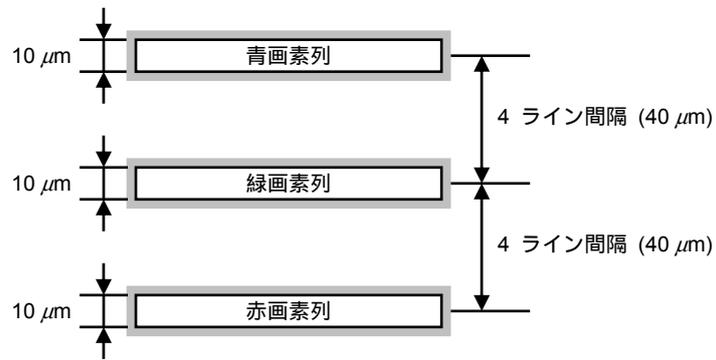
CCD リニア・イメージ・センサ 56 ピン・ヒートシンク付きプラスチック DIP (15.24 mm (600)) 1.778 mm ピッチ



フォトセル構成図



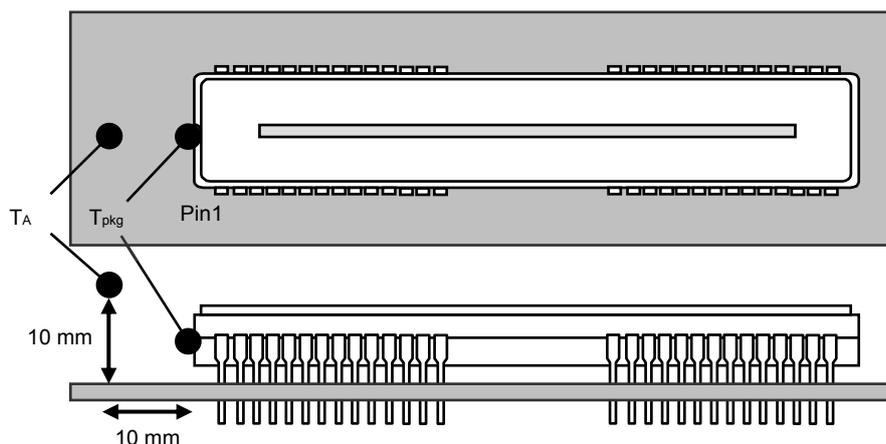
フォトセル・アレイ構成図



絶対最大定格

項目	略号	定格	単位
出力部ドレーン電圧	V_{OD1}, V_{OD2}	-0.3 ~ +12.0	V
デジタル電圧	V_{DD}	-0.3 ~ +8.0	V
基板電圧	V_{SUB}	-0.3 ~ +8.0	V
ヒートシンク電圧	$HS-V_{DD}$	-0.3 ~ +8.0	V
$V_{DD}-V_{SUB}$ 間電位差	$V_{DD}-V_{SUB}$	-0.5 ~ +0.5	V
シフト・レジスタ・クロック電圧	$V_{\phi1}, V_{\phi2}$	-0.3 ~ +8.0	V
最終段シフト・レジスタ・クロック電圧	$V_{\phi2L}$	-0.3 ~ +8.0 ^{注1}	V
リセット・ゲート・クロック電圧	$V_{\phi R}$	-0.3 ~ +8.0 ^{注1}	V
転送ゲート・クロック電圧	$V_{\phi TG}$	-0.3 ~ +8.0	V
動作周囲温度 ^{注2}	T_A	0 ~ +60	°C
パッケージ表面温度 ^{注3}	T_{pkg}	0 ~ +75	°C
保存温度	T_{stg}	-40 ~ +100	°C

- 注1. 最終段シフト・レジスタ・クロック電圧 ($V_{\phi2L}$) とリセット・ゲート・クロック電圧 ($V_{\phi R}$) が $V_{DD} + 0.3 V$ を越えないように注意してください。
2. 動作周囲温度 (T_A) は、パッケージ 1 ピン側の短辺から 10 mm、かつ基板から 10 mm 離れた位置で定義します (下図参照)。
3. パッケージ表面温度 (T_{pkg}) は、パッケージの 1 ピン側の短辺での表面温度として定義されます (下図参照)。



注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

電源オン・オフの推奨手順

電源オン・オフの手順に制約はありません。しかし、出力部ドレーン電圧 (V_{OD1}, V_{OD2}) がオンになる場合には、基板電圧 (V_{SUB}) およびデジタル電圧 (V_{DD}) が不安定 (すなわち、高インピーダンス) の状態を避けてください。また、デジタル電圧 (V_{DD}) と基板電圧 (V_{SUB}) を別々にオン・オフすることを避けてください。

推奨動作範囲

項 目	略 号	MIN.	TYP.	MAX.	単 位
出力部ドレーン電圧	V_{OD1}, V_{OD2}	9.5	10.0	10.5	V
デジタル電圧	V_{DD}	4.75	5.0	5.4	V
基板電圧	V_{SUB}	4.75	5.0	5.4	V
ヒートシンク電圧	$HS-V_{DD}$	4.75	5.0	5.4	V
$V_{DD}-V_{SUB}$ 間電位差	$V_{DD}-V_{SUB}$	-0.3	0.0	0.3	V
シフト・レジスタ・クロック・ハイ・レベル	$V\phi_{1H}, V\phi_{2H}$	4.75	5.0	6.0	V
シフト・レジスタ・クロック・ロウ・レベル	$V\phi_{1L}, V\phi_{2L}$	-0.3	0.0	0.3	V
最終段シフト・レジスタ・クロック・ハイ・レベル	$V\phi_{2LH}$	4.75	5.0	$V_{DD}+0.3$	V
最終段シフト・レジスタ・クロック・ロウ・レベル	$V\phi_{2LL}$	-0.3	0.0	0.3	V
リセット・ゲート・クロック・ハイ・レベル	$V\phi_{RH}$	4.75	5.0	$V_{DD}+0.3$	V
リセット・ゲート・クロック・ロウ・レベル	$V\phi_{RL}$	-0.3	0.0	0.3	V
転送ゲート・クロック・ハイ・レベル	$V\phi_{TGH}$	4.75	5.0	6.0	V
転送ゲート・クロック・ロウ・レベル	$V\phi_{TGL}$	-0.3	0.0	0.3	V
シフト・レジスタ・クロック振幅	$V_{P-P\phi 1}, V_{P-P\phi 2}$	4.75	5.0	6.3	V
転送ゲート・クロック振幅	$V_{P-P\phi TG}$	4.75	5.0	6.3	V
出力信号データ・レート	$f\phi_R$	0.1	1	35	MHz
クロック・レート	$f\phi_1, f\phi_2$	0.1	1	35	MHz

電気的特性

T_A = +25°C, V_{OD1} = V_{OD2} = +10 V, V_{DD} = V_{SUB} = +5 V, f_{φR} = 1 MHz, データ・レート = 1 MHz, 蓄積時間 = 10 ms, 入力クロック電圧 = 5 Vp-p, 光源 (感度 2 を除く): 3200 K ハロゲン・ランプ + C-500S (赤外線カット・フィルタ, t = 1 mm) + HA-50 (熱吸収フィルタ, t = 3 mm)

項目		略号	条件	MIN.	TYP.	MAX.	単位
飽和出力電圧		V _{sat}		1.2	1.5	–	V
飽和露光量	赤	SE(R)		–	0.14	–	lx*s
	緑	SE(G)		–	0.16	–	
	青	SE(B)		–	0.3	–	
出力電圧の不均一性		PRNU1(-)	V _{OUT} = 1 V	–	6	18	%
		PRNU1(+)		–	6	11	
暗時平均出力		ADS	光入力遮断	–	0.1	5.0	mV
暗時出力不均一性		DSNU	光入力遮断	–	2.0	10.0	mV
消費電力	(V _{OD1})	P _{OD1}		–	790	950	mW
	(V _{OD2})	P _{OD2}		–	960	1150	
	(V _{DD})	P _{DD}	f _{φR} = 35 MHz	–	69	90	
	(V _{SUB})	P _{SUB}		–	1	20	
消費電力合計		P _W	f _{φR} = 35 MHz	–	1820	2210	
出力インピーダンス		Z _O		–	0.15	0.4	kΩ
感度 1	赤	R _R		7.8	10.5	13.2	V/lx*s
	緑	R _G		6.9	9.2	11.5	
	青	R _B		3.75	5.0	6.25	
感度 2 (感度 1 からの換算値)	赤	R _R	A 光源 + CM500S	–	(9.8)	–	V/lx*s
	緑	R _G		–	(9.0)	–	
	青	R _B		–	(4.5)	–	
感度ピーク波長	赤			–	610	–	nm
	緑			–	535	–	
	青			–	460	–	
残像		IL	V _{OUT} = 1 V	–	1	20	mV
オフセット・レベル		V _{OS}		4.0	5.0	6.0	V
出力設定時間 ^注		ts1	V _{OUT} = 1 V	2	3	4	ns
		ts2		5.5	7	8.5	
レジスタ・インバランス		RI	V _{OUT} = 1 V	–	2.0	10.0	%
		RI-FR	V _{OUT} = 1 V	–	2.0	10.0	
全転送効率		TTE	V _{OUT} = 1 V, f _{φ1} = 35 MHz	94	98	–	%
ダイナミック・レンジ		DR1	V _{sat} /DSNU	–	750	–	倍
		DR2	V _{sat} /σ _{dark}	–	1875	–	
暗時ランダム・ノイズ		σ _{dark}		–	0.8	–	mV

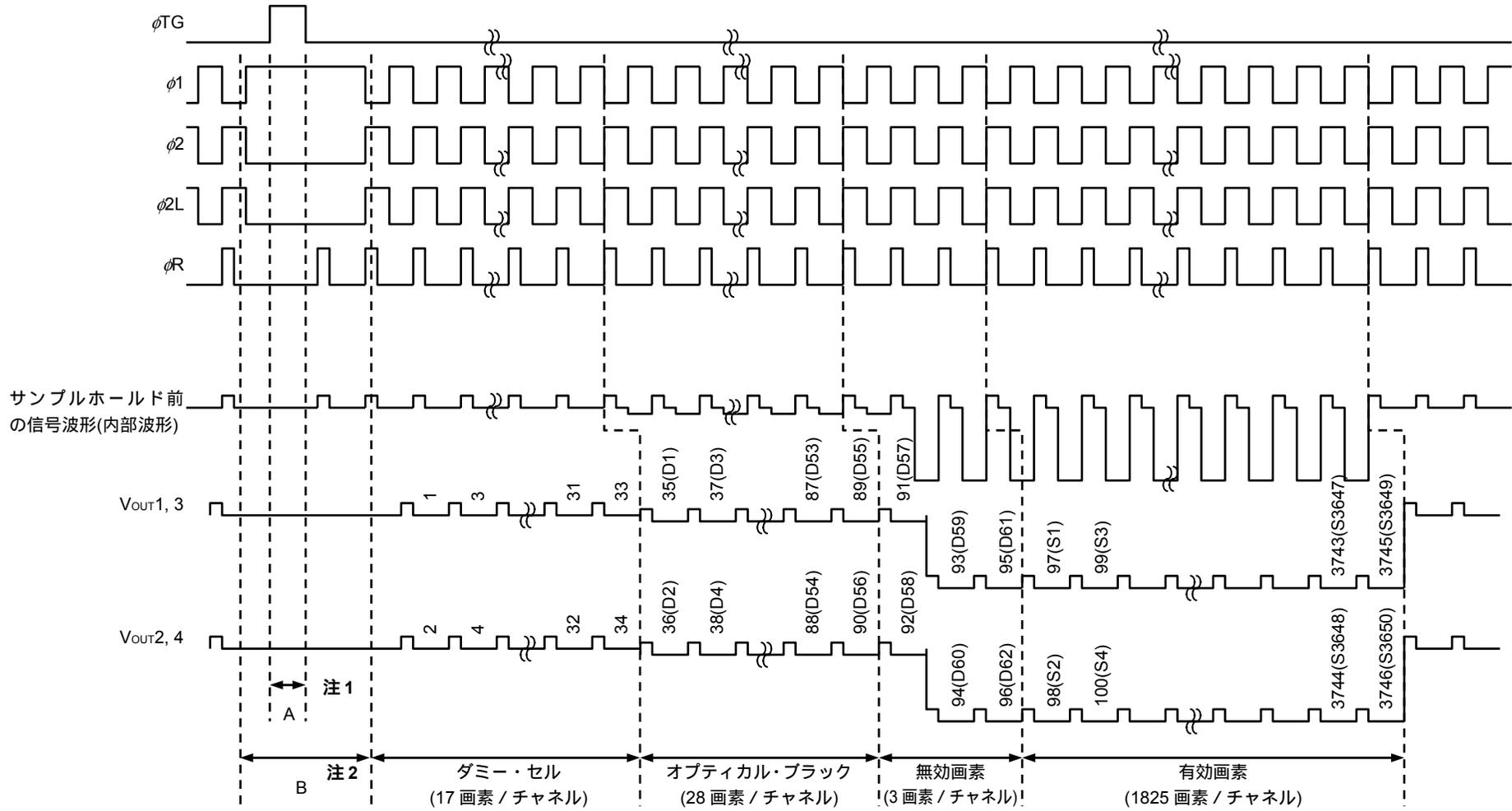
注 ts1 と ts2 の定義は、タイミング・チャート 2 で示されます。

入力端子容量 (V_{OD1} = V_{OD2} = +10 V, V_{DD} = V_{SUB} = +5 V)

項目	略号	端子名称	端子番号	MIN.	TYP.	MAX.	単位
シフト・レジスタ・クロック端子容量 ^注	C _{φ1}	φ1	13	215	240	265	pF
			16	215	240	265	
			40	215	240	265	
			45	215	240	265	
		TOTAL		860	960	1060	
	C _{φ2}	φ2	12	215	240	265	pF
			17	215	240	265	
			41	215	240	265	
			44	215	240	265	
		TOTAL		860	960	1060	
最終段シフト・レジスタ・クロック端子容量	C _{φ2L}	φ2L	9	11	12	13	pF
			20	11	12	13	
リセット・ゲート・クロック端子容量	C _{φR}	φR	8	11	12	13	pF
			21	11	12	13	
転送ゲート・クロック端子容量	C _{φTG}	φTG	38	2	3	4	pF
			47	2	3	4	

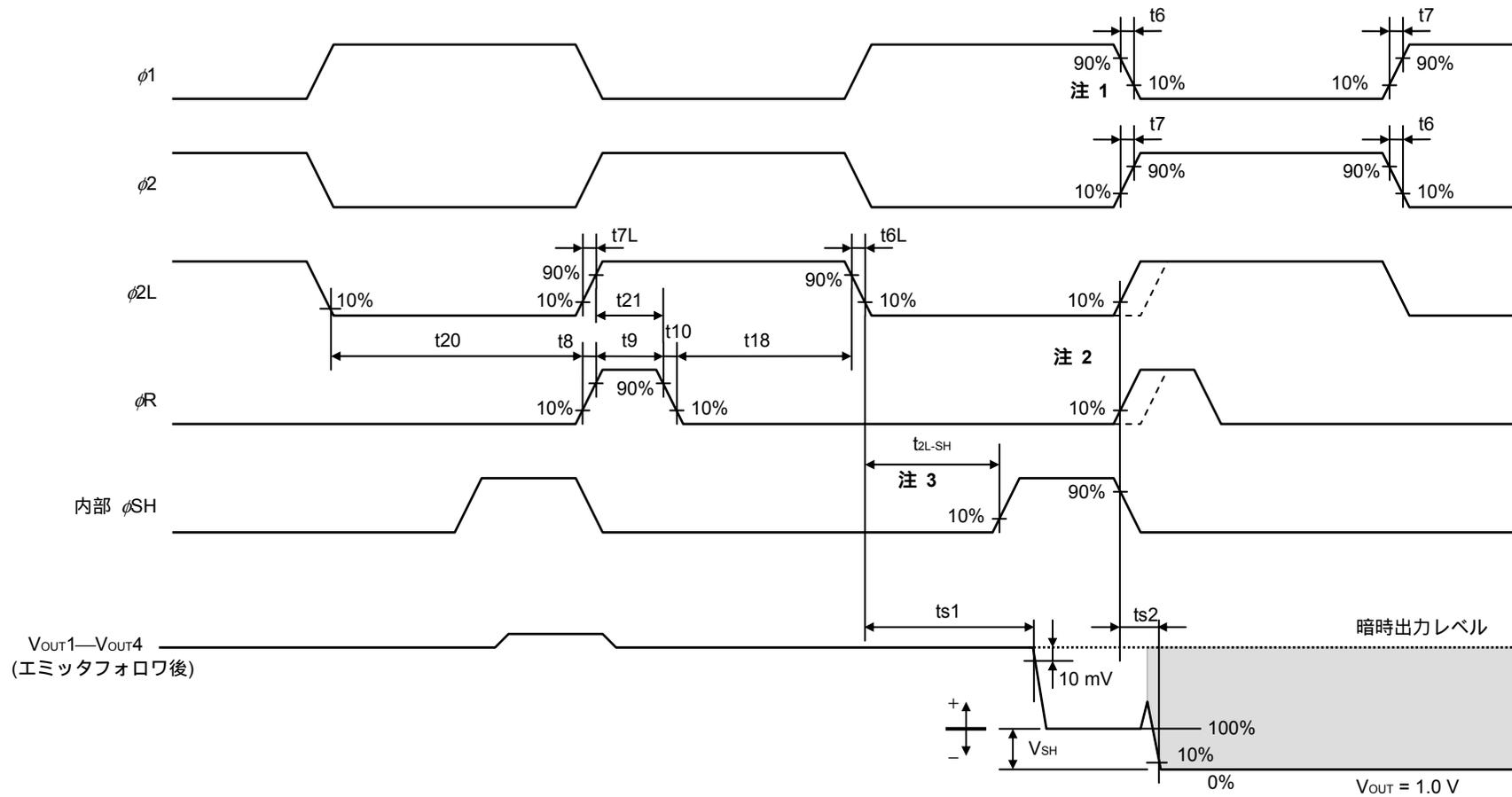
注 C_{φ1}, C_{φ2}はφ1-φ2間の相間容量を含めた実駆動時の等価容量を示します。また, φ1の各端子(13, 16, 40, 45)は, デバイス内部で接続されています。同様に, φ2の各端子(12, 17, 41, 44)もデバイス内部で接続されています。

タイミング・チャート1



- 注 1. Aの期間、 ϕR はロウ・レベルに設定してください。
- 2. 期間 Bの詳細はタイミング・チャート 3を参照してください。

タイミング・チャート2

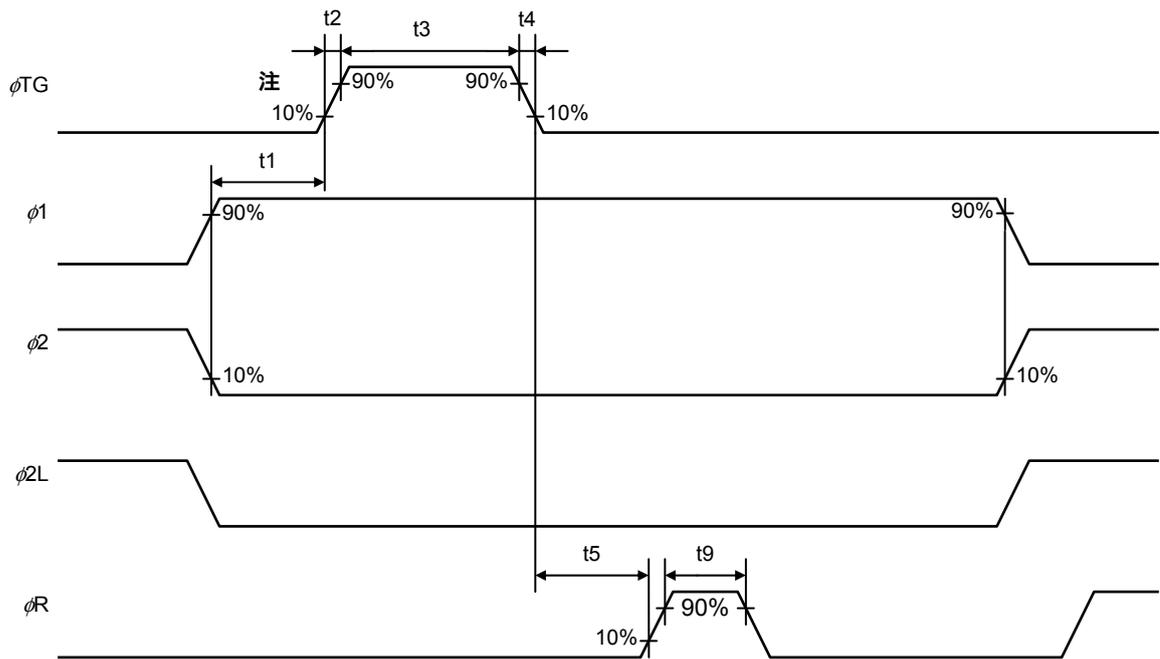


注 1. '10%' と '90%' はクロック信号の振幅に対する比として定義されます。

注 2. t_{s2} は、 ϕR と $\phi 2L$ の早い方のタイミングで定義されます。

注 3. t_{2L-SH} は、外部クロック $\phi 2L$ と内部クロック ϕSH の間の期間です。 t_{2L-SH} の設計値は、0 ns です。

タイミング・チャート3 (タイミング・チャート1のB期間)



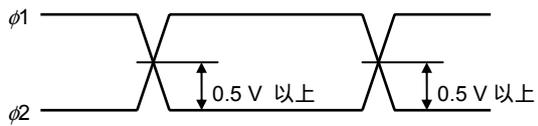
注 '10%' と '90%' はクロック信号の振幅に対する比として定義されます。

略号	MIN.	TYP.	MAX.	単位
t1	100	200	1000	ns
t2, t4	0	10	-	ns
t3	1000	2000	5000	ns
t5	300	500	5000	ns
t6, t7	0	10	-	ns
t6L, t7L	0	3	10	ns
t8, t10	0	3	10	ns
t9	2	T [≒] /4	-	ns
t11	300	500	5000	ns
t18	3	T [≒] /4	-	ns
t20	10	T [≒] /2	-	ns
t21	0	t9	-	ns

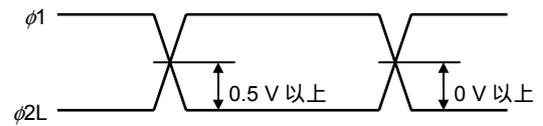
注 T は 1 周期を示します。

クロス・ポイント

($\phi 1$, $\phi 2$) クロス・ポイント

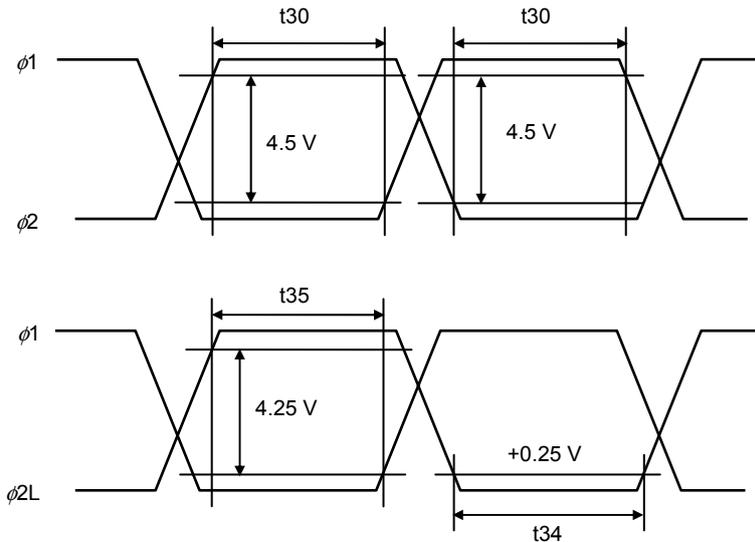


($\phi 1$, $\phi 2L$) クロス・ポイント



備考 ($\phi 1$, $\phi 2$) および ($\phi 1$, $\phi 2L$) のクロス・ポイントは、各端子の入力抵抗により調整してください。

クロック・ハイ・レベル/ロウ・レベル幅



略号	MIN.	TYP.	MAX.	単位
t30	3	-	-	ns
t34	10	-	-	ns
t35	3	-	-	ns

特性項目の定義

1. 飽和出力電圧 : V_{sat} (Saturation Voltage)

感度の直線性が失われる出力信号電圧です。

2. 飽和露光量 : SE (Saturation Exposure)

出力が飽和するときの照度 (lx) と蓄積時間 (s) の積です。

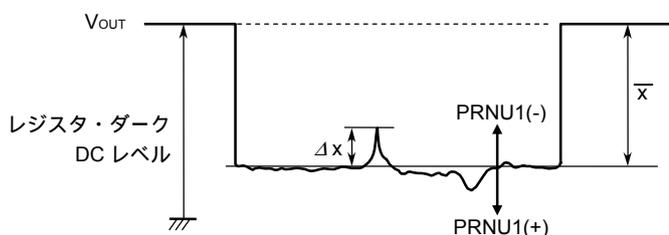
3. 出力電圧の不均一性 : PRNU1 (Photo Response Non-uniformity)

感光面に照度が一樣な光を当てたときの全有効画素の出力電圧量の不均一度です。次の式で表され、12本の出力毎に定義します。

$$PRNU1 (\%) = \frac{\Delta x}{\bar{X}} \times 100$$

$$\bar{X} = \frac{\sum_{j=1}^{1825} x_j}{1825}$$

Δx : $|x_j - \bar{x}|$ の最大値
 x_j : 有効画素 j の出力電圧



4. 暗時平均出力 : ADS (Average Dark Signal)

光入力遮断時の全有効画素の平均出力電圧です。次の式で表され、12本の出力毎に定義します。

$$ADS (mV) = \frac{\sum_{j=1}^{1825} d_j}{1825}$$

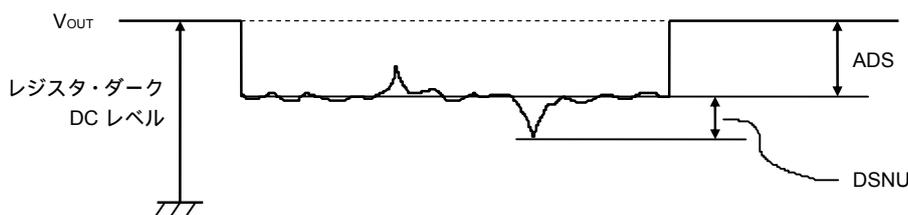
d_j : 有効画素 j の暗時出力

5. 暗時出力不均一性 : DSNU (Dark Signal Non-uniformity)

光入力遮断時の全有効画素中で、最大もしくは最小出力画素の出力電圧と ADS との差の絶対値の最大値です。次の式で表され、12本の出力毎に定義します。

$$DSNU (mV) : |d_j - ADS| \text{ の最大値 } j = 1 \sim 1825$$

d_j : 有効画素 j の暗時出力



6. 出力インピーダンス : Z_o (Output Impedance)

外から見たときの出力端子インピーダンスです。

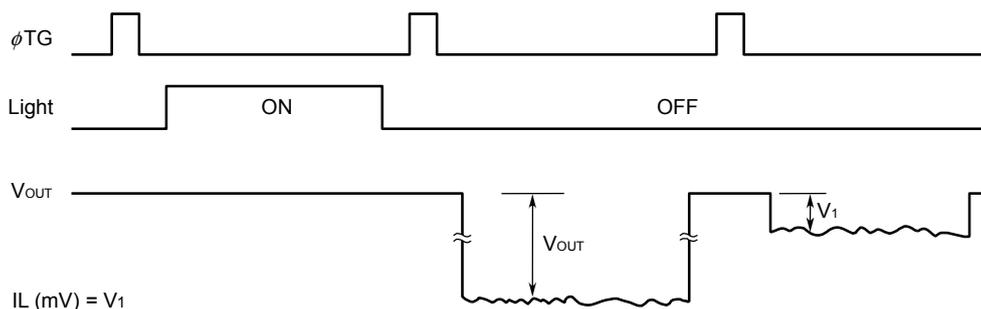
7. 感度 : R (Response)

出力電圧を露光量 ($lx \cdot s$) で割ったものです。

感度の値は、使用する光源 (分光特性) により変化します。

8. 残像 : IL (Image Lag)

1 ラインのデータを読み出したのち、次のラインの出力データに前回のラインの信号が残っている度合を示したものです。



9. レジスタ・インバランス : $RI, RI-FR$

感光面に照度が一様な光を当てたときに、奇、偶数画素出力の平均値の差と全有効画素の平均出力電圧との比をとっています。RI は、 V_{out1} と V_{out2} の間、および V_{out3} と V_{out4} の間で求められます。

RI-FR は、前段と後段間の RI として定義されます。

$$RI (\%) = \frac{\frac{2}{n} \left| \sum_{j=1}^{\frac{n}{2}} (V_{2j-1} - V_{2j}) \right|}{\frac{1}{n} \sum_{j=1}^n V_j} \times 100$$

n : 有効画素数 (1 ~ 1825)
 V_j : 各画素の出力電圧

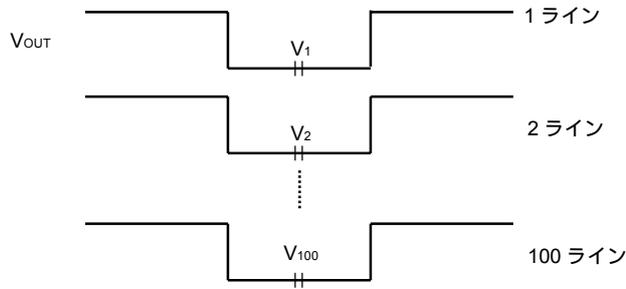
$$RI-FR (\%) = \frac{|V_{out(F)} - V_{out(R)}|}{(V_{out(F)} + V_{out(R)})/2} \times 100$$

$V_{out(F)}$: V_{out1} と V_{out2} の平均出力電圧
 $V_{out(R)}$: V_{out3} と V_{out4} の平均出力電圧

10. ランダム・ノイズ (遮光時): σ_{dark}

σ_{dark} は走査間で発生する同一画素レベル変動の標準偏差で、サンプリング回数は遮光時で 100 回 (100 走査) 分です。次の式で表されます。

$$\sigma \text{ (mV)} = \sqrt{\frac{\sum_{i=1}^{100} (V_i - \bar{V})^2}{100}}, \quad \bar{V} = \frac{1}{100} \sum_{i=1}^{100} V_i \quad V_i: \text{有効出力画素中のある 1 画素の信号出力}$$

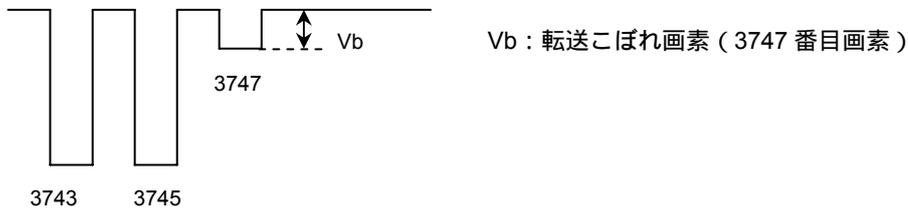


信号出力部のみを DC レベルで測定しており、相関 2 重サンプリング法 (CDS) は用いていません。

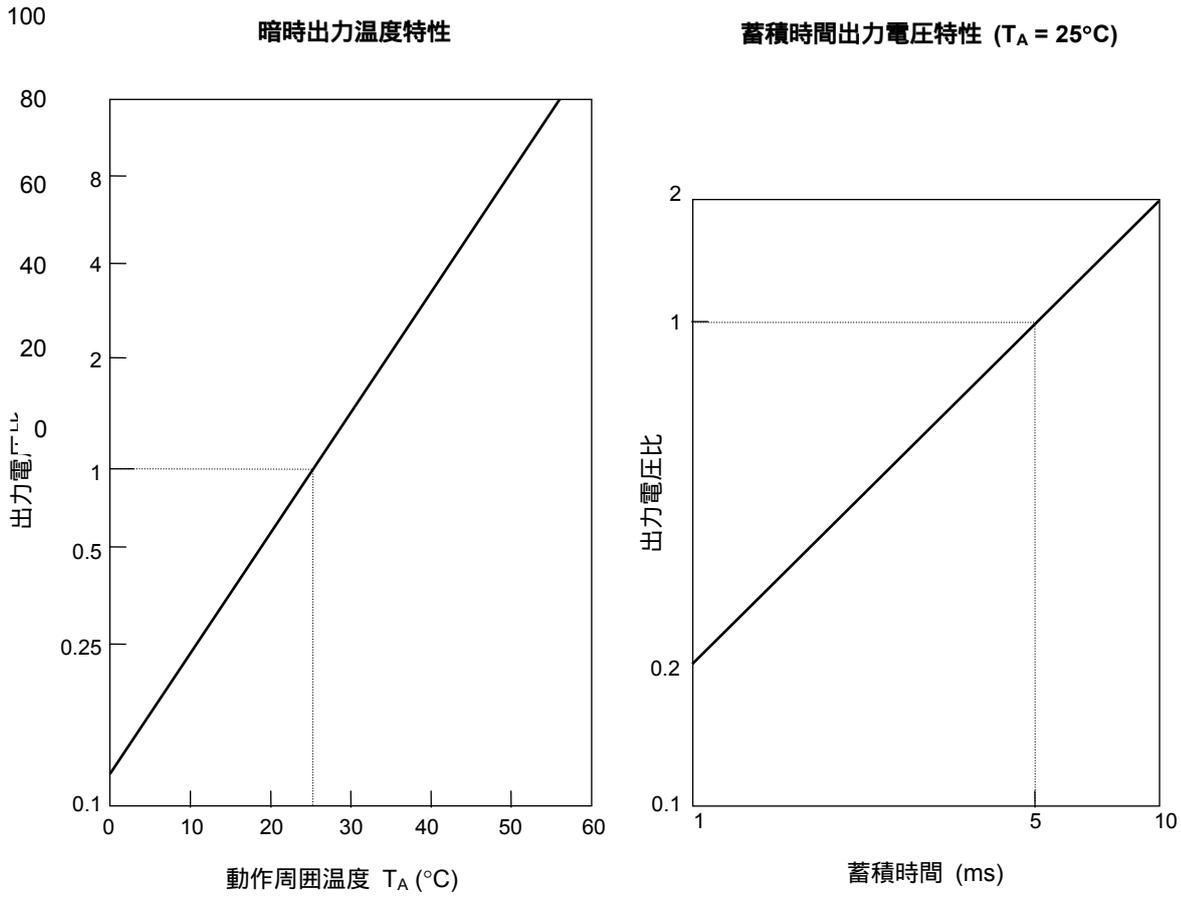
11. 全転送効率: TTE (Total Transfer Efficiency)

CCD アナログ・シフト・レジスタ全体の信号電荷の伝達の割合です。次の式で表されます。

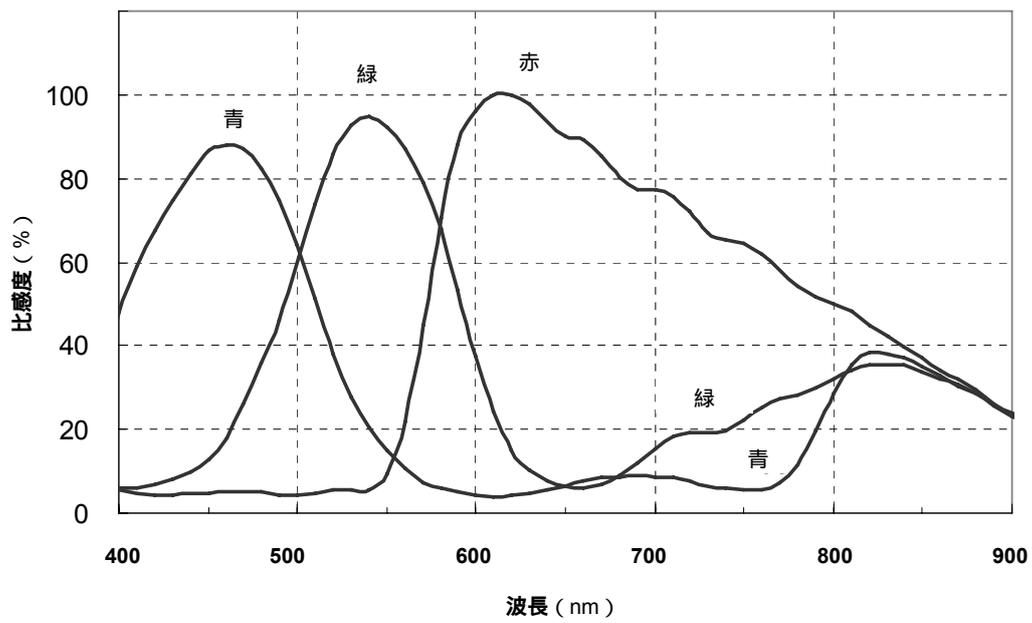
$$\text{TTE (\%)} = (1 - \text{転送こぼれ出力 } V_b / \text{全有効画素平均出力}) \times 100$$



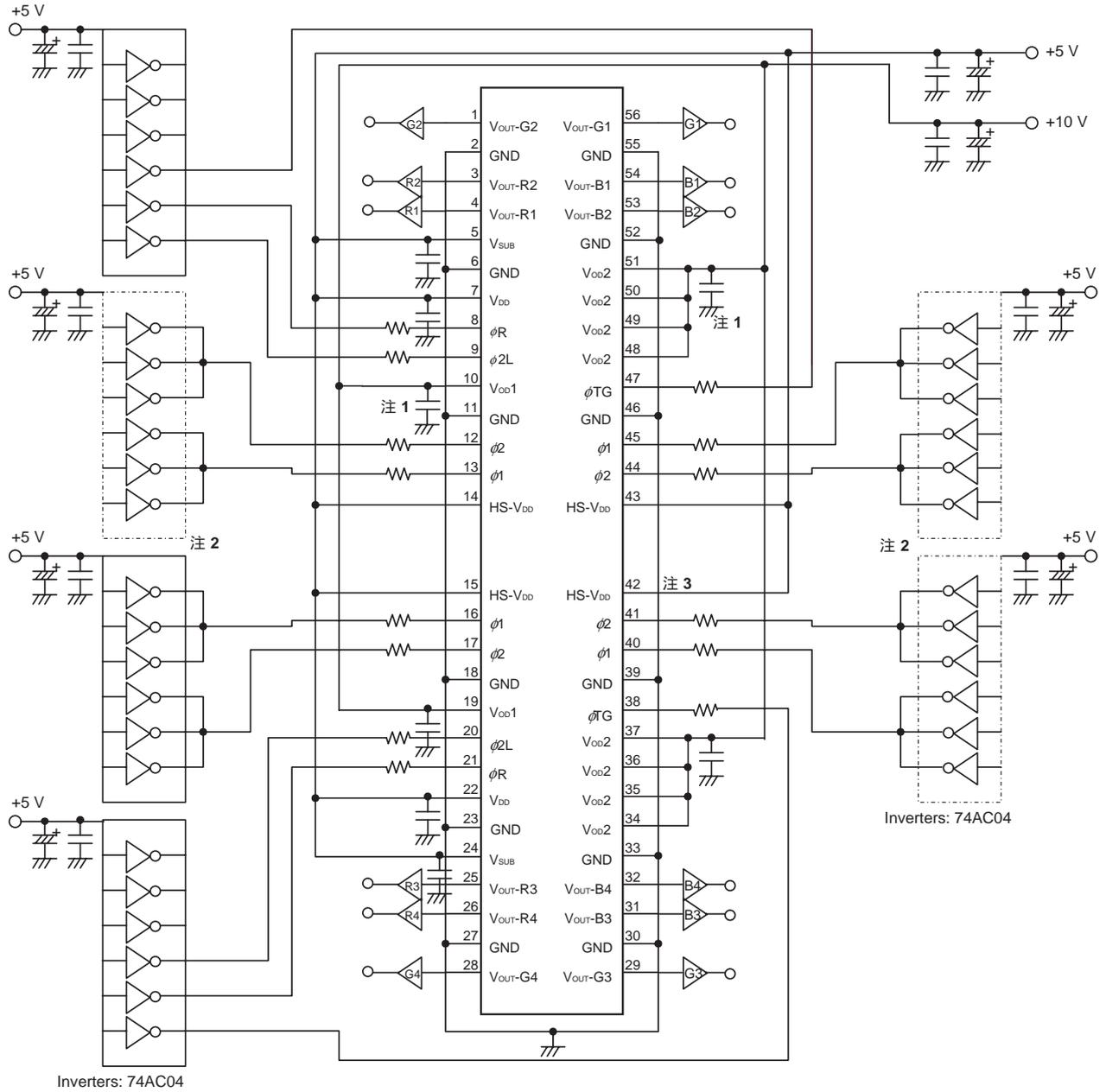
標準特性曲線 (参考)



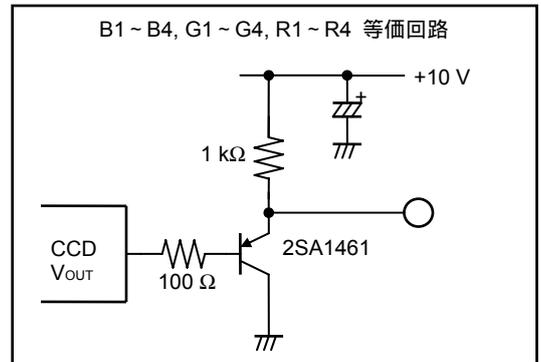
総合分光特性 (赤外線カット・フィルタなし, 熱吸収フィルタなし, $T_A = 25^\circ\text{C}$)



応用回路例



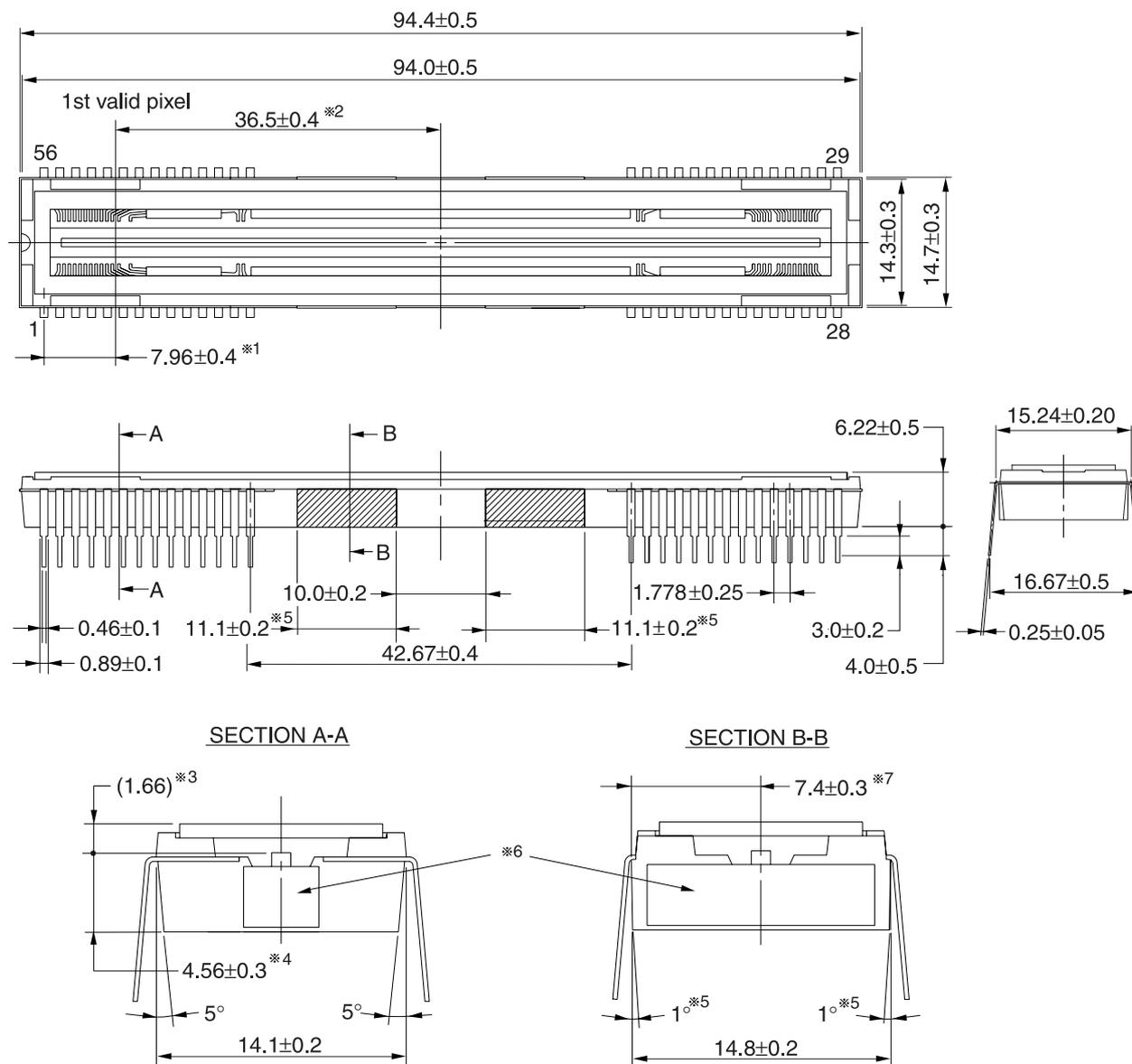
- 注 1. V_{DD1} と V_{DD2} 間の干渉を防ぐために、各電源端子の近くにコンデンサを配置してください。V_{DD} と V_{SUB} の端子も同様にしてください。
- 2. φ₁ と φ₂ の端子毎に、三個のインバータを接続してください。
- 3. HS-V_{DD} 端子は、ヒートシンクの電位固定用端子です。基板上で V_{SUB} 端子と HS-V_{DD} 端子を接続してください。



外形図

CCD LINEAR IMAGE SENSOR 56-PIN PLASTIC DIP
(WITH HEAT SINK) (15.24mm(600)) 1.778 mm pitch

(Unit : mm)



Name	Dimensions	Refractive index
Glass cap	91.0×11.6×0.7	1.5

- ※1 1st valid pixel ←→ The center of the pin1
- ※2 1st valid pixel ←→ The center of the package
- ※3 The surface of the CCD chip ←→ The top of the cap
- ※4 The bottom of the package ←→ The surface of the CCD chip
- ※5 The draft angle of the shaded portions (4 places) are 1 degree.
- ※6 There is no heat sink exposure from the package.
- ※7 The center of the CCD chip ←→ Package side(shaded portion)

56C-1CCD-PKG2

© NEC Electronics Corporation 2009

半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、他の半田付け方式を使う場合、または、異なる半田付け条件で作業する場合には、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.ic.nec.co.jp/pkg/ja/jissou/index.html>)

挿入タイプ

μPD8835CU-A：1次元 CCD センサ用 56 ピン・ヒートシンク付きプラスチック DIP (15.24 mm (600)) 1.778 mm pitch

半田付け方式	半田付け条件
端子部分加熱	端子温度：380 以下，時間：3 秒以内（1 端子当たり）

- 注意**
- 半田付け中に高温の半田やフラックスがガラス・キャップに付着した場合、製品の光学特性が劣化するおそれがありますのでご注意ください。
 - CCD イメージ・センサは、耐熱性およびガラス・キャップの汚れ防止の点から、ソルダーフロー方式の半田付けを保証しておりません。

パッケージ取り扱い注意事項

プリント基板への取り付け

本製品のパッケージに過度の荷重が加わった場合、パッケージの反りや破断、内部チップの剥離などが発生する恐れがありますので、基板へ実装する際は十分注意してください。また、本製品を取り付ける際にキャップに傷などがつかないように、表面に物を接触させないようにしてください。

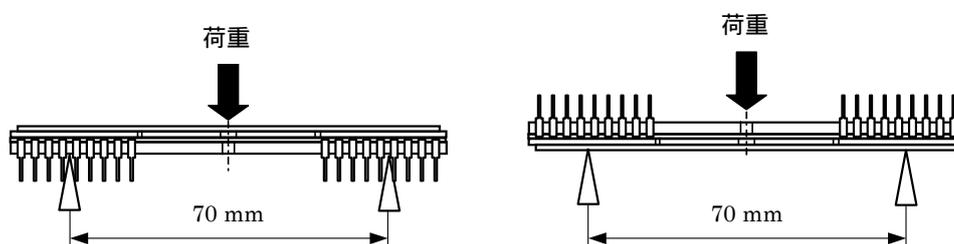
リード・フォーミングは行わず、ICインサータなどの使用を推奨します。また、次のようなパッケージの取扱いは、ゴミの発生やパッケージの破断の原因となりますので注意してください。

1. 外部リードを長時間半田ごてで加熱する。
2. 外部リードに繰り返し応力を加える。
3. 急冷、急加熱する。

この製品の3点曲げ強度注の参考値は支点スパン70 mm (パッケージ両端) で280 [N]になります。ただし、窓材 (ガラス) のパッケージ本体 (モールド部) との接着面より内側への荷重は避けてください。

注：3点曲げ強度試験方法

支点スパン：70 mm，支点部R：R2 mm，荷重スピード：0.5 mm/分



ガラス・キャップ

ガラス・キャップ面には手を触れたり、物を接触させたりしないようにしてください。また、デバイスを落下させるなどして衝撃を与えると、ガラス・キャップに傷がついたり、破損したりするおそれがありますので取り扱いには十分注意してください。

ゴミなどがキャップ面に付着した場合は、エア・ブローで吹き飛ばしてください。静電気で付着するゴミに対しては、イオナイズド・エアの使用を推奨します。

作業，保管環境

作業は、清潔な場所で行ってください。また、本製品は精密光学品のため、機械的衝撃を加えないように注意してください。高温高湿など過酷な条件下では、特性に影響を与えますので、このような条件下での作業および保管は避けてください。

保管は、ゴミや汚れの対策として専用のケースを使用してください。また、低温環境から高温環境へ運搬した場合、結露が生じることがあります。急激な温度変化は避けてください。

保管環境、注意事項の詳細については当社発行の資料「半導体品質/信頼性ハンドブック」(資料番号C12769J)をご覧ください。

静電気対策

CCD イメージ・センサには、静電気に対する保護がしてあります。しかし静電気による破壊とみられるデバイスが発見される場合があります。取り扱いに際しては、次のような静電気防止対策を行ってください。

1. 半田ごて，ラジオ・ペンチ，ピンセットなどの工具はアースしてください。
2. 静電気の発生を防ぐため，作業場の床や作業台などには導電マット等を敷くなど配慮してください。
3. 作業は，手で行うかもしくは非帯電性の手袋を使用し，作業衣なども非帯電性のものを着用してください。
4. CCDイメージ・センサの取り扱いの際には，イオナイズド・エアなどで除電することを推奨します。
5. マウント済みの基板を運搬する際には，帯電防止処理された箱を使用してください。
6. 本製品の取り扱い時，プリント基板への実装時，および組み込んだプリント基板の試験，検査などの取り扱い作業時には，リスト・ストラップ，フット・ストラップなどの静電バンドを使用し，必ず1 MΩ程度のシリーズ抵抗を通じて人体をアースしてください。

CMOS デバイスの一般的注意事項

- (1) 入力端子の印加波形: 入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS デバイスの入力がノイズなどに起因して、VIL (MAX.) から VIH (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、VIL (MAX.) から VIH (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。
- (2) 未使用入力の処理: CMOS デバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOS デバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介して VDD または GND に接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。
- (3) 静電気対策: MOS デバイス取り扱いの際は静電気防止を心がけてください。MOS デバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOS デバイスを実装したボードについても同様の扱いをしてください。
- (4) 初期化以前の状態 電源投入時、MOS デバイスの初期状態は不定です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。
- (5) 電源投入切断順序 内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。
- (6) 電源 OFF 時における入力信号 当該デバイスの電源が OFF 状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源 OFF 時における入力信号」についての記載のある製品については、その内容を守ってください。

- ・本資料に記載されている内容は 2010 年 2 月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
 - ・文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
 - ・当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 - ・本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
 - ・当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
 - ・当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。
 - 「標準水準」: コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 「特別水準」: 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器
 - 「特定水準」: 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。
- 注 1. 本事項において使用されている「当社」とは、NEC エレクトロニクス株式会社および NEC エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- 注 2. 本事項において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいう。

(M8E0909J)