

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

16ビット・シングルチップ・マイクロコンピュータ

μ PD78P4916は、78K/ シリーズの中の μ PD784915サブシリーズの製品で、 μ PD784915, 784915A, 784916AのマスクROMをワン・タイムPROMに置き換えた製品です。

ユーザによるプログラムの書き込みが可能のため、システム開発時の評価用および少量生産に適しています。

詳しい機能説明などは次のユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD784915サブシリーズ ユーザズ・マニュアル ハードウェア編 : U10444J

78K/IVシリーズ ユーザズ・マニュアル 命令編 : U10905J

特 徴

16ビットCPUコア搭載により命令実行時間の高速化を実現

- ・最小命令実行時間 : 250 ns (内部クロック8 MHz動作時)

大容量メモリ内蔵

- ・PROM : 62 Kバイト^注
- ・RAM : 2048バイト^注

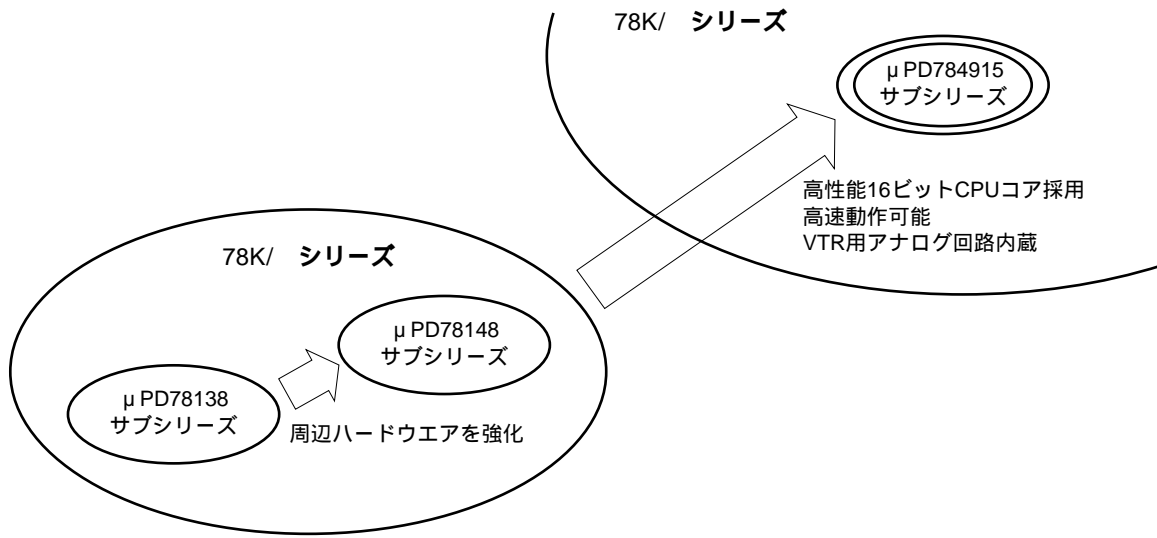
^注 内部メモリ容量選択レジスタ (IMS) により、内部PROM、内部RAM容量の変更可能。

オーダ情報

オーダ名称	パッケージ
μ PD78P4916GF-3BA	100ピン・プラスチックQFP (14 × 20 mm)

本資料の内容は、後日変更する場合があります。

78K/IVシリーズ製品展開図



機能一覧 (1 / 2)

項目	機能				
内部PROM容量	62 Kバイト ^注				
内部RAM容量	2048バイト ^注				
動作クロック	16 MHz ^α 内部クロック : 8 MHz) 低周波発振モード時 : 8 MHz ^α 内部クロック : 8 MHz) 低消費電力モード時 : 32.768 kHz ^α (サブシステム・クロック)				
最小命令実行時間	250 ns ^α (内部クロック8 MHz動作時)				
I/Oポート	54本 { 入力 : 8本 入出力 : 46本				
リアルタイム出力ポート	11本(疑似V _{SYNC} 用, ヘッド・アンプ・スイッチ用, クロマ・ローテーション用各1本含む)				
ス パ ・ タ イ マ ・ ユ ニ ツ ト	タイマ/カウンタ	タイマ/カウンタ	コンペア・レジスタ	キャプチャ・レジスタ	備考
		TM ^α (16ビット)	3本	-	
		TM ¹ (16ビット)	3本	1本	
		FRQ(22ビット)	-	6本	
		TM ³ (16ビット)	2本	1本	
		UDQ(5ビット)	1本	-	
		EQ(8ビット)	4本	-	HSW信号作成用
		EDV(8ビット)	1本	-	CFG信号分周用
	キャプチャ・レジスタ	入力信号	ビット数	計測周期	動作エッジ
		CFG	22	125 ns ~ 524 ms	
	DFG	22	125 ns ~ 524 ms		
	HSW	16	1 μs ~ 65.5 ms		
	V _{SYNC}	22	125 ns ~ 524 ms		
	CTL	16	1 μs ~ 65.5 ms		
	T _{REEL}	22	125 ns ~ 524 ms		
	S _{REEL}	22	125 ns ~ 524 ms		
VTR用特殊回路	<ul style="list-style-type: none"> ・ V_{SYNC}分離回路, H_{SYNC}分離回路 ・ VISS検出, ワイド・アスペクト検出回路 ・ フィールド判別回路 ・ ヘッド・アンプ・スイッチ/クロマ・ローテーション出力回路 				
汎用タイマ	タイマ	コンペア・レジスタ	キャプチャ・レジスタ		
	TM ² (16ビット)	1本	-		
	TM ⁴ (16ビット)	1本(キャプチャ・コンペア)	1本		
	TM ⁵ (16ビット)	1本	-		
PWM出力	<ul style="list-style-type: none"> ・ 16ビット分解能 : 3チャンネル(キャリア周波数 : 62.5 kHz) ・ 8ビット分解能 : 3チャンネル(キャリア周波数 : 62.5 kHz) 				
シリアル・インタフェース	3線式シリアルI/O : 2チャンネル ・ BUSY/STRB制御可能(1チャンネルのみ対応)				
A/Dコンバータ	8ビット分解能 x 12チャンネル, 変換時間 : 10 μs				

注 内部メモリ容量選択レジスタ (IMS) により, 内部PROM, 内部RAM容量の変更可能。

機能一覧 (2 / 2)

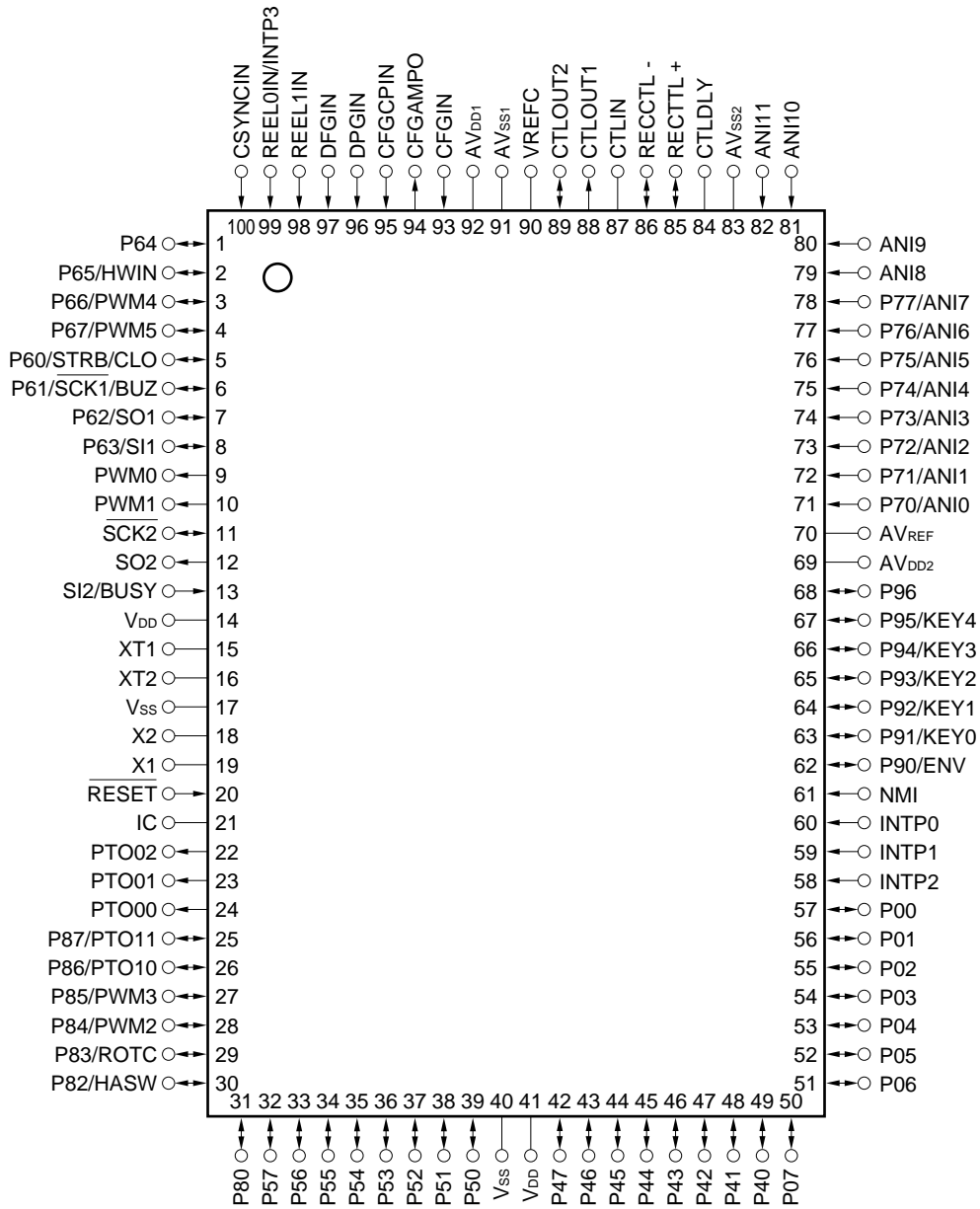
項 目	機 能
アナログ回路	<ul style="list-style-type: none"> ・ CTLアンプ ・ RECCTLドライバ(再書き込み対応) ・ DFGアンプ, DPGコンパレータ, CFGアンプ ・ DDFG分離回路(3値分離回路) ・ リールFGコンパレータ(2チャンネル) ・ CSYNCコンパレータ
割り込み	4レベル(プログラマブル), ベクタ割り込み, マクロ・サービス, コンテキスト・スイッチング
外部要因	9本(NMI含む)
内部要因	19本(ソフトウェア割り込み含む)
スタンバイ機能	HALTモード/STOPモード/低消費電力モード/低消費電力HALTモード NMI端子有効エッジ, 時計割り込み(INTW), INTP1/INTP2/KEY0-KEY4端子入力によりSTOPモードの解除可能
時計機能	0.5秒計測, 低電圧動作($V_{DD} = 2.7V$)可能
電源電圧	$V_{DD} = 2.7 \sim 5.5V$
パッケージ	100ピン・プラスチックQFP($14 \times 20mm$)

端子接続図 (Top View)

(1) 通常動作モード

・100ピン・プラスチックQFP (14 × 20 mm)

μPD78P4916GF-3BA



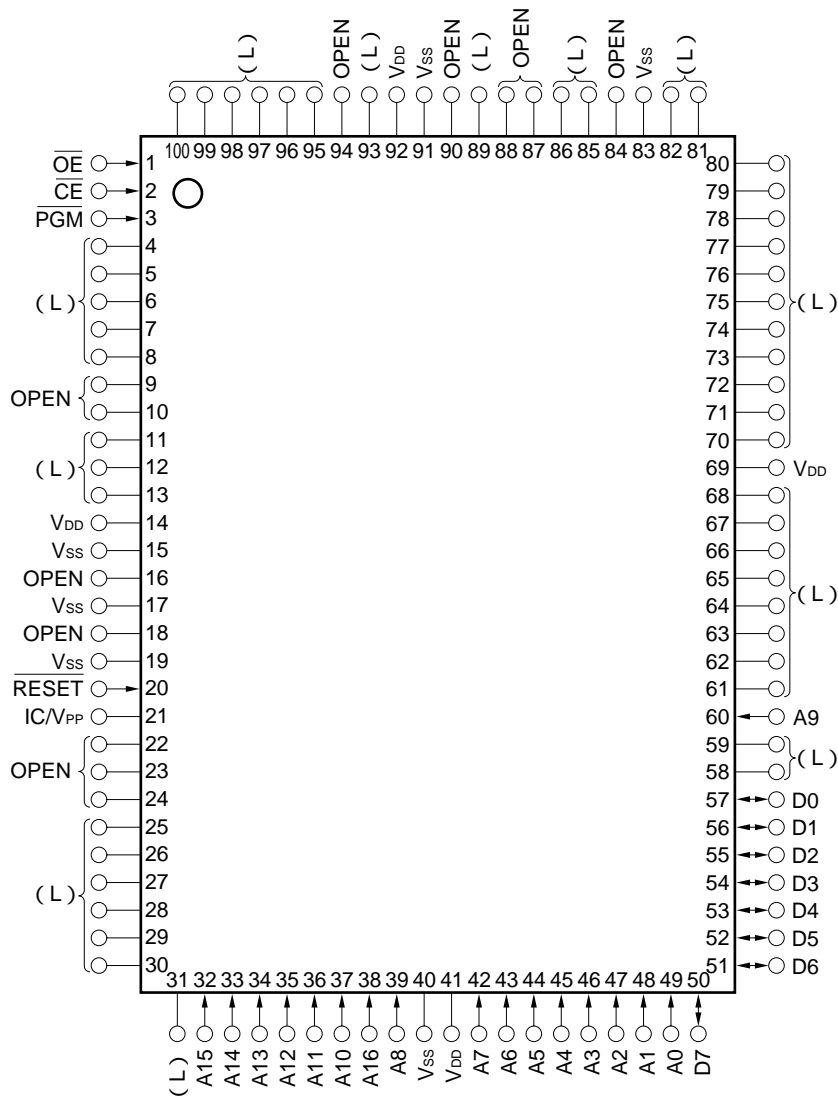
注意 IC (Internally Connected) 端子はV_{SS}に直接接続してください。

ANI0-ANI11	: Analog Input	P00-P07	: Port0
AV _{DD1} , AV _{DD2}	: Analog Power Supply	P40-P47	: Port4
AV _{SS1} , AV _{SS2}	: Analog Ground	P50-P57	: Port5
AV _{REF}	: Analog Reference Voltage	P60-P67	: Port6
BUSY	: Serial Busy	P70-P77	: Port7
BUZ	: Buzzer Output	P80 , P82-P87	: Port8
CFGAMPO	: Capstan FG Amplifier Output	P90-P96	: Port9
CFGCPIN	: Capstan FG Capacitor Input	PTO00-PTO02 ,	: Programmable Timer Output
CFGIN	: Analog Unit Input	PTO10 , PTO11	
CLO	: Clock Output	PWM0-PWM5	: Pulse Width Modulation Output
CSYNCIN	: Analog Unit Input	RECCTL + , RECCTL -	: RECCTL Output/PBCLT Input
CTLDLY	: Control Delay Input	REEL0IN , REEL1IN	: Analog Unit Input
CTLIN	: CTL Amplifier Input Capacitor	RESET	: Reset
CTLOUT1 , CTLOUT2	: CTL Amplifier Output	ROTC	: Chrominance Rotate Output
DFGIN	: Analog Unit Input	SCK1 , SCK2	: Serial Clock
DPGIN	: Analog Unit Input	SI1 , SI2	: Serial Input
ENV	: Envelope Input	SO1 , SO2	: Serial Output
HASW	: Head Amplifier Switch Output	STRB	: Serial Strobe
HWIN	: Hardware Timer External Input	V _{DD}	: Power Supply
IC	: Internally Connected	VREFC	: Reference Amplifier Capacitor
INTP0-INTP3	: Interrupt From Peripherals	V _{SS}	: Ground
KEY0-KEY4	: Key Return	X1 , X2	: Crystal (Main System Clock)
NMI	: Nonmaskable Interrupt	XT1 , XT2	: Crystal (Subsystem Clock)

(2) PROMプログラミング・モード

・100ピン・プラスチックQFP (14×20 mm)

μPD78P4916GF-3BA



注意 (L) : 個別にプルダウン抵抗を介してV_{SS}に接続してください。

V_{SS} : グラウンドに接続してください。

OPEN : 何も接続しないでください。

RESET : ロウ・レベルにしてください。

A0-A16 : Address Bus

RESET : Reset

D0-D7 : Data Bus

V_{DD} : Power Supply

CE : Chip Enable

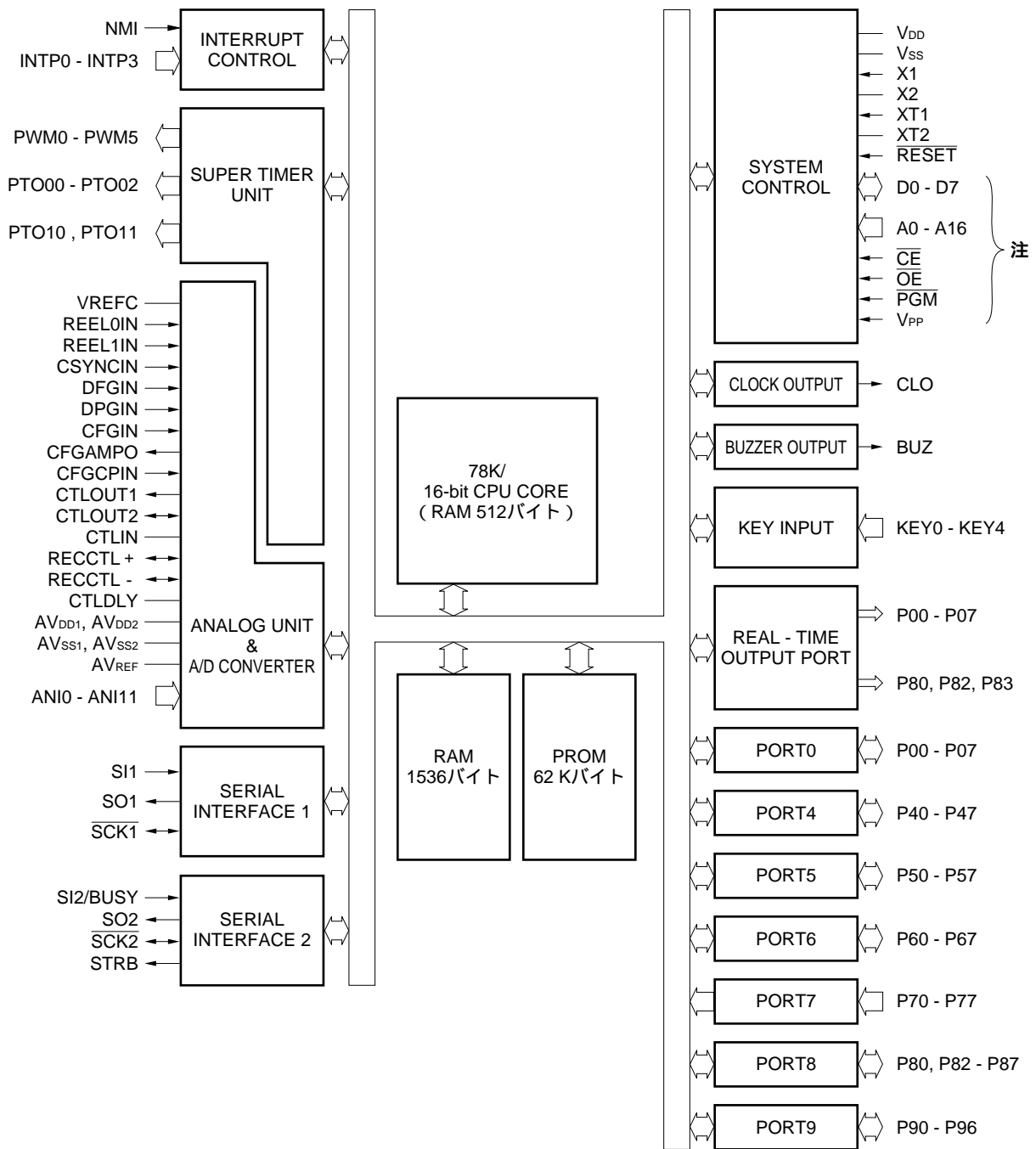
V_{PP} : Programming Power Supply

OE : Output Enable

V_{SS} : Ground

PGM : Program

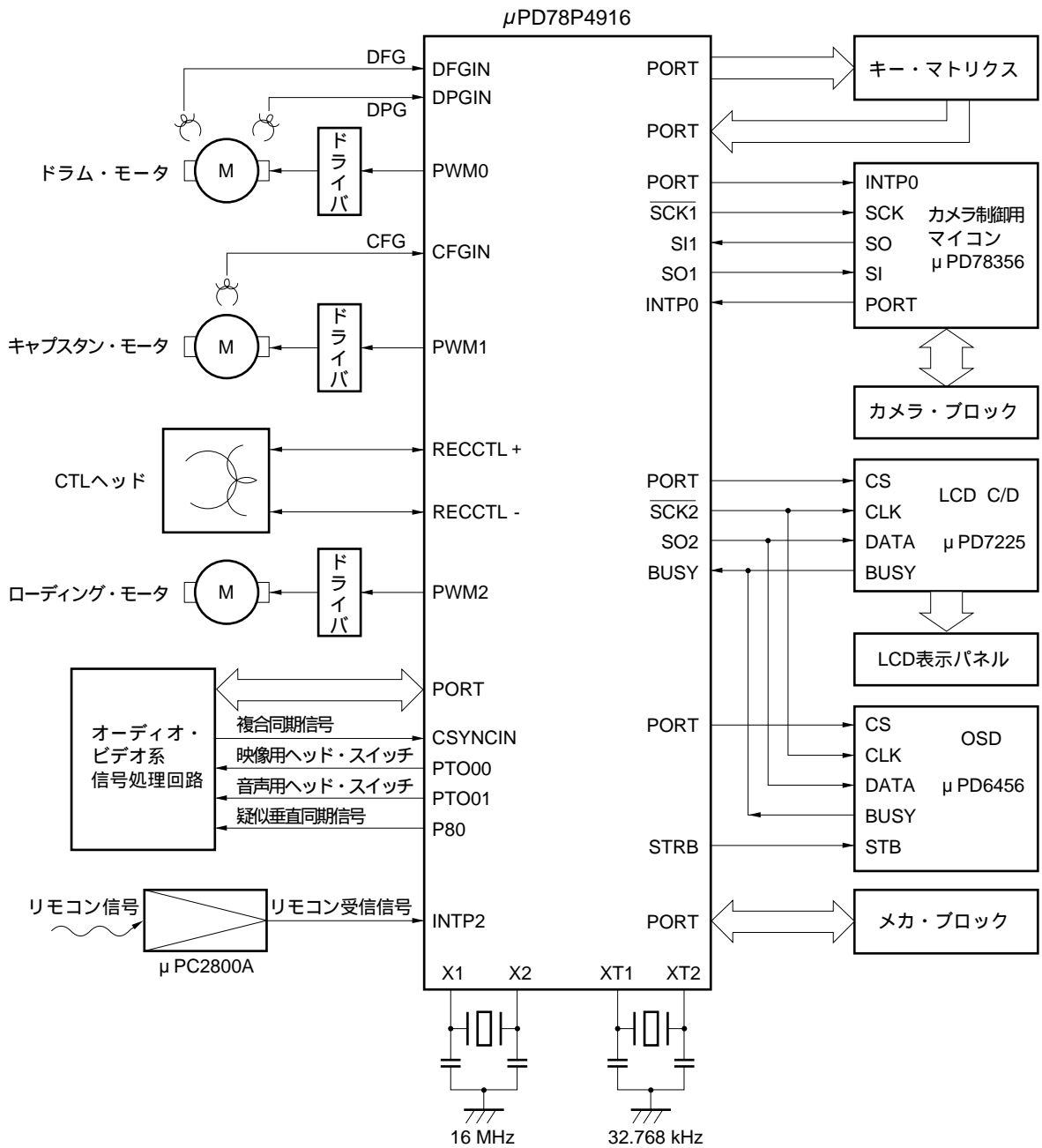
内部ブロック図



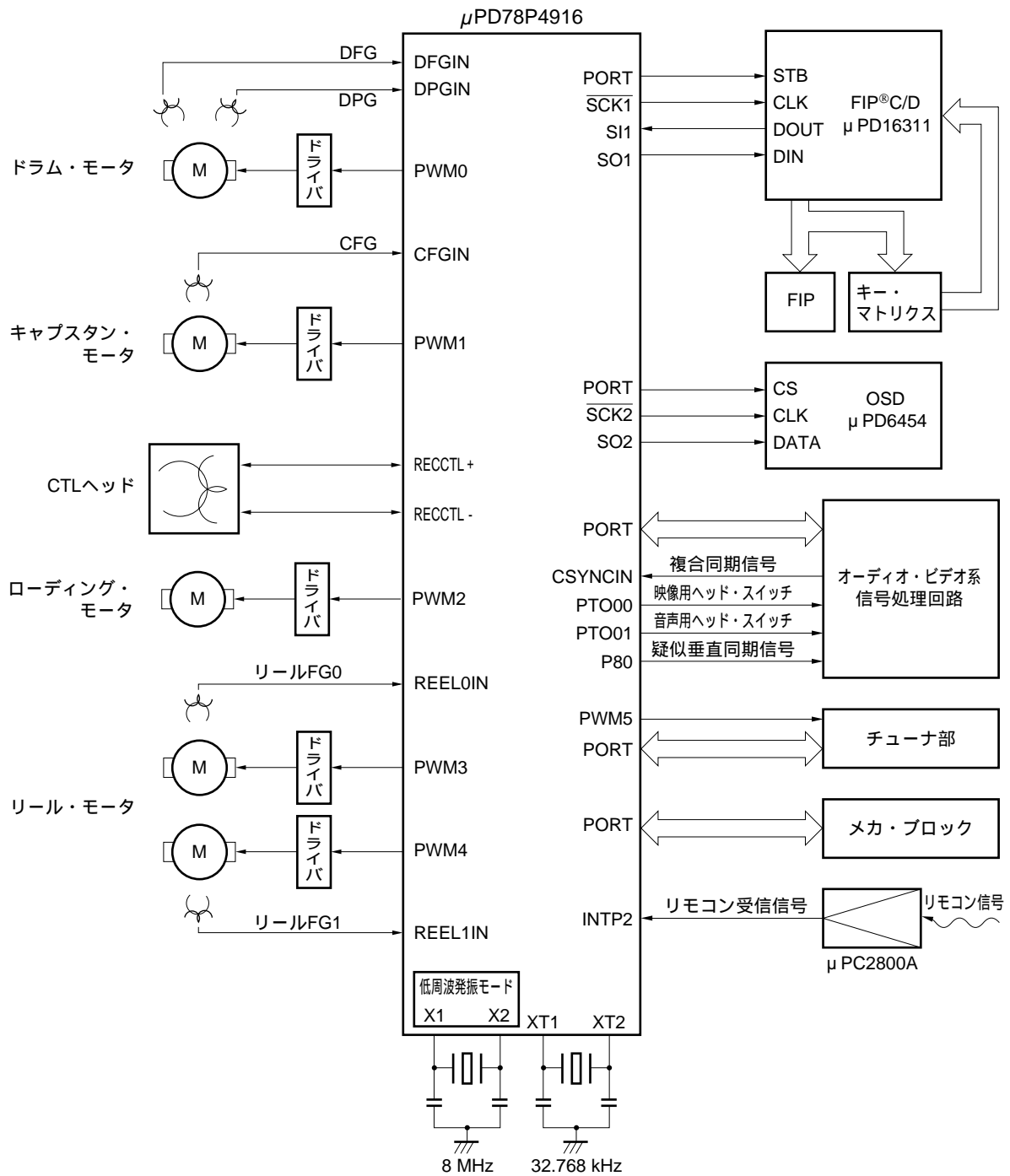
注 PROMプログラミング・モード時

システム構成例

- ・カメラ一体型VTR



・据え置き型VTR



目 次

1 . μ PD78P4916と μ PD784915, 784915A, 784916Aとの違い	... 12
2 . 端子機能	... 13
2.1 通常動作モード	... 13
2.2 PROMプログラミング・モード (V_{PP} 5V, $\overline{RESET} = L$)	... 15
2.3 入出力回路と未使用端子の処理	... 16
3 . 内部メモリ容量選択レジスタ (IMS)	... 20
4 . PROMプログラミング	... 21
4.1 動作モード	... 21
4.2 PROM書き込みの手順	... 23
4.3 PROM読み出しの手順	... 27
4.4 ワン・タイムPROM製品のスクリーニングについて	... 27
5 . 電気的特性	... 28
6 . 外形図	... 45
7 . 半田付け推奨条件	... 46
付録A . 開発ツール	... 47
付録B . 変換ソケット (NQPACK 100RB) の外形図	... 49
付録C . 関連資料	... 51

1. μPD78P4916とμPD784915, 784915A, 784916Aとの違い

μPD78P4916は、μPD784915, 784915A, 784916AのマスクROMを書き込み可能なワン・タイムPROMに置き換えた製品です。したがって、内部ROMがPROMであること、およびその容量が異なること以外、機能はμPD784915, 784915A, 784916Aと同じです。

PROMを使用して応用システムのデバッグや試作を行い、そのあとマスクROMを使用して量産化する場合などは、これらの製品の違い(表1-1)をよく確認のうえ移行してください。

なお、CPU機能や内蔵しているハードウェアについての詳細は、μPD784915サブシリーズ ユーザーズ・マニュアル ハードウェア編(U10444J)を参照してください。

表1-1 μPD784915サブシリーズ間の違い

項目	μPD78P4916	μPD784915, 784915A ^{注1}	μPD784916A ^{注1}
内部ROM	ワン・タイムPROM	マスクROM	マスクROM
	62 Kバイト ^{注2}	48 Kバイト	62 Kバイト
内部RAM	2048バイト ^{注2}	1280バイト	1280バイト
内部メモリ容量選択レジスタ(IMS)	あり	なし	なし
端子接続	μPD78P4916では、PROMの書き込み/読み出しに関する端子機能が追加されています。		
その他	回路の規模やマスク・レイアウトが異なるため、ノイズ耐量や、ノイズ輻射および電気的特性が一部異なります。		

注1. 開発中

2. 内部メモリ容量選択レジスタ(IMS)により、内部PROM, 内部RAM容量の変更可能。

注意 PROMとマスクROMとでは、ノイズ耐量やノイズ輻射などが異なります。試作から量産の課程で、PROM製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS品(ES品ではなく)で十分な評価を行ってください。

備考 μPD784915Aは、μPD784915に対してプロセス・シュリンクを施した製品で、低価格対応ができます。

2. 端子機能

2.1 通常動作モード

(1) ポート

端子名称	入出力	兼用端子	機能	
P00-P07	入出力	リアルタイム出力ポート	8ビット入出力ポート(ポート0) ・1ビット単位で入力/出力の指定可能 ・ソフトウェア・プルアップ抵抗の接続の指定可能(P00-P07)	
P40-P47	入出力	-	8ビット入出力ポート(ポート4) ・1ビット単位で入力/出力の指定可能 ・ソフトウェア・プルアップ抵抗の接続の指定可能(P40-P47)	
P50-P57	入出力	-	8ビット入出力ポート(ポート5) ・1ビット単位で入力/出力の指定可能 ・ソフトウェア・プルアップ抵抗の接続の指定可能(P50-P57)	
P60	入出力	STRB/CLO	8ビット入出力ポート(ポート6) ・1ビット単位で入力/出力の指定可能 ・ソフトウェア・プルアップ抵抗の接続の指定可能(P60-P67)	
P61		SCK1/BUZ		
P62		SO1		
P63		SI1		
P64		-		
P65		HWIN		
P66		PWM4		
P67		PWM5		
P70-P77	入力	ANI0-ANI7	8ビット入力ポート(ポート7)	
P80	入出力	リアルタイム出力ポート	疑似V _{SYNC} 出力対応	7ビット入出力ポート(ポート8) ・1ビット単位で入力/出力の指定可能 ・ソフトウェア・プルアップ抵抗の接続の指定可能 (P80, P82-P87)
P82			HASW出力対応	
P83			ROTC出力対応	
P84		PWM2		
P85		PWM3		
P86		PTO10		
P87		PTO11		
P90		入出力	ENV	
P91-P95	KEY0-KEY4		・1ビット単位で入力/出力の指定可能	
P96	-		・ソフトウェア・プルアップ抵抗の接続の指定可能(P90-P96)	

(2) ポート以外 (1/2)

端子名称	入出力	兼用端子	機能
REEL0IN	入力	INTP3	リールFG入力
REEL1IN		-	
DFGIN		-	ドラムFG, PFG入力(3値)
DPGIN		-	ドラムPG入力
CFGIN		-	キャプスタンFG入力
CSYNCIN		-	コンボジットSYNC入力
CFGCPIN		-	CFGコンパレータ入力
CFGAMPO	出力	-	CFGアンプ出力
PTO00	出力	-	スーパー・タイマ・ユニットのプログラマブル・タイマ出力
PTO01		-	
PTO02		-	
PTO10		P86	
PTO11		P87	
PWM0	出力	-	スーパー・タイマ・ユニットのPWM出力
PWM1		-	
PWM2		P84	
PWM3		P85	
PWM4		P66	
PWM5		P67	
HASW	出力	P82	ヘッド・アンプ・スイッチ信号出力
ROTC	出力	P83	クロマ・ローテーション信号出力
ENV	入力	P90	エンベロープ信号入力
SI1	入力	P63	シリアル・データ入力(シリアル・インタフェース・チャンネル1)
SO1	出力	P62	シリアル・データ出力(シリアル・インタフェース・チャンネル1)
$\overline{\text{SCK}}1$	入出力	P61/BUZ	シリアル・クロック入出力(シリアル・インタフェース・チャンネル1)
SI2	入力	BUSY	シリアル・データ入力(シリアル・インタフェース・チャンネル2)
SO2	出力	-	シリアル・データ出力(シリアル・インタフェース・チャンネル2)
$\overline{\text{SCK}}2$	入出力	-	シリアル・クロック入出力(シリアル・インタフェース・チャンネル2)
BUSY	入力	SI2	シリアル・ビジー信号入力(シリアル・インタフェース・チャンネル2)
STRB	出力	P60/CLO	シリアル・ストローブ信号出力(シリアル・インタフェース・チャンネル2)
ANI0-ANI7	アナログ入力	P70-P77	A/Dコンバータのアナログ信号入力
ANI8-ANI11		-	
CTLIN	-	-	CTLアンプ入力容量接続
CTLOUT1	出力	-	CTLアンプ出力
CTLOUT2	入出力	-	ロジック信号入力/CTLアンプ出力
RECCTL+, RECCTL-	入出力	-	RECCTL信号出力/PBCTL信号入力
CTLDLY	-	-	外部時定数接続(RECCTL再書き込み用)
VREFC	-	-	VREFアンプ用AC接地
NMI	入力	-	ノンマスカブル割り込み要求入力

(2) ポート以外 (2 / 2)

端子名称	入出力	兼用端子	機能
INTP0-INTP2	入力	-	外部割り込み要求入力
INTP3	入力	REEL0IN	
KEY0-KEY4	入力	P91-P95	キー入力信号入力
CLO	出力	P60/STRB	クロック出力
BUZ	出力	P61/SCK1	ブザー出力
HWIN	入力	P65	ハードウェア時計カウンタの外部入力
RESET	入力	-	リセット入力
X1	入力	-	メイン・システム・クロック発振用クリスタル接続
X2	-		
XT1	入力	-	サブシステム・クロック発振用クリスタル接続 時計用クロック発振用クリスタル接続
XT2	-		
AVDD1, AVDD2	-	-	アナログ部への正電源供給
AVSS1, AVSS2	-	-	アナログ部のGND電位
AVREF	-	-	A/Dコンバータの基準電圧入力
VDD	-	-	デジタル部への正電源供給
VSS	-	-	デジタル部のGND電位
IC	-	-	内部接続。Vssに直接接続してください。

2.2 PROMプログラミング・モード (VPP = 5V, RESET = L)

端子名称	入出力	機能
VPP	-	PROMプログラミング・モード設定 プログラム書き込み/ベリファイ時の高電圧印加
RESET	入力	PROMプログラミング・モード設定ロウ・レベル入力
A0-A16		アドレス入力
D0-D7	入出力	データ入出力
PGM	入力	PROMプログラミング・モード時のプログラム・インヒビット入力
CE		PROMイネーブル入力/プログラム・パルス入力
OE		PROMへのリード・ストロブ入力
VDD	-	正電源供給
VSS	-	GND電位

2.3 入出力回路と未使用端子の処理

表2 - 1に各端子の入出力回路タイプと未使用端子の処理の処理方法を示します。また、図2 - 1は各タイプの回路です。

表2 - 1 各端子の入出力回路タイプと未使用時の処理方法 (1 / 2)

端 子	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P07	5-A	入出力	入力時：V _{DD} に接続 出力時：オープン
P40-P47			
P50-P57			
P60/STRB/CLO			
P61/ $\overline{\text{SCK1}}$ /BUZ			
P62/SO1			
P63/SI1			
P64			
P65/HWIN			
P66/PWM4			
P67/PWM5			
P70/ANI0-P77/ANI7	9	入力	V _{SS} に接続
P80	5-A	入出力	入力時：V _{DD} に接続 出力時：オープン
P82/HASW			
P83/ROTC			
P84/PWM2			
P85/PWM3			
P86/PTO10			
P87/PTO11			
P90/ENV			
P91/KEY0-P95/KEY4	8-A		
P96	5-A		
SI2/BUSY	2-A	入力	V _{DD} に接続
SO2	4	出力	Hi-Z時：プルダウン抵抗を介してV _{SS} に接続 上記以外：オープン
$\overline{\text{SCK2}}$	8-A	入出力	入力時：V _{DD} に接続 出力時：オープン
ANI8-ANI11	7	入力	V _{SS} に接続
RECCTL + , RECCTL -	-	入出力	ENCTL = 0かつENREC = 0の場合：V _{SS} に接続

備考 ENCTL : アンプ・コントロール・レジスタ (AMPC) のビット 1

ENREC : アンプ・モード・レジスタ 0 (AMPM0) のビット 7

表 2 - 1 各端子の入出力回路タイプと未使用時の処理方法 (2 / 2)

端 子	入出力回路タイプ	入出力	未使用時の推奨接続方法
DFGIN	-	入力	ENDRUM = 0の場合 : V _{SS} に接続
DPGIN			ENDRUM = 0 , または ENDRUM = 1 かつ SELPGSEPA = 0 の場合 : V _{SS} に接続
CFGIN , CFGCPIN			ENCAP = 0の場合 : V _{SS} に接続
CSYNCIN			ENCSYN = 0の場合 : V _{SS} に接続
REEL0IN/INTP3 , REEL1IN			ENREEL = 0の場合 : V _{SS} に接続
CTLOUT1	-	出力	オープン
CTLOUT2	-	入出力	ENCTL = 0 かつ ENCOMP = 0 の場合 : V _{SS} に接続 ENCTL = 1 の場合 : オープン
CFGAMPO	-	出力	オープン
CTLIN	-	-	ENCTL = 0 の場合 : オープン
VREFC			ENCTL = 0 かつ ENCAP = 0 かつ ENCOMP = 0 の場合 : オープン
CTLDLY			オープン
PWM0 , PWM1	3	出力	オープン
PTO00-PTO02			
NMI	2	入力	V _{DD} に接続
INTP0			V _{DD} またはV _{SS} に接続
INTP1 , INTP2	2-A	入力	V _{DD} に接続
AV _{DD1} , AV _{DD2}	-	-	V _{DD} に接続
AV _{REF} , AV _{SS1} , AV _{SS2}			V _{SS} に接続
RESET	2	-	-
XT1	-	-	V _{SS} に接続
XT2			オープン
IC			V _{SS} に直接接続

- 備考** ENDRUM : アンプ・コントロール・レジスタ (AMPC) のビット 2
 SELPGSEPA : アンプ・モード・レジスタ 0 (AMPM0) のビット 2
 ENCAP : アンプ・コントロール・レジスタ (AMPC) のビット 3
 ENCSYN : アンプ・コントロール・レジスタ (AMPC) のビット 5
 ENREEL : アンプ・コントロール・レジスタ (AMPC) のビット 6
 ENCTL : アンプ・コントロール・レジスタ (AMPC) のビット 1
 ENCOMP : アンプ・コントロール・レジスタ (AMPC) のビット 4

図 2 - 1 端子の入出力回路一覧 (1 / 2)

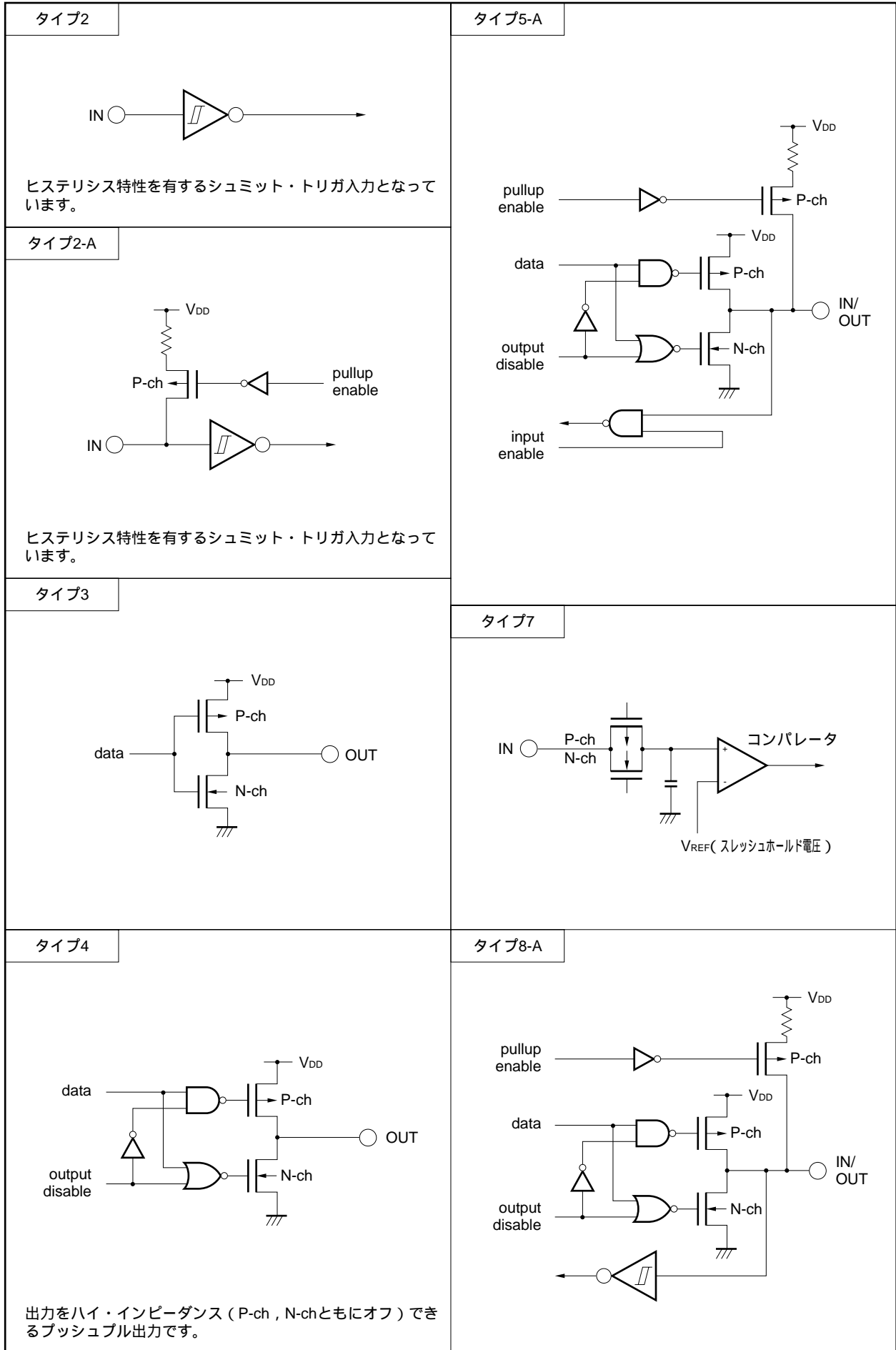
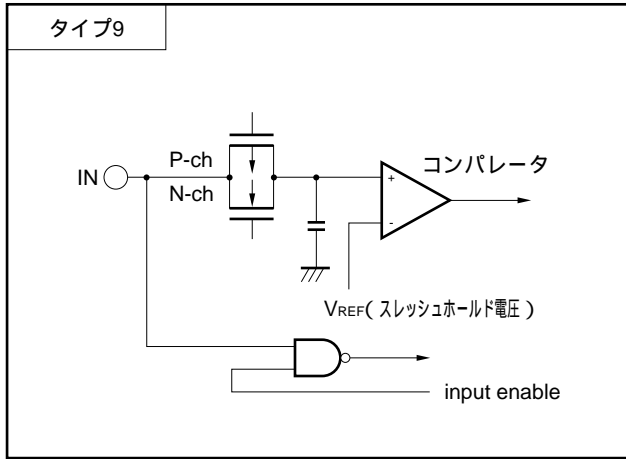


図 2 - 1 端子の入出力回路一覧 (2 / 2)



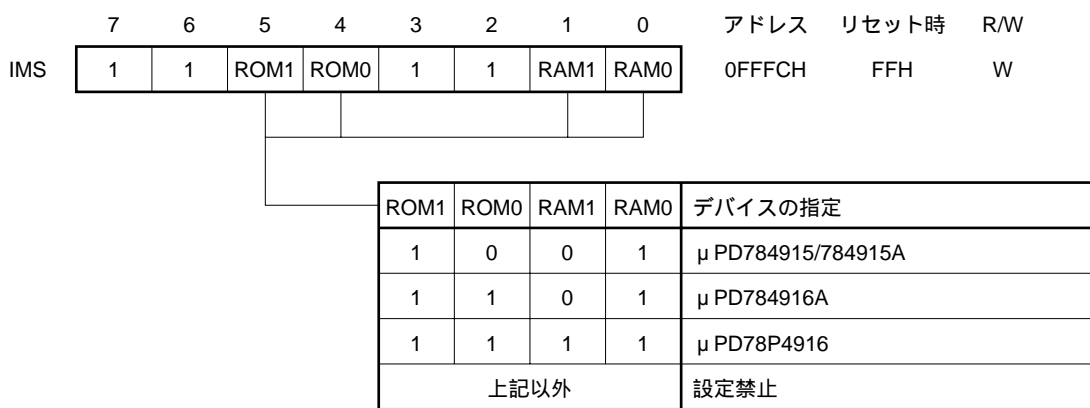
3. 内部メモリ容量選択レジスタ (IMS)

内部メモリ容量選択レジスタ (IMS) は、μPD78P4916が内蔵するメモリ (PROM, RAM) の有効領域を指定するレジスタです。IMSを設定することにより、内部メモリ容量の異なるマスクROM製品のメモリ・マッピングと同一のメモリ・マッピングにすることができます。内蔵するROMやRAMの容量がμPD78P4916よりも少ない製品の評価用として使用する場合に設定します。このレジスタの設定により、ROMやRAMの容量をオーバしたことに起因する応用プログラムのバグを回避できます。

IMSは8ビット操作命令による書き込み動作のみが可能です。

RESET入力によりFFHになります (ROM : 62 Kバイト, RAM : 2048バイト)。

図3 - 1 内部メモリ容量選択レジスタ (IMS) のフォーマット



注意 IMSは、μPD78P4916のみ内蔵しています。μPD784915, 784915A, 784916AにはIMSはありません。
μPD784915, 784915A, 784916AでIMSへの書き込み命令を実行しても動作に影響を与えません。

4. PROMプログラミング

μPD78P4916は、プログラム・メモリとして62 Kバイト構成のPROMを内蔵しています。プログラミングをするときは、V_{DD}端子、IC/V_{PP}端子、 $\overline{\text{RESET}}$ 端子でPROMプログラミング・モードに設定します。その他、使用しない端子の処理は、端子接続図 (Top View) (2) PROMプログラミング・モードを参照してください。

4.1 動作モード

IC/V_{PP}端子に+5 Vまたは+12.5 V、V_{DD}端子に+5 Vまたは+6.5 V、 $\overline{\text{RESET}}$ 端子にロウ・レベルを印加すると、PROMプログラミング・モードになります。このモードは $\overline{\text{CE}}$ 端子、 $\overline{\text{OE}}$ 端子、PGM端子の設定により、表4 - 1のような動作モードになります。

また、読み出しモードに設定することにより、PROMの内容を読み出すことができます。

表4 - 1 PROMプログラミングの動作モード

端子 動作モード	$\overline{\text{RESET}}$	IC/V _{PP}	V _{DD}	$\overline{\text{CE}}$	$\overline{\text{OE}}$	PGM	D0-D7
ページ・データ・ラッチ	L	+12.5 V	+6.5 V	H	L	H	データ入力
ページ書き込み				H	H	L	ハイ・インピーダンス
バイト書き込み				L	H	L	データ入力
プログラム・ベリファイ				L	L	H	データ出力
プログラム・インヒビット				×	H	H	ハイ・インピーダンス
				×	L	L	
読み出し	+5 V	+5 V	L	L	H	データ出力	
出力ディスエーブル			L	H	×	ハイ・インピーダンス	
スタンバイ			H	×	×	ハイ・インピーダンス	

備考 × : LまたはH

(1) 読み出しモード

$\overline{CE} = L$, $\overline{OE} = L$ に設定することにより、読み出しモードになります。

(2) 出力ディスエーブル・モード

$\overline{OE} = H$ にすることにより、データ出力がハイ・インピーダンスになり出力ディスエーブル・モードになります。

したがって、データ・バスに複数のμPD78P4916を接続した場合、 \overline{OE} 端子を制御することで任意の1個のデバイスよりデータを読み出すことができます。

(3) スタンバイ・モード

$\overline{CE} = H$ にすることによりスタンバイ・モードになります。

このモードでは、 \overline{OE} の状態に関係なくデータ出力がハイ・インピーダンスになります。

(4) ページ・データ・ラッチ・モード

ページ書き込みモードの初期に $\overline{CE} = H$, $\overline{PGM} = H$, $\overline{OE} = L$ にすることにより、ページ・データ・ラッチ・モードになります。

このモードでは、1ページ4バイトのデータが内部のアドレス/データ・ラッチ回路にラッチされます。

(5) ページ書き込みモード

ページ・データ・ラッチ・モードにより1ページ4バイトのアドレスとデータをラッチ後、 $\overline{CE} = H$, $\overline{OE} = H$ の状態では \overline{PGM} 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を印加することによりページ書き込みが実行されます。その後、 $\overline{CE} = L$, $\overline{OE} = L$ にすることにより、プログラム・ベリファイを行えます。

1回のプログラム・パルスでプログラムされない場合にはX回(X=10)の書き込みとベリファイを繰り返し実行します。

(6) バイト書き込みモード

$\overline{CE} = L$, $\overline{OE} = H$ の状態では \overline{PGM} 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を印加することによりバイト書き込みが実行されます。その後、 $\overline{OE} = L$ にすることにより、プログラム・ベリファイが行えます。

1回のプログラム・パルスでプログラムされない場合にはX回(X=10)の書き込みとベリファイを繰り返し実行します。

(7) プログラム・ベリファイ・モード

$\overline{CE} = L$, $\overline{PGM} = H$, $\overline{OE} = L$ にすることにより、プログラム・ベリファイ・モードになります。

書き込みを行ったのち、正しく書き込まれたかどうかこのモードで確認してください。

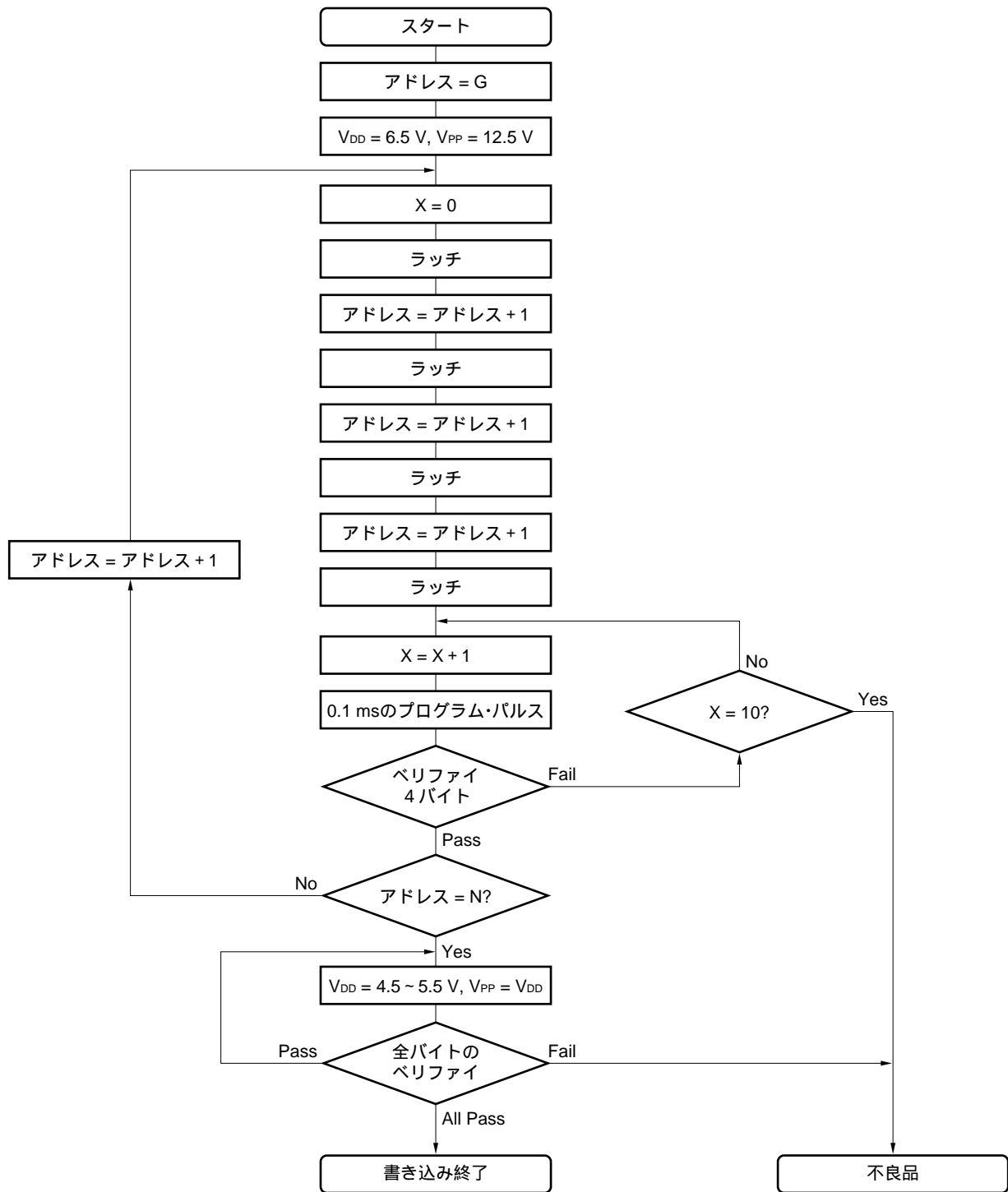
(8) プログラム・インヒビット・モード

プログラム・インヒビット・モードは、複数のμPD78P4916の \overline{OE} 端子、 V_{PP} 端子、D0-D7端子がパラレルに接続されている状態でその中の1個のデバイスに書き込みを行う場合に使用します。

書き込みを行う場合に、上記ページ書き込みモードあるいはバイト書き込みモードを使用します。このとき、 \overline{PGM} 端子をハイ・レベルにしたデバイスには書き込みが行われません。

4.2 PROM書き込みの手順

図4 - 1 ページ・プログラム・モード・フロー・チャート



備考1 . G = 開始アドレス

2 . N = プログラムの最終アドレス

図4-2 ページ・プログラム・モード・タイミング

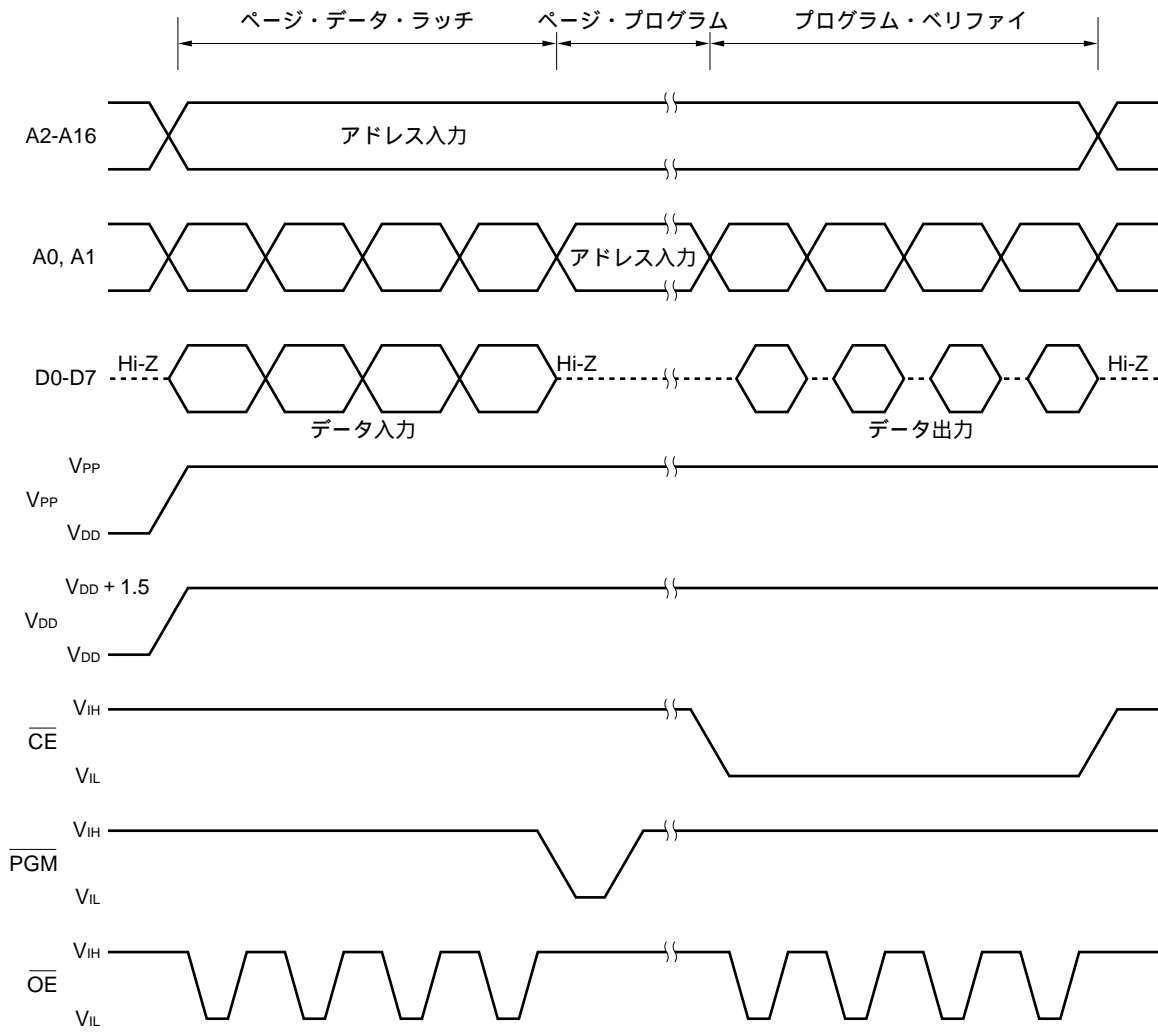
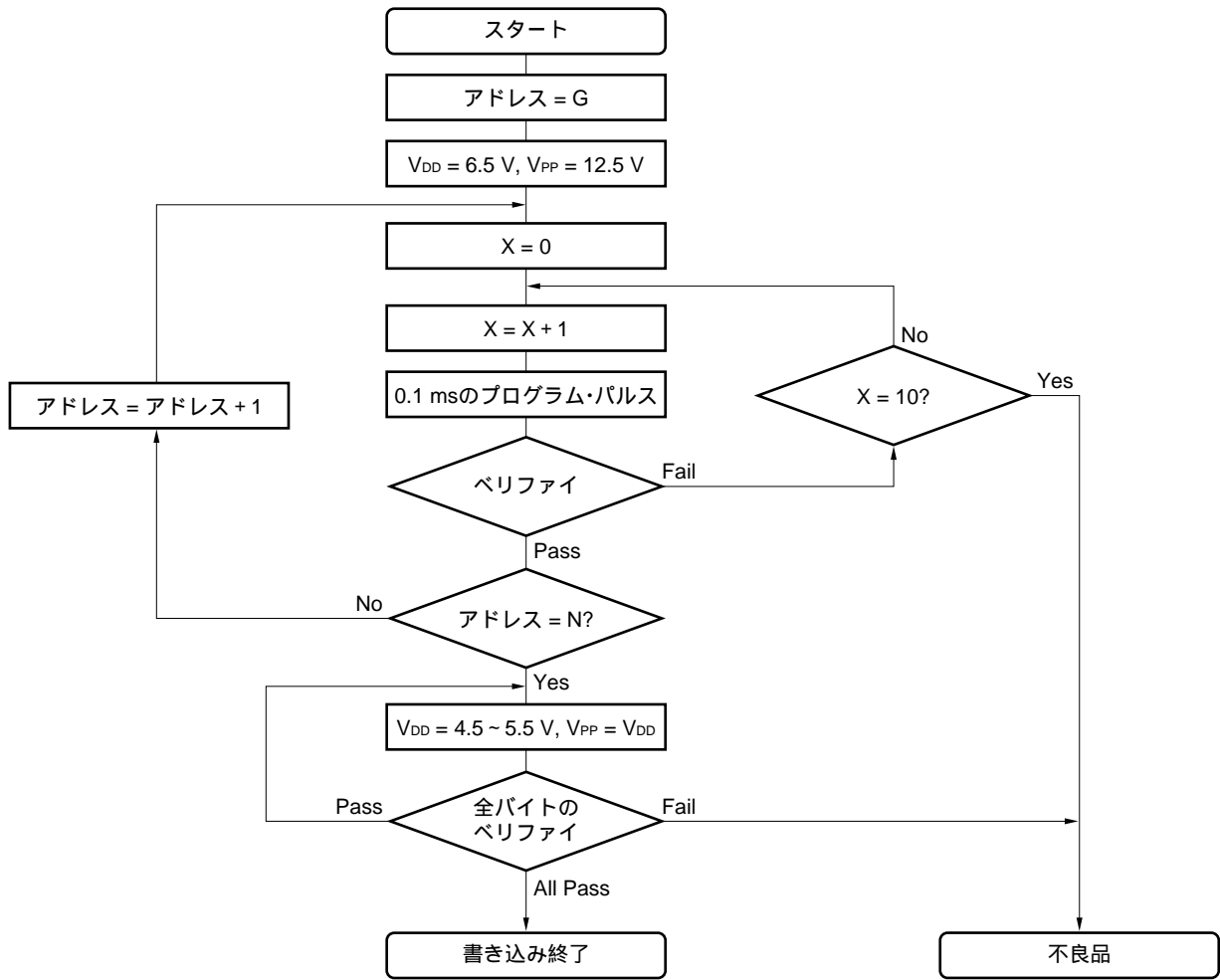


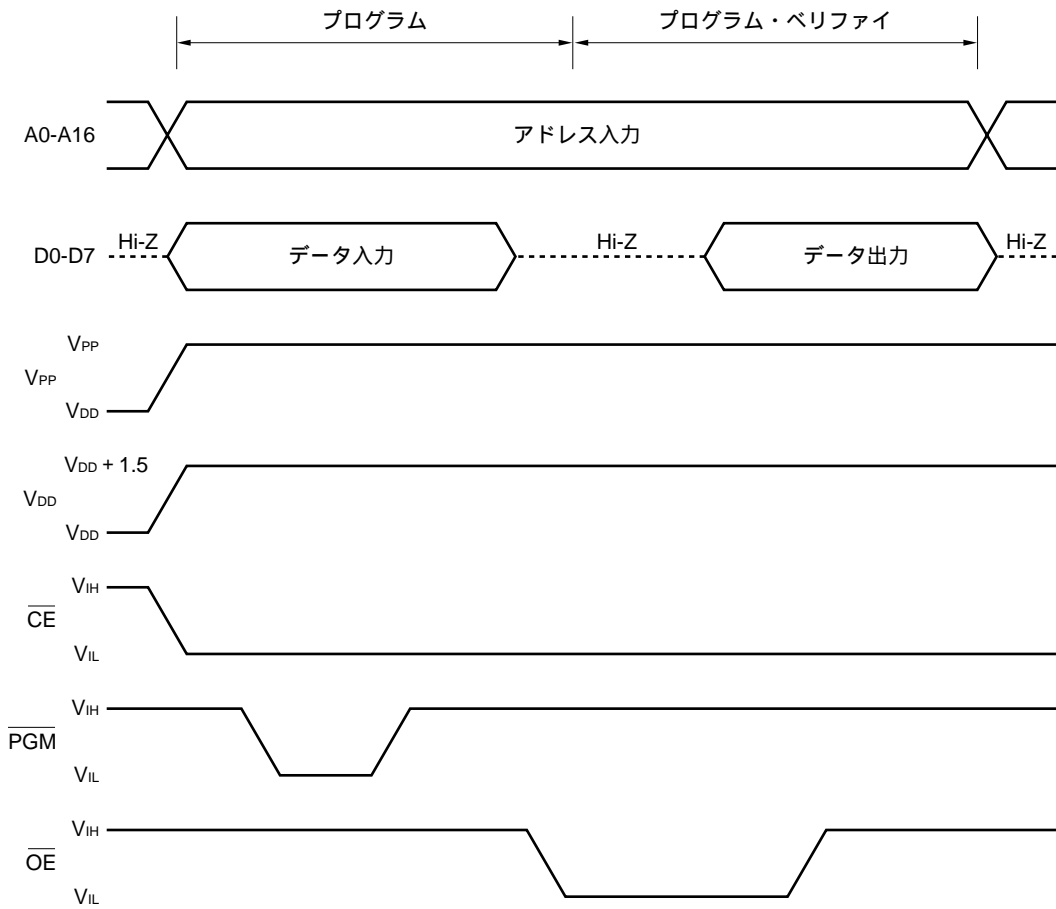
図4-3 バイト・プログラム・モード・フロー・チャート



備考1 . G = 開始アドレス

2 . N = プログラムの最終アドレス

図4-4 バイト・プログラム・モード・タイミング



- 注意 1 . V_{DD}はV_{PP}より前に印加し, V_{PP}のあとから切断するようにしてください。
- 2 . V_{PP}はオーバシュートを含めて +13.5 V以上にならないようにしてください。
- 3 . V_{PP}に12.5 Vが印加されている間に抜き差しした場合, 信頼性上, 悪影響を受ける可能性があります。

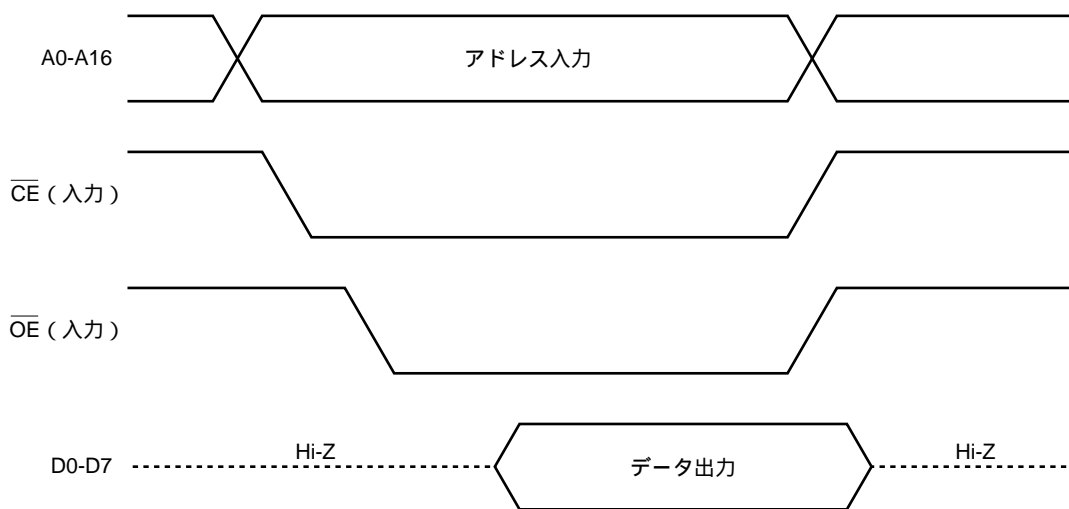
4.3 PROM読み出しの手順

次に示す手順によって、PROMの内容を外部データ・バス（D0-D7）に読み出すことができます。

- (1) RESET端子をロウ・レベルに固定，V_{PP}端子に+5Vを供給，その他，使用しない端子は端子接続図（Top View）（ 2 ）PROMプログラミング・モードに示すように処理する。
- (2) V_{DD}，V_{PP}端子に+5Vを供給。
- (3) 読み出そうとするデータのアドレスをA0-A16端子に入力。
- (4) 読み出しモード（ $\overline{CE} = L$ ， $\overline{OE} = L$ ）に設定。
- (5) データをD0-D7端子に出力。

上述の（ 2 ）-（ 5 ）のタイミングを図4 - 5に示します。

図4 - 5 PROMの読み出しタイミング



4.4 ワン・タイムPROM製品のスクリーニングについて

ワン・タイムPROM製品（μPD78P4916GF-3BA）は，その構造上，当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと，下記の条件で高温保管後，PROMのペリファイを行うスクリーニングを実施すること推奨します。

保管温度	保管時間
125	24時間

5. 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
電源電圧	VDD	VDD - AVDD1 0.5 V	- 0.5 ~ + 7.0	V
	AVDD1	VDD - AVDD2 0.5 V	- 0.5 ~ + 7.0	V
	AVDD2	AVDD1 - AVDD2 0.5 V	- 0.5 ~ + 7.0	V
	AVSS1		- 0.5 ~ + 0.5	V
	AVSS2		- 0.5 ~ + 0.5	V
入力電圧	VI		- 0.5 ~ VDD + 0.5	V
アナログ入力電圧 (ANI0-ANI11)	VIAN	VDD > AVDD2	- 0.5 ~ AVDD2 + 0.5	V
		VDD < AVDD2	- 0.5 ~ VDD + 0.5	V
出力電圧	Vo		- 0.5 ~ VDD + 0.5	V
ロウ・レベル出力電流	IoL	1 端子	15	mA
		全出力端子合計	100	mA
ハイ・レベル出力電流	IoH	1 端子	- 10	mA
		全出力端子合計	- 50	mA
動作周囲温度	TA		- 10 ~ + 70	
保存温度	Tstg		- 65 ~ + 150	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

動作条件

クロック周波数	動作周囲温度(TA)	動作条件	電源電圧(VDD)
4 MHz fxx 16 MHz	- 10 ~ + 70	全機能	+ 4.5 ~ + 5.5 V
		CPU機能のみ	+ 4.0 ~ + 5.5 V
32 kHz fXT 35 kHz		サブクロック動作 (CPU, 時計, ポート機能のみ)	+ 2.7 ~ + 5.5 V

発振器特性 (メイン・クロック) (TA = -10 ~ +70 , VDD = AVDD = 4.0 ~ 5.5 V , VSS = AVSS = 0 V)

発振子	推奨回路	項目	MIN.	MAX.	単位
水晶振動子		発振周波数(f _{xx})	4	16	MHz

発振器特性 (サブクロック) (TA = -10 ~ +70 , VDD = AVDD = 2.7 ~ 5.5 V , VSS = AVSS = 0 V)

発振子	推奨回路	項目	MIN.	MAX.	単位
水晶振動子		発振周波数(f _{xr})	32	35	kHz

注意 メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、上記図中の破線の部分を次のように配線してください。

- ・配線は極力短くする
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

特に、サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっていますのでご注意ください。

DC特性 (TA = -10 ~ +70 , VDD = AVDD = 4.5 ~ 5.5 V , VSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル入力電圧	VIL1	注1以外の端子	0		0.3VDD	V
	VIL2	注1の端子	0		0.2VDD	V
	VIL3	X1, X2	0		0.4	V
ハイ・レベル入力電圧	VIH1	注1以外の端子	0.7VDD		VDD	V
	VIH2	注1の端子	0.8VDD		VDD	V
	VIH3	X1, X2	VDD - 0.5		VDD	V
ロウ・レベル出力電圧	VOL1	IOL = 5.0 mA(注2の端子)			0.6	V
	VOL2	IOL = 2.0 mA			0.45	V
	VOL3	IOL = 100 μA			0.25	V
ハイ・レベル出力電圧	VOH1	I OH = - 1.0 mA	VDD - 1.0			V
	VOH2	I OH = - 100 μA	VDD - 0.4			V
入力リーク電流	ILI	0 Vi VDD			± 10	μA
出力リーク電流	ILO	0 Vo VDD			± 10	μA
VDD電源電流	IDD1	動作モード	fXX = 16 MHz fXX = 8 MHz(低周波発振モード) 内部8 MHzメイン・クロック動作	35	55	mA
			fXT = 32.768 kHz サブクロック動作(CPU, 時計, ポート) VDD = 2.7 V	0.9	1.2	mA
	IDD2	HALTモード	fXX = 16 MHz fXX = 8 MHz(低周波発振モード) 内部8 MHzメイン・クロック動作	15	27.5	mA
			fXT = 32.768 kHz サブクロック動作(CPU, 時計, ポート) VDD = 2.7 V	30	60	μA
データ保持電圧	VDDDR	STOPモード	2.5			V
データ保持電流 ^{注3}	IDDDR	STOPモード VDDDR = 5.0 V	サブクロック発振	36	75	μA
		STOPモード VDDDR = 2.7 V	サブクロック発振	3.5	15	μA
		STOPモード VDDDR = 2.5 V	サブクロック停止	1.5	10	μA
プルアップ抵抗	RL	Vi = 0 V	25	55	110	k

注1 . RESET , IC , NMI , INTP0-INTP2 , P61/SCK1/BUZ , P63/SI1 , SCK2 , SI2/BUSY , P65/HWIN , P91/KEY0-P95/KEY4

2 . P46 , P47

3 . サブクロック停止のSTOPモード時は、帰還抵抗をオフし、XT1端子をVDD電位に接続してください。

AC特性

CPUおよび周辺回路動作クロック ($T_A = -10 \sim +70$, $V_{DD} = AV_{DD} = 4.5 \sim 5.5 V$, $V_{SS} = AV_{SS} = 0 V$)

項目	略号	条件	TYP.	単位
CPU動作クロック・サイクル・タイム	tCLK	f _{XX} = 16 MHz V _{DD} = AV _{DD} = 4.0 ~ 5.5 V CPU機能のみ	125	ns
		f _{XX} = 16 MHz		
		f _{XX} = 8 MHz 低周波発振モード (CC ビット7 = 1)		
周辺動作クロック・サイクル・タイム	tCLK1	f _{XX} = 16 MHz	125	ns
		f _{XX} = 8 MHz 低周波発振モード (CC ビット7 = 1)		

シリアル・インタフェース

(1) SIO_n : n = 1, 2 ($T_A = -10 \sim +70$, $V_{DD} = AV_{DD} = 4.5 \sim 5.5 V$, $V_{SS} = AV_{SS} = 0 V$)

項目	略号	条件	MIN.	MAX.	単位	
シリアル・クロック・サイクル・タイム	tcysk	入力 外部クロック	1.0		μs	
		出力	f _{CLK1} の8分周	1.0		μs
			f _{CLK1} の16分周	2.0		μs
			f _{CLK1} の32分周	4.0		μs
			f _{CLK1} の64分周	8.0		μs
			f _{CLK1} の128分周	16		μs
			f _{CLK1} の256分周	32		μs
シリアル・クロック・ハイ・ロウ・レベル幅	t _{WSKH}	入力 外部クロック	420		ns	
	t _{WSKL}	出力 内部クロック	t _{cysk} /2 - 50		ns	
SInセットアップ時間 (対 \overline{SCKn})	t _{SSK}		100		ns	
SInホールド時間 (対 \overline{SCKn})	t _{HSSK}		400		ns	
SOn出力遅延時間 (対 \overline{SCKn})	t _{DSSK}		0	300	ns	

備考 1 . f_{CLK1} : 周辺回路の動作クロック (8 MHz)

2 . n = 1, 2

(2) SIO₂のみ ($T_A = -10 \sim +70$, $V_{DD} = AV_{DD} = 4.5 \sim 5.5 V$, $V_{SS} = AV_{SS} = 0 V$)

項目	略号	条件	MIN.	MAX.	単位
$\overline{SCK\alpha}$ (8) STRB	t _{DSTRB}		t _{WSKH}	t _{cysk}	
ストロブ・ハイ・レベル幅	t _{WSTRB}		t _{cysk} - 30	t _{cysk} + 30	ns
BUSYセットアップ時間 (対BUSY検出タイミング)	t _{SBUSY}		100		ns
BUSYホールド時間 (対BUSY検出タイミング)	t _{HBUSY}		100		ns
BUSYインアクティブ $\overline{SCK\alpha}$ (1)	t _{LBUSY}			t _{cysk} + t _{WSKH}	

備考 1 . $\overline{SCK2}$ に続く () 内の数値は、何番目の $\overline{SCK2}$ を表しています。

2 . BUSY検出タイミングは、 $\overline{SCK2}$ (8) に対して (n + 2) × t_{cysk}時間経過後です (n = 0, 1, . . .) 。

3 . BUSYインアクティブ $\overline{SCK2}$ (1) は、すでにSIO₂へのデータ書き込みが完了している場合の値です。

その他のオペレーション (TA = -10 ~ +70 , VDD = AVDD = 4.5 ~ 5.5 V , VSS = AVSS = 0 V)

項 目	略 号	条 件	MIN.	MAX.	単 位
タイマ部入力信号ロウ・レベル幅	tWCTL	DFGIN ,CFGIN ,DPGIN ,REEL0IN ,REEL1IN ロジック・レベル入力時	tCLK1		ns
タイマ部入力信号ハイ・レベル幅	tWCTH	DFGIN ,CFGIN ,DPGIN ,REEL0IN ,REEL1IN ロジック・レベル入力時	tCLK1		ns
タイマ部入力信号有効エッジ入力周期	tPERIN	DFGIN , CFGIN , DPGIN入力	2		μs
CSYNCINロウ・レベル幅	tWCR1L	デジタル・ノイズ除去回路未使用	8tCLK1		ns
		デジタル・ノイズ除去回路使用 (INTM2 ビット4 = 0)	108tCLK1		ns
		デジタル・ノイズ除去回路使用 (INTM2 ビット4 = 1)	180tCLK1		ns
CSYNCINハイ・レベル幅	tWCR1H	デジタル・ノイズ除去回路未使用	8tCLK1		ns
		デジタル・ノイズ除去回路使用 (INTM2 ビット4 = 0)	108tCLK1		ns
		デジタル・ノイズ除去回路使用 (INTM2 ビット4 = 1)	180tCLK1		ns
デジタル・ノイズ 除去回路	除去パルス幅	INTM2 ビット4 = 0		104tCLK1	ns
		INTM2 ビット4 = 1		176tCLK1	ns
	通過パルス幅	INTM2 ビット4 = 0	108tCLK1		ns
		INTM2 ビット4 = 1	180tCLK1		ns
NMIロウ・レベル幅	tWNIL	VDD = AVDD = 2.7 ~ 5.5 V	10		μs
NMIハイ・レベル幅	tWNIH	VDD = AVDD = 2.7 ~ 5.5 V	10		μs
INTP0 , INTP3ロウ・レベル幅	tWIPL0		2tCLK1		ns
INTP0 , INTP3ハイ・レベル幅	tWIPH0		2tCLK1		ns
INTP1 , KEY0-KEY4 ロウ・レベル幅	tWIPL1	STOPモード時以外	2tCLK1		ns
		STOPモード時 , STOP解除用	10		μs
INTP1 , KEY0-KEY4 ハイ・レベル幅	tWIPH1	STOPモード時以外	2tCLK1		ns
		STOPモード時 , STOP解除用	10		μs
INTP2ロウ・レベル幅	tWIPL2	通常モード時 , サンプルング = fCLK	2tCLK1		ns
		メイン・クロック動作 サンプルング = fCLK/128	32 ^注		μs
		通常モード時 , サンプルング = fCLK	61		μs
		サブクロック動作 サンプルング = fCLK/128	7.9 ^注		ms
		STOPモード時 , STOP解除用	10		μs
INTP2ハイ・レベル幅	tWIPH2	通常モード時 , サンプルング = fCLK	2tCLK1		ns
		メイン・クロック動作 サンプルング = fCLK/128	32 ^注		μs
		通常モード時 , サンプルング = fCLK	61		μs
		サブクロック動作 サンプルング = fCLK/128	7.9 ^注		ms
		STOPモード時 , STOP解除用	10		μs
RESETロウ・レベル幅	tWRSL		10		μs

注 サンプルング期間に2回続けてハイ・レベルまたはロウ・レベルが入力した場合 , ハイ・レベルまたはロウ・レベルを検出します。

備考 tCLK1 : 周辺回路の動作クロック・サイクル・タイム (125 ns)

クロック出力オペレーション ($T_A = -10 \sim +70$, $V_{DD} = AV_{DD} = 4.5 \sim 5.5 V$, $V_{SS} = AV_{SS} = 0 V$)

項 目	略 号	計 算 式	MIN.	MAX.	単 位
CLOサイクル・タイム	t _{CYCL}		250	2000	ns
CLOロウ・レベル幅	t _{CLL}	t _{CYCL} /2 ± 50	75	1050	ns
CLOハイ・レベル幅	t _{CLH}	t _{CYCL} /2 ± 50	75	1050	ns
CLO立ち上がり時間	t _{CLR}			50	ns
CLO立ち下がり時間	t _{CLF}			50	ns

データ保持特性 ($T_A = -10 \sim +70$, $V_{DD} = AV_{DD} = 2.5 \sim 5.5 V$, $V_{SS} = AV_{SS} = 0 V$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ロウ・レベル入力電圧	V _{IL}	特定端子(注の端子)	0		0.1V _{DDDR}	V
ハイ・レベル入力電圧	V _{IH}		0.9V _{DDDR}		V _{DDDR}	V

注 RESET, IC, NMI, INTP0-INTP2, P61/SCK1/BUZ, P63/SI1, SCK2, SI2/BUSY, P65/HWIN, P91/KEY0-P95/KEY4

時計機能 ($T_A = -10 \sim +70$, $V_{DD} = AV_{DD} = 2.7 \sim 5.5 V$, $V_{SS} = AV_{SS} = 0 V$)

項 目	略 号	条 件	MIN.	MAX.	単 位
サブクロック発振保持電圧	V _{BDXT}		2.7		V
ハードウェア時計機能動作電圧	V _{BDW}		2.7		V

サブクロック発振停止検出フラグ ($T_A = -10 \sim +70$, $V_{DD} = AV_{DD} = 4.5 \sim 5.5 V$, $V_{SS} = AV_{SS} = 0 V$)

項 目	略 号	条 件	MIN.	MAX.	単 位
発振停止検出幅	t _{OSCF}		45		μs

A/Dコンバータ特性 ($T_A = -10 \sim +70$, $V_{DD} = AV_{DD} = AV_{REF} = 4.5 \sim 5.5 V$, $V_{SS} = AV_{SS} = 0 V$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			8			bit
総合誤差		AV _{REF} = V _{DD}			2.0	%
量子化誤差					± 1/2	LSB
変換時間	t _{CONV}	ADMビット4 = 0	160t _{CLK1}			μs
		ADMビット4 = 1	80t _{CLK1}			μs
サンプリング時間	t _{SAMP}	ADMビット4 = 0	32t _{CLK1}			μs
		ADMビット4 = 1	16t _{CLK1}			μs
アナログ入力電圧	V _{IAN}		0		AV _{REF}	V
アナログ入力インピーダンス	Z _{AN}			1000		M
AV _{REF} 電流	I _{AREF}			0.4	1.2	mA

VREFアンブ ($T_A = 25$, $V_{DD} = AV_{DD} = 5 V$, $V_{SS} = AV_{SS} = 0 V$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
レファレンス電圧	V _{REF}		2.35	2.50	2.65	V
チャージ電流	I _{CHG}	AMPM0.0を1にセット(注の端子)	300			μA

注 RECCTL+, RECCTL-, CFGIN, CFGCPIN, DFGIN, DPGIN, CSYNCIN, REEL0IN, REEL1IN

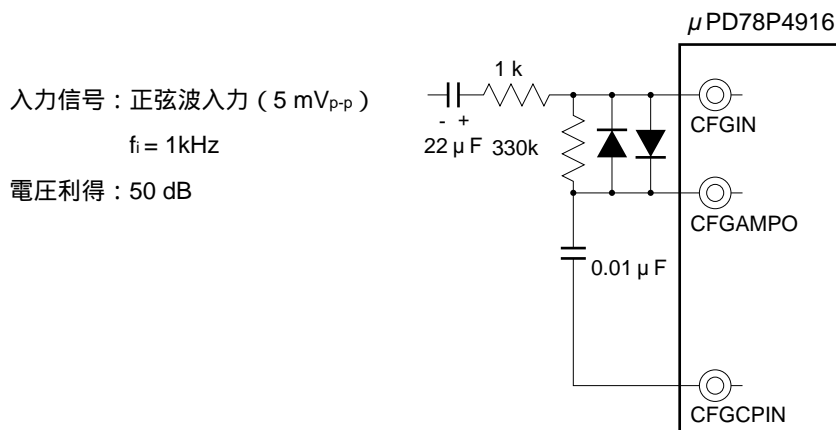
CTLアンプ ($T_A = 25$, $V_{DD} = AV_{DD} = 5V$, $V_{SS} = AV_{SS} = 0V$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
CTL + , - 入力抵抗	R _{ICTL}		2	5	10	k
帰還抵抗	R _{FCTL}		20	50	100	k
バイアス抵抗	R _{BCTL}		20	50	100	k
最小電圧利得	G _{CTLMIN}		17	20	22	dB
最大電圧利得	G _{CTLMAX}		71	75		dB
ゲイン切り替えステップ	S _{GAIN}			1.77		dB
同相信号除去比	CMR	DC , 電圧利得 : 20 dB		50		dB
波形整形の ハイ側コンパレータ・セット電圧	V _{PBCTLHS}		V _{REF} + 0.47	V _{REF} + 0.50	V _{REF} + 0.53	V
波形整形の ハイ側コンパレータ・リセット電圧	V _{PBCTLHR}		V _{REF} + 0.27	V _{REF} + 0.30	V _{REF} + 0.33	V
波形整形の ロウ側コンパレータ・セット電圧	V _{PBCTLLS}		V _{REF} - 0.53	V _{REF} - 0.50	V _{REF} - 0.47	V
波形整形の ロウ側コンパレータ・リセット電圧	V _{PBCTLLR}		V _{REF} - 0.33	V _{REF} - 0.30	V _{REF} - 0.27	V
CLTフラグSのハイ側コンパレート電圧	V _{FSH}		V _{REF} + 1.00	V _{REF} + 1.05	V _{REF} + 1.10	V
CLTフラグSのロウ側コンパレート電圧	V _{FSL}		V _{REF} - 1.10	V _{REF} - 1.05	V _{REF} - 1.00	V
CLTフラグLのハイ側コンパレート電圧	V _{FLH}		V _{REF} + 1.40	V _{REF} + 1.45	V _{REF} + 1.50	V
CLTフラグLのロウ側コンパレート電圧	V _{FLL}		V _{REF} - 1.50	V _{REF} - 1.45	V _{REF} - 1.40	V

CFGアンプ (AC結合) ($T_A = 25$, $V_{DD} = AV_{DD} = 5V$, $V_{SS} = AV_{SS} = 0V$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電圧利得 1	G _{CFG1}	f _i = 2 kHz , オープン・ループ	50			dB
電圧利得 2	G _{CFG2}	f _i = 30 kHz , オープン・ループ	34			dB
CFGAMPOハイ・レベル出力電流	I _{OHCFG}	DC	- 1			mA
CFGAMPOロウ・レベル出力電流	I _{OLCFG}	DC	0.4			mA
ハイ側コンパレート電圧	V _{CFGH}		V _{REF} + 0.09	V _{REF} + 0.12	V _{REF} + 0.15	V
ロウ側コンパレート電圧	V _{CFG L}		V _{REF} - 0.15	V _{REF} - 0.12	V _{REF} - 0.09	V
デューティ精度	P _{DUTY}		49.7	50.0	50.3	%

注 以下のような回路および入力信号が条件となります。



DFGアンプ (AC結合) (TA = 25 , VDD = AVDD = 5 V , VSS = AVSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電圧利得	GDFG	fi = 900 Hz , オープン・ループ	50			dB
帰還抵抗	RDFG		160	400	640	k
入力保護抵抗	RIDFG			150		
ハイ側コンパレート電圧	VDFGH		VREF + 0.07	VREF + 0.10	VREF + 0.14	V
ロウ側コンパレート電圧	VDFGL		VREF - 0.14	VREF - 0.10	VREF - 0.07	V

注意 DFGIN端子に接続する入力抵抗は、16 k 以下にしてください。それ以上の値の抵抗を接続すると、DFGアンプが発振する恐れがあります。

DPGコンパレータ (AC結合) (TA = 25 , VDD = AVDD = 5 V , VSS = AVSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力インピーダンス	ZIDPG		20	50	100	k
ハイ側コンパレート電圧	VDPGH		VREF + 0.02	VREF + 0.05	VREF + 0.08	V
ロウ側コンパレート電圧	VDPGL		VREF - 0.08	VREF - 0.05	VREF - 0.02	V

3 値分離回路 (TA = 25 , VDD = AVDD = 5 V , VSS = AVSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力インピーダンス	ZIPFG		20	50	100	k
ハイ側コンパレート電圧	VPFGH		VREF + 0.5	VREF + 0.7	VREF + 0.9	V
ロウ側コンパレート電圧	VPFGL		VREF - 1.4	VREF - 1.2	VREF - 1.0	V

CSYNCコンパレータ (AC結合) (TA = 25 , VDD = AVDD = 5 V , VSS = AVSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力インピーダンス	ZICSYN		20	50	100	k
ハイ側コンパレート電圧	VCSYNH		VREF + 0.07	VREF + 0.10	VREF + 0.13	V
ロウ側コンパレート電圧	VCSYNL		VREF - 0.13	VREF - 0.10	VREF - 0.07	V

リールFGコンパレータ (AC結合) (TA = 25 , VDD = AVDD = 5 V , VSS = AVSS = 0 V)

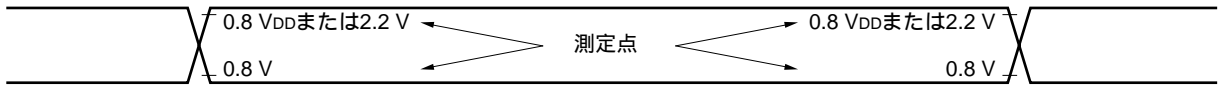
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力インピーダンス	ZIRLFG		20	50	100	k
ハイ側コンパレート電圧	VRLFGH		VREF + 0.02	VREF + 0.05	VREF + 0.08	V
ロウ側コンパレート電圧	VRLFGL		VREF - 0.08	VREF - 0.05	VREF - 0.02	V

RECCTLドライバ (TA = 25 , VDD = AVDD = 5 V , VSS = AVSS = 0 V)

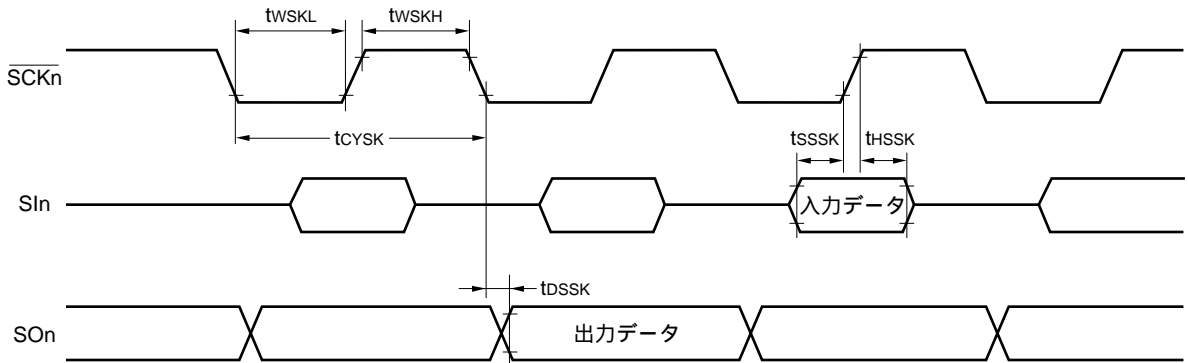
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
RECCTL+ , - ハイ・レベル出力電圧	VOHREC	IOH = - 4 mA	VDD - 0.8			V
RECCTL+ , - ロウ・レベル出力電圧	VOLREC	IOL = 4 mA			0.8	V
CTLDLY内蔵抵抗	RCTL		40	70	140	k
CTLDLY充電電流	IOHCTL	内蔵抵抗未使用	- 3			mA
CTLDLY放電電流	IOCTL		- 3			mA

タイミング波形

ACタイミング測定点

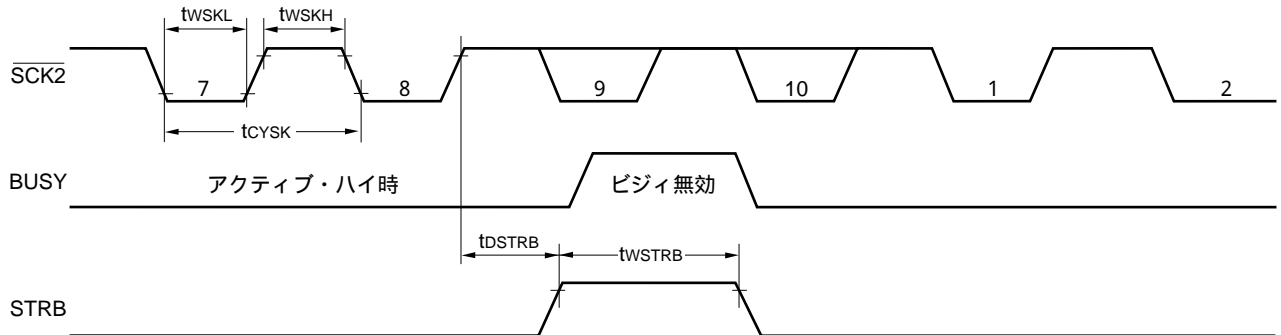


シリアル転送タイミング (SIO_n : n=1, 2)

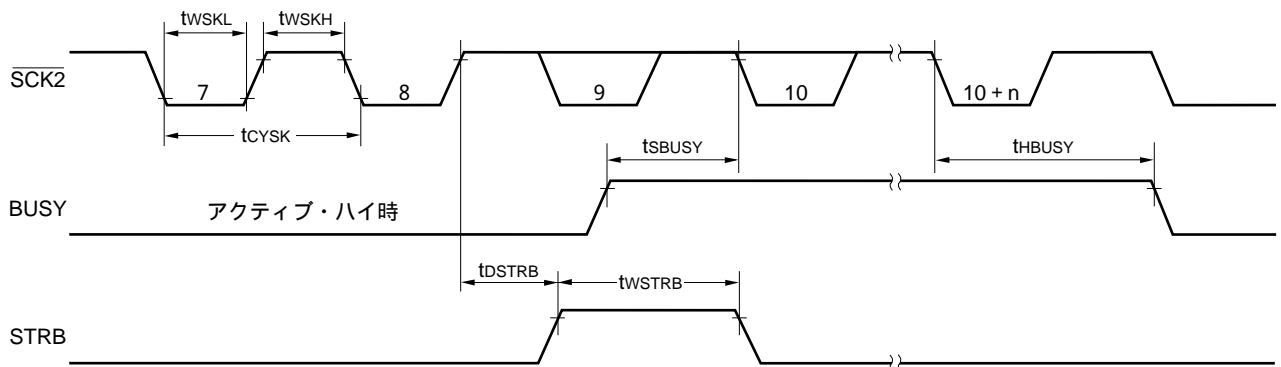


シリアル転送タイミング (SIO2のみ)

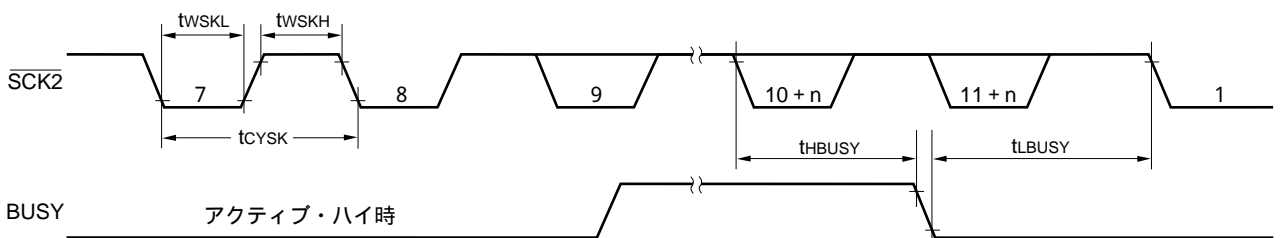
ビジィ処理なし



ビジィ処理の継続

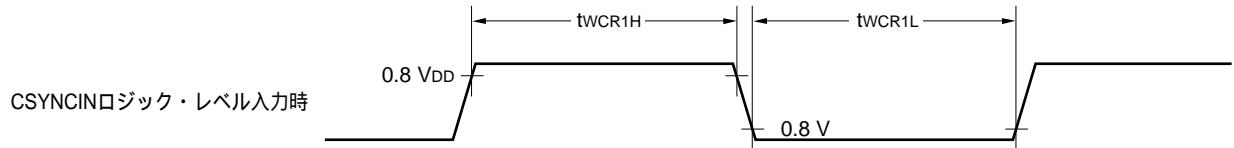
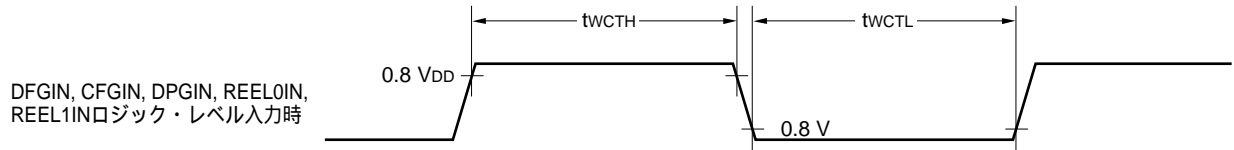


ビジィ処理の終了

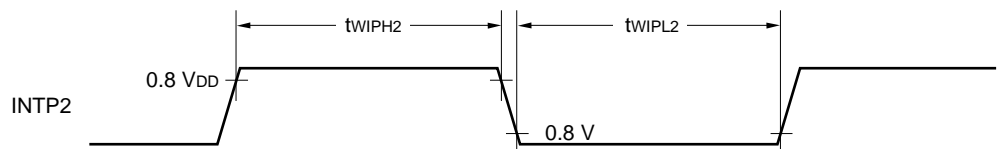
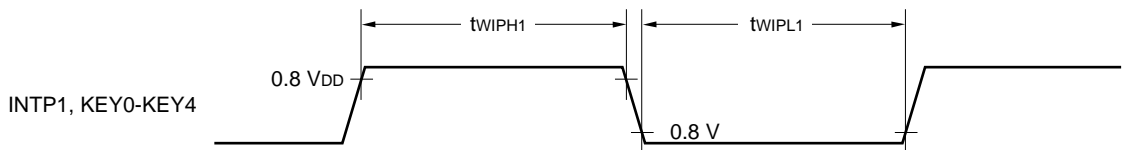
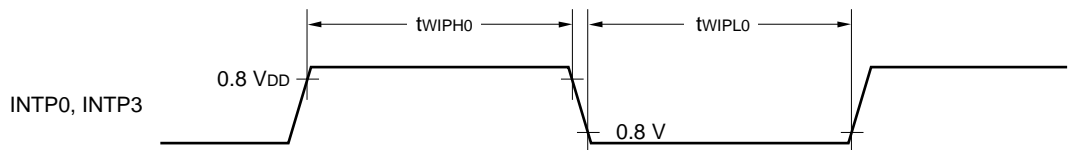
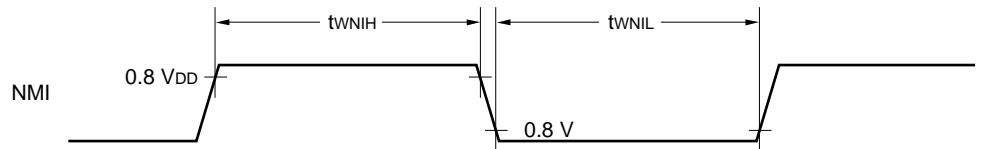


注意 シリアル・クロックとして外部クロックを選択した場合、ビジィ制御とストローブ制御は使用しないでください。

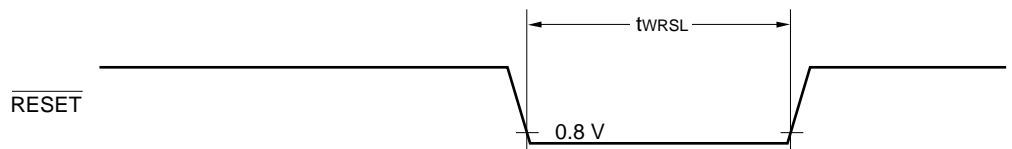
スーパー・タイマ・ユニット入力タイミング



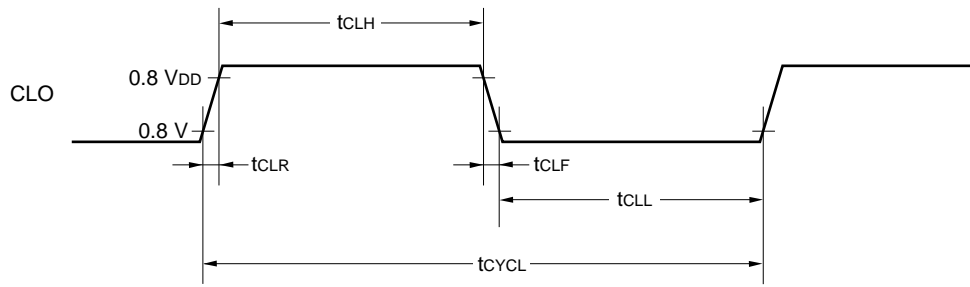
割り込み入力タイミング



リセット入力タイミング



クロック出力タイミング



DCプログラミング特性 (TA = +25 ± 5 , VSS = AVSS = 0 V)

項 目	略 号	略号注 ¹	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧	V _{IH}	V _{IH}		2.4		V _{DDP} + 0.3	V
ロウ・レベル入力電圧	V _{IL}	V _{IL}		- 0.3		0.8	V
入力リーク電流	I _{LIP}	I _{LI}	0 V _i V _{DDP} 注 ²			± 10	μA
ハイ・レベル出力電圧	V _{OH1}	V _{OH1}	I _{OH} = - 400 μA	2.4			V
	V _{OH2}	V _{OH2}	I _{OH} = - 100 μA	V _{DDP} - 0.7			V
ロウ・レベル出力電圧	V _{OL}	V _{OL}	I _{OL} = 2.1 mA			0.45	V
出力リーク電流	I _{LO}		0 V _o V _{DDP} , $\overline{OE} = V_{IH}$			± 10	μA
V _{DD} 電源電圧	V _{DDP}	V _{DD}	プログラム・メモリ書き込みモード	6.25	6.5	6.75	V
			プログラム・メモリ読み出しモード	4.50	5.0	5.50	V
V _{PP} 電源電圧	V _{PP}	V _{PP}	プログラム・メモリ書き込みモード	12.2	12.5	12.8	V
			プログラム・メモリ読み出しモード	V _{PP} = V _{DDP}			V
V _{DD} 電源電流	I _{DD}	I _{DD}	プログラム・メモリ書き込みモード			50	mA
			プログラム・メモリ読み出しモード			30	mA
V _{PP} 電源電流	I _{PP}	I _{PP}	プログラム・メモリ書き込みモード			50	mA
			プログラム・メモリ読み出しモード		1	100	μA

注 1 . 対応する μPD27C1001Aの略号です。

2 . V_{DDP}は , プログラミング時のV_{DD}端子です。

ACプログラミング特性 ($T_A = 25 \pm 5$, $V_{SS} = AV_{SS} = 0V$)

PROM書き込みモード時 (ページ・プログラム・モード)

項 目	略号 ^{注1}	条 件	MIN.	TYP.	MAX.	単 位
アドレス・セットアップ時間	tAS		2			μs
\overline{CE} セット時間	tCES		2			μs
入力データ・セットアップ時間	tDS		2			μs
アドレス・ホールド時間	tAH		2			μs
	tAHL		2			μs
	tAHV		0			μs
入力データ・ホールド時間	tDH		2			μs
出力データ・ホールド時間	tDF		0		230	ns
V _{PP} セットアップ時間	tVPS		2			μs
V _{DDP} セットアップ時間	tVDS ^{注2}		2			μs
初期プログラム・パルス幅	tPW		0.095	0.1	0.105	ms
\overline{OE} セット時間	tOES		2			μs
\overline{OE} 有効データ遅延時間	tOE				1	μs
データ・ラッチ中の \overline{OE} パルス幅	tLW		1			μs
\overline{PGM} セットアップ時間	tPGMS		2			μs
\overline{CE} ホールド時間	tCEH		2			μs
\overline{OE} ホールド時間	tOEH		2			μs

注1 . μPD27C1001Aの略号と対応しています (t_{VDS}を除きます)。

2 . t_{VDS}のμPD27C1001Aでの略号はt_{VCS}です。

PROM書き込みモード時 (バイト・プログラム・モード)

項 目	略号 ^{注1}	条 件	MIN.	TYP.	MAX.	単 位
アドレス・セットアップ時間	tAS		2			μs
\overline{CE} セット時間	tCES		2			μs
入力データ・セットアップ時間	tDS		2			μs
アドレス・ホールド時間	tAH		2			μs
入力データ・ホールド時間	tDH		2			μs
出力データ・ホールド時間	tDF		0		130	ns
V _{PP} セットアップ時間	tVPS		2			μs
V _{DDP} セットアップ時間	tVDS ^{注2}		2			μs
初期プログラム・パルス幅	tPW		0.095	0.1	0.105	ms
\overline{OE} セット時間	tOES		2			μs
\overline{OE} 有効データ遅延時間	tOE				150	ns

注1 . μPD27C1001Aの略号と対応しています (t_{VDS}を除きます)。

2 . t_{VDS}のμPD27C1001Aでの略号はt_{VCS}です。

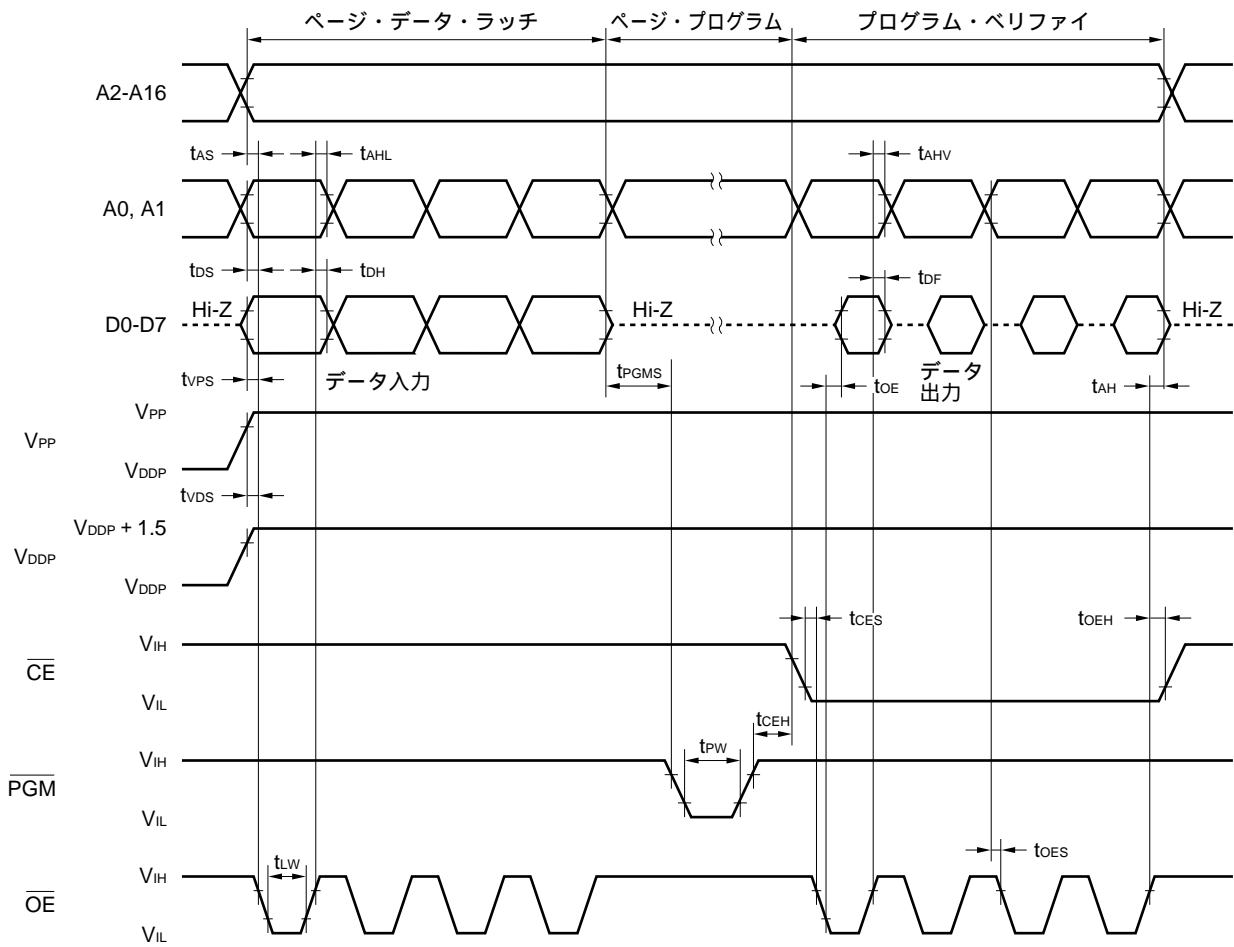
PROM読み出しモード時

項 目	略号 ^{注1}	条 件	MIN.	TYP.	MAX.	単 位
アドレス データ出力時間	tACC	$\overline{CE} = \overline{OE} = V_{IL}$			200	ns
\overline{CE} データ出力時間	tCE	$\overline{OE} = V_{IL}$			200	ns
\overline{OE} データ出力時間	tOE	$\overline{CE} = V_{IL}$			75	ns
データ・ホールド時間(対 \overline{OE} , \overline{CE}) ^{注2}	tDF	$\overline{CE} = V_{IL}$ または $\overline{OE} = V_{IL}$	0		60	ns
データ・ホールド時間(対アドレス)	tOH	$\overline{CE} = \overline{OE} = V_{IL}$	0			ns

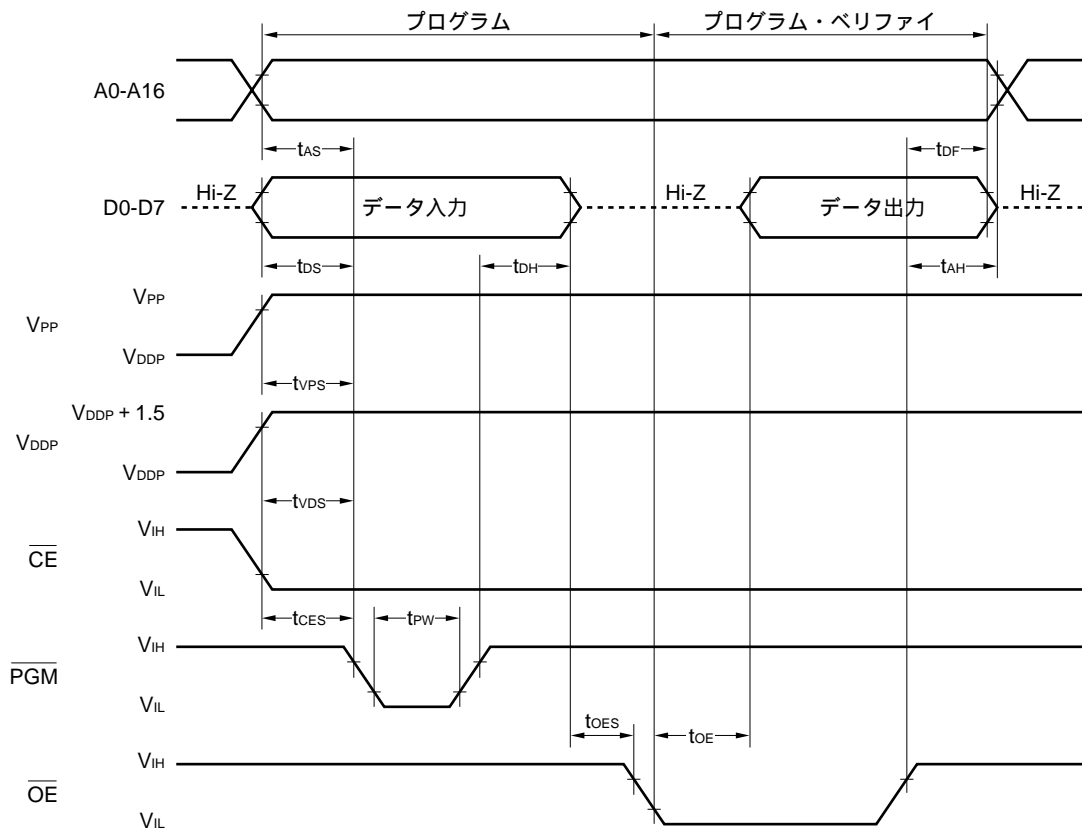
注1 . μPD27C1001Aの略号と対応しています。

2 . t_{DF}は、 \overline{OE} 、 \overline{CE} のどちらかが最初にV_{IH}となったときからの時間です。

PROM書き込みモード・タイミング (ページ・プログラム・モード)

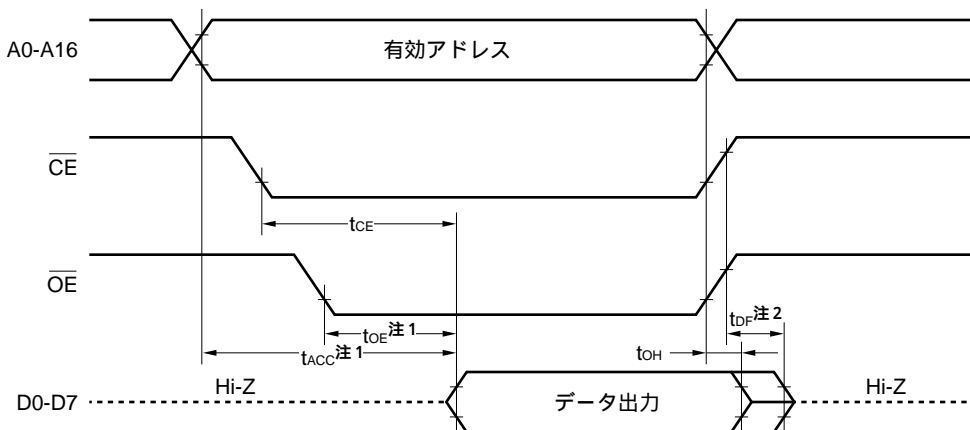


PROM書き込みモード・タイミング (バイト・プログラム・モード)



- 注意 1 . V_{DDP} は V_{PP} より前に印加し、 V_{PP} のあとから切断するようにしてください。
- 2 . V_{PP} はオーバシュートを含めて + 13.5 V以上にならないようにしてください。
- 3 . V_{PP} に + 12.5 Vが印加されている間に抜き差しした場合、信頼性上、悪影響を受ける可能性があります。

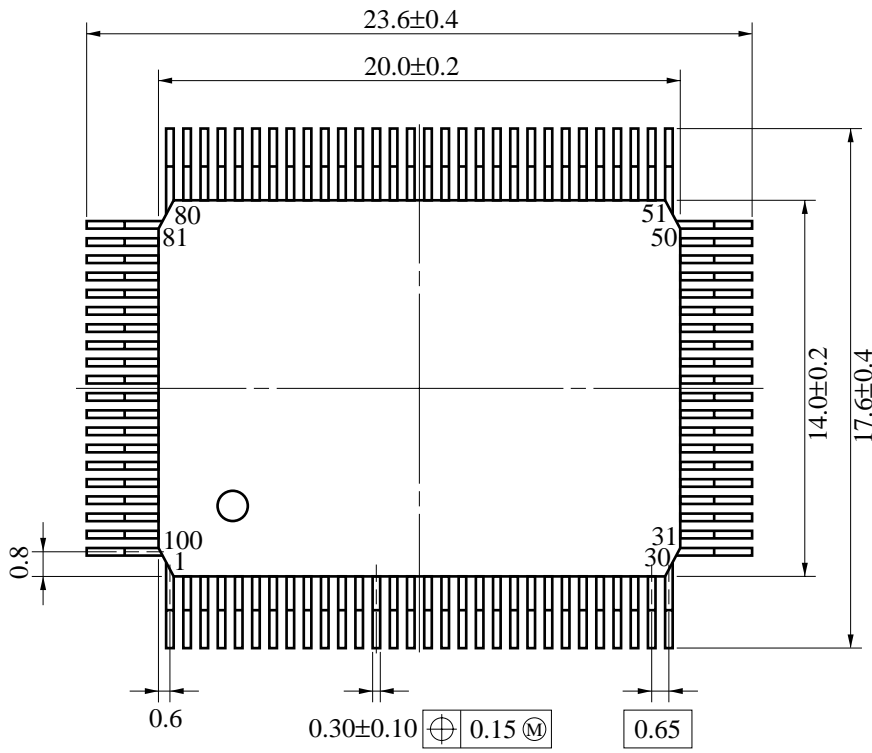
PROM読み出しモード・タイミング



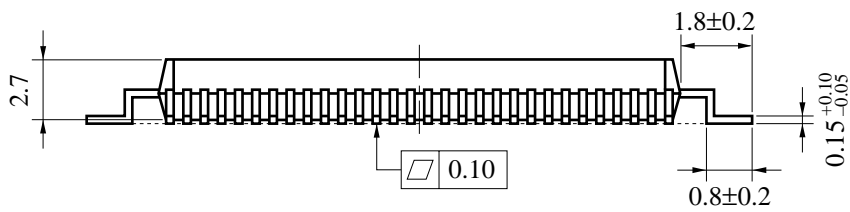
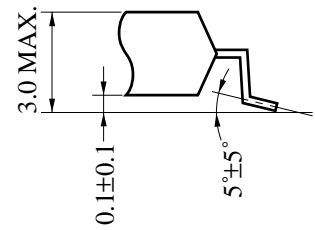
- 注 1 . t_{acc} の範囲内でリードしたい場合、 \overline{OE} 入力の \overline{CE} の立ち下がりからの遅れ時間は最大 $t_{acc} - t_{OE}$ としてください。
- 2 . t_{DF} は、 \overline{OE} 、 \overline{CE} のどちらかが最初に V_{IH} となったときからの時間です。

6. 外形図

100ピン・プラスチック QFP (14×20) 外形図 (単位: mm)



端子先端形状詳細図



P100GF-65-3BA1-2

7. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表7-1 表面実装タイプの半田付け条件

μPD78P4916GF-3BA：100ピン・プラスチックQFP（14×20mm）

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125℃プリベーク 20時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-207-3
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125℃プリベーク 20時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-207-3
ウェーブ・ソルダリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回， 予備加熱温度：120℃MAX.（パッケージ表面温度） 制限日数：7日間 ^注 （以降は125℃プリベーク 20時間必要）	WS60-207-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺あたり）	-

注 ドライパック開封後の保管制限日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

付録A．開発ツール

μPD78P4916を使用するシステム開発のために次のような開発ツールを用意しています。

言語処理用ソフトウェア

RA78K4 ^{注1}	78K/ シリーズ共通のアセンブラ・パッケージ
CC78K4 ^{注1}	78K/ シリーズ共通のCコンパイラ・パッケージ
CC78K4-L ^{注1}	78K/ シリーズ共通のCコンパイラ・ライブラリ・ソース・ファイル

PROM書き込み用ツール

PG-1500	PROMプログラマ
PA-78P4916GF	PG-1500に接続するPROMプログラマ・アダプタ
PG-1500コントローラ ^{注2}	PG-1500用コントロール・プログラム

ディバグ用ツール

IE-784000-R	78K/ シリーズ共通のインサーキット・エミュレータ
IE-784000-R-BK	78K/ シリーズ共通のブレーク・ボード
IE-784000-R-EM	78K/ シリーズ共通のエミュレーション・ボード
IE-784915-R-EM1	μPD784915サブシリーズ評価用エミュレーション・ボード
IE-78000-R-SV3	ホスト・マシンとしてEWS使用時のインタフェース・アダプタ
IE-70000-98-IF-B	ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときのインタフェース・アダプタ
IE-70000-98N-IF	ホスト・マシンとしてPC-9800シリーズのノート型パソコンを使用するときのインタフェース・アダプタとケーブル
IE-70000-PC-IF-B	ホスト・マシンとしてIBM PC/AT™を使用するときのインタフェース・アダプタ
EP-784915GF-R	μPD784915サブシリーズ共通のエミュレーション・プローブ
NQPACK 100RB	100ピン・プラスチックQFP(GF-3BAタイプ)用に作られたターゲット・システムの基板上に実装する変換ソケット
SM78K4 ^{注3}	78K/ シリーズ共通のシステム・シミュレータ
ID78K4 ^{注3}	IE-784000-R用統合ディバガ
DF784915 ^{注4}	μPD784915サブシリーズ共通のデバイス・ファイル

リアルタイムOS

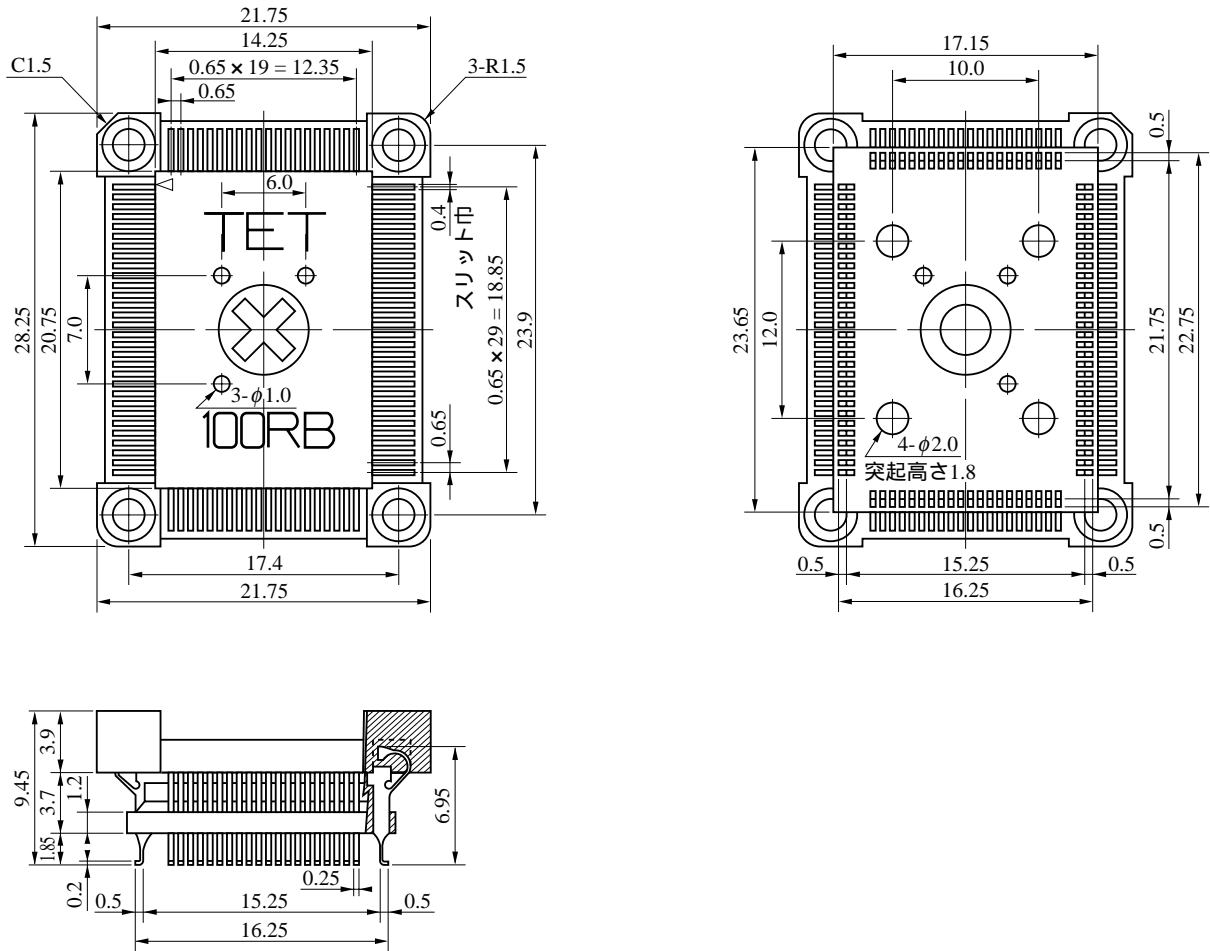
RX78K/ ^{注4}	78K/ シリーズ共通のリアルタイムOS
MX78K4 ^{注2}	78K/ シリーズ共通のOS

- 注1 . ・ PC-9800シリーズ (MS-DOS™) ベース
- ・ IBM PC/ATおよびその互換機 (PC DOS™, Windows™, MS DOS, IBM DOS™) ベース
 - ・ HP9000シリーズ700™ (HP-UX™) ベース
 - ・ SPARCstation™ (SunOS™) ベース
 - ・ NEWS™ (NEWS-OS™) ベース
- 2 . ・ PC-9800シリーズ (MS-DOS) ベース
- ・ IBM PC/ATおよびその互換機 (PC DOS, Windows, MS-DOS, IBM DOS) ベース
- 3 . ・ PC-9800シリーズ (MS-DOS + Windows) ベース
- ・ IBM PC/ATおよびその互換機 (PC DOS, Windows, MS-DOS, IBM DOS) ベース
 - ・ HP9000シリーズ700 (HP-UX) ベース
 - ・ SPARCstation (SunOS) ベース
- 4 . ・ PC-9800シリーズ (MS-DOS) ベース
- ・ IBM PC/ATおよびその互換機 (PC DOS, Windows, MS-DOS, IBM DOS) ベース
 - ・ HP9000シリーズ700 (HP-UX) ベース
 - ・ SPARCstation (SunOS) ベース

備考 RA78K4, CC78K4, SM78K4, ID78K4は , DF784915と組み合わせて使用します。

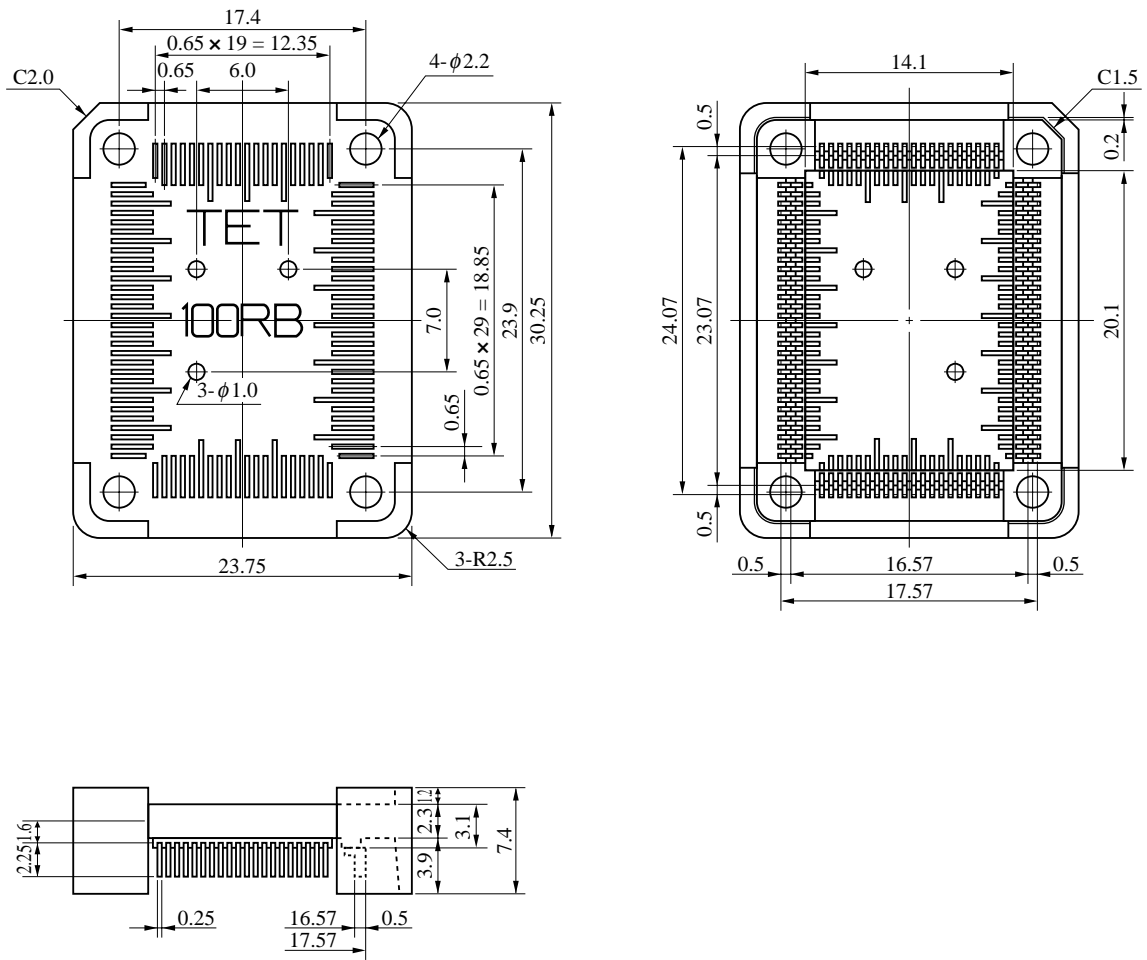
付録B．変換ソケット（NQPACK 100RB）の外形図

図B - 1 NQPACK 100RB（ターゲット接続側）外形図（参考）（単位：mm）



EV-9201GF-100-G0-1

図B - 2 NQPACK 100RB (デバイス実装時のフタ) 外形図 (参考) (単位: mm)



EV-9201GF-100-G0-2

付録C . 関連資料

デバイスの関連資料

資 料 名	資料番号	
	和 文	英 文
μPD784915サブシリーズ ユーザーズ・マニュアル ハードウェア編	U10444J	U10444E
μPD784915サブシリーズ 特殊機能レジスタ活用表	U10976J	-
μPD784915サブシリーズ アプリケーション・ノート	U11361J	作成予定
78K/ シリーズ ユーザーズ・マニュアル 命令編	U10905J	IEU-1386
78K/ シリーズ インストラクション活用表	U10594J	-
78K/ シリーズ インストラクション・セット	U10595J	-
78K/ シリーズ アプリケーション・ノート ソフトウェア基礎編	U10095J	-

開発ツールの資料 (ユーザーズ・マニュアル)

資 料 名	資料番号		
	和 文	英 文	
RA78K4 アセンブラ・パッケージ	言語編	U11162J	-
	操作編	U11334J	U11334E
RA78Kシリーズ 構造化アセンブラ・プリプロセッサ	EEU-817	EEU-1402	
CC78K4シリーズ	言語編	EEU-961	-
	操作編	EEU-960	-
CC78Kシリーズ ライブラリ・ソース・ファイル	EEU-777	-	
PG-1500 PROMプログラマ	EEU-651	EEU-1335	
PG-1500コントローラ PC-9800シリーズ(MS-DOS)ベース	EEU-704	EEU-1291	
PG-1500コントローラ IBM PCシリーズ(PC DOS)ベース	EEU-5008	U10540E	
IE-784000-R	EEU-5004	EEU-1534	
IE-784915-R-EM1 EP-784915GF-R	U10931J	-	
SM78K4 システム・シミュレータ Windowsベース	レファレンス編	U10093J	U10093E
SM78Kシリーズ システム・シミュレータ	外部部品ユーザ オープンインタフェース 仕様編	U10092J	U10092E
ID78K4 統合ディバッガ Windowsベース	レファレンス編	U10440J	U10440E

組み込み用ソフトウェアの資料 (ユーザーズ・マニュアル)

資 料 名	資料番号		
	和 文	英 文	
RX78K/ リアルタイムOS	基礎編	U10604J	-
	インストール編	U10603J	-
	ディバッガ編	U10364J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

その他の資料

資 料 名	資料番号	
	和 文	英 文
IC PACKAGE MANUAL	C10943X	
半導体デバイス 実装マニュアル	C10535J	C10535E
NEC半導体デバイスの品質水準	C11531J	IEI-1209
NEC半導体デバイスの信頼性品質管理	U10983J	U10983E
静電気放電(ESD)試験について	MEM-539	-
半導体デバイスの品質保証ガイド	MEI-603	MEI-1202
マイクロコンピュータ関連製品ガイド 社外メーカー編	U11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

MS-DOS, Windowsは、米国マイクロソフト社の商標です。

IBM DOS, PC/AT, PC DOSは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パッカー社社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

{ X E }

(× ㇿ)

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

本製品が外国為替および外国貿易管理法の規定による戦略物資等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

文書による当社の承諾なしに本資料の転載複製を禁じます。
 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
 この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部	半導体第二販売事業部	〒108-01	東京都港区芝五丁目7番1号(NEC本社ビル)	東京	(03)3454-1111	(大代表)		
半導体第三販売事業部								
中部支社	半導体第一販売部	〒460	名古屋市中区錦一丁目17番1号(NEC中部ビル)	名古屋	(052)222-2170			
	半導体第二販売部			名古屋	(052)222-2190			
関西支社	半導体第一販売部	〒540	大阪市中央区城見一丁目4番24号(NEC関西ビル)	大阪	(06) 945-3178			
	半導体第二販売部			大阪	(06) 945-3200			
	半導体第三販売部			大阪	(06) 945-3208			
北海道支社	札幌	(011)231-0161	太田支店	太田	(0276)46-4011	富山支店	富山	(0764)31-8461
東北支社	仙台	(022)267-8740	宇都宮支店	宇都宮	(028)621-2281	三重支店	津	(0592)25-7341
岩手支店	盛岡	(0196)51-4344	小山支店	小山	(0285)24-5011	京都支社	京都	(075)344-7824
山形支店	山形	(0236)23-5511	長野支社	松本	(0263)35-1662	神戸支社	神戸	(078)333-3854
郡山支店	郡山	(0249)23-5511	甲府支店	甲府	(0552)24-4141	中国支社	広島	(082)242-5504
いわき支店	いわき	(0246)21-5511	埼玉支社	大宮	(048)641-1411	鳥取支店	鳥取	(0857)27-5311
長岡支店	長岡	(0258)36-2155	立川支社	立川	(0425)26-5981	岡山支店	岡山	(086)225-4455
土浦支店	土浦	(0298)23-6161	千葉支社	千葉	(043)238-8116	四国支社	高松	(0878)36-1200
水戸支店	水戸	(029)226-1717	静岡支社	静岡	(054)255-2211	新居浜支店	新居浜	(0897)32-5001
神奈川支社	横浜	(045)324-5524	北陸支社	金沢	(0762)23-1621	松山支店	松山	(089)945-4149
群馬支店	高崎	(0273)26-1255	福井支店	福井	(0776)22-1866	九州支社	福岡	(092)271-7700

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部	〒210	川崎市幸区塚越三丁目484番地	川崎	(044)548-7924	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
マイクロコンピュータ技術部					
半導体販売技術本部	〒108-01	東京都港区芝五丁目7番1号(NEC本社ビル)	東京	(03)3798-9619	
東日本販売技術部					
半導体販売技術本部	〒460	名古屋市中区錦一丁目17番1号(NEC中部ビル)	名古屋	(052)222-2125	
中部販売技術部					
半導体販売技術本部	〒540	大阪市中央区城見一丁目4番24号(NEC関西ビル)	大阪	(06) 945-3383	
西日本販売技術部					