

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 16ビット・シングルチップ・マイクロコンピュータ

$\mu$ PD78P4908は、78K/ シリーズの中の製品で、 $\mu$ PD784907, 784908の内部マスクROMをワン・タイムPROMに置き換えた製品です。ユーザによるプログラムの書き込みが可能のため、システム開発時の評価用や多品種少量生産、早期立ち上げに最適です。

詳しい機能説明などは次のユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

$\mu$ PD784908サブシリーズ ユーザズ・マニュアル ハードウェア編 : U11787J

78K/ シリーズ ユーザズ・マニュアル 命令編 : U10905J

## 特 徴

78K/ シリーズ

内部PROM : 128 Kバイト

内部RAM : 4352バイト

★ 電源電圧 :  $V_{DD} = 4.5 \sim 5.5$  V

(メイン・クロック :  $f_{xx} = 12.58$  MHz, 内部システム・クロック =  $f_{xx}$ 時,  $f_{CYK} = 79$  ns)

$V_{DD} = 4.0 \sim 5.5$  V

(上記以外するとき,  $f_{CYK} = 159$  ns)

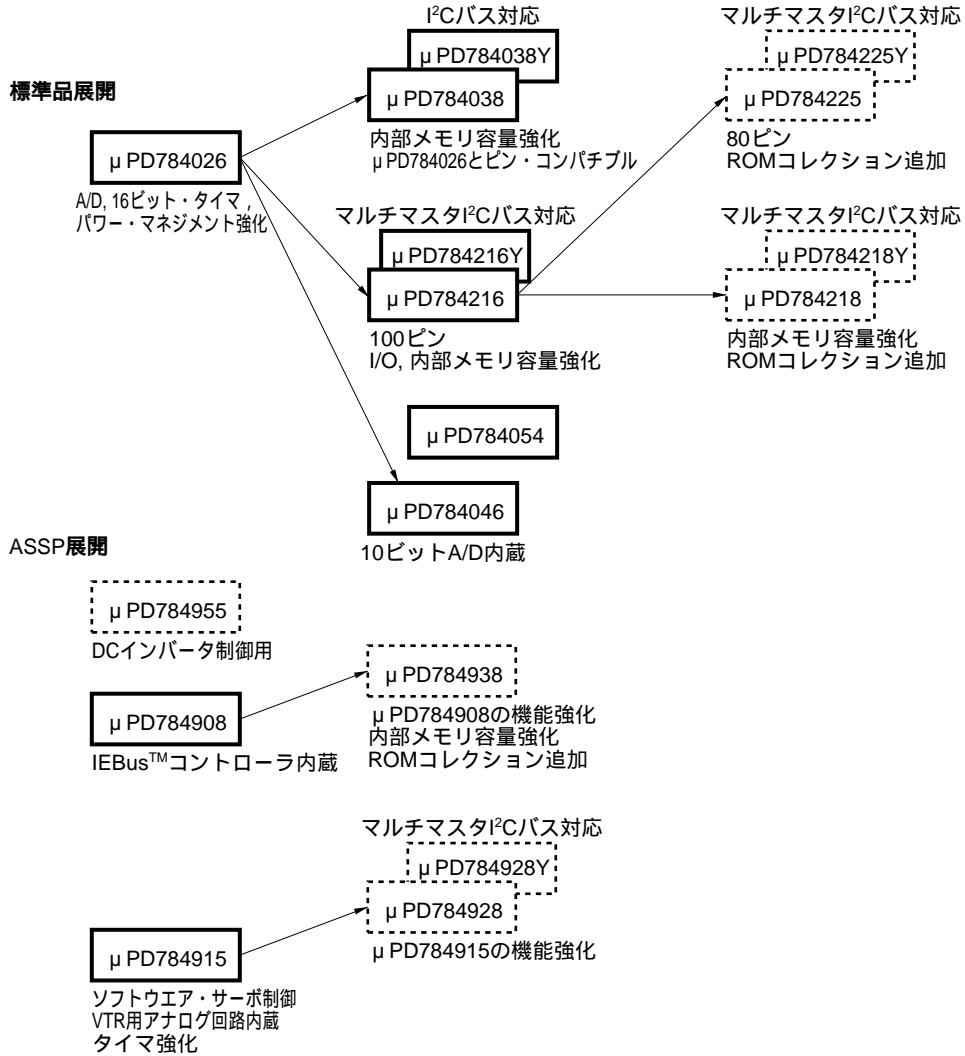
## オーダ情報

オーダ名称	パッケージ	内部ROM
$\mu$ PD78P4908GF-3BA	100ピン・プラスチックQFP (14 × 20 mm)	ワン・タイムPROM

本資料の内容は、後日変更する場合があります。

★ 78K/ シリーズ製品展開図

: 量産中  
 : 開発中





( 2 / 2 )

項 目		機 能
A/Dコンバータ		8ビット分解能×8チャンネル
ウォッチドッグ・タイマ		1チャンネル
スタンバイ		HALT/STOP/IDLEモード
割り込み	ハードウェア要因	27 ( 内部20, 外部7 ( サンプリング・クロック可変入力 : 1 ) )
	ソフトウェア要因	BRK命令, BRKCS命令, オペランド・エラー
	ノンマスカブル	内部 : 1, 外部 : 1
	マスカブル	内部 : 19, 外部 : 6
		<ul style="list-style-type: none"> <li>・ 4レベルのプログラマブル・プライオリティ</li> <li>・ 3種類の処理形態 : ベクタ割り込み / マクロ・サービス / コンテキスト・スイッチング</li> </ul>
★	電源電圧	$V_{DD} = 4.5 \sim 5.5 \text{ V}$ ( メイン・クロック : $f_{xx} = 12.58 \text{ MHz}$ , 内部システム・クロック = $f_{xx}$ 時, $f_{cyk} = 79 \text{ ns}$ ) $V_{DD} = 4.0 \sim 5.5 \text{ V}$ ( 上記以外するとき, $f_{cyk} = 159 \text{ ns}$ )
パッケージ		100ピン・プラスチックQFP ( 14 × 20 mm )

## 目 次

1 . μPD78P4908とマスクROM製品の違い	... 6
2 . 端子接続図 (Top View)	... 7
3 . ブロック図	... 10
4 . 端子機能	... 11
4.1 通常動作モード時の端子	... 11
4.2 PROMプログラミング・モード時の端子 ( $V_{PP} + 5V$ または $+12.5V$ , $\overline{RESET}=L$ )	... 14
4.2.1 端子機能一覧	... 14
4.2.2 端子機能説明	... 15
4.3 端子の入出力回路と未使用端子の処理	... 16
5 . 内部メモリ・サイズ切り替えレジスタ (IMS)	... 19
6 . PROMプログラミング	... 20
6.1 動作モード	... 20
6.2 PROM書き込みの手順	... 22
6.3 PROM読み出しの手順	... 26
7 . ワン・タイムPROM製品のスクリーニングについて	... 26
8 . 電気的特性	... 27
9 . 外形図	... 50
10 . 半田付け推奨条件	... 51
付録A . 開発ツール	... 52
付録B . 変換ソケット (EV-9200GF-100) の外形図	... 55
付録C . 関連資料	... 57

1. μPD78P4908とマスクROM製品の違い

μPD78P4908は、μPD784907, 784908の内部マスクROMを書き込み可能なPROMに置き換えた製品です。したがって、書き込み / ベリファイなどのPROM仕様があり、PROMのサイズを96 K/128 Kバイトに変更できること、および内部RAMサイズを3584/4352バイトに変更できること以外、機能はμPD784907, 784908と同じです。

これら3品種の相違点を表1 - 1に示します。

表1 - 1 μPD78P4908とマスクROM製品の違い

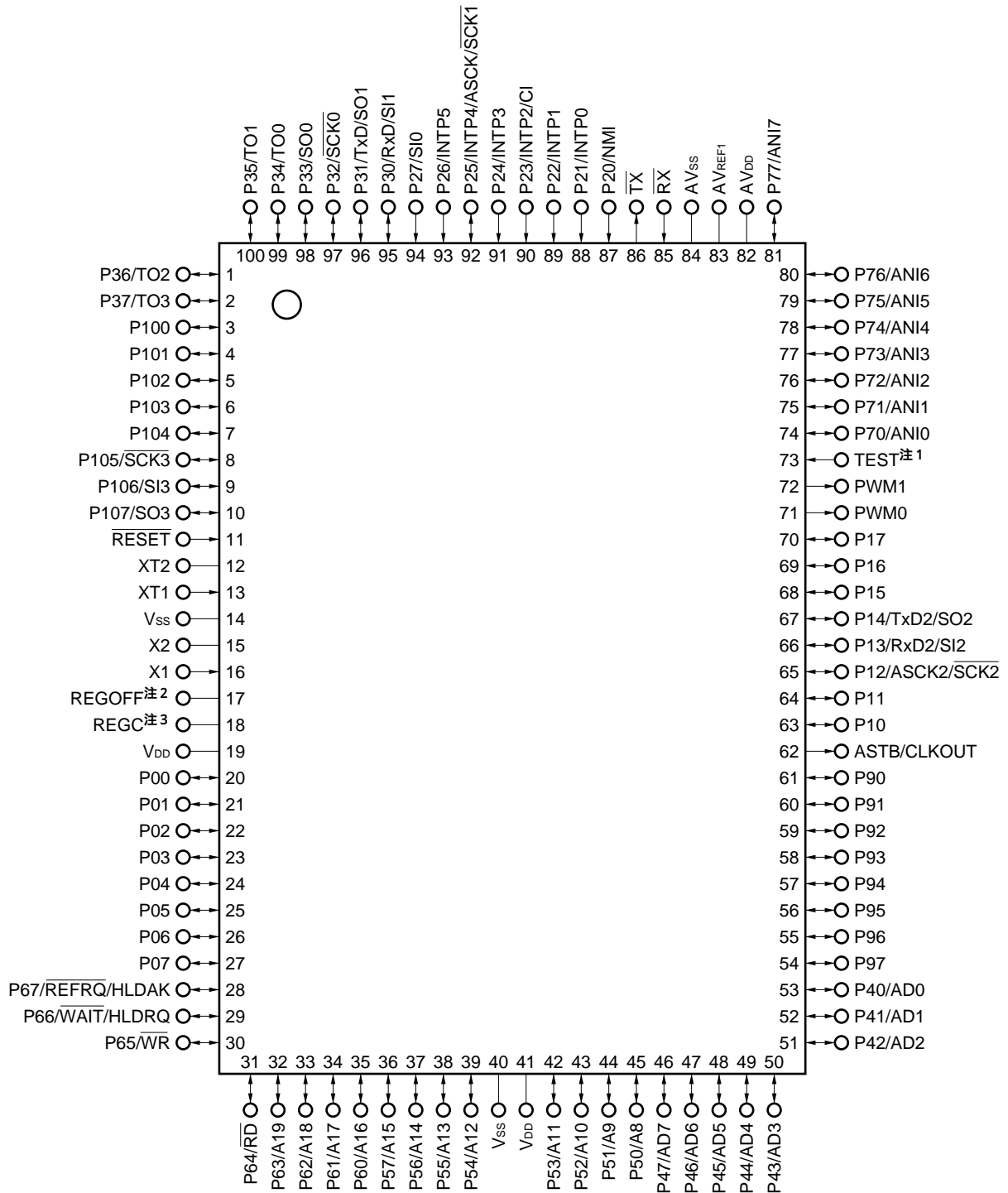
項目	品名	μPD78P4908	μPD784907	μPD784908
内部プログラム・メモリ		<ul style="list-style-type: none"> <li>・128 Kバイト (PROM)</li> <li>・IMSにより96 Kバイトへの変更が可能</li> </ul>	<ul style="list-style-type: none"> <li>・96 Kバイト (マスクROM)</li> </ul>	<ul style="list-style-type: none"> <li>・128 Kバイト (マスクROM)</li> </ul>
内部RAM		<ul style="list-style-type: none"> <li>・4352バイト内部RAM</li> <li>・IMSにより3584バイトへの変更が可能</li> </ul>	<ul style="list-style-type: none"> <li>・3854バイト内部RAM</li> </ul>	<ul style="list-style-type: none"> <li>・4352バイト内部RAM</li> </ul>
端子接続		μPD78P4908では、PROMの書き込み / 読み出しに関する端子機能が追加されています。		
★ 電源電圧		$V_{DD} = 4.5 \sim 5.5 V$ (メイン・クロック : $f_{xx} = 12.58 \text{ MHz}$ , 内部システム・クロック = $f_{xx}$ 時, $f_{CYK} = 79 \text{ ns}$ ) $V_{DD} = 4.0 \sim 5.5 V$ (上記以外るとき, $f_{CYK} = 159 \text{ ns}$ )	$V_{DD} = 4.0 \sim 5.5 V$ (メイン・クロック : $f_{xx} = 12.58 \text{ MHz}$ , 内部システム・クロック = $f_{xx}$ 時, $f_{CYK} = 79 \text{ ns}$ ) $V_{DD} = 3.5 \sim 5.5 V$ (上記以外るとき, $f_{CYK} = 159 \text{ ns}$ )	
電気的特性		一部異なります。		



2. 端子接続図 (Top View)

(1) 通常動作モード

- ・ 100ピン・プラスチックQFP (14 × 20 mm)
- μPD78P4908GF-3BA

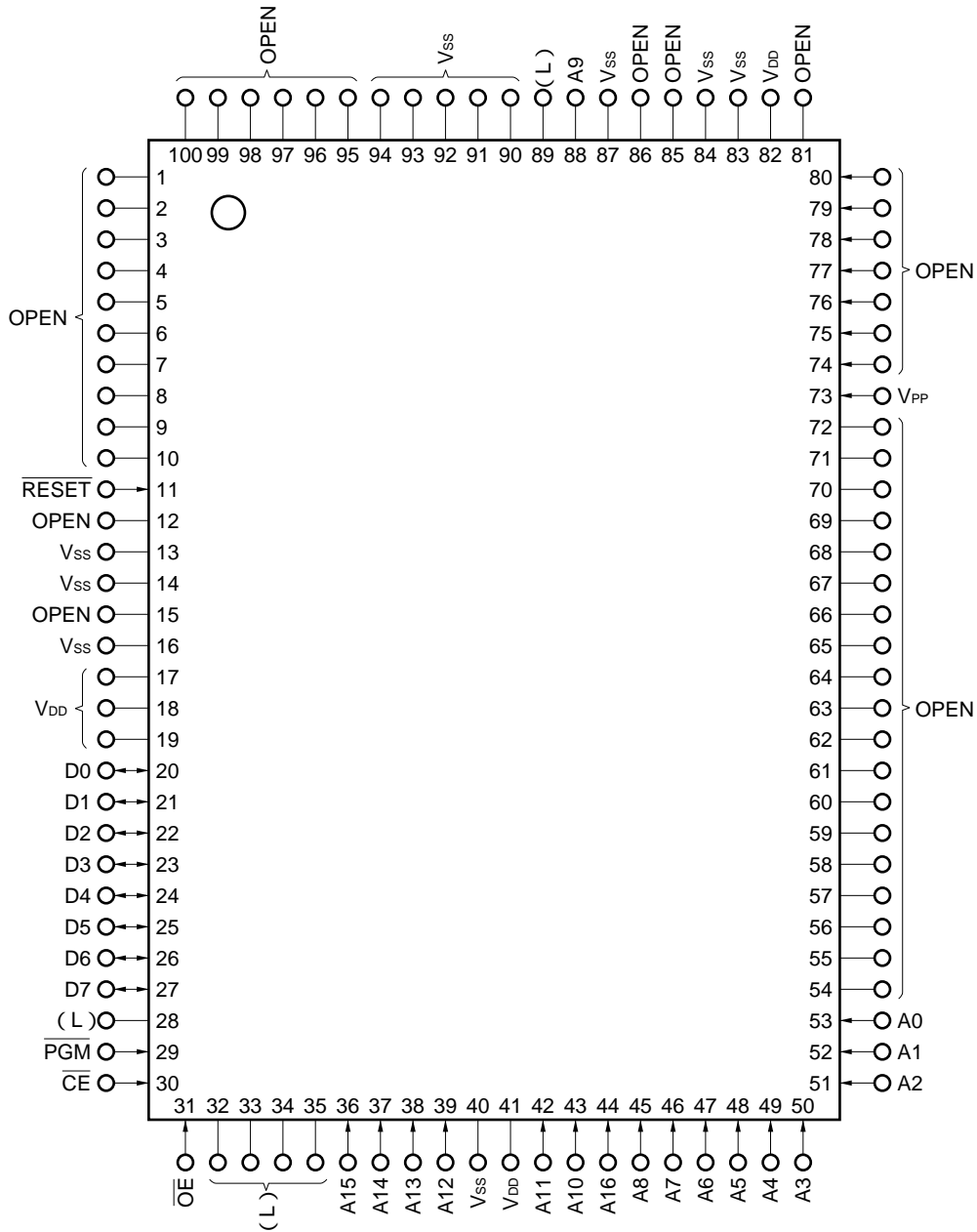


- 注1. TEST端子はV<sub>SS</sub>に直接接続してください。
- 2. REGOFF端子はV<sub>SS</sub>に直接接続してください (レギュレータ動作を選択)。
- 3. REGC端子は1 μF程度のコンデンサを介してV<sub>SS</sub>に接続してください。

A8-A19	: Address Bus	PWM0, PWM1	: Pulse Width Modulation Output
AD0-AD7	: Address/Data Bus	$\overline{RD}$	: Read Strobe
ANI0-ANI7	: Analog Input	$\overline{REFRQ}$	: Refresh Request
ASCK, ASCK2	: Asynchronous Serial Clock	REGC	: Regulator Capacitance
ASTB	: Address Strobe	REGOFF	: Regulator Off
AV <sub>DD</sub>	: Analog Power Supply	$\overline{RESET}$	: Reset
AV <sub>REF1</sub>	: Reference Voltage	$\overline{RX}$	: IEBus Receive Data
AV <sub>SS</sub>	: Analog Ground	RxD, RxD2	: Receive Data
Cl	: Clock Input	$\overline{SCK0-SCK3}$	: Serial Clock
CLKOUT	: Clock Output	SI0-SI3	: Serial Input
HLD <sub>AK</sub>	: Hold Acknowledge	SO0-SO3	: Serial Output
HLD <sub>RQ</sub>	: Hold Request	TEST	: Test
INTP0-INTP5	: Interrupt from Peripherals	TO0-TO3	: Timer Output
NMI	: Non-maskable Interrupt	$\overline{TX}$	: IEBus Transmit Data
P00-P07	: Port0	TxD, TxD2	: Transmit Data
P10-P17	: Port1	V <sub>DD</sub>	: Power Supply
P20-P27	: Port2	V <sub>SS</sub>	: Ground
P30-P37	: Port3	$\overline{WAIT}$	: Wait
P40-P47	: Port4	$\overline{WR}$	: Write Strobe
P50-P57	: Port5	X1, X2	: Crystal ( Main System Clock )
P60-P67	: Port6	XT1, XT2	: Crystal ( Watch )
P70-P77	: Port7		
P90-P97	: Port9		
P100-P107	: Port10		

(2) PROMプログラミング・モード

- ・ 100ピン・プラスチックQFP (14×20 mm)
- μPD78P4908GF-3BA

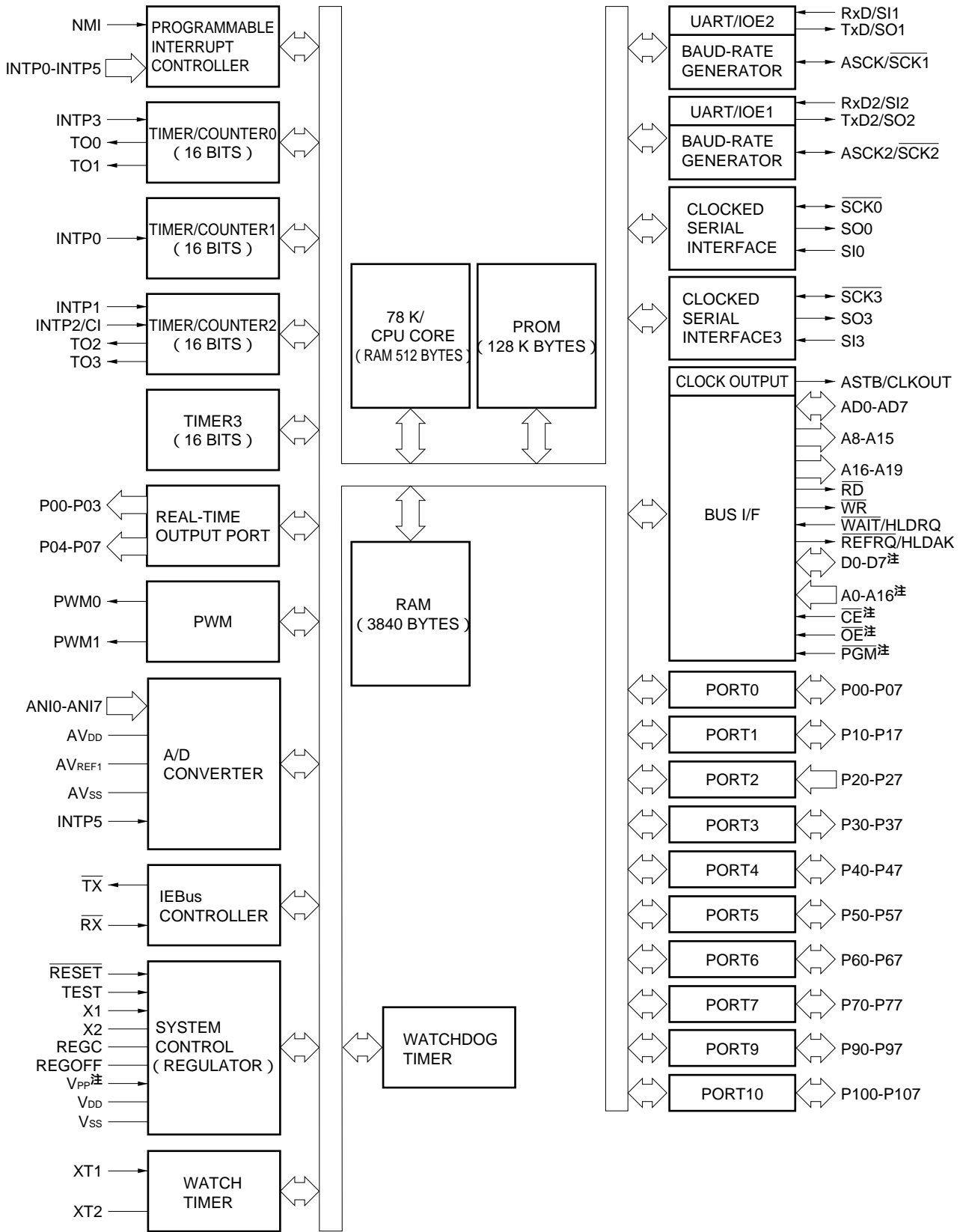


- 注意** L : 個別に10k のプルダウン抵抗を介してV<sub>ss</sub>に接続してください。  
 V<sub>ss</sub> : グランドに接続してください。  
 Open : 何も接続しないでください。  
 RESET : ロウ・レベルにしてください。

- A0-A16 : Address Bus
- $\overline{CE}$  : Chip Enable
- D0-D7 : Data Bus
- $\overline{OE}$  : Output Enable
- PGM : Program

- RESET : Reset
- V<sub>DD</sub> : Power Supply
- V<sub>PP</sub> : Programming Power Supply
- V<sub>ss</sub> : Ground

3. ブロック図



注 PROMプログラミング・モード時

4. 端子機能

4.1 通常動作モード時の端子

(1) ポート端子 (1/2)

端子名称	入出力	兼用端子	機能
P00-P07	入出力	-	ポート 0 (P0) : ・ 8 ビット入出力ポート ・ リアルタイム出力ポート (4 ビット × 2) として使用可能 ・ 1 ビット単位に入力 / 出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能 ・ トランジスタ駆動可能
P10	入出力	-	ポート 1 (P1) : ・ 8 ビット入出力ポート ・ 1 ビット単位に入力 / 出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能 ・ LED駆動可能
P11		-	
P12		ASCK2/ $\overline{\text{SCK2}}$	
P13		RxD2/SI2	
P14		TxD2/SO2	
P15-P17		-	
P20	入力	NMI	ポート 2 (P2) : ・ 8 ビット入力専用ポート ・ P20は汎用ポートとしては使用不可 (ノンマスカブル割り込み)。ただし、割り込みルーチンにおいて、入力レベルの確認可能 ・ P22-P27は 6 ビット単位でソフトウェアによる内蔵プルアップ抵抗の接続の指定可能 ・ P25/ $\overline{\text{INTP4}}$ / $\overline{\text{ASCK}}$ / $\overline{\text{SCK1}}$ 端子は、CSIM1の指定により、 $\overline{\text{SCK1}}$ 入出力端子として動作
P21		INTP0	
P22		INTP1	
P23		INTP2/CI	
P24		INTP3	
P25		INTP4/ $\overline{\text{ASCK}}$ / $\overline{\text{SCK1}}$	
P26		INTP5	
P27		SI0	
P30	入出力	RxD/SI1	ポート 3 (P3) : ・ 8 ビット入出力ポート ・ 1 ビット単位に入力 / 出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能 ・ P32, P33は、N-chオープン・ドレーンに設定可能
P31		TxD/SO1	
P32		$\overline{\text{SCK0}}$	
P33		SO0	
P34-P37		TO0-TO3	
P40-P47	入出力	AD0-AD7	ポート 4 (P4) : ・ 8 ビット入出力ポート ・ 1 ビット単位に入力 / 出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能 ・ LED駆動可能

(1) ポート端子 (2/2)

端子名称	入出力	兼用端子	機能
P50-P57	入出力	A8-A15	ポート5 (P5) : ・ 8ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能 ・ LED駆動可能
P60-P63	入出力	A16-A19	ポート6 (P6) : ・ 8ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能
P64		$\overline{RD}$	
P65		$\overline{WR}$	
P66		$\overline{WAIT}/HLDRQ$	
P67		$\overline{REFRQ}/HLDAK$	
P70-P77	入出力	ANI0-ANI7	ポート7 (P7) : ・ 8ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能
P90-P97	入出力	-	ポート9 (P9) : ・ 8ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能
P100-P104	入出力	-	ポート10 (P10) : ・ 8ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能 ・ P105, P107は、N-chオープン・ドレインに設定可能
P105		$\overline{SCK3}$	
P106		SI3	
P107		SO3	

(2) ポート以外の端子 (1/2)

端子名称	入出力	兼用端子	機能
TO0-TO3	出力	P34-P37	タイマ出力
CI	入力	P23/INTP2	タイマ / カウンタ 2 へのカウント・クロック入力
RxD	入力	P30/SI1	シリアル・データ入力 (UART0)
RxD2		P13/SI2	シリアル・データ入力 (UART2)
TxD	出力	P31/SO1	シリアル・データ出力 (UART0)
TxD2		P14/SO2	シリアル・データ出力 (UART2)
ASCK	入力	P25/INTP4/ $\overline{\text{SCK1}}$	ポー・レート・クロック入力 (UART0)
ASCK2		P12/ $\overline{\text{SCK2}}$	ポー・レート・クロック入力 (UART2)
SI0	入力	P27	シリアル・データ入力 (3 線式シリアル/O0)
SI1		P30/RxD	シリアル・データ入力 (3 線式シリアル/O1)
SI2		P13/RxD2	シリアル・データ入力 (3 線式シリアル/O2)
SI3		P106	シリアル・データ入力 (3 線式シリアル/O3)
SO0	出力	P33	シリアル・データ出力 (3 線式シリアル/O0)
SO1		P31/TxD	シリアル・データ出力 (3 線式シリアル/O1)
SO2		P14/TxD2	シリアル・データ出力 (3 線式シリアル/O2)
SO3		P107	シリアル・データ出力 (3 線式シリアル/O3)
$\overline{\text{SCK0}}$	入出力	P32	シリアル・クロック入力 / 出力 (3 線式シリアル/O0)
$\overline{\text{SCK1}}$		P25/INTP4/ASCK	シリアル・クロック入力 / 出力 (3 線式シリアル/O1)
$\overline{\text{SCK2}}$		P12/ASCK2	シリアル・クロック入力 / 出力 (3 線式シリアル/O2)
$\overline{\text{SCK3}}$		P105	シリアル・クロック入力 / 出力 (3 線式シリアル/O3)
NMI	入力	P20	外部割り込み要求
INTP0		P21	・タイマ / カウンタ 1 へのカウント・クロック入力 ・CR11またはCR12のキャプチャ・トリガ信号
INTP1		P22	・タイマ / カウンタ 2 へのカウント・クロック入力 ・CR22のキャプチャ・トリガ信号
INTP2		P23/CI	・タイマ / カウンタ 2 へのカウント・クロック入力 ・CR21のキャプチャ・トリガ信号
INTP3		P24	・タイマ / カウンタ 0 へのカウント・クロック入力 ・CR02のキャプチャ・トリガ信号
INTP4		P25/ASCK/ $\overline{\text{SCK1}}$	-
INTP5	P26	A/Dコンバータの変換スタート・トリガ入力	
AD0-AD7	入出力	P40-P47	時分割アドレス / データ・バス (外部メモリ接続)
A8-A15	出力	P50-P57	上位アドレス・バス (外部メモリ接続)
A16-A19	出力	P60-P63	アドレス拡張時の上位アドレス (外部メモリ接続)
$\overline{\text{RD}}$	出力	P64	外部メモリへのリード・ストロープ
$\overline{\text{WR}}$	出力	P65	外部メモリへのライト・ストロープ
$\overline{\text{WAIT}}$	入力	P66/HLDRQ	ウエイト挿入
$\overline{\text{REFRQ}}$	出力	P67/HLDAK	外部疑似スタティック・メモリへのリフレッシュ・パルス出力
HLDRQ	入力	P66/ $\overline{\text{WAIT}}$	バス・ホールド要求入力
HLDAK	出力	P67/ $\overline{\text{REFRQ}}$	バス・ホールド応答出力
ASTB	出力	CLKOUT	時分割アドレス (A0-A7) のラッチ・タイミング出力 (外部メモリ・アクセス時)

(2) ポート以外の端子 (2/2)

端子名称	入出力	兼用端子	機能
CLKOUT	出力	ASTB	クロック出力
PWM0	出力	-	PWM出力 0
PWM1	出力	-	PWM出力 1
R $\bar{X}$	入力	-	データ入力 (IEBus)
T $\bar{X}$	出力	-	データ出力 (IEBus)
★ REGC	-	-	レギュレータ出力安定用容量接続/レギュレータ停止時の電源。1 $\mu$ F程度のコンデンサを介してV <sub>SS</sub> に接続してください。
★ REGOFF	-	-	レギュレータ動作指定信号。V <sub>SS</sub> と直接接続してください(レギュレータ動作を選択)。
RESE $\bar{T}$	入力	-	チップ・リセット
X1	入力	-	システム・クロック発振用クリスタル接続 (X1にクロック入力も可能)
X2	-		
XT1	入力	-	時計クロック接続
XT2	-	-	
ANI0-ANI7	入力	P70-P77	A/Dコンバータ用アナログ電圧入力
AV <sub>REF1</sub>	-	-	A/Dコンバータ用基準電圧印加
AV <sub>DD</sub>			A/Dコンバータ用正電源
AV <sub>SS</sub>			A/Dコンバータ用GND
V <sub>DD</sub>			正電源
V <sub>SS</sub>			GND
TEST			入力

4.2 PROMプログラミング・モード時の端子 (V<sub>PP</sub> +5 Vまたは+12.5 V, RESE $\bar{T}$  = L)

4.2.1 端子機能一覧

端子名称	入出力	機能
V <sub>PP</sub>	-	PROMプログラミング・モード設定 プログラム書き込み/ベリファイ時の高電圧印加端子
RESE $\bar{T}$	入力	PROMプログラミング・モード設定
A0-A16		アドレス・バス
D0-D7	入出力	データ・バス
C $\bar{E}$	入力	PROMイネーブル入力/プログラム・パルス入力
O $\bar{E}$		PROMへのリード・ストロブ入力
P $\bar{G}M$		PROMプログラム/プログラム・インヒビット入力
V <sub>DD</sub>	-	正電源
V <sub>SS</sub>	-	GND



#### 4.2.2 端子機能説明

##### (1) $V_{PP}$ (Programming Power Supply) .....入力

$\mu$ PD78P4908をPROMプログラミング・モードに設定する入力端子です。この端子の入力電圧が+6.5V以上で、 $\overline{\text{RESET}}$ 入力がロウ・レベルになると、 $\mu$ PD78P4908はPROMプログラミング・モードに移行します。

$V_{PP} = +12.5\text{V}$ 、 $\overline{\text{OE}} = \text{H}$ のときに $\overline{\text{CE}} = \text{L}$ とすると、D0-D7上のプログラム・データをA0-A16で選択されている内部PROMセル内に書き込むことができます。

##### (2) $\overline{\text{RESET}}$ (Reset) .....入力

$\mu$ PD78P4908をPROMプログラミング・モードに設定する入力端子です。この端子の入力がロウ・レベルで、 $V_{PP}$ 端子の入力電圧が+5V以上になると、 $\mu$ PD78P4908はPROMプログラミング・モードに移行します。

##### (3) A0-A16 (Address Bus) .....入力

アドレス・バスです。内部PROMのアドレス(0000H-1FFFFH)を選択します。

##### (4) D0-D7 (Data Bus) .....入出力

データ・バスです。このバスを介して、内部PROMのプログラムの書き込み/読み出しを行います。

##### (5) $\overline{\text{CE}}$ (Chip Enable) .....入力

内部PROMのイネーブル信号を入力します。この信号がアクティブのとき、プログラムの書き込み/読み出しが可能となります。

##### (6) $\overline{\text{OE}}$ (Output Enable) .....入力

内部PROMへのリード・ストロブ信号を入力します。 $\overline{\text{CE}} = \text{L}$ のときにこの信号をアクティブにすると、A0-A16で選択されている内部PROMセル内のプログラム(1バイト)をD0-D7上に読み出すことができます。

##### (7) $\overline{\text{PGM}}$ (Program) .....入力

内部PROMの動作モード制御信号入力端子です。

この信号がアクティブのとき、内部PROMへの書き込みが可能となります。

この信号がインアクティブのとき、内部PROMからの読み出しが可能となります。

##### (8) $V_{DD}$

正電源供給端子です。

##### (9) $V_{SS}$

GND電位端子です。

4.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表4 - 1に示します。

また、各タイプの入出力回路については図4 - 1を参照してください。

表4 - 1 各端子の入出力回路タイプと未使用端子の処理 ( 1 / 2 )

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法		
P00-P07	5-A	入出力	入力時：V <sub>DD</sub> に接続してください。 出力時：オープンにしてください。		
P10, P11					
P12/ASCK2/SCK <sub>2</sub>					
P13/RxD2/SI2					
P14/TxD2/SO2					
P15-P17					
P20/NMI	2	入力	V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。		
P21/INTP0					
P22/INTP1				2-A	V <sub>DD</sub> に接続してください。
P23/INTP2/CI					
P24/INTP3					
P25/INTP4/ASCK/SCK <sub>1</sub>	8-A	入出力	入力時：V <sub>DD</sub> に接続してください。 出力時：オープンにしてください。		
P26/INTP5	2-A	入力	V <sub>DD</sub> に接続してください。		
P27/SI0					
P30/RxD/SI1	5-A	入出力	入力時：V <sub>DD</sub> に接続してください。 出力時：オープンにしてください。		
P31/TxD/SO1					
P32/SCK <sub>0</sub>	10-A				
P33/SO0					
P34/TO0-P37/TO3	5-A				
P40/AD0-P47/AD7					
P50/A8-P57/A15					
P60/A16-P63/A19					
P64/RD					
P65/WR					
P66/WAIT/HLDRQ					
P67/REFRQ/HLDAK					
P70/ANI0-P77/ANI7	20	入出力	入力時：V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。		
P90-P97				5-A	
P100-P104					
P105/SCK <sub>3</sub>				10-A	
P106/SI3				8-A	
P107/SO3				10-A	
ASTB/CLKOUT	4	出力	オープンにしてください。		

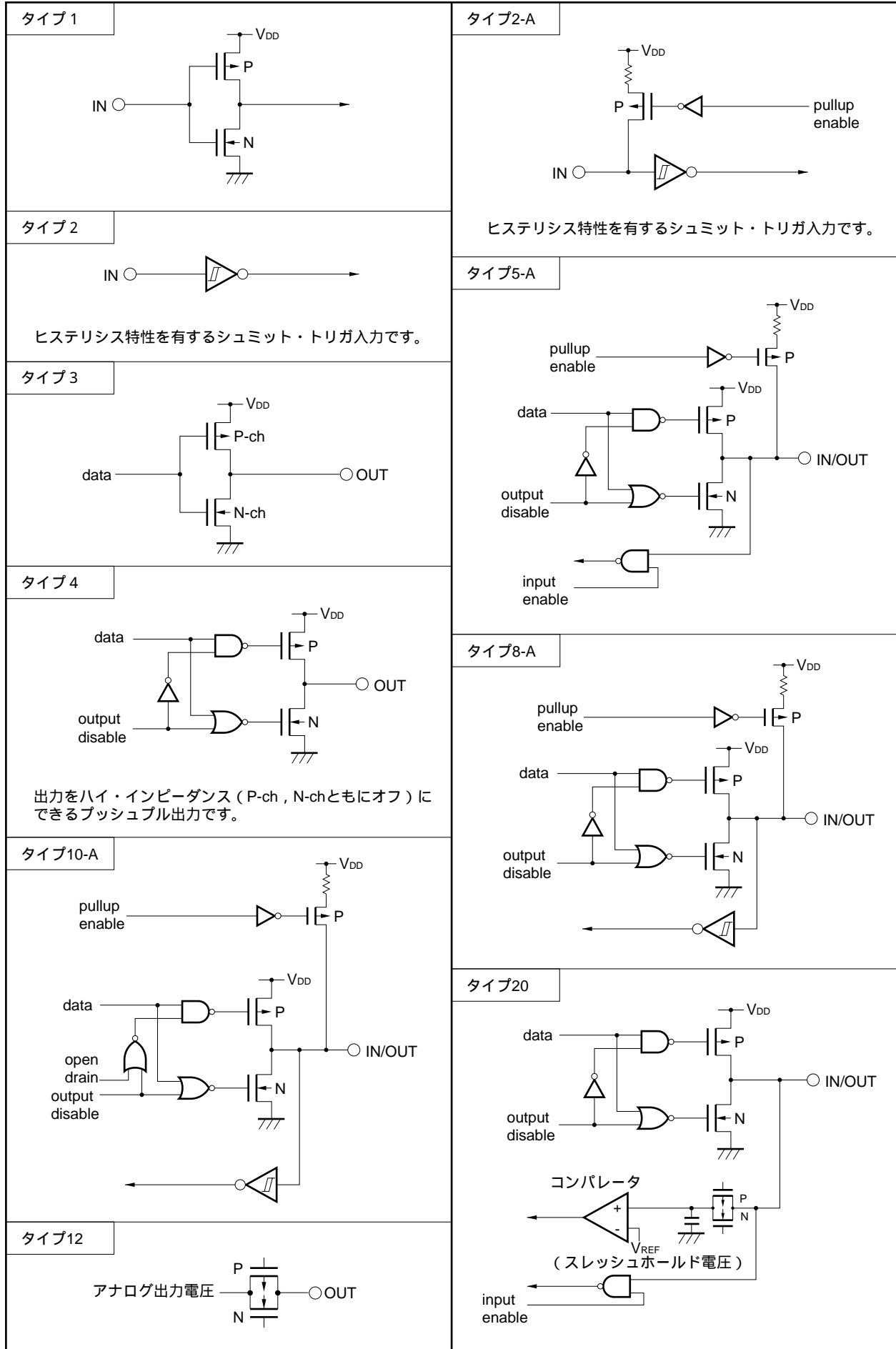
表 4 - 1 各端子の入出力回路タイプと未使用端子の処理 ( 2 / 2 )

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
RESET	2	入力	-
TEST	1		V <sub>SS</sub> に直接接続してください。
XT2	-	-	オープンにしてください。
XT1		入力	V <sub>SS</sub> に接続してください。
PWM0, PWM1	3	出力	オープンにしてください。
★ $\overline{\text{RX}}$	1	入力	V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。
$\overline{\text{TX}}$	3	出力	オープンにしてください。
AV <sub>REF1</sub>	-	-	V <sub>SS</sub> に接続してください。
AV <sub>SS</sub>			
AV <sub>DD</sub>			V <sub>DD</sub> に接続してください。

**注意** 入出力兼用端子で、入出力のモードが不定な場合は、数十 k の抵抗を介してV<sub>DD</sub>に接続してください (特に、電源投入時にリセット入力端子がロウ・レベル入力電圧以上になる場合や、ソフトウェアで入出力を切り替えている場合)。

**備考** タイプ番号は78Kシリーズで統一しているため、各製品内では連番とはかぎりません (内蔵しない回路あり)。

図 4 - 1 端子の入出力回路



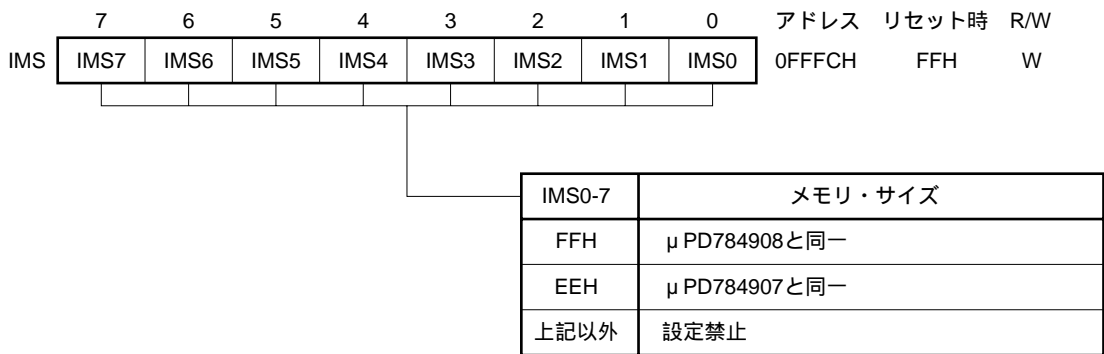
5 . 内部メモリ・サイズ切り替えレジスタ (IMS)

ソフトウェアにより内部メモリの一部を使用しないようにするためのレジスタです。IMSを設定することにより、内部メモリ (ROM, RAM) の異なるマスクROM製品のメモリ・マッピングと同一のメモリ・マッピングにすることができます。

IMSは、8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図5 - 1 内部メモリ・サイズ切り替えレジスタ (IMS)



IMSは、マスクROM製品 ( μ PD784907, 784908 ) にはありません。しかし、IMSへの書き込み命令をマスクROM製品で実行しても動作に影響を与えません。

6 . PROMプログラミング

μPD78P4908は、プログラム・メモリとして128Kバイト構成のPROMを内蔵しています。プログラミングをするときは、V<sub>PP</sub>端子、 $\overline{\text{RESET}}$ 端子でPROMプログラミング・モードに設定します。その他、使用しない端子の処理は、2 . 端子接続図 (Top View) (2) PROMプログラミング・モードを参照してください。

6.1 動作モード

V<sub>DD</sub>端子に +6.5 V, V<sub>PP</sub>端子に +12.5 V,  $\overline{\text{RESET}}$ 端子にロウ・レベルを印加すると、PROMプログラミング・モードになります。このモードは $\overline{\text{CE}}$ 端子、 $\overline{\text{OE}}$ 端子、 $\overline{\text{PGM}}$ 端子の設定により、表6 - 1のような動作モードになります。

また、読み出しモードに設定することにより、PROMの内容を読み出すことができます。

表6 - 1 PROMプログラミングの動作モード

端子 動作モード	$\overline{\text{RESET}}$	V <sub>PP</sub>	V <sub>DD</sub>	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{PGM}}$	D0-D7
ページ・データ・ラッチ	L	+12.5 V	+6.5 V	H	L	H	データ入力
ページ書き込み				H	H	L	ハイ・インピーダンス
バイト書き込み				L	H	L	データ入力
プログラム・ベリファイ				L	L	H	データ出力
プログラム・インヒビット				x	H	H	ハイ・インピーダンス
				x	L	L	
読み出し	+5 V	+5 V	L	L	H	データ出力	
出力ディスエーブル			L	H	x	ハイ・インピーダンス	
スタンバイ			H	x	x	ハイ・インピーダンス	

備考 x : LまたはH

**(1) 読み出しモード**

$\overline{CE} = L$ ,  $\overline{OE} = L$ に設定することにより、読み出しモードになります。

**(2) 出力ディスエーブル・モード**

$\overline{OE} = H$ にすることにより、データ出力がハイ・インピーダンスになり出力ディスエーブル・モードになります。

したがって、データ・バスに複数のμPD78P4908を接続した場合、 $\overline{OE}$ 端子を制御することで任意の1個のデバイスよりデータを読み出すことができます。

**(3) スタンバイ・モード**

$\overline{CE} = H$ にすることによりスタンバイ・モードになります。

このモードでは、 $\overline{OE}$ の状態に関係なくデータ出力がハイ・インピーダンスになります。

**(4) ページ・データ・ラッチ・モード**

ページ書き込みモードの初期に $\overline{CE} = H$ ,  $\overline{PGM} = H$ ,  $\overline{OE} = L$ にすることにより、ページ・データ・ラッチ・モードになります。

このモードでは、1ページ4バイトのデータが内部のアドレス/データ・ラッチ回路にラッチされます。

**(5) ページ書き込みモード**

ページ・データ・ラッチ・モードにより1ページ4バイトのアドレスとデータをラッチ後、 $\overline{CE} = H$ ,  $\overline{OE} = H$ の状態では $\overline{PGM}$ 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を印加することによりページ書き込みが実行されます。その後、 $\overline{CE} = L$ ,  $\overline{OE} = L$ にすることにより、プログラム・ベリファイを行えます。

1回のプログラム・パルスでプログラムされない場合にはX回(X=10)の書き込みとベリファイを繰り返し実行します。

**(6) バイト書き込みモード**

$\overline{CE} = L$ ,  $\overline{OE} = H$ の状態では $\overline{PGM}$ 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を印加することによりバイト書き込みが実行されます。その後、 $\overline{OE} = L$ にすることにより、プログラム・ベリファイが行えます。

1回のプログラム・パルスでプログラムされない場合にはX回(X=10)の書き込みとベリファイを繰り返し実行します。

**(7) プログラム・ベリファイ・モード**

$\overline{CE} = L$ ,  $\overline{PGM} = H$ ,  $\overline{OE} = L$ にすることにより、プログラム・ベリファイ・モードになります。

書き込みを行ったのち、正しく書き込まれたかどうかこのモードで確認してください。

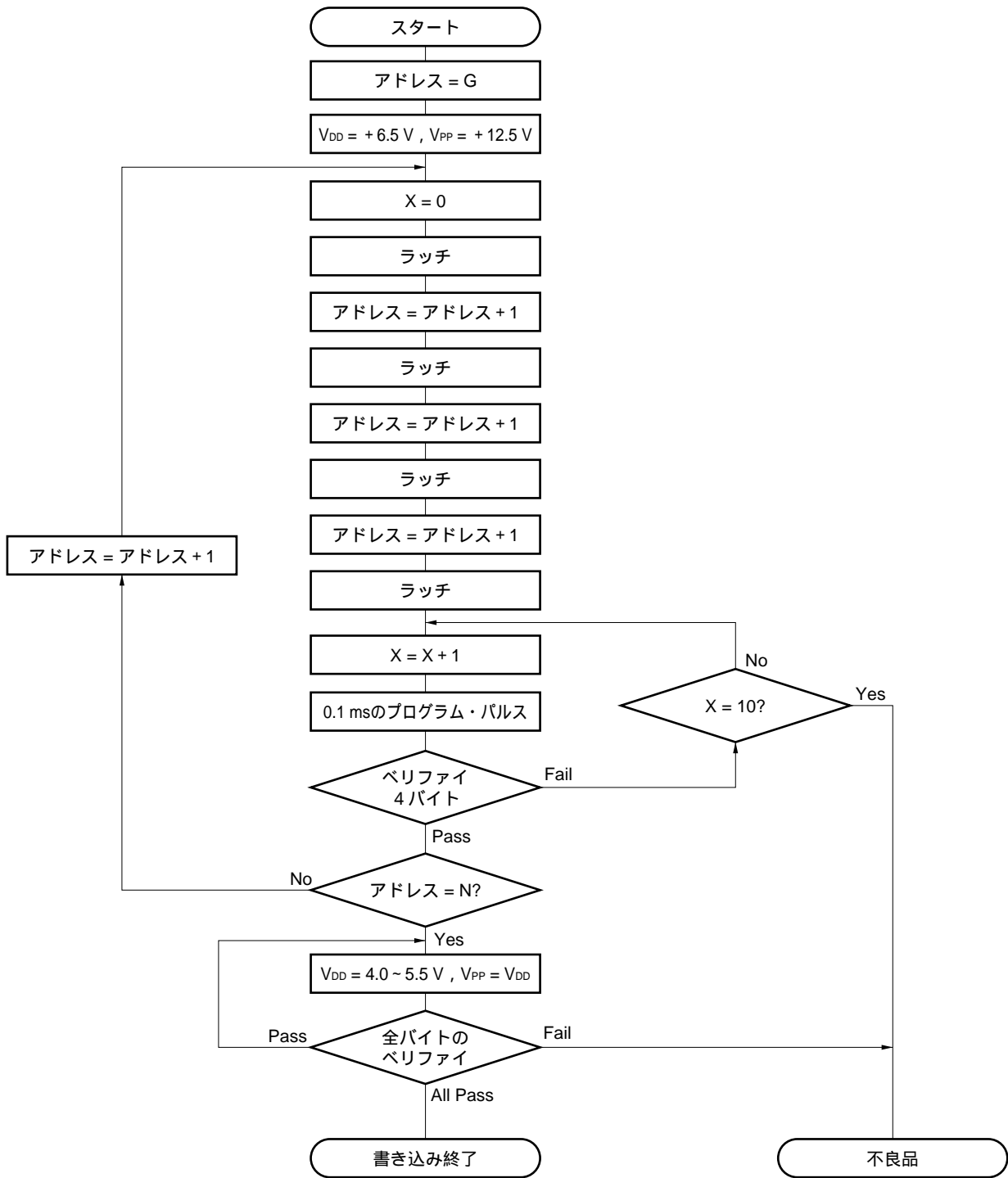
**(8) プログラム・インヒビット・モード**

プログラム・インヒビット・モードは、複数のμPD78P4908の $\overline{OE}$ 端子、 $V_{PP}$ 端子、D0-D7端子がパラレルに接続されている状態でその中の1個のデバイスに書き込みを行う場合に使用します。

書き込みを行う場合に、上記ページ書き込みモードあるいはバイト書き込みモードを使用します。このとき、 $\overline{PGM}$ 端子をハイ・レベルにしたデバイスには書き込みが行われません。

6.2 PROM書き込みの手順

図6 - 1 ページ・プログラム・モードのフローチャート



備考 G = 開始アドレス  
N = プログラムの最終アドレス



図6-2 ページ・プログラム・モードのタイミング

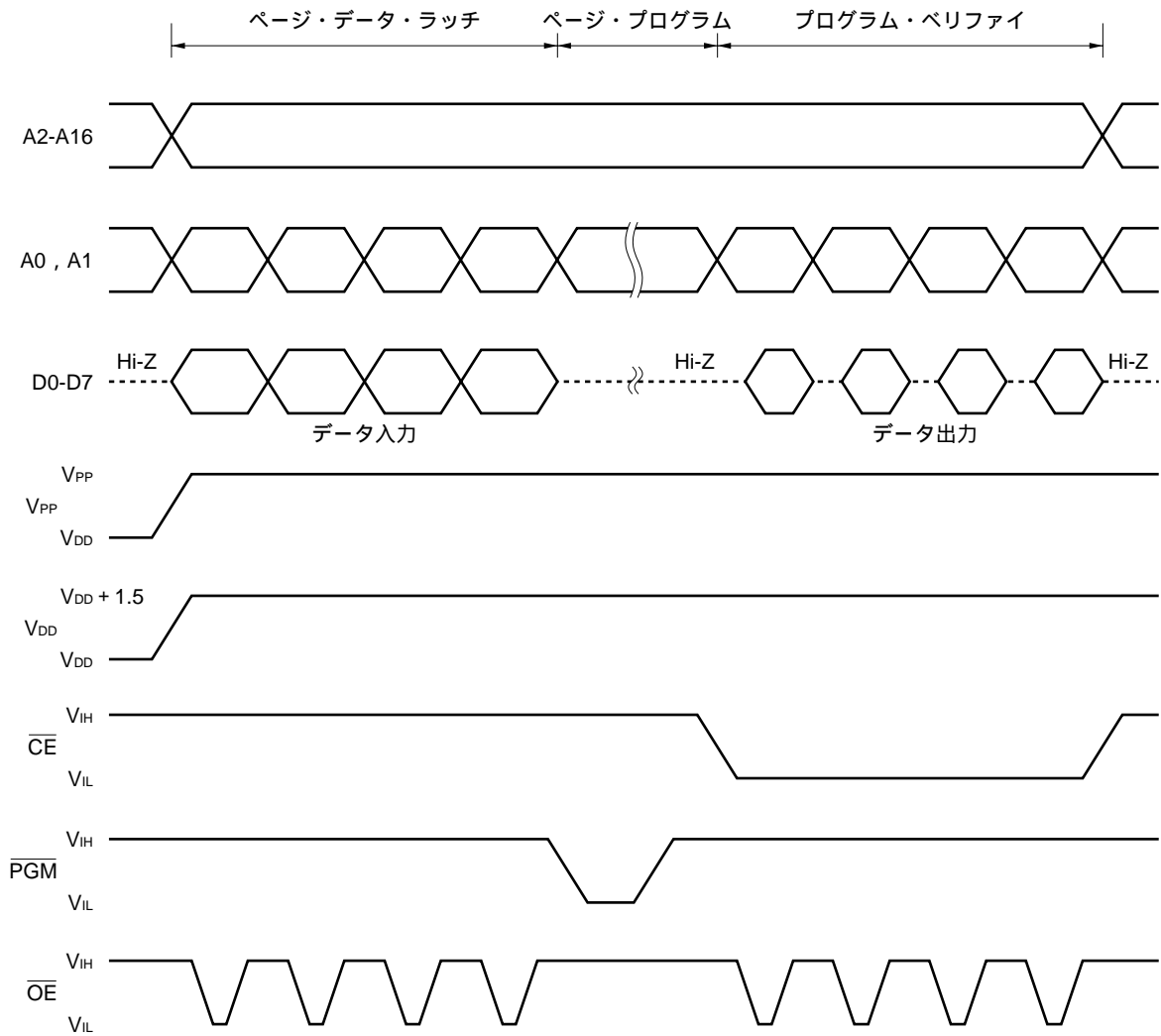
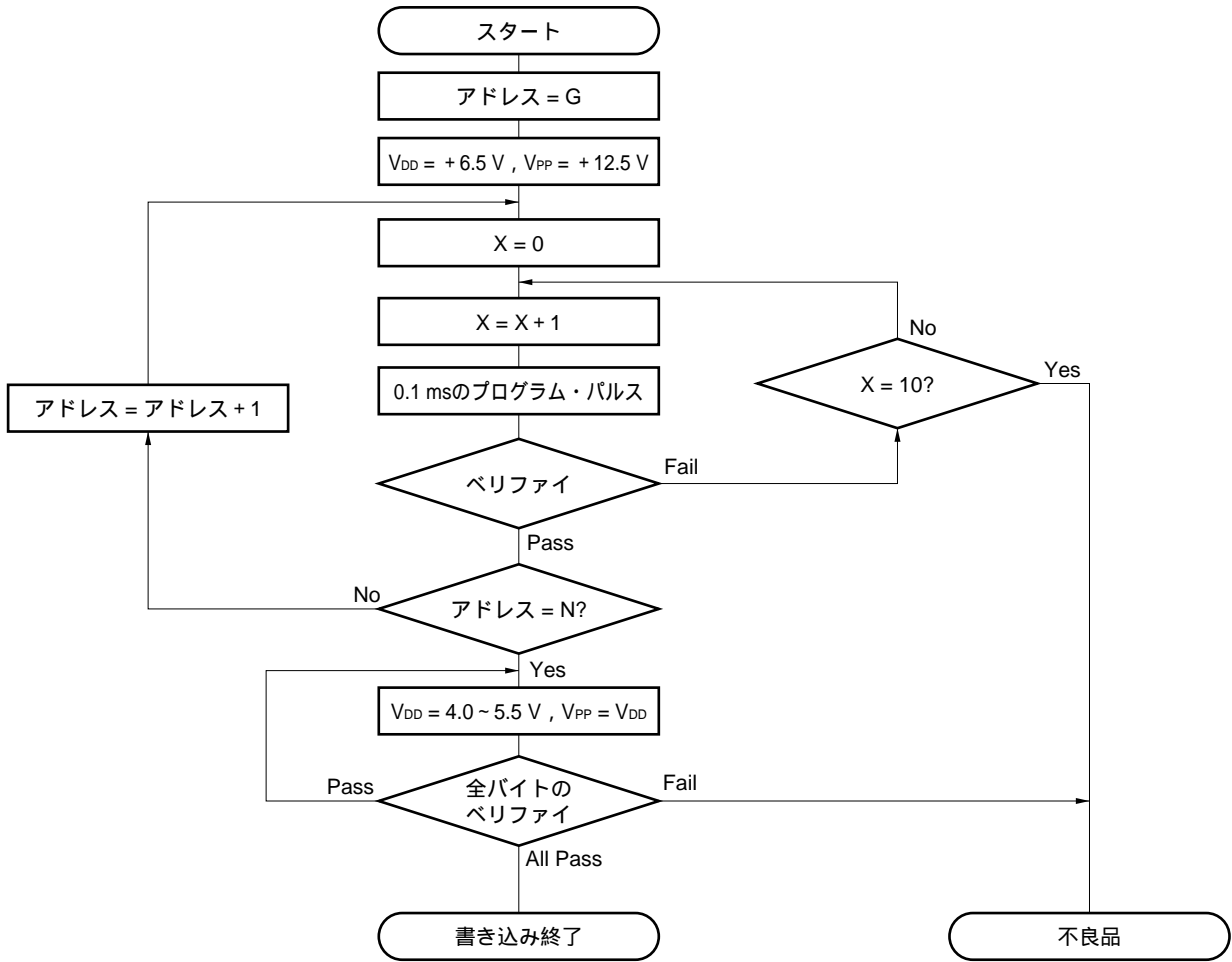


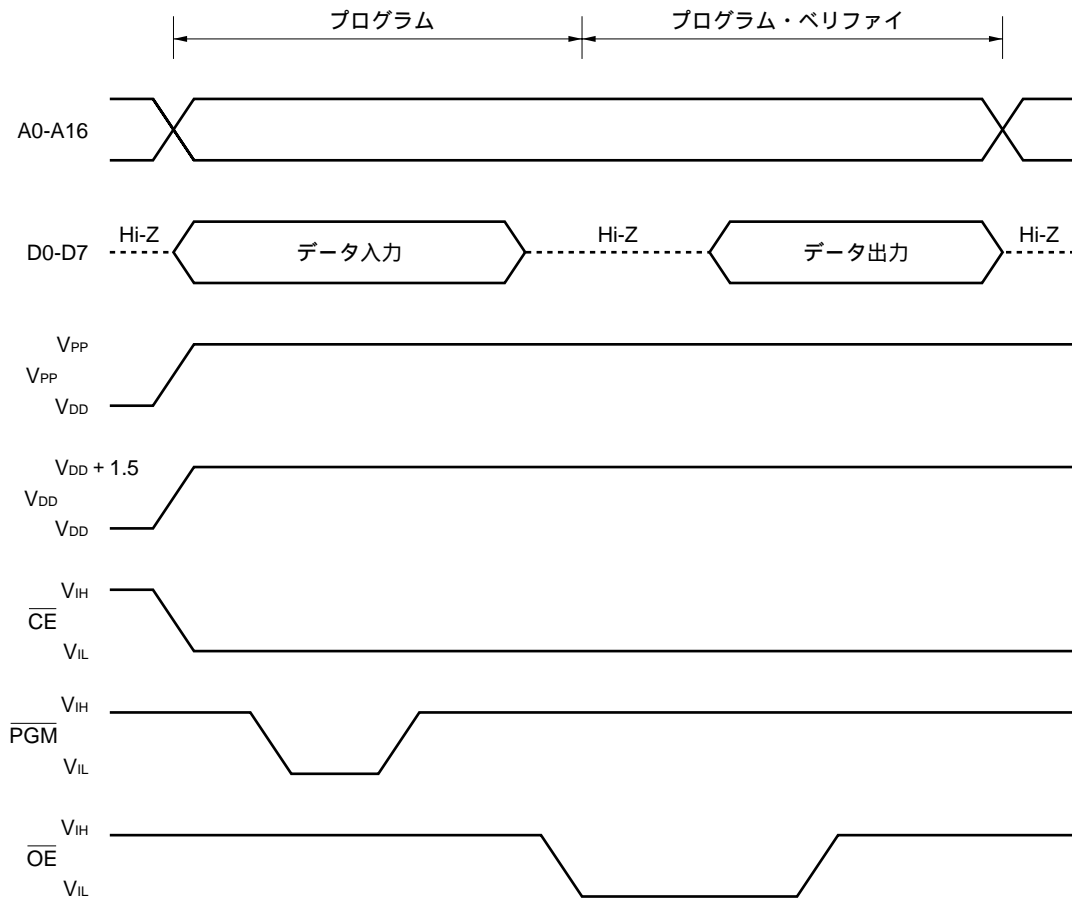
図6-3 バイト・プログラム・モードのフローチャート



備考 G = 開始アドレス

N = プログラムの最終アドレス

図6-4 バイト・プログラム・モードのタイミング



- 注意 1 . V<sub>DD</sub>はV<sub>PP</sub>より前に印加し, V<sub>PP</sub>のあとから切断するようにしてください。
- 2 . V<sub>PP</sub>はオーバシュートを含めて13.5 V以上にならないようにしてください。
- 3 . V<sub>PP</sub>に12.5 Vが印加されている間に抜き差しした場合, 信頼性上, 悪影響を受ける可能性があります。

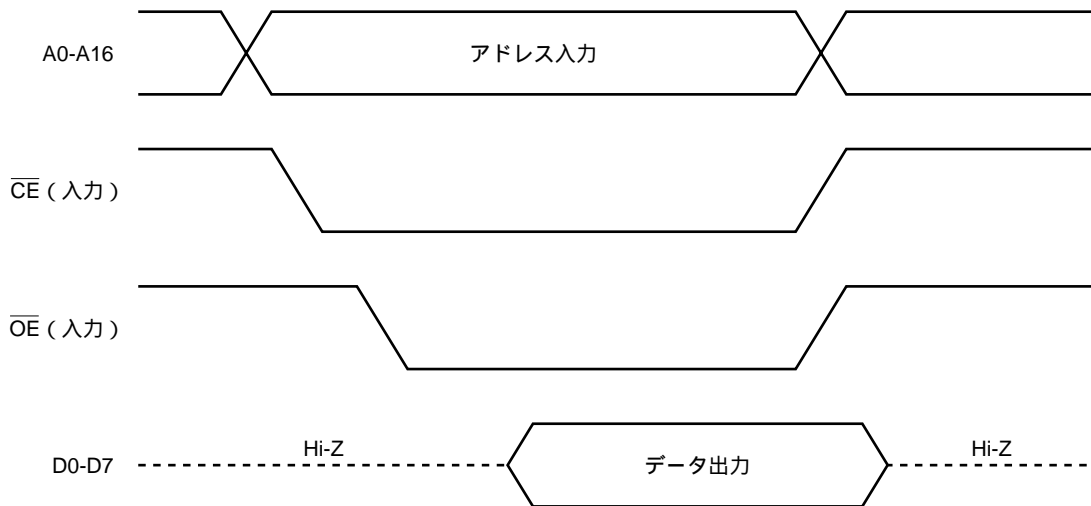
6.3 PROM読み出しの手順

次に示す手順によって、PROMの内容を外部データ・バス（D0-D7）に読み出すことができます。

- ( 1 )  $\overline{\text{RESET}}$ 端子をロウ・レベルに固定、 $V_{PP}$ 端子に5 Vを供給、その他、使用しない端子は2. 端子接続図（Top View）（2）PROMプログラミング・モードに示すように処理する。
- ( 2 )  $V_{DD}$ 、 $V_{PP}$ 端子に5 Vを供給。
- ( 3 ) 読み出そうとするデータのアドレスをA0-A16端子に入力。
- ( 4 ) リード・モード
- ( 5 ) データをD0-D7端子に出力。

上述の（2）-（5）のタイミングを図6 - 5 に示します。

図6 - 5 PROMの読み出しタイミング



7. ワン・タイムPROM製品のスクリーニングについて

ワン・タイムPROM製品（μPD78P4908GF-3BA）は、その構造上、当社にて完全な試験をして出荷することはありません。必要なデータを書き込んだあと、下記の条件で高温保管後、PROMのベリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125	24時間

8 . 電気的特性

絶対最大定格 (T<sub>A</sub> = 25 )

項 目	略 号	条 件	定 格	単 位
電源電圧	V <sub>DD</sub>		- 0.3 ~ + 7.0	V
	AV <sub>DD</sub>		- 0.3 ~ V <sub>DD</sub> + 0.3	V
	AV <sub>SS</sub>		- 0.3 ~ + 0.3	V
入力電圧	V <sub>I1</sub>	V <sub>PP</sub> , A9以外	- 0.3 ~ V <sub>DD</sub> + 0.3	V
	V <sub>I2</sub>	V <sub>PP</sub> , A9	- 0.3 ~ + 13.5	V
アナログ入力電圧	V <sub>AN</sub>		AV <sub>SS</sub> - 0.3 ~ AV <sub>REF1</sub> + 0.3	V
出力電圧	V <sub>O</sub>		- 0.3 ~ V <sub>DD</sub> + 0.3	V
ロウ・レベル出力電流	I <sub>OL</sub>	1 端子	10	mA
		P00-P07, P30-P37, P54-P57, P60-P67, P100-P107合計	50	mA
		P10-P17, P40-P47, P50-P53, P70-P77, P90-P97, PWM0, PWM1, TX合計	50	mA
ハイ・レベル出力電流	I <sub>OH</sub>	1 端子	- 6	mA
		P00-P07, P30-P37, P54-P57, P60-P67, P100-P107合計	- 30	mA
		P10-P17, P40-P47, P50-P53, P70-P77, P90-P97, PWM0, PWM1, TX合計	- 30	mA
A/Dコンバータ基準入力電圧	AV <sub>REF1</sub>		- 0.3 ~ V <sub>DD</sub> + 0.3	V
動作周囲温度	T <sub>A</sub>		- 40 ~ + 85	
保存温度	T <sub>stg</sub>		- 65 ~ + 150	

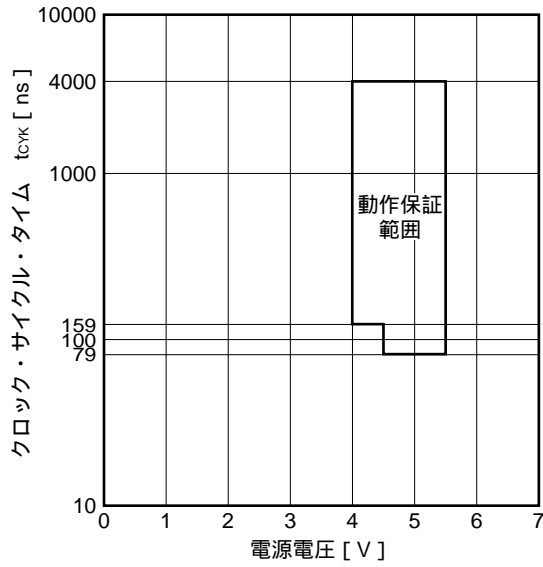
**注意** 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格を越えない状態で製品をご使用ください。

**備考** 特に指定のないかぎり、兼用端子の特性は、ポート端子の特性と同じです。

動作条件

- ・動作周囲温度 (TA) : -40 ~ +85
- ・電源電圧およびクロック・サイクル・タイム : 図8 - 1 参照
- ・内部レギュレータ動作選択 (REGOFF端子 : ロウ・レベル入力)

図8 - 1 電源電圧およびクロック・サイクル・タイム



容量 (TA = 25 , VDD = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	Ci	f = 1 MHz			15	pF
出力容量	Co	被測定端子以外は0 V			15	pF
入出力容量	Cio				15	pF

★ **メイン発振器特性** ( $T_A = -40 \sim +85$  ,  $V_{DD} = 4.0 \sim 5.5 V$  ,  $V_{SS} = 0 V$ )

項 目	略 号	条 件	MIN.	MAX.	単 位
発振周波数	f <sub>XX</sub>	セラミック発振子または水晶振動子	2	12.58	MHz

**注意** クロック発振回路を使用する場合は、配線容量などの影響を避けるために、次のように配線してください。

- ・配線を極力短くする。
- ・ほかの信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV<sub>SS1</sub>と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- ・発振回路から信号を取り出さない。

★ **備考** メイン発振で内部時計タイマを動作させるときは、12.582912 MHzまたは6.291456 MHzの発振子を接続してください。

**時計用発振器特性** ( $T_A = -40 \sim +85$  ,  $V_{DD} = 4.0 \sim 5.5 V$  ,  $V_{SS} = 0 V$ )

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
発振周波数	f <sub>XT</sub>	セラミック発振子または水晶振動子	32	32.768	35	kHz
発振安定時間	t <sub>SXT</sub>	V <sub>DD</sub> = 4.5 ~ 5.5 V		1.2	2	s
					10	s
発振保持電圧	V <sub>DDXT</sub>		4.0		5.5	V
時計用タイマ動作電圧	V <sub>DDW</sub>		4.0		5.5	V

DC特性 (TA = -40 ~ +85 , VDD = AVDD = 4.0 ~ 5.5 V , VSS = AVSS = 0 V) (1/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ロウ・レベル入力電圧 <sup>注5</sup>	V <sub>IL1</sub>	注1, 2の端子を除く	-0.3		0.3V <sub>DD</sub>	V
	V <sub>IL2</sub>	注1の端子	-0.3		0.2V <sub>DD</sub>	V
	V <sub>IL3</sub>	V <sub>DD</sub> = 4.5 ~ 5.5 V 注2の端子	-0.3		+0.8	V
ハイ・レベル入力電圧	V <sub>IH1</sub>	注1, 2の端子を除く	0.7V <sub>DD</sub>		V <sub>DD</sub> + 0.3	V
	V <sub>IH2</sub>	注1の端子	0.8V <sub>DD</sub>		V <sub>DD</sub> + 0.3	V
	V <sub>IH3</sub>	V <sub>DD</sub> = 4.5 ~ 5.5 V 注2の端子	2.2		V <sub>DD</sub> + 0.3	V
ロウ・レベル出力電圧	V <sub>OL1</sub>	I <sub>OL</sub> = 20 μA			0.1	V
		I <sub>OL</sub> = 100 μA			0.2	V
		I <sub>OL</sub> = 2 mA			0.4	V
	V <sub>OL2</sub>	I <sub>OL</sub> = 8 mA 注4の端子 V <sub>DD</sub> = 4.5 ~ 5.5 V			1.0	V
ハイ・レベル出力電圧	V <sub>OH1</sub>	I <sub>OH</sub> = -20 μA	V <sub>DD</sub> - 0.1			V
		I <sub>OH</sub> = -100 μA	V <sub>DD</sub> - 0.2			V
		I <sub>OH</sub> = -2 mA	V <sub>DD</sub> - 1.0			V
	V <sub>OH2</sub>	V <sub>DD</sub> = 4.5 ~ 5.5 V I <sub>OH</sub> = -5 mA 注3の端子	V <sub>DD</sub> - 2.4			V

- 注1 . X1, X2, RESET, P12/ASCK2/SCK2, P20/NMI, P21/INTP0, P22/INTP1, P23/INTP2/CI, P24/INTP3, P25/INTP4/ASCK/SCK1, P26/INTP5, P27/SIO, P32/SCK0, P33/SO0, P105/SCK3, P106/SI3, P107/SO3, XT1, XT2
- 2 . P40/AD0-P47/AD7, P50/A8-P57/A15, P60/A16-P67/REFRQ/HLDAK, P00-P07
- 3 . P00-P07
- 4 . P10-P17, P40/AD0-P47/AD7, P50/A8-P57/A15
- 5 . プルアップ抵抗を除く



DC特性 (TA = -40 ~ +85 , VDD = AVDD = 4.0 ~ 5.5 V , VSS = AVSS = 0 V) (2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
入力リーク電流	IL1	0 V Vi VDD	X1, XT1を除く			± 10	μ A
	IL2		X1, XT1			± 20	μ A
出力リーク電流	ILO	0 V Vo VDD				± 10	μ A
VDD電源電流 <sup>注</sup>	IDD1	動作モード	fxx = 12.58 MHz VDD = 4.5 ~ 5.5 V		20	40	mA
			fxx = 6.29 MHz VDD = 4.0 ~ 5.5 V		10	20	mA
	IDD2	HALTモード	fxx = 12.58 MHz VDD = 4.5 ~ 5.5 V fCLK = fxx/8 (STBC = B1H) 周辺動作停止		5.2	10.4	mA
			fxx = 6.29 MHz VDD = 4.0 ~ 5.5 V fCLK = fxx/8 (STBC = 31H) 周辺動作停止		2.6	5.2	mA
	IDD3	IDLEモード	fxx = 12.58 MHz VDD = 4.5 ~ 5.5 V		2.4	4.8	mA
			fxx = 6.29 MHz VDD = 4.0 ~ 5.5 V		1.8	3.6	mA
ブルアップ抵抗	RL	Vi = 0 V		15		80	k

注 内蔵レギュレータON (REGOFF端子 = Lレベル) 時の値になります。AVDD, AVREF1電流は含まれません。

AC特性 (TA = -40 ~ +85 , VDD = AVDD = 4.0 ~ 5.5 V, AVSS = VSS = 0 V)

(1) リード/ライト・オペレーション

項目	略号	条件		MIN.	MAX.	単位
アドレス・セットアップ時間 (対ASTB)	tsAST	VDD = 5.0 V	(0.5 + a) T - 11	29		ns
ASTBハイ・レベル幅	twSTH	VDD = 5.0 V	(0.5 + a) T - 17	23		ns
アドレス・ホールド時間 (対ASTB)	thSTLA	VDD = 5.0 V	0.5T - 19	21		ns
アドレス・ホールド時間 (対RD)	thRA	VDD = 5.0 V	0.5T - 14	26		ns
アドレス RD 遅延時間	tdAR	VDD = 5.0 V	(1 + a) T - 5	74		ns
アドレス・フロート時間(対RD)	tfRA			0		ns
アドレス データ入力時間	tdAID	VDD = 5.0 V	(2.5 + a + n) T - 37		400	ns
ASTB データ入力時間	tdSTID	VDD = 5.0 V	(2 + n) T - 35		283	ns
RD データ入力時間	tdRID	VDD = 5.0 V	(1.5 + n) T - 40		238	ns
ASTB RD 遅延時間	tdSTR	VDD = 5.0 V	0.5T - 9	31		ns
データ・ホールド時間(対RD)	thRID			0		ns
RD アドレス・アクティブ時間	tdRA	VDD = 5.0 V	0.5T - 2	38		ns
RD ASTB 遅延時間	tdRST	VDD = 5.0 V	0.5T - 9	31		ns
RD口ウ・レベル幅	twRL	VDD = 5.0 V	(1.5 + n) T - 25	94		ns
アドレス WR 遅延時間	tdAW	VDD = 5.0 V	(1 + a) T - 5	74		ns
アドレス・ホールド時間(対WR)	thWA	VDD = 5.0 V	0.5T - 14	26		ns
ASTB データ出力遅延時間	tdSTOD	VDD = 5.0 V	0.5T + 15		55	ns
WR データ出力遅延時間	tdWOD				15	ns
ASTB WR 遅延時間	tdSTW	VDD = 5.0 V	0.5T - 9	31		ns
データ・セットアップ時間(対WR)	tsODWR	VDD = 5.0 V	(1.5 + n) T - 20	99		ns
データ・ホールド時間(対WR)	thWOD	VDD = 5.0 V	0.5T - 14	26		ns
WR ASTB 遅延時間	tdWST	VDD = 5.0 V	0.5T - 9	31		ns
WR口ウ・レベル幅	twWL	VDD = 5.0 V	(1.5 + n) T - 25	94		ns

備考 T : tcYK (システム・クロック・サイクル・タイム) VDD = 5.0 V T = 79 ns (MIN.)

a : アドレス・ウエイト時 = 1, それ以外 = 0

n : ウエイト数 (n ≥ 0)

(2) 外部ウエイト・タイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
アドレス $\overline{\text{WAIT}}$ 入力時間	t <sub>DAWT</sub>	V <sub>DD</sub> = 5.0 V (2 + a) T - 40		198	ns
ASTB $\overline{\text{WAIT}}$ 入力時間	t <sub>DSTWT</sub>	V <sub>DD</sub> = 5.0 V 1.5T - 40		79	ns
ASTB $\overline{\text{WAIT}}$ 保持期間	t <sub>HSTWT</sub>	V <sub>DD</sub> = 5.0 V (0.5 + n) T + 5	124		ns
ASTB $\overline{\text{WAIT}}$ 遅延時間	t <sub>DSTWTH</sub>	V <sub>DD</sub> = 5.0 V (1.5 + n) T - 40		238	ns
$\overline{\text{RD}}$ $\overline{\text{WAIT}}$ 入力時間	t <sub>DRWTL</sub>	V <sub>DD</sub> = 5.0 V T - 40		39	ns
$\overline{\text{RD}}$ $\overline{\text{WAIT}}$ 保持時間	t <sub>HRWT</sub>	V <sub>DD</sub> = 5.0 V nT + 5	84		ns
$\overline{\text{RD}}$ $\overline{\text{WAIT}}$ 遅延時間	t <sub>DRWTH</sub>	V <sub>DD</sub> = 5.0 V (1 + n) T - 40		198	ns
$\overline{\text{WAIT}}$ データ入力時間	t <sub>DWTID</sub>	V <sub>DD</sub> = 5.0 V 0.5T - 5		35	ns
$\overline{\text{WAIT}}$ $\overline{\text{RD}}$ 遅延時間	t <sub>DWTR</sub>	V <sub>DD</sub> = 5.0 V 0.5T	40		ns
$\overline{\text{WAIT}}$ $\overline{\text{WR}}$ 遅延時間	t <sub>DWTW</sub>	V <sub>DD</sub> = 5.0 V 0.5T	40		ns
$\overline{\text{WR}}$ $\overline{\text{WAIT}}$ 入力時間	t <sub>DWWTL</sub>	V <sub>DD</sub> = 5.0 V T - 40		39	ns
$\overline{\text{WR}}$ $\overline{\text{WAIT}}$ 保持時間	t <sub>HWWT</sub>	V <sub>DD</sub> = 5.0 V nT + 5	84		ns
$\overline{\text{WR}}$ $\overline{\text{WAIT}}$ 遅延時間	t <sub>DWWTH</sub>	V <sub>DD</sub> = 5.0 V (1 + n) T - 40		198	ns

備考 T : t<sub>cyk</sub> (システム・クロック・サイクル・タイム) V<sub>DD</sub> = 5.0 V T = 79 ns (MIN.)

a : アドレス・ウエイト時 = 1, それ以外 = 0

n : ウエイト数 (n ≥ 0)

(3) バス・ホールド・タイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
HLD $\overline{\text{RQ}}$ フロート遅延時間	t <sub>FHQC</sub>	V <sub>DD</sub> = 5.0 V (2 + 4 + a + n) T + 50		765	ns
HLD $\overline{\text{RQ}}$ HLD $\overline{\text{AK}}$ 遅延時間	t <sub>DHQHHAH</sub>	V <sub>DD</sub> = 5.0 V (3 + 4 + a + n) T + 30		825	ns
フロート HLD $\overline{\text{AK}}$ 遅延時間	t <sub>DCFHA</sub>	V <sub>DD</sub> = 5.0 V T + 30		109	ns
HLD $\overline{\text{RQ}}$ HLD $\overline{\text{AK}}$ 遅延時間	t <sub>DHQLHAL</sub>	V <sub>DD</sub> = 5.0 V 2T + 40		199	ns
HLD $\overline{\text{RQ}}$ アクティブ遅延時間	t <sub>DHAC</sub>	V <sub>DD</sub> = 5.0 V T - 20	59		ns

備考 T : t<sub>cyk</sub> (システム・クロック・サイクル・タイム) V<sub>DD</sub> = 5.0 V T = 79 ns (MIN.)

a : アドレス・ウエイト時 = 1, それ以外 = 0

n : ウエイト数 (n ≥ 0)

(4) リフレッシュ・タイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
ランダム・リード/ライト・サイクル時間	t <sub>RC</sub>	V <sub>DD</sub> = 5.0 V 3T	238		ns
$\overline{\text{REFRQ}}$ ロウ・レベル・パルス幅	t <sub>WRFQL</sub>	V <sub>DD</sub> = 5.0 V 1.5T - 25	94		ns
ASTB $\overline{\text{REFRQ}}$ 遅延時間	t <sub>DSTRFQ</sub>	V <sub>DD</sub> = 5.0 V 0.5T - 9	31		ns
$\overline{\text{RD}}$ $\overline{\text{REFRQ}}$ 遅延時間	t <sub>DRRFQ</sub>	V <sub>DD</sub> = 5.0 V 1.5T - 9	110		ns
$\overline{\text{WR}}$ $\overline{\text{REFRQ}}$ 遅延時間	t <sub>DWRFQ</sub>	V <sub>DD</sub> = 5.0 V 1.5T - 9	110		ns
$\overline{\text{REFRQ}}$ ASTB遅延時間	t <sub>DRFQST</sub>	V <sub>DD</sub> = 5.0 V 0.5T - 9	31		ns
$\overline{\text{REFRQ}}$ ハイ・レベル・パルス幅	t <sub>WRFQH</sub>	V <sub>DD</sub> = 5.0 V 1.5T - 25	94		ns

備考 T : t<sub>cyk</sub> (システム・クロック・サイクル・タイム) V<sub>DD</sub> = 5.0 V T = 79 ns (MIN.)

シリアル・オペレーション (TA = -40 ~ +85 , VDD = 4.0 ~ 5.5 V, AVSS = VSS = 0 V)

(1) CSI, CSI3

項目	略号	条件		MIN.	MAX.	単位
シリアル・クロック・サイクル・タイム (SCK0, SCK3)	tcvsk0	入力	fCLK = fxx	8/fxx		ns
			fCLK = fxxを除く	4/fCLK		ns
		出力	fCLK = fxx/8を除く	8/fxx		ns
			fCLK = fxx/8	16/fxx		ns
シリアル・クロック・ロウ・レベル幅 (SCK0, SCK3)	twskl0	入力	fCLK = fxx	4/fxx - 40		ns
			fCLK = fxxを除く	2/fCLK - 40		
		出力	fCLK = fxx/8を除く	4/fxx - 40		μs
			fCLK = fxx/8	8/fxx - 40		
シリアル・クロック・ハイ・レベル幅 (SCK0, SCK3)	twskh0	入力	fCLK = fxx	4/fxx - 40		ns
			fCLK = fxxを除く	2/fCLK - 40		
		出力	fCLK = fxx/8を除く	4/fxx - 40		μs
			fCLK = fxx/8	8/fxx - 40		
SI0, SI3セットアップ時間 (対SCK0, SCK3)	tsssk0			80		ns
SI0, SI3ホールド時間 (対SCK0, SCK3)	thssk0	外部クロック		1/fCLK + 80		ns
		内部クロック		80		
SO0, SO3出力遅延時間 (対SCK0, SCK3)	tdsbsk1	CMOSプッシュプル出力	外部クロック	0	1/fCLK + 150	ns
			内部クロック	0	150	ns
	tdsbsk2	オープン・ドレイン出力 RL = 1 k	外部クロック	0	1/fCLK + 400	ns
			内部クロック	0	400	ns
SO0, SO3出力保持時間 (対SCK0, SCK3)	thbsk	データ転送時		0.5tcvsk0 - 40		ns

備考1. 表中の数値は, fxx = 12.58 MHz, CL = 100pFのときの値です。

2. fCLK: システム・クロック周波数 (fxx, fxx/2, fxx/4, fxx/8の中からスタンバイ・コントロール・レジスタ (STBC) により選択)

★ 3. fxx: 発振周波数 (fxx = 12.58 MHzまたはfxx = 6.29 MHz)

( 2 ) IOE1, IOE2 (  $T_A = -40 \sim +85$  ,  $V_{DD} = AV_{DD} = 4.0 \sim 5.5 V$  ,  $AV_{SS} = V_{SS} = 0 V$  )

項 目	略 号	条 件	MIN.	MAX.	単 位	
シリアル・クロック・サイクル・タイム ( $\overline{SCK1}$ , $\overline{SCK2}$ )	tcysk1	入力	$V_{DD} = 4.5 \sim 5.5 V$	640		ns
				1280		ns
		出力	内部8分周	T		ns
シリアル・クロック・ロウ・レベル幅 ( $\overline{SCK1}$ , $\overline{SCK2}$ )	twskl1	入力	$V_{DD} = 4.5 \sim 5.5 V$	280		ns
				600		ns
		出力	内部8分周	0.5T - 40		ns
シリアル・クロック・ハイ・レベル幅 ( $\overline{SCK1}$ , $\overline{SCK2}$ )	twskh1	入力	$V_{DD} = 4.5 \sim 5.5 V$	280		ns
				600		ns
		出力	内部8分周	0.5T - 40		ns
SI1, SI2セットアップ時間 ( 対 $\overline{SCK1}$ , $\overline{SCK2}$ )	tssk1		40		ns	
SI1, SI2ホールド時間 ( 対 $\overline{SCK1}$ , $\overline{SCK2}$ )	thssk1		40		ns	
SO1, SO2出力遅延時間 ( 対 $\overline{SCK1}$ , $\overline{SCK2}$ )	tdsosl		0	50	ns	
SO1, SO2出力保持時間 ( 対 $\overline{SCK1}$ , $\overline{SCK2}$ )	thsosl	データ転送時	$0.5t_{cysk1} - 40$		ns	

備考 1 . 表中の数値は ,  $C_L = 100 pF$  のときの値です。

2 . T : ソフトウェアで設定したシリアル・クロック周期。最小値は $8/f_{xx}$

( 3 ) UART, UART2 (  $T_A = -40 \sim +85$  ,  $V_{DD} = AV_{DD} = 4.0 \sim 5.5 V$  ,  $AV_{SS} = V_{SS} = 0 V$  )

項 目	略 号	条 件	MIN.	MAX.	単 位
ASCKクロック入力サイクル・タイム	tcyask	$V_{DD} = 4.5 \sim 5.5 V$	160		ns
			320		ns
ASCKクロック・ロウ・レベル幅	twaskl	$V_{DD} = 4.5 \sim 5.5 V$	65		ns
			120		ns
ASCKクロック・ハイ・レベル幅	twaskh	$V_{DD} = 4.5 \sim 5.5 V$	65		ns
			120		ns

クロック出力オペレーション (T<sub>A</sub> = -40 ~ +85 , V<sub>DD</sub> = AV<sub>DD</sub> = 4.0 ~ 5.5 V, AV<sub>SS</sub> = V<sub>SS</sub> = 0 V)

項 目	略 号	条 件	MIN.	MAX.	単 位
CLKOUTサイクル時間	t <sub>CYCL</sub>	nT	79	32000	ns
CLKOUTロウ・レベル幅	t <sub>CLL</sub>	V <sub>DD</sub> = 4.5 ~ 5.5 V, 0.5T - 10	30		ns
		0.5T - 20	20		ns
CLKOUTハイ・レベル幅	t <sub>CLH</sub>	V <sub>DD</sub> = 4.5 ~ 5.5 V, 0.5T - 10	30		ns
		0.5T - 20	20		ns
★ CLKOUT立ち上がり時間	t <sub>CLR</sub>	4.5 V V <sub>DD</sub> 5.5 V		10	ns
		4.0 V V <sub>DD</sub> < 4.5 V		20	ns
★ CLKOUT立ち下がり時間	t <sub>CLF</sub>	4.5 V V <sub>DD</sub> 5.5 V		10	ns
		4.0 V V <sub>DD</sub> < 4.5 V		20	ns

備考 n : CPUのソフトウェアで設定する分周比 (n = 1, 2, 4, 8, 16)

T : t<sub>CYK</sub> (システム・クロック・サイクル・タイム)

その他のオペレーション (T<sub>A</sub> = -40 ~ +85 , V<sub>DD</sub> = AV<sub>DD</sub> = 4.0 ~ 5.5 V, AV<sub>SS</sub> = V<sub>SS</sub> = 0 V)

項 目	略 号	条 件	MIN.	MAX.	単 位
NMIロウ・レベル幅	t <sub>WNIL</sub>		10		μs
NMIハイ・レベル幅	t <sub>WNIH</sub>		10		μs
INTP0ロウ・レベル幅	t <sub>WIT0L</sub>		4t <sub>CYSMP</sub>		ns
INTP0ハイ・レベル幅	t <sub>WIT0H</sub>		4t <sub>CYSMP</sub>		ns
INTP1-INTP3, CIロウ・レベル幅	t <sub>WIT1L</sub>		4t <sub>CYCPU</sub>		ns
INTP1-INTP3, CIハイ・レベル幅	t <sub>WIT1H</sub>		4t <sub>CYCPU</sub>		ns
INTP4, INTP5ロウ・レベル幅	t <sub>WIT2L</sub>		10		μs
INTP4, INTP5ハイ・レベル幅	t <sub>WIT2H</sub>		10		μs
RESETロウ・レベル幅 <sup>注</sup>	t <sub>WRSL</sub>		10		μs
RESETハイ・レベル幅	t <sub>WRSH</sub>		10		μs

注 電源ON時は、RESETロウ・レベル幅で発振安定ウエイト時間を確保してください。

備考 t<sub>CYSMP</sub> : ソフトウェアで設定するサンプリング・クロック

t<sub>CYCPU</sub> : CPUのソフトウェアで設定するCPUの動作クロック

**A/Dコンバータ特性** ( $T_A = -40 \sim +85$  ,  $V_{DD} = AV_{DD} = AV_{REF1} = 4.0 \sim 5.5$  V,  $AV_{SS} = V_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能			8			bit	
総合誤差 <sup>注</sup>		IEAD = 00H	FR = 0		0.6	%	
			FR = 1		1.5	%	
		IEAD = 01H	$V_{DD} = 4.5 \sim 5.5$ V		1	2.2	%
量子化誤差					± 1/2	LSB	
変換時間	t <sub>CONV</sub>	FR = 1	120/f <sub>CLK</sub>	9.5		480	μs
		FR = 0	240/f <sub>CLK</sub>	19.1		960	μs
サンプリング時間	t <sub>SAMP</sub>	FR = 1	18/f <sub>CLK</sub>	1.4		72	μs
		FR = 0	36/f <sub>CLK</sub>	2.9		144	μs
アナログ入力インピーダンス	R <sub>AN</sub>			1000		M	
AV <sub>REF1</sub> インピーダンス	R <sub>REF1</sub>		3	10		k	
AV <sub>DD</sub> 電源電流	Al <sub>DD1</sub>	CS = 1		2.0	5.0	mA	
	Al <sub>DD2</sub>	CS = 0, STOPモード		1.0	20	μA	

注 量子化誤差を含みません。フルスケール値に対する比率で表しています。

注意 A/Dコンバータの変換動作を行う場合、変換特性上、A/D入力兼用ポートであるポート7を出力モードに設定して、データ反転をしないでください。

備考 f<sub>CLK</sub> : システム・クロック周波数 ( f<sub>xx</sub>, f<sub>xx</sub>/2, f<sub>xx</sub>/4, f<sub>xx</sub>/8の中からスタンバイ・モード・コントロール・レジスタ ( STBC ) により選択 )

**IEBusコントローラ特性** ( $T_A = -40 \sim +85$  ,  $V_{DD} = AV_{DD} = AV_{REF1} = 4.5 \sim 5.5$  V,  $AV_{SS} = V_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
IEBus規格周波数 <sup>注1</sup>	f <sub>s</sub>	転送速度 : モード 1	6.20	6.29	6.39	MHz
ドライバ・ディレイ・タイム ( TX出力 バス・ライン ) <sup>注2</sup>	t <sub>DTX</sub>	C <sub>L</sub> = 50 pF <sup>注3</sup>			1.5	μs
レシーバ・ディレイ・タイム ( バス・ライン RX出力 ) <sup>注2</sup>	t <sub>DRX</sub>				0.7	μs
バス上の伝搬遅延時間 <sup>注2</sup>	t <sub>DBUS</sub>				0.85	μs

注1 . IEBus規格に従った値です。IEBusコントローラ部は、発振回路特性の発振周波数範囲で動作可能です。

2 . IEBusシステム・クロック : f<sub>x</sub> = 6.29 MHzのときの値です。

3 . C<sub>L</sub>はTX出力ラインの負荷容量です。

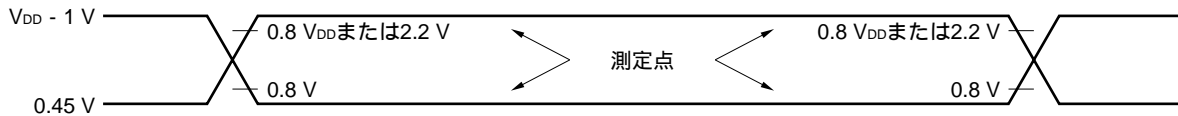
データ保持特性 (TA = -40 ~ +85 )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V <sub>DDDR</sub>	STOPモード	2.5		5.5	V
★ データ保持電流	I <sub>DDDR</sub>	STOPモード V <sub>DDDR</sub> = 2.5 V, AV <sub>REF1</sub> = 0 V <sup>注1</sup>		2	10	μA
		STOPモード V <sub>DDDR</sub> = 4.0 ~ 5.5 V, AV <sub>REF1</sub> = 0 V <sup>注1</sup>		10	50	μA
V <sub>DD</sub> 立ち上がり時間	t <sub>rVD</sub>		200			μs
V <sub>DD</sub> 立ち下がり時間	t <sub>fVD</sub>		200			μs
V <sub>DD</sub> 保持時間 (対STOPモード設定)	t <sub>HVD</sub>		0			ms
STOP解除信号入力時間	t <sub>DREL</sub>		0			ms
発振安定ウエイト時間	t <sub>WAIT</sub>	水晶振動子	30			ms
		セラミック発振子	5			ms
ロウ・レベル入力電圧	V <sub>IL</sub>	特定端子 注2	0		0.1 V <sub>DDDR</sub>	V
ハイ・レベル入力電圧	V <sub>IH</sub>		0.9 V <sub>DDDR</sub>		V <sub>DDDR</sub>	V

注1 . 注2 に示す端子の入力電圧が、本表中のV<sub>IL</sub>またはV<sub>IH</sub>を満足している場合

- 2 . RESET, P12/ASCK2/SCK2, P20/NMI, P21/INTP0, P22/INTP1, P23/INTP2/CI, P24/INTP3, P25/INTP4/ASCK/SCK1, P26/INTP5, P27/SIO, P32/SCK0, P33/SO0, P105/SCK3, P106/SI3, P107/SO3端子

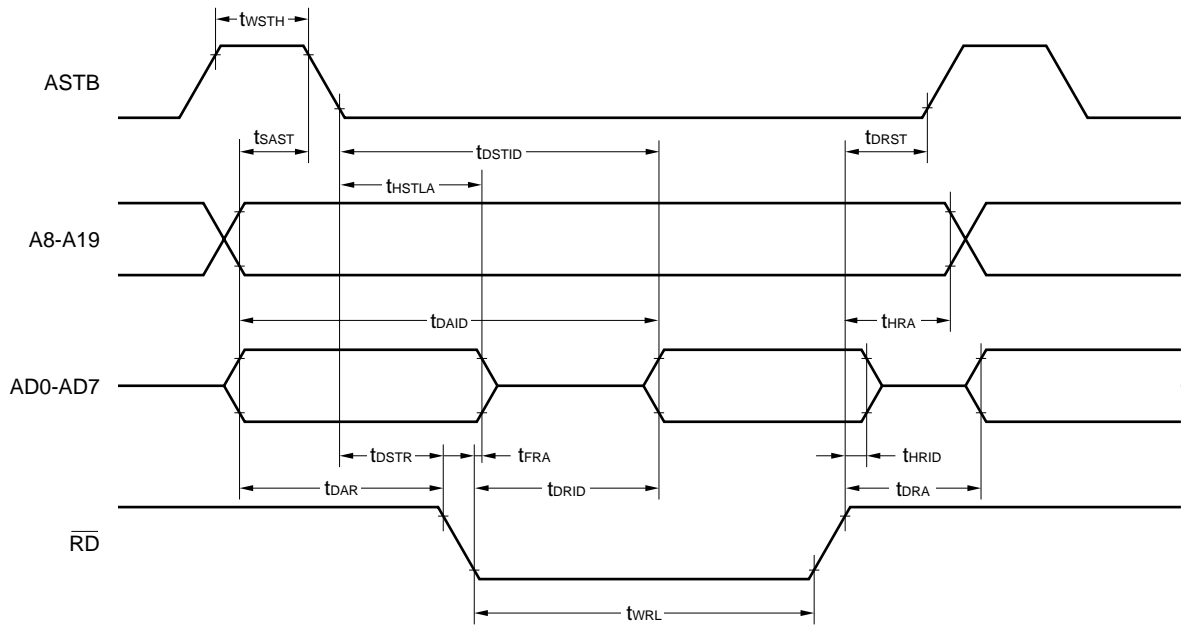
ACタイミング測定点



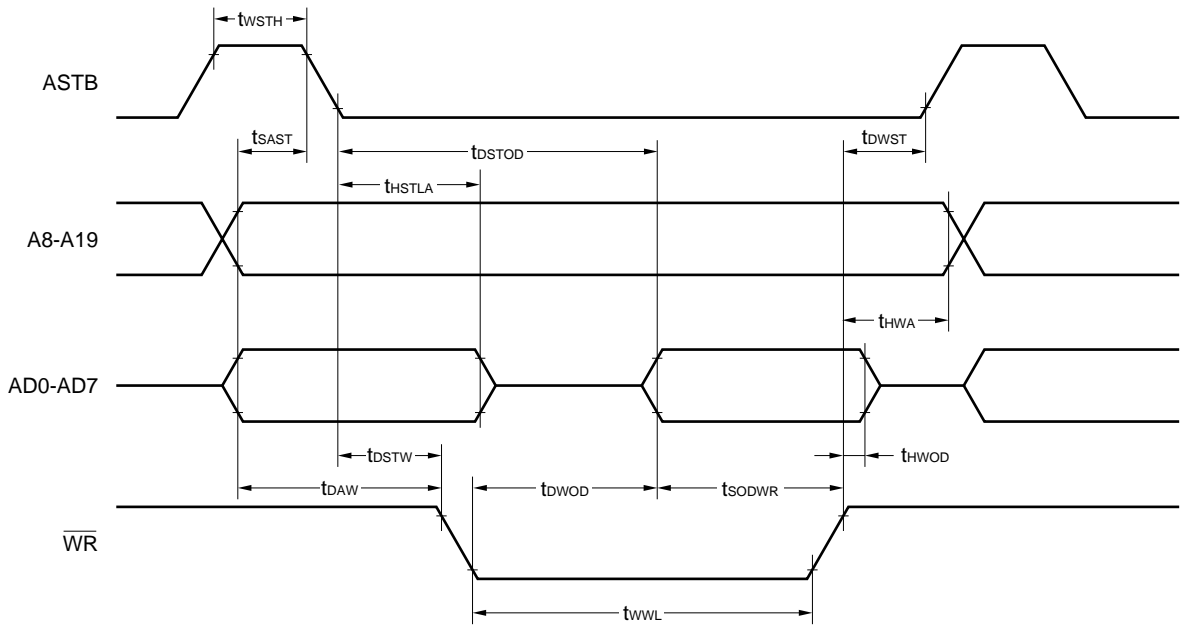


タイミング波形

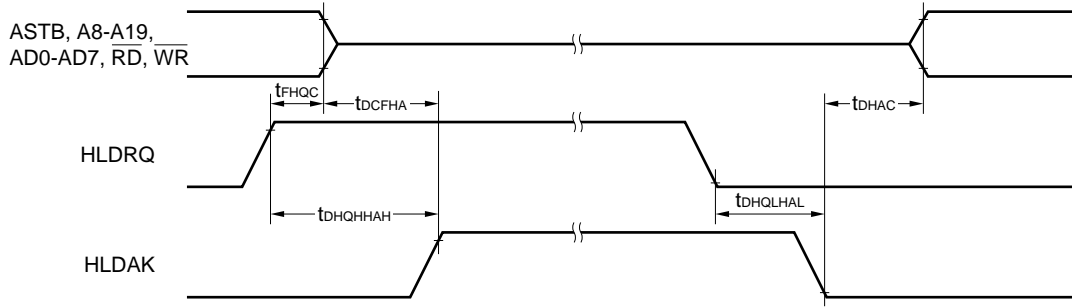
(1) リード・オペレーション



(2) ライト・オペレーション

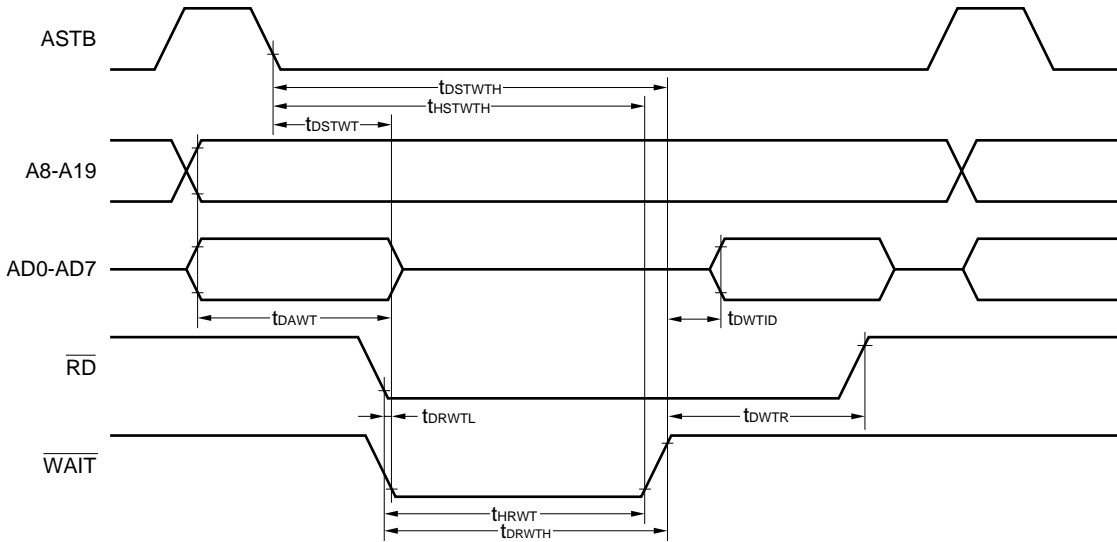


ホールド・タイミング

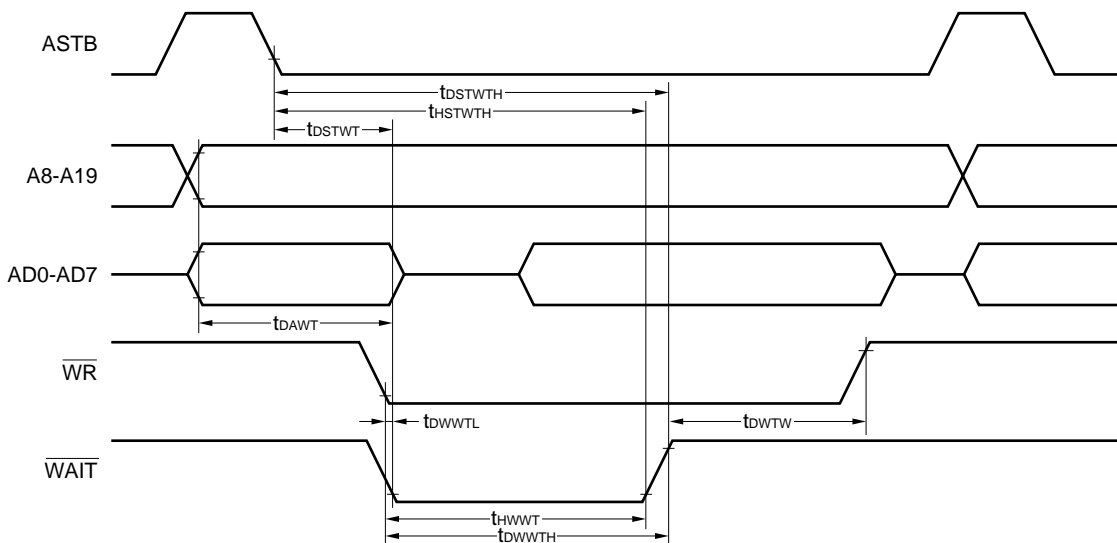


外部WAIT信号入力タイミング

(1) リード・オペレーション

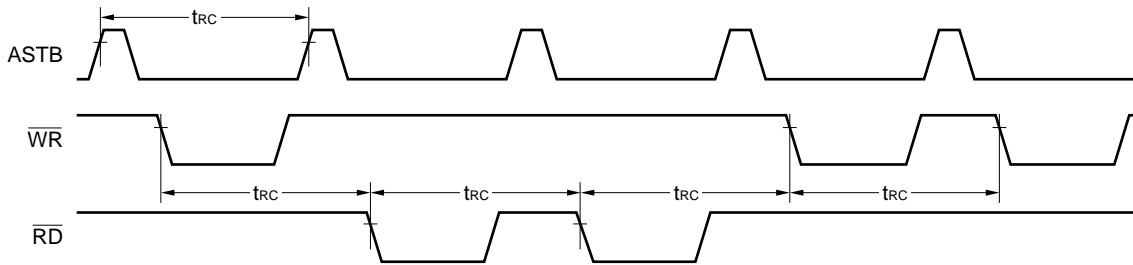


(2) ライト・オペレーション

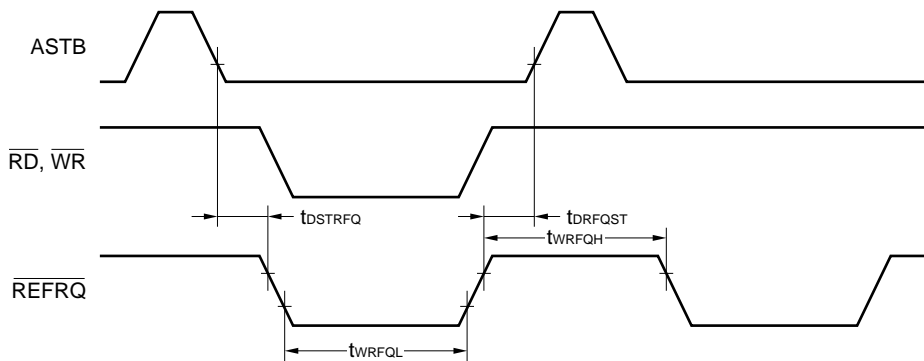


リフレッシュ・タイミング波形

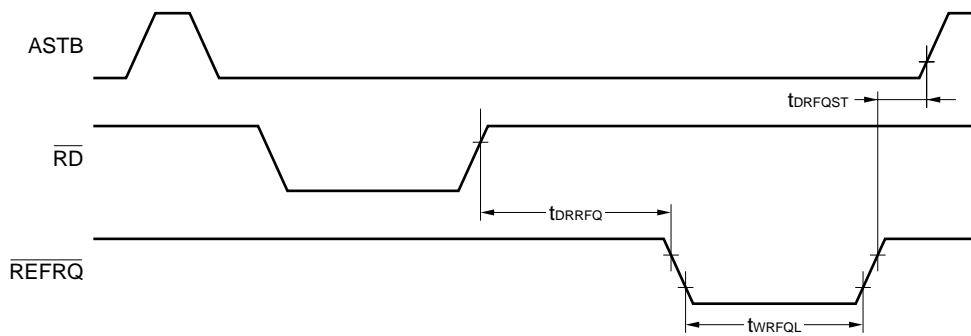
(1) ランダム・リード/ライト・サイクル



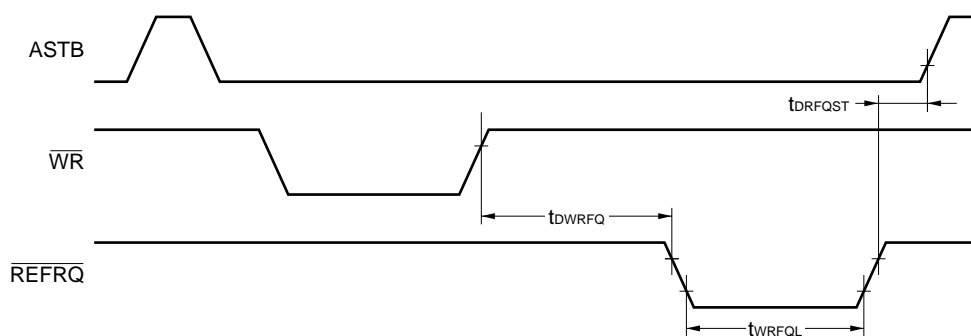
(2) リフレッシュ・メモリ・アクセスが同時の場合



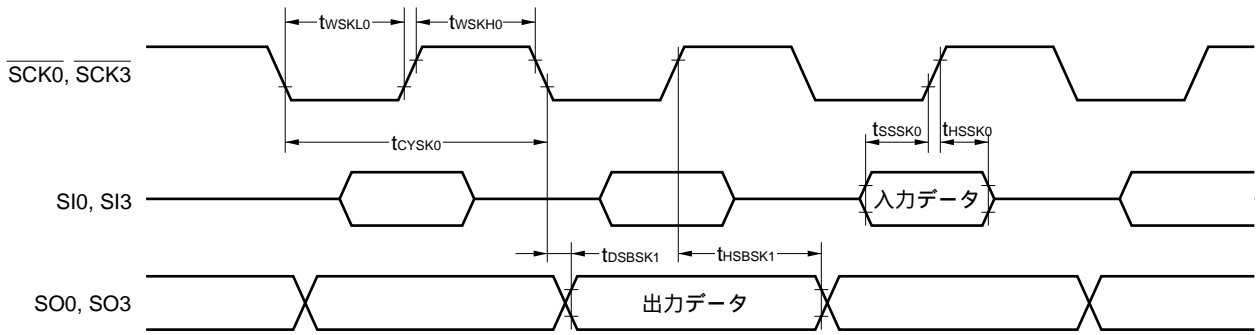
(3) リード後のリフレッシュ



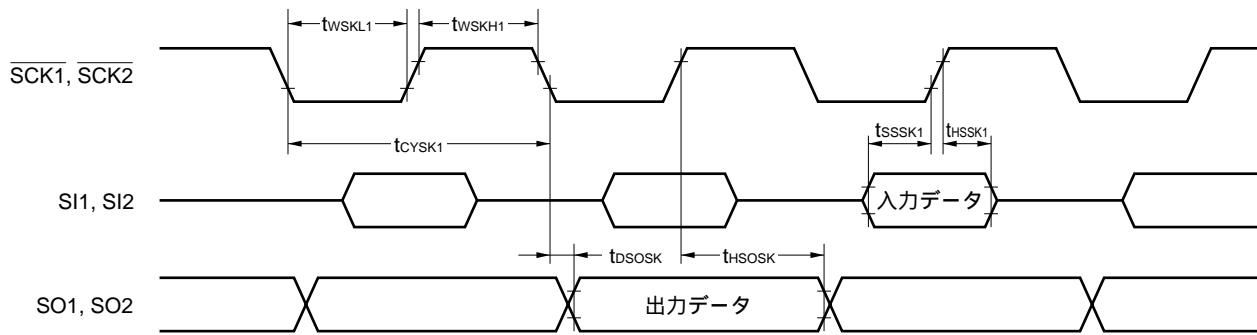
(4) ライト後のリフレッシュ



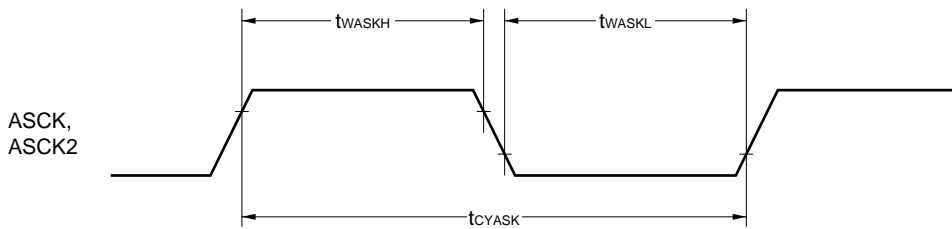
シリアル・オペレーション (CSI, CSI3)



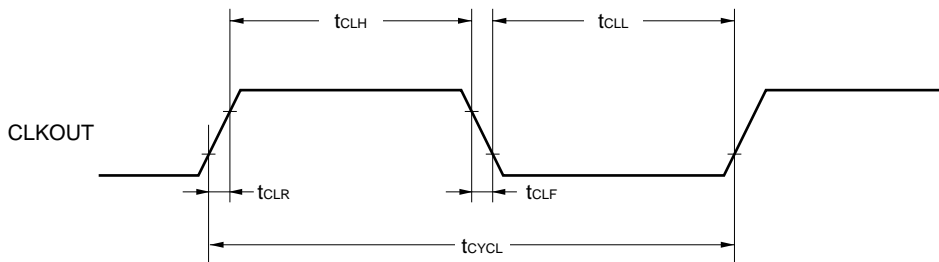
シリアル・オペレーション (IOE1, IOE2)



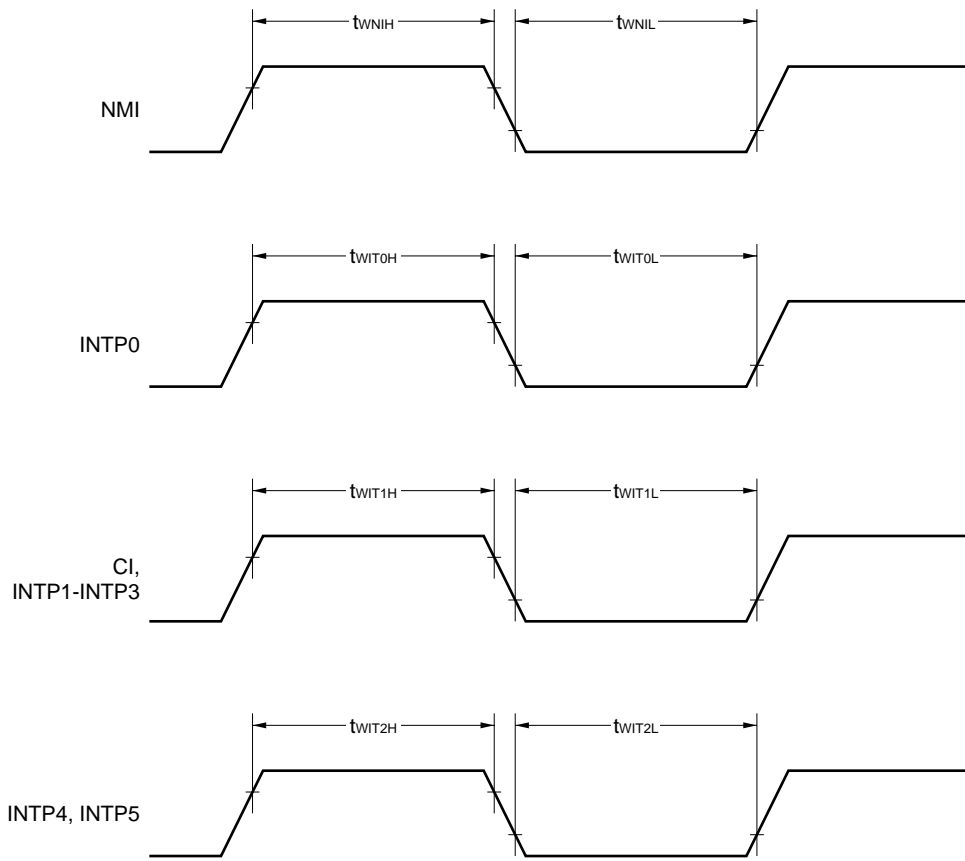
シリアル・オペレーション (UART, UART2)



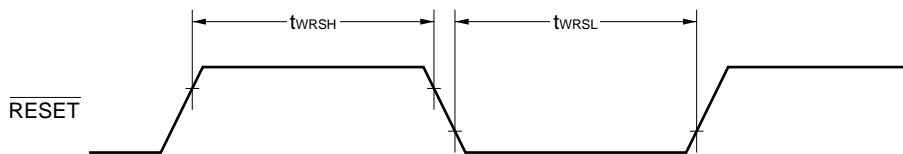
クロック出力タイミング



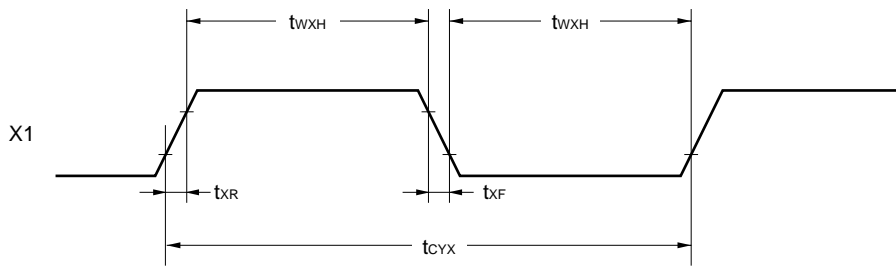
割り込み要求入力タイミング



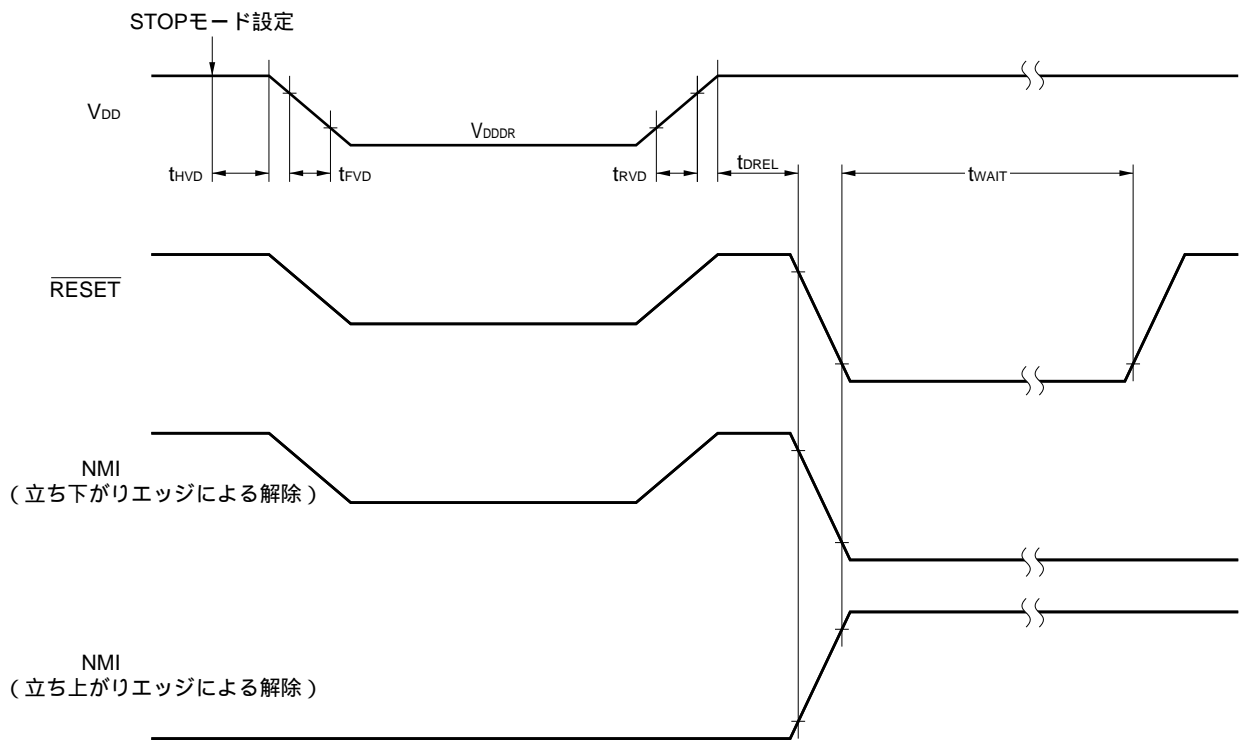
リセット入力タイミング



外部クロック・タイミング



データ保持特性



DCプログラミング特性 (TA = 25 ± 5 , VSS = 0 V)

項目	略号	略号注1	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V <sub>IH</sub>	V <sub>IH</sub>		2.2		V <sub>DDP</sub> + 0.3	V
ロウ・レベル入力電圧	V <sub>IL</sub>	V <sub>IL</sub>		- 0.3		+ 0.8	V
入力リーク電流	I <sub>LIP</sub>	I <sub>LI</sub>	0 V <sub>I</sub> V <sub>DDP</sub> 注2			± 10	μA
ハイ・レベル出力電圧	V <sub>OH</sub>	V <sub>OH</sub>	I <sub>OH</sub> = - 400 μA	2.4			V
ロウ・レベル出力電圧	V <sub>OL</sub>	V <sub>OL</sub>	I <sub>OL</sub> = 2.1 mA			0.45	V
出力リーク電流	I <sub>LO</sub>	-	0 V <sub>O</sub> V <sub>DDP</sub> , $\overline{OE} = V_{IH}$			± 10	μA
V <sub>DDP</sub> 電源電圧	V <sub>DDP</sub>	V <sub>CC</sub>	プログラム・メモリ書き込みモード	6.25	6.5	6.75	V
			プログラム・メモリ読み出しモード	4.5	5.0	5.5	V
V <sub>PP</sub> 電源電圧	V <sub>PP</sub>	V <sub>PP</sub>	プログラム・メモリ書き込みモード	12.2	12.5	12.8	V
			プログラム・メモリ読み出しモード	V <sub>PP</sub> = V <sub>DDP</sub>			V
V <sub>DDP</sub> 電源電流	I <sub>DD</sub>	I <sub>DD</sub>	プログラム・メモリ書き込みモード		10	40	mA
			プログラム・メモリ読み出しモード		10	40	mA
V <sub>PP</sub> 電源電流	I <sub>PP</sub>	I <sub>PP</sub>	プログラム・メモリ書き込みモード		5	50	mA
			プログラム・メモリ読み出しモード		1.0	100	μA

注1 . 対応する μ PD27C1001Aの略号です。

2 . V<sub>DDP</sub>は , プログラミング時のV<sub>DD</sub>端子です。

ACプログラミング特性 (TA = 25 ± 5 , VSS = 0 V)

PROM書き込みモード時 (ページ・プログラム・モード)

項 目	略号 注1	条 件	MIN.	TYP.	MAX.	単 位
アドレス・セットアップ時間	tAS		2			μs
CEセット時間	tCES		2			μs
入力データ・セットアップ時間	tDS		2			μs
アドレス・ホールド時間	tAH		2			μs
	tAHL		2			μs
	tAHV		0			μs
入力データ・ホールド時間	tDH		2			μs
出力データ・ホールド時間	tDF		0		130	ns
VPPセットアップ時間	tVPS		2			μs
VDDPセットアップ時間	tVDS 注2		2			μs
初期プログラム・パルス幅	tPW		0.095	0.1	0.105	ms
OEセット時間	tOES		2			μs
OE 有効データ遅延時間	tOE			1	2	μs
データ・ラッチ中のOEパルス幅	tLW		1			μs
PGMセットアップ時間	tPGMS		2			μs
CEホールド時間	tCEH		2			μs
OEホールド時間	tOEH		2			μs

注1 . μPD27C1001Aの略号と対応しています (tVDSを除きます)。

2 . tVDSのμPD27C1001Aでの略号はtVCSです。



PROM書き込みモード時 (バイト・プログラム・モード)

項 目	略号 注1	条 件	MIN.	TYP.	MAX.	単 位
アドレス・セットアップ時間	tAS		2			μs
$\overline{\text{CE}}$ セット時間	tCES		2			μs
入力データ・セットアップ時間	tDS		2			μs
アドレス・ホールド時間	tAH		2			μs
入力データ・ホールド時間	tDH		2			μs
出力データ・ホールド時間	tDF		0		130	ns
V <sub>PP</sub> セットアップ時間	tVPS		2			μs
V <sub>DDP</sub> セットアップ時間	tVDS 注2		2			μs
初期プログラム・パルス幅	tPW		0.095	0.1	0.105	ms
$\overline{\text{OE}}$ セット時間	tOES		2			μs
$\overline{\text{OE}}$ 有効データ遅延時間	tOE			1	2	μs

注1 . μPD27C1001Aの略号と対応しています (t<sub>VDS</sub>を除きます)。

2 . t<sub>VDS</sub>のμPD27C1001Aでの略号はt<sub>VCS</sub>です。

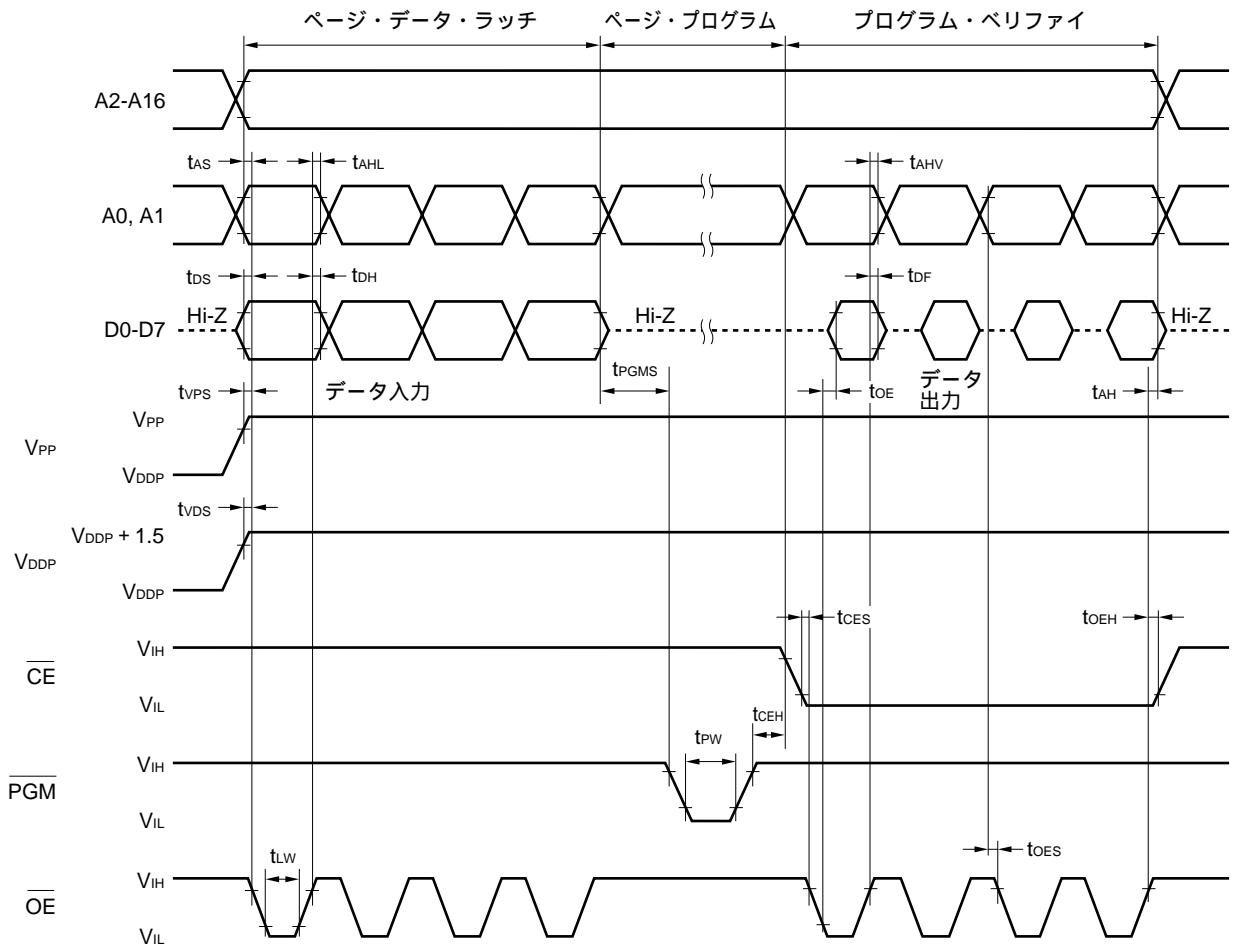
PROM読み出しモード時

項 目	略号 注1	条 件	MIN.	TYP.	MAX.	単 位
アドレス データ出力時間	tACC	$\overline{\text{CE}} = \overline{\text{OE}} = V_{IL}$			200	ns
$\overline{\text{CE}}$ データ出力時間	tCE	$\overline{\text{OE}} = V_{IL}$		1	2	μs
$\overline{\text{OE}}$ データ出力時間	tOE	$\overline{\text{CE}} = V_{IL}$		1	2	μs
データ・ホールド時間(対 $\overline{\text{OE}}$ 、 $\overline{\text{CE}}$ )注2	tDF	$\overline{\text{CE}} = V_{IL}$ または $\overline{\text{OE}} = V_{IL}$	0		60	ns
データ・ホールド時間(対アドレス)	tOH	$\overline{\text{CE}} = \overline{\text{OE}} = V_{IL}$	0			ns

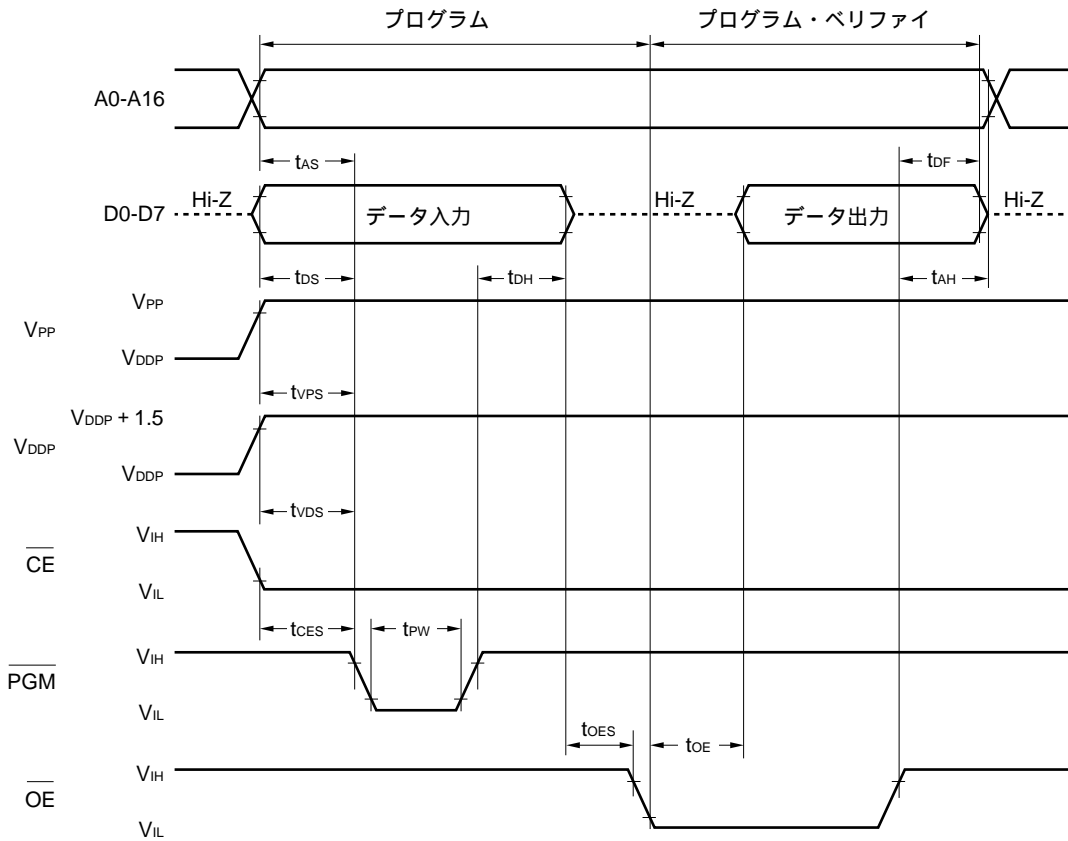
注1 . μPD27C1001Aの略号と対応しています。

2 . t<sub>DF</sub>は、 $\overline{\text{OE}}$ 、 $\overline{\text{CE}}$ のどちらかが最初にV<sub>IH</sub>となったときからの時間です。

PROM書き込みモード・タイミング (ページ・プログラム・モード)

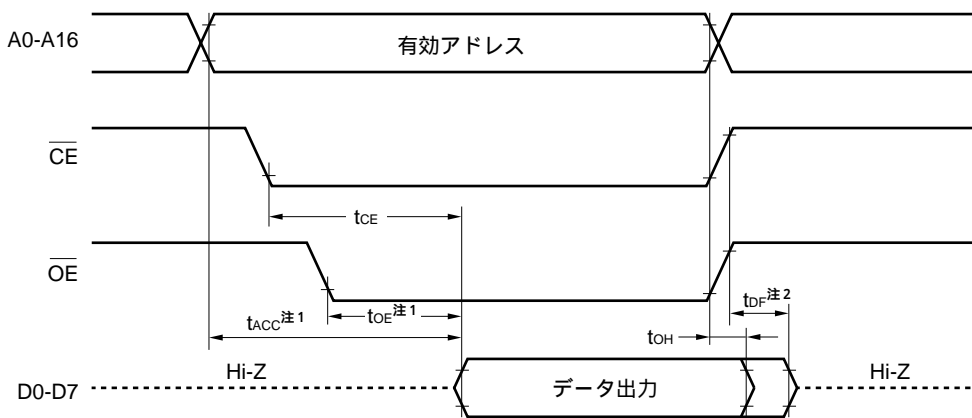


PROM書き込みモード・タイミング (バイト・プログラム・モード)



- 注意 1 .  $V_{DDP}$ は $V_{PP}$ より前に印加し、 $V_{PP}$ のあとから切断するようにしてください。
- 2 .  $V_{PP}$ はオーバシュートを含めて13.5 V以上にならないようにしてください。
- 3 .  $V_{PP}$ に12.5 Vが印加されている間に抜き差しした場合、信頼性上、悪影響を受ける可能性があります。

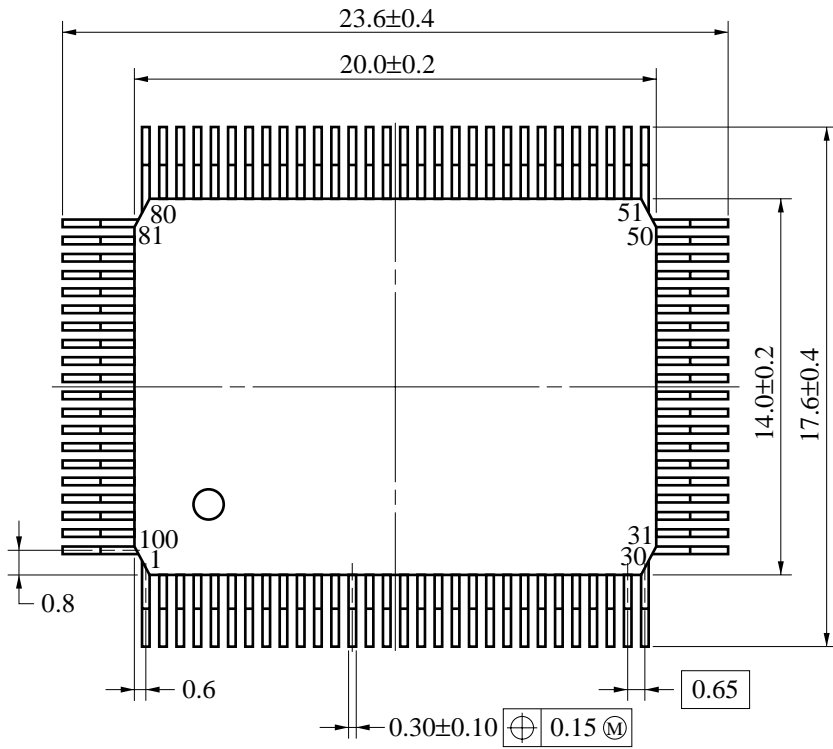
PROM読み出しモード・タイミング



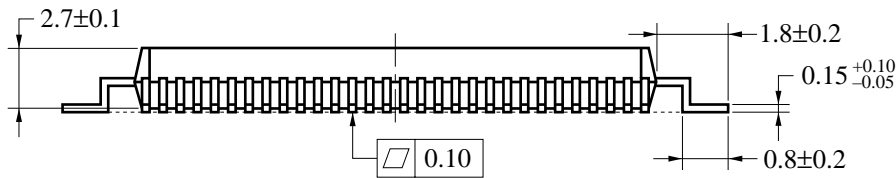
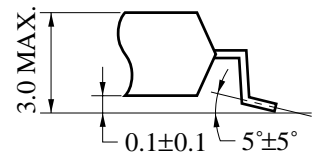
- 注 1 .  $t_{ACC}$ の範囲内でリードしたい場合、 $\overline{OE}$ 入力の $\overline{CE}$ の立ち下がりからの遅れ時間は最大 $t_{ACC} - t_{OE}$ としてください。
- 2 .  $t_{DF}$ は $\overline{OE}$ 、 $\overline{CE}$ のどちらか最初に $V_{IH}$ となった状態からの時間です。

9. 外形図

100ピン・プラスチック QFP (14×20) 外形図 (単位: mm)



端子先端形状詳細図



P100GF-65-3BA1-3

備考 ES品の外形や材質は、量産品と同じです。

10. 半田付け推奨条件

μPD78P4908の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「**半導体デバイス実装マニュアル**」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表10 - 1 表面実装タイプの半田付け条件

μPD78P4908GF-3BA：100ピン・プラスチックQFP（14×20mm）

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内 制限日数：7日間 <sup>注</sup> （以降は125℃プリバーク20時間必要） <b>留意事項</b> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-207-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：2回以内 制限日数：7日間 <sup>注</sup> （以降は125℃プリバーク20時間必要） <b>留意事項</b> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-207-2
ウェーブ・ソルダーリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回， 予備加熱温度：120℃MAX.（パッケージ表面温度） 制限日数：7日間 <sup>注</sup> （以降は125℃プリバーク20時間必要） <b>留意事項</b> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	WS60-207-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管制限日数で保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

## 付録A．開発ツール

μPD78P4908を使用するシステム開発のために、次のような開発ツールを用意しています。

(5) 開発ツールを使用する際の注意も参照してください。

## (1) 言語処理用ソフトウェア

RA78K4	78K/ シリーズ共通のアセンブラ・パッケージ
CC78K4	78K/ シリーズ共通のCコンパイラ・パッケージ
DF784908	μPD784908サブシリーズ用デバイス・ファイル
CC78K4-L	78K/ シリーズ共通のCコンパイラ・ライブラリ・ソース・ファイル

## (2) PROM書き込み用ツール

PG-1500	PROMプログラマ
PA-78P4908GF	PG-1500に接続するプログラマ・アダプタ
PG-1500コントローラ	PG-1500用コントロール・プログラム

## (3) デバッグ用ツール

・インサーキット・エミュレータ IE-78K4-NSを使用する場合

IE-78K4-NS	78K/ シリーズ共通のインサーキット・エミュレータ
IE-70000-MC-PS-B	IE-78K4-NS 電源ユニット
★ IE-70000-98-IF-C	ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときに必要なインタフェース・アダプタ(Cバス対応)
★ IE-70000-CD-IF-A	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとケーブル(PCMCIAソケット対応)
★ IE-70000-PC-IF-C	ホスト・マシンとしてIBM PC/AT™互換機を使用するときに必要なインタフェース・アダプタ(ISAバス対応)
★ IE-70000-PCI-IF	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタ
IE-784908-NS-EM1	μPD784908サブシリーズをエミュレーションするためのエミュレーション・ボード
NP-100GF <sup>注</sup>	100ピン・プラスチックQFP(GF-3BAタイプ)用エミュレーション・プローブ
EV-9200GF-100	100ピン・プラスチックQFP(GF-3BAタイプ)用に作られたターゲット・システムの基板上に実装するソケット。LCC方式の場合に使用します。
ID78K4-NS	IE-78K4-NS用統合デバッグ
SM78K4	78K/ シリーズ共通のシステム・シミュレータ
DF784908	μPD784908サブシリーズ用デバイス・ファイル

注 開発中

・インサーキット・エミュレータ IE-784000-Rを使用する場合

IR-784000-R	78K/ シリーズ共通のインサーキット・エミュレータ
★ IE-70000-98-IF-C	ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときに必要なインタフェース・アダプタ(Cバス対応)
★ IE-70000-PC-IF-C	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なインタフェース・アダプタ(ISAバス対応)
★ IE-70000-PCI-IF	ホスト・マシンとしてPCIを内蔵したパソコンを使用するときに必要なアダプタ
IE-78000-R-SV3	ホスト・マシンとしてEWSを使用するときのインタフェース・アダプタとケーブル
IE-784908-NS-EM1 IE-784908-R-EM1	μPD784908サブシリーズをエミュレーションするためのエミュレーション・ボード
IE-784000-R-EM	78K/ シリーズ共通のエミュレーション・ボード
IE-78K4-R-EX2	IE-784908-NS-EM1をIE-784000-R上で使用するときに必要なエミュレーション・プローブ変換ボード。IE-784908-R-EM1を使用するときはありません。
EP-78064-GF-R	100ピン・プラスチックQFP(GF-3BAタイプ)用エミュレーション・プローブ
EV-9200GF-100	100ピン・プラスチックQFP(GF-3BAタイプ)用に作られたターゲット・システムの基板上に実装するソケット。
ID78K4	IE-784000-R用統合ディバッガ
SM78K4	78K/ シリーズ共通のシステム・シミュレータ
DF784908	μPD784908サブシリーズ用デバイス・ファイル

(4)リアルタイムOS

RX78K/	78K/ シリーズ用リアルタイムOS
MX78K4	78K/ シリーズ用OS

( 5 ) 開発ツールを使用する際の注意

- ・ ID78K4-NS, ID78K4, SM78K4は , DF784908と組み合わせて使用します。
- ・ CC78K4, RX78K/ は , RA78K4およびDF784908と組み合わせて使用します。
- ・ NP-100GFは , 株式会社内藤電誠町田製作所 ( TEL ( 044 ) 822-3813 ) の製品です。ご購入の際は , NEC特約店にご相談ください。
- ・ 各ソフトウェアに対応するホスト・マシンとOSは次のとおりです。

ホスト・マシン [ OS ]	PC	EWS
	ソフトウェア	PC-9800シリーズ [ Windows™ ] IBM PC/AT互換機 [ 日本語 / 英語Windows ]
RA78K4	注	
CC78K4	注	
PG-1500コントローラ	注	-
ID78K4-NS		-
ID78K4		
SM78K4		-
RX78K/	注	
MX78K4	注	

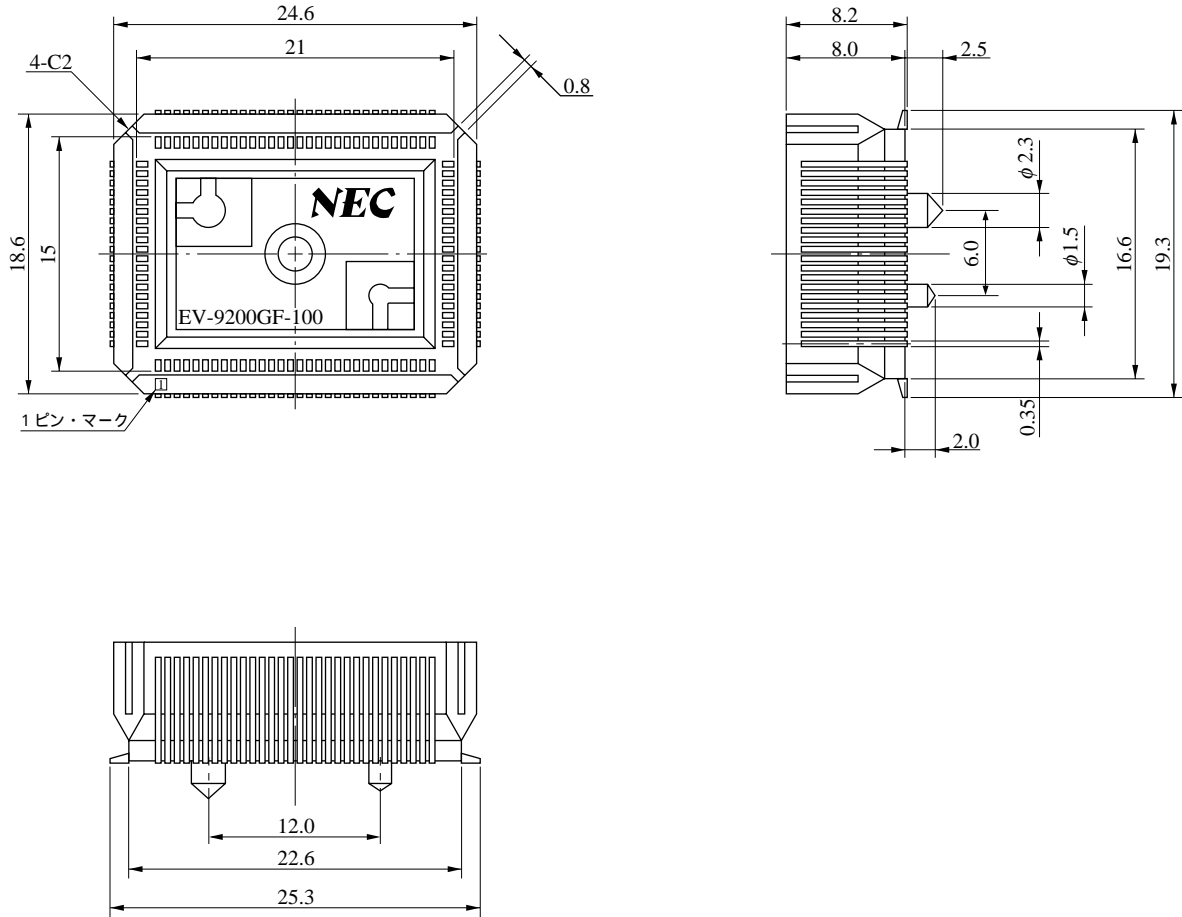
注 DOSベースのソフトウェアです。



付録B．変換ソケット（EV-9200GF-100）の外形図

μPD78P4908GF-3BA（100ピン・プラスチックQFP（14×20mm））はEV-9200GF-100と組み合わせて基板に実装します。

図B - 1 EV-9200GF-100 外形図（参考）（単位：mm）



EV-9200GF-100-G0



付録C . 関連資料

デバイスの関連資料

資料名	資料番号	
	和文	英文
μPD784907, 784908 データ・シート	U11680J	U11680E
μPD78P4908 データ・シート	この資料	U11681E
μPD784908サブシリーズ ユーザーズ・マニュアル ハードウェア編	U11787J	U11787E
μPD784908サブシリーズ 特殊機能レジスタ活用表	U11589J	-
78K/ シリーズ ユーザーズ・マニュアル 命令編	U10905J	U10905E
78K/ シリーズ インストラクション活用表	U10594J	-
78K/ シリーズ インストラクション・セット	U10595J	-
78K/ シリーズ アプリケーション・ノート ソフトウェア基礎編	U10095J	U10095E

開発ツールの資料 (ユーザーズ・マニュアル)

資料名	資料番号		
	和文	英文	
RA78K4 アセンブラ・パッケージ	操作編	U11334J	U11334E
	言語編	U11162J	U11162E
RA78Kシリーズ 構造化アセンブラ・プリプロセッサ	U11743J	U11743E	
CC78K4 Cコンパイラ	操作編	U11572J	U11572E
	言語編	U11571J	U11571E
PG-1500 PROMプログラマ	U11940J	U11940E	
PG-1500コントローラ PC-9800シリーズ (MS-DOS™) ベース	EEU-704	EEU-1291	
PG-1500コントローラ IBM PCシリーズ (PC DOS™) ベース	EEU-5008	U10540E	
★ IE-78K4-NS	U13356J	U13356E	
IE-784000-R	U12903J	U12903E	
IE-784908-R-EM1	U11876J	-	
★ IE-784908-NS-EM1	U13743J	作成中	
EP-78064	EEU-934	EEU-1469	
SM78K4 システム・シミュレータ Windowsベース	レファレンス編	U10093J	U10093E
SM78Kシリーズ システム・シミュレータ	外部部品ユーザオープン インタフェース仕様編	U10092E	U10092E
ID78K4-NS 統合ディバग्ガ PCベース	レファレンス編	U12796J	U12796E
ID78K4 統合ディバग्ガ Windowsベース	レファレンス編	U10440J	U10440E
ID78K4 統合ディバग्ガ HP-UX SunOS NEWS-OSベース	レファレンス編	U11960J	U11960E

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

## 組み込み用ソフトウェアの資料 (ユーザーズ・マニュアル)

資 料 名		資 料 番 号	
		和 文	英 文
78K/ シリーズ リアルタイムOS	基礎編	U10603J	U10603E
	インストール編	U10604J	U10604E
	ディバッガ編	U10364J	-
78K/ シリーズ用OS MX78K4	基礎編	U11779J	-

## その他の資料

★	資 料 名		資 料 番 号	
			和 文	英 文
	NEC IC Package Manual ( CD-ROM )		-	C13388E
	半導体デバイス 実装マニュアル		C10535J	C10535E
	NEC半導体デバイスの品質水準		C11531J	C11531E
	NEC半導体デバイスの信頼性品質管理		C10983J	C10983E
	静電気放電 ( ESD ) 破壊対策ガイド		C11892J	C11892E
	半導体 品質 / 信頼性ハンドブック		C12769J	-
	マイクロコンピュータ関連製品ガイド 社外メーカ編		U11416J	-

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

## CMOSデバイスの一般的注意事項

**静電気対策（MOS全般）**

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

**未使用入力の処理（CMOS特有）**

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV<sub>DD</sub>またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

**初期化以前の状態（MOS全般）**

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

IEBusは、日本電気株式会社の商標です。

MS-DOSおよびWindowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/AT、PC DOSは、米国IBM社の商標です。

HP9000シリーズ700、HP-UXは、米国ヒューレット・パッカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

本製品が外国為替および外国貿易管理法の規定による戦略物資等（または役務）に該当するか否かは、ユーザー（仕様を決定した者）が判定してください。

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

文書による当社の承諾なしに本資料の転載複製を禁じます。  
 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。  
 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。  
 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。  
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器  
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等  
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。  
 この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせ先 —

**【技術的なお問い合わせ先】**

NEC半導体テクニカルホットライン（インフォメーションセンター）  
 （電話：午前 9:00～12:00、午後 1:00～5:00）

電話 : 044-548-8899  
 FAX : 044-548-7900  
 E-mail : s-info@saed.tmg.nec.co.jp

**【営業関係お問い合わせ先】**

半導体第一販売事業部	〒108-8001	東京都港区芝5-7-1	(日本電気本社ビル)						
半導体第二販売事業部									(03)3454-1111
半導体第三販売事業部									
中部支社	半導体第一販売部	〒460-8525	愛知県名古屋市中区錦1-17-1	(日本電気中部ビル)					(052)222-2170
	半導体第二販売部								(052)222-2190
関西支社	半導体第一販売部	〒540-8551	大阪府大阪市中央区城見1-4-24	(日本電気関西ビル)					(06) 945-3178
	半導体第二販売部								(06) 945-3200
	半導体第三販売部								(06) 945-3208
北海道支社	札幌	(011)251-5599	宇都宮支店	宇都宮	(028)621-2281	北陸支社	金沢	(076)232-7303	
東北支社	仙台	(022)267-8740	小山支店	小山	(0285)24-5011	京都支社	京都	(075)344-7824	
岩手支店	盛岡	(019)651-4344	甲府支店	甲府	(0552)24-4141	神戸支社	神戸	(078)333-3854	
郡山支店	郡山	(0249)23-5511	長野支社	松本	(0263)35-1662	中国支社	広島	(082)242-5504	
いわき支店	いわき	(0246)21-5511	静岡支社	静岡	(054)254-4794	鳥取支店	鳥取	(0857)27-5311	
長岡支店	長岡	(0258)36-2155	立川支社	立川	(042)526-5981,6167	岡山支店	岡山	(086)225-4455	
水戸支店	水戸	(029)226-1717	埼玉支社	大宮	(048)649-1415	松山支店	松山	(089)945-4149	
土浦支店	土浦	(0298)23-6161	千葉支社	千葉	(043)238-8116	九州支社	福岡	(092)261-2806	
群馬支店	高崎	(027)326-1255	神奈川支社	横浜	(045)682-4524				
太田支店	太田	(0276)46-4011	三重支店	津	(059)225-7341				