

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



16ビット・シングルチップ・マイクロコンピュータ

μ PD78P372(A)は、 μ PD78372(A)の内部マスクROMをワン・タイムPROMに置き換えた製品です。ワン・タイムPROM製品は、一度だけ書き込みが可能で、セットの多品種少量生産や早期立ち上げに有効です。

なお、機能評価用としてのみ使用可能な製品として、EPROM製品である μ PD78P372KL-Sも用意しております。 μ PD78P372KL-Sの詳細は、付録A・ μ PD78P372KL-Sを参照してください。

詳しい機能説明などは次のユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD78372 ユーザズ・マニュアル ハードウェア編 : U10642J

μ PD78356 ユーザズ・マニュアル 命令編 : IEU-853

特 徴

μ PD78372(A) コンパチブル

・量産時にはマスクROM内蔵の μ PD78372(A)に置き換え可能

内部PROM : 24 Kバイト

・一度だけ書き込み可能(窓なしワン・タイムPROM製品)

ECC回路内蔵

・内部PROM内容の高信頼性が可能

PROMプログラミング特性 : μ PD27C1001Aコンパチブル

QTOP™マイコン対応

備考 QTOPマイコンとは、NECの書き込みサービス(書き込みから捺印、スクリーニング、検査)によりトータル・サポートされたワン・タイムPROM内蔵マイコンの総称です。

この資料では、 μ PD78P372(A)のほかに、 μ PD78P372(A1)、78P372(A2)についても説明しています。ただし、特に違いがないかぎり μ PD78P372(A)を代表製品として説明しています。

本資料の内容は、後日変更する場合があります。

オーダ情報

オーダ名称	パッケージ	内部ROM
μ PD78P372GC (A) -3B9	80ピン・プラスチック QFP (14 mm)	ワン・タイムPROM
μ PD78P372GC (A) -x x x -3B9	"	" (QTOPマイコン)
μ PD78P372GC (A1) -3B9	"	ワン・タイムPROM
μ PD78P372GC (A1) -x x x -3B9	"	" (QTOPマイコン)
μ PD78P372GC (A2) -3B9	"	ワン・タイムPROM
μ PD78P372GC (A2) -x x x -3B9	"	" (QTOPマイコン)
μ PD78P372GF (A) -3B9	80ピン・プラスチック QFP (14x20 mm)	ワン・タイムPROM
μ PD78P372GF (A) -x x x -3B9	"	" (QTOPマイコン)
μ PD78P372GF (A1) -3B9	"	ワン・タイムPROM
μ PD78P372GF (A1) -x x x -3B9	"	" (QTOPマイコン)
μ PD78P372GF (A2) -3B9	"	ワン・タイムPROM
μ PD78P372GF (A2) -x x x -3B9	"	" (QTOPマイコン)

備考 x x x はROMコード番号です。

品質水準

特別 (高信頼度電子機器用)

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J) をご覧ください。

μ PD78P372 (A) , 78P372 (A1) , 78P372 (A2) の違い

品 名	μ PD78P372 (A)	μ PD78P372 (A1)	μ PD78P372 (A2)
項 目			
動作周囲温度 (T _A)	- 40 ~ + 85	- 40 ~ + 110	- 40 ~ + 125
動作周波数	8 ~ 25 MHz	8 ~ 20 MHz	
最小命令実行時間	160 ns (外部クロック25 MHz 動作時)	200 ns (外部クロック20 MHz動作時)	
DC特性	アナログ端子入力リーク電流 , V _{DD} 電源電流 , データ保持電流が異なります。		
AC特性	バス・タイミングが異なります。		

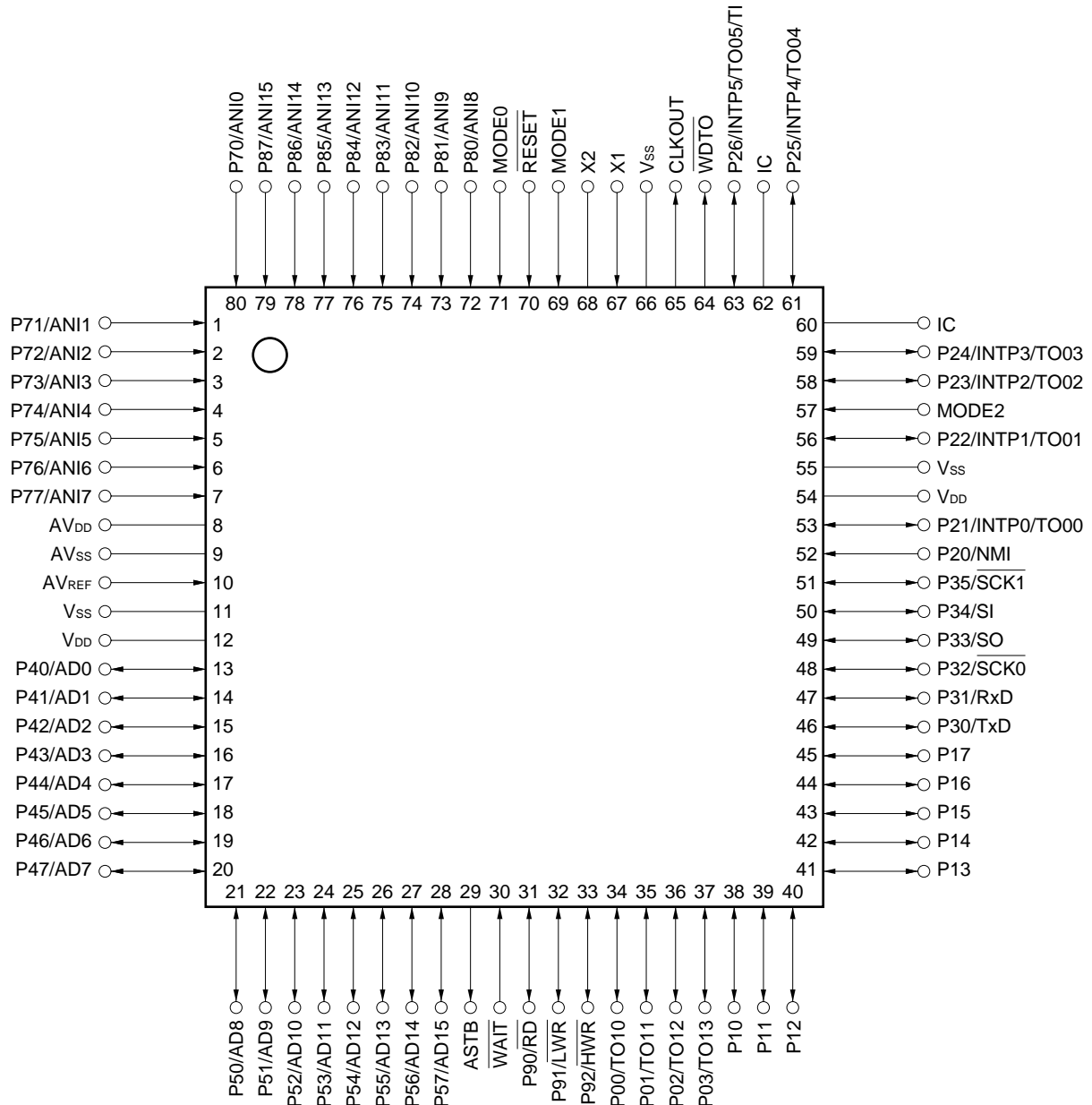
端子接続図 (Top View)

(1) 通常動作モード (MODE0 = L, MODE1 = L)

・ 80ピン・プラスチックQFP (14mm)

μPD78P372GC (A) -3B9, 78P372GC (A1) -3B9, 78P372GC (A2) -3B9

μPD78P372GC (A) - x x x -3B9, 78P372GC (A1) - x x x -3B9, 78P372GC (A2) - x x x -3B9



注意 IC端子はV_{SS}に直接接続してください。

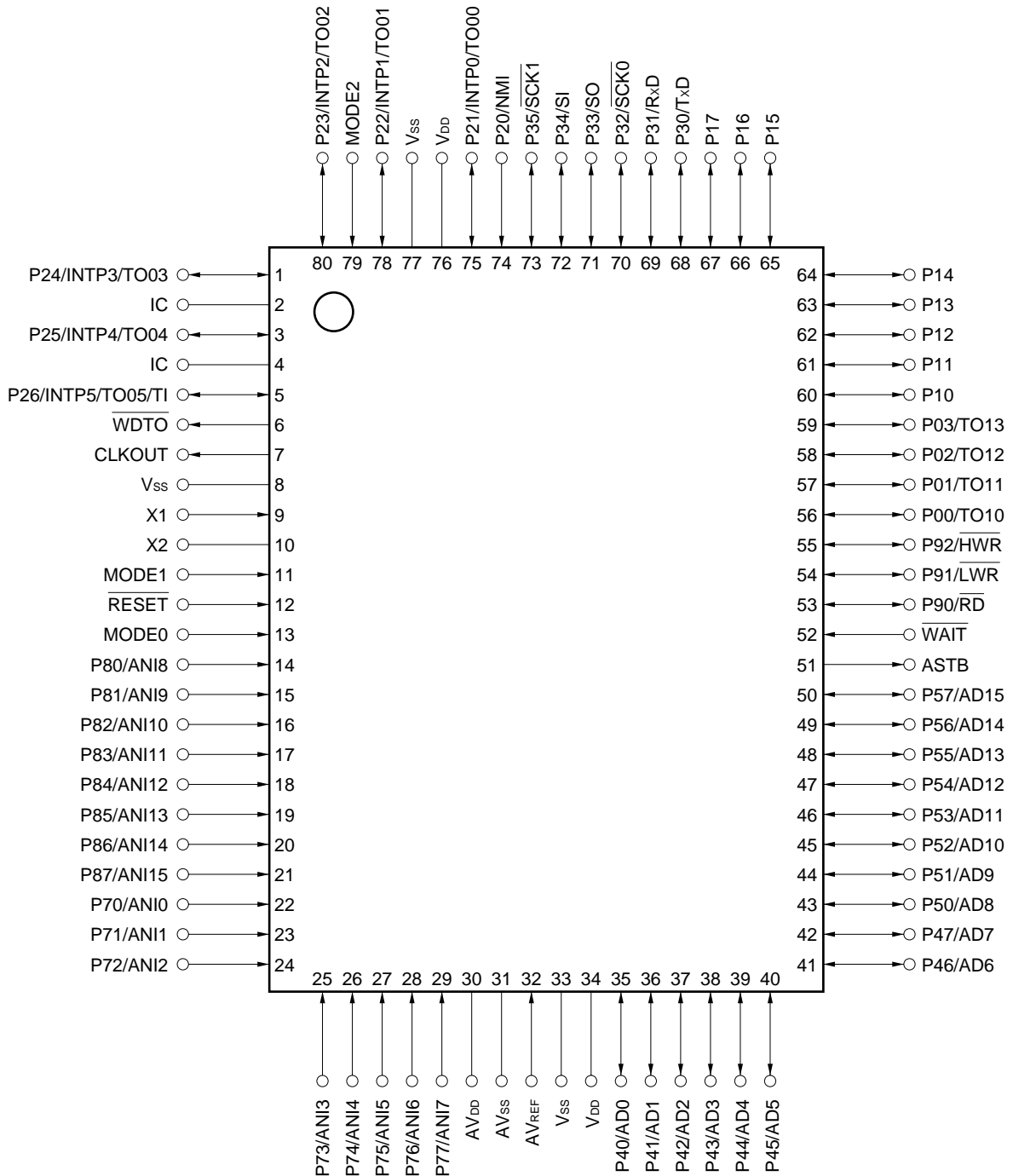
備考 1 . x x xはROMコード番号です。

2 . μPD78372GC (A) , (A1) , (A2) とピン・コンパチブルです。

・ 80ピン・プラスチックQFP (14×20 mm)

μPD78P372GF (A) -3B9, 78P372GF (A1) -3B9, 78P372GF (A2) -3B9

μPD78P372GF (A) - x x x -3B9, 78P372GF (A1) - x x x -3B9, 78P372GF (A2) - x x x -3B9



注意 IC端子は V_{SS} に直接接続してください。

備考 1 . x x x はROMコード番号です。

2 . μPD78372GF (A) , (A1) , (A2) とピン・コンパチブルです。

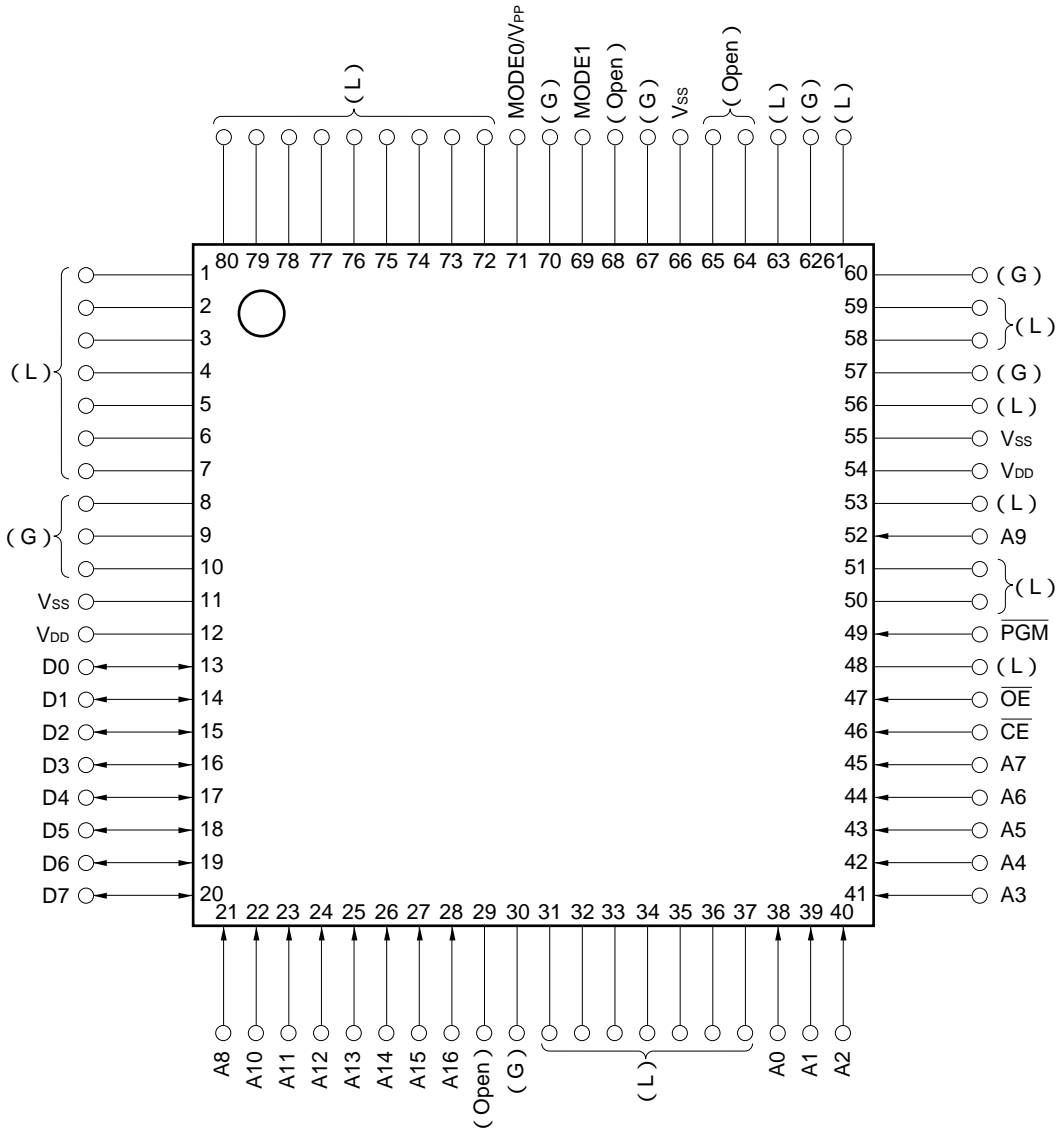
P00-P03	: Port0	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$: Serial Clock
P10-P17	: Port1	$\overline{\text{WDTO}}$: Watchdog Timer Output
P20-P26	: Port2	MODE0-MODE2	: Mode
P30-P35	: Port3	AD0-AD15	: Address/Data Bus
P40-P47	: Port4	ASTB	: Address Strobe
P50-P57	: Port5	$\overline{\text{RD}}$: Read Strobe
P70-P77	: Port7	$\overline{\text{LWR}}$: Low Address Write Strobe
P80-P87	: Port8	$\overline{\text{HWR}}$: High Address Write Strobe
P90-P92	: Port9	$\overline{\text{WAIT}}$: Wait
NMI	: Nonmaskable Interrupt	CLKOUT	: Clock Output
INTP0-INTP5	: Interrupt From Peripherals	$\overline{\text{RESET}}$: Reset
TO00-TO05	: } Timer Output	X1, X2	: Crystal
TO10-TO13	: }	AV_{DD}	: Analog V_{DD}
TI	: Timer Input	AV_{SS}	: Analog V_{SS}
ANI0-ANI15	: Analog Input	AV_{REF}	: Analog Reference Voltage
TxD	: Transmit Data	V_{DD}	: Power Supply
RxD	: Receive Data	V_{SS}	: Ground
SI	: Serial Input	IC	: Internally Connected
SO	: Serial Output		

(2) PROMプログラミング・モード (MODE0/V_{PP} = +5V, MODE1 = G)

・80ピン・プラスチックQFP (14 mm)

μPD78P372GC (A) -3B9, 78P372GC (A1) -3B9, 78P372GC (A2) -3B9

μPD78P372GC (A) - x x x -3B9, 78P372GC (A1) - x x x -3B9, 78P372GC (A2) - x x x -3B9



注意 ()内は, PROMプログラミング・モードでは使用しない端子の処理です。

L : 個別に抵抗を介して, V_{ss}に接続してください。

G : V_{ss}に接続してください。

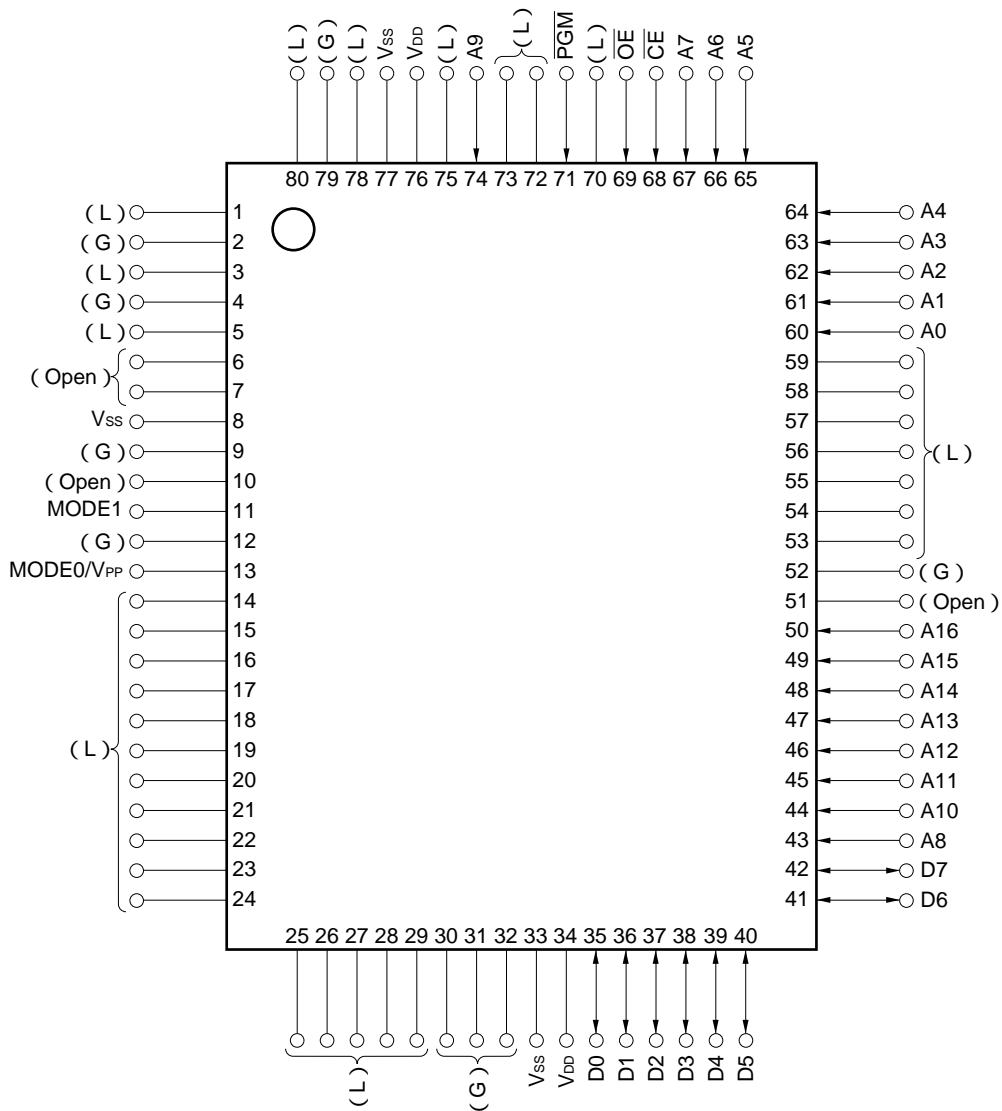
Open : 何も接続しないでください。

備考 x x xはROMコード番号です。

・ 80ピン・プラスチックQFP (14×20 mm)

μPD78P372GF (A) -3B9, 78P372GF (A1) -3B9, 78P372GF (A2) -3B9

μPD78P372GF (A) - x x x -3B9, 78P372GF (A1) - x x x -3B9, 78P372GF (A2) - x x x -3B9



注意 () 内は, PROMプログラミング・モードでは使用しない端子の処理です。

L : 個別に抵抗を介して, V_{SS}に接続してください。

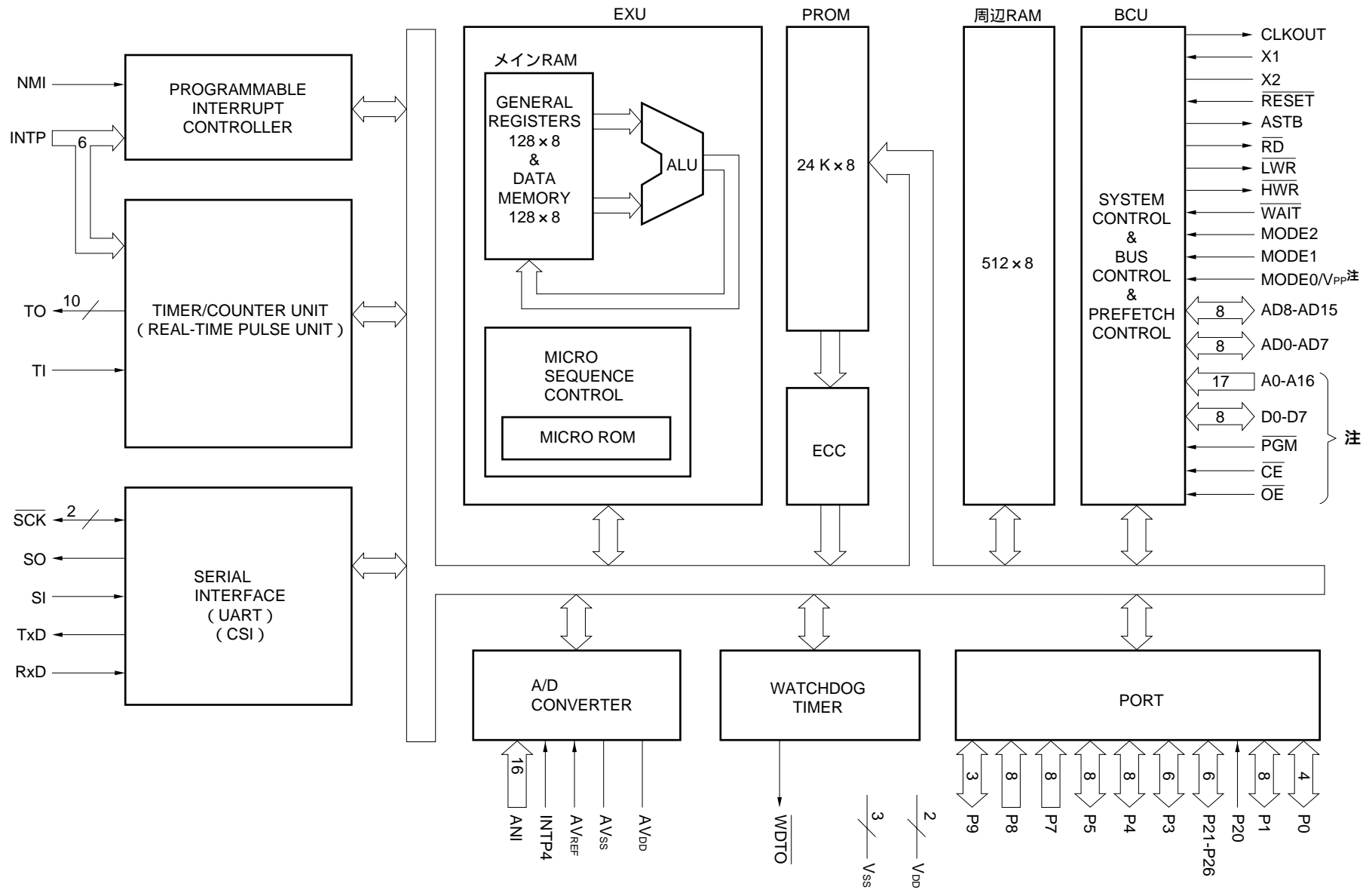
G : V_{SS}に接続してください。

Open : 何も接続しないでください。

備考 x x x はROMコード番号です。

A0-A16	: Address Bus	MODE0, MODE1	: Programming Mode Set
D0-D7	: Data Bus	V _{DD}	: Power Supply
$\overline{\text{CE}}$: Chip Enable	V _{SS}	: Ground
$\overline{\text{OE}}$: Output Enable	V _{PP}	: Programming Power Supply
$\overline{\text{PGM}}$: Programming Mode		

保守/廃止



注 PROMプログラミング・モード時

目 次

1 . 端子機能	... 10
1.1 通常動作モード (MODE0 = L, MODE1 = L)	... 10
1.2 PROMプログラミング・モード (MODE0/V _{PP} = H, MODE1 = L)	... 12
1.3 端子の入出力回路と未使用端子の処理	... 13
2 . μ PD78P372 (A) と μ PD78372 (A) の違い	... 15
3 . PROMのプログラミング	... 16
3.1 動作モード	... 17
3.2 PROM書き込みの手順 (ページ・プログラム・モード)	... 18
3.3 PROM書き込みの手順 (バイト・プログラム・モード)	... 20
3.4 PROM読み出しの手順	... 23
4 . ワン・タイムPROM製品のスクリーニングについて	... 23
5 . 電気的特性	... 24
6 . 外形図	... 64
7 . 半田付け推奨条件	... 66
付録A . μ PD78P372KL-S	... 67
A.1 消去特性	... 71
A.2 消去用窓のシールについて	... 71
A.3 外形図	... 72
付録B . ツール	... 73
B.1 開発ツール	... 73
B.2 組み込み用ソフトウェア	... 78
付録C . 変換ソケットの外形図と基板取り付け推奨パターン	... 80

1. 端子機能

1.1 通常動作モード (MODE0 = L, MODE1 = L)

(1) ポート端子

端子名称	入出力	機 能	兼用端子
P00-P03	入出力	ポート 0 4ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	TO10-TO13
P10-P17	入出力	ポート 1 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	-
P20	入 力	ポート 2	NMI
P21	入出力	7ビット入出力ポート	INTP0/TO00
P22		1ビット単位で入力 / 出力の指定が可能	INTP1/TO01
P23		(ただし, P20/NMIを除く)	INTP2/TO02
P24			INTP3/TO03
P25			INTP4/TO04
P26			INTP5/TO05/TI
P30	入出力	ポート 3	TxD
P31		6ビット入出力ポート	RxD
P32		1ビット単位で入力 / 出力の指定が可能	SCK0
P33			SO
P34			SI
P35			SCK1
P40-P47	入出力	ポート 4 8ビット入出力ポート 8ビット単位で入力 / 出力の指定が可能	AD0-AD7
P50-P57	入出力	ポート 5 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	AD8-AD15
P70-P77	入 力	ポート 7 8ビット入力専用ポート	ANI0-ANI7
P80-P87	入 力	ポート 8 8ビット入力専用ポート	ANI8-ANI15
P90	入出力	ポート 9	$\overline{\text{RD}}$
P91		3ビット入出力ポート	$\overline{\text{LWR}}$
P92		1ビット単位で入力 / 出力の指定が可能	$\overline{\text{HWR}}$

(2) ポート以外の端子 (1/2)

端子名称	入出力	機能	兼用端子
NMI	入 力	ノンマスクابل割り込み要求入力	P20
INTP0		外部割り込み要求入力	P21/TO00
INTP1			P22/TO01
INTP2			P23/TO02
INTP3			P24/TO03
INTP4			P25/TO04
INTP5			P26/TO05/TI
TI	入 力		タイマ 1 への外部カウント・クロック入力
TO00	出 力	リアルタイム・パルス・ユニット (RPU) からのタイマ出力	P21/INTP0
TO01			P22/INTP1
TO02			P23/INTP2
TO03			P24/INTP3
TO04			P25/INTP4
TO05			P26/INTP5/TI
TO10-TO13			P00-P03
ANI0-ANI7	入 力		A/Dコンバータへのアナログ入力
ANI8-ANI15		P80-P87	
TxD	出 力	アシンクロナス・シリアル・インタフェースのシリアル・データ出力	P30
RxD	入 力	アシンクロナス・シリアル・インタフェースのシリアル・データ入力	P31
SCK0	入出力	アシンクロナス・シリアル・インタフェースのCSIモードでのシリアル・クロック入出力	P32
SCK1		クロック同期式シリアル・インタフェースのシリアル・クロック入出力	P35
SI	入 力	クロック同期式シリアル・インタフェースのシリアル・データ入力	P34
SO	出 力	クロック同期式シリアル・インタフェースのシリアル・データ出力	P33
WDTO	出 力	ウォッチドッグ・タイマがオーバフロー (ノンマスクابل割り込みを発生) したことを示す信号出力	-
AD0-AD7	入出力	外部にメモリを拡張する場合の下位 8 ビットのマルチプレクスト・アドレス / データ・バス	P40-P47
AD8-AD15		<ul style="list-style-type: none"> ・外部 8 ビット・バス指定時 外部にメモリを拡張する場合の上位 8 ビットのアドレス・バス。外部アドレス空間によってアドレス・バスとして使用する端子数が異なります。 ・外部 16 ビット・バス指定時 外部にメモリを拡張する場合の上位 8 ビットのマルチプレクスト・アドレス / データ・バス 	P50-P57
ASTB	出 力	外部メモリをアクセスするために、AD0-AD15端子から出力されるアドレス情報を外部でラッチするタイミング信号出力	-
RD		外部メモリへのリード・ストロープ信号出力	P90

(2) ポート以外の端子 (2/2)

端子名称	入出力	機能	兼用端子
LWR	出力	・外部 8 ビット・バス指定時 外部メモリへのライト・ストロープ信号出力 ・外部16ビット・バス指定時 下位 8 ビットに配置された外部メモリへのライト・ストロープ信号出力	P91
HWR		・外部 8 ビット・バス指定時 汎用ポート ・外部16ビット・バス指定時 上位 8 ビットに配置された外部メモリへのライト・ストロープ信号出力	P92
WAIT	入力	バス・サイクルにウエイトをかけるための制御信号入力	-
MODE0		動作モードを設定するための制御信号入力。通常は、MODE0, MODE1をともに	-
MODE1		V _{SS} に接続。	-
MODE2		HALTモード、STOPモードの許可 / 禁止を制御する信号入力。通常はV _{SS} に接続。	-
CLKOUT	出力	システム・クロック出力	-
RESET	入力	システム・リセット入力	-
X1	入力	システム・クロック発振用クリスタル接続端子。外部からクロックを供給する場合は、X1端子に入力し、X2端子はオープン。	-
X2	-		-
AV _{REF}	入力	A/Dコンバータ用基準電圧入力	-
AV _{DD}	-	A/Dコンバータ用アナログ電源	-
AV _{SS}	-	A/Dコンバータ用GND	-
V _{DD}	-	正電源	-
V _{SS}	-	GND	-
IC	-	内部接続端子。V _{SS} に直接接続してください。	-

1.2 PROMプログラミング・モード (MODE0/V_{PP} = H, MODE1 = L)

端子名称	入出力	機能
MODE0/V _{PP}	入力	PROMプログラミング・モード設定 / 書き込み電源
MODE1	入力	PROMプログラミング・モード設定
A0-A16	入力	アドレス・バス
D0-D7	入出力	データ・バス
PGM	入力	プログラム入力
CE	入力	PROMイネーブル入力
OE	入力	PROMへのリード・ストロープ
V _{DD}	-	正電源
V _{SS}	-	GND

注意 MODE0/V_{PP}, MODE1端子は、V_{DD}またはV_{SS}に直接接続してください。

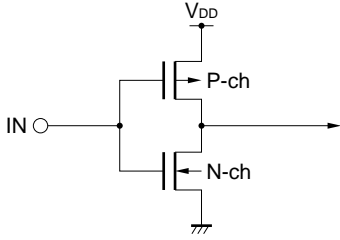
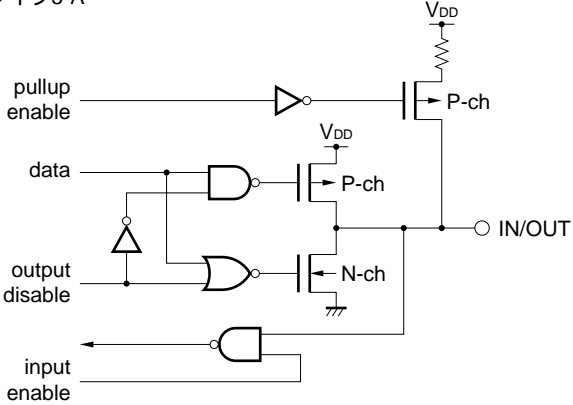
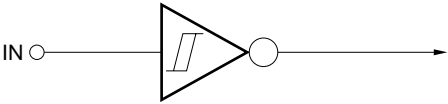
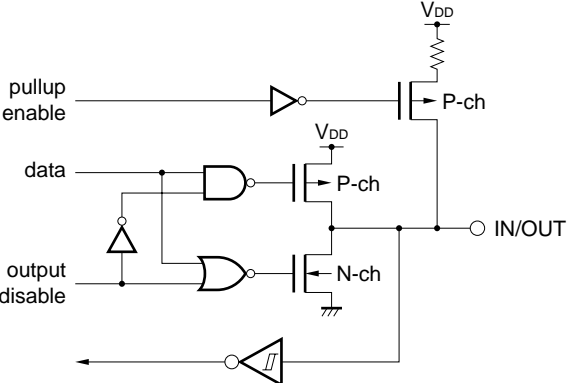
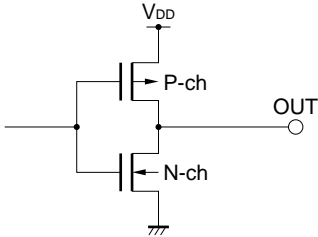
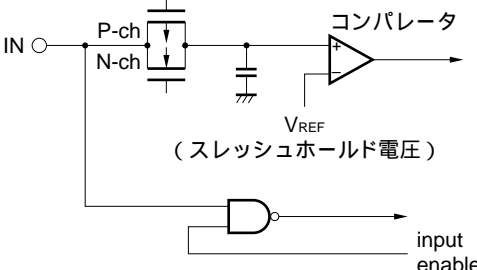
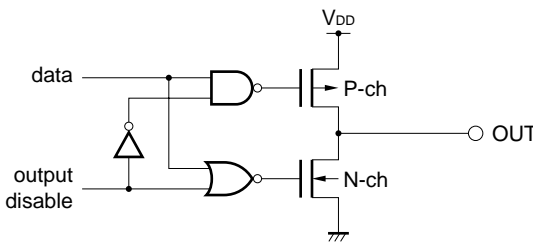
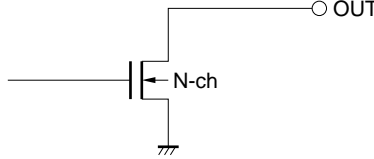
1.3 端子の入出力回路と未使用端子の処理

表 1 - 1 は、各端子の入出力回路タイプと、未使用時の処理方法を示します。また、図 1 - 1 は各タイプの回路です。

表 1 - 1 端子の入出力回路タイプと未使用時の推奨接続方法

端 子	入出力回路タイプ	推奨接続方法
P00/TO10-P03/TO13	5-A	入力状態：個別に抵抗を介して、V _{DD} またはV _{SS} に接続 出力状態：オープン
P10-P17		
P20/NMI	2	V _{SS} に接続
P21/INTP0/TO00-P25/INTP4/TO04	8-A	入力状態：個別に抵抗を介して、V _{DD} またはV _{SS} に接続 出力状態：オープン
P26/INTP5/TO05/TI		
P30/TxD	5-A	
P31/RxD		
P32/ $\overline{\text{SCK0}}$	8-A	
P33/SO	5-A	
P34/SI	8-A	
P35/ $\overline{\text{SCK1}}$		
P40/AD0-P47/AD7	5-A	
P50/AD8-P57/AD15		
P70/ANI0-P77/ANI7	9	V _{SS} に接続
P80/ANI8-P87/ANI15		
P90/RD	5-A	入力状態：個別に抵抗を介して、V _{DD} またはV _{SS} に接続 出力状態：オープン
P91/ $\overline{\text{LWR}}$		
P92/ $\overline{\text{HWR}}$		
ASTB	4	オープン
CLKOUT	3	
$\overline{\text{WDTO}}$	19	V _{SS} に接続
$\overline{\text{WAIT}}$	1	V _{DD} に接続
MODE0-MODE2	1	-
$\overline{\text{RESET}}$	2	
AV _{REF} , AV _{SS}	-	V _{SS} に接続
AV _{DD}		V _{DD} に接続
IC		V _{SS} に接続

図 1 - 1 端子入出力回路

<p>タイプ 1</p> 	<p>タイプ5-A</p> 
<p>タイプ 2</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力となっています。</p>	<p>タイプ8-A</p> 
<p>タイプ 3</p> 	<p>タイプ 9</p> 
<p>タイプ 4</p>  <p>出力ハイ・インピーダンス (P-ch, N-chともにオフ) とすることができるプッシュプル出力となっています。</p>	<p>タイプ19</p> 

2 . μPD78P372 (A) と μPD78372 (A) の違い

μPD78P372 (A) は、μPD78372 (A) の内部マスクROMを24 KバイトのPROMに置き換えた製品です。したがって、これら 2 品種の機能は、ROMの仕様による差（たとえば、書き込み、ベリファイなど）を除いてすべて共通となります。両者の違いを表 2 - 1 に示します。

なお、この資料では、PROM仕様の機能について解説しています。その他の機能の詳細については、μPD78372(A) の資料をご覧ください。

表 2 - 1 μPD78P372 (A) と μPD78372 (A) の違い

品 名 項 目	μPD78P372 (A)	μPD78372 (A)
内部プログラム・メモリ (電気的書き込み)	ワン・タイムPROM (一度だけ書き込み可)	マスクROM
ECC回路	あ り	な し
PROMプログラミング端子	あ り	な し
MODE0, MODE1の設定	<ul style="list-style-type: none"> ・通常動作モード時 MODE0, 1 = LL ・プログラミング・モード時 MODE0, 1 = HL ・ROMレス・モード時 (外部16ビット・バス) MODE0, 1 = HH 	<ul style="list-style-type: none"> ・通常動作モード時 MODE0, 1 = LL ・ROMレス・モード時 (外部8ビット・バス) MODE0, 1 = HL (外部16ビット・バス) MODE0, 1 = HH
電気的特性	消費電流などが異なります。	
その他	回路の規模やマスク・レイアウトが異なるため、ノイズ耐量、ノイズ輻射などが異なります。	

注意 1 . PROM製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でPROM製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品 (ES製品でなく) で十分な評価を行ってください。

2 . MODE0, MODE1端子は、V_{DD}またはV_{SS}に直接接続してください。

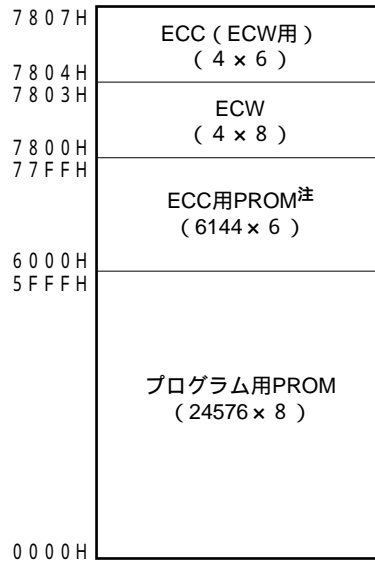
3 . PROMのプログラミング

μPD78P372 (A) は、電気的書き込み可能な24 K× 8 ビットのプログラム用PROMおよび、6 K× 6 ビットのECC (Error Correcting Code) 用PROMを内蔵しています。

ECCは、プログラム用PROMに書き込まれたコードのエラーを訂正し、PROM内容の信頼性を向上させます。

図3 - 1 にプログラミング・モード時のメモリ・マップを示します。

図3 - 1 プログラミング・モード時のメモリ・マップ



注 ECC用PROMでは下位6ビットが有効です。

プログラミングをするときは、MODE0/V_{PP}, MODE1端子を用いてPROMプログラミング・モードに設定します。

μPD78P372 (A) のプログラミング特性は、μPD27C1001Aとコンパチブルです。

また、ECCを使用するときは、ECW (ECCコントロール・ワード) の最下位バイトの最下位ビット (7800.0) をリセットし、ECC回路の動作を許可します。ECWは、ECC回路の動作を制御する4バイトのレジスタです。

ECCおよびECWは、RA78K3アセンブラ・パッケージに付属のECCGEN (ECCジェネレータ) で自動的に生成されます (ECCは下位6ビットに生成され、上位2ビットは“1”に固定されます)。

表3 - 1 プログラミング・モード時の端子機能

機 能	通常動作モード	プログラミング・モード
アドレス入力	P10-P17, P50, P20, P51-P57	A0-A16
データ入力	P40-P47	D0-D7
プログラム・パルス	P33	PGM
チップ・イネーブル	P30	CE
アウトプット・イネーブル	P31	OE
プログラム電圧	MODE0/V _{PP}	
モード制御	MODE1	

3.1 動作モード

プログラミング書き込み / ベリファイ・モードにするときは、MODE0/V_{PP} = H, MODE1 = Lに設定します。このモードでは、さらに \overline{CE} , \overline{OE} , \overline{PGM} 端子の設定を行うことにより、表3 - 2の動作モードを選択することができます。

また、PROMの内容を読み出すときは、読み出しモードに設定します。

なお、未使用端子は、端子接続図の指示に従って処理してください。

表3 - 2 PROMプログラミングの動作モード

モード	MODE1	\overline{CE}	\overline{OE}	\overline{PGM}	MODE0/V _{PP}	V _{DD}	D0-D7
ページ・データ・ラッチ	L	H	L	H	+12.5 V	+6.5 V	データ入力
ページ・プログラム		H	H	L			ハイ・インピーダンス
バイト・プログラム		L	H	L			データ入力
プログラム・ベリファイ		L	L	H			データ出力
プログラム・インヒビット		×	L	L			ハイ・インピーダンス
		×	H	H			
読み出し	L	L	L	H	+5 V	+5 V	データ出力
出力		L	H	×			ハイ・インピーダンス
ディスエーブル							
スタンバイ		H	×	×			ハイ・インピーダンス

備考 × : LまたはH

3.2 PROM書き込みの手順(ページ・プログラム・モード)

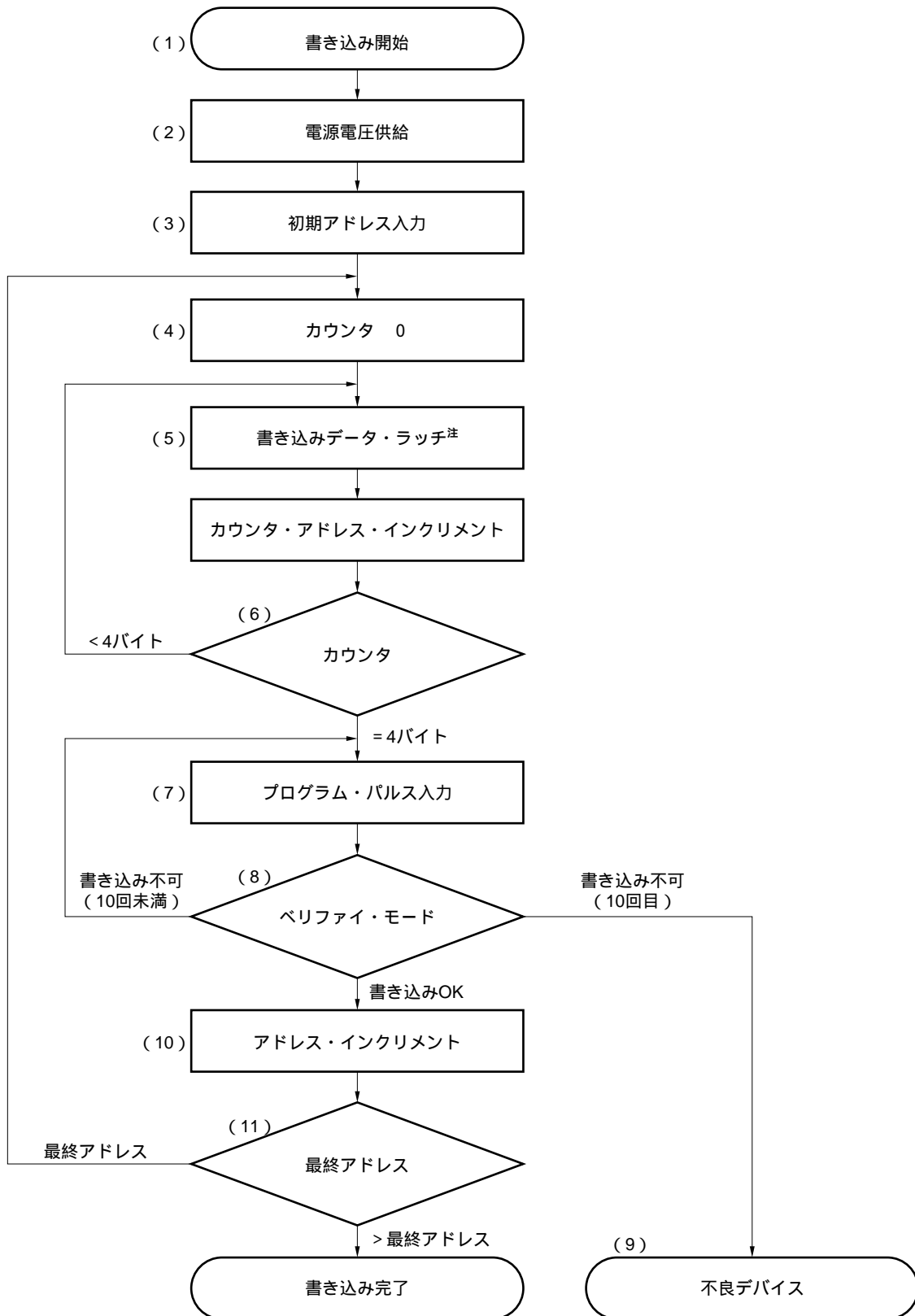
PROMへの書き込み手順は次のとおりです(図3-2参照)。

ページ・プログラム・モードでは必ずページ単位(4バイト)で書き込みを行います。ページ単位に満たない場合は、余りの部分に"FFH"をラッチし、書き込みを行ってください。

- (1) MODE0/V_{PP} = H, MODE1 = Lに固定する。未使用端子は、端子接続図の指示に従って処理する。
- (2) V_{DD}端子に+ 6.5 V, V_{PP}端子には+ 12.5 Vを供給する。
- (3) A0 - A16に初期アドレスを入力する。
- (4) ページ・カウンタをクリアする。
- (5) データ・ラッチ・モード。D0 - D7に書き込みデータを入力し、 $\overline{\text{OE}}$ 端子にアクティブ・ロウのパルスを入力する。アドレスおよびページ・カウンタをインクリメントする。
- (6) (5)を1ページ(4バイト)分繰り返す。
- (7) $\overline{\text{PGM}}$ 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を入力する。
- (8) ベリファイ・モード。書き込みデータが書き込まれたかどうか確認する。
CE端子にロウ・レベルを入力したあと、 $\overline{\text{OE}}$ 端子にアクティブ・ロウのパルスを入力し、D0 - D7から書き込みデータを読み出す。これを1ページ(4バイト)分繰り返す。ベリファイを終了したらCE端子にハイ・レベルを入力する。
 - ・書き込めたとき (10)へ
 - ・書き込めなかったとき (7), (8)を繰り返す。10回繰り返しても書き込めないときは(9)へ。
- (9) 不良デバイスとして書き込み動作を中止する。
- (10) アドレスをインクリメントする。
- (11) (4) ~ (10)を最終アドレスまで繰り返す。

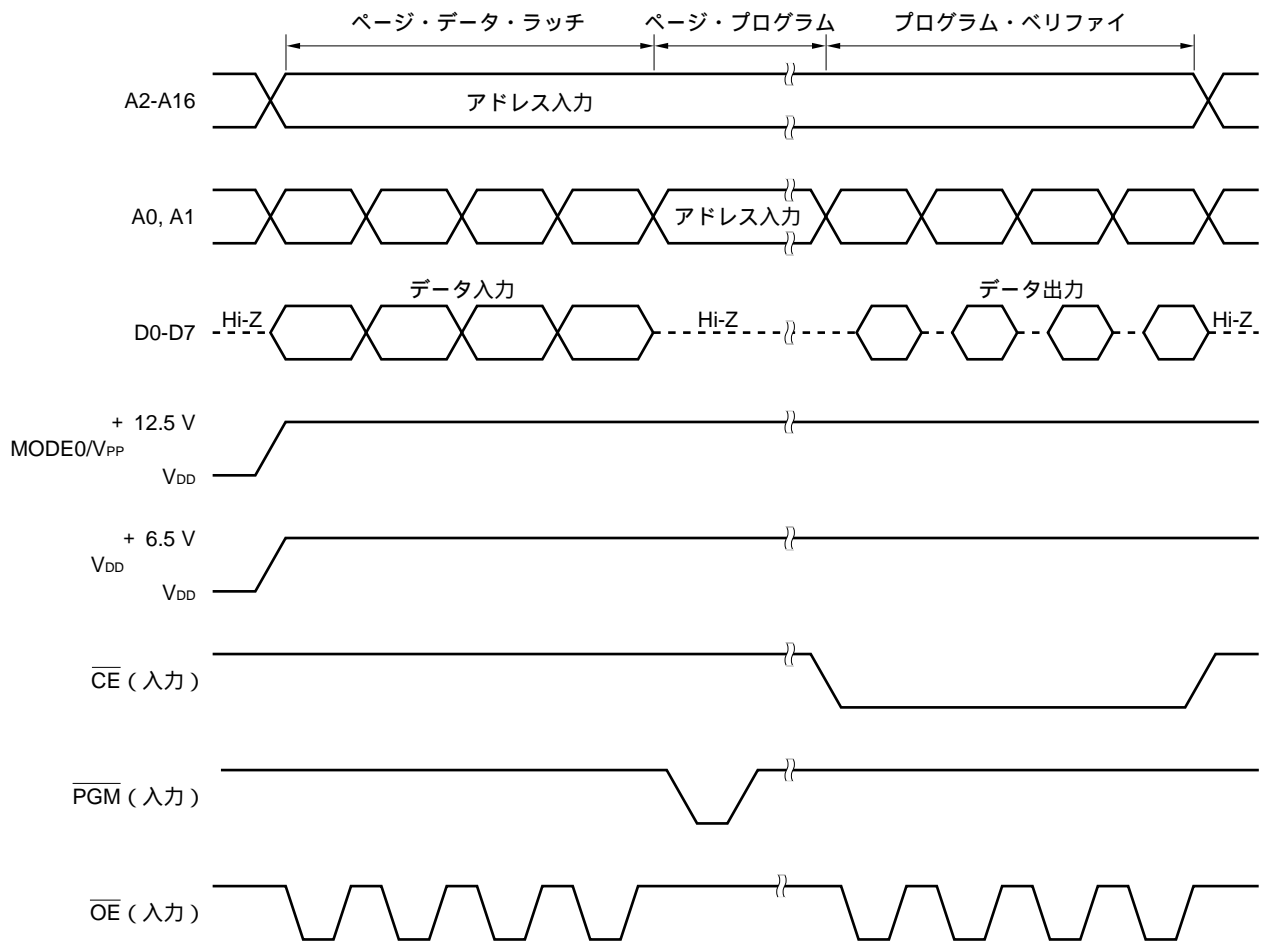
上述の(2) ~ (9)のタイミングを図3-3に示します。

図3-2 書き込み手順フロー・チャート(ページ・プログラム・モード)



注 ページ単位に満たない場合は、余りの部分に"FFH"をラッチする。

図3 - 3 PROMの書き込み/ペリファイ・タイミング(ページ・プログラム・モード)



3.3 PROM書き込みの手順(バイト・プログラム・モード)

PROMへの書き込み手順は次のとおりです(図3 - 4参照)。

- (1) MODE0/V_{PP} = H, MODE1 = Lに固定する。未使用端子は、端子接続図の指示に従って処理する。
- (2) V_{DD}端子に + 6.5 V, MODE0/V_{PP}端子には + 12.5 Vを供給し、 $\overline{\text{CE}}$ 端子にロウ・レベルを入力する。
- (3) A0 - A16に初期アドレスを入力する。
- (4) D0 - D7に書き込みデータを入力する。
- (5) $\overline{\text{PGM}}$ 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を入力する。
- (6) ペリファイ・モード。書き込みデータが書き込まれたかどうか確認する。
 $\overline{\text{OE}}$ 端子にアクティブ・ロウのパルスを入力し、D0 - D7から書き込みデータを読み出す。
 - ・書き込めたとき (8)へ
 - ・書き込めなかったとき (4) ~ (6)を繰り返す。10回繰り返しても書き込めないときは(7)へ。
- (7) 不良デバイスとして書き込み動作を中止する。
- (8) アドレスをインクリメントする。
- (9) (4) ~ (8)を最終アドレスまで繰り返す。

上述の(2) ~ (7)のタイミングを図3 - 5に示します。

図3 - 4 書き込み手順フロー・チャート (バイト・プログラム・モード)

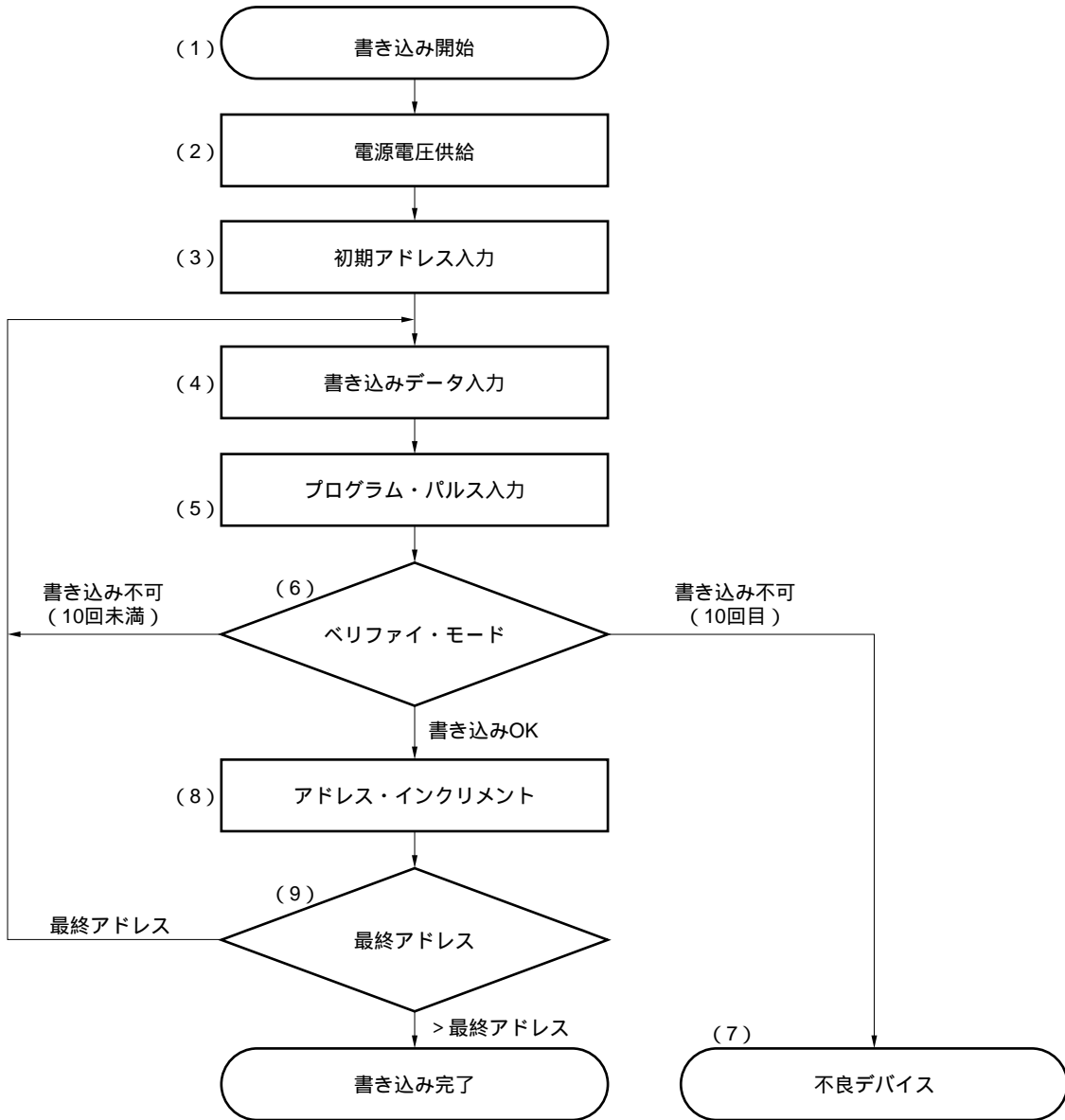
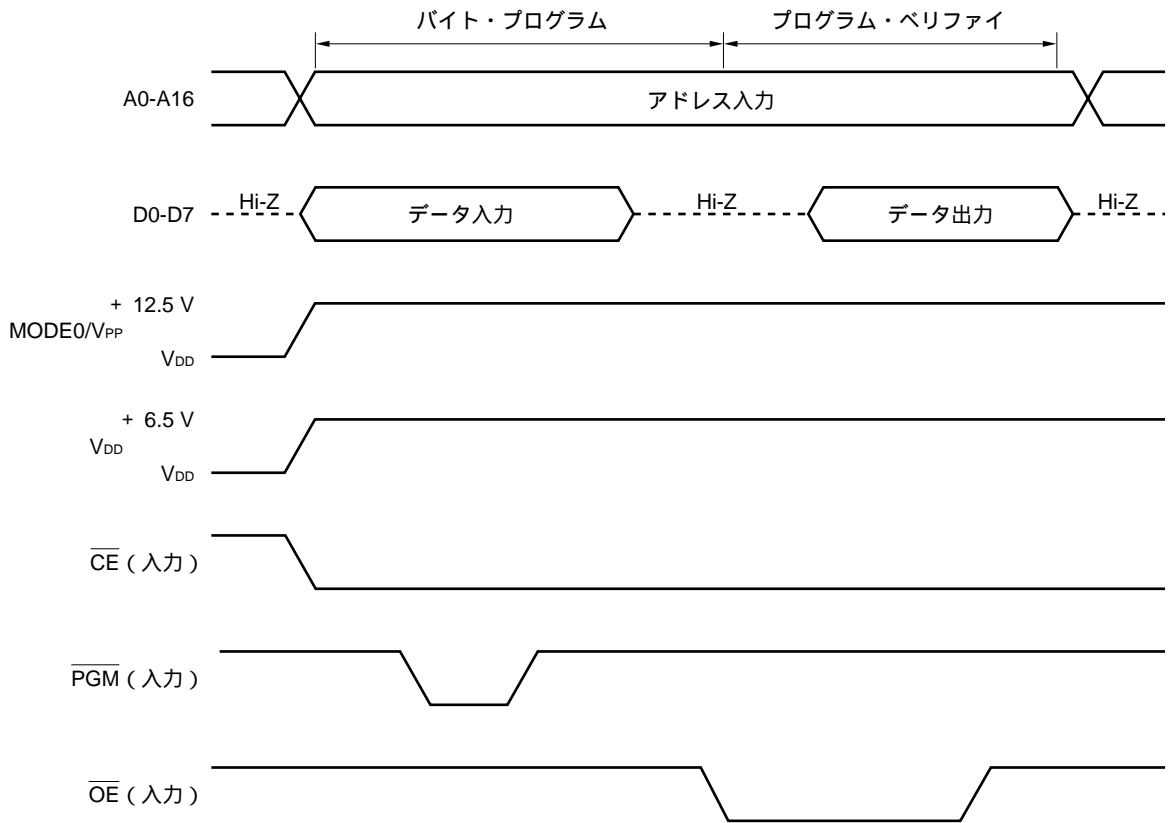


図3 - 5 PROMの書き込み / ベリファイ・タイミング (バイト・プログラム・モード)



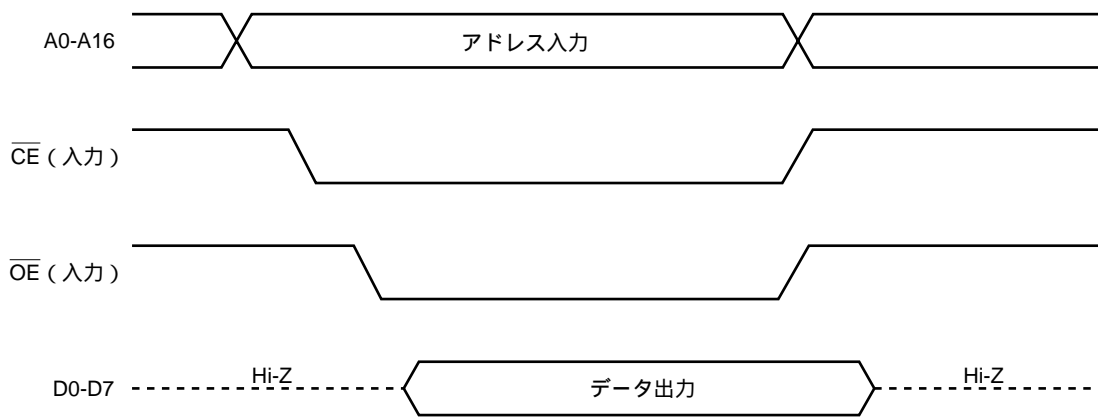
3.4 PROM読み出しの手順

PROMの内容を外部データ・バス (D0 - D7) に読み出すときの手順は、次のとおりです。

- (1) MODE0/V_{PP} = H, MODE1 = Lに固定する。未使用端子は、端子接続図の指示に従って処理する。
- (2) V_{DD}, MODE0/V_{PP}端子に + 5 Vを供給する。
- (3) 読み出すデータのアドレスをA0 - A16端子に入力する。
- (4) 読み出しモード ($\overline{CE} = L, \overline{OE} = L$)
- (5) データがD0 - D7端子に出力される。

上述の (2) ~ (5) のタイミングを図3 - 6 に示します。

図3 - 6 PROMの読み出しタイミング



4 . ワン・タイムPROM製品のスクリーニングについて

ワン・タイムPROM製品 (μ PD78P372GC (A) / (A1) / (A2) , 78P372GF (A) / (A1) / (A2)) は、その構造上、当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと、下記の条件で高温保管後、PROMのペリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125	24時間

なお、NECでは、QTOPマイコンの名称でワン・タイムPROMの書き込みから捺印、スクリーニング、ペリファイを有料で行うサービスを実施しております。詳細につきましては、販売員にご相談ください。

5 . 電気的特性

(1) μPD78P372 (A) の電気的特性 (1/9)

絶対最大定格 (TA = 25)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}		- 0.5 ~ + 7.0	V
	AV _{DD}		- 0.5 ~ V _{DD} + 0.5	V
	V _{PP}		- 0.5 ~ + 13.5	V
	AV _{SS}		- 0.5 ~ + 0.5	V
入力電圧	V _{I1}	注 1, 2, P20/NMI (A9) 端子以外	- 0.5 ~ V _{DD} + 0.5	V
	V _{I2}	P20/NMI (A9) 端子	- 0.5 ~ + 13.5	V
出力電圧	V _O		- 0.5 ~ V _{DD} + 0.5	mA
ロウ・レベル出力電流	I _{OL}	全出力端子	4.0	mA
		全出力端子合計	100	mA
ハイ・レベル出力電流	I _{OH}	全出力端子	- 1.0	mA
		全出力端子合計	- 20	V
アナログ入力電圧	V _{IAN}	注 1, 3 AV _{DD} > V _{DD}	- 0.5 ~ V _{DD} + 0.5	V
		V _{DD} AV _{DD}	- 0.5 ~ AV _{DD} + 0.5	
A/Dコンバータ基準入力電圧	AV _{REF}	AV _{DD} > V _{DD}	- 0.5 ~ V _{DD} + 0.5	
		V _{DD} AV _{DD}	- 0.5 ~ AV _{DD} + 0.5	
動作周囲温度	T _A		- 40 ~ + 85	
保存温度	T _{stg}		- 65 ~ + 150	

注 1 . 過電圧印加における許容端子注入電流特性の過電圧条件を除きます。

2 . 注 3 に記載以外の端子。

3 . P70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15端子。

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

(1) μPD78P372 (A) の電気的特性 (2/9)

過電圧印加における許容端子注入電流特性 ($T_A = -40 \sim +85$, $V_{DD} = +5V \pm 10\%$, $V_{SS} = 0V$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
正方向注入電流 ($V_{IN} > V_{DD}$)	I _{JH1}	1 端子	ANIn (n = 0-15) 以外の入力 ポート	ピーク値		10	mA
				平均値		0.5	mA
	I _{JH2}		ANIn (n = 0-15)	ピーク値		3	mA
				平均値		1	mA
	I _{JH}		全入力端子合計	ピーク値		100	mA
				平均値		5	mA
負方向注入電流 ($V_{IN} < V_{SS}$)	I _{JL1}	1 端子	ANIn (n = 0-15) 以外の入力 ポート	ピーク値		- 4	mA
				平均値		- 0.4	mA
	I _{JL2}		ANIn (n = 0-15)	ピーク値		- 4	mA
				平均値		- 0.3	mA
	I _{JL}		全入力端子合計	ピーク値		- 40	mA
				平均値		- 3	mA

注意 1 . アナログ入力端子 (ANIn : n = 0-15) に注入電流が流れた場合 , 電流注入端子に隣接するアナログ入力の A/D変換結果は , 注入電流が流れていない場合の規格に ± 2LSBを加えた値となります。

2 . 端子注入電流の平均値 (絶対値) は , 次の式により求められます。

$$\text{平均値} = \left(\frac{1}{T} \int_0^T |i(t)|^{3/2} dt \right)^{2/3}$$

ここで $i(t)$ は端子注入電流です。また $|i(t)|$ の最大値がピーク値となります。

推奨動作条件

発振周波数	T_A	V_{DD}
8 MHz f_{xx} 25 MHz	- 40 ~ + 85	+ 5.0 V ± 10 %

容 量 ($T_A = 25$, $V_{SS} = V_{DD} = 0V$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力容量	C _i	f = 1 MHz			20	pF
出力容量	C _o	被測定端子以外は0V			20	pF
入出力容量	C _{io}				20	pF

(1) μPD78P372(A) の電気的特性 (3/9)

発振器特性 (TA = -40 ~ +85, VDD = +5V ± 10%, VSS = 0V)

発振器	推奨回路	項目	MIN.	MAX.	単位
セラミック発振子 または水晶振動子		発振周波数 (f _{xx})	8	25	MHz
外部クロック		X1入力周波数 (f _x)	8	25	MHz
		X1入力立ち上がり, 立ち下がり時間 (t _{xR} , t _{xF})	0	10	ns
		X1入力ハイ, ロウ・レベル幅 (t _{wXH} , t _{wXL})	10	115	ns

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、上図の破線の部分を次のように配線してください。

- ・配線を極力短くする。
- ・ほかの信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- ・発振回路から信号を取り出さない。

推奨発振回路定数

セラミック発振子

メーカー	品名	周波数 [MHz]	外付け容量 [pF]	
			C1	C2
村田製作所	CSA12.0MTZ	12.00	30	30
	CST12.0MTW		内蔵	内蔵
	CSA16.00MXZ040	16.00	15	15
	CST16.00MXW0C3		内蔵	内蔵
	CSA20.00MXZ040	20.00	15	15
	CST20.00MXW040		内蔵	内蔵
	CSA25.00MXZ040	25.00	7	7

注意 発振回路定数は、安定して発振する条件を示しています。発振周波数精度は保証していません。アプリケーションで発振周波数精度が必要な場合、実装回路で発振周波数を調整する必要があります。詳細については、ご使用になる発振子のメーカーに直接お問い合わせください。

(1) μPD78P372 (A) の電気的特性 (4/9)

DC特性 ($T_A = - 40 \sim + 85$, $V_{DD} = + 5 V \pm 10 \%$, $V_{SS} = 0 V$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位	
ロウ・レベル入力電圧	V_{IL}				0.8	V	
ハイ・レベル入力電圧	V_{IH1}	注 1	2.2			V	
	V_{IH2}	注 2	$0.8V_{DD}$				
ロウ・レベル出力電圧	V_{OL}	$I_{OL} = 2.0 \text{ mA}$			0.45	V	
ハイ・レベル出力電圧	V_{OH}	$I_{OH} = - 400 \mu A$	$V_{DD} - 1.0$			V	
入力リーク電流	I_{LI}	注 3	$0 V \quad V_i \quad V_{DD}$			± 10	μA
		MODE0/ V_{PP} 端子	$V_i = V_{DD}$			10	μA
			$V_i = 0 V$			- 200	μA
アナログ端子入力リーク電流	I_{LIAN}	注 4	$0 V \quad V_i \quad AV_{DD}$			± 1	μA
出力リーク電流	I_{LO}	$0 V \quad V_o \quad V_{DD}$			± 10	μA	
V_{DD} 電源電流	I_{DD1}	動作モード ($f_{XX} = 25 \text{ MHz}$)		55	70	mA	
	I_{DD2}	HALTモード ($f_{XX} = 25 \text{ MHz}$)		40	55	mA	
データ保持電圧	V_{DDDR}	STOPモード	2.5			V	
データ保持電流	I_{DDDR}	STOPモード	$V_{DDDR} = 2.5 V$		4	15	μA
			$V_{DDDR} = 5 V \pm 10 \%$		15	50	μA
SBF反転電圧	V_{DDFR}		0.8	1.3	2.4	V	
プルアップ抵抗	R_L	$V_i = 0 V$	15	40	80	k	

注 1 . 注 2 に記載以外の端子。

- 2 . $\overline{\text{RESET}}$, X1, X2, P20/NMI, P21/INTP0/TO00, P22/INTP1/TO01, P23/INTP2/TO02, P24/INTP3/TO03, P25/INTP4/TO04, P26/INTP5/TO05/TI, P32/ $\overline{\text{SCK0}}$, P33/SO, P34/SI, P35/ $\overline{\text{SCK1}}$ 端子。
- 3 . 入力および入出力端子 (ただし , MODE0/ V_{PP} , X1, X2, アナログ入力として使用しているP70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15を除く) 。
- 4 . P70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15端子 (アナログ入力として使用している端子で , 非サンプリング動作時のみ) 。

(1) μPD78P372 (A) の電気的特性 (5/9)

AC特性 ($T_A = - 40 \sim + 85$, $V_{DD} = + 5 V \pm 10 \%$, $V_{SS} = 0 V$, $C_L = 100 pF$)

リード/ライト・オペレーション (汎用メモリ接続時)

項 目	略 号	条 件	MIN.	MAX.	単 位
システム・クロック・サイクル・タイム	t _{CYK}		80	250	ns
アドレス・セットアップ時間 (対ASTB)	t _{SAST}		16		ns
アドレス・ホールド時間 (対ASTB)	t _{HSTA}		20		ns
\overline{RD} アドレス・フロート時間	t _{FRA}			0	ns
アドレス データ入力時間	t _{DAID}			144	ns
\overline{RD} データ入力時間	t _{DRID}			72	ns
ASTB \overline{RD} 遅延時間	t _{DSTR}		24		ns
データ・ホールド時間 (対 \overline{RD})	t _{HRID}		0		ns
\overline{RD} アドレス・アクティブ時間	t _{DRA}		26		ns
\overline{RD} ロウ・レベル幅	t _{WRL}		90		ns
ASTBハイ・レベル幅	t _{WSTH}		23		ns
\overline{LWR} , \overline{HWR} データ出力時間	t _{DWOD}			30	ns
ASTB \overline{LWR} , \overline{HWR} 遅延時間	t _{DSTW}		24		ns
\overline{LWR} , \overline{HWR} ASTB 遅延時間	t _{DWST}		105		ns
データ・セットアップ時間 (対 \overline{LWR} , \overline{HWR})	t _{SODW}		75		ns
データ・ホールド時間 (対 \overline{LWR} , \overline{HWR})	t _{HWOD}		8		ns
\overline{LWR} , \overline{HWR} ロウ・レベル幅	t _{WWL}		84		ns
WAITセットアップ時間 (対アドレス)	t _{SAWT}			62	ns
WAITホールド時間 (対アドレス)	t _{HAWT}		120		ns
WAITセットアップ時間 (対ASTB)	t _{SASRY}			24	ns
WAITホールド時間 (対ASTB)	t _{HASRY}		71		ns
WAITセットアップ時間 (対 \overline{RD})	t _{SRRY}			- 25	ns
WAITセットアップ時間 (対 \overline{LWR} , \overline{HWR})	t _{SWRY}			- 25	ns
WAITホールド時間 (対 \overline{RD})	t _{HRRY}		31		ns
WAITホールド時間 (対 \overline{LWR} , \overline{HWR})	t _{HWRY}		31		ns
アドレス \overline{RD} 遅延時間	t _{DAR}			95	ns
アドレス \overline{LWR} , \overline{HWR} 遅延時間	t _{DAW}			95	ns

(1) μPD78P372 (A) の電気的特性 (6/9)

t_{CYK} 依存のバス・タイミング定義

項 目	計 算 式	MIN./MAX.	単 位
t_{SAST}	$(0.5 + a)T - 24$	MIN.	ns
t_{HSTA}	$0.5T - 20$	MIN.	ns
t_{WSTH}	$(0.5 + a)T - 17$	MIN.	ns
t_{DSTR}	$0.5T - 16$	MIN.	ns
t_{WRL}	$(1.5 + n)T - 30$	MIN.	ns
t_{DAID}	$(2.5 + a + n)T - 56$	MAX.	ns
t_{DRID}	$(1.5 + n)T - 48$	MAX.	ns
t_{DRA}	$0.5T - 14$	MIN.	ns
t_{DSTW}	$0.5T - 16$	MIN.	ns
t_{DWST}	$1.5T - 15$	MIN.	ns
t_{WWL}	$(1.5 + n)T - 36$	MIN.	ns
t_{DWOD}	$0.5T - 10$	MAX.	ns
t_{SODW}	$(1 + n)T - 5$	MIN.	ns
t_{SAWT}	$(a + n)T - 18$	MAX.	ns
t_{HAWT}	$(0.5 + a + n)T$	MIN.	ns
t_{SASRY}	$(n - 0.5)T - 16$	MAX.	ns
t_{HASRY}	$(n - 0.5)T + 31$	MIN.	ns
t_{SRRY}	$(n - 1)T - 25$	MAX.	ns
t_{SWRY}	$(n - 1)T - 25$	MAX.	ns
t_{HRRY}	$(n - 0.5)T - 9$	MIN.	ns
t_{HWRY}	$(n - 0.5)T - 9$	MIN.	ns
t_{DAR}	$(a + 1)T + 15$	MAX.	ns
t_{DAW}	$(a + 1)T + 15$	MAX.	ns

備考 1 . $T = t_{CYK} = 1/f_{CLK}$ (f_{CLK} は内部システム・クロック周波数)

- 2 . a は、アドレス・ウエイト挿入時に 1 になり、その他のときは 0 になります。
- 3 . n は、外部ウエイト端子 (\overline{WAIT}) または PWCレジスタの指定により挿入されるウエイト・サイクル数です。
- 4 . バス・タイミングのうち、この表に示す項目のみ t_{CYK} に依存します。

(1) μPD78P372 (A) の電気的特性 (7/9)

シリアル・オペレーション ($T_A = -40 \sim +85$, $V_{DD} = +5V \pm 10\%$, $V_{SS} = 0V$)

項 目	略 号	条 件		MIN.	MAX.	単 位
シリアル・クロック・サイクル・タイム	tcysk	$\overline{SCK0}, \overline{SCK1}$ 出力	内部 8 分周	640		ns
		$\overline{SCK0}, \overline{SCK1}$ 入力	外部クロック	640		ns
シリアル・クロック・ロウ・レベル幅	twskl	$\overline{SCK0}, \overline{SCK1}$ 出力	内部 8 分周	280		ns
		$\overline{SCK0}, \overline{SCK1}$ 入力	外部クロック	280		ns
シリアル・クロック・ハイ・レベル幅	twskh	$\overline{SCK0}, \overline{SCK1}$ 出力	内部 8 分周	280		ns
		$\overline{SCK0}, \overline{SCK1}$ 入力	外部クロック	280		ns
SIセットアップ時間 (対 $\overline{SCK1}$)	tsrxsk			80		ns
SIホールド時間 (対 $\overline{SCK1}$)	thskrx			80		ns
$\overline{SCK1}$ SO遅延時間	tbsktx	R = 1 k , C = 100 pF			110	ns

t_{cyk}依存のシリアル・オペレーション

略 号	条 件		計 算 式	MIN./MAX.	単 位
tcysk	$\overline{SCK0}, \overline{SCK1}$ 出力	内部 8 分周	8T	MIN.	ns
	$\overline{SCK0}, \overline{SCK1}$ 入力	外部クロック	8T	MIN.	ns
twskl	$\overline{SCK0}, \overline{SCK1}$ 出力	内部 8 分周	4T - 40	MIN.	ns
	$\overline{SCK0}, \overline{SCK1}$ 入力	外部クロック	4T - 40	MIN.	ns
twskh	$\overline{SCK0}, \overline{SCK1}$ 出力	内部 8 分周	4T - 40	MIN.	ns
	$\overline{SCK0}, \overline{SCK1}$ 入力	外部クロック	4T - 40	MIN.	ns

備考 1 . $T = t_{cyk} = 1/f_{CLK}$ (f_{CLK} は内部システム・クロック周波数)

2 . シリアル・オペレーションのうち、この表に示す項目のみt_{cyk}に依存します。

(1) μPD78P372 (A) の電気的特性 (8/9)

その他のオペレーション (TA = -40 ~ +85 , VDD = +5V ± 10% , VSS = 0V)

項目	略号	条件	MIN.	MAX.	単位
NMIハイ, ロウ・レベル幅	t _{WNH} , t _{WNL}		2.5		μs
INTP0ハイ, ロウ・レベル幅	t _{WI0H} , t _{WI0L}		320		ns
INTP1ハイ, ロウ・レベル幅	t _{WI1H} , t _{WI1L}		320		ns
INTP2ハイ, ロウ・レベル幅	t _{WI2H} , t _{WI2L}		320		ns
INTP3ハイ, ロウ・レベル幅	t _{WI3H} , t _{WI3L}		320		ns
INTP4ハイ, ロウ・レベル幅	t _{WI4H} , t _{WI4L}		320		ns
INTP5ハイ, ロウ・レベル幅	t _{WI5H} , t _{WI5L}		320		ns
TIハイ, ロウ・レベル幅	t _{WTIH} , t _{WTIL}	NI = 0	320		ns
		NI = 1	1.28		μs
RESETハイ, ロウ・レベル幅	t _{WRSH} , t _{WRSL}		2.5		μs

備考 NI: ノイズ・プロテクション・コントロール・レジスタ (NPC) のビット 0

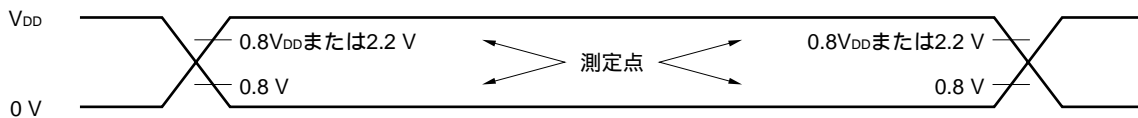
t_{cyk}依存のその他のオペレーション

略号	条件	計算式	MIN./MAX.	単位
t _{WI0H} , t _{WI0L}		4T	MIN.	ns
t _{WI1H} , t _{WI1L}		4T	MIN.	ns
t _{WI2H} , t _{WI2L}		4T	MIN.	ns
t _{WI3H} , t _{WI3L}		4T	MIN.	ns
t _{WI4H} , t _{WI4L}		4T	MIN.	ns
t _{WI5H} , t _{WI5L}		4T	MIN.	ns
t _{WTIH} , t _{WTIL}	NI = 0	4T	MIN.	ns
	NI = 1	16T		

備考 1 . T = t_{cyk} = 1/f_{CLK} (f_{CLK}は内部システム・クロック周波数)

- 2 . この表に示す項目のみt_{cyk}に依存します。
- 3 . NI: ノイズ・プロテクション・コントロール・レジスタ (NPC) のビット 0

ACタイミング測定点



(1) μPD78P372(A)の電気的特性(9/9)

A/Dコンバータ特性 (TA = -40 ~ +85, VDD = +5V ± 10%, VSS = AVSS = 0V,
VDD - 0.5V AVDD VDD)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10			bit
総合誤差 ^{注1}		4.5V AVREF AVDD AVDD = 5V ± 10%			± 0.45	%FSR
		4.75V AVREF AVDD AVDD = 5V ± 5%			± 0.4	%FSR
		3.4V AVREF < 4.5V AVDD = 5V ± 10%			± 0.7	%FSR
量子化誤差					± 1/2	LSB
変換時間	tCONV	80 ns tCYK 250 ns	168			tCYK
サンプリング時間	tsAMP	80 ns tCYK 250 ns	47			tCYK
ゼロスケール誤差 ^{注1}		4.5V AVREF AVDD AVDD = 5V ± 10%		± 2.5	± 3.5	LSB
		4.75V AVREF AVDD AVDD = 5V ± 5%		± 2.0	± 3.0	LSB
		3.4V AVREF < 4.5V AVDD = 5V ± 10%		± 3.0	± 4.5	LSB
フルスケール誤差 ^{注1}		4.5V AVREF AVDD AVDD = 5V ± 10%		± 2.5	± 3.5	LSB
		4.75V AVREF AVDD AVDD = 5V ± 5%		± 2.0	± 3.0	LSB
		3.4V AVREF < 4.5V AVDD = 5V ± 10%		± 3.0	± 4.5	LSB
非直線性誤差 ^{注1}		4.5V AVREF AVDD		± 1.5	± 2.5	LSB
		3.4V AVREF < 4.5V		± 1.5	± 4.5	LSB
アナログ入力電圧 ^{注2}	VIAN		- 0.3		AVDD + 0.3	V
アナログ入力インピーダンス	RAN	非サンプリング時		10		M
		サンプリング時		注3		
A/Dコンバータ基準入力電圧	AVREF		3.4		AVDD	V
AVREF電流	AIREF			3.0	4.0	mA
AVDD電源電流	AIDD			1.0	3.0	mA
A/Dコンバータ・データ保持電流	AlDDDR	STOP	AVDDDR = 2.5V	2	10	μA
		モード	AVDDDR = 5V ± 10%	10	50	μA

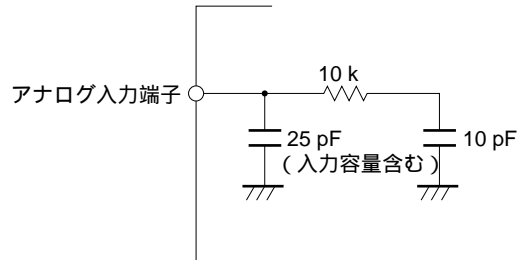
注1. 量子化誤差を除きます。

2. $-0.3\text{ V} < V_{IAN} < 0\text{ V}$ のときは、変換結果が000Hになります。

$0\text{ V} < V_{IAN} < AV_{REF}$ のときは、10ビット分解能で変換を行います。

$AV_{REF} < V_{IAN} < AV_{DD} + 0.3\text{ V}$ のときは、変換結果が3FFHになります。

3. サンプルング時のアナログ入力インピーダンスは、下図の等価回路と同一となります（図中の値はTYP.値で、保証値ではありません）。



備考 $T = t_{CYK} = 1/f_{CLK}$ (f_{CLK} は内部システム・クロック周波数)

(2) μPD78P372 (A1) の電気的特性 (1/9)

絶対最大定格 (T_A = 25)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}		- 0.5 ~ + 7.0	V
	AV _{DD}		- 0.5 ~ V _{DD} + 0.5	V
	V _{PP}		- 0.5 ~ + 13.5	V
	AV _{SS}		- 0.5 ~ + 0.5	V
入力電圧	V _{I1}	注 1, 2, P20/NMI (A9) 端子以外	- 0.5 ~ V _{DD} + 0.5	V
	V _{I2}	P20/NMI (A9) 端子	- 0.5 ~ + 13.5	V
出力電圧	V _O		- 0.5 ~ V _{DD} + 0.5	V
ロウ・レベル出力電流	I _{OL}	全出力端子	4.0	mA
		全出力端子合計	100	mA
ハイ・レベル出力電流	I _{OH}	全出力端子	- 1.0	mA
		全出力端子合計	- 20	mA
アナログ入力電圧	V _{IAN}	注 1, 3 AV _{DD} > V _{DD}	- 0.5 ~ V _{DD} + 0.5	V
		V _{DD} AV _{DD}	- 0.5 ~ AV _{DD} + 0.5	
A/Dコンバータ基準入力電圧	AV _{REF}	AV _{DD} > V _{DD}	- 0.5 ~ V _{DD} + 0.5	V
		V _{DD} AV _{DD}	- 0.5 ~ AV _{DD} + 0.5	
動作周囲温度	T _A		- 40 ~ + 110	
保存温度	T _{stg}		- 65 ~ + 150	

注 1 . 過電圧印加における許容端子注入電流特性の過電圧条件を除きます。

2 . 注 3 に記載以外の端子。

3 . P70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15端子。

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

(2) μPD78P372 (A1) の電気的特性 (2/9)

過電圧印加における許容端子注入電流特性 (T_A = -40 ~ +110 , V_{DD} = +5 V ± 10 % , V_{SS} = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
正方向注入電流 (V _{IN} > V _{DD})	I _{JH1}	1端子	ANIn (n = 0-15) 以外の入力 ポート	ピーク値		10	mA
				平均値		0.5	mA
	I _{JH2}		ANIn (n = 0-15)	ピーク値		3	mA
				平均値		1	mA
	I _{JH}		全入力端子合計	ピーク値		100	mA
				平均値		5	mA
負方向注入電流 (V _{IN} < V _{SS})	I _{JL1}	1端子	ANIn (n = 0-15) 以外の入力 ポート	ピーク値		- 4	mA
				平均値		- 0.4	mA
	I _{JL2}		ANIn (n = 0-15)	ピーク値		- 4	mA
				平均値		- 0.3	mA
	I _{JL}		全入力端子合計	ピーク値		- 40	mA
				平均値		- 3	mA

注意 1 . アナログ入力端子 (ANIn : n = 0-15) に注入電流が流れた場合、電流注入端子に隣接するアナログ入力の A/D変換結果は、注入電流が流れていない場合の規格に ±2LSBを加えた値となります。

2 . 端子注入電流の平均値 (絶対値) は、次の式により求められます。

$$\text{平均値} = \left(\frac{1}{T} \int_0^T |i(t)|^{3/2} dt \right)^{2/3}$$

ここで i (t) は端子注入電流です。また | i (t) | の最大値がピーク値となります。

推奨動作条件

発振周波数	T _A	V _{DD}
8 MHz f _{xx} 20 MHz	- 40 ~ + 110	+ 5.0 V ± 10 %

容量 (T_A = 25 , V_{SS} = V_{DD} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _i	f = 1 MHz			20	pF
出力容量	C _o	被測定端子以外は0 V			20	pF
入出力容量	C _{io}				20	pF

(2) μPD78P372 (A1) の電気的特性 (3/9)

発振器特性 (TA = - 40 ~ + 110 , VDD = + 5 V ± 10 % , VSS = 0 V)

発振子	推奨回路	項目	MIN.	MAX.	単位
セラミック発振子 または水晶振動子		発振周波数 (f _{xx})	8	20	MHz
外部クロック		X1入力周波数 (f _x)	8	20	MHz
		X1入力立ち上がり, 立ち下がり時間 (t _{xR} , t _{xF})	0	10	ns
		X1入力ハイ, ロウ・レベル幅 (t _{wXH} , t _{wXL})	20	115	ns

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、上図の破線の部分を次のように配線してください。

- ・配線を極力短くする。
- ・ほかの信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグラウンド・パターンには接地しない。
- ・発振回路から信号を取り出さない。

(2) μPD78P372 (A1) の電気的特性 (4/9)

DC特性 (TA = - 40 ~ + 110 , VDD = + 5 V ± 10 % , VSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位	
ロウ・レベル入力電圧	V _{IL}				0.8	V	
ハイ・レベル入力電圧	V _{IH1}	注1	2.2			V	
	V _{IH2}	注2	0.8V _{DD}				
ロウ・レベル出力電圧	V _{OL}	I _{OL} = 2.0 mA			0.45	V	
ハイ・レベル出力電圧	V _{OH}	I _{OH} = - 400 μA	V _{DD} - 1.0			V	
入力リーク電流	I _{LI}	注3	0 V V _I V _{DD}		± 10	μA	
		MODE0/V _{PP} 端子	V _I = V _{DD}		10		
			V _I = 0 V		- 200		
アナログ端子入力リーク電流	I _{LIAN}	注4	0 V V _I AV _{DD}		± 2	μA	
出力リーク電流	I _{LO}	0 V V _O V _{DD}			± 10	μA	
V _{DD} 電源電流	I _{DD1}	動作モード (f _{xx} = 20 MHz)		50	60	mA	
	I _{DD2}	HALTモード (f _{xx} = 20 MHz)		30	50		
データ保持電圧	V _{DDDR}	STOPモード	2.5			V	
データ保持電流	I _{DDDR}	STOPモード	V _{DDDR} = 2.5 V		4	100	μA
			V _{DDDR} = 5 V ± 10 %		15	1000	μA
SBF反転電圧	V _{DDFR}		0.8	1.3	2.4	V	
プルアップ抵抗	R _L	V _I = 0 V	15	40	80	k	

注1 . 注2 に記載以外の端子。

- 2 . $\overline{\text{RESET}}$, X1, X2, P20/NMI, P21/INTP0/TO00, P22/INTP1/TO01, P23/INTP2/TO02, P24/INTP3/TO03, P25/INTP4/TO04, P26/INTP5/TO05/TI, P32/ $\overline{\text{SCK0}}$, P33/SO, P34/SI, P35/ $\overline{\text{SCK1}}$ 端子。
- 3 . 入力および入出力端子 (ただし, MODE0/V_{PP}, X1, X2, アナログ入力として使用しているP70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15を除く)。
- 4 . P70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15端子 (アナログ入力として使用している端子で, 非サンプリング動作時のみ)。

(2) μPD78P372 (A1) の電気的特性 (5/9)

AC特性 (TA = - 40 ~ + 110 , VDD = + 5 V ± 10 % , VSS = 0 V , CL = 100 pF)

リード/ライト・オペレーション (汎用メモリ接続時)

項 目	略 号	条 件	MIN.	MAX.	単 位
システム・クロック・サイクル・タイム	t _{CYK}		100	250	ns
アドレス・セットアップ時間 (対ASTB)	t _{SAST}		26		ns
アドレス・ホールド時間 (対ASTB)	t _{HSTA}		30		ns
\overline{RD} アドレス・フロート時間	t _{FRA}			0	ns
アドレス データ入力時間	t _{DAID}			194	ns
\overline{RD} データ入力時間	t _{DRID}			97	ns
ASTB \overline{RD} 遅延時間	t _{DSTR}		34		ns
データ・ホールド時間 (対 \overline{RD})	t _{HRID}		0		ns
\overline{RD} アドレス・アクティブ時間	t _{DRA}		36		ns
\overline{RD} ロウ・レベル幅	t _{WRL}		120		ns
ASTBハイ・レベル幅	t _{WSTH}		33		ns
\overline{LWR} , \overline{HWR} データ出力時間	t _{DWOD}			40	ns
ASTB \overline{LWR} , \overline{HWR} 遅延時間	t _{DSTW}		34		ns
\overline{LWR} , \overline{HWR} ASTB 遅延時間	t _{DWST}		135		ns
データ・セットアップ時間 (対 \overline{LWR} , \overline{HWR})	t _{SODW}		95		ns
データ・ホールド時間 (対 \overline{LWR} , \overline{HWR})	t _{HWOD}		8		ns
\overline{LWR} , \overline{HWR} ロウ・レベル幅	t _{WWL}		114		ns
\overline{WAIT} セットアップ時間 (対アドレス)	t _{SAWT}			82	ns
\overline{WAIT} ホールド時間 (対アドレス)	t _{HAWT}		150		ns
\overline{WAIT} セットアップ時間 (対ASTB)	t _{SASRY}			34	ns
\overline{WAIT} ホールド時間 (対ASTB)	t _{HASRY}		81		ns
\overline{WAIT} セットアップ時間 (対 \overline{RD})	t _{SRRY}			- 25	ns
\overline{WAIT} セットアップ時間 (対 \overline{LWR} , \overline{HWR})	t _{SWRY}			- 25	ns
\overline{WAIT} ホールド時間 (対 \overline{RD})	t _{HRRY}		41		ns
\overline{WAIT} ホールド時間 (対 \overline{LWR} , \overline{HWR})	t _{HWRY}		41		ns
アドレス \overline{RD} 遅延時間	t _{DAR}			115	ns
アドレス \overline{LWR} , \overline{HWR} 遅延時間	t _{DAW}			115	ns

(2) μPD78P372 (A1) の電気的特性 (6/9)

t_{CYK} 依存のバス・タイミング定義

項目	計算式	MIN./MAX.	単位
t_{SAST}	$(0.5 + a)T - 24$	MIN.	ns
t_{HSTA}	$0.5T - 20$	MIN.	ns
t_{WSTH}	$(0.5 + a)T - 17$	MIN.	ns
t_{DSTR}	$0.5T - 16$	MIN.	ns
t_{WRL}	$(1.5 + n)T - 30$	MIN.	ns
t_{DAID}	$(2.5 + a + n)T - 56$	MAX.	ns
t_{DRID}	$(1.5 + n)T - 53$	MAX.	ns
t_{DRA}	$0.5T - 14$	MIN.	ns
t_{DSTW}	$0.5T - 16$	MIN.	ns
t_{DWST}	$1.5T - 15$	MIN.	ns
t_{WWL}	$(1.5 + n)T - 36$	MIN.	ns
t_{DWOD}	$0.5T - 10$	MAX.	ns
t_{SODW}	$(1 + n)T - 5$	MIN.	ns
t_{SAWT}	$(a + n)T - 18$	MAX.	ns
t_{HAWT}	$(0.5 + a + n)T$	MIN.	ns
t_{SASRY}	$(n - 0.5)T - 16$	MAX.	ns
t_{HASRY}	$(n - 0.5)T + 31$	MIN.	ns
t_{SRRY}	$(n - 1)T - 25$	MAX.	ns
t_{SWRY}	$(n - 1)T - 25$	MAX.	ns
t_{HRRY}	$(n - 0.5)T - 9$	MIN.	ns
t_{HWRY}	$(n - 0.5)T - 9$	MIN.	ns
t_{DAR}	$(a + 1)T + 15$	MAX.	ns
t_{DAW}	$(a + 1)T + 15$	MAX.	ns

備考 1 . $T = t_{CYK} = 1/f_{CLK}$ (f_{CLK} は内部システム・クロック周波数)

- 2 . a は、アドレス・ウエイト挿入時に 1 になり、その他のときは 0 になります。
- 3 . n は、外部ウエイト端子 (\overline{WAIT}) または PWCレジスタの指定により挿入されるウエイト・サイクル数です。
- 4 . バス・タイミングのうち、この表に示す項目のみ t_{CYK} に依存します。

(2) μPD78P372 (A1) の電気的特性 (7/9)

シリアル・オペレーション (T_A = -40 ~ +110 , V_{DD} = +5V ± 10% , V_{SS} = 0V)

項目	略号	条件		MIN.	MAX.	単位
シリアル・クロック・サイクル・タイム	tc _{YSK}	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$ 出力	内部8分周	800		ns
		$\overline{\text{SCK0}}, \overline{\text{SCK1}}$ 入力	外部クロック	800		ns
シリアル・クロック・ロウ・レベル幅	t _{WSKL}	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$ 出力	内部8分周	360		ns
		$\overline{\text{SCK0}}, \overline{\text{SCK1}}$ 入力	外部クロック	360		ns
シリアル・クロック・ハイ・レベル幅	t _{WSKH}	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$ 出力	内部8分周	360		ns
		$\overline{\text{SCK0}}, \overline{\text{SCK1}}$ 入力	外部クロック	360		ns
SIセットアップ時間 (対 $\overline{\text{SCK1}}$)	t _{SRXSK}			80		ns
SIホールド時間 (対 $\overline{\text{SCK1}}$)	t _{HSKRX}			80		ns
$\overline{\text{SCK1}}$ SO遅延時間	t _{DSKTX}	R = 1 k , C = 100 pF			110	ns

t_{CYK}依存のシリアル・オペレーション

略号	条件		計算式	MIN./MAX.	単位
tc _{YSK}	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$ 出力	内部8分周	8T	MIN.	ns
	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$ 入力	外部クロック	8T	MIN.	ns
t _{WSKL}	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$ 出力	内部8分周	4T - 40	MIN.	ns
	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$ 入力	外部クロック	4T - 40	MIN.	ns
t _{WSKH}	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$ 出力	内部8分周	4T - 40	MIN.	ns
	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$ 入力	外部クロック	4T - 40	MIN.	ns

備考1 . T = t_{CYK} = 1/f_{CLK} (f_{CLK}は内部システム・クロック周波数)

2 . シリアル・オペレーションのうち、この表に示す項目のみt_{CYK}に依存します。

(2) μPD78P372 (A1) の電気的特性 (8/9)

その他のオペレーション (TA = -40 ~ +110 , VDD = +5V ± 10% , VSS = 0V)

項目	略号	条件	MIN.	MAX.	単位
NMIハイ, ロウ・レベル幅	tWNIH, tWNIL		3		μs
INTP0ハイ, ロウ・レベル幅	tWI0H, tWI0L		400		ns
INTP1ハイ, ロウ・レベル幅	tWI1H, tWI1L		400		ns
INTP2ハイ, ロウ・レベル幅	tWI2H, tWI2L		400		ns
INTP3ハイ, ロウ・レベル幅	tWI3H, tWI3L		400		ns
INTP4ハイ, ロウ・レベル幅	tWI4H, tWI4L		400		ns
INTP5ハイ, ロウ・レベル幅	tWI5H, tWI5L		400		ns
TIハイ, ロウ・レベル幅	tWTIH, tWTIL	NI = 0	400		ns
		NI = 1	1.6		μs
RESETハイ, ロウ・レベル幅	tWRSH, tWRSL		3		μs

備考 NI: ノイズ・プロテクション・コントロール・レジスタ (NPC) のビット 0

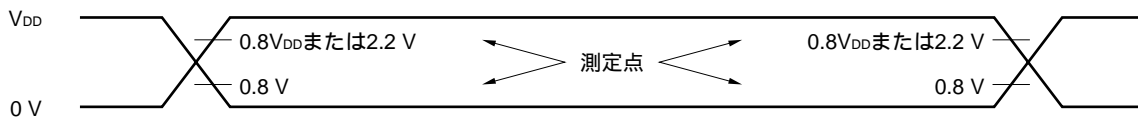
t_{cyk}依存のその他のオペレーション

略号	条件	計算式	MIN./MAX.	単位
tWI0H, tWI0L		4T	MIN.	ns
tWI1H, tWI1L		4T	MIN.	ns
tWI2H, tWI2L		4T	MIN.	ns
tWI3H, tWI3L		4T	MIN.	ns
tWI4H, tWI4L		4T	MIN.	ns
tWI5H, tWI5L		4T	MIN.	ns
tWTIH, tWTIL	NI = 0	4T	MIN.	ns
	NI = 1	16T		

備考 1 . T = t_{cyk} = 1/f_{clk} (f_{clk}は内部システム・クロック周波数)

- 2 . この表に示す項目のみt_{cyk}に依存します。
- 3 . NI: ノイズ・プロテクション・コントロール・レジスタ (NPC) のビット 0

ACタイミング測定点



(2) μPD78P372 (A1) の電気的特性 (9/9)

A/Dコンバータ特性 (T_A = -40 ~ +110 , V_{DD} = +5 V ± 10 % , V_{SS} = AV_{SS} = 0 V,
V_{DD} - 0.5 V AV_{DD} V_{DD})

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10			bit
総合誤差 ^{注1}		4.5 V AV _{REF} AV _{DD} AV _{DD} = 5 V ± 10 %			± 0.45	%FSR
		4.75 V AV _{REF} AV _{DD} AV _{DD} = 5 V ± 5 %			± 0.4	%FSR
		3.4 V AV _{REF} < 4.5 V AV _{DD} = 5 V ± 10 %			± 0.7	%FSR
量子化誤差					± 1/2	LSB
変換時間	t _{CONV}	100 ns t _{CYK} 250 ns	168			t _{CYK}
サンプリング時間	t _{SAMP}	100 ns t _{CYK} 250 ns	47			t _{CYK}
ゼロスケール誤差 ^{注1}		4.5 V AV _{REF} AV _{DD} AV _{DD} = 5 V ± 10 %		± 2.5	± 3.5	LSB
		4.75 V AV _{REF} AV _{DD} AV _{DD} = 5 V ± 5 %		± 2.0	± 3.0	LSB
		3.4 V AV _{REF} < 4.5 V AV _{DD} = 5 V ± 10 %		± 3.0	± 4.5	LSB
フルスケール誤差 ^{注1}		4.5 V AV _{REF} AV _{DD} AV _{DD} = 5 V ± 10 %		± 2.5	± 3.5	LSB
		4.75 V AV _{REF} AV _{DD} AV _{DD} = 5 V ± 5 %		± 2.0	± 3.0	LSB
		3.4 V AV _{REF} < 4.5 V AV _{DD} = 5 V ± 10 %		± 3.0	± 4.5	LSB
非直線性誤差 ^{注1}		4.5 V AV _{REF} AV _{DD}		± 1.5	± 2.5	LSB
		3.4 V AV _{REF} < 4.5 V		± 1.5	± 4.5	LSB
アナログ入力電圧 ^{注2}	V _{IAN}		- 0.3		AV _{DD} + 0.3	V
アナログ入力インピーダンス	R _{AN}	非サンプリング時		10		M
		サンプリング時		注3		
A/Dコンバータ基準入力電圧	AV _{REF}		3.4		AV _{DD}	V
AV _{REF} 電流	AI _{REF}			3.0	4.0	mA
AV _{DD} 電源電流	AI _{DD}			1.0	3.0	mA
A/Dコンバータ・データ保持電流	AI _{DDDR}	STOP	AV _{DDDR} = 2.5 V	2	100	μA
		モード	AV _{DDDR} = 5 V ± 10 %	10	1000	μA

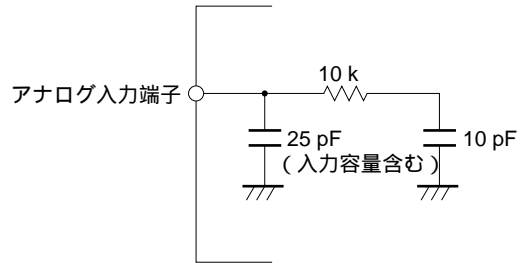
注1. 量子化誤差を除きます。

2. $-0.3\text{ V} < V_{IAN} < 0\text{ V}$ のときは、変換結果が000Hになります。

$0\text{ V} < V_{IAN} < AV_{REF}$ のときは、10ビット分解能で変換を行います。

$AV_{REF} < V_{IAN} < AV_{DD} + 0.3\text{ V}$ のときは、変換結果が3FFHになります。

3. サンプルング時のアナログ入力インピーダンスは、下図の等価回路と同一となります（図中の値はTYP.値で、保証値ではありません）。



備考 $T = t_{CYK} = 1/f_{CLK}$ (f_{CLK} は内部システム・クロック周波数)

(3) μPD78P372 (A2) の電気的特性 (1/9)

絶対最大定格 (T_A = 25)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}		- 0.5 ~ + 7.0	V
	AV _{DD}		- 0.5 ~ V _{DD} + 0.5	V
	V _{PP}		- 0.5 ~ + 13.5	V
	AV _{SS}		- 0.5 ~ + 0.5	V
入力電圧	V _{I1}	注 1, 2, P20/NMI (A9) 端子以外	- 0.5 ~ V _{DD} + 0.5	V
	V _{I2}	P20/NMI (A9) 端子	- 0.5 ~ + 13.5	V
出力電圧	V _O		- 0.5 ~ V _{DD} + 0.5	V
ロウ・レベル出力電流	I _{OL}	全出力端子	4.0	mA
		全出力端子合計	100	mA
ハイ・レベル出力電流	I _{OH}	全出力端子	- 1.0	mA
		全出力端子合計	- 20	mA
アナログ入力電圧	V _{IAN}	注 1, 3 AV _{DD} > V _{DD}	- 0.5 ~ V _{DD} + 0.5	V
		V _{DD} AV _{DD}	- 0.5 ~ AV _{DD} + 0.5	
A/Dコンバータ基準入力電圧	AV _{REF}	AV _{DD} > V _{DD}	- 0.5 ~ V _{DD} + 0.5	V
		V _{DD} AV _{DD}	- 0.5 ~ AV _{DD} + 0.5	
動作周囲温度	T _A		- 40 ~ + 125	
保存温度	T _{stg}		- 65 ~ + 150	

注 1 . 過電圧印加における許容端子注入電流特性の過電圧条件を除きます。

2 . 注 3 に記載以外の端子。

3 . P70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15端子。

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

(3) μPD78P372 (A2) の電気的特性 (2/9)

過電圧印加における許容端子注入電流特性 (TA = -40 ~ +125, VDD = +5V ± 10%, VSS = 0V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
正方向注入電流 (VIN > VDD)	I _{IJH1}	1端子	ANIn (n = 0-15) 以外の入力 ポート	ピーク値		10	mA
				平均値		0.5	mA
	I _{IJH2}		ANIn (n = 0-15)	ピーク値		3	mA
				平均値		1	mA
	I _{IJH}		全入力端子合計	ピーク値		100	mA
				平均値		5	mA
負方向注入電流 (VIN < VSS)	I _{IJL1}	1端子	ANIn (n = 0-15) 以外の入力 ポート	ピーク値		- 4	mA
				平均値		- 0.4	mA
	I _{IJL2}		ANIn (n = 0-15)	ピーク値		- 4	mA
				平均値		- 0.3	mA
	I _{IJL}		全入力端子合計	ピーク値		- 40	mA
				平均値		- 3	mA

注意1. アナログ入力端子 (ANIn : n = 0-15) に注入電流が流れた場合、電流注入端子に隣接するアナログ入力の A/D変換結果は、注入電流が流れていない場合の規格に ±2LSBを加えた値となります。

2. 端子注入電流の平均値 (絶対値) は、次の式により求められます。

$$\text{平均値} = \left(\frac{1}{T} \int_0^T |i(t)|^{3/2} dt \right)^{2/3}$$

ここで i (t) は端子注入電流です。また | i (t) | の最大値がピーク値となります。

推奨動作条件

発振周波数	TA	VDD
8 MHz f _{xx} 20 MHz	- 40 ~ + 125	+ 5.0 V ± 10 %

容量 (TA = 25, VSS = VDD = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _i	f = 1 MHz			20	pF
出力容量	C _o	被測定端子以外は0V			20	pF
入出力容量	C _{io}				20	pF

(3) μPD78P372 (A2) の電気的特性 (3/9)

発振器特性 (TA = - 40 ~ + 125 , VDD = + 5 V ± 10 % , VSS = 0 V)

発振子	推奨回路	項目	MIN.	MAX.	単位
セラミック発振子 または水晶振動子		発振周波数 (f _{xx})	8	20	MHz
外部クロック		X1入力周波数 (f _x)	8	20	MHz
		X1入力立ち上がり, 立ち下がり時間 (t _{xR} , t _{xF})	0	10	ns
		X1入力ハイ, ロウ・レベル幅 (t _{wXH} , t _{wXL})	20	115	ns

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、上図の破線の部分を次のように配線してください。

- ・配線を極力短くする。
- ・ほかの信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- ・発振回路から信号を取り出さない。

(3) μPD78P372 (A2) の電気的特性 (4/9)

DC特性 ($T_A = - 40 \sim + 125$, $V_{DD} = + 5 V \pm 10 \%$, $V_{SS} = 0 V$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位	
ロウ・レベル入力電圧	V_{IL}				0.8	V	
ハイ・レベル入力電圧	V_{IH1}	注 1	2.2			V	
	V_{IH2}	注 2	$0.8V_{DD}$				
ロウ・レベル出力電圧	V_{OL}	$I_{OL} = 2.0 \text{ mA}$			0.45	V	
ハイ・レベル出力電圧	V_{OH}	$I_{OH} = - 400 \mu\text{A}$	$V_{DD} - 1.0$			V	
入力リーク電流	I_{LI}	注 3	$0 V \quad V_i \quad V_{DD}$			± 10	μA
		MODE0/ V_{PP} 端子	$V_i = V_{DD}$			10	μA
			$V_i = 0 V$			- 200	μA
アナログ端子入力リーク電流	I_{LIAN}	注 4	$0 V \quad V_i \quad AV_{DD}$			± 2	μA
出力リーク電流	I_{LO}	$0 V \quad V_o \quad V_{DD}$			± 10	μA	
V_{DD} 電源電流	I_{DD1}	動作モード ($f_{XX} = 20 \text{ MHz}$)		50	60	mA	
	I_{DD2}	HALTモード ($f_{XX} = 20 \text{ MHz}$)		30	50	mA	
データ保持電圧	V_{DDDR}	STOPモード	2.5			V	
データ保持電流	I_{DDDR}	STOPモード	$V_{DDDR} = 2.5 V$		4	100	μA
			$V_{DDDR} = 5 V \pm 10 \%$		15	1000	μA
SBF反転電圧	V_{DDFR}		0.8	1.3	2.4	V	
プルアップ抵抗	R_L	$V_i = 0 V$	15	40	80	k	

注 1 . 注 2 に記載以外の端子。

- 2 . $\overline{\text{RESET}}$, X1, X2, P20/NMI, P21/INTP0/TO00, P22/INTP1/TO01, P23/INTP2/TO02, P24/INTP3/TO03, P25/INTP4/TO04, P26/INTP5/TO05/TI, P32/ $\overline{\text{SCK0}}$, P33/SO, P34/SI, P35/ $\overline{\text{SCK1}}$ 端子。
- 3 . 入力および入出力端子 (ただし, MODE0/ V_{PP} , X1, X2, アナログ入力として使用しているP70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15を除く)。
- 4 . P70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15端子 (アナログ入力として使用している端子で, 非サンプリング動作時のみ)。

(3) μPD78P372 (A2) の電気的特性 (5/9)

AC特性 (TA = - 40 ~ + 125 , VDD = + 5 V ± 10 % , VSS = 0 V , CL = 100 pF)

リード/ライト・オペレーション (汎用メモリ接続時)

項 目	略 号	条 件	MIN.	MAX.	単 位
システム・クロック・サイクル・タイム	tCYK		100	250	ns
アドレス・セットアップ時間 (対ASTB)	tSAST		26		ns
アドレス・ホールド時間 (対ASTB)	tHSTA		30		ns
\overline{RD} アドレス・フロート時間	tFRA			0	ns
アドレス データ入力時間	tDAID			194	ns
\overline{RD} データ入力時間	tDRID			97	ns
ASTB \overline{RD} 遅延時間	tDSTR		34		ns
データ・ホールド時間 (対 \overline{RD})	tHRID		0		ns
\overline{RD} アドレス・アクティブ時間	tDRA		36		ns
\overline{RD} 口ウ・レベル幅	tWRL		120		ns
ASTBハイ・レベル幅	tWSTH		33		ns
\overline{LWR} , \overline{HWR} データ出力時間	tDWOD			40	ns
ASTB \overline{LWR} , \overline{HWR} 遅延時間	tDSTW		34		ns
\overline{LWR} , \overline{HWR} ASTB 遅延時間	tDWST		135		ns
データ・セットアップ時間 (対 \overline{LWR} , \overline{HWR})	tSODW		95		ns
データ・ホールド時間 (対 \overline{LWR} , \overline{HWR})	tHWOD		8		ns
\overline{LWR} , \overline{HWR} 口ウ・レベル幅	tWWL		114		ns
\overline{WAIT} セットアップ時間 (対アドレス)	tSAWT			82	ns
\overline{WAIT} ホールド時間 (対アドレス)	tHAWT		150		ns
\overline{WAIT} セットアップ時間 (対ASTB)	tSASRY			34	ns
\overline{WAIT} ホールド時間 (対ASTB)	tHASRY		81		ns
\overline{WAIT} セットアップ時間 (対 \overline{RD})	tSRRY			- 25	ns
\overline{WAIT} セットアップ時間 (対 \overline{LWR} , \overline{HWR})	tSWRY			- 25	ns
\overline{WAIT} ホールド時間 (対 \overline{RD})	tHRRY		41		ns
\overline{WAIT} ホールド時間 (対 \overline{LWR} , \overline{HWR})	tHWRY		41		ns
アドレス \overline{RD} 遅延時間	tDAR			115	ns
アドレス \overline{LWR} , \overline{HWR} 遅延時間	tDAW			115	ns

(3) μPD78P372 (A2) の電気的特性 (6/9)

t_{CYK} 依存のバス・タイミング定義

項 目	計 算 式	MIN./MAX.	単 位
t_{SAST}	$(0.5 + a)T - 24$	MIN.	ns
t_{HSTA}	$0.5T - 20$	MIN.	ns
t_{WSTH}	$(0.5 + a)T - 17$	MIN.	ns
t_{DSTR}	$0.5T - 16$	MIN.	ns
t_{WRL}	$(1.5 + n)T - 30$	MIN.	ns
t_{DAID}	$(2.5 + a + n)T - 56$	MAX.	ns
t_{DRID}	$(1.5 + n)T - 53$	MAX.	ns
t_{DRA}	$0.5T - 14$	MIN.	ns
t_{DSTW}	$0.5T - 16$	MIN.	ns
t_{DWST}	$1.5T - 15$	MIN.	ns
t_{WWL}	$(1.5 + n)T - 36$	MIN.	ns
t_{DWOD}	$0.5T - 10$	MAX.	ns
t_{SODW}	$(1 + n)T - 5$	MIN.	ns
t_{SAWT}	$(a + n)T - 18$	MAX.	ns
t_{HAWT}	$(0.5 + a + n)T$	MIN.	ns
t_{SASRY}	$(n - 0.5)T - 16$	MAX.	ns
t_{HASRY}	$(n - 0.5)T + 31$	MIN.	ns
t_{SRRY}	$(n - 1)T - 25$	MAX.	ns
t_{SWRY}	$(n - 1)T - 25$	MAX.	ns
t_{HRRY}	$(n - 0.5)T - 9$	MIN.	ns
t_{HWRY}	$(n - 0.5)T - 9$	MIN.	ns
t_{DAR}	$(a + 1)T + 15$	MAX.	ns
t_{DAW}	$(a + 1)T + 15$	MAX.	ns

備考 1 . $T = t_{CYK} = 1/f_{CLK}$ (f_{CLK} は内部システム・クロック周波数)

- 2 . a は、アドレス・ウエイト挿入時に 1 になり、その他のときは 0 になります。
- 3 . n は、外部ウエイト端子 (\overline{WAIT}) または PWCレジスタの指定により挿入されるウエイト・サイクル数です。
- 4 . バス・タイミングのうち、この表に示す項目のみ t_{CYK} に依存します。

(3) μPD78P372 (A2) の電気的特性 (7/9)

シリアル・オペレーション (T_A = -40 ~ +125 , V_{DD} = +5V ± 10% , V_{SS} = 0V)

項 目	略 号	条 件		MIN.	MAX.	単 位
シリアル・クロック・サイクル・タイム	tcysk	SCK0, SCK1出力	内部8分周	800		ns
		SCK0, SCK1入力	外部クロック	800		ns
シリアル・クロック・ロウ・レベル幅	twskl	SCK0, SCK1出力	内部8分周	360		ns
		SCK0, SCK1入力	外部クロック	360		ns
シリアル・クロック・ハイ・レベル幅	twskh	SCK0, SCK1出力	内部8分周	360		ns
		SCK0, SCK1入力	外部クロック	360		ns
SIセットアップ時間 (対SCK1)	tsrxsk			80		ns
SIホールド時間 (対SCK1)	thskrx			80		ns
SCK1 SO遅延時間	tdsktx	R = 1k , C = 100pF			110	ns

t_{cyk}依存のシリアル・オペレーション

略 号	条 件		計 算 式	MIN./MAX.	単 位
tcysk	SCK0, SCK1出力	内部8分周	8T	MIN.	ns
	SCK0, SCK1入力	外部クロック	8T	MIN.	ns
twskl	SCK0, SCK1出力	内部8分周	4T - 40	MIN.	ns
	SCK0, SCK1入力	外部クロック	4T - 40	MIN.	ns
twskh	SCK0, SCK1出力	内部8分周	4T - 40	MIN.	ns
	SCK0, SCK1入力	外部クロック	4T - 40	MIN.	ns

備考1 . T = t_{cyk} = 1/f_{clk} (f_{clk}は内部システム・クロック周波数)

2 . シリアル・オペレーションのうち、この表に示す項目のみt_{cyk}に依存します。

(3) μPD78P372 (A2) の電気的特性 (8/9)

その他のオペレーション (TA = -40 ~ +125, VDD = +5V ± 10%, VSS = 0V)

項目	略号	条件	MIN.	MAX.	単位
NMIハイ, ロウ・レベル幅	tWNIH, tWNIL		3		μs
INTP0ハイ, ロウ・レベル幅	tWI0H, tWI0L		400		ns
INTP1ハイ, ロウ・レベル幅	tWI1H, tWI1L		400		ns
INTP2ハイ, ロウ・レベル幅	tWI2H, tWI2L		400		ns
INTP3ハイ, ロウ・レベル幅	tWI3H, tWI3L		400		ns
INTP4ハイ, ロウ・レベル幅	tWI4H, tWI4L		400		ns
INTP5ハイ, ロウ・レベル幅	tWI5H, tWI5L		400		ns
TIハイ, ロウ・レベル幅	tWTIH, tWTIL	NI = 0	400		ns
		NI = 1	1.6		μs
RESETハイ, ロウ・レベル幅	tWRSH, tWRSL		3		μs

備考 NI: ノイズ・プロテクション・コントロール・レジスタ (NPC) のビット 0

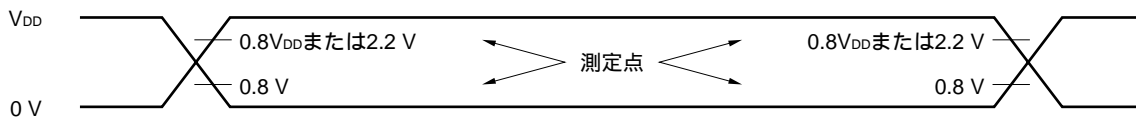
t_{cyk}依存のその他のオペレーション

略号	条件	計算式	MIN./MAX.	単位
tWI0H, tWI0L		4T	MIN.	ns
tWI1H, tWI1L		4T	MIN.	ns
tWI2H, tWI2L		4T	MIN.	ns
tWI3H, tWI3L		4T	MIN.	ns
tWI4H, tWI4L		4T	MIN.	ns
tWI5H, tWI5L		4T	MIN.	ns
tWTIH, tWTIL	NI = 0	4T	MIN.	ns
	NI = 1	16T		

備考 1. T = t_{cyk} = 1/f_{clk} (f_{clk}は内部システム・クロック周波数)

2. この表に示す項目のみt_{cyk}に依存します。
3. NI: ノイズ・プロテクション・コントロール・レジスタ (NPC) のビット 0

ACタイミング測定点



(3) μPD78P372 (A2) の電気的特性 (9/9)

A/Dコンバータ特性 (T_A = -40 ~ +125 , V_{DD} = +5 V ± 10 % , V_{SS} = AV_{SS} = 0 V,
V_{DD} - 0.5 V AV_{DD} V_{DD})

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10			bit
総合誤差 ^{注1}		4.5 V AV _{REF} AV _{DD} AV _{DD} = 5 V ± 10 %			± 0.45	%FSR
		4.75 V AV _{REF} AV _{DD} AV _{DD} = 5 V ± 5 %			± 0.4	%FSR
		3.4 V AV _{REF} < 4.5 V AV _{DD} = 5 V ± 10 %			± 0.7	%FSR
量子化誤差					± 1/2	LSB
変換時間	t _{CONV}	100 ns t _{CYK} 250 ns	168			t _{CYK}
サンプリング時間	t _{SAMP}	100 ns t _{CYK} 250 ns	47			t _{CYK}
ゼロスケール誤差 ^{注1}		4.5 V AV _{REF} AV _{DD} AV _{DD} = 5 V ± 10 %		± 2.5	± 3.5	LSB
		4.75 V AV _{REF} AV _{DD} AV _{DD} = 5 V ± 5 %		± 2.0	± 3.0	LSB
		3.4 V AV _{REF} < 4.5 V AV _{DD} = 5 V ± 10 %		± 3.0	± 4.5	LSB
フルスケール誤差 ^{注1}		4.5 V AV _{REF} AV _{DD} AV _{DD} = 5 V ± 10 %		± 2.5	± 3.5	LSB
		4.75 V AV _{REF} AV _{DD} AV _{DD} = 5 V ± 5 %		± 2.0	± 3.0	LSB
		3.4 V AV _{REF} < 4.5 V AV _{DD} = 5 V ± 10 %		± 3.0	± 4.5	LSB
非直線性誤差 ^{注1}		4.5 V AV _{REF} AV _{DD}		± 1.5	± 2.5	LSB
		3.4 V AV _{REF} < 4.5 V		± 1.5	± 4.5	LSB
アナログ入力電圧 ^{注2}	V _{IAN}		- 0.3		AV _{DD} + 0.3	V
アナログ入力インピーダンス	R _{AN}	非サンプリング時		10		M
		サンプリング時		注3		
A/Dコンバータ基準入力電圧	AV _{REF}		3.4		AV _{DD}	V
AV _{REF} 電流	AI _{REF}			3.0	4.0	mA
AV _{DD} 電源電流	AI _{DD}			1.0	3.0	mA
A/Dコンバータ・データ保持電流	AI _{DDDR}	STOP	AV _{DDDR} = 2.5 V	2	100	μA
		モード	AV _{DDDR} = 5 V ± 10 %	10	1000	μA

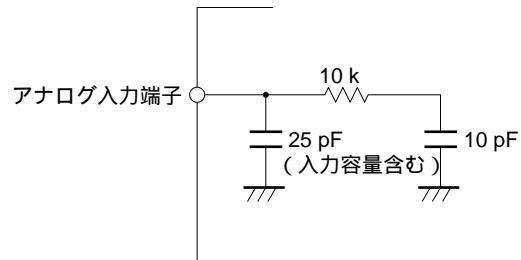
注1. 量子化誤差を除きます。

2. $-0.3\text{ V} < V_{\text{IAN}} < 0\text{ V}$ のときは、変換結果が000Hになります。

$0\text{ V} < V_{\text{IAN}} < AV_{\text{REF}}$ のときは、10ビット分解能で変換を行います。

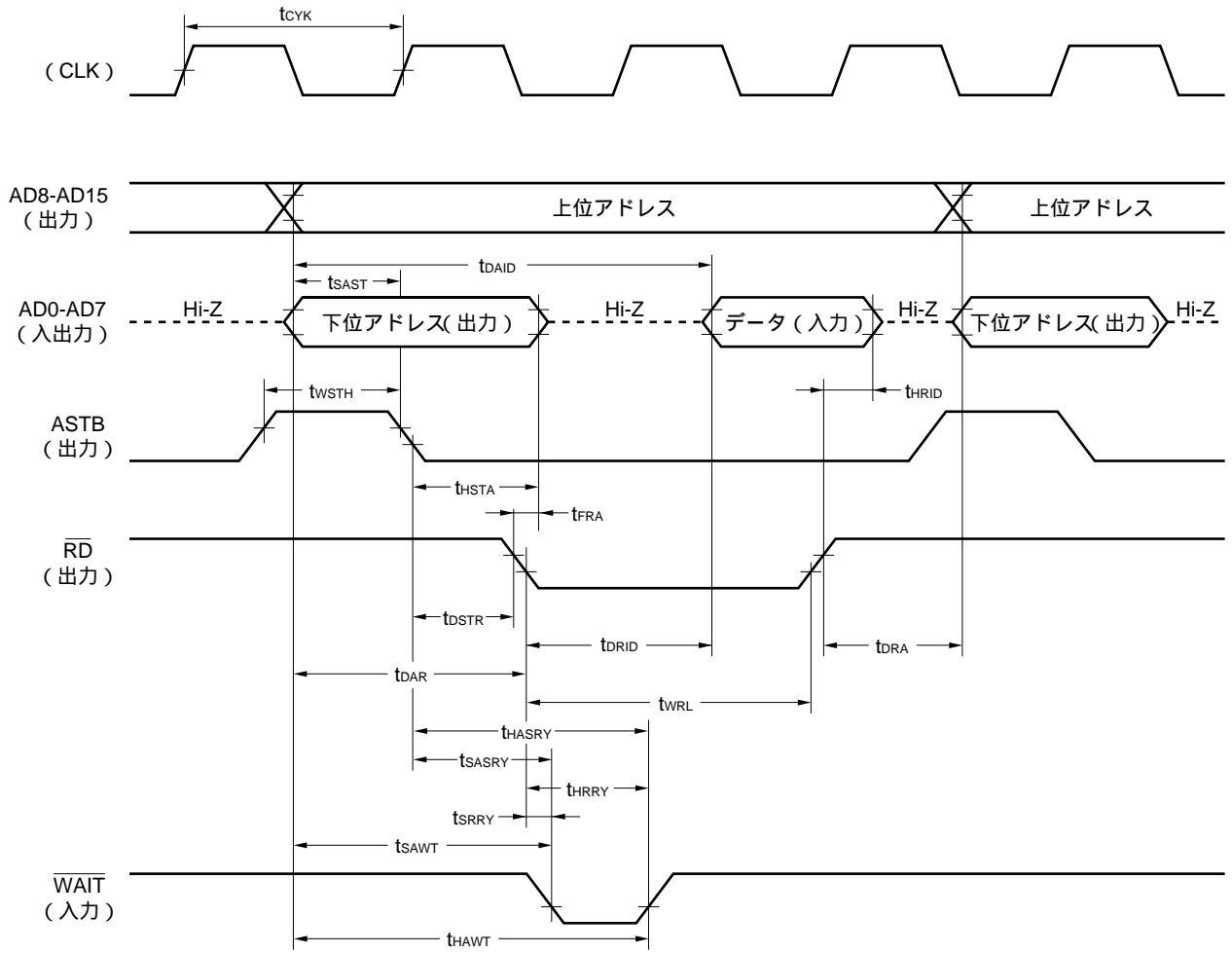
$AV_{\text{REF}} < V_{\text{IAN}} < AV_{\text{DD}} + 0.3\text{ V}$ のときは、変換結果が3FFHになります。

3. サンプル時のアナログ入力インピーダンスは、下図の等価回路と同一となります（図中の値はTYP.値で、保証値ではありません）。

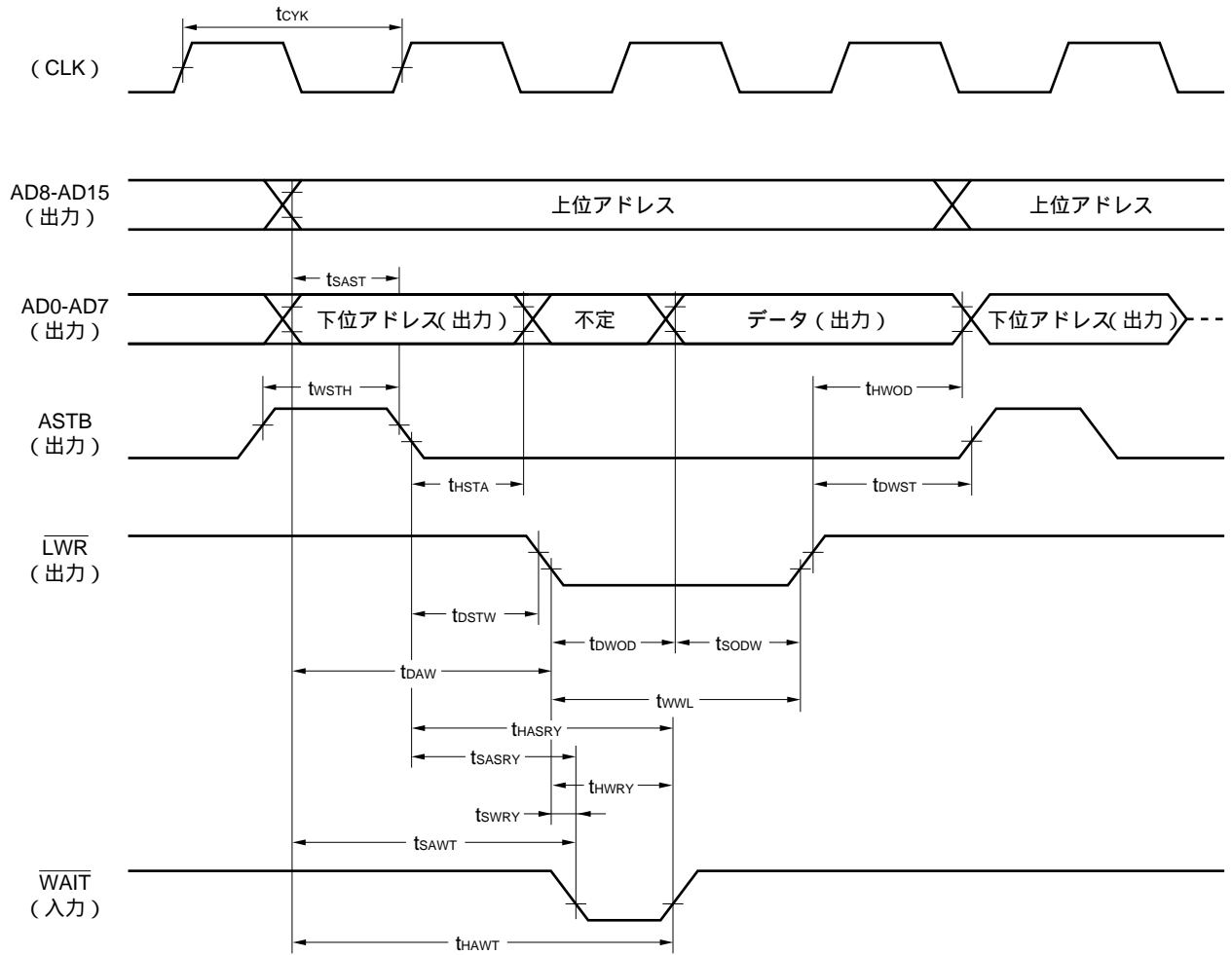


備考 $T = t_{\text{CYK}} = 1/f_{\text{CLK}}$ (f_{CLK} は内部システム・クロック周波数)

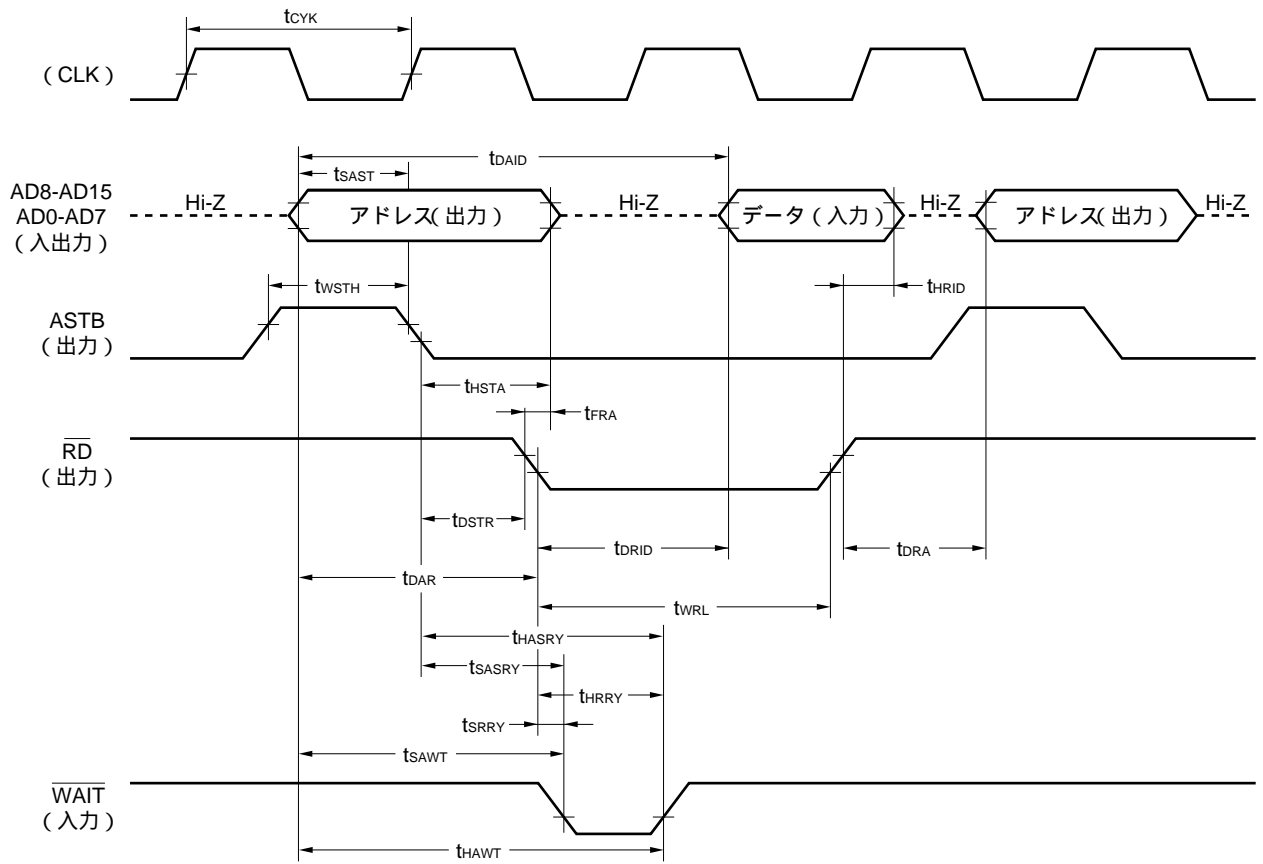
リード・オペレーション(8ビット)



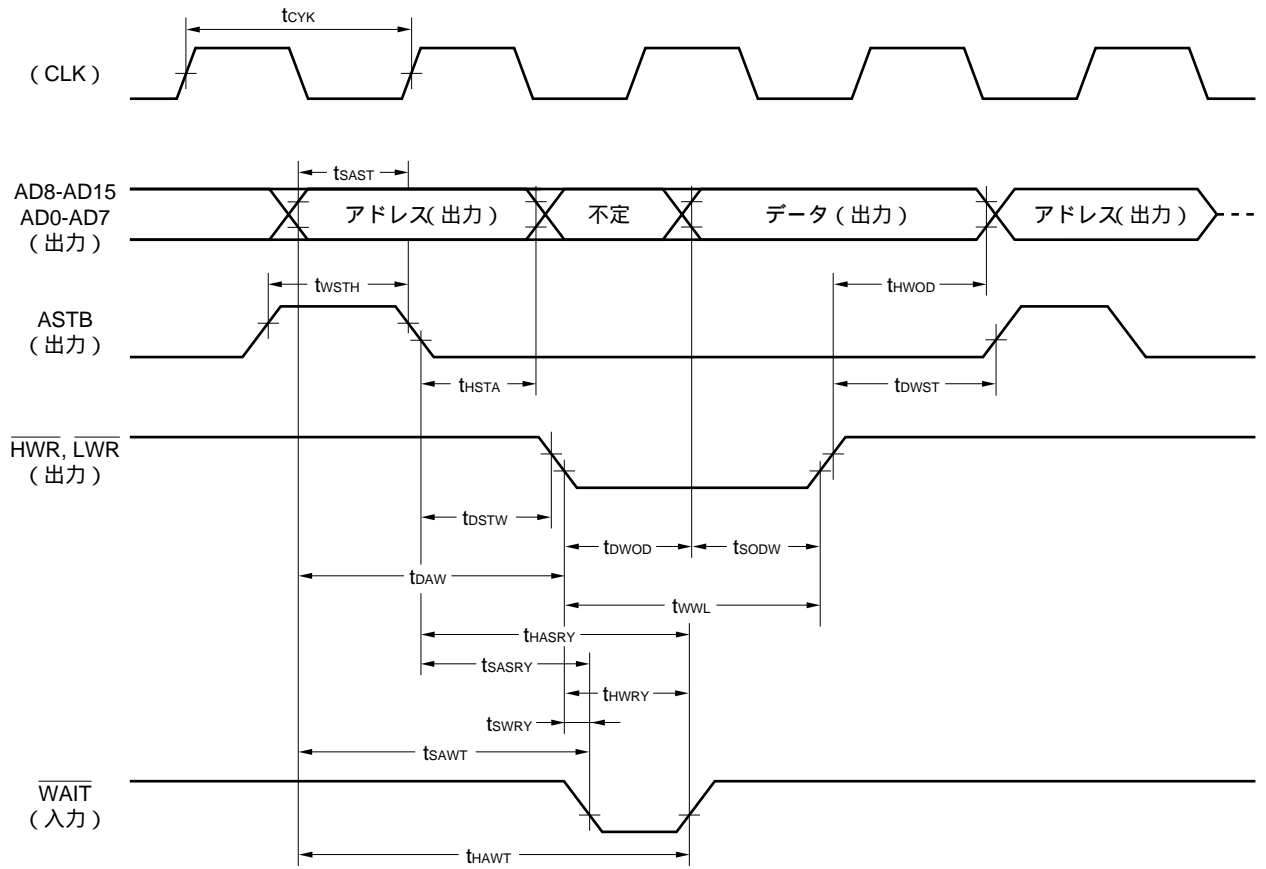
ライト・オペレーション (8ビット)



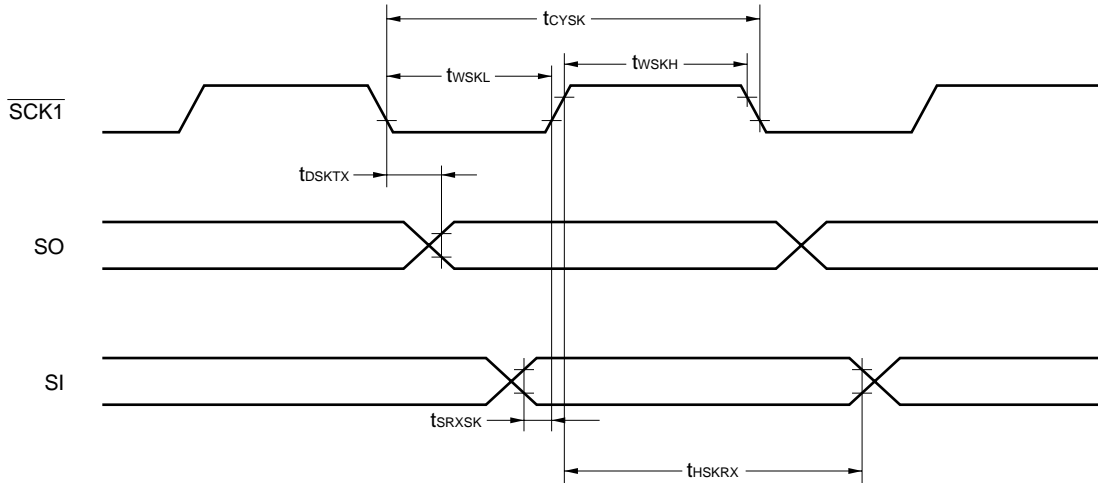
リード・オペレーション (16ビット)



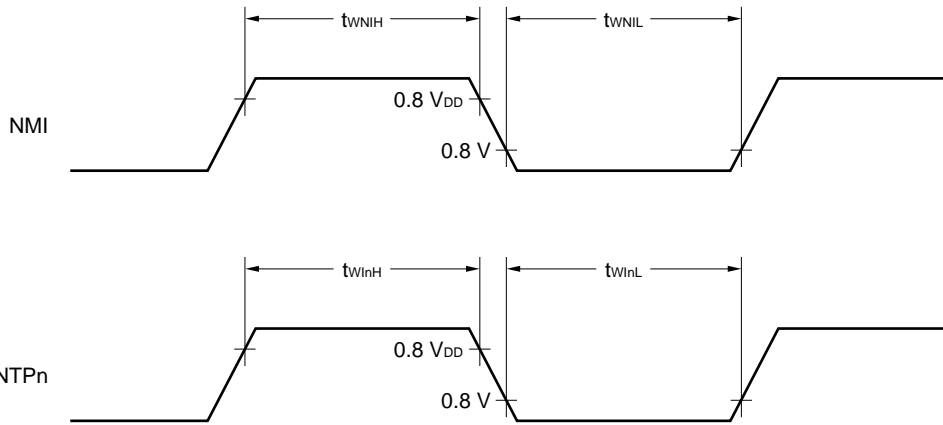
ライト・オペレーション (16ビット)



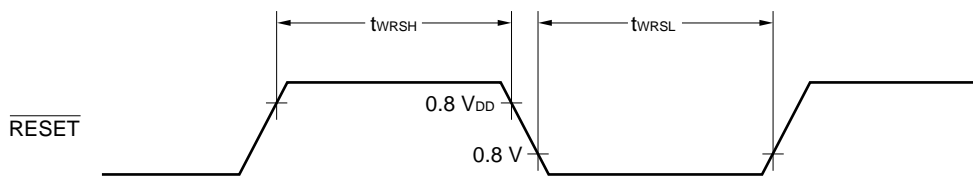
シリアル・オペレーション



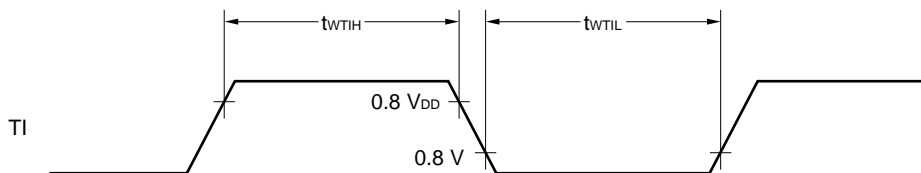
割り込み入力タイミング



リセット入力タイミング



タイマ入力タイミング



DCプログラミング特性 (TA = 25 ± 5 , VSS = 0V)

項目	略号	略号 ^{注1}	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH}	V _{IH}		2.2		V _{DDP} + 0.3	V
ロウ・レベル入力電圧	V _{IL}	V _{IL}		- 0.3		0.8	V
入力リーク電流	I _{LIP}	I _{LI}	0 V _I V _{DDP} ^{注2}			± 10	μA
ハイ・レベル出力電圧	V _{OH}	V _{OH}	I _{OH} = - 400 μA	2.4			V
ロウ・レベル出力電圧	V _{OL}	V _{OL}	I _{OL} = 2.1 mA			0.45	V
入力電流	I _{A9}	-	A9 (P20/NMI) 端子			± 10	μA
出力リーク電流	I _{LO}	-	0 V _O V _{DDP} , $\overline{OE} = V_{IH}$			± 10	μA
V _{DDP} 電源電圧	V _{DDP}	V _{CC}	プログラム・メモリ書き込みモード	6.25	6.5	6.75	V
			プログラム・メモリ読み出しモード	4.5	5.0	5.5	V
V _{PP} 電源電圧	V _{PP}	V _{PP}	プログラム・メモリ書き込みモード	12.2	12.5	12.8	V
			プログラム・メモリ読み出しモード	V _{PP} = V _{DDP}			V
V _{DDP} 電源電流	I _{DD}	I _{DD}	プログラム・メモリ書き込みモード			30	mA
			プログラム・メモリ読み出しモード			100	mA
V _{PP} 電源電流	I _{PP}	I _{PP}	プログラム・メモリ書き込みモード			50	mA
			プログラム・メモリ読み出しモード		1.0	100	μA

注1 . 対応する μPD27C1001Aの略号です。

2 . V_{DDP}は , プログラミング時のV_{DD}端子です。

ACプログラミング特性 ($T_A = 25 \pm 5$, $V_{SS} = 0V$)

PROM書き込みモード時 (ページ・プログラム・モード)

項目	略号 ^{注1}	条件	MIN.	TYP.	MAX.	単位
アドレス・セットアップ時間	t _{AS}		2			μs
\overline{CE} セット時間	t _{CES}		2			μs
入力データ・セットアップ時間	t _{DS}		2			μs
アドレス・ホールド時間	t _{AH}		2			μs
	t _{AHL}		2			μs
	t _{AHV}		0			μs
入力データ・ホールド時間	t _{DH}		2			μs
出力データ・ホールド時間	t _{DF}		0		250	ns
V _{PP} セットアップ時間	t _{VPS}		2			ms
V _{DDP} セットアップ時間	t _{VDS} ^{注2}		2			ms
初期プログラム・パルス幅	t _{PW}		0.095	0.1	0.105	ms
\overline{OE} セット時間	t _{OES}		2			μs
\overline{OE} 有効データ遅延時間	t _{OE}				1.0	μs
データ・ラッチ中の \overline{OE} パルス幅	t _{LW}		1			μs
\overline{PGM} セットアップ時間	t _{PGMS}		2			μs
\overline{CE} ホールド時間	t _{CEH}		2			μs
\overline{OE} ホールド時間	t _{OEH}		2			μs

注1 . μPD27C1001Aの略号と対応しています (t_{VDS}を除きます)。2 . t_{VDS}のμPD27C1001Aでの略号はt_{VCS}です。

PROM書き込みモード時 (バイト・プログラム・モード)

項 目	略 号 ^{注1}	条 件	MIN.	TYP.	MAX.	単 位
アドレス・セットアップ時間	tAS		2			μs
\overline{CE} セット時間	tCES		2			μs
入力データ・セットアップ時間	tDS		2			μs
アドレス・ホールド時間	tAH		2			μs
入力データ・ホールド時間	tDH		2			μs
出力データ・ホールド時間	tDF		0		250	ns
V _{PP} セットアップ時間	tVPS		2			ms
V _{DDP} セットアップ時間	tVDS ^{注2}		2			ms
初期プログラム・パルス幅	tPW		0.095	0.1	0.105	ms
\overline{OE} セット時間	tOES		2			μs
\overline{OE} 有効データ遅延時間	tOE				1.0	μs

注1 . μPD27C1001Aの略号と対応しています (t_{VDS}を除きます)。

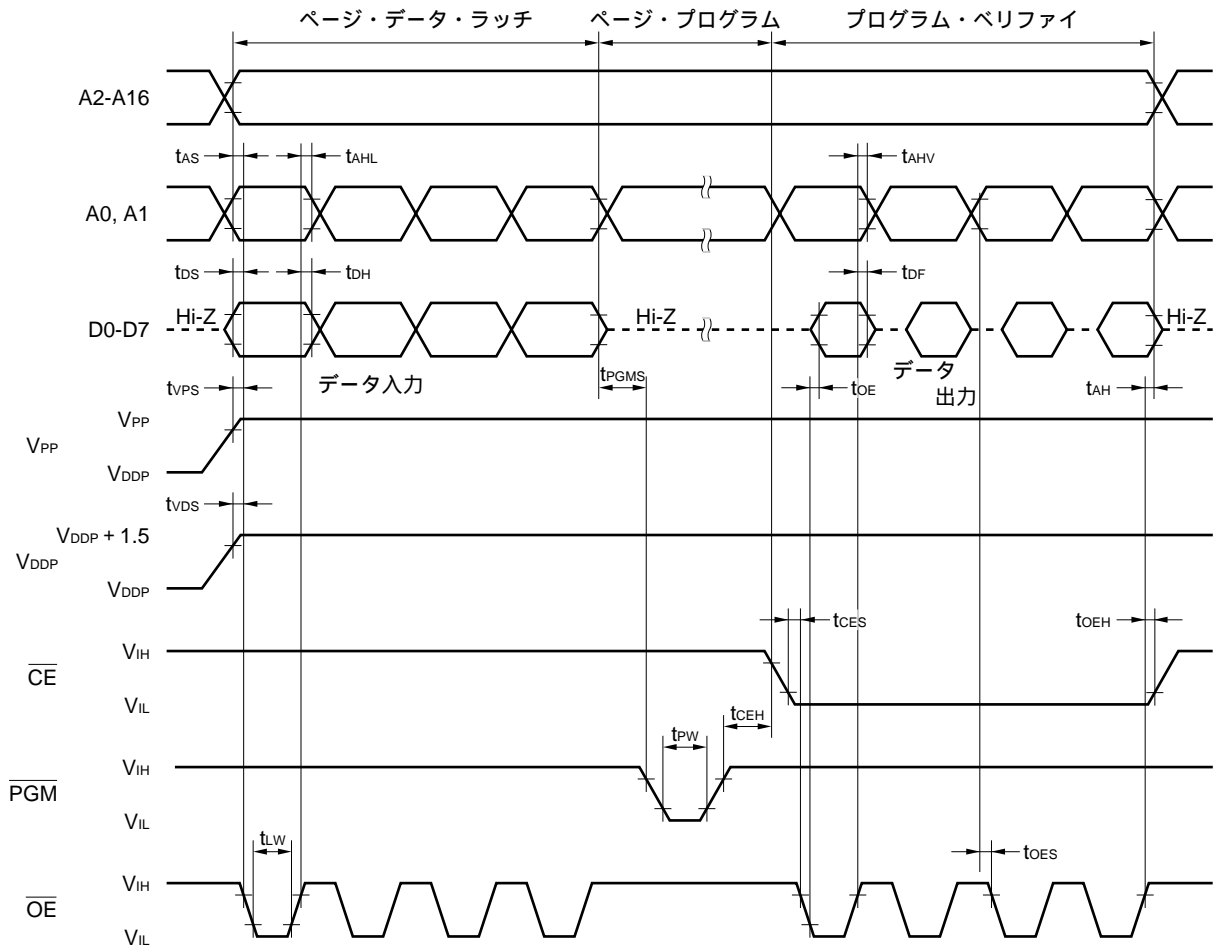
2 . t_{VDS}のμPD27C1001Aでの略号はt_{VCS}です。

PROM読み出しモード時

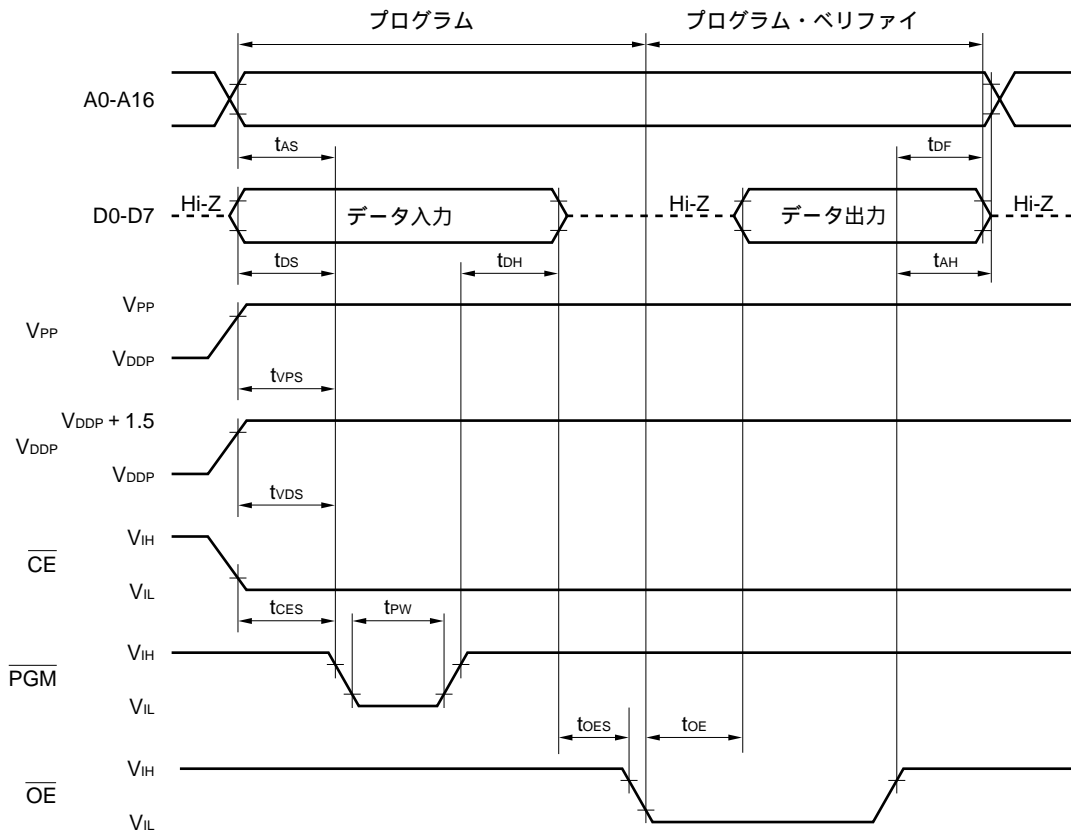
項 目	略 号 ^注	条 件	MIN.	TYP.	MAX.	単 位
アドレス データ出力時間	tACC	$\overline{CE} = \overline{OE} = V_{IL}$			1.0	μs
\overline{CE} データ出力時間	tCE	$\overline{OE} = V_{IL}$			1.0	μs
\overline{OE} データ出力時間	tOE	$\overline{CE} = V_{IL}$			1.0	μs
データ・ホールド時間 (対 \overline{OE})	tDF	$\overline{CE} = V_{IL}$	0		250	ns
データ・ホールド時間 (対アドレス)	tOH	$\overline{CE} = \overline{OE} = V_{IL}$	0			ns

注 μPD27C1001Aの略号と対応しています。

PROM書き込みモード・タイミング (ページ・プログラム・モード)

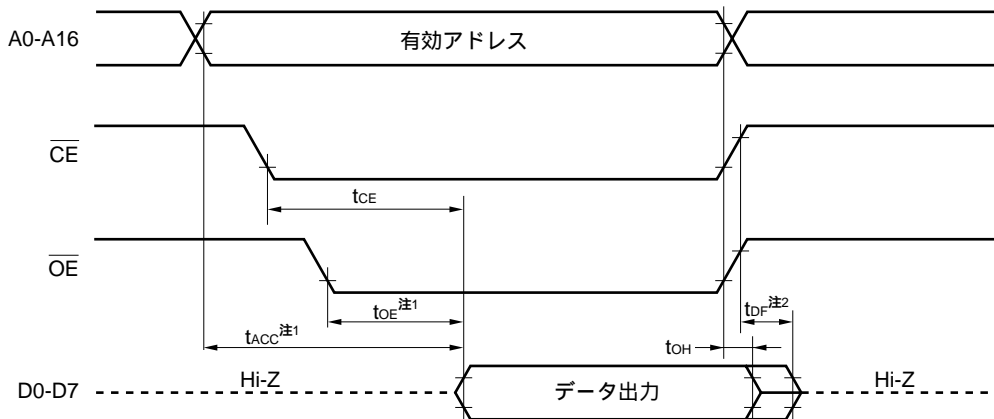


PROM書き込みモード・タイミング (バイト・プログラム・モード)



- 注意 1 . V_{DDP} は V_{PP} より前に印加し、 V_{PP} のあとから切断するようにしてください。
- 2 . V_{PP} はオーバーシュートを含めて+ 13.5 V以上にならないようにしてください。
- 3 . V_{PP} に+ 12.5 Vが印加されている間に抜き差しした場合、信頼性上、悪影響を受ける可能性があります。

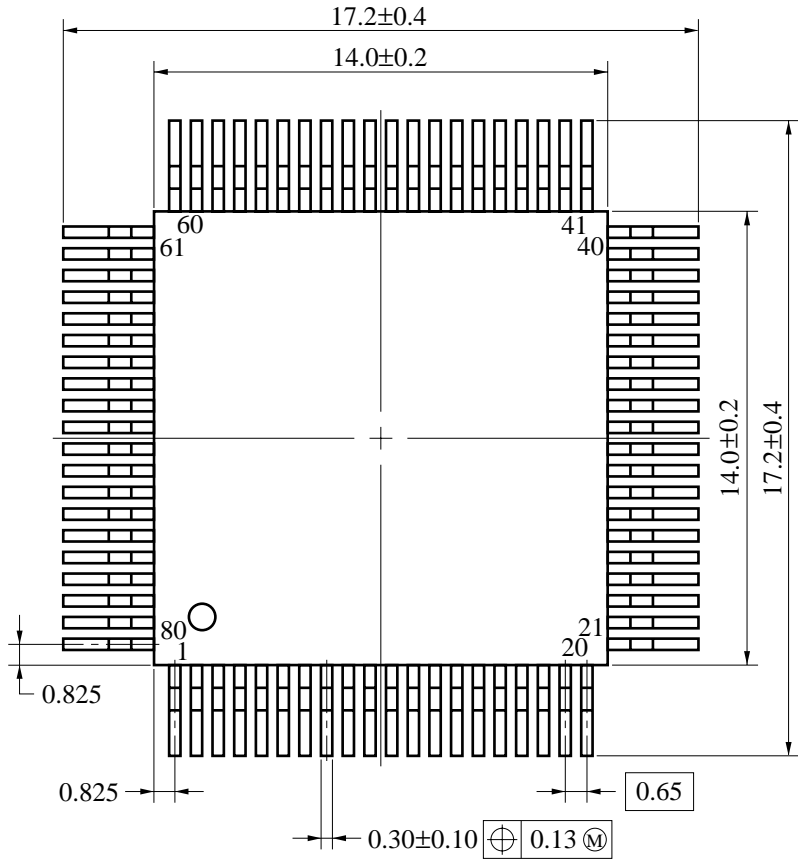
PROM読み出しモード・タイミング



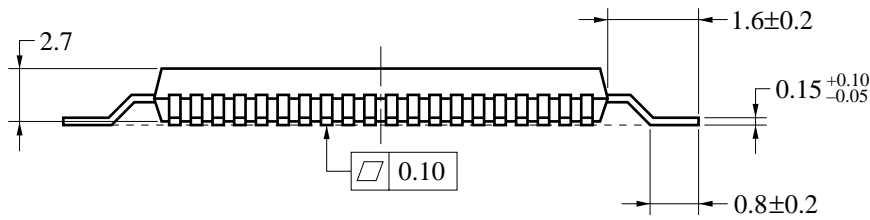
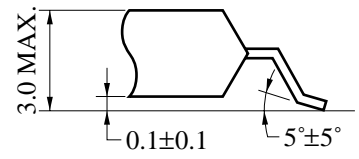
- 注 1 . t_{ACC} の範囲内でリードしたい場合、 \overline{OE} 入力の \overline{CE} の立ち下がりからの遅れ時間は最大 $t_{ACC} - t_{OE}$ としてください。
- 2 . t_{DF} は \overline{OE} 、 \overline{CE} のどちらか最初に V_{IH} となった状態からの時間です。

6. 外形図

80ピン・プラスチック QFP (14×14) 外形図 (単位: mm)



端子先端形状詳細図



S80GC-65-3B9-4

7. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表7 - 1 表面実装タイプの半田付け条件

- μPD78P372GC (A) -3B9 : 80ピン・プラスチックQFP (14 mm)
- μPD78P372GC (A1) -3B9 : "
- μPD78P372GC (A2) -3B9 : "
- μPD78P372GF (A) -3B9 : 80ピン・プラスチックQFP (14 x 20 mm)
- μPD78P372GF (A1) -3B9 : "
- μPD78P372GF (A2) -3B9 : "

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：3回以内 制限日数：7日間 ^注 （以降は125 プリベーク20時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-207-3
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：3回以内 制限日数：7日間 ^注 （以降は125 プリベーク20時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-207-3
ウェーブ・ソルダーリング	半田槽温度：260 以下，時間：10秒以内（200 以上），回数：1回， 予備加熱温度：120 MAX.（パッケージ表面温度） 制限日数：7日間 ^注 （以降は125 プリベーク20時間必要）	WS60-207-1
端子部分加熱	端子温度：300 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

付録A . μPD78P372KL-S

注意 μPD78P372KL-Sは、お客様の装置の量産製品に使用されることを意図した信頼性を保持しておりません。
実験または試作時の機能評価用にもみご使用ください。

μPD78P372KL-Sは、EPROM内蔵製品です。EPROM製品は、プログラムの書き込み、消去、再書き込みが可能で、システム評価に最適です。

μPD78P372KL-Sの機能は、μPD78P372(A)と比較して、品質水準、ROMの仕様による差を除いてすべて共通となります。両者の違いを表A - 1に示します。

なお、この章ではμPD78P372(A)と異なる部分についてのみ説明します。

表A - 1 μPD78P372KL-S と μPD78P372 (A) の違い

項 目	μPD78P372KL-S	μPD78P372 (A)
品質水準	適用外 (機能評価用)	特別 (高信頼度電子機器用)
内部プログラム・メモリ (電気的書き込み)	EPROM (再書き込み可)	ワン・タイムPROM (一度だけ書き込み可)
パッケージ	80ピン・セラミック WQFN (14×20 mm)	80ピン・プラスチック QFP (14 mm) 80ピン・プラスチック QFP (14×20 mm)

備考 μPD78P372KL-Sの電気的特性は、μPD78P372(A)と同じです。5. 電気的特性 (1) μPD78P372(A)の電気的特性を参照してください。

特 徴

内部PROM : 24 Kバイト

- ・紫外線消去，電気的再書き込み可能 (窓付きEPROM製品)

オーダ情報

オーダ名称	パッケージ	内部ROM	品質水準
μPD78P372KL-S	80ピン・セラミックWQFN (14×20 mm)	EPROM	適用外 (機能評価用)

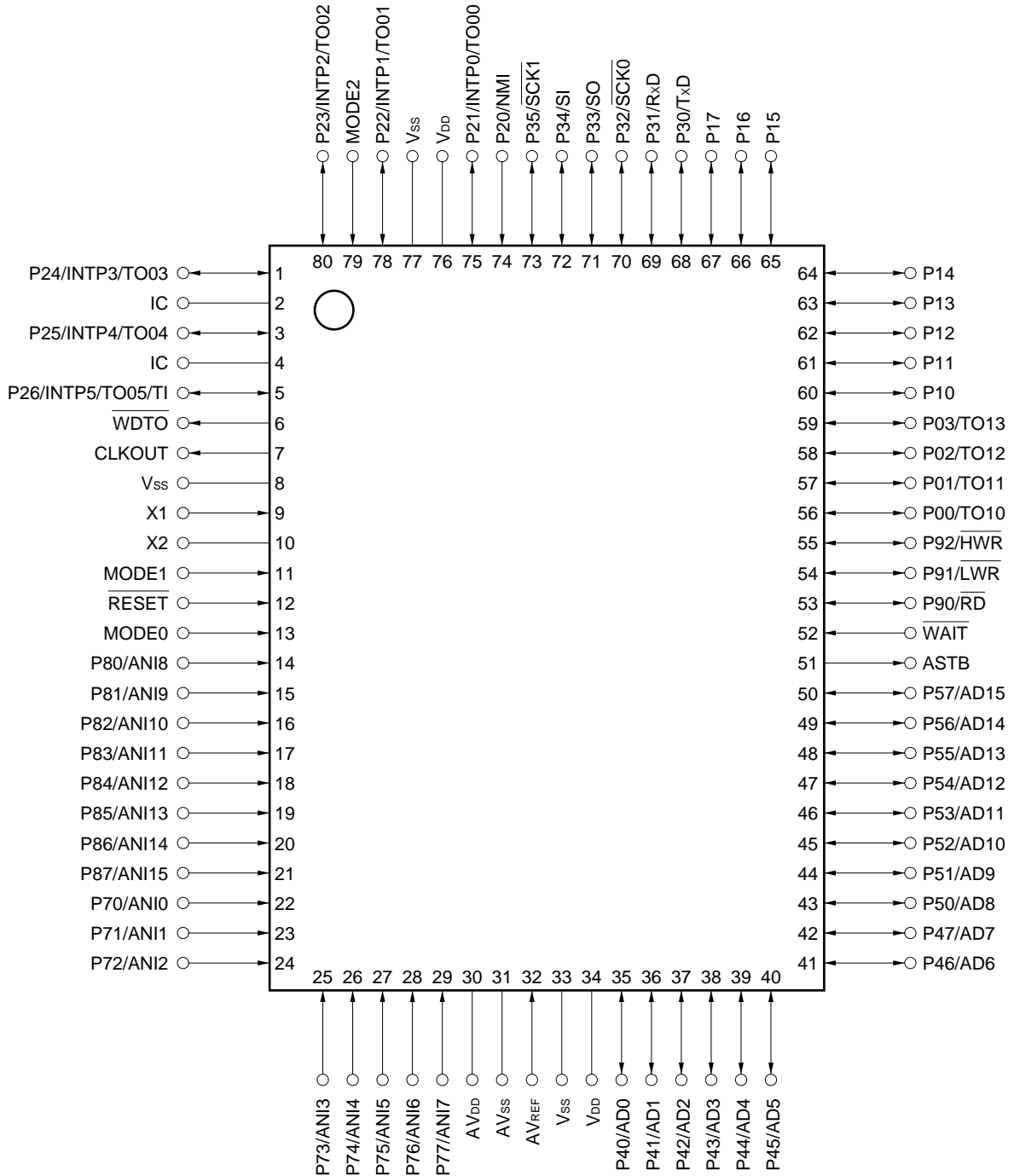
品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

端子接続図 (Top View)

(1) 通常動作モード (MODE0 = L, MODE1 = L)

・80ピン・セラミックWQFN (14 × 20 mm)

μPD78P372KL-S



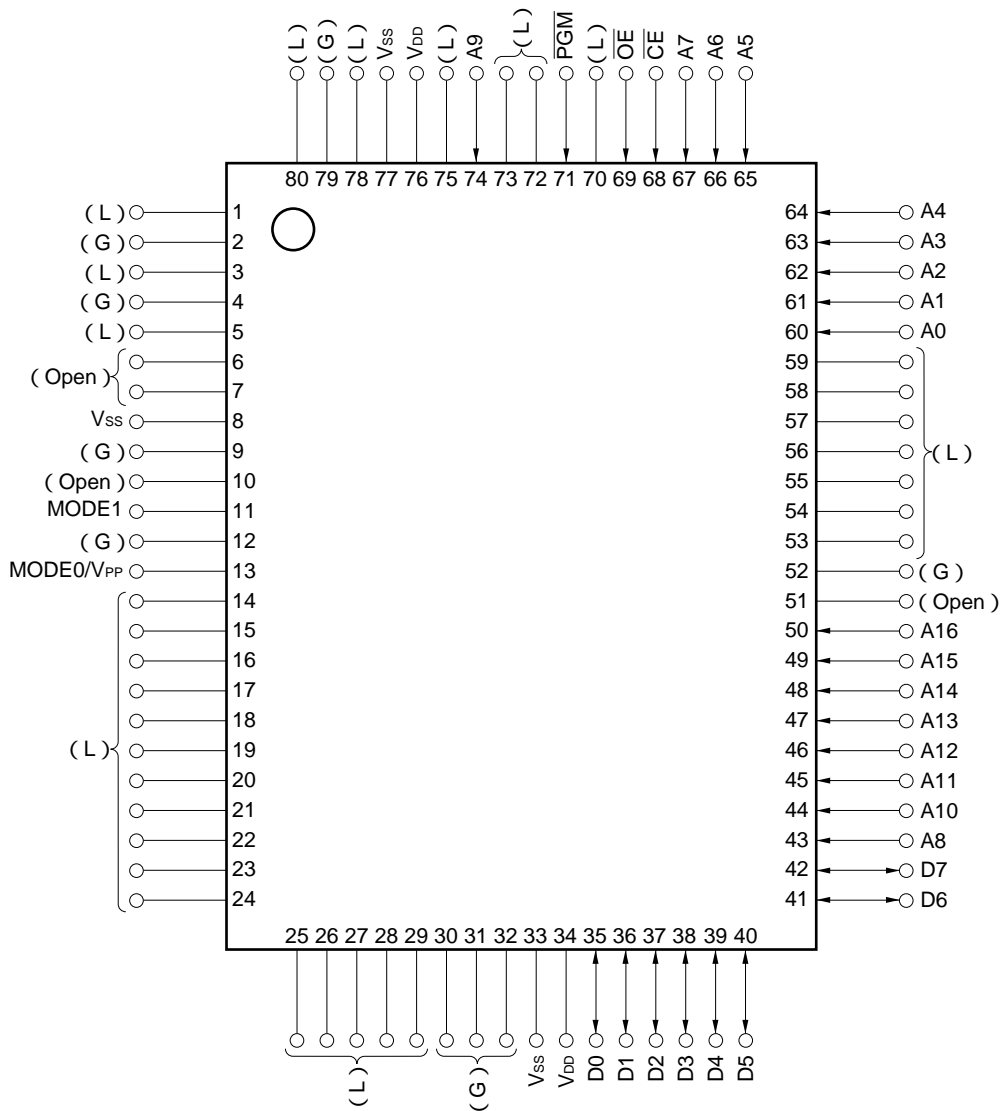
注意 IC端子はV_{SS}に直接接続してください。

P00-P03	: Port0	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$: Serial Clock
P10-P17	: Port1	$\overline{\text{WDTO}}$: Watchdog Timer Output
P20-P26	: Port2	MODE0-MODE2	: Mode
P30-P35	: Port3	AD0-AD15	: Address/Data Bus
P40-P47	: Port4	ASTB	: Address Strobe
P50-P57	: Port5	$\overline{\text{RD}}$: Read Strobe
P70-P77	: Port7	$\overline{\text{LWR}}$: Low Address Write Strobe
P80-P87	: Port8	$\overline{\text{HWR}}$: High Address Write Strobe
P90-P92	: Port9	$\overline{\text{WAIT}}$: Wait
NMI	: Nonmaskable Interrupt	CLKOUT	: Clock Output
INTP0-INTP5	: Interrupt From Peripherals	$\overline{\text{RESET}}$: Reset
TO00-TO05	: } Timer Output	X1, X2	: Crystal
TO10-TO13	: }	AV_{DD}	: Analog V_{DD}
TI	: Timer Input	AV_{SS}	: Analog V_{SS}
ANI0-ANI15	: Analog Input	AV_{REF}	: Analog Reference Voltage
TxD	: Transmit Data	V_{DD}	: Power Supply
RxD	: Receive Data	V_{SS}	: Ground
SI	: Serial Input	IC	: Internally Connected
SO	: Serial Output		

(2) PROMプログラミング・モード (MODE0/V_{PP} = +5V, MODE1 = G)

・80ピン・セラミックWQFN (14×20 mm)

μPD78P372KL-S



注意 () 内は, PROMプログラミング・モードでは使用しない端子の処理です。

L : 個別に抵抗を介して, V_{SS}に接続してください。

G : V_{SS}に接続してください。

Open : 何も接続しないでください。

A0-A16	: Address Bus	MODE0, MODE1	: Programming Mode Set
D0-D7	: Data Bus	V _{DD}	: Power Supply
$\overline{\text{CE}}$: Chip Enable	V _{SS}	: Ground
$\overline{\text{OE}}$: Output Enable	V _{PP}	: Programming Power Supply
$\overline{\text{PGM}}$: Programming Mode		

A.1 消去特性

μPD78P372KL-Sは、プログラム・メモリに書き込まれたデータの内容を消去（FFH）して、再書き込みをすることができます。

データの内容を消去する場合は、約400 nmより短い波長の光を消去用窓部に照射して行います。通常は、254 nmの波長の紫外線を照射します。データの内容を完全に消去するために必要な照射量は、次のとおりです。

- ・紫外線強度 × 消去時間：15 W・s/cm²以上
- ・消去時間：15～20分（12,000 μW/cm²の紫外線ランプ使用の場合。ただし、紫外線ランプの性能劣化、消去用窓部の汚れなどにより長くなる場合があります。）

なお、消去の場合は、紫外線ランプを消去用窓部から2.5 cm以内の位置に設置してください。また、紫外線ランプにフィルタが付いている場合は、そのフィルタを取り外してから照射を行ってください。

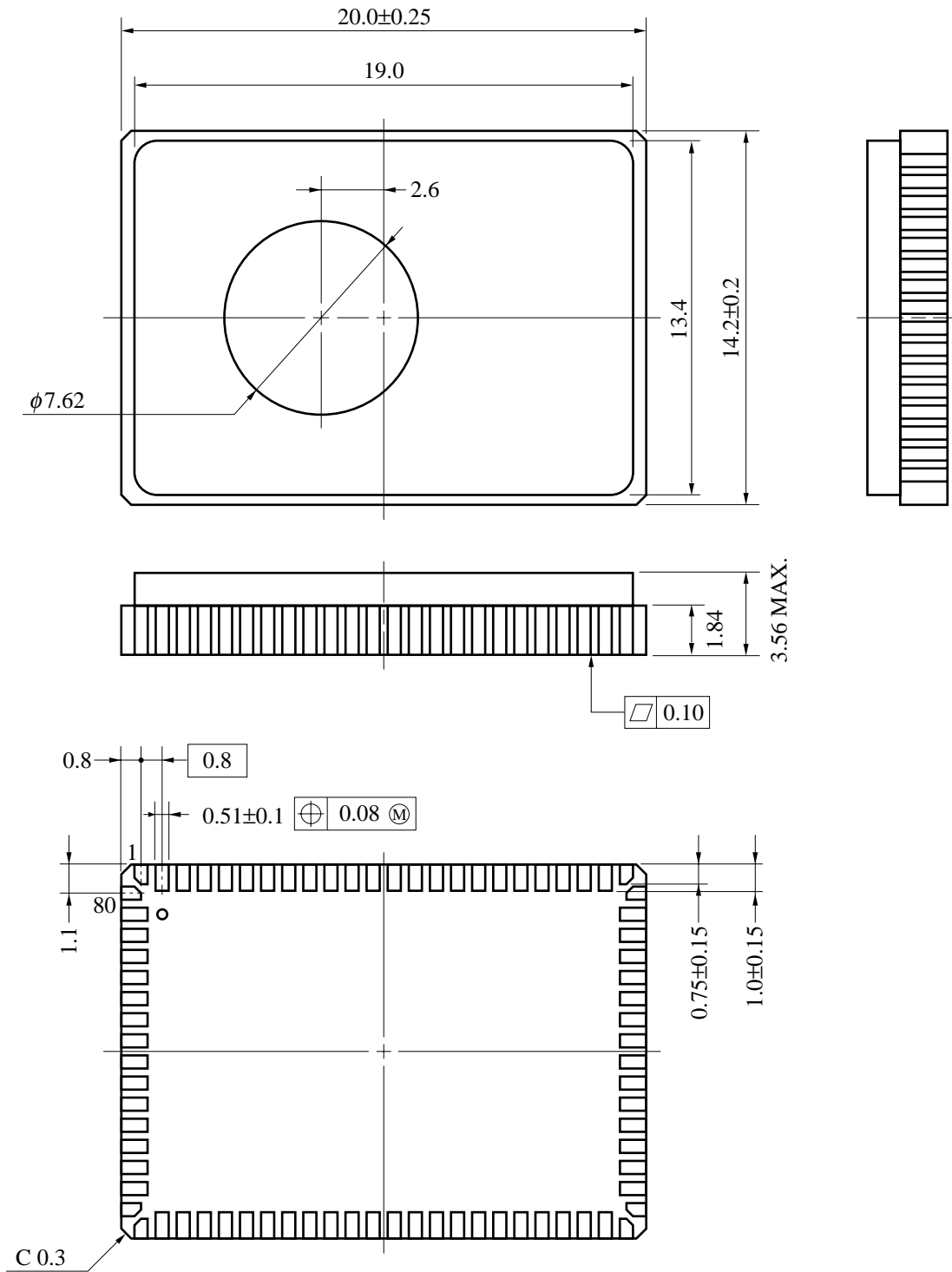
A.2 消去用窓のシールについて

μPD78P372KL-Sの消去用窓部が、日光あるいは蛍光灯の光に長時間さらされると、EPROMのデータが消去されたり、内部回路が誤動作する場合があります。このような事故を防止するために、データの内容を消去するとき以外は、消去用窓部に保護用シールを張ってください。

なお、EPROM内蔵窓付きパッケージ製品には、NECが品質を保証した保護用シールを添付して出荷しております。

A.3 外形図

80ピン・セラミック WQFN 外形図 (単位: mm)



X80KW-80A1

付録B . ツール

B.1 開発ツール

μPD78P372 (A) を使用するシステム開発のために、次のような開発ツールを用意しています。

言語プロセッサ

78K/ シリーズ リロケータブル・アセンブラ (RA78K3)	78K/ シリーズに共通に使用できるリロケータブル・アセンブラです。マクロ機能付きのリロケータブル・アセンブラですので、開発効率の向上が図れます。また、プログラム制御構造を明示的に記述できる構造化アセンブラも添付されており、プログラムの生産性や保守性を向上することができます。			
	ホスト・マシン		オーダ名称 (品名)	
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS™	3.5インチ2HD	μ S5A13RA78K3
			5インチ2HD	μ S5A10RA78K3
	IBM PC/AT™ およびその互換機	PC DOS™	3.5インチ2HC	μ S7B13RA78K3
			5インチ2HC	μ S7B10RA78K3
	HP9000シリーズ700™	HP-UX™	DAT	μ S3P16RA78K3
SPARCstation™ NEWS™	SunOS™ NEWS-OS™	カートリッジ・テープ (QIC-24)	μ S3K15RA78K3	
			μ S3R15RA78K3	
78K/ シリーズ Cコンパイラ (CC78K3)	78K/ シリーズに共通に使用できるCコンパイラです。C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。このコンパイラ使用時には、78K/ シリーズ リロケータブル・アセンブラ (RA78K3) が必要です。			
	ホスト・マシン		オーダ名称 (品名)	
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13CC78K3
			5インチ2HD	μ S5A10CC78K3
	IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μ S7B13CC78K3
			5インチ2HC	μ S7B10CC78K3
	HP9000シリーズ700	HP-UX	DAT	μ S3P16CC78K3
SPARCstation NEWS	SunOS NEWS-OS	カートリッジ・テープ (QIC-24)	μ S3K15CC78K3	
			μ S3R15CC78K3	

備考 リロケータブル・アセンブラ, Cコンパイラの動作は, 上記のホスト・マシンとOS上でのみ保証されます。

PROM書き込み用ツール

ハードウェア	PG-1500	付属ボードおよび別売のプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンまたは、ホスト・マシンからの操作によりプログラミングできるPROMプログラマです。また、256 Kビットから4 Mビットまでの代表的なPROMをプログラミングすることもできます。			
	PA-78P372GC PA-78P372GF PA-78P372KL	PG-1500などの汎用PROMプログラマ上で、μPD78P372(A)にプログラムを書き込むためのPROMプログラマ・アダプタです。 PA-78P372GC ... μPD78P372GC(A)用 PA-78P372GF ... μPD78P372GF(A)用 PA-78P372KL ... μPD78P372KL用			
ソフトウェア	PG-1500コントローラ	PG-1500とホスト・マシンをシリアル・インタフェースおよびパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。			
		ホスト・マシン	オーダ名称(品名)		
			OS	供給媒体	
		PC-9800シリーズ	MS-DOS	3.5インチ2HD	μS5A13PG1500
				5インチ2HD	μS5A10PG1500
	IBM PC/AT およびその互換機	PC DOS	3.5インチ2HD	μS7B13PG1500	
			5インチ2HC	μS7B10PG1500	

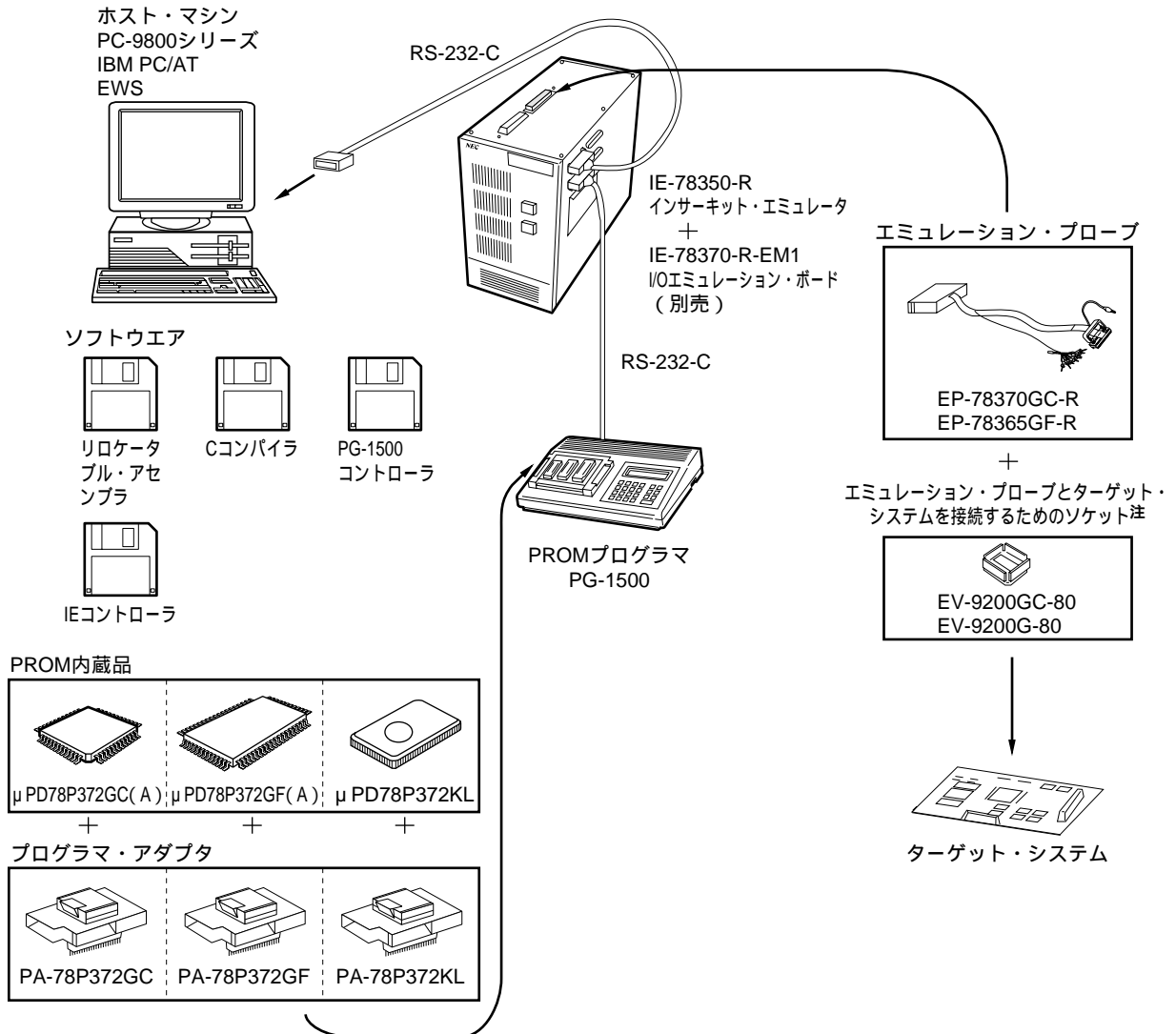
備考 PG-1500コントローラの動作は、上記のホスト・マシンとOS上でのみ保証されます。

ディバグ用ツール(IEコントローラを使用する場合)

ハードウェア	IE-78350-R	応用システムの開発、ディバグに使用できるインサーキット・エミュレータです。ホスト・マシンを接続して、ディバグを行います。			
	IE-78370-R-EM1	対象デバイスの入出力ポートなどの周辺機能のエミュレーションを行うためのI/Oエミュレーション・ボードです。			
	EP-78370GC-R EV-9200GC-80	IE-78350-Rをターゲット・システムに接続するためのエミュレーション・プローブです。ターゲット・システムとの接続に使用する変換ソケットEV-9200GC-80が1個添付されています。			
	EP-78365GF-R EV-9200G-80	IE-78350-Rをターゲット・システムに接続するためのエミュレーション・プローブです。ターゲット・システムとの接続に使用する変換ソケットEV-9200G-80が1個添付されています。			
ソフトウェア	IE-78350-R コントロール・プログラム (IEコントローラ)	IE-78350-Rをホスト・マシン上でコントロールするためのプログラムです。コマンドの自動実行などを行うことができ、より効率の良いディバグが可能です。			
		ホスト・マシン	オーダ名称(品名)		
			OS	供給媒体	
		PC-9800シリーズ	MS-DOS	3.5インチ2HD	μS5A13IE78370
				5インチ2HD	μS5A10IE78370
	IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μS7B13IE78370	
			5インチ2HC	μS7B10IE78370	

備考 IEコントローラの動作は、上記のホスト・マシンとOS上でのみ保証されます。

開発ツール構成 (IEコントローラを使用する場合)



注 ソケットは、エミュレーション・プローブに添付されています。

備考1. ホスト・マシンとPG-1500をRS-232-Cで直接接続して使用することもできます。

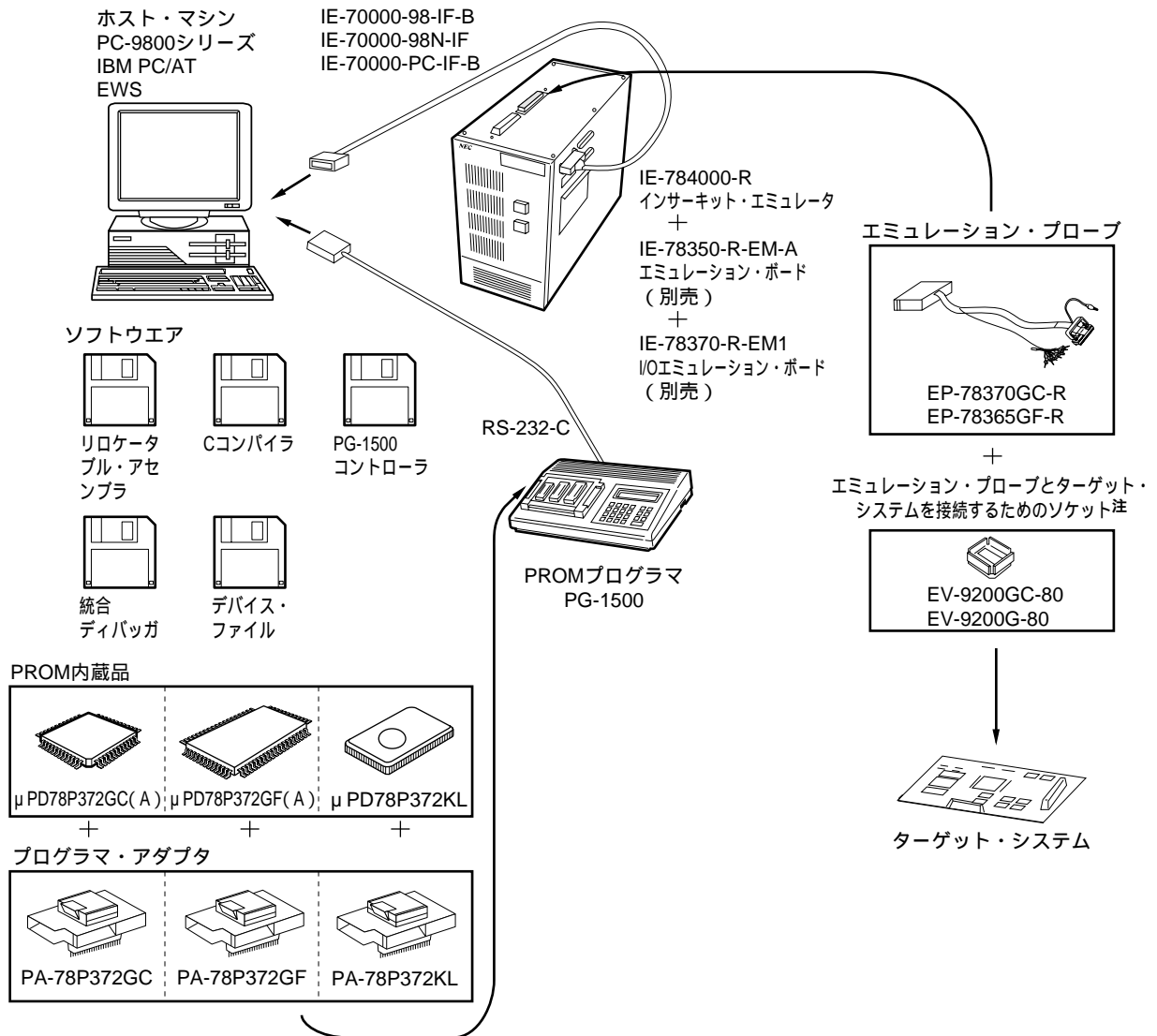
2. この図では、ソフトウェアの供給媒体を3.5インチFDで代表しています。

ディバグ用ツール (統合ディバグを使用する場合)

ハードウェア	IE-784000-R	応用システムの開発、ディバグに使用できるインサーキット・エミュレータです。ホスト・マシンを接続して、ディバグを行います。			
	IE-78350-R-EM-A	対象デバイスの入出力ポートなどの周辺機能のエミュレーションを行うためのエミュレーション・ボードです。			
	IE-78370-R-EM1	対象デバイスの入出力ポートなどの周辺機能のエミュレーションを行うためのI/Oエミュレーション・ボードです。			
	EP-78370GC-R	IE-784000-Rをターゲット・システムに接続するためのエミュレーション・プローブです。ターゲット・システムとの接続に使用する変換ソケットEV-9200GC-80が1個添付されています。			
	EV-9200GC-80				
	EP-78365GF-R	IE-784000-Rをターゲット・システムに接続するためのエミュレーション・プローブです。ターゲット・システムとの接続に使用する変換ソケットEV-9200G-80が1個添付されています。			
	EV-9200G-80				
	IE-70000-98-IF-B	ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときのインタフェース・アダプタです。			
	IE-70000-98N-IF	ホスト・マシンとしてPC-9800シリーズのノート型パソコンを使用するときのインタフェース・アダプタとケーブルです。			
	IE-70000-PC-IF-B	ホスト・マシンとしてIBM PC/ATを使用するときのインタフェース・アダプタです。			
IE-78000-R-SV3	ホスト・マシンとしてEWSを使用するときのインタフェース・アダプタとケーブルです。				
ソフトウェア	統合ディバグ (ID78K3)	78K/ シリーズ用のインサーキット・エミュレータをコントロールするためのプログラムです。デバイス・ファイル(DF78370)と組み合わせて使用します。 C言語、構造化アセンブリ言語、アセンブリ言語で書かれたソース・プログラム・レベルでのディバグができます。また、ホスト・マシンの画面を分割し、さまざまな情報を同時に表示することができるため、効率の良いディバグが行えます。			
		ホスト・マシン	オーダ名称(品名)		
			OS	供給媒体	
		PC-9800シリーズ	MS-DOS + Windows™	3.5インチ2HD	μ SAA13ID78K3
		IBM PC/AT およびその互換機 (日本語Windows)	PC DOS + Windows	3.5インチ2HC	μ SAB13ID78K3
		IBM PC/AT およびその互換機 (英語Windows)		3.5インチ2HC	μ SBB13ID78K3
	デバイス・ファイル (DF78370)	デバイス固有の情報が入ったファイルです。アセンブラ(RA78K3)、Cコンパイラ(CC78K3)、統合ディバグ(ID78K3)と組み合わせて使用します。			
		ホスト・マシン	オーダ名称(品名)		
			OS	供給媒体	
		PC-9800 シリーズ	MS-DOS	3.5インチ2HD	μ S5A13DF78370
	5インチ2HD			μ S5A10DF78370	
	IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μ S7B13DF78370	
			5インチ2HC	μ S7B10DF78370	

備考 統合ディバグ、デバイス・ファイルの動作は、上記のホスト・マシンとOS上でのみ保証されます。

開発ツール構成 (統合ディバッガを使用する場合)



注 ソケットは、エミュレーション・プローブに添付されています。

備考1. この図では、ホスト・マシンをデスクトップ型パソコンで代表しています。

2. この図では、ソフトウェアの供給媒体を3.5インチFDで代表しています。

B.2 組み込み用ソフトウェア

プログラム開発やメンテナンスをより効率的に行うために次の組み込み用ソフトウェアを用意しています。

リアルタイムOS

リアルタイムOS (RX78K/)注	RX78K/ は、リアルタイム性の要求される制御分野を対象として、マルチタスク環境を実現することを目的としています。CPUのアイドル時間を他の処理に割り当て、システム全体としての性能の向上を図ることができます。		
	RX78K/ では、μITRON仕様に準拠したシステム・コールを提供しています。		
	RX78K/ パッケージでは、RX78K/ のニュークリアスと複数の情報テーブルを作成するためのツール(コンフィギュレータ)を提供します。		
	ホスト・マシン	OS	供給媒体
	オーダ名称(品名)		
PC-9800シリーズ	MS-DOS	3.5インチ2HD	未定
		5インチ2HD	未定
IBM PC/AT	PC DOS	3.5インチ2HC	未定
およびその互換機		5インチ2HC	未定

注 開発中

注意 ご購入される場合、事前に購入申込書にご記入のうえ、使用許諾契約書を締結する必要があります。

備考 RX78K/ リアルタイムOSを使用するときは、RA78K3 アセンブラ・パッケージ(別売)が必要です。

ファジィ推論開発支援システム

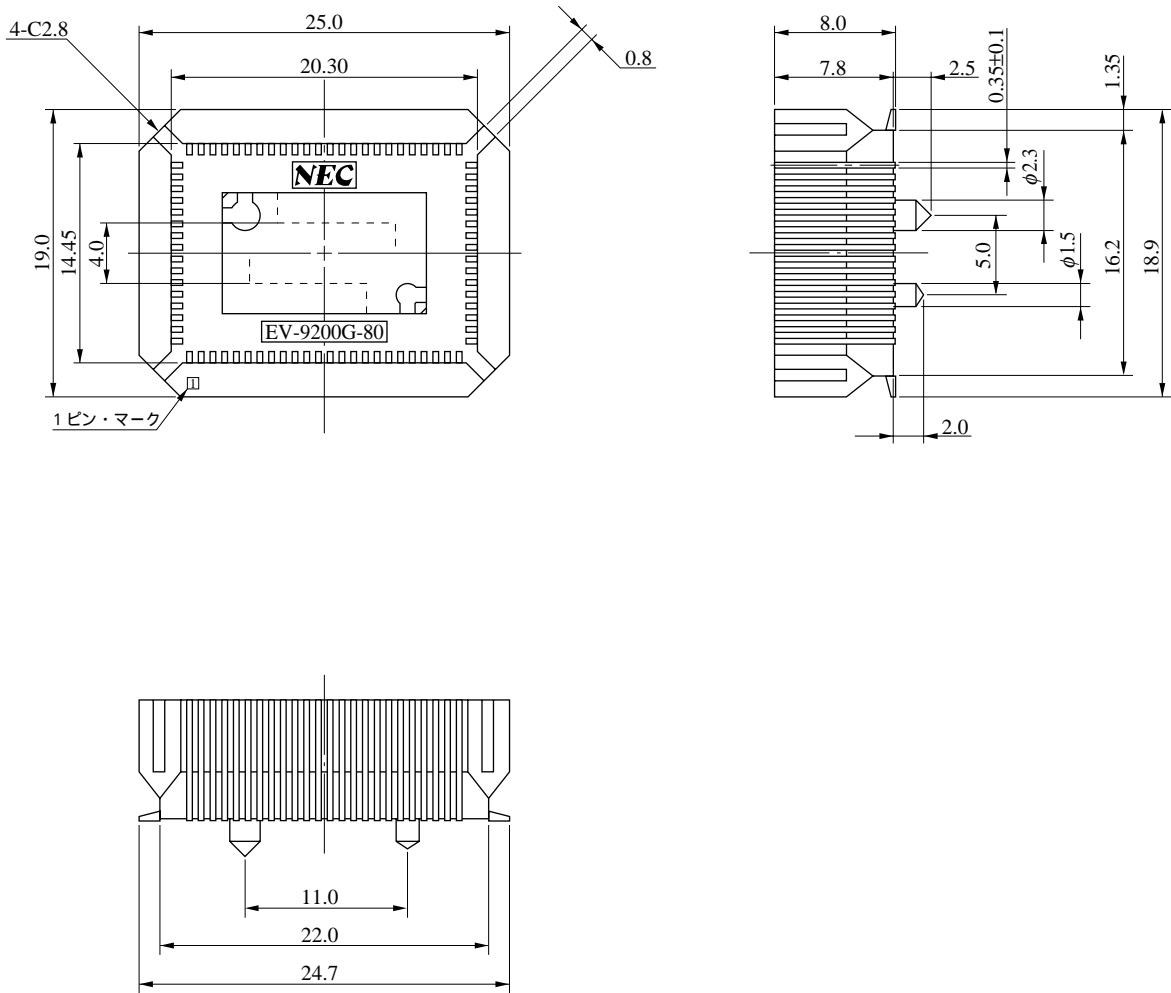
ファジィ知識データ作成ツール (FE9000, FE9200)	ファジィ知識データ (ファジィ・ルールおよびメンバシップ関数) の入力 / 編集 (エディット) と評価 (シミュレーション) を支援するプログラムです。			
	ホスト・マシン		オーダ名称 (品名)	
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13FE9000
			5インチ2HD	μ S5A10FE9000
IBM PC/AT およびその互換機	PC DOS + Windows	3.5インチ2HC	μ S7B13FE9200	
		5インチ2HC	μ S7B10FE9200	
トランスレータ (FT78K3) 注	ファジィ知識データ作成ツールを用いて得たファジィ知識データをRA78K3用のアセンブラ・ソース・プログラムに変換するプログラムです。			
	ホスト・マシン		オーダ名称 (品名)	
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13FT78K3
			5インチ2HD	μ S5A10FT78K3
IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μ S7B13FT78K3	
		5インチ2HC	μ S7B10FT78K3	
ファジィ推論モジュール (FI78K/) 注	ファジィ推論を実行するプログラムです。トランスレータで変換されたファジィ知識データとリンクすることでファジィ推論を実行します。			
	ホスト・マシン		オーダ名称 (品名)	
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13FI78K3
			5インチ2HD	μ S5A10FI78K3
IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μ S7B13FI78K3	
		5インチ2HC	μ S7B10FI78K3	
ファジィ推論ディバッガ (FD78K/)	インサーキット・エミュレータを使用し、ファジィ知識データをハードウェア・レベルで評価、調整するための支援ソフトウェアです。			
	ホスト・マシン		オーダ名称 (品名)	
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13FD78K3
			5インチ2HD	μ S5A10FD78K3
IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μ S7B13FD78K3	
		5インチ2HC	μ S7B10FD78K3	

注 開発中

付録C . 変換ソケットの外形図と基板取り付け推奨パターン

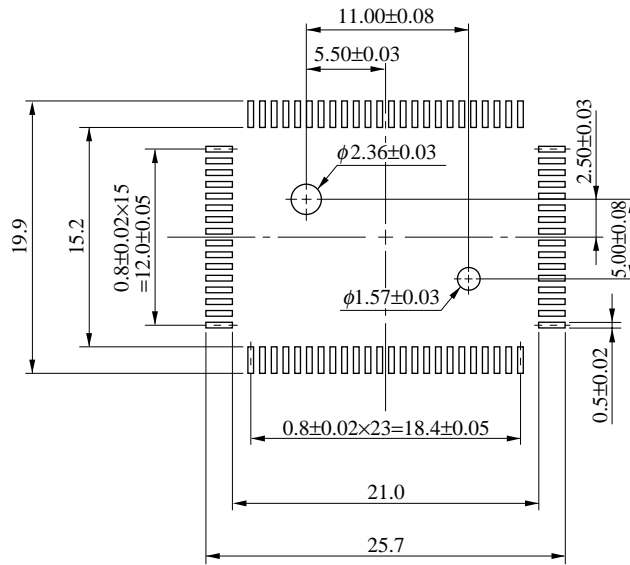
(1) EV-9200G-80

図 C - 1 変換ソケット (EV-9200G-80) 外形図 (参考) (単位 : mm)



EV-9200G-80-G0

図C - 2 変換ソケット (EV-9200G-80) 基板取り付け推奨パターン (参考) (単位 : mm)

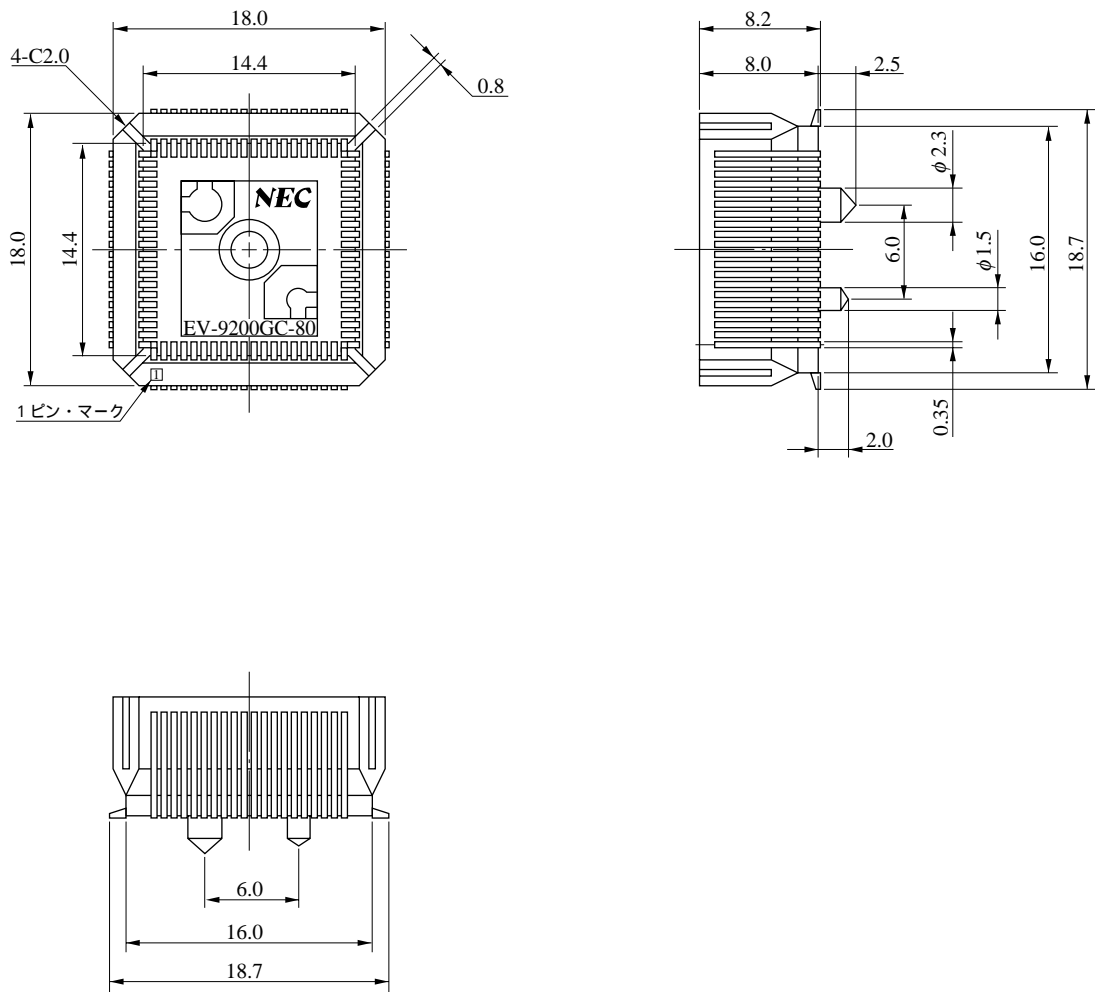


EV-9200G-80-P1

注意 EV-9200用のマウント・パッド寸法と、対象製品のマウント・パッド寸法 (QFP用) は、その一部が異なる場合があります。QFP用の推奨マウント・パッド寸法は、「半導体デバイス 実装マニュアル, C10535J」をご参照ください。

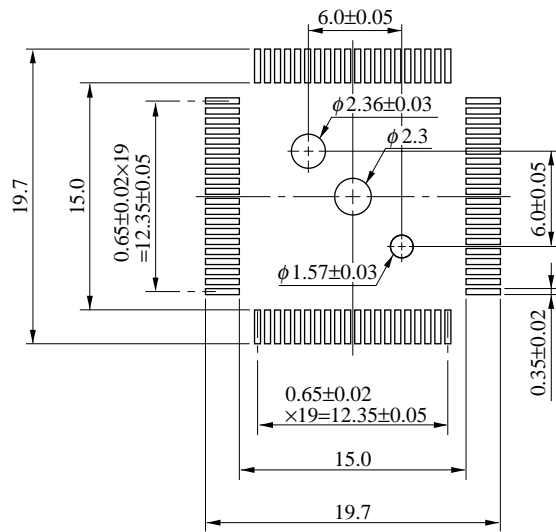
(2) EV-9200GC-80

図 C - 3 変換ソケット (EV-9200GC-80) 外形図 (参考) (単位 : mm)



EV-9200GC-80-G0

図 C - 4 変換ソケット (EV-9200GC-80) 基板取り付け推奨パターン (参考) (単位 : mm)



EV-9200GC-80-P1

注意 EV-9200用のマウント・パッド寸法と、対象製品のマウント・パッド寸法 (QFP用) は、その一部が異なる場合があります。QFP用の推奨マウント・パッド寸法は、「半導体デバイス 実装マニュアル, C10535J」をご参照ください。

{ X E }

[X E]

{ X E }

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

QTOPは、日本電気株式会社の商標です。

MS-DOS, Windowsは、米国マイクロソフト社の商標です。

PC/AT, PC DOSは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc. の商標です。

SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

TRONは、The Realtime Operating system Nucleusの略称です。

ITRONは、Industrial TRONの略称です。

本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μPD78P372KL-S

ユーザ判定品 : μPD78P372GC (A) / (A1) / (A2) -3B9, 78P372GC (A) / (A1) / (A2) -x x x-3B9,
μPD78P372GF (A) / (A1) / (A2) -3B9, 78P372GF (A) / (A1) / (A2) -x x x-3B9

文書による当社の承諾なしに本資料の転載複製を禁じます。
本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170 名古屋 (052)222-2190
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 札幌 (011)231-0161 東北支社 仙台 (022)267-8740 岩手支店 盛岡 (0196)51-4344 山形支店 山形 (0236)23-5511 郡山支店 郡山 (0249)23-5511 いわき支店 いわき (0246)21-5511 長岡支店 長岡 (0258)36-2155 土浦支店 土浦 (0298)23-6161 水戸支店 水戸 (029)226-1717 神奈川支社 横浜 (045)324-5524 群馬支店 高崎 (0273)26-1255	太田支店 太田 (0276)46-4011 宇都宮支店 宇都宮 (028)621-2281 小山支店 小山 (0285)24-5011 長野支店 松本 (0263)35-1662 甲府支店 甲府 (0552)24-4141 埼玉支店 大宮 (048)641-1411 立川支店 立川 (0425)26-5981 千葉支店 千葉 (043)238-8116 静岡支店 静岡 (054)255-2211 北陸支店 金沢 (0762)23-1621 福井支店 福井 (0776)22-1866	富山支店 富山 (0764)31-8461 三重支店 津 (0592)25-7341 京都支社 京都 (075)344-7824 神戸支社 神戸 (078)333-3854 中国支社 広島 (082)242-5504 鳥取支店 鳥取 (0857)27-5311 岡山支店 岡山 (086)225-4455 四国支社 高松 (0878)36-1200 新居浜支店 新居浜 (0897)32-5001 松山支店 松山 (089)945-4149 九州支社 福岡 (092)271-7700

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7924	半導体 インフォメーションセンター FAX (044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	