

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



16ビット・シングルチップ・マイクロコンピュータ

μPD78P356(A)は、μPD78356(A)の内部マスクROMをワン・タイムPROMに置き換えた製品です。ワン・タイムPROM製品は、一度だけ書き込みが可能で、セットの多品種少量生産や早期立ち上げに有効です。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μPD78356 ユーザーズ・マニュアル ハードウェア編 : U10669J

μPD78356 ユーザーズ・マニュアル 命令編 : IEU-853

特 徴

- μPD78P356に比べて高信頼性
- μPD78356(A)コンパチブル
  - ・量産時にはマスクROM内蔵のμPD78356(A)に置き換え可能
- 内部PROM : 48 Kバイト
  - ・一度だけ書き込み可能
- ECC回路内蔵
  - ・内部PROM内容の高信頼性化が可能
- PROMプログラミング特性 : μPD27C1001Aコンパチブル
- QTOP™マイコン対応

**備考** QTOPマイコンとは、NECが提供する「プログラム書き込みから捺印、スクリーニング、ベリファイまでトータル・サポートされたワン・タイムPROM内蔵のシングルチップ・マイコン」の総称です。

オーダ情報

オーダ名称	パッケージ	内部ROM
μPD78P356GD(A)-5BB	120ピン・プラスチックQFP( 28mm)	ワン・タイムPROM

品質水準

特別 (高信頼度電子機器用)

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(IEI-620)をご覧ください。

本資料の内容は、後日変更する場合があります。

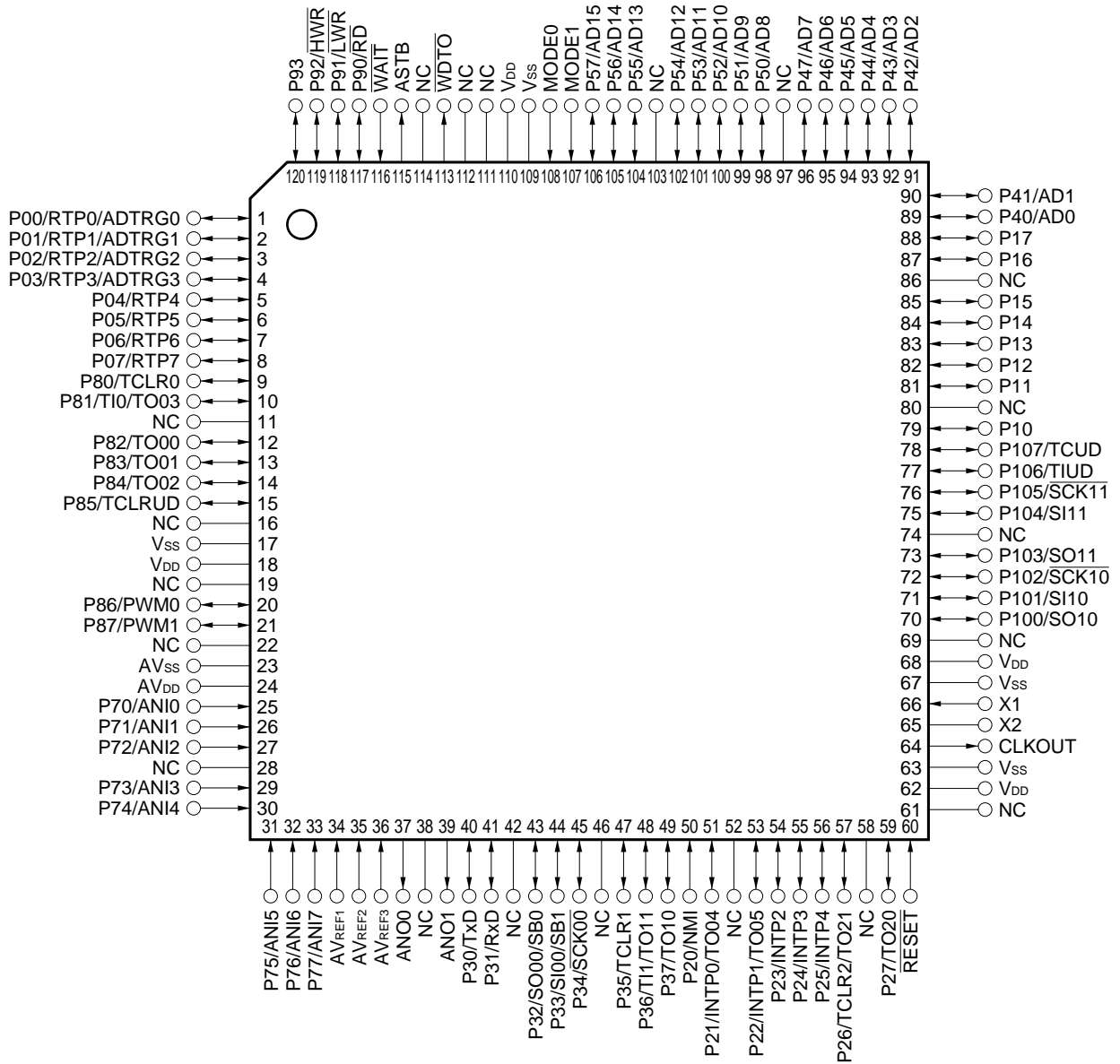
μPD78P356とμPD78P356(A)の違い

項目	品名 μ PD78P356	μ PD78P356(A)
品質水準	標準 (一般電子機器用)	特別 (高信頼度電子機器用)
動作周囲温度 (TA)	- 10 ~ + 70	- 40 ~ + 85
動作周波数	8 ~ 32 MHz	8 ~ 25 MHz
最小命令実行時間	125 ns (外部クロック32 MHz動作時)	160 ns (外部クロック25 MHz動作時)
過電圧印加における許容端子注入電流特性	なし	あり
DC特性	V <sub>DD</sub> 電源電流, データ保持電流が異なります。	
AC特性	バス・タイミングが異なります。	
A/Dコンバータ特性	サンプリング時間が異なります。	
パッケージ	100ピン・プラスチックQFP ( 14 mm) 120ピン・プラスチックQFP ( 28 mm) 120ピン・セラミックWQFN	120ピン・プラスチックQFP ( 28 mm)

端子接続図 (Top View)

( 1 ) 通常動作モード ( MODE0 = L, MODE1 = L )

・ 120ピン・プラスチックQFP ( 28 mm )  
 μPD78P356GD(A)-5BB



注意 MODE0, MODE1端子はV<sub>SS</sub>に直接接続してください。

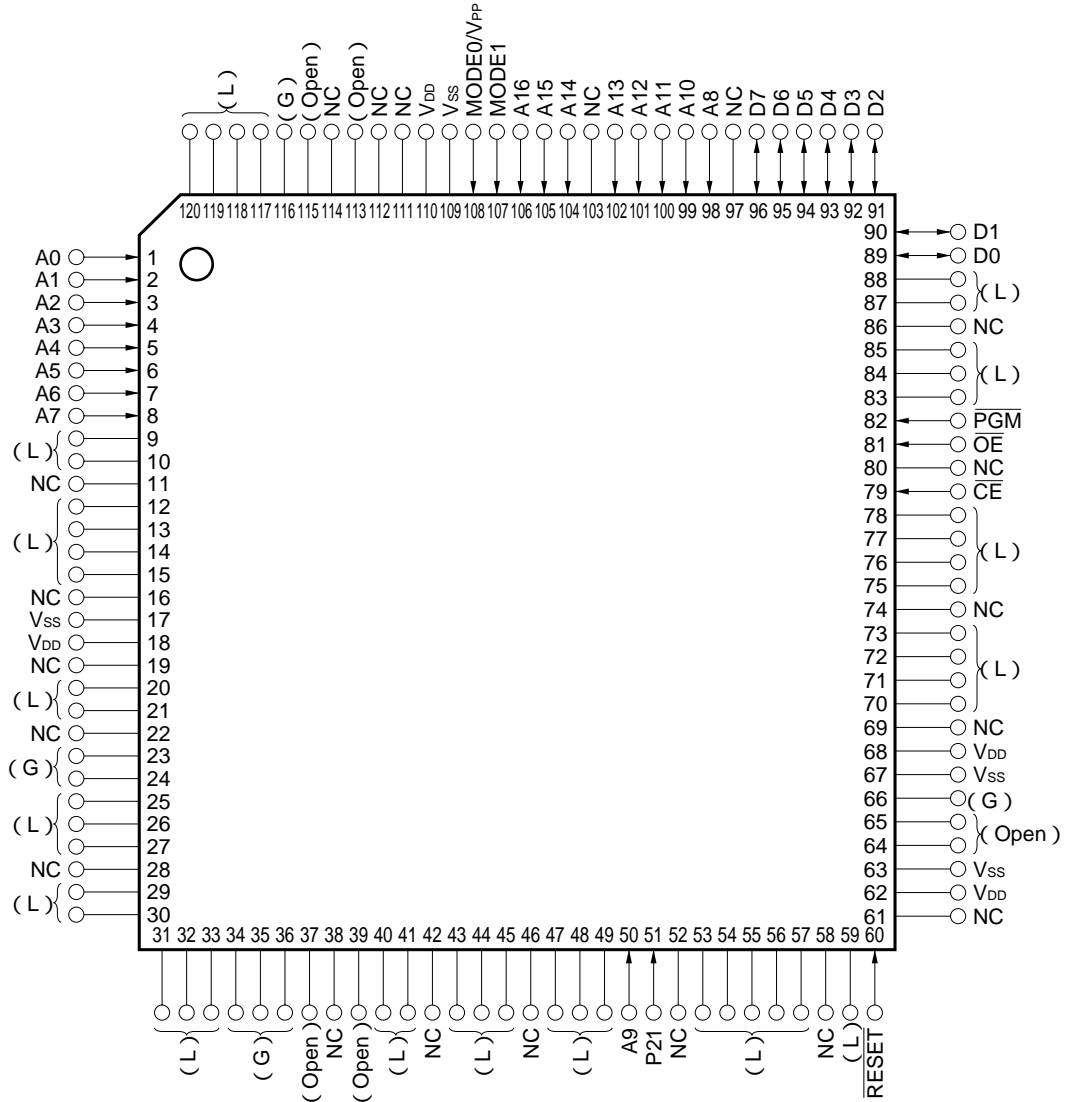
備考 μPD78356GD(A)とピン・コンパチブルです。

P00-P07	: Port0	SI00, SI10	: } Serial Input
P10-P17	: Port1	SI11	: }
P20-P27	: Port2	SO00, SO10	: } Serial Output
P30-P37	: Port3	SO11	: }
P40-P47	: Port4	SB0, SB1	: Serial Bus
P50-P57	: Port5	$\overline{\text{SCK00}}$ , $\overline{\text{SCK10}}$	: } Serial Clock
P70-P77	: Port7	$\overline{\text{SCK11}}$	: }
P80-P87	: Port8	PWM0, PWM1	: Pulse Width Modulation Output
P90-P93	: Port9	$\overline{\text{WDT0}}$	: Watchdog Timer Output
P100-P107	: Port10	MODE0, MODE1	: Mode
RTP0-RTP7	: Real-time Port	AD0-AD15	: Address/Data Bus
NMI	: Nonmaskable Interrupt	ASTB	: Address Strobe
INTP0-INTP4	: Interrupt From Peripherals	$\overline{\text{RD}}$	: Read Strobe
TO00-TO05	: } Timer Output	$\overline{\text{LWR}}$	: Low Address Write Strobe
TO10, TO11	: }	$\overline{\text{HWR}}$	: High Address Write Strobe
TO20, TO21	: }	$\overline{\text{WAIT}}$	: Wait
TCLR0-TCLR2	: } Timer Clear Input	CLKOUT	: Clock Output
TCLRUD	: }	$\overline{\text{RESET}}$	: Reset
TI0, TI1	: Timer Input	X1, X2	: Crystal
TIUD	: Count Pulse Input	AV <sub>DD</sub>	: Analog V <sub>DD</sub>
TCUD	: Control Pulse Input	AV <sub>SS</sub>	: Analog V <sub>SS</sub>
ANI0-ANI7	: Analog Input	AV <sub>REF1</sub> -AV <sub>REF3</sub>	: Analog Reference Voltage
ADTRG0-ADTRG3	: AD Trigger Input	V <sub>DD</sub>	: Power Supply
ANO0, ANO1	: Analog Output	V <sub>SS</sub>	: Ground
TxD	: Transmit Data	NC	: Non-connection
RxD	: Receive Data		

(2) PROMプログラミング・モード (MODE0/V<sub>PP</sub> = +5 V, MODE1 = G, P21 = G,  $\overline{\text{RESET}}$  = G)

・120ピン・プラスチックQFP ( 28 mm )

μPD78P356GD(A)-5BB

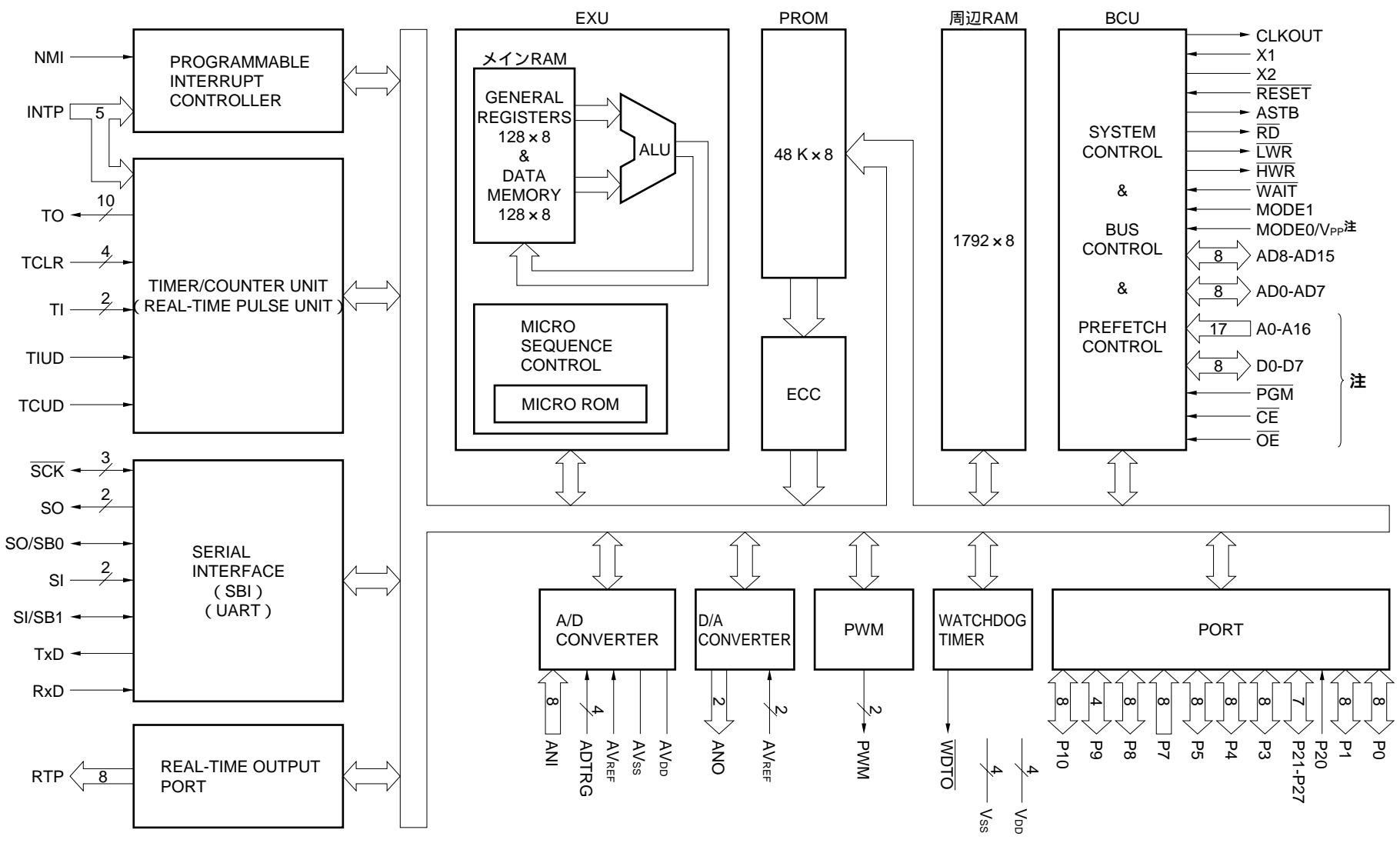


注意 ( )内は、PROMプログラミング・モードでは使用しない端子の処理です。

- L : 個別に抵抗を介し、V<sub>SS</sub>に接続してください。
- G : V<sub>SS</sub>に接続してください。
- Open : 何も接続しないでください。

A0-A16	: Address Bus	MODE0, MODE1	:
D0-D7	: Data Bus	P21	: } Programming Mode Set
$\overline{\text{CE}}$	: Chip Enable	$\overline{\text{RESET}}$	: }
$\overline{\text{OE}}$	: Output Enable	V <sub>DD</sub>	: Power Supply
$\overline{\text{PGM}}$	: Programming Mode	V <sub>SS</sub>	: Ground
		V <sub>PP</sub>	: Programming Power Supply

# 保守/廃止



注 PROMプログラミング・モード時



## 目 次

1 . 端子機能	... 8
1.1 通常動作モード (MODE0=L, MODE1=L)	... 8
1.2 PROMプログラミング・モード (MODE0/VPP=H, MODE1=L, P21=L, $\overline{\text{RESET}}=L$ )	... 12
1.3 端子の入出力回路と未使用端子の処理	... 13
2 . $\mu$ PD78P356(A)と $\mu$ PD78356(A)の違い	... 16
3 . PROMのプログラミング	... 17
3.1 動作モード	... 18
3.2 PROM書き込みの手順 (ページ・プログラム・モード)	... 19
3.3 PROM書き込みの手順 (バイト・プログラム・モード)	... 21
3.4 PROM読み出しの手順	... 24
4 . ワン・タイムPROM製品のスクリーニングについて	... 25
5 . 電気的特性	... 26
6 . 特性曲線 (参考値)	... 49
7 . 外形図	... 52
8 . 半田付け推奨条件	... 53
付録A . ツール	... 54
A.1 開発ツール	... 54
A.2 組み込み用ソフトウェア	... 59
付録B . 変換ソケットの外形図と基板取り付け推奨パターン	... 61

1. 端子機能

1.1 通常動作モード (MODE0 = L, MODE1 = L)

(1) ポート端子 (1/2)

端子名称	入出力	機能	兼用端子
P00	入出力	ポート 0 8 ビット入出力ポート 1 ビット単位で入力 / 出力の指定が可能	RTP0/ADTRG0
P01			RTP1/ADTRG1
P02			RTP2/ADTRG2
P03			RTP3/ADTRG3
P04-P07			RTP4-RTP7
P10-P17	入出力	ポート 1 8 ビット入出力ポート 1 ビット単位で入力 / 出力の指定が可能	-
P20	入力	ポート 2 8 ビット入出力ポート 1 ビット単位で入力 / 出力の指定が可能 (ただし, P20/NMIを除く)	NMI
P21	入出力		INTP0/TO04
P22			INTP1/TO05
P23			INTP2
P24			INTP3
P25			INTP4
P26			TCLR2/TO21
P27			TO20
P30	入出力	ポート 3 8 ビット入出力ポート 1 ビット単位で入力 / 出力の指定が可能	TxD
P31			RxD
P32			SO00/SB0
P33			SI00/SB1
P34			SCK00
P35			TCLR1
P36			TI1/TO11
P37			TO10
P40-P47	入出力	ポート 4 8 ビット入出力ポート 8 ビット単位で入力 / 出力の指定が可能	AD0-AD7
P50-P57	入出力	ポート 5 8 ビット入出力ポート 1 ビット単位で入力 / 出力の指定が可能	AD8-AD15
P70-P77	入力	ポート 7 8 ビット入力専用ポート	ANI0-ANI7

(1) ポート端子 (2/2)

端子名称	入出力	機能	兼用端子
P80	入出力	ポート8 8ビット入出力ポート 1ビット単位で入力/出力の指定が可能	TCLR0
P81			TI0/TO03
P82			TO00
P83			TO01
P84			TO02
P85			TCLRUD
P86			PWM0
P87			PWM1
P90	入出力	ポート9 4ビット入出力ポート 1ビット単位で入力/出力の指定が可能	$\overline{\text{RD}}$
P91			$\overline{\text{LWR}}$
P92			$\overline{\text{HWR}}$
P93			-
P100	入出力	ポート10 8ビット入出力ポート 1ビット単位で入力/出力の指定が可能	SO10
P101			SI10
P102			$\overline{\text{SCK10}}$
P103			SO11
P104			SI11
P105			$\overline{\text{SCK11}}$
P106			TIUD
P107			TCUD

(2) ポート以外の端子 (1/3)

端子名称	入出力	機能	兼用端子
RTP0	出力	リアルタイム・パルス・ユニットからのトリガ信号に同期して、パルス出力を行う リアルタイム出力ポート	P00/ADTRG0
RTP1			P01/ADTRG1
RTP2			P02/ADTRG2
RTP3			P03/ADTRG3
RTP4-RTP7			P04-P07
NMI	入力	ノンマスカブル割り込み要求入力	P20
INTP0		外部割り込み要求入力	P21/TO04
INTP1		P22/TO05	
INTP2		P23	
INTP3		P24	
INTP4	P25		
TI0	入力	タイマ0への外部カウント・クロック入力	P81/TO03
TI1		タイマ1への外部カウント・クロック入力	P36/TO11
TIUD		アップ/ダウン・カウンタへの外部カウント・クロック入力	P106
TCUD		アップ/ダウン・カウンタへのカウント動作切り替え制御信号入力	P107
TCLR0		リアルタイム・パルス・ユニットへのクリア信号入力	P80
TCLR1			P35
TCLR2			P26/TO21
TCLRUD			P85
TO00	出力	リアルタイム・パルス・ユニット (RPU) からのタイマ出力	P82
TO01			P83
TO02			P84
TO03			P81/TO10
TO04			P21/INTP0
TO05			P22/INTP1
TO10			P37
TO11			P36/TO11
TO20			P27
TO21			P26/TCLR2
ANI0-ANI7			入力
ADTRG0	A/Dコンバータへの外部トリガ信号入力	P00/RTP0	
ADTRG1	P01/RTP1		
ADTRG2	P02/RTP2		
ADTRG3	P03/RTP3		
ANO0	出力	D/Aコンバータのアナログ出力	-
ANO1			-
TxD	出力	アシンクロナス・シリアル・インタフェースのシリアル・データ出力	P30
RxD	入力	アシンクロナス・シリアル・インタフェースのシリアル・データ入力	P31

(2) ポート以外の端子 (2/3)

端子名称	入出力	機能	兼用端子
SCK00	入出力	クロック同期式シリアル・インタフェースのシリアル・クロック入出力	P34
SCK10			P102
SCK11			P105
SI00	入力	クロック同期式シリアル・インタフェースの3線式モードでのシリアル・データ入力	P33/SB1
SI10			P101
SI11			P104
SO00	出力	クロック同期式シリアル・インタフェースの3線式モードでのシリアル・データ出力	P32/SB0
SO10			P100
SO11			P103
SB0	入出力	クロック同期式シリアル・インタフェースのSBIモードでのシリアル・データ入出力	P32/SO00
SB1			P33/SI00
PWM0	出力	PWM信号出力	P86
PWM1			P87
WDTO	出力	ウォッチドッグ・タイマがオーバフロー（ノンマスカブル割り込みを発生）したことを示す信号出力	-
AD0-AD7	入出力	外部にメモリを拡張する場合の下位8ビットのマルチプレクスト・アドレス/データ・バス	P40-P47
AD8-AD15		<ul style="list-style-type: none"> <li>・外部8ビット・バス指定時</li> <li>外部にメモリを拡張する場合の上位8ビットのアドレス・バス。外部アドレス空間によってアドレス・バスとして使用する端子数が異なります。</li> <li>・外部16ビット・バス指定時</li> <li>外部にメモリを拡張する場合の上位8ビットのマルチプレクスト・アドレス/データ・バス</li> </ul>	P50-P57
ASTB	出力	外部メモリをアクセスするために、AD0-AD15端子から出力されるアドレス情報を外部でラッチするタイミング信号出力	-
$\overline{RD}$		外部メモリへのリード・ストロープ信号出力	P90
$\overline{LWR}$		<ul style="list-style-type: none"> <li>・外部8ビット・バス指定時</li> <li>外部メモリへのライト・ストロープ信号出力</li> <li>・外部16ビット・バス指定時</li> <li>下位8ビットに配置された外部メモリへのライト・ストロープ信号出力</li> </ul>	P91
$\overline{HWR}$		<ul style="list-style-type: none"> <li>・外部8ビット・バス指定時</li> <li>汎用ポート</li> <li>・外部16ビット・バス指定時</li> <li>上位8ビットに配置された外部メモリへのライト・ストロープ信号出力</li> </ul>	P92
$\overline{WAIT}$		バス・サイクルにウエイトをかけるための制御信号入力	-
MODE0	入力	動作モードを設定するための制御信号入力。通常は、MODE0、MODE1をともにV <sub>SS</sub> に直接接続。	-
MODE1			-
CLKOUT	出力	システム・クロック出力	-
$\overline{RESET}$	入力	システム・リセット入力	-
X1	入力	システム・クロック発振用クリスタル接続端子。外部からクロックを供給する場合は、X1端子に入力。X2端子はオープン。	-
X2			-

(2) ポート以外の端子 (3/3)

端子名称	入出力	機 能	兼用端子
AVREF1	入力	A/Dコンバータ用基準電圧入力	-
AVREF2		D/Aコンバータ用基準電圧入力	-
AVREF3			-
AVDD	-	A/Dコンバータ用アナログ電源	-
AVSS	-	A/Dコンバータ用GND	-
VDD	-	正電源	-
VSS	-	GND	-
NC	-	内部接続していません。VSSに接続してください(オープンも可能)。	-

1.2 PROMプログラミング・モード (MODE0/VPP = H, MODE1 = L, P21 = L,  $\overline{\text{RESET}}$  = L)

端子名称	入出力	機 能
MODE0/VPP	入力	PROMプログラミング・モード設定 / 書き込み電源
MODE1	入力	PROMプログラミング・モード設定
P21		
$\overline{\text{RESET}}$		
A0-A16	入力	アドレス・バス
D0-D7	入出力	データ・バス
PGM	入力	プログラム入力
$\overline{\text{CE}}$	入力	PROMイネーブル入力
$\overline{\text{OE}}$	入力	PROMへのリード・ストロープ
VDD	-	正電源
VSS		GND

**注意** MODE0/VPP, MODE1, P21,  $\overline{\text{RESET}}$ 端子は, VDDまたはVSSに直接接続してください。

1.3 端子の入出力回路と未使用端子の処理

表1 - 1は、各端子の入出力回路タイプと、未使用時の処理方法を示します。また、図1 - 1は各タイプの回路です。

表1 - 1 端子の入出力回路タイプと未使用時の推奨接続方法 (1/2)

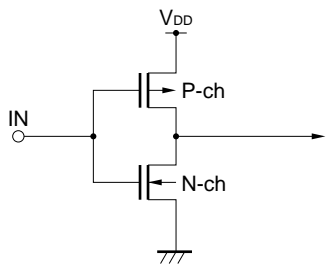
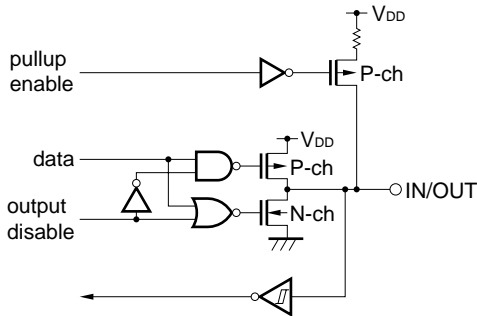
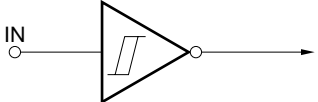
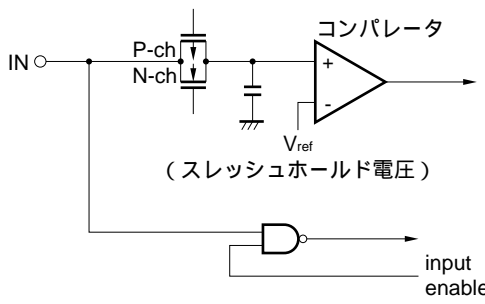
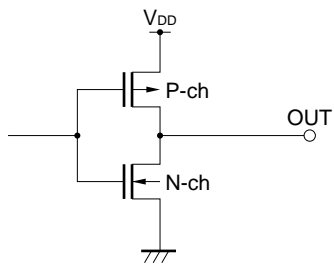
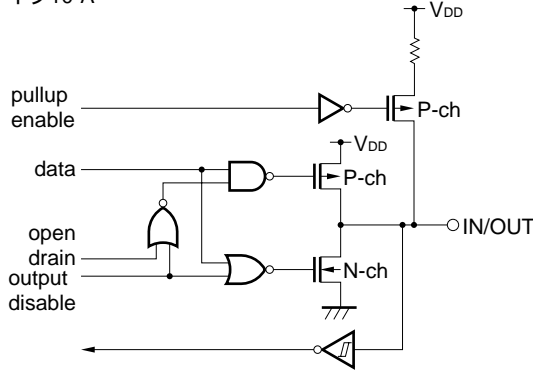
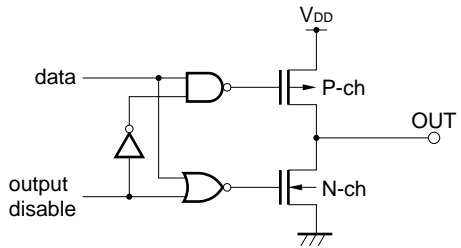
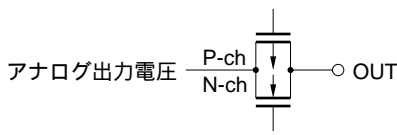
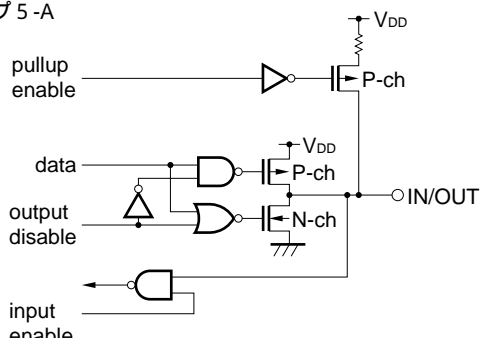
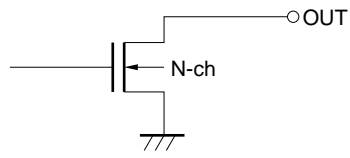
端 子	入出力回路タイプ	推 奨 接 続 方 法	
P00/RTP0/ADTRG0-P03/RTP3/ADTRG3	8-A	入力状態：個別に抵抗を介してV <sub>DD</sub> またはV <sub>SS</sub> に接続	
P04/RTP4-P07/RTP7	5-A	出力状態：オープン	
P10-P17			
P20/NMI	2	V <sub>SS</sub> に接続	
P21/INTP0/TO04	8-A	入力状態：個別に抵抗を介してV <sub>DD</sub> またはV <sub>SS</sub> に接続 出力状態：オープン	
P22/INTP1/TO05			
P23/INTP2			
P24/INTP3			
P25/INTP4			
P26/TCLR2/TO21			
P27/TO20			
P30/TxD			5-A
P31/RxD			
P32/SO00/SB0	10-A		
P33/SI00/SB1			
P34/SCK00	8-A		
P35/TCLR1			
P36/TI1/TO11			
P37/TO10	5-A		
P40/AD0-P47/AD7			
P50/AD8-P57/AD15			
P70/ANI0-P77/ANI7	9	V <sub>SS</sub> に接続	
P80/TCLR0	8-A	入力状態：個別に抵抗を介してV <sub>DD</sub> またはV <sub>SS</sub> に接続 出力状態：オープン	
P81/TI0/TO03			
P82/TO00	5-A		
P83/TO01			
P84/TO02			
P85/TCLRUD	8-A		
P86/PWM0	5-A		
P87/PWM1			
P90/RD			
P91/LWR			
P92/HWR			
P93			

表 1 - 1 端子の入出力回路タイプと未使用時の推奨接続方法 (2/2)

端 子	入出力回路タイプ	推 奨 接 続 方 法
P100/SO10	5-A	入力状態：個別に抵抗を介してV <sub>DD</sub> またはV <sub>SS</sub> に接続 出力状態：オープン
P101/SI10	8-A	
P102/SCK10		
P103/SO11	5-A	
P104/SI11	8-A	
P105/SCK11		
P106/TIUD		
P107/TCUD		
ANO0, ANO1	12	オープン
CLKOUT	3	
ASTB	4	
WDTO	19	V <sub>SS</sub> に接続
WAIT	1	V <sub>DD</sub> に接続
MODE0, MODE1	1	-
RESET	2	
AV <sub>REF1</sub> -AV <sub>REF3</sub> , AV <sub>SS</sub>	-	V <sub>SS</sub> に接続
AV <sub>DD</sub>		V <sub>DD</sub> に接続
NC		V <sub>SS</sub> に接続 (オープンも可能)



図 1 - 1 端子の入出力回路

<p>タイプ 1</p> 	<p>タイプ 8-A</p> 
<p>タイプ 2</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力となっています。</p>	<p>タイプ 9</p>  <p>コンパレータ (スレッシュホールド電圧)</p>
<p>タイプ 3</p> 	<p>タイプ 10-A</p> 
<p>タイプ 4</p>  <p>出力ハイ・インピーダンス (P-ch, N-chともにオフ) とすることができるプッシュプル出力となっています。</p>	<p>タイプ 12</p>  <p>アナログ出力電圧</p>
<p>タイプ 5-A</p> 	<p>タイプ 19</p> 

2 . μPD78P356(A)とμPD78356(A)の違い

μPD78P356(A)は、μPD78356(A)の内部マスクROMを48 KバイトのPROMに置き換えた製品です。したがって、これら2品種の機能は、ROMの仕様による差（たとえば、書き込み、ベリファイなど）を除いてすべて共通となります。両者の違いを表2 - 1に示します。

なお、この資料では、PROM仕様の機能について解説しています。その他の機能の詳細については、μPD78356(A)の資料をご覧ください。

表2 - 1 μPD78P356(A)とμPD78356(A)の違い

項目	品名	μPD78P356(A)	μPD78356(A)
内部プログラム・メモリ (電气的書き込み)		ワン・タイムPROM (一度だけ書き込み可)	マスクROM
ECC回路		あり	なし
PROMプログラミング端子		あり	なし
MODE0, MODE1の設定		<ul style="list-style-type: none"> <li>・通常動作モード時 MODE0, 1 = LL</li> <li>・プログラミング・モード時 MODE0, 1 = HL</li> <li>・ROMレス・モード時 (外部16ビット・バス) MODE0, 1 = HH</li> </ul>	<ul style="list-style-type: none"> <li>・通常動作モード時 MODE0, 1 = LL</li> <li>・ROMレス・モード時 (外部8ビット・バス) MODE0, 1 = HL</li> <li>・ROMレス・モード時 (外部16ビット・バス) MODE0, 1 = HH</li> </ul>
電气的特性		消費電流などが異なります。	
その他		回路の規模やマスク・レイアウトが異なるため、ノイズ耐量、ノイズ輻射などが異なります。	

**注意1** . PROM品とマスクROM品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でPROM品からマスクROM品への置き換えを検討される場合は、マスクROM品のCS品(ES品でなく)で十分な評価を行ってください。

2 . MODE0, MODE1端子は、V<sub>DD</sub>またはV<sub>SS</sub>に直接接続してください。

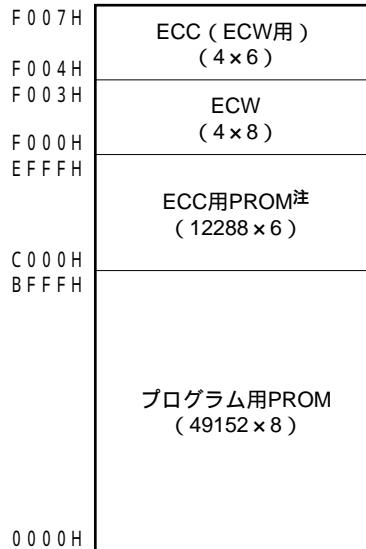
3 . PROMのプログラミング

μPD78P356(A)は、電氣的書き込み可能な48 K× 8 ビットのプログラム用PROMおよび、12 K× 6 ビットのECC (Error Correcting Code) 用PROMを内蔵しています。

ECCは、プログラム用PROMに書き込まれたコードのエラーを訂正し、PROM内容の信頼性を向上させます。

図3 - 1 にプログラミング・モード時のメモリ・マップを示します。

図3 - 1 プログラミング・モード時のメモリ・マップ



注 ECC用PROMでは下位 6 ビットが有効です。

プログラミングをするときは、MODE0/V<sub>PP</sub>, MODE1, P21,  $\overline{\text{RESET}}$ 端子を用いてPROMプログラミング・モードに設定します。

μPD78P356(A)のプログラミング特性は、μPD27C1001Aとコンパチブルです。

また、ECCを使用するときは、ECW (ECCコントロール・ワード) の最下位バイトの最下位ビット (F000.0) をリセットし、ECC回路の動作を許可します。ECWは、ECC回路の動作を制御する 4 バイトのレジスタです。

ECCおよびECWは、RA78K3アセンブラ・パッケージに付属のECCGEN (ECCジェネレータ) で自動的に生成されます (ECCは下位 6 ビットに生成され、上位 2 ビットは“ 1 ”に固定されます)。

表3 - 1 プログラミング・モード時の端子機能

機 能	通常動作モード	プログラミング・モード
アドレス入力	P00-P07, P50, P20, P51-P57	A0-A16
データ入力	P40-P47	D0-D7
プログラム・パルス	P12	$\overline{\text{PGM}}$
チップ・イネーブル	P10	$\overline{\text{CE}}$
アウトプット・イネーブル	P11	$\overline{\text{OE}}$
プログラム電圧	MODE0/V <sub>PP</sub>	
モード制御	MODE1, P21, $\overline{\text{RESET}}$	

3.1 動作モード

プログラミング書き込み / ベリファイ・モードにするときは、MODE0/V<sub>PP</sub> = H, MODE1 = L, P21 = L,  $\overline{\text{RESET}} = \text{L}$  に設定します。このモードでは、さらに $\overline{\text{CE}}$ 、 $\overline{\text{OE}}$ 、PGM端子の設定を行うことにより、表3 - 2の動作モードを選択することができます。

また、PROMの内容を読み出すときは、読み出しモードに設定します。

なお、未使用端子は、端子接続図の指示に従って処理してください。

表3 - 2 PROMプログラミングの動作モード

モード	MODE1	P21	$\overline{\text{RESET}}$	$\overline{\text{CE}}$	$\overline{\text{OE}}$	PGM	MODE0/V <sub>PP</sub>	V <sub>DD</sub>	D0-D7
ページ・データ・ラッチ	L	L	L	H	L	H	+12.5 V	+6.5 V	データ入力
ページ・プログラム				H	H	L			ハイ・インピーダンス
バイト・プログラム				L	H	L			データ入力
プログラム・ベリファイ				L	L	H			データ出力
プログラム・インヒビット				x	L	L			ハイ・インピーダンス
				x	H	H			
読み出し				L	L	H	+5 V	+5 V	データ出力
出力				L	H	x			ハイ・インピーダンス
ディスエーブル									
スタンバイ				H	x	x		ハイ・インピーダンス	

備考 L : V<sub>SS</sub>に直接接続

H : V<sub>DD</sub>に直接接続

x : LまたはH

### 3.2 PROM書き込みの手順(ページ・プログラム・モード)

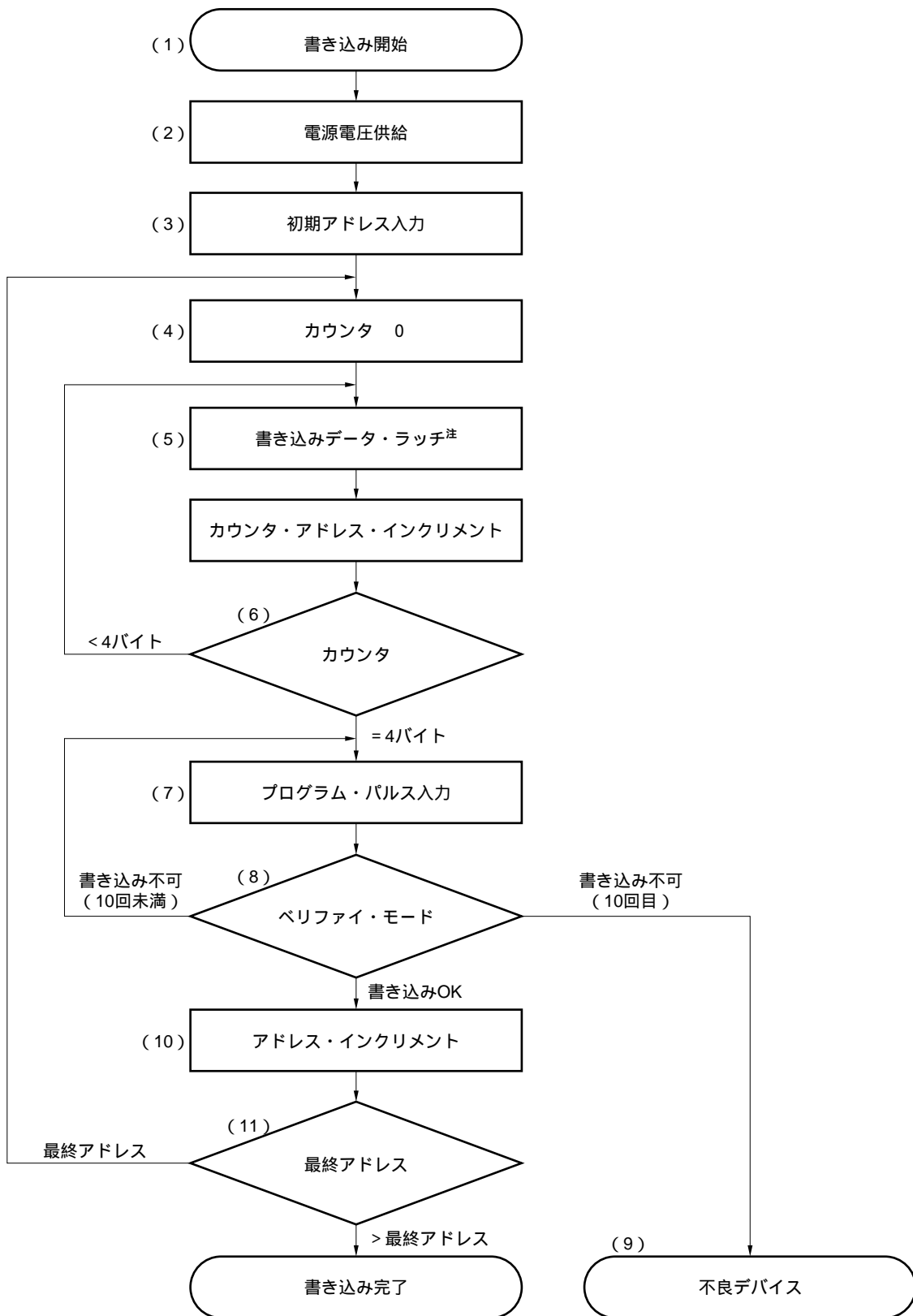
PROMへの書き込み手順は次のとおりです(図3-2参照)。

ページ・プログラム・モードでは必ずページ単位(4バイト)で書き込みを行います。ページ単位に満たない場合は、余りの部分に"FFH"をラッチし、書き込みを行ってください。

- (1) MODE0/V<sub>PP</sub> = H, MODE1 = L, P21 = L,  $\overline{\text{RESET}}$  = Lに固定する。未使用端子は、端子接続図の指示に従って処理する。
- (2) V<sub>DD</sub>端子に+ 6.5 V, MODE0/V<sub>PP</sub>端子には+ 12.5 Vを供給する。
- (3) A0 - A16に初期アドレスを入力する。
- (4) ページ・カウンタをクリアする。
- (5) データ・ラッチ・モード。D0 - D7に書き込みデータを入力し、 $\overline{\text{OE}}$ 端子にアクティブ・ロウのパルスを入力する。アドレスおよびページ・カウンタをインクリメントする。
- (6) (5)を1ページ(4バイト)分繰り返す。
- (7)  $\overline{\text{PGM}}$ 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を入力する。
- (8) ベリファイ・モード。書き込みデータが書き込まれたかどうか確認する。  
 $\overline{\text{CE}}$ 端子にロウ・レベルを入力したあと、 $\overline{\text{OE}}$ 端子にアクティブ・ロウのパルスを入力し、D0 - D7から書き込みデータを読み出す。これを1ページ(4バイト)分繰り返す。ベリファイを終了したら $\overline{\text{CE}}$ 端子にハイ・レベルを入力する。
  - ・書き込めたとき (10)へ
  - ・書き込めなかったとき (7), (8)を繰り返す。10回繰り返しても書き込めないときは(9)へ。
- (9) 不良デバイスとして書き込み動作を中止する。
- (10) アドレスをインクリメントする。
- (11) (4) ~ (10)を最終アドレスまで繰り返す。

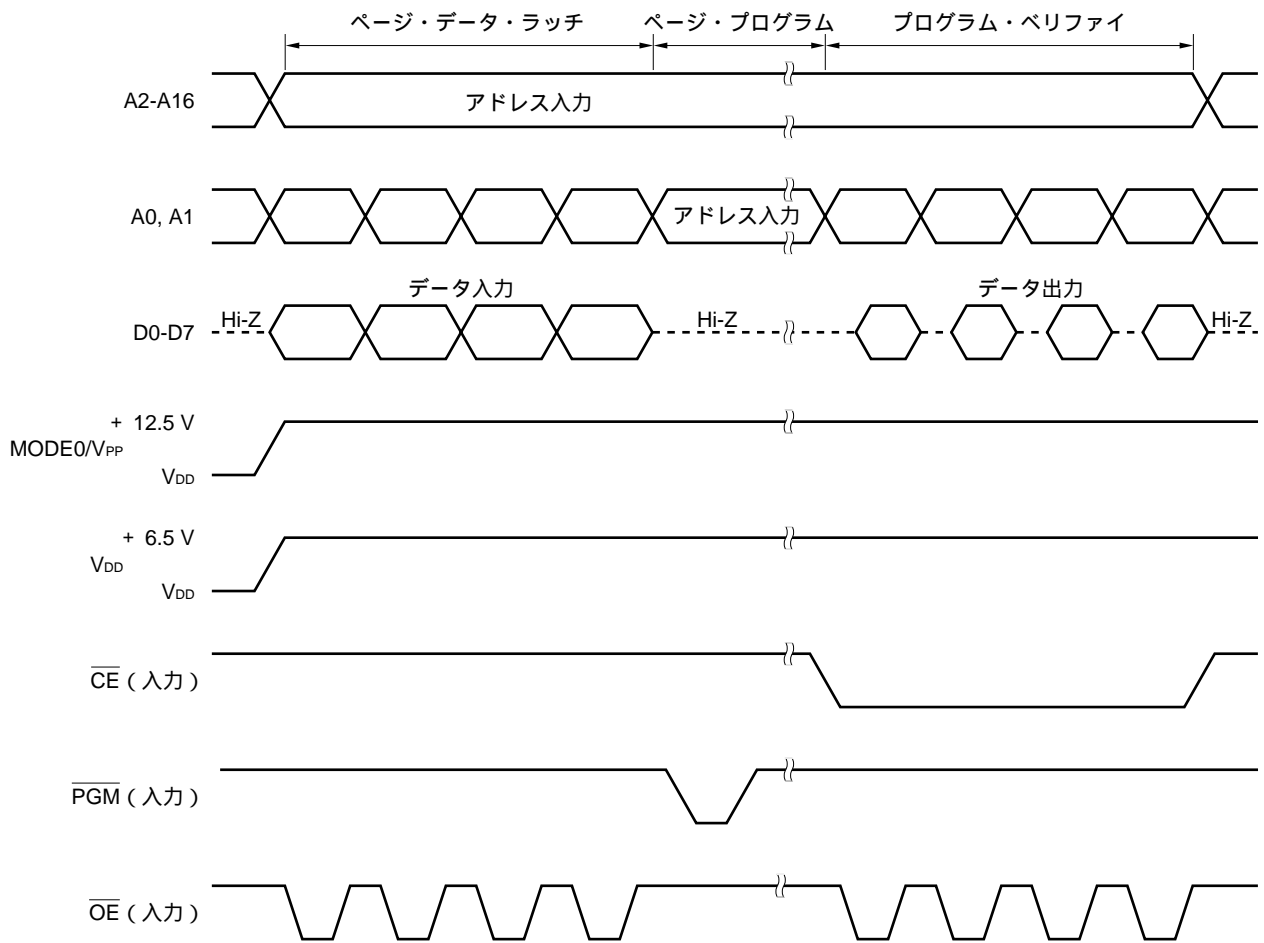
上述の(2) ~ (9)のタイミングを図3-3に示します。

図3 - 2 書き込み手順フロー・チャート (ページ・プログラム・モード)



注 ページ単位に満たない場合は、余りの部分に"FFH"をラッチする。

図3 - 3 PROMの書き込み/ベリファイ・タイミング(ページ・プログラム・モード)



### 3.3 PROM書き込みの手順(バイト・プログラム・モード)

PROMへの書き込み手順は次のとおりです(図3 - 4参照)。

- (1) MODE0/V<sub>PP</sub> = H, MODE1 = L, P21 = L,  $\overline{\text{RESET}}$  = Lに固定する。未使用端子は、端子接続図の指示に従って処理する。
- (2) V<sub>DD</sub>端子に + 6.5 V, MODE0/V<sub>PP</sub>端子には + 12.5 Vを供給し、 $\overline{\text{CE}}$ 端子にロウ・レベルを入力する。
- (3) A0 - A16に初期アドレスを入力する。
- (4) D0 - D7に書き込みデータを入力する。
- (5)  $\overline{\text{PGM}}$ 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を入力する。
- (6) ベリファイ・モード。書き込みデータが書き込まれたかどうか確認する。  
 $\overline{\text{OE}}$ 端子にアクティブ・ロウのパルスを入力し、D0 - D7から書き込みデータを読み出す。
  - ・書き込めたとき (8)へ
  - ・書き込めなかったとき (4) ~ (6)を繰り返す。10回繰り返しても書き込めないときは(7)へ。
- (7) 不良デバイスとして書き込み動作を中止する。
- (8) アドレスをインクリメントする。
- (9) (4) ~ (8)を最終アドレスまで繰り返す。

上述の(2) ~ (7)のタイミングを図3 - 5に示します。

図3 - 4 書き込み手順フロー・チャート (バイト・プログラム・モード)

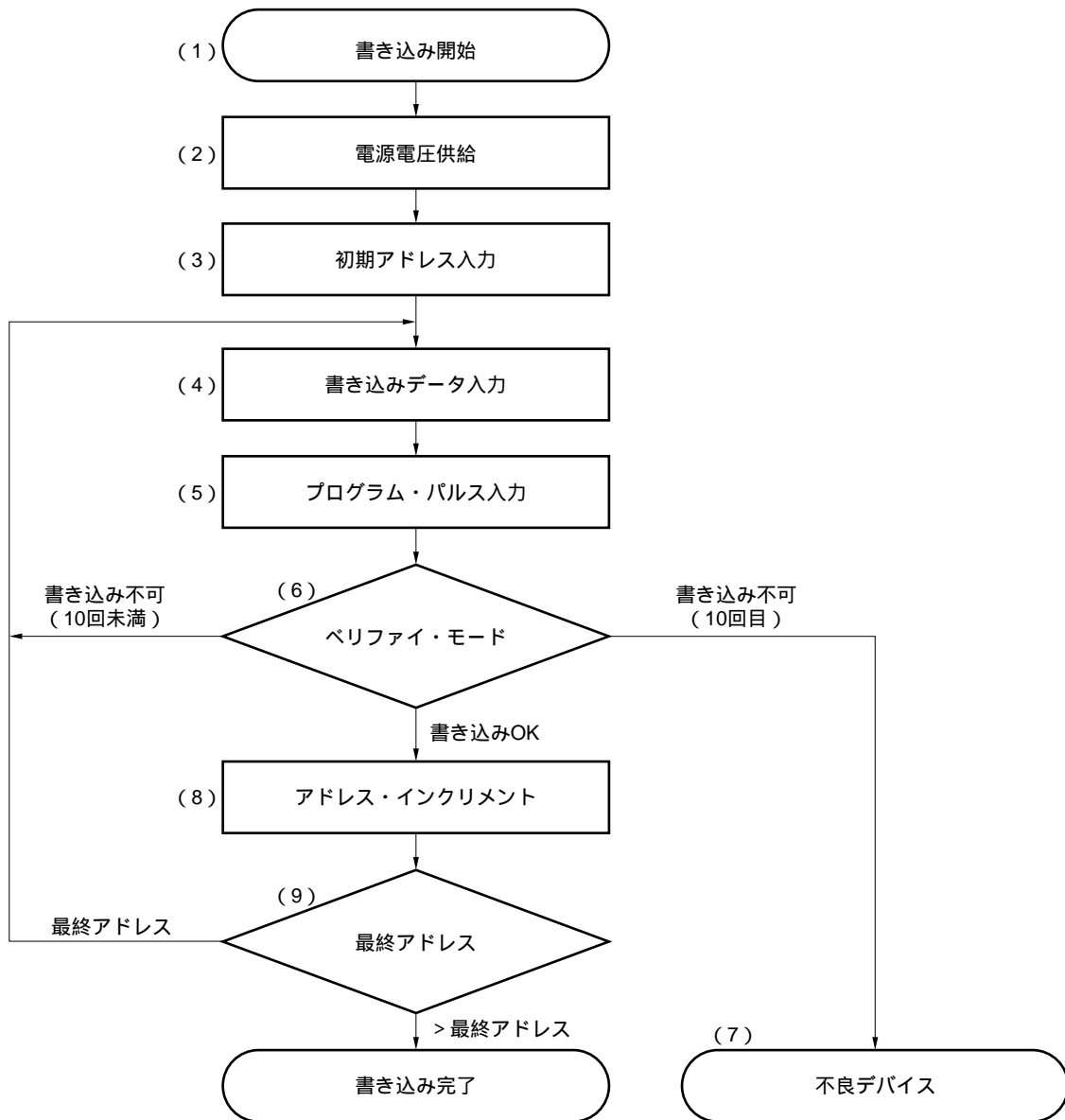
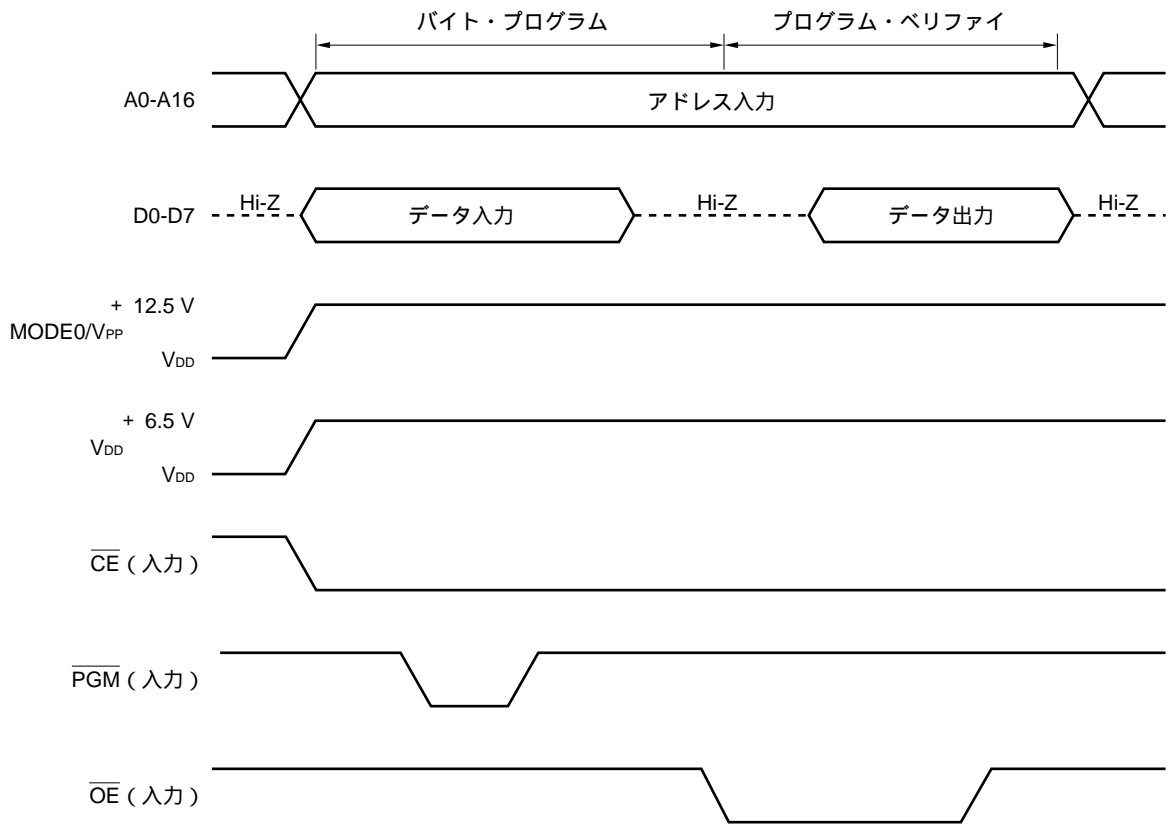




図3 - 5 PROMの書き込み/ベリファイ・タイミング (バイト・プログラム・モード)



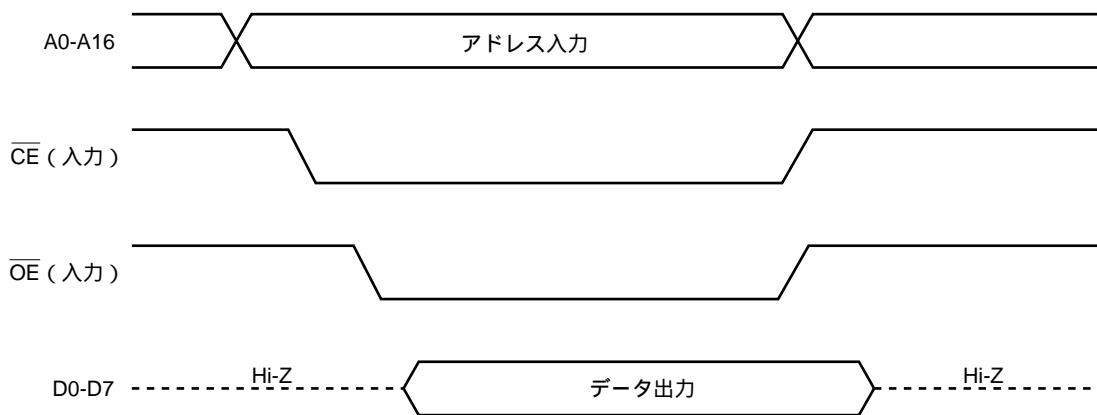
3.4 PROM読み出しの手順

PROMの内容を外部データ・バス (D0 - D7) に読み出すときの手順は、次のとおりです。

- ( 1 ) MODE0/V<sub>PP</sub> = H, MODE1 = L, P21 = L,  $\overline{\text{RESET}} = \text{L}$ に固定する。未使用端子は、端子接続図の指示に従って処理する。
- ( 2 ) V<sub>DD</sub>, MODE0/V<sub>PP</sub>端子に + 5 Vを供給する。
- ( 3 ) 読み出すデータのアドレスをA0 - A16端子に入力する。
- ( 4 ) 読み出しモード ( $\overline{\text{CE}} = \text{L}, \overline{\text{OE}} = \text{L}$ )
- ( 5 ) データがD0 - D7端子に出力される。

上述の ( 2 ) ~ ( 5 ) のタイミングを図3 - 6 に示します。

図3 - 6 PROMの読み出しタイミング



#### 4. ワン・タイムPROM製品のスクリーニングについて

ワン・タイムPROM製品（μPD78P356GD(A)-5BB）は、その構造上、当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと、下記の条件で高温保管後、PROMのベリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125	24時間

なお、NECでは、QTOPマイコンの名称でワン・タイムPROMの書き込みから捺印、スクリーニング、ベリファイを有料で行うサービスを実施しております。詳細につきましては、販売員にご相談ください。

5 . 電気的特性

絶対最大定格 (TA = 25 )

項 目	略 号	条 件	定 格	単 位
電源電圧	VDD		- 0.5 ~ + 7.0	V
	AVDD		- 0.5 ~ VDD + 0.5	V
	VPP		- 0.5 ~ + 13.5	V
	AVSS		- 0.5 ~ + 0.5	V
入力電圧	Vi	注 1, 2	- 0.5 ~ VDD + 0.5	V
出力電圧	Vo		- 0.5 ~ VDD + 0.5	V
ロウ・レベル出力電流	IOL	全出力端子	4.0	mA
		全出力端子合計	140	mA
ハイ・レベル出力電流	IOH	全出力端子	- 1.0	mA
		全出力端子合計	- 30	mA
アナログ入力電圧	VIAN	注 1, 3 AVDD > VDD	- 0.5 ~ VDD + 0.5	V
		VDD AVDD	- 0.5 ~ AVDD + 0.5	
A/Dコンバータ基準入力電圧	AVREF	AVDD > VDD	- 0.5 ~ VDD + 0.5	V
		VDD AVDD	- 0.5 ~ AVDD + 0.5	
動作周囲温度	TA		- 40 ~ + 85	
保存温度	Tstg		- 65 ~ + 150	

注 1 . 過電圧印加における許容端子注入電流特性の過電圧条件を除きます。

2 . P70/ANI0-P77/ANI7以外の端子。

3 . P70/ANI0-P77/ANI7端子。

**注意** 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

過電圧印加における許容端子注入電流特性 (TA = -40 ~ +85 , VDD = +5 V ± 10 % , VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
正方向注入電流 (VIN > VDD)	I <sub>IJH1</sub>	1端子	ANIn (n = 0-7) 以外の入力	ピーク値		10	mA
			ポート	平均値		0.5	mA
	I <sub>IJH2</sub>		ANIn (n = 0-7)	ピーク値		3	mA
				平均値		1	mA
	I <sub>IJH</sub>		全入力端子合計	ピーク値		100	mA
				平均値		5	mA
負方向注入電流 (VIN < VSS)	I <sub>IJL1</sub>	1端子	ANIn (n = 0-7) 以外の入力	ピーク値		- 4	mA
			ポート	平均値		- 0.4	mA
	I <sub>IJL2</sub>		ANIn (n = 0-7)	ピーク値		- 4	mA
				平均値		- 0.3	mA
	I <sub>IJL</sub>		全入力端子合計	ピーク値		- 40	mA
				平均値		- 3	mA

注意 1 . アナログ入力端子 (ANIn : n = 0-7) に注入電流が流れた場合、電流注入端子に隣接するアナログ入力のA/D変換結果は、注入電流が流れていない場合の規格に ±2LSBを加えた値となります。

2 . 端子注入電流の平均値 (絶対値) は、次の式により求められます。

$$\text{平均値} = \left( \frac{1}{T} \int_0^T |i(t)|^{3/2} dt \right)^{2/3}$$

ここで i(t) は端子注入電流です。また |i(t)| の最大値がピーク値となります。

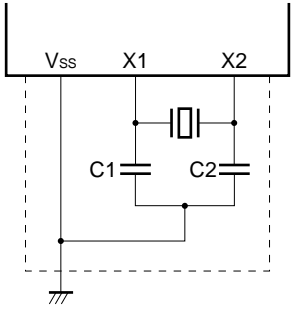
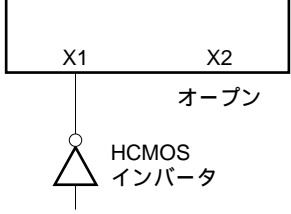
推奨動作条件

発振周波数	TA	VDD
8 MHz f <sub>xx</sub> 25 MHz	- 40 ~ +85	+5.0 V ± 10 %

容量 (TA = 25 , VSS = VDD = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C <sub>i</sub>	f = 1 MHz			20	pF
出力容量	C <sub>o</sub>	被測定端子以外は 0 V			20	pF
入出力容量	C <sub>io</sub>				20	pF

発振器特性 (TA = -40 ~ +85 , VDD = +5 V ± 10 % , VSS = 0 V)

発振子	推奨回路	項目	MIN.	MAX.	単位
セラミック発振子 または水晶振動子		発振周波数 (f <sub>xx</sub> )	8	25	MHz
外部クロック		X1入力周波数 (f <sub>x</sub> )	8	25	MHz
		X1入力立ち上がり, 立ち下がり時間 (t <sub>xR</sub> , t <sub>xF</sub> )	0	10	ns
		X1入力ハイ, ロウ・レベル幅 (t <sub>wXH</sub> , t <sub>wXL</sub> )	10	115	ns

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、上図の破線の部分を次のように配線してください。

- ・配線を極力短くする。
- ・ほかの信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV<sub>SS</sub>と同電位となるようにする。大電流が流れるグラウンド・パターンには接地しない。
- ・発振回路から信号を取り出さない。

DC特性 (TA = -40 ~ +85 , VDD = + 5 V ± 10 % , VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル入力電圧	V <sub>IL</sub>			0		0.8	V
ハイ・レベル入力電圧	V <sub>IH1</sub>	注1		2.2			V
	V <sub>IH2</sub>	注2		0.8V <sub>DD</sub>			
ロウ・レベル出力電圧	V <sub>OL</sub>	I <sub>OL</sub> = 2.0mA				0.45	V
ハイ・レベル出力電圧	V <sub>OH</sub>	I <sub>OH</sub> = - 400 μA		V <sub>DD</sub> - 1.0			V
入力リーク電流	I <sub>LI</sub>	注3	0 V Vi V <sub>DD</sub>			± 10	μA
		MODE0/V <sub>PP</sub>	Vi = V <sub>DD</sub>			+ 10	μA
		端子	Vi = 0 V			- 200	μA
アナログ端子入力リーク電流	I <sub>LIAN</sub>	注4	0 V Vi AV <sub>REF</sub>			± 10	μA
出力リーク電流	I <sub>LO</sub>	0 V Vo V <sub>DD</sub>				± 10	μA
V <sub>DD</sub> 電源電流	I <sub>DD1</sub>	動作モード			70	113	mA
	I <sub>DD2</sub>	HALTモード			30	52	mA
データ保持電圧	V <sub>DDDR</sub>	STOPモード		2.5			V
データ保持電流	I <sub>DDDR</sub>	STOPモード	V <sub>DDDR</sub> = 2.5 V		2	40	μA
			V <sub>DDDR</sub> = 5.0 V ± 10 %		10	100	μA
ソフトウェア・ブルアップ抵抗	R <sub>L</sub>	Vi = 0 V		20	40	90	k

注1 . 注2 に記載以外の端子。

- 2 . RESET, X1, X2, P00/RTP0/ADTRG0, P01/RTP1/ADTRG1, P02/RTP2/ADTRG2, P03/RTP3/ADTRG3, P20/NMI, P21/INTP0/TO04, P22/INTP1/TO05, P23/INTP2, P24/INTP3, P25/INTP4, P26/TCLR2/TO21, P27/TO20, P32/SO00/SB0, P33/SI00/SB1, P34/SCK00, P35/TCLR1, P36/TI11/TO11, P80/TCLR0, P81/TI0/TO03, P85/TCLRUD, P101/SI10, P102/SCK10, P104/SI11, P105/SCK11, P106/TIUD, P107/TCUD端子。
- 3 . 入力および入出力端子 (ただし, MODE0/V<sub>PP</sub>, X1, X2, アナログ入力として使用しているP70/ANI0-P77/ANI7を除く)。
- 4 . P70/ANI0-P77/ANI7端子 (アナログ入力として使用している端子で, 非サンプリング動作時のみ)。

AC特性 (TA = -40 ~ +85 , VDD = +5 V ± 10 % , VSS = 0 V , CL = 100 pF , fxx = 25 MHz)

リード/ライト・オペレーション (汎用メモリ接続時)

項 目	略 号	条 件	MIN.	MAX.	単 位
システム・クロック・サイクル・タイム	tCYK		80	250	ns
アドレス・セットアップ時間 (対ASTB )	tSAST		16		ns
アドレス・ホールド時間 (対ASTB )	tHSTA		20		ns
$\overline{RD}$ アドレス・フロート時間	tFRA			0	ns
アドレス データ入力時間	tDAID			144	ns
$\overline{RD}$ データ入力時間	tDRID			72	ns
ASTB $\overline{RD}$ 遅延時間	tDSTR		24		ns
データ・ホールド時間 (対 $\overline{RD}$ )	tHRID		0		ns
$\overline{RD}$ アドレス・アクティブ時間	tDRA		26		ns
$\overline{RD}$ ロウ・レベル幅	tWRL		90		ns
ASTBハイ・レベル幅	tWSTH		23		ns
$\overline{LWR}$ , $\overline{HWR}$ データ出力時間	tDWD			30	ns
ASTB $\overline{LWR}$ , $\overline{HWR}$ 遅延時間	tDSTW		24		ns
$\overline{LWR}$ , $\overline{HWR}$ ASTB 遅延時間	tDWST		105		ns
データ・セットアップ時間 (対 $\overline{LWR}$ , $\overline{HWR}$ )	tSODW		75		ns
データ・ホールド時間 (対 $\overline{LWR}$ , $\overline{HWR}$ )	tHWOD		8		ns
$\overline{LWR}$ , $\overline{HWR}$ ロウ・レベル幅	tWWL		90		ns
$\overline{WAIT}$ セットアップ時間 (対アドレス)	tSAWT			65	ns
$\overline{WAIT}$ ホールド時間 (対アドレス)	tHAWT		120		ns
$\overline{WAIT}$ セットアップ時間 (対ASTB )	tSASRY			24	ns
$\overline{WAIT}$ ホールド時間 (対ASTB )	tHASRY		80		ns
$\overline{WAIT}$ セットアップ時間 (対 $\overline{RD}$ )	tSRRY			- 25	ns
$\overline{WAIT}$ セットアップ時間 (対 $\overline{LWR}$ , $\overline{HWR}$ )	tSWRY			- 25	ns
$\overline{WAIT}$ ホールド時間 (対 $\overline{RD}$ )	tHRRY		31		ns
$\overline{WAIT}$ ホールド時間 (対 $\overline{LWR}$ , $\overline{HWR}$ )	tHWRY		31		ns
アドレス $\overline{RD}$ 遅延時間	tDAR			95	ns
アドレス $\overline{LWR}$ , $\overline{HWR}$ 遅延時間	tDAW			95	ns
$\overline{WAIT}$ データ入力時間	tDWTID			70	ns
$\overline{WAIT}$ $\overline{RD}$ 遅延時間	tDWTR		80		ns
$\overline{WAIT}$ $\overline{LWR}$ , $\overline{HWR}$ 遅延時間	tDWTW		80		ns



**t<sub>CYK</sub>依存のバス・タイミング定義**

項 目	計 算 式	MIN./MAX.	単 位
t <sub>SAST</sub>	$(0.5 + a)T - 24$	MIN.	ns
t <sub>HSTA</sub>	$0.5T - 20$	MIN.	ns
t <sub>WSTH</sub>	$(0.5 + a)T - 17$	MIN.	ns
t <sub>DSTR</sub>	$0.5T - 16$	MIN.	ns
t <sub>WRL</sub>	$(1.5 + n)T - 30$	MIN.	ns
t <sub>DAID</sub>	$(2.5 + a + n)T - 56$	MAX.	ns
t <sub>DRID</sub>	$(1.5 + n)T - 48$	MAX.	ns
t <sub>DRA</sub>	$0.5T - 14$	MIN.	ns
t <sub>DSTW</sub>	$0.5T - 16$	MIN.	ns
t <sub>DWST</sub>	$1.5T - 15$	MIN.	ns
t <sub>WWL</sub>	$(1.5 + n)T - 30$	MIN.	ns
t <sub>DWOD</sub>	$0.5T - 10$	MAX.	ns
t <sub>SODW</sub>	$(1 + n)T - 5$	MIN.	ns
t <sub>SAWT</sub>	$(a + n)T - 15$	MAX.	ns
t <sub>HAWT</sub>	$(0.5 + a + n)T$	MIN.	ns
t <sub>SASRY</sub>	$(n - 0.5)T - 16$	MAX.	ns
t <sub>HASRY</sub>	$nT$	MIN.	ns
t <sub>SRRY</sub>	$(n - 1)T - 25$	MAX.	ns
t <sub>SWRY</sub>	$(n - 1)T - 25$	MAX.	ns
t <sub>HRRY</sub>	$(n - 0.5)T - 9$	MIN.	ns
t <sub>HWRY</sub>	$(n - 0.5)T - 9$	MIN.	ns
t <sub>DAR</sub>	$(a + 1)T + 15$	MAX.	ns
t <sub>DAW</sub>	$(a + 1)T + 15$	MAX.	ns
t <sub>DWTID</sub>	$T - 10$	MAX.	ns
t <sub>DWTR</sub>	$T$	MIN.	ns
t <sub>DWTW</sub>	$T$	MIN.	ns

**備考 1** .  $T = t_{CYK} = 1/f_{CLK}$  (  $f_{CLK}$ は内部システム・クロック周波数 )

- 2 . a は、アドレス・ウエイト挿入時に 1 になり、その他のときは 0 になります。
- 3 . n は、外部ウエイト端子 (  $\overline{WAIT}$  ) または PWC レジスタの指定により挿入されるウエイト・サイクル数です。
- 4 . バス・タイミングのうちこの表に示す項目のみ  $t_{CYK}$  に依存します。

シリアル・オペレーション (  $T_A = -40 \sim +85$  ,  $V_{DD} = +5\text{ V} \pm 10\%$  ,  $V_{SS} = 0\text{ V}$  )

項 目	略 号	条 件		MIN.	MAX.	単 位
シリアル・クロック・サイクル・タイム	tcysk	$\overline{\text{SCK}}$ 出力	内部8分周	640		ns
		$\overline{\text{SCK}}$ 入力	外部クロック	640		ns
シリアル・クロック・ロウ・レベル幅	twskl	$\overline{\text{SCK}}$ 出力	内部8分周	280		ns
		$\overline{\text{SCK}}$ 入力	外部クロック	280		ns
シリアル・クロック・ハイ・レベル幅	twskh	$\overline{\text{SCK}}$ 出力	内部8分周	280		ns
		$\overline{\text{SCK}}$ 入力	外部クロック	280		ns
SIセットアップ時間 ( 対 $\overline{\text{SCK}}$ )	tsrxsk			80		ns
SIホールド時間 ( 対 $\overline{\text{SCK}}$ )	tHSKRX			80		ns
$\overline{\text{SCK}}$ SO遅延時間	tDSKTX	R = 1 k , C = 100 pF			110	ns

t<sub>cyk</sub>依存のシリアル・オペレーション

項 目	条 件		計 算 式	MIN./MAX.	単 位
tcysk	$\overline{\text{SCK}}$ 出力	内部8分周	8T	MIN.	ns
	$\overline{\text{SCK}}$ 入力	外部クロック	8T	MIN.	ns
twskl	$\overline{\text{SCK}}$ 出力	内部8分周	4T - 40	MIN.	ns
	$\overline{\text{SCK}}$ 入力	外部クロック	4T - 40	MIN.	ns
twskh	$\overline{\text{SCK}}$ 出力	内部8分周	4T - 40	MIN.	ns
	$\overline{\text{SCK}}$ 入力	外部クロック	4T - 40	MIN.	ns

備考 1 . T = t<sub>cyk</sub> = 1/f<sub>CLK</sub> ( f<sub>CLK</sub>は内部システム・クロック周波数 )

2 . シリアル・オペレーションのうち、この表に示す項目のみt<sub>cyk</sub>に依存します。

アップ/ダウン・カウンタ・オペレーション (  $T_A = -40 \sim +85$  ,  $V_{DD} = +5 V \pm 10 \%$  ,  $V_{SS} = 0 V$  )

項 目	略 号	条 件		MIN.	MAX.	単 位
TIUDハイ, ロウ・レベル幅	$t_{WTIUH}, t_{WTIUL}$	モード 4 以外	NIUD = 0	320		ns
			NIUD = 1	1.28		μs
		モード 4	NIUD = 0	640		ns
			NIUD = 1	1.28		μs
TCUDハイ, ロウ・レベル幅	$t_{WTCUH}, t_{WTCUL}$	モード 4 以外	NCUD = 0	320		ns
			NCUD = 1	1.28		μs
		モード 4	NCUD = 0	640		ns
			NCUD = 1	1.28		μs
TCLRUDハイ, ロウ・レベル幅	$t_{WTCLUH}, t_{WTCLUL}$		NRUD = 0	320		ns
			NRUD = 1	1.28		μs
TCUDセットアップ時間 (対TIUD)	$t_{STCU}$	モード 3		0		ns
TCUDホールド時間 (対TIUD)	$t_{HTCU}$	モード 3		160		ns
TIUDセットアップ時間 (対TCUD)	$t_{S4TIU}$	モード 4		320		ns
TIUDホールド時間 (対TCUD)	$t_{H4TIU}$	モード 4		320		ns
TIUD, TCUDサイクル・タイム	$t_{CYC4}$	モード 4		1.28		μs

備考 NIUD, NCUD, NRUD : ノイズ・プロテクション・コントロール・レジスタ (NPC) のビット 5 , 6 , 7

$t_{CYK}$ 依存のアップ/ダウン・カウンタ・オペレーション

項 目	条 件		計 算 式	MIN./MAX.	単 位
$t_{WTIUH}, t_{WTIUL}$	モード 4 以外	NIUD = 0	4T	MIN.	ns
		NIUD = 1	16T		
	モード 4	NIUD = 0	8T		
		NIUD = 1	16T		
$t_{WTCUH}, t_{WTCUL}$	モード 4 以外	NCUD = 0	4T	MIN.	ns
		NCUD = 1	16T		
	モード 4	NCUD = 0	8T		
		NCUD = 1	16T		
$t_{WTCLUH}, t_{WTCLUL}$		NRUD = 0	4T	MIN.	ns
		NRUD = 1	16T		
$t_{HTCU}$	モード 3		2T	MIN.	ns
$t_{S4TIU}$	モード 4		4T	MIN.	ns
$t_{H4TIU}$	モード 4		4T	MIN.	ns

備考 1 .  $T = t_{CYK} = 1/f_{CLK}$  (  $f_{CLK}$  は内部システム・クロック周波数 )

2 . アップ/ダウン・カウンタ・オペレーションのうち, この表に示す項目のみ  $t_{CYK}$  に依存します。

3 . NIUD, NCUD, NRUD : ノイズ・プロテクション・コントロール・レジスタ (NPC) のビット 5 , 6 , 7

その他のオペレーション (TA = -40 ~ +85 , VDD = +5 V ± 10 % , VSS = 0 V)

項 目	略 号	条 件	MIN.	MAX.	単 位
NMIハイ, ロウ・レベル幅	t <sub>WNIH</sub> , t <sub>WNIL</sub>	アナログ・ノイズ除去	2		μs
INTP0ハイ, ロウ・レベル幅	t <sub>WI0H</sub> , t <sub>WI0L</sub>		320		ns
INTP1ハイ, ロウ・レベル幅	t <sub>WI1H</sub> , t <sub>WI1L</sub>		320		ns
INTP2ハイ, ロウ・レベル幅	t <sub>WI2H</sub> , t <sub>WI2L</sub>		320		ns
INTP3ハイ, ロウ・レベル幅	t <sub>WI3H</sub> , t <sub>WI3L</sub>		320		ns
INTP4ハイ, ロウ・レベル幅	t <sub>WI4H</sub> , t <sub>WI4L</sub>		320		ns
TI0ハイ, ロウ・レベル幅	t <sub>WTI0H</sub> , t <sub>WTI0L</sub>	NI0 = 0	320		ns
		NI0 = 1	1.28		μs
TI1ハイ, ロウ・レベル幅	t <sub>WTI1H</sub> , t <sub>WTI1L</sub>	NI1 = 0	320		ns
		NI1 = 1	1.28		μs
TCLR0ハイ, ロウ・レベル幅	t <sub>WTCL0H</sub> , t <sub>WTCL0L</sub>	NR0 = 0	320		ns
		NR0 = 1	1.28		μs
TCLR1ハイ, ロウ・レベル幅	t <sub>WTCL1H</sub> , t <sub>WTCL1L</sub>	NR1 = 0	320		ns
		NR1 = 1	1.28		μs
TCLR2ハイ, ロウ・レベル幅	t <sub>WTCL2H</sub> , t <sub>WTCL2L</sub>	NR2 = 0	320		ns
		NR2 = 1	1.28		μs
RESETハイ, ロウ・レベル幅	t <sub>WRSH</sub> , t <sub>WRSL</sub>	アナログ・ノイズ除去	1.5		μs

備考 NI0, NI1 : ノイズ・プロテクション・コントロール・レジスタ (NPC) のビット 0 , 2  
 NR0, NR1, NR2 : ノイズ・プロテクション・コントロール・レジスタ (NPC) のビット 1 , 3 , 4

$t_{CYK}$ 依存のその他のオペレーション

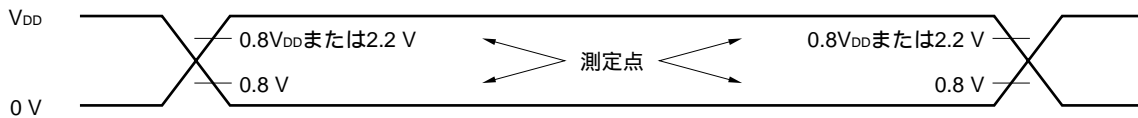
項目	条件	計算式	MIN./MAX.	単位
$t_{WI0H}$ , $t_{WI0L}$		4T	MIN.	ns
$t_{WI1H}$ , $t_{WI1L}$		4T	MIN.	ns
$t_{WI2H}$ , $t_{WI2L}$		4T	MIN.	ns
$t_{WI3H}$ , $t_{WI3L}$		4T	MIN.	ns
$t_{WI4H}$ , $t_{WI4L}$		4T	MIN.	ns
$t_{WTI0H}$ , $t_{WTI0L}$	NI0 = 0	4T	MIN.	ns
	NI0 = 1	16T		
$t_{WTI1H}$ , $t_{WTI1L}$	NI1 = 0	4T	MIN.	ns
	NI1 = 1	16T		
$t_{WTCL0H}$ , $t_{WTCL0L}$	NR0 = 0	4T	MIN.	ns
	NR0 = 1	16T		
$t_{WTCL1H}$ , $t_{WTCL1L}$	NR1 = 0	4T	MIN.	ns
	NR1 = 1	16T		
$t_{WTCL2H}$ , $t_{WTCL2L}$	NR2 = 0	4T	MIN.	ns
	NR2 = 1	16T		

備考 1 .  $T = t_{CYK} = 1/f_{CLK}$  (  $f_{CLK}$ は内部システム・クロック周波数 )

2 . この表に示す項目のみ $t_{CYK}$ に依存します。

3 . NI0, NI1 : ノイズ・プロテクション・コントロール・レジスタ (NPC) のビット 0 , 2  
 NR0, NR1, NR2 : ノイズ・プロテクション・コントロール・レジスタ (NPC) のビット 1 , 3 , 4

ACタイミング測定点



A/Dコンバータ特性 (TA = -40 ~ +85 , AVDD = VDD = +5 V ± 10 % , AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能			10			bit	
総合誤差 <sup>注1</sup>		4.5 V AVREF1 AVDD			± 0.4	%FSR	
		3.4 V AVREF1 AVDD			± 0.7	%FSR	
量子化誤差					± 1/2	LSB	
変換時間	tCONV	A/Dトリガ・モード時	2			μs	
		タイマ・トリガ・モード , 外部トリガ・モード時	2 + 5T			μs	
サンプリング時間	tsAMP	tCYK = 80.0 ns	5.5			tCYK	
ゼロスケール誤差 <sup>注1</sup>		4.5 V AVREF1 AVDD		± 1.5	± 2.5	LSB	
		3.4 V AVREF1 AVDD		± 1.5	± 4.5	LSB	
フルスケール誤差 <sup>注1</sup>		4.5 V AVREF1 AVDD		± 1.5	± 3.0	LSB	
		3.4 V AVREF1 AVDD		± 1.5	± 4.5	LSB	
非直線性誤差 <sup>注1</sup>		4.5 V AVREF1 AVDD		± 1.5	± 2.5	LSB	
		3.4 V AVREF1 AVDD		± 1.5	± 4.5	LSB	
アナログ入力電圧 <sup>注2</sup>	VIAN		- 0.3		AVREF1 + 0.3	V	
アナログ入力インピーダンス	RAN	非サンプリング時		10		M	
		サンプリング時		注3			
基準電圧	AVREF1		3.4		AVDD	V	
AVREF1電流	AIREF1			3.0	8.0	mA	
AVDD電源電流	AIDD	動作モード		3.3	13.0	mA	
A/Dコンバータ・データ保持電流	AlDDDR	STOP	AVDDDR = 2.5 V		2	10	μA
		モード	AVDDDR = 5 V ± 10 %		10	50	μA

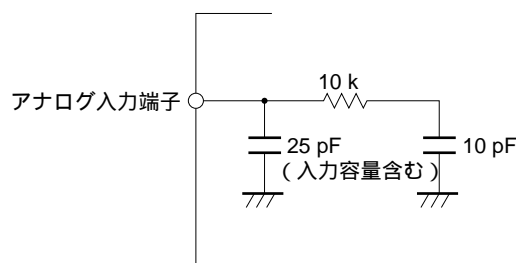
注1 . 量子化誤差を除きます。

2 . - 0.3 V < VIAN < 0 Vのときは、変換結果が000Hになります。

0 V < VIAN < AVREF1のときは、10ビット分解能で変換を行います。

AVREF1 < VIAN < AVREF1 + 0.3 Vのときは、変換結果が3FFHになります。

3 . サンプリング時のアナログ入力インピーダンスは、下図の等価回路と同一となります（図中の値はTYP.値で、保証値ではありません）。

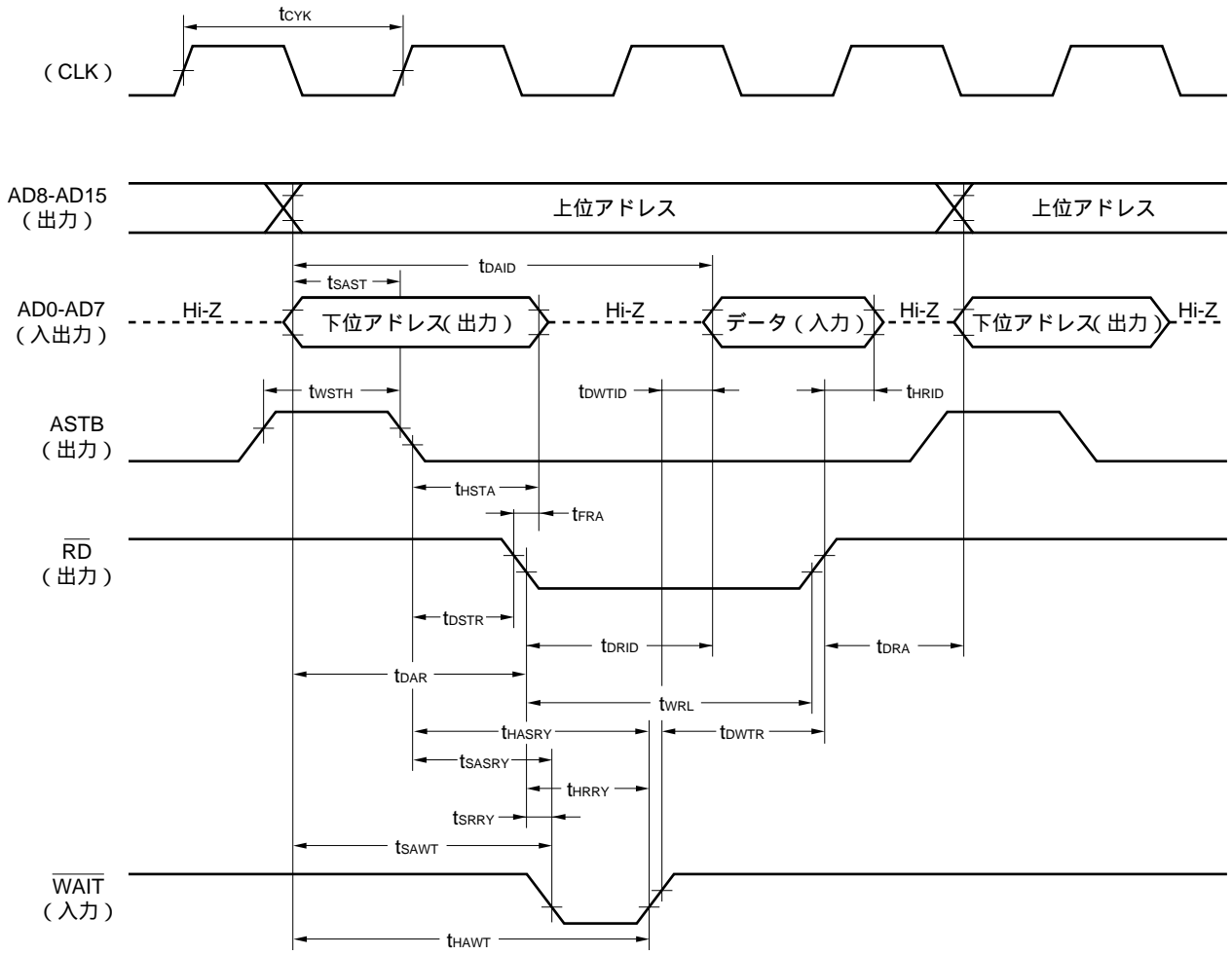


備考 T = tCYK = 1/fCLK ( fCLKは内部システム・クロック周波数 )

D/Aコンバータ特性 (T<sub>A</sub> = -40 ~ +85 , AV<sub>REF2</sub> = V<sub>DD</sub> = +5 V ± 10 % , AV<sub>REF3</sub> = V<sub>SS</sub> = 0 V)

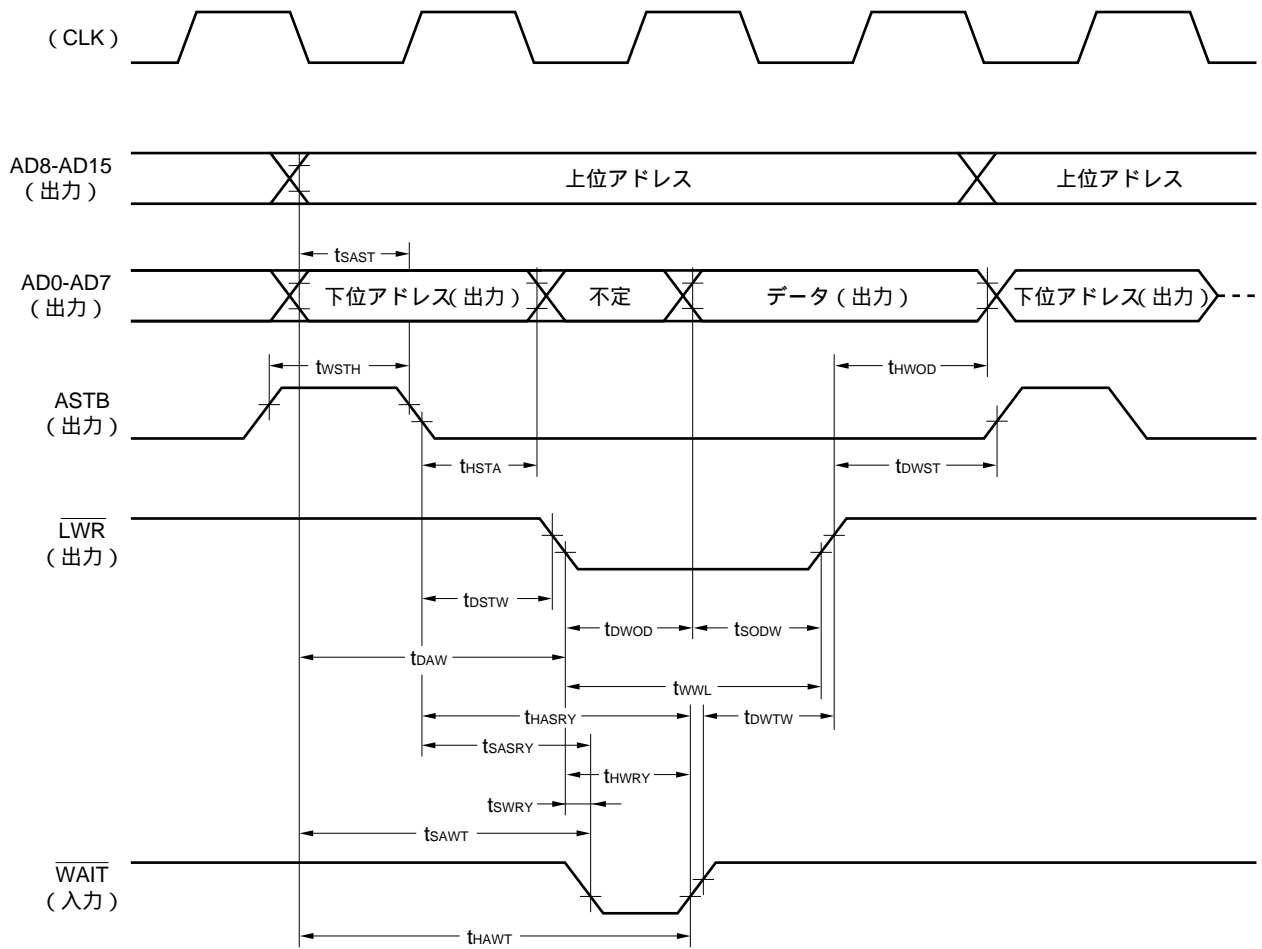
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能					8	bit
総合誤差		AV <sub>REF2</sub> = V <sub>DD</sub> = +5 V, AV <sub>REF3</sub> = V <sub>SS</sub> = 0 V			± 0.4	%
セットリング・タイム		負荷条件 2 M , 30 pF			2	μs
出力抵抗	R <sub>o</sub>	DACS0, DACS1 = 7FH		10		k
アナログ基準電圧	AV <sub>REF2</sub>		0.75V <sub>DD</sub>		V <sub>DD</sub>	V
アナログ基準電圧	AV <sub>REF3</sub>		V <sub>SS</sub>		0.2V <sub>DD</sub>	V
基準電源入力電流	AI <sub>REF2</sub>		0		5	mA
基準電源入力電流	AI <sub>REF3</sub>		- 5		0	mA

リード・オペレーション (8ビット)

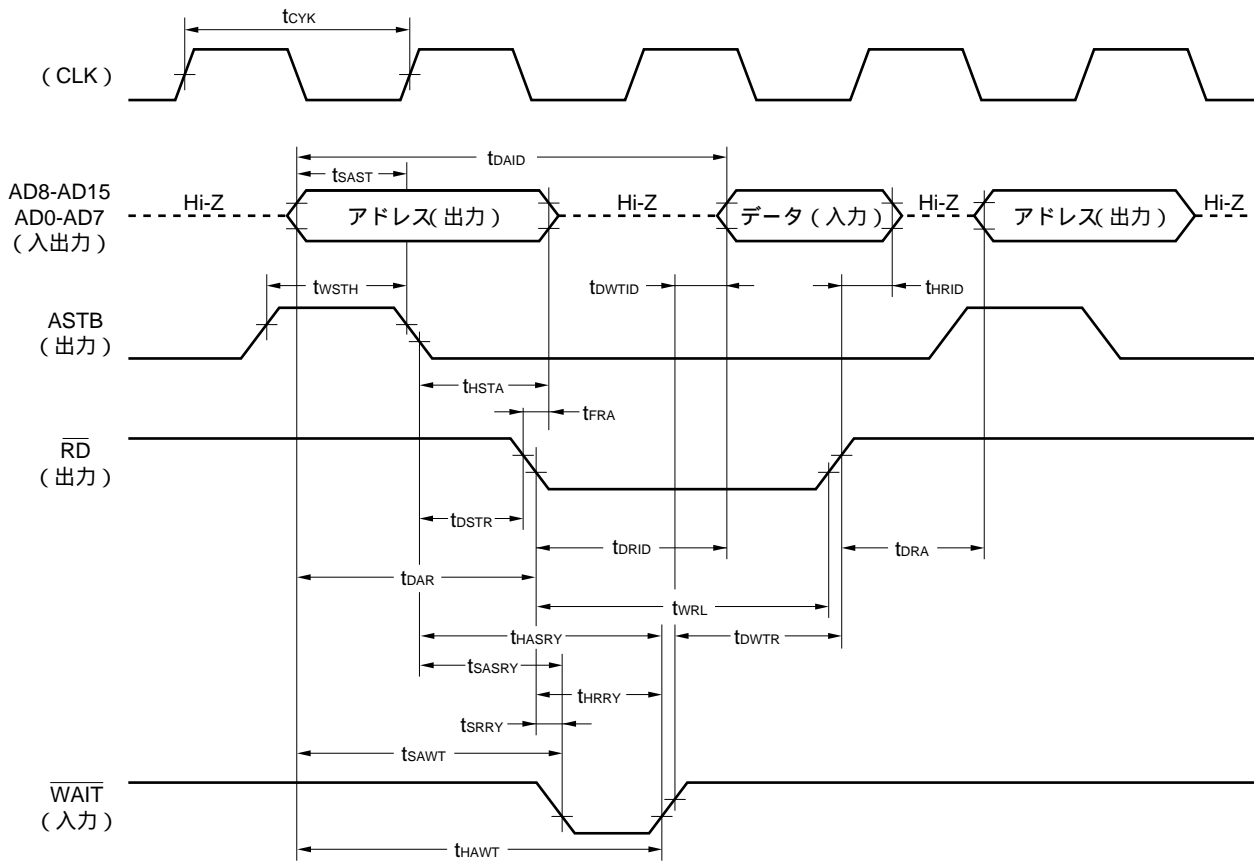




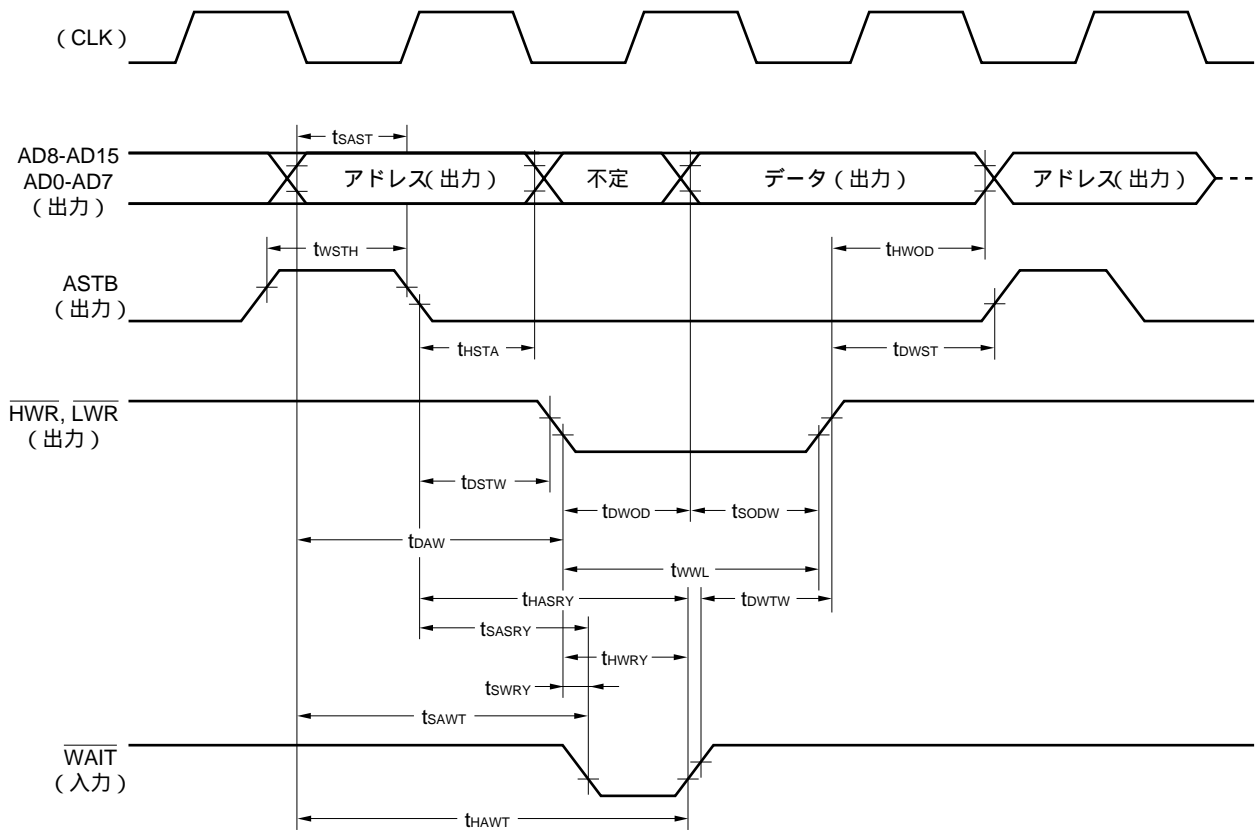
ライト・オペレーション (8ビット)



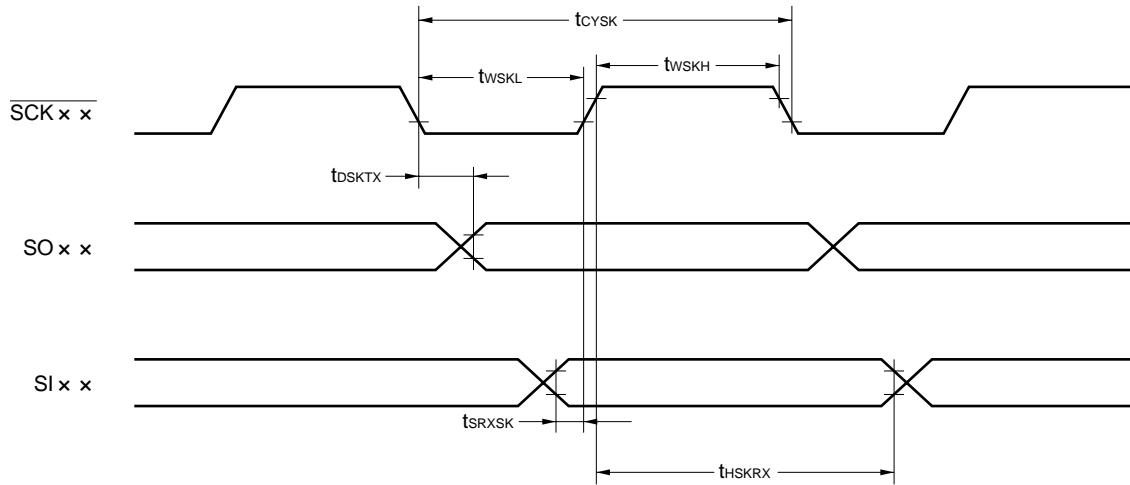
リード・オペレーション (16ビット)



ライト・オペレーション (16ビット)

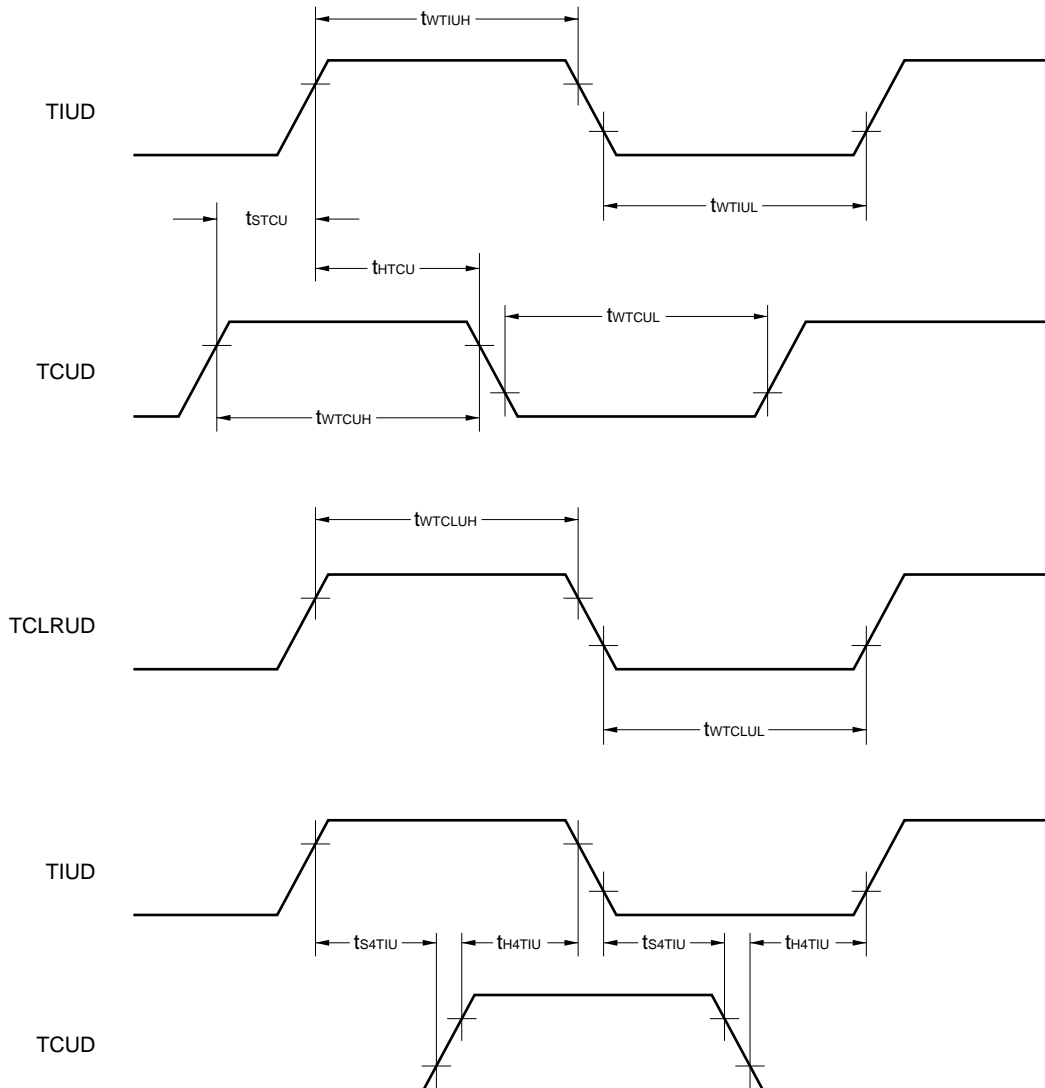


シリアル・オペレーション

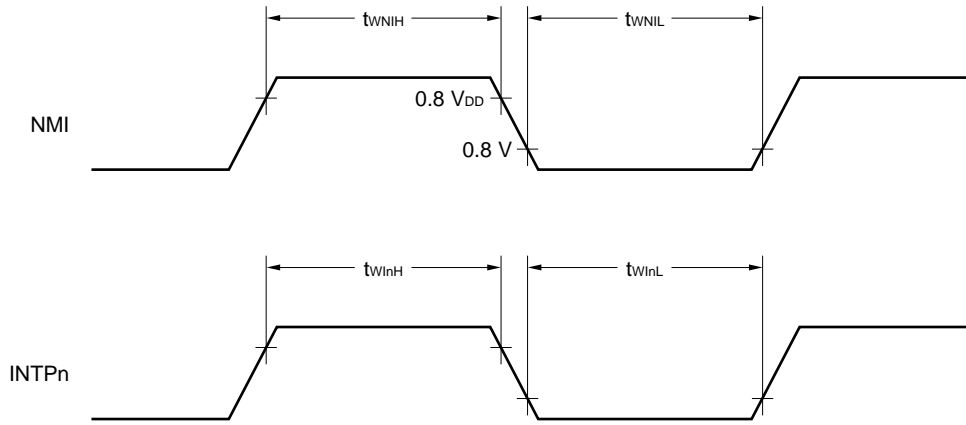


備考  $xx = 00, 10, 11$

アップ/ダウン・カウンタ入力タイミング

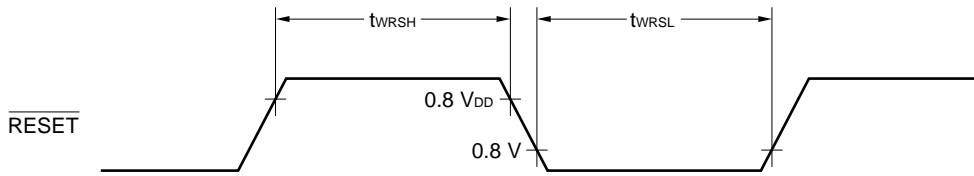


割り込み入力タイミング

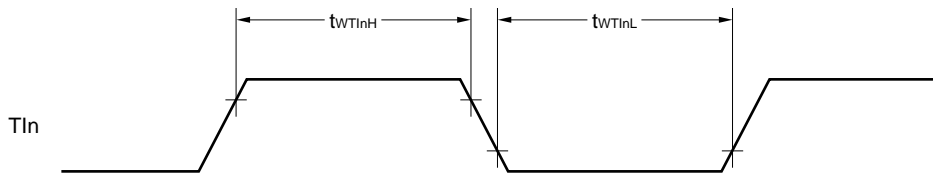


備考 n = 0 - 4

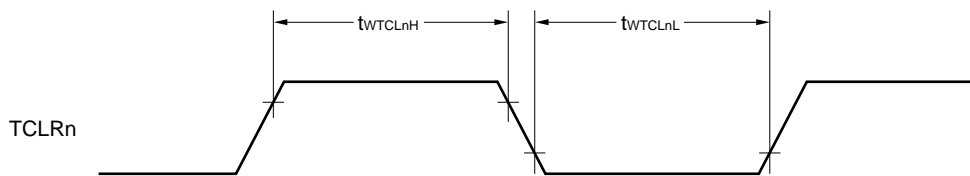
リセット入力タイミング



タイマ入力タイミング



備考 n = 0, 1



備考 n = 0 - 2

DCプログラミング特性 (TA = 25 ± 5 , VSS = 0 V)

項目	略号	略号 <sup>注1</sup>	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V <sub>IH</sub>	V <sub>IH</sub>		2.2		V <sub>DDP</sub> + 0.3	V
ロウ・レベル入力電圧	V <sub>IL</sub>	V <sub>IL</sub>		- 0.3		0.8	V
入力リーク電流	I <sub>LIP</sub>	I <sub>LI</sub>	0 V <sub>I</sub> V <sub>DDP</sub> <sup>注2</sup>			± 10	μA
ハイ・レベル出力電圧	V <sub>OH</sub>	V <sub>OH</sub>	I <sub>OH</sub> = - 400 μA	2.4			V
ロウ・レベル出力電圧	V <sub>OL</sub>	V <sub>OL</sub>	I <sub>OL</sub> = 2.1 mA			0.45	V
入力電流	I <sub>A9</sub>	-	A9 ( P20/NMI ) 端子			± 10	μA
出力リーク電流	I <sub>LO</sub>	-	0 V <sub>O</sub> V <sub>DDP</sub> , $\overline{OE} = V_{IH}$			± 10	μA
V <sub>DDP</sub> 電源電圧	V <sub>DDP</sub>	V <sub>CC</sub>	プログラム・メモリ書き込みモード	6.25	6.5	6.75	V
			プログラム・メモリ読み出しモード	4.5	5.0	5.5	V
V <sub>PP</sub> 電源電圧	V <sub>PP</sub>	V <sub>PP</sub>	プログラム・メモリ書き込みモード	12.2	12.5	12.8	V
			プログラム・メモリ読み出しモード	V <sub>PP</sub> = V <sub>DDP</sub>			V
V <sub>DDP</sub> 電源電流	I <sub>DD</sub>	I <sub>DD</sub>	プログラム・メモリ書き込みモード			30	mA
			プログラム・メモリ読み出しモード			100	mA
V <sub>PP</sub> 電源電流	I <sub>PP</sub>	I <sub>PP</sub>	プログラム・メモリ書き込みモード			50	mA
			プログラム・メモリ読み出しモード		1.0	100	μA

注1 . 対応する μPD27C1001Aの略号です。

2 . V<sub>DDP</sub>は , プログラミング時のV<sub>DD</sub>端子です。

ACプログラミング特性 (TA = 25 ± 5 , VSS = 0 V)

PROM書き込みモード時 (ページ・プログラム・モード)

項 目	略 号 <sup>注1</sup>	条 件	MIN.	TYP.	MAX.	単 位
アドレス・セットアップ時間	tAS		2			μs
$\overline{\text{CE}}$ セット時間	tCES		2			μs
入力データ・セットアップ時間	tDS		2			μs
アドレス・ホールド時間	tAH		2			μs
	tAHL		2			μs
	tAHV		0			μs
入力データ・ホールド時間	tDH		2			μs
出力データ・ホールド時間	tDF		0		250	ns
VPPセットアップ時間	tVPS		2			μs
VDDPセットアップ時間	tVDS <sup>注2</sup>		2			μs
初期プログラム・パルス幅	tPW		0.095	0.1	0.105	ms
$\overline{\text{OE}}$ セット時間	tOES		2			μs
$\overline{\text{OE}}$ 有効データ遅延時間	tOE				1.0	μs
データ・ラッチ中の $\overline{\text{OE}}$ パルス幅	tLW		1			μs
PGMセットアップ時間	tPGMS		2			μs
$\overline{\text{CE}}$ ホールド時間	tCEH		2			μs
$\overline{\text{OE}}$ ホールド時間	tOEH		2			μs

注1 . μPD27C1001Aの略号と対応しています (tVDSを除きます)。

2 . tVDSのμPD27C1001Aでの略号はtVCSです。

PROM書き込みモード時 (バイト・プログラム・モード)

項 目	略 号 <sup>注1</sup>	条 件	MIN.	TYP.	MAX.	単 位
アドレス・セットアップ時間	t <sub>AS</sub>		2			μs
$\overline{CE}$ セット時間	t <sub>CES</sub>		2			μs
入力データ・セットアップ時間	t <sub>DS</sub>		2			μs
アドレス・ホールド時間	t <sub>AH</sub>		2			μs
入力データ・ホールド時間	t <sub>DH</sub>		2			μs
出力データ・ホールド時間	t <sub>DF</sub>		0		250	ns
V <sub>PP</sub> セットアップ時間	t <sub>VPS</sub>		2			μs
V <sub>DDP</sub> セットアップ時間	t <sub>VDS</sub> <sup>注2</sup>		2			μs
初期プログラム・パルス幅	t <sub>PW</sub>		0.095	0.1	0.105	ms
$\overline{OE}$ セット時間	t <sub>OES</sub>		2			μs
$\overline{OE}$ 有効データ遅延時間	t <sub>OE</sub>				1.0	μs

注1 . μPD27C1001Aの略号と対応しています (t<sub>VDS</sub>を除きます)。

2 . t<sub>VDS</sub>のμPD27C1001Aでの略号はt<sub>VCS</sub>です。

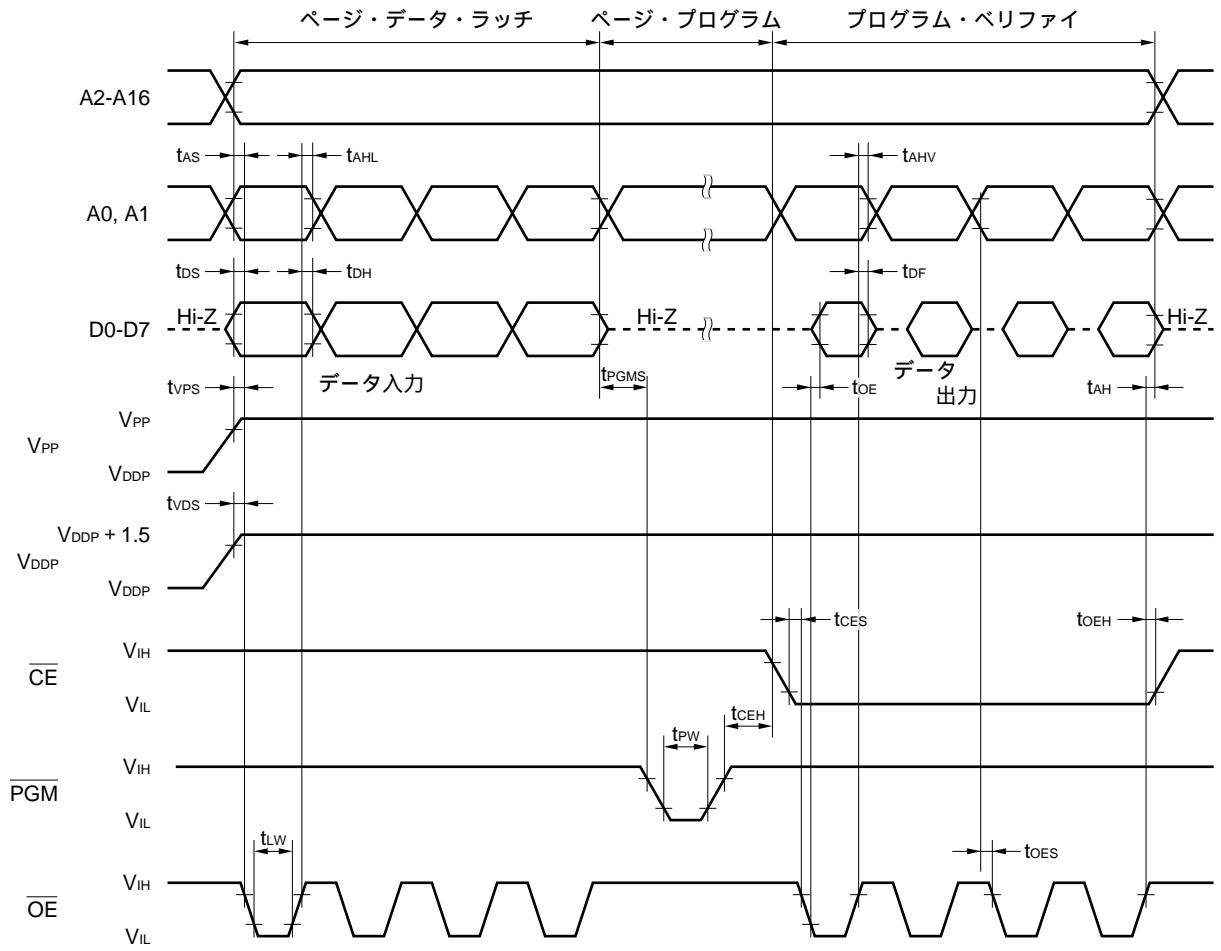
PROM読み出しモード時

項 目	略 号 <sup>注</sup>	条 件	MIN.	TYP.	MAX.	単 位
アドレス データ出力時間	t <sub>ACC</sub>	$\overline{CE} = \overline{OE} = V_{IL}$			1.0	μs
$\overline{CE}$ データ出力時間	t <sub>CE</sub>	$\overline{OE} = V_{IL}$			1.0	μs
$\overline{OE}$ データ出力時間	t <sub>OE</sub>	$\overline{CE} = V_{IL}$			1.0	μs
データ・ホールド時間 (対 $\overline{OE}$ )	t <sub>DF</sub>	$\overline{CE} = V_{IL}$	0		250	ns
データ・ホールド時間 (対アドレス)	t <sub>OH</sub>	$\overline{CE} = \overline{OE} = V_{IL}$	0			ns

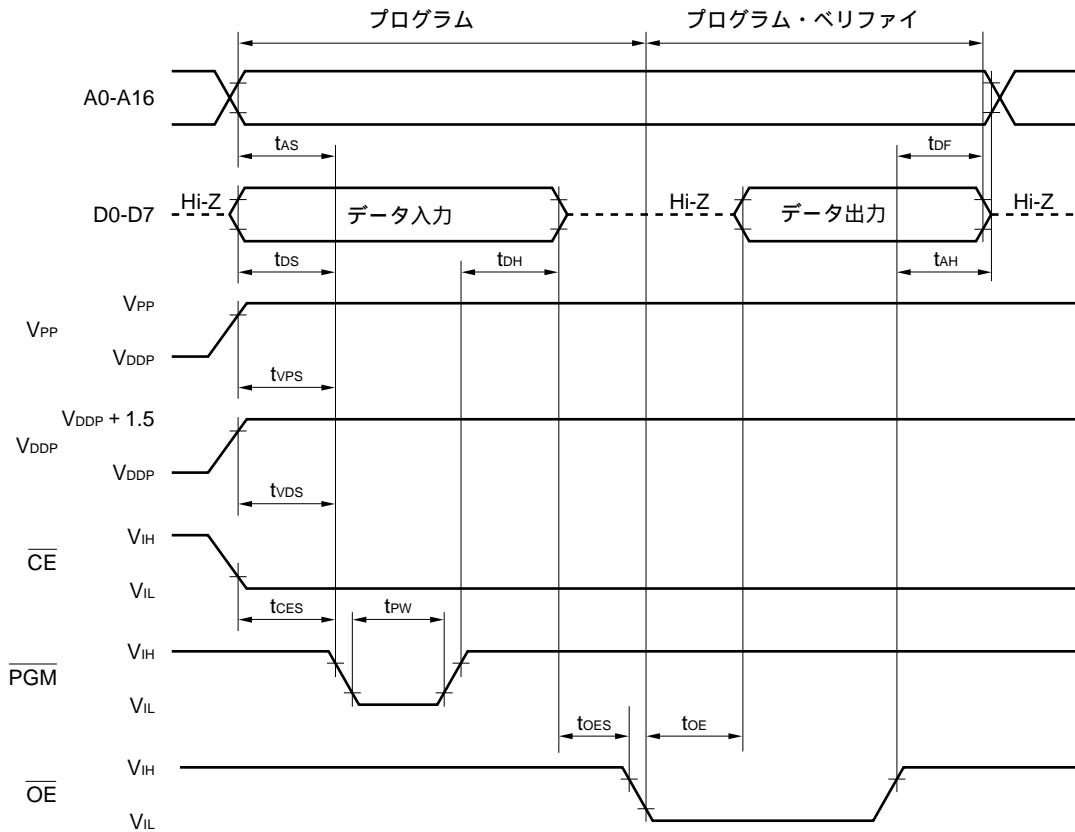
注 μPD27C1001Aの略号と対応しています。



PROM書き込みモード・タイミング (ページ・プログラム・モード)

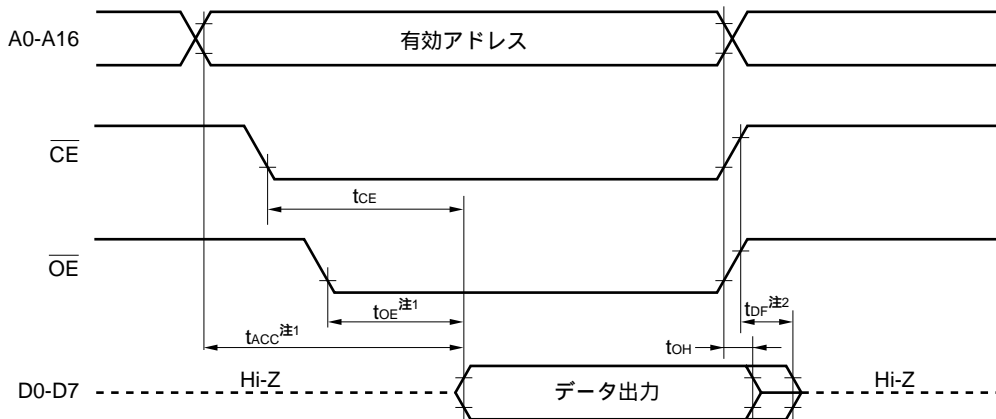


PROM書き込みモード・タイミング (バイト・プログラム・モード)



- 注意 1 .  $V_{DDP}$ は $V_{PP}$ より前に印加し,  $V_{PP}$ のあとから切断するようにしてください。
- 2 .  $V_{PP}$ はオーバーシュートを含めて+ 13.5 V以上にならないようにしてください。
- 3 .  $V_{PP}$ に12.5 Vが印加されている間に抜き差しした場合, 信頼性上, 悪影響を受ける可能性があります。

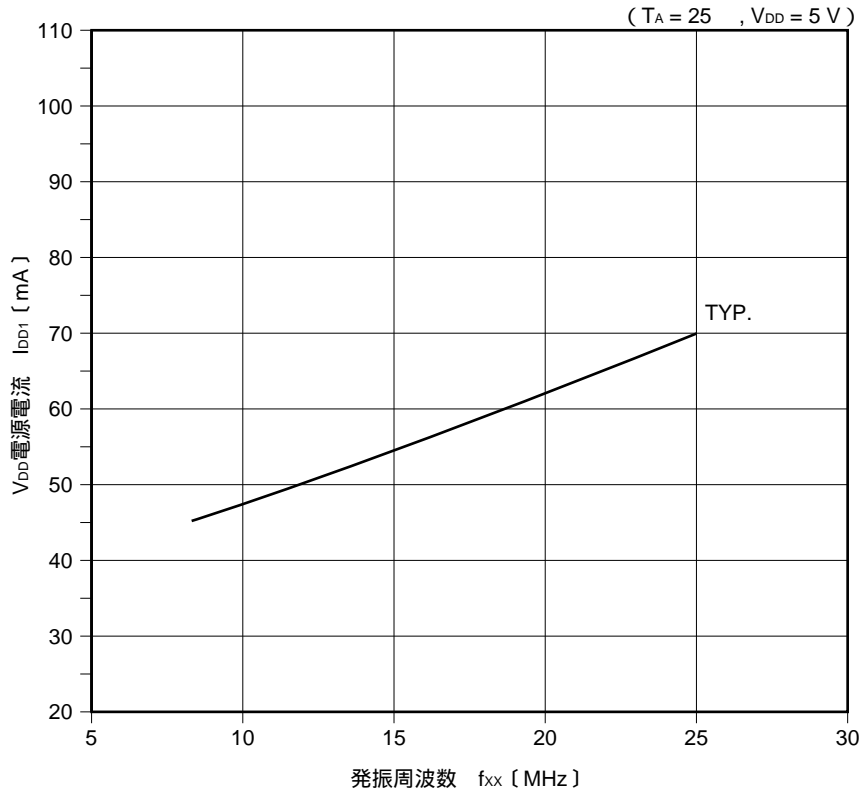
PROM読み出しモード・タイミング



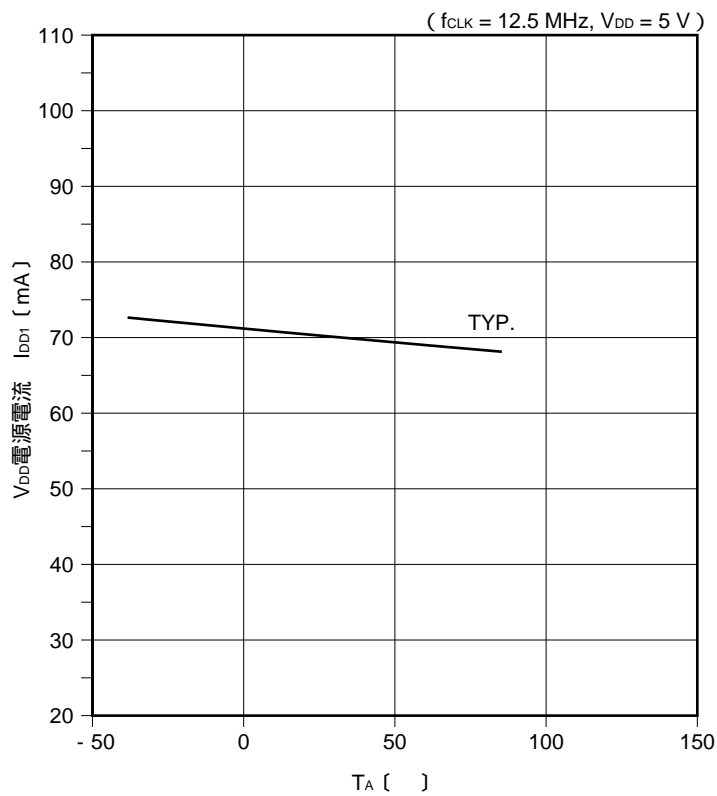
- 注 1 .  $t_{ACC}$ の範囲内でリードしたい場合,  $\overline{OE}$ 入力の $\overline{CE}$ の立ち下がりからの遅れ時間は最大 $t_{ACC} - t_{OE}$ としてください。
- 2 .  $t_{DF}$ は $\overline{OE}$ ,  $\overline{CE}$ のどちらか最初に $V_{IH}$ となった状態からの時間です。

6. 特性曲線 (参考値)

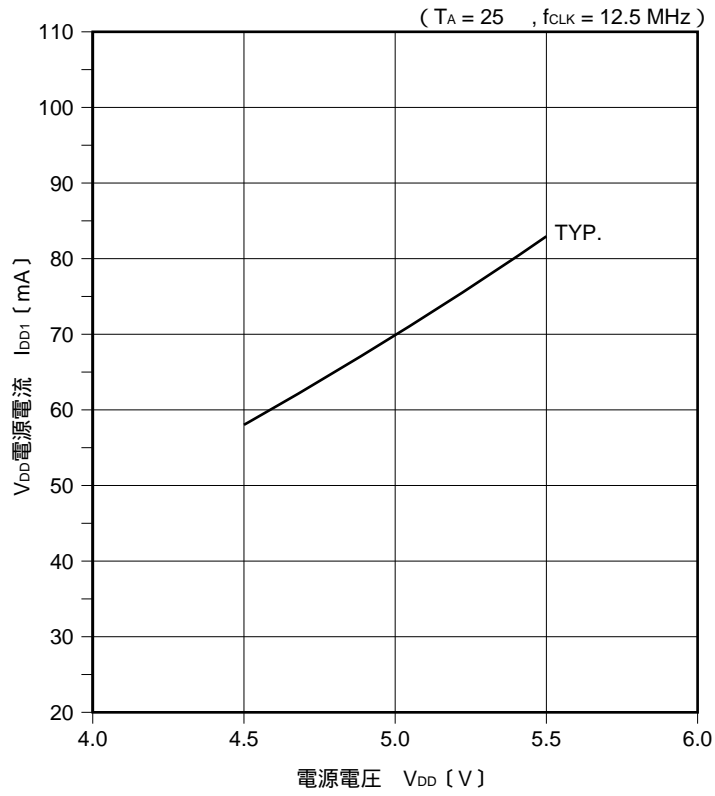
I<sub>DD1</sub> vs f<sub>xx</sub>



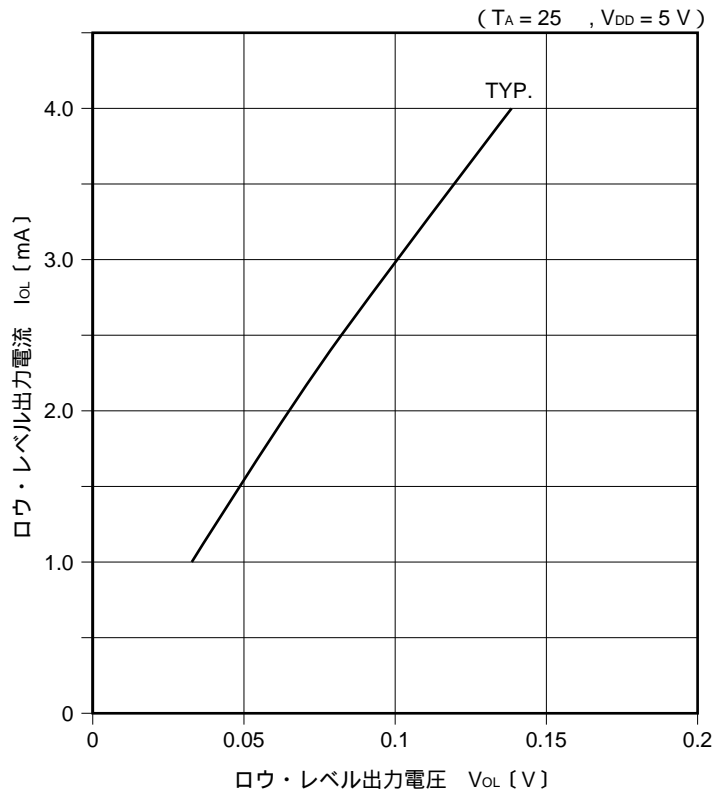
I<sub>DD1</sub> vs T<sub>A</sub>



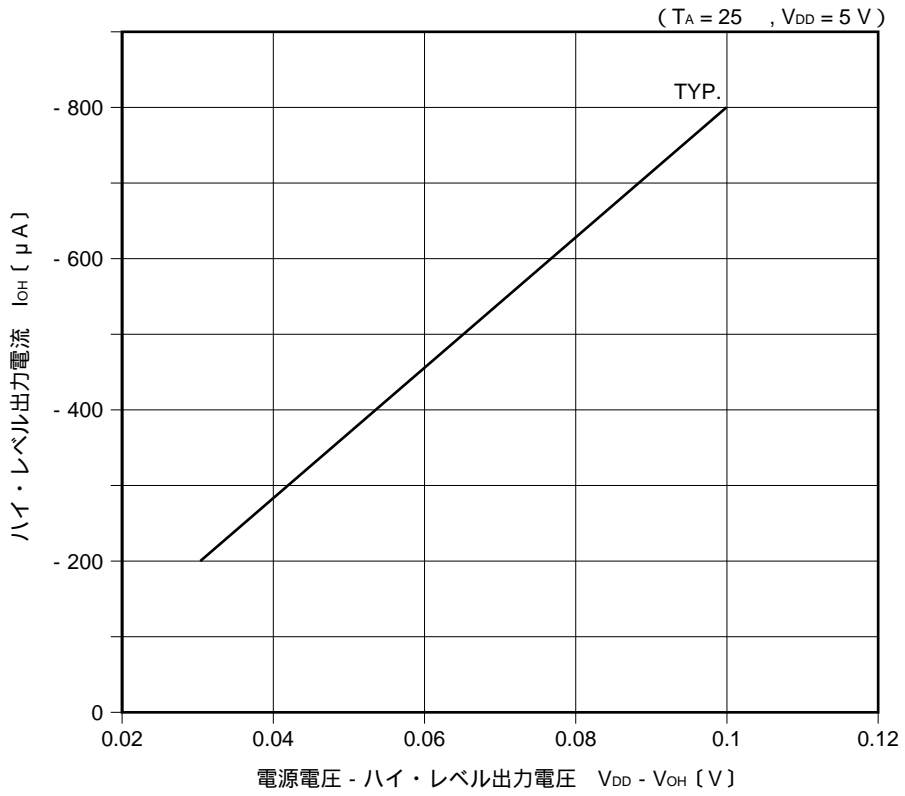
I<sub>DD1</sub> vs V<sub>DD</sub>



I<sub>OL</sub> vs V<sub>OL</sub>

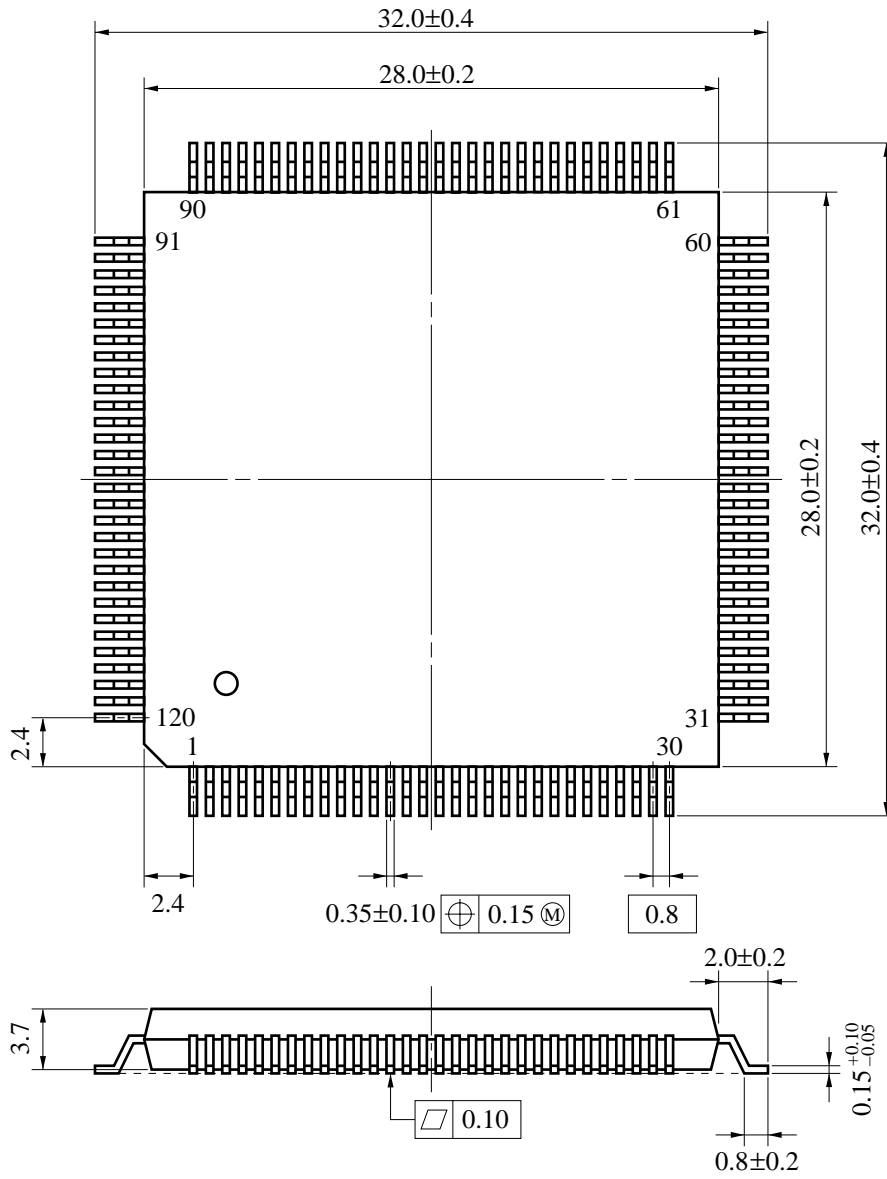


$I_{OH}$  vs ( $V_{DD} - V_{OH}$ )

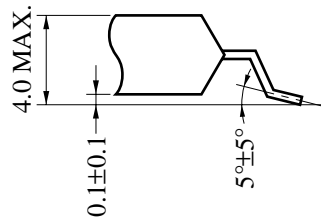


7. 外形図

120ピン・プラスチック QFP ( 28 ) 外形図 ( 単位 : mm )



端子先端形状詳細図



P120GD-80-5BB-3

8 . 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表 8 - 1 表面実装タイプの半田付け条件

μPD78P356GD(A)-5BB : 120ピン・プラスチックQFP ( 28 mm )

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 ( 210 以上 ) ,回数：2回以内 制限日数 <sup>注</sup> ：7日間 (以降は125 プリベーク 36時間必要) 留意事項 ( 1 ) 2回目のリフロは、1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 ( 2 ) 1回目のリフロ後の水によるフラックス洗浄はお避けください。	IR35-367-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 ( 200 以上 ) ,回数：2回以内 制限日数 <sup>注</sup> ：7日間 (以降は125 プリベーク 36時間必要) 留意事項 ( 1 ) 2回目のリフロは、1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 ( 2 ) 1回目のリフロ後の水によるフラックス洗浄はお避けください。	VP15-367-2
ウェーブ・ソルダリング	半田槽温度：260 以下，時間：10秒以内，回数：1回 予備加熱温度：120 MAX. (パッケージ表面温度) 制限日数 <sup>注</sup> ：7日間 (以降は125 プリベーク 36時間必要)	WS60-367-1
端子部分加熱	端子温度：300 以下，時間：3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で、保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。

付録A . ツール

A.1 開発ツール

μPD78P356(A)を使用するシステム開発のために、次のような開発ツールを用意しています。

言語プロセッサ

78K/ シリーズ リロケータブル・アセンブラ (RA78K3)	78K/ シリーズに共通に使用できるリロケータブル・アセンブラです。マクロ機能付きのリロケータブル・アセンブラですので、開発効率の向上が図れます。また、プログラム制御構造を明示的に記述できる構造化アセンブラも添付されており、プログラムの生産性や保守性を向上することができます。			
	ホスト・マシン		オーダ名称 (品名)	
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS™	3.5インチ2HD	μ S5A13RA78K3
			5インチ2HD	μ S5A10RA78K3
	IBM PC/AT™ およびその互換機	PC DOS™	3.5インチ2HC	μ S7B13RA78K3
			5インチ2HC	μ S7B10RA78K3
	HP9000シリーズ700™	HP-UX™	DAT	μ S3P16RA78K3
SPARCstation™	SunOS™	カートリッジ・テープ (QIC-24)	μ S3K15RA78K3	
NEWS™	NEWS-OS™		μ S3R15RA78K3	
78K/ シリーズ Cコンパイラ (CC78K3)	78K/ シリーズに共通に使用できるCコンパイラです。C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。このコンパイラ使用時には、78K/ シリーズ リロケータブル・アセンブラ (RA78K3) が必要です。			
	ホスト・マシン		オーダ名称 (品名)	
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13CC78K3
			5インチ2HD	μ S5A10CC78K3
	IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μ S7B13CC78K3
			5インチ2HC	μ S7B10CC78K3
	HP9000シリーズ700	HP-UX	DAT	μ S3P16CC78K3
SPARCstation	SunOS	カートリッジ・テープ (QIC-24)	μ S3K15CC78K3	
NEWS	NEWS-OS		μ S3R15CC78K3	

備考 リロケータブル・アセンブラ, Cコンパイラの動作は、上記のホスト・マシンとOS上でのみ保証されます。



PROM書き込み用ツール

ハードウェア	PG-1500	付属ボードおよび別売のプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンまたは、ホスト・マシンからの操作によりプログラミングできるPROMプログラマです。また、256 Kビットから4 Mビットまでの代表的なPROMをプログラミングすることもできます。			
	PA-78P356GD	PG-1500などの汎用PROMプログラマ上で、μPD78P356(A)にプログラムを書き込むためのPROMプログラマ・アダプタです。 PA-78P356GD ... μPD78P356GD(A)用			
ソフトウェア	PG-1500コントローラ	PG-1500とホスト・マシンをシリアル・インタフェースおよびパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。			
		ホスト・マシン		オーダ名称 (品名)	
			OS		供給媒体
		PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13PG1500
				5インチ2HD	μ S5A10PG1500
IBM PC/AT およびその互換機	PC DOS	3.5インチ2HD	μ S7B13PG1500		
		5インチ2HC	μ S7B10PG1500		

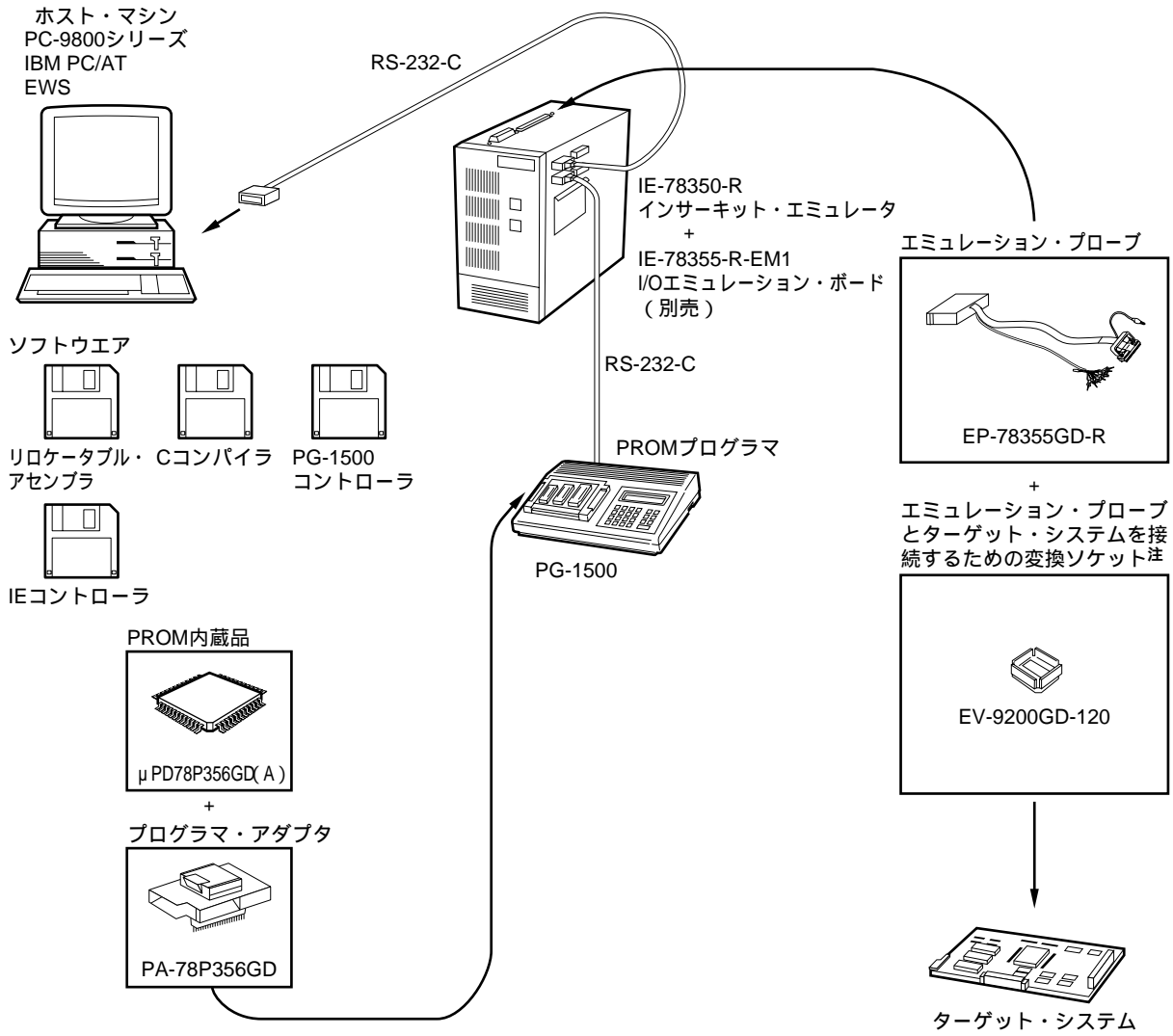
備考 PG-1500コントローラの動作は、上記のホスト・マシンとOS上でのみ保証されます。

ディバグ用ツール (IEコントローラを使用する場合)

ハードウェア	IE-78350-R	応用システムの開発、ディバグに使用できるインサーキット・エミュレータです。ホスト・マシンを接続して、ディバグを行います。			
	IE-78355-R-EM1	対象デバイスの入出力ポートなどの周辺機能のエミュレーションを行うためのI/Oエミュレーション・ボードです。			
	EP-78355GD-R EV-9200GD-120	IE-78350-Rをターゲット・システムに接続するためのエミュレーション・プローブです。ターゲット・システムとの接続に使用する変換ソケットEV-9200GD-120が1個添付されています。			
ソフトウェア	IE-78350-R コントロール・プログラム (IEコントローラ)	IE-78350-Rをホスト・マシン上でコントロールするためのプログラムです。コマンドの自動実行などを行うことができ、より効率の良いディバグが可能です。			
		ホスト・マシン		オーダ名称 (品名)	
			OS		供給媒体
		PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13IE78355
				5インチ2HD	μ S5A10IE78355
IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μ S7B13IE78355		
		5インチ2HC	μ S7B10IE78355		

備考 IEコントローラの動作は、上記のホスト・マシンとOS上でのみ保証されます。

開発ツール構成 (IEコントローラを使用する場合)



注 変換ソケットは、エミュレーション・プローブに添付されています。

備考1 . ホスト・マシンとPG-1500をRS-232-Cで直接接続して使用することもできます。

2 . この図では、ソフトウェアの供給媒体を3.5インチFDで代表しています。

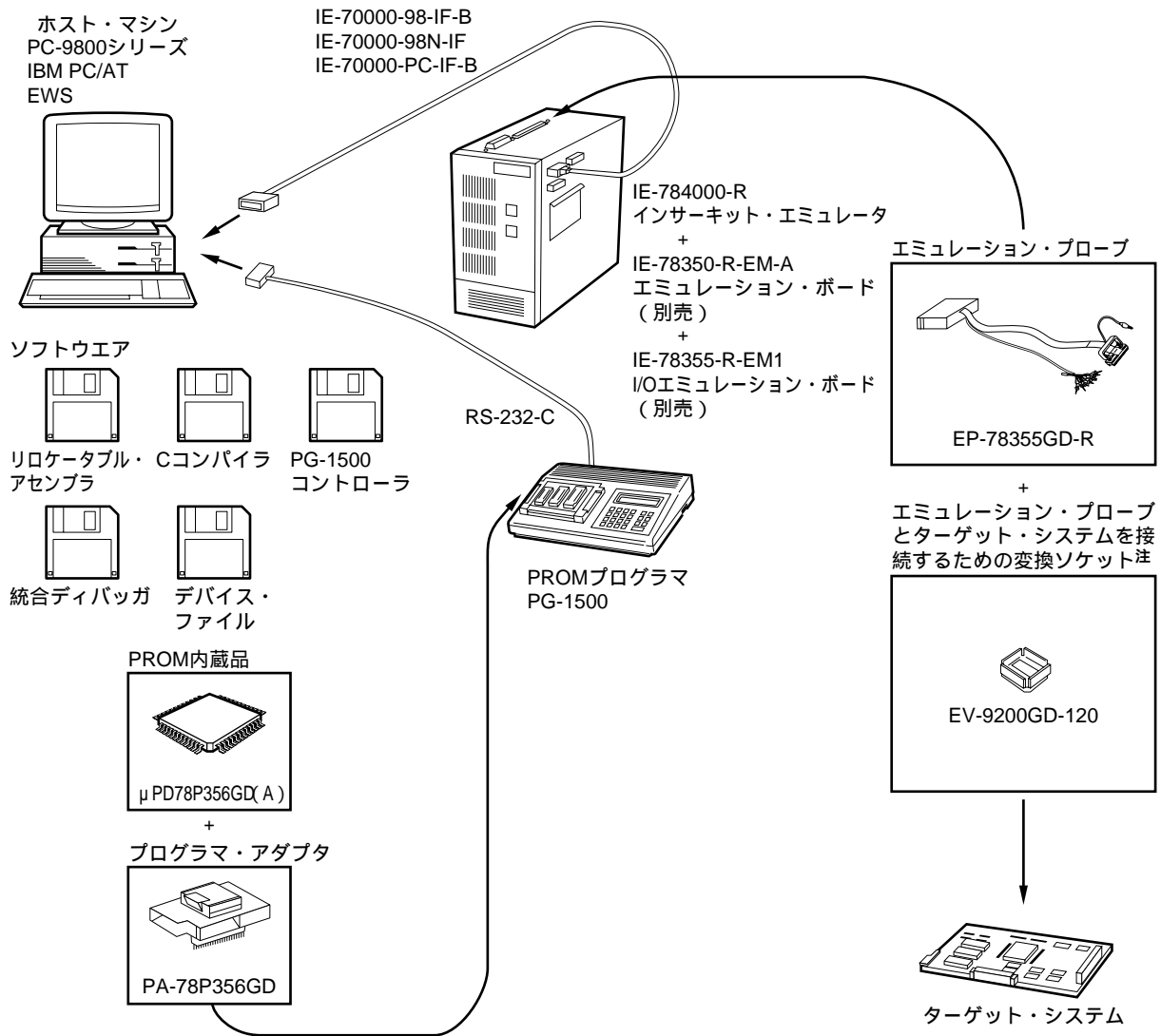
ディバグ用ツール (統合ディバグを使用する場合)

ハードウェア	IE-784000-R	応用システムの開発、ディバグに使用できるインサーキット・エミュレータです。ホスト・マシンを接続して、ディバグを行います。			
	IE-78350-R-EM-A <sup>注</sup>	対象デバイスの入出力ポートなどの周辺機能のエミュレーションを行うためのエミュレーション・ボードです。			
	IE-78355-R-EM1	対象デバイスの入出力ポートなどの周辺機能のエミュレーションを行うためのI/Oエミュレーション・ボードです。			
	EP-78355GD-R	IE-784000-Rをターゲット・システムに接続するためのエミュレーション・プローブです。ターゲット・システムとの接続に使用する変換ソケットEV-9200GD-120が1個添付されています。			
	EV-9200GD-120				
	IE-70000-98-IF-B	ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときのインタフェース・アダプタです。			
	IE-70000-98N-IF	ホスト・マシンとしてPC-9800シリーズのノート型パソコンを使用するときのインタフェース・アダプタとケーブルです。			
	IE-70000-PC-IF-B	ホスト・マシンとしてIBM PC/ATを使用するときのインタフェース・アダプタです。			
	IE-78000-R-SV3	ホスト・マシンとしてEWSを使用するときのインタフェース・アダプタとケーブルです。			
ソフトウェア	統合ディバグ (ID78K3)	78K/ シリーズ用のインサーキット・エミュレータをコントロールするためのプログラムです。デバイス・ファイル (DF78355) と組み合わせて使用します。 C言語、構造化アセンブリ言語、アセンブリ言語で書かれたソース・プログラム・レベルでのディバグができます。また、ホスト・マシンの画面を分割し、さまざまな情報を同時に表示することができるため、効率の良いディバグが行えます。			
		ホスト・マシン	オーダ名称 (品名)		
			OS	供給媒体	
		PC-9800シリーズ	MS-DOS + Windows™	3.5インチ2HD	μ SAA13ID78K3
				5インチ2HD	μ SAA10ID78K3
		IBM PC/AT およびその互換機 (日本語Windows)	PC DOS + Windows	3.5インチ2HC	μ SAB13ID78K3
				5インチ2HC	μ SAB10ID78K3
		IBM PC/AT およびその互換機 (英語Windows)		3.5インチ2HC	μ SBB13ID78K3
				5インチ2HC	μ SBB10ID78K3
	デバイス・ファイル (DF78355) <sup>注</sup>	デバイス固有の情報が入ったファイルです。アセンブラ (RA78K3)、Cコンパイラ (CC78K3)、統合ディバグ (ID78K3) と組み合わせて使用します。			
		ホスト・マシン	オーダ名称 (品名)		
			OS	供給媒体	
		PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13DF78355
			5インチ2HD	μ S5A10DF78355	
	IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μ S7B13DF78355	
			5インチ2HC	μ S7B10DF78355	

注 開発中

備考 統合ディバグ、デバイス・ファイルの動作は、上記のホスト・マシンとOS上でのみ保証されます。

開発ツール構成 (統合ディバッガを使用する場合)



注 変換ソケットは、エミュレーション・プローブに添付されています。

- 備考1. この図では、ソフトウェアの供給媒体を3.5インチFDで代表しています。
- 2. この図では、ホスト・マシンをデスクトップ型パソコンで代表しています。

A.2 組み込み用ソフトウェア

プログラム開発やメンテナンスをより効率的に行うために次の組み込み用ソフトウェアを用意しています。

リアルタイムOS

リアルタイムOS (RX78K/ )注	RX78K/ は、リアルタイム性の要求される制御分野を対象として、マルチタスク環境を実現することを目的としています。CPUのアイドル時間を他の処理に割り当て、システム全体としての性能の向上を図ることができます。		
	RX78K/ では、μITRON仕様に準拠したシステム・コールを提供しています。		
	RX78K/ パッケージでは、RX78K/ のニュークリアスと複数の情報テーブルを作成するためのツール(コンフィギュレータ)を提供します。		
	ホスト・マシン	OS	供給媒体
	オーダ名称(品名)		
PC-9800シリーズ	MS-DOS	3.5インチ2HD	未定
		5インチ2HD	未定
IBM PC/AT	PC DOS	3.5インチ2HC	未定
およびその互換機		5インチ2HC	未定

注 開発中

**注意** ご購入される場合、事前に購入申込書にご記入のうえ、使用許諾契約書を締結する必要があります。

**備考** RX78K/ リアルタイムOSを使用するときは、RA78K3 アセンブラ・パッケージ(別売)が必要です。

ファジィ推論開発支援システム

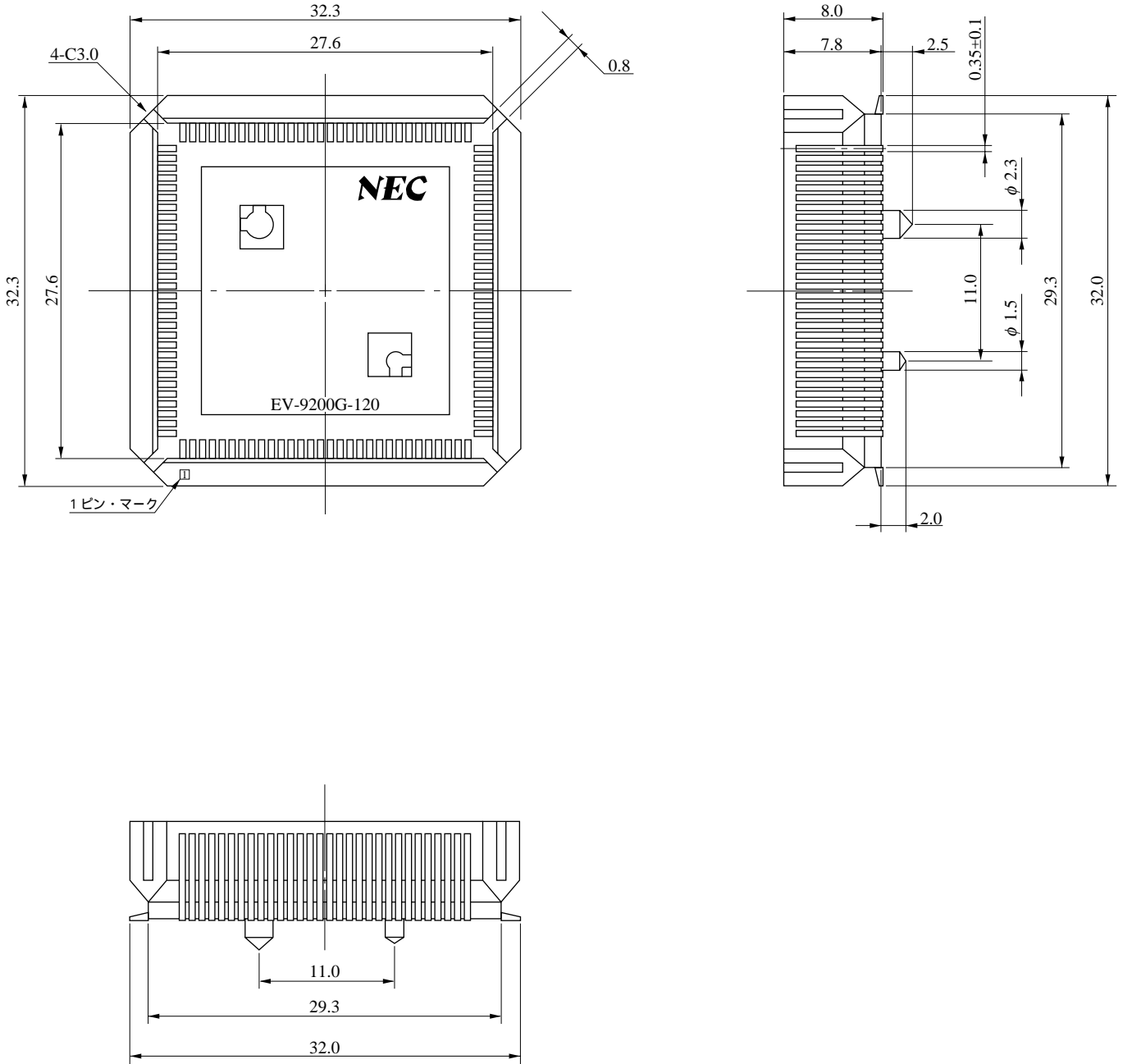
ファジィ知識データ作成ツール (FE9000, FE9200)	ファジィ知識データ (ファジィ・ルールおよびメンバシップ関数) の入力 / 編集 (エディット) と評価 (シミュレーション) を支援するプログラムです。			
	ホスト・マシン			オーダ名称 (品名)
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13FE9000
			5インチ2HD	μ S5A10FE9000
IBM PC/AT およびその互換機	PC DOS + Windows	3.5インチ2HC	μ S7B13FE9200	
		5インチ2HC	μ S7B10FE9200	
トランスレータ (FT78K3) 注	ファジィ知識データ作成ツールを用いて得たファジィ知識データをRA78K3用のアセンブラ・ソース・プログラムに変換するプログラムです。			
	ホスト・マシン			オーダ名称 (品名)
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13FT78K3
			5インチ2HD	μ S5A10FT78K3
IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μ S7B13FT78K3	
		5インチ2HC	μ S7B10FT78K3	
ファジィ推論モジュール (FI78K/ ) 注	ファジィ推論を実行するプログラムです。トランスレータで変換されたファジィ知識データとリンクすることでファジィ推論を実行します。			
	ホスト・マシン			オーダ名称 (品名)
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13FI78K3
			5インチ2HD	μ S5A10FI78K3
IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μ S7B13FI78K3	
		5インチ2HC	μ S7B10FI78K3	
ファジィ推論ディバッガ (FD78K/ )	インサーキット・エミュレータを使用し、ファジィ知識データをハードウェア・レベルで評価, 調整するための支援ソフトウェアです。			
	ホスト・マシン			オーダ名称 (品名)
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13FD78K3
			5インチ2HD	μ S5A10FD78K3
IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μ S7B13FD78K3	
		5インチ2HC	μ S7B10FD78K3	

注 開発中

付録B．変換ソケットの外形図と基板取り付け推奨パターン

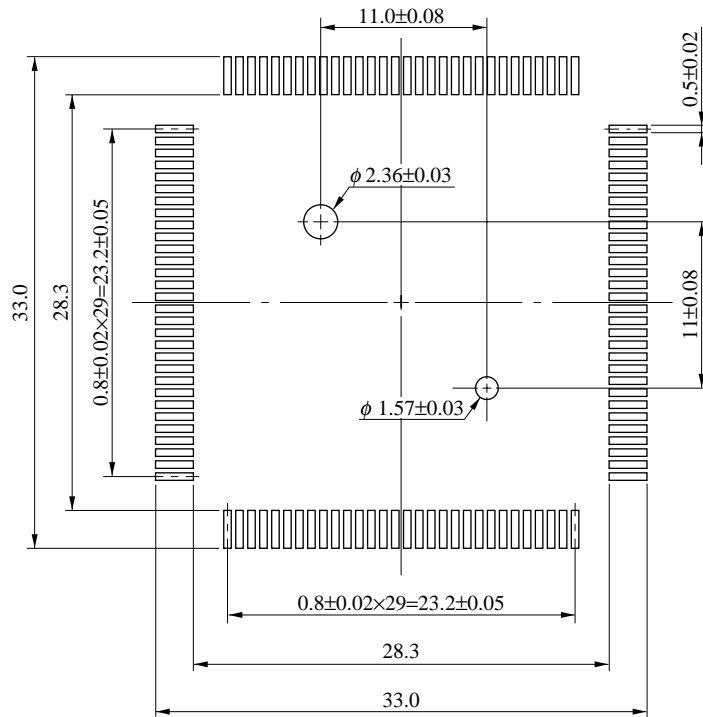
注意 オーダ名称はEV-9200GD-120ですが、製品にはEV-9200G-120という品名が入っています。

図B - 1 変換ソケット (EV-9200GD-120) 外形図 (参考) (単位: mm)



EV-9200G-120-G0

図B - 2 変換ソケット (EV-9200GD-120) 基板取り付け推奨パターン (参考) (単位 : mm)



EV-9200G-120-P1

注意 EV-9200用のマウント・パッド寸法と、対象製品のマウント・パッド寸法 (QFP用) は、その一部が異なる場合があります。QFP用の推奨マウント・パッド寸法は、「半導体デバイス 実装マニュアル, IEI-616」をご参照ください。



## CMOSデバイスの一般的注意事項

**静電気対策（MOS全般）**

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

**未使用入力の処理（CMOS特有）**

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV<sub>DD</sub>またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

**初期化以前の状態（MOS全般）**

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

QTOPは、日本電気株式会社の商標です。

MS-DOS, Windowsは、米国マイクロソフト社の商標です。

PC/AT, PC DOSは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc. の商標です。

SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

TRONは、The Realtime Operating system Nucleusの略称です。

ITRONは、Industrial TRONの略称です。

本製品が外国為替および外国貿易管理法の規定による戦略物資等（または役務）に該当するか否かは、ユーザー（仕様を決定した者）が判定してください。

文書による当社の承諾なしに本資料の転載複製を禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

**【営業関係お問い合わせ先】**

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3454-1111	(大代表)
中部支社 半導体販売部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2170	
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208	
北海道支社 札幌 東北支社 仙台 岩手支店 盛岡 山形支店 山形 郡山支店 郡山 いわき支店 いわき 長岡支店 長岡 土浦支店 土浦 水戸支店 水戸 神奈川支社 横浜 群馬支店 高崎 太田支店 太田	(011)231-0161 (022)261-5511 (0196)51-4344 (0236)23-5511 (0249)23-5511 (0246)21-5511 (0258)36-2155 (0298)23-6161 (0292)26-1717 (045)324-5511 (0273)26-1255 (0276)46-4011	宇都宮支店 宇都宮 (0286)21-2281 小山支店 小山 (0285)24-5011 長野支社 長野 (0262)35-1444 松本支店 松本 (0263)35-1666 上諏訪支店 上諏訪 (0266)53-5350 甲府支店 甲府 (0552)24-4141 埼玉支社 大宮 (048)641-1411 立川支社 立川 (0425)26-5981 千葉支社 千葉 (043)238-8116 静岡支社 静岡 (054)255-2211 北陸支社 金沢 (0762)23-1621 福井支店 福井 (0776)22-1866	富山支店 富山 (0764)31-8461 三重支店 津 (0592)25-7341 京都支社 京都 (075)344-7824 神戸支社 神戸 (078)333-3854 中国支社 広島 (082)242-5504 鳥取支店 鳥取 (0857)27-5311 岡山支店 岡山 (086)225-4455 四国支社 高松 (0878)36-1200 新居浜支店 新居浜 (0897)32-5001 松山支店 松山 (0899)45-4111 九州支社 福岡 (092)271-7700 北九州支店 北九州 (093)541-2887

**【本資料に関する技術お問い合わせ先】**

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7924	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3383	