

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

8ビット・シングルチップ・マイクロコンピュータ

μ PD78P218Aは、78K/IIシリーズの製品で、 μ PD78218AのマスクROMをワン・タイムPROMまたはEPROMに置き換えた8ビット・シングルチップ・マイクロコンピュータです。ユーザによるプログラム書き込みが可能なため、システム開発時の評価用および少量生産に適しています。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD78218Aサブシリーズ ユーザーズ・マニュアル ハードウェア編：IEM-755

78K/IIシリーズ ユーザーズ・マニュアル 命令編：IEU-754

特 徴

- μ PD78214サブシリーズに対して上位コンパチブル(ピン・コンパチブル)
- μ PD78218Aコンパチブル(PROMプログラミングを除く)
- 高速命令実行(12 MHz動作時)：333 ns
- 内蔵メモリ
 - ・PROM：32 Kバイト
 - μ PD78P218ADW：再プログラム可能(システム評価に最適)
 - μ PD78P218ACW, GC：一度だけプログラム可能(少量生産に最適)
 - ・RAM：1024バイト
- QTOP™マイコン対応

備考 QTOPマイコンとは、NECが提供する「プログラム書き込みから捺印、スクリーニング、ベリファイまでトータル・サポートされたワン・タイムPROM内蔵シングルチップ・マイコン」の総称です。

オーダ情報

オーダ名称	パッケージ	内蔵ROM
μ PD78P218ACW	64ピン・プラスチック・シュリンク DIP (750 mil)	ワン・タイム PROM
μ PD78P218AGC-AB8	64ピン・プラスチック QFP (□14 mm)	//
μ PD78P218ADW	64ピン・セラミック・シュリンク DIP(サーディップ)(窓付き)(750 mil)	EPROM

品質水準

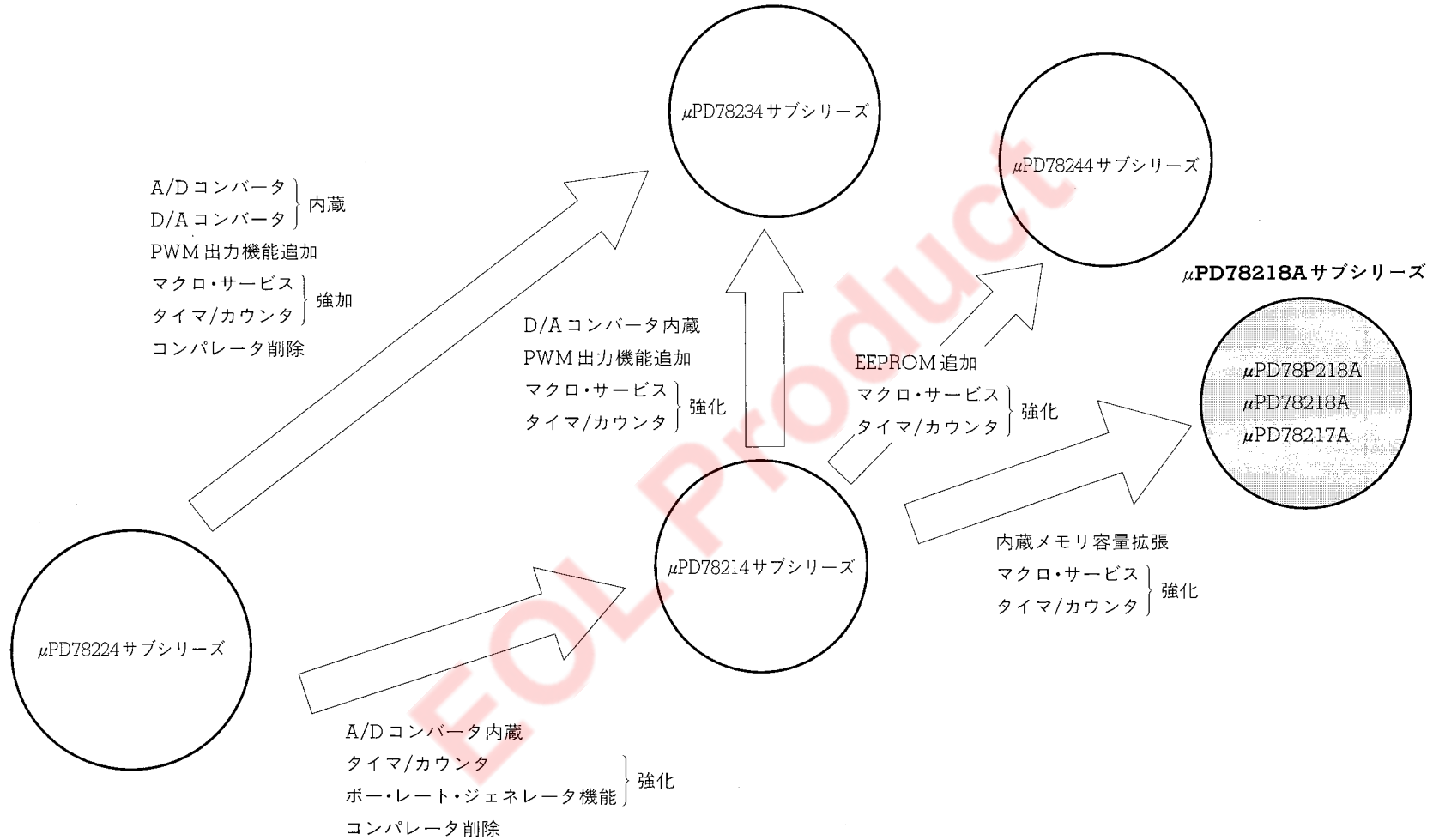
標準(一般電子機器用)

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(IEI-620)をご覧ください。

本資料では、ワン・タイムPROM製品とEPROM製品の共通する部分をPROMという表記で代表しています。

本資料の内容は、後日変更する場合があります。

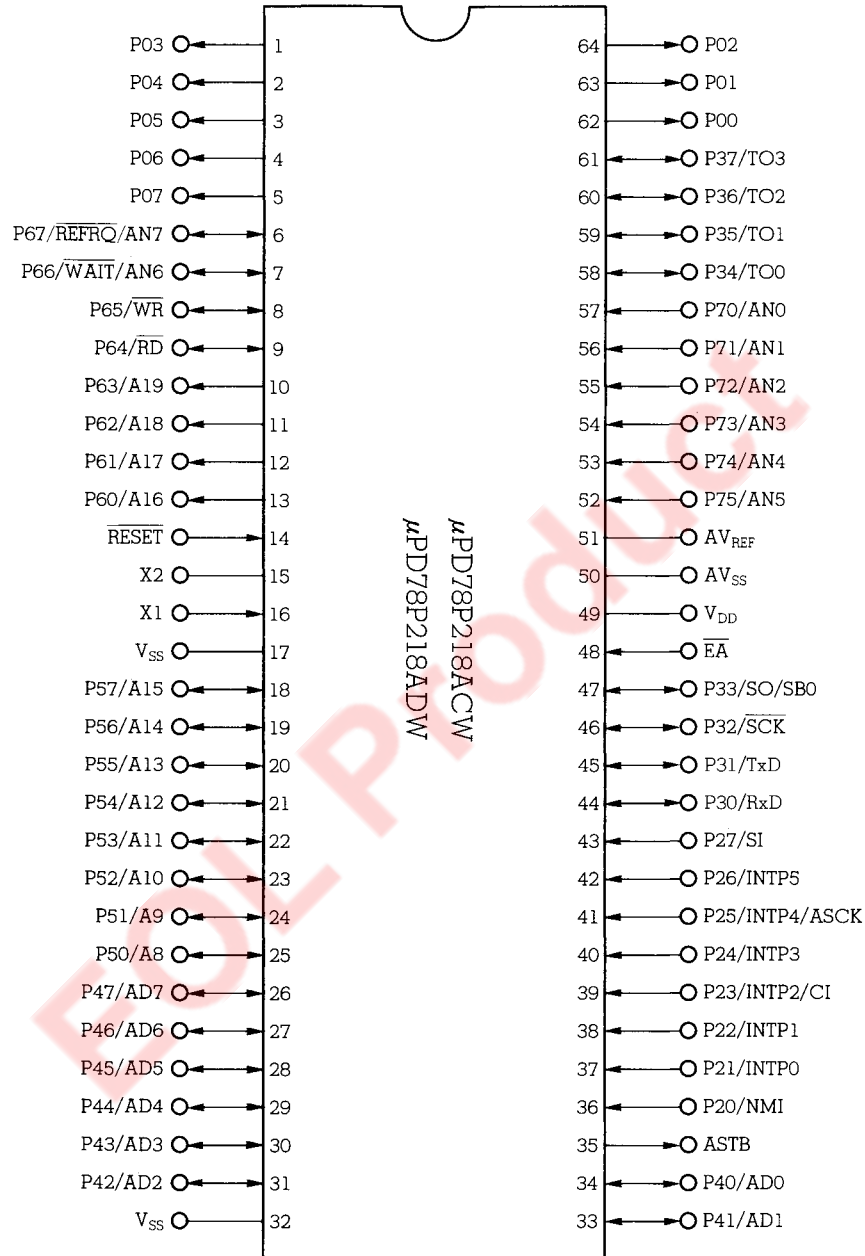
78K/ I 製品展開図



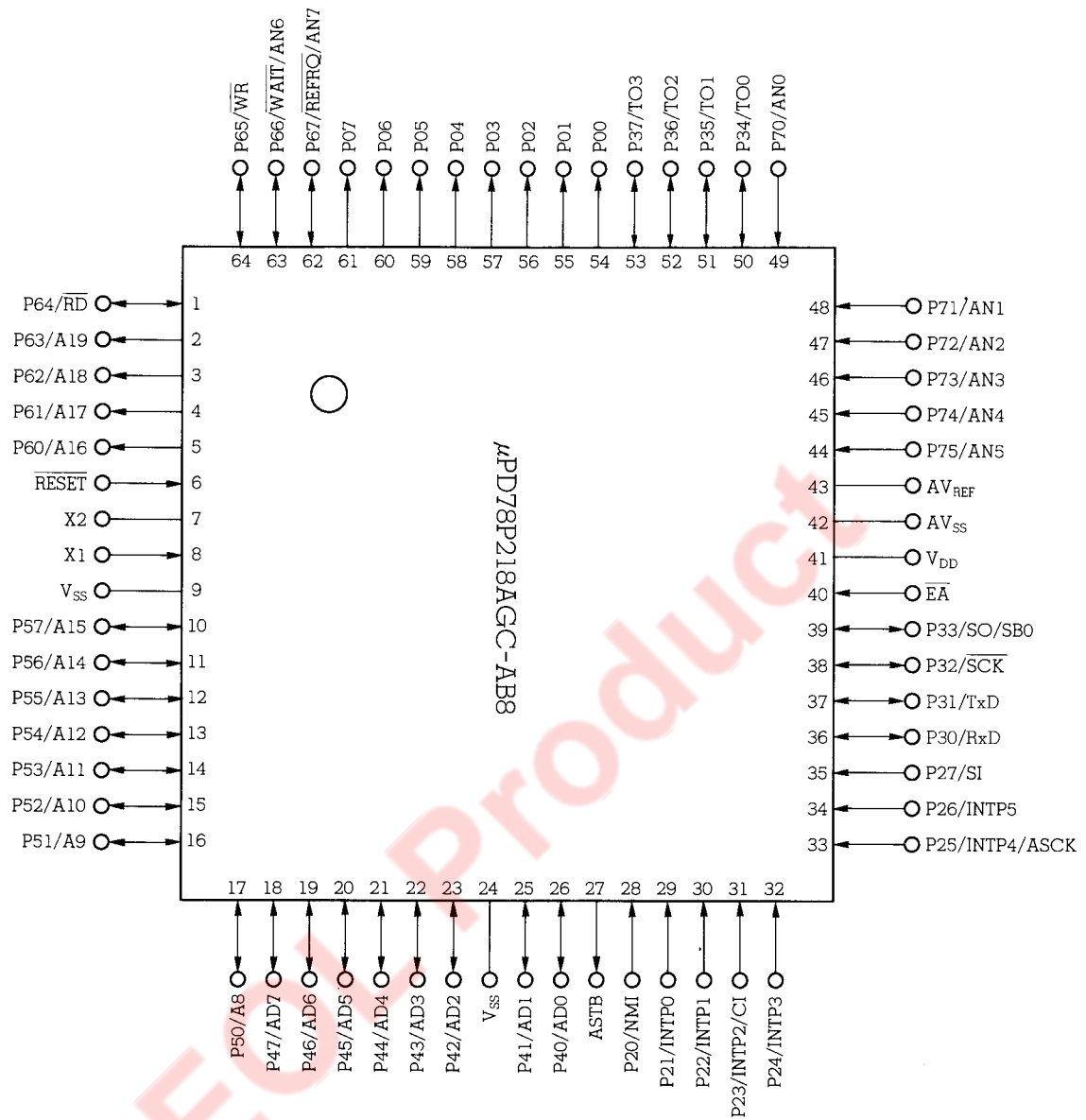
端子接続図 (Top View)

(1) 通常動作モード

(a) 64ピン・プラスチック・シュリンクDIP, 64ピン・セラミック・シュリンクDIP(サーディップ)(窓付き)

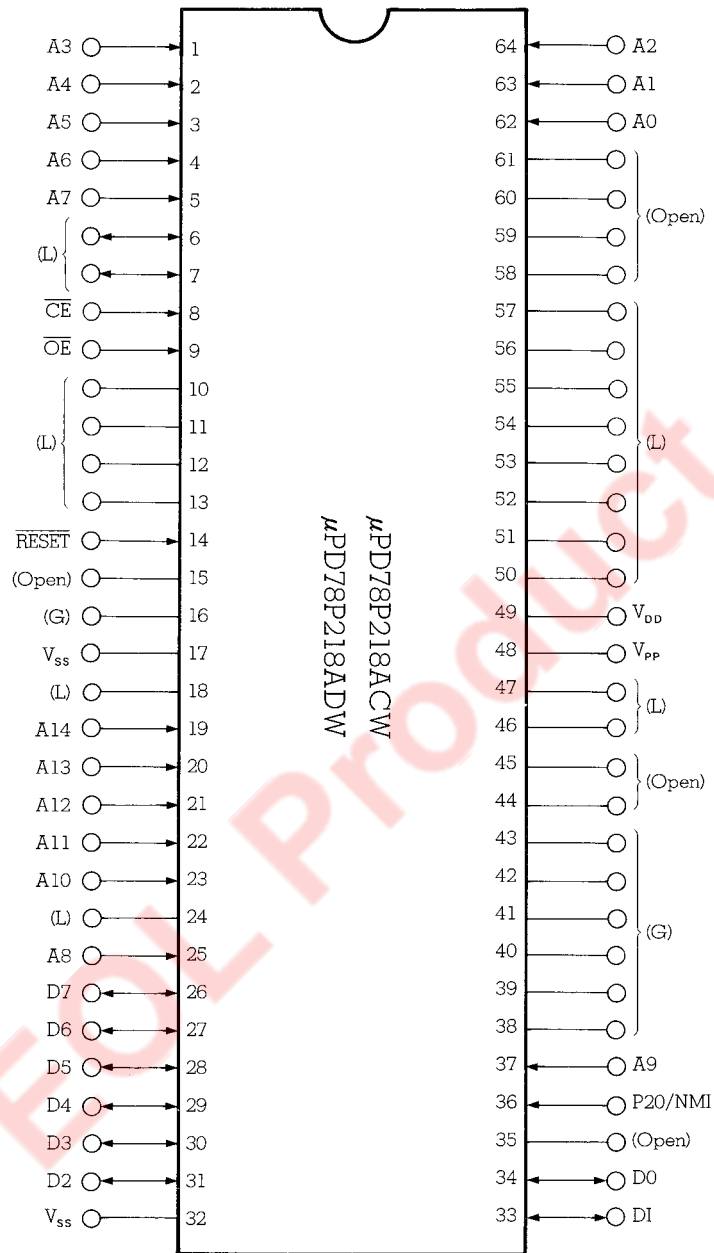


(b) 64ピン・プラスチックQFP



(2) PROM プログラミング・モード(P20/NMI=12.5 V, $\overline{\text{RESET}}=\text{L}$)

(a) 64ピン・プラスチック・シュリンクDIP, 64ピン・セラミック・シュリンクDIP(サーディップ)(窓付き)



注意 () 内は, PROM プログラミング・モードでは使用しない端子の処理です。

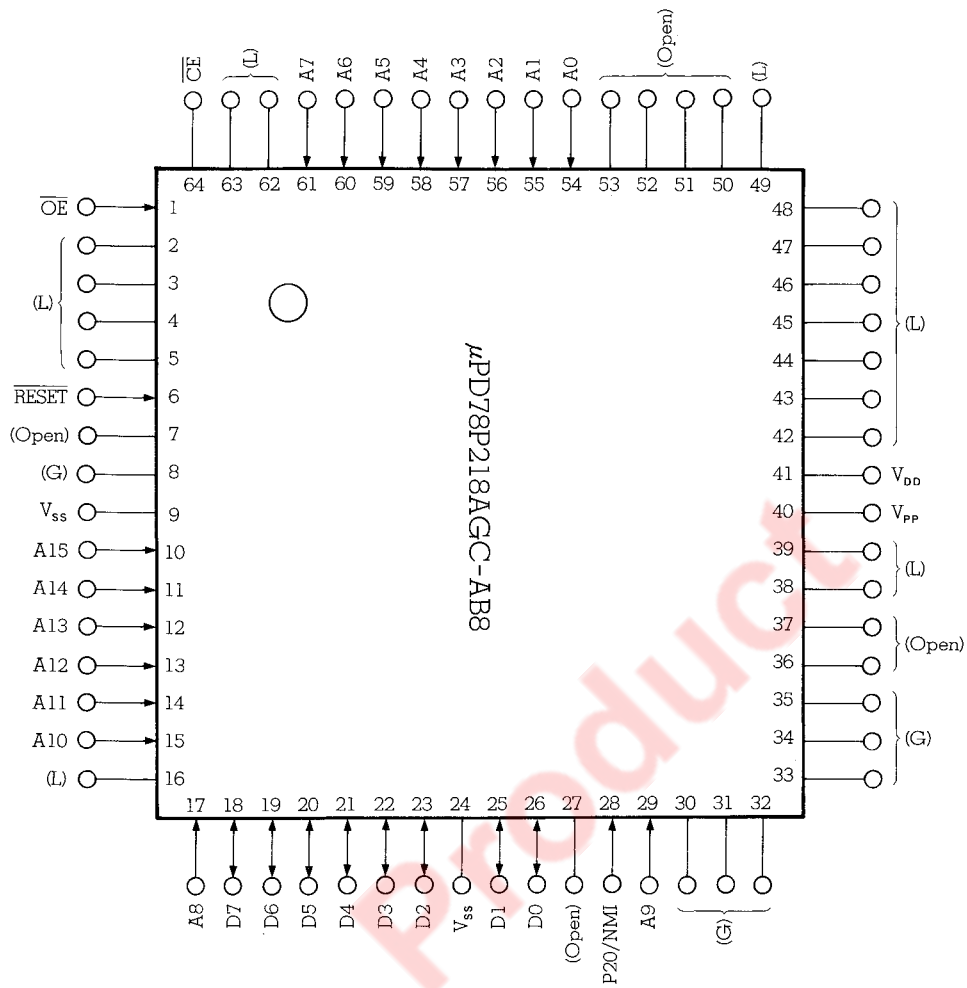
L : 個別に 10 kΩ の抵抗を介し, V_{SS} に接続してください。

G : V_{SS} に接続してください。

Open : 何も接続しないでください。

★

(b) 64ピン・プラスチック QFP



注意 () 内は、PROM プログラミング・モードでは使用しない端子の処理です。

★

L : 個別に 10 kΩ の抵抗を介し、V_{SS} に接続してください。

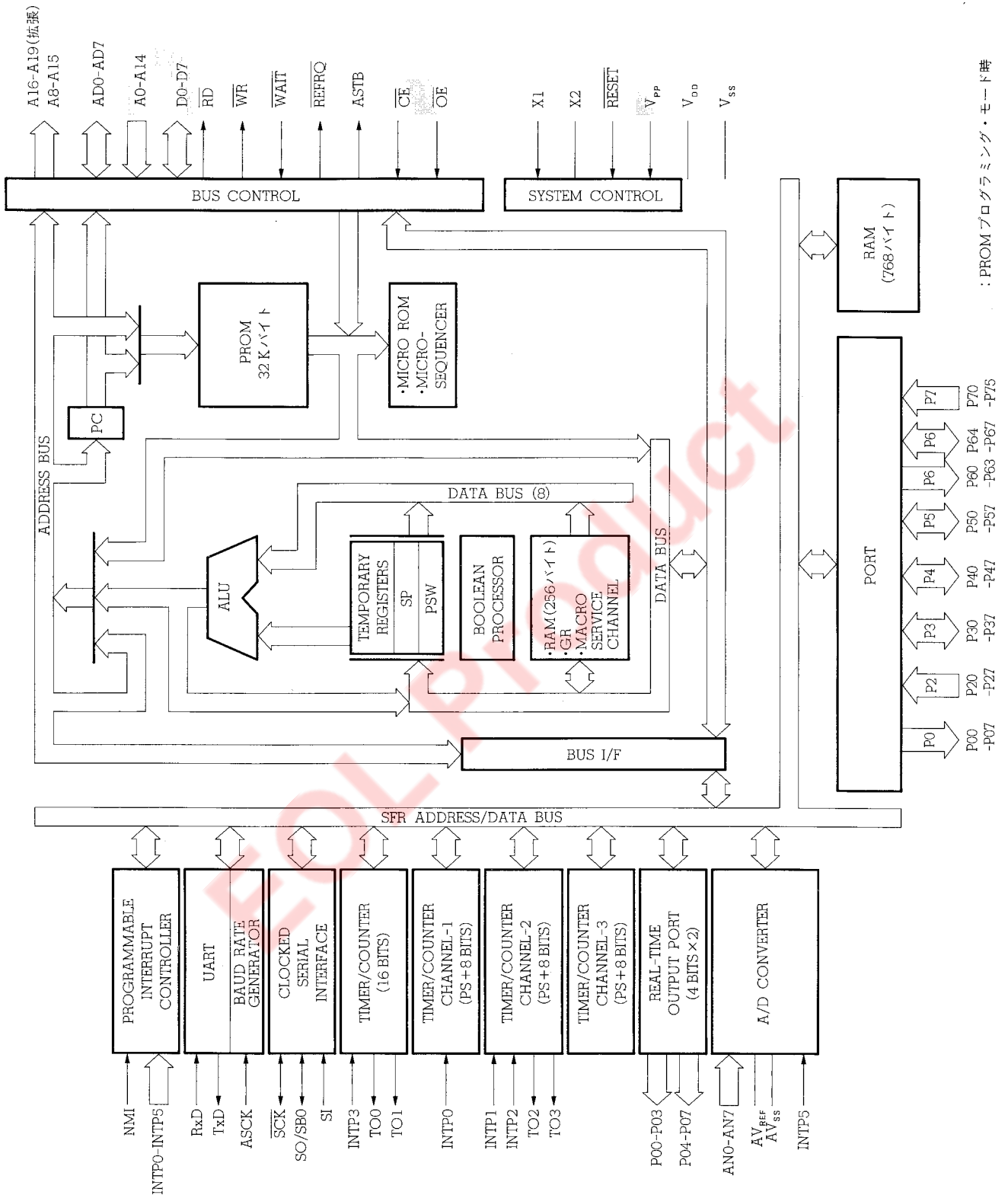
G : V_{SS} に接続してください。

Open : 何も接続しないでください。

P00-P07	: Port 0	\overline{RD}	: Read Strobe
P20-P27	: Port 2	\overline{WR}	: Write Strobe
P30-P37	: Port 3	\overline{WAIT}	: Wait
P40-P47	: Port 4	ASTB	: Address Strobe
P50-P57	: Port 5	\overline{REFRQ}	: Refresh Request
P60-P67	: Port 6	\overline{RESET}	: Reset
P70-P75	: Port 7	X1, X2	: Crystal
TO0-TO3	: Timer Output	\overline{EA}	: External Access
CI	: Clock Input	AN0-AN7	: Analog Input
RxD	: Receive Data	AV_{REF}	: Reference Voltage
TxD	: Transmit Data	AV_{SS}	: Analog Ground
\overline{SCK}	: Serial Clock	V_{DD}	: Power Supply
ASCK	: Asynchronous Serial Clock	V_{SS}	: Ground
SB0	: Serial Bus	\overline{CE}	: Chip Enable
SI	: Serial Input	\overline{OE}	: Output Enable
SO	: Serial Output	V_{PP}	: Programming Power Supply
NMI	: Non-maskable Interrupt		
INTP0-INTP5	: Interrupt From Peripherals		
AD0-AD7	: Address/Data Bus		
A8-A19	: Address Bus		

EOL Product

内部ブロック図



: PROM プログラミング・モード時

目 次

1. μ PD78218A サブシリーズと μ PD78214 サブシリーズの相違点 … 10
2. 端子機能 … 11
 - 2.1 通常動作モード … 11
 - 2.2 PROM プログラミング・モード … 13
3. プログラミング … 14
 - 3.1 動作モード … 14
 - 3.2 PROM 書き込みの手順 … 15
 - 3.3 PROM 読み出しの手順 … 17
4. 消去特性 (μ PD78P218ADW のみ) … 18
5. 消去用窓のシールについて (μ PD78P218ADW のみ) … 18
6. ワン・タイム PROM 製品のスクリーニングについて … 18
7. 電気的特性 … 19
8. 外形図 … 38
9. 半田付け推奨条件 … 40
- 付録A. 開発ツール … 41
- 付録B. 変換ソケットの外形図と基板取り付け推奨パターン … 43 ★
- 付録C. 関連資料 … 45 ★

1. μPD78218AサブシリーズとμPD78214サブシリーズの相違点

シリーズ名	μPD78218Aサブシリーズ		μPD78214サブシリーズ	
	μPD78217A	μPD78218A	μPD78212	μPD78213
品名	μPD78217A	μPD78218A	μPD78212	μPD78213
最小命令実行時間(12MHz動作時)	500 ns	333 ns	333 ns	333 ns
PUSH PSW 命令の実行時間(クロック数)	スタック・エリアが内部デュアル・ポートRAMの場合：6 上記以外：8			
電源電圧範囲	+5V±10%		+5V±10%	
内蔵メモリ	ROMレス	32Kバイト (マスクROM)	8Kバイト (マスクROM)	ROMレス
	ROM	1024バイト	16Kバイト (マスクROM)	16Kバイト (PROM)
I/O端子数	36	54	384バイト	512バイト
AV _{REF} 入力電圧	3.6V~V _{DD}		3.4V~V _{DD}	
入力電圧に関する制限	A/D変換の対象となっている端子について、A/D変換中のみ、0VからAV _{REF} 端子電圧まで			
16ビット・タイマ/カウンタの ワンショット・パルス出力	あり			
マクロ・サービス・カウンタの ビット幅	8ビット/16ビット選択可 (タイプAを除く)			
マクロ・サービス・タイプCの MPD, MPTのインクリメント	16ビットでインクリメント			
マクロ・サービスの実行時間	モードによって異なります。各製品のユーザーズ・マニュアルで比較してください。			
マクロ・サービス・タイプAのメモリ からSFRへのデータ転送時の制限 事項	転送元バッファ (メモリ) のアドレスが0FED0H~0FEDFHのときに発生			
STOPモード解除時の 発振安定時間	専用カウンタの15ビット分, またはNMIのアクティブ・パルス幅 +専用カウンタの16ビット分			
パッケージ	<ul style="list-style-type: none"> 64ピン・プラスチック・シュリンク DIP (750 mil) 64ピン・プラスチック QFP (□14 mm) 64ピン・セラミック・シュリンク DIP (サーディップ) (750 mil) : μPD78P218Aのみ 64ピン・プラスチック QFP (□14 mm) 74ピン・プラスチック QFP (□20 mm) 64ピン・セラミック・シュリンク DIP (サーディップ) (密付き) (750 mil) : μPD78P214のみ 			

2. 端子機能

2.1 通常動作モード

(1) ポート

端子名称	入出力	兼用端子	機能
P00-P07	出力	-	ポート0 (P0) : リアルタイム出力ポート (4ビット×2) として使用可能 トランジスタ駆動可能
P20	入力	NMI	ポート2 (P2) : P20は汎用ポートとしては使用不可(ノンマスカブル割り込み) ただし、割り込みルーチンにおいて、入力レベルの確認可 P22-P27は6ビット単位でソフトウェアによる内蔵プルアップ抵抗の接続の指定可能
P21		INTP0	
P22		INTP1	
P23		INTP2/CI	
P24		INTP3	
P25		INTP/ASCK	
P26		INTP5	
P27		SI	
P30	入出力	RxD	ポート3 (P3) : ビットごとに入出力指定可能 入力モードの端子について、一括してソフトウェアによる内蔵プルアップ抵抗の接続の指定可能
P31		TxD	
P32		SCK	
P33		SO/SB0	
P34-P37		TO0-TO3	
P40-P47	入出力	AD0-AD7	ポート4 (P4) : 8ビット一括で入出力指定可能 8ビット一括でソフトウェアによる内蔵プルアップ抵抗の接続の指定可能 LEDダイレクト・ドライブ可能
P50-P57	入出力	A8-A15	ポート5 (P5) : ビットごとに入出力指定可能 入力モードの端子について、一括してソフトウェアによる内蔵プルアップ抵抗の接続の指定可能 LEDダイレクト・ドライブ可能
P60-P63	出力	A16-A19	ポート6 (P6) : P64-P67ビットごとに入出力指定可能 P64-P67は、入力モードの端子について、一括してソフトウェアによる内蔵プルアップ抵抗の接続の指定可能
P64	入出力	RD	
P65		WR	
P66		WAIT/AN6	
P67		REFRQ/AN7	
P70-P75	入力	AN0-AN5	ポート7 (P7)

(2) ポート以外

端子名称	入出力	機能	兼用端子
TO0-TO3	出力	タイマ出力	P34-P37
CI	入力	8ビット・タイマ/カウンタ2へのカウント・クロック入力	P23/INTP2
RxD	入力	シリアル・データ入力 (UART)	P30
TxD	出力	シリアル・データ出力 (UART)	P31
ASCK	入力	ボー・レート・クロック入力 (UART)	P25/INTP4
SBO	入出力	シリアル・データ入出力 (SBI)	P33/SO
SI	入力	シリアル・データ入力 (3線式シリアルI/O)	P27
SO	出力	シリアル・データ出力 (3線式シリアルI/O)	P33/SBO
SLK	入出力	シリアル・クロック入出力 (SBI, 3線式シリアルI/O)	P32
NMI	入力	外部割り込み要求	P20
INTP0			P21
INTP1			P22
INTP2			P23/CI
INTP3			P24
INTP4			P25/ASCK
INTP5			P26
AD0-AD7	入出力	時分割アドレス/データ・バス (外部メモリ接続)	P40-P47
A8-A15	出力	上位アドレス・バス (外部メモリ接続)	P50-P57
A16-A19	出力	アドレス拡張時の上位アドレス (外部メモリ接続)	P60-P63
\overline{RD}	出力	外部メモリへのリード・ストロープ	P64
\overline{WR}	出力	外部メモリへのライト・ストロープ	P65
\overline{WAIT}	入力	ウェイト挿入	P66/AN6
ASTB	出力	時分割アドレス (A0-A7) のラッチ・タイミング出力 (外部メモリ・アクセス時)	—
\overline{REFRQ}	出力	外部疑似スタティック・メモリへのリフレッシュ・パルス出力	P67/AN7
\overline{RESET}	入力	チップ・リセット	—
X1	入力	システム・クロック発振用クリスタル接続 (X1にクロック入力も可能)	—
X2	—		—
\overline{EA}	入力	ROM レス動作指示 (内部ROMと同一空間の外部アクセス)	—
AN0-AN5	入力	A/Dコンバータ用アナログ電圧入力	P70-P75
AN6, AN7			P66/WAIT, P67/REFRQ
AV_{REF}	—	A/Dコンバータ用基準電圧印加	—
AV_{SS}		A/Dコンバータ用GND	
V_{DD}		正電源	
V_{SS}		GND	

2.2 PROMプログラミング・モード (P20/NMI=+12.5V, $\overline{\text{RESET}}=\text{L}$)

端子名称	入出力	機能
P20/NMI	入力	PROMプログラミング・モード設定
$\overline{\text{RESET}}$		
A0-A14		
D0-D7	入出力	データ・バス
$\overline{\text{CE}}$	入力	PROMイネーブル入力
$\overline{\text{OE}}$		PROMへのリード・ストロブ
V_{PP}	—	書き込み電源
V_{DD}		正電源
V_{SS}		GND

EOL Product

3. プログラミング

μPD78P218Aが内蔵しているプログラム・メモリは、32768×8ビットの、電氣的書き込み可能なPROMです。PROMのプログラミングをするときは、NMI端子とRESET端子でPROMプログラミング・モードに設定します。プログラミング特性はμPD27C256Aとコンパチブルです。

3.1 動作モード

μPD78P218Aは、V_{DD}端子に+6V、V_{PP}端子に+12.5Vを印加すると、プログラム書き込み/ベリファイ・モードになります。このモードはCE、OE端子の設定により、表3-1のような動作モードになります。

また、μPD78P218Aは、読み出しモードに設定することにより、PROMの内容を読み出すことができます。

表 3-1 PROMプログラミングの動作モード

端子 モード	NMI	RESET	CE	OE	V _{PP}	V _{DD}	D0-D7
プログラム書き込み	+12.5V	L	L	H	+12.5V	+6V	データ入力
プログラム・ベリファイ			H	L			データ出力
プログラム・インヒビット			H	H			ハイ・インピーダンス
読み出し			L	L	+5V	+5V	データ出力
出力ディスエーブル			L	H			ハイ・インピーダンス
スタンバイ			H	L/H			ハイ・インピーダンス

注意 V_{PP}を+12.5V、V_{DD}を+6Vに設定したとき、CEとOEをとともにLにすることは禁止しています。

3.2 PROM 書き込みの手順

PROM の書き込み手順は次のようになっており、高速書き込みが可能です。

- (1) RESET 端子をロウ・レベルに固定。NMI 端子に + 12.5 V を供給。その他、使用しない端子は端子接続図(2)に示すように処理する。
- (2) V_{DD} 端子に + 6 V, V_{PP} 端子には + 12.5 V を供給。
- (3) 初期アドレスを供給。
- (4) 書き込みデータを供給。
- (5) \overline{CE} 端子に 1 ms のプログラム・パルス(アクティブ・ロウ)を供給。
- (6) ベリファイ・モード。書き込めていれば(8)へ、書き込めていなければ(4) - (6)を繰り返す。25回繰り返して書き込めなければ、(7)へ。
- (7) 不良デバイスとして書き込み動作を中止する。
- (8) 書き込みデータを供給し、((4) - (6)で繰り返した回数 : X) × 3 ms のプログラム・パルスを供給 (追加書き込み)。
- (9) アドレスをインクリメント。
- (10) (4) - (9)を最終アドレスまで繰り返す。

上述の(2) - (8)のタイミングを図3-1に示します。

図3-1 PROM の書き込み/ベリファイ・タイミング

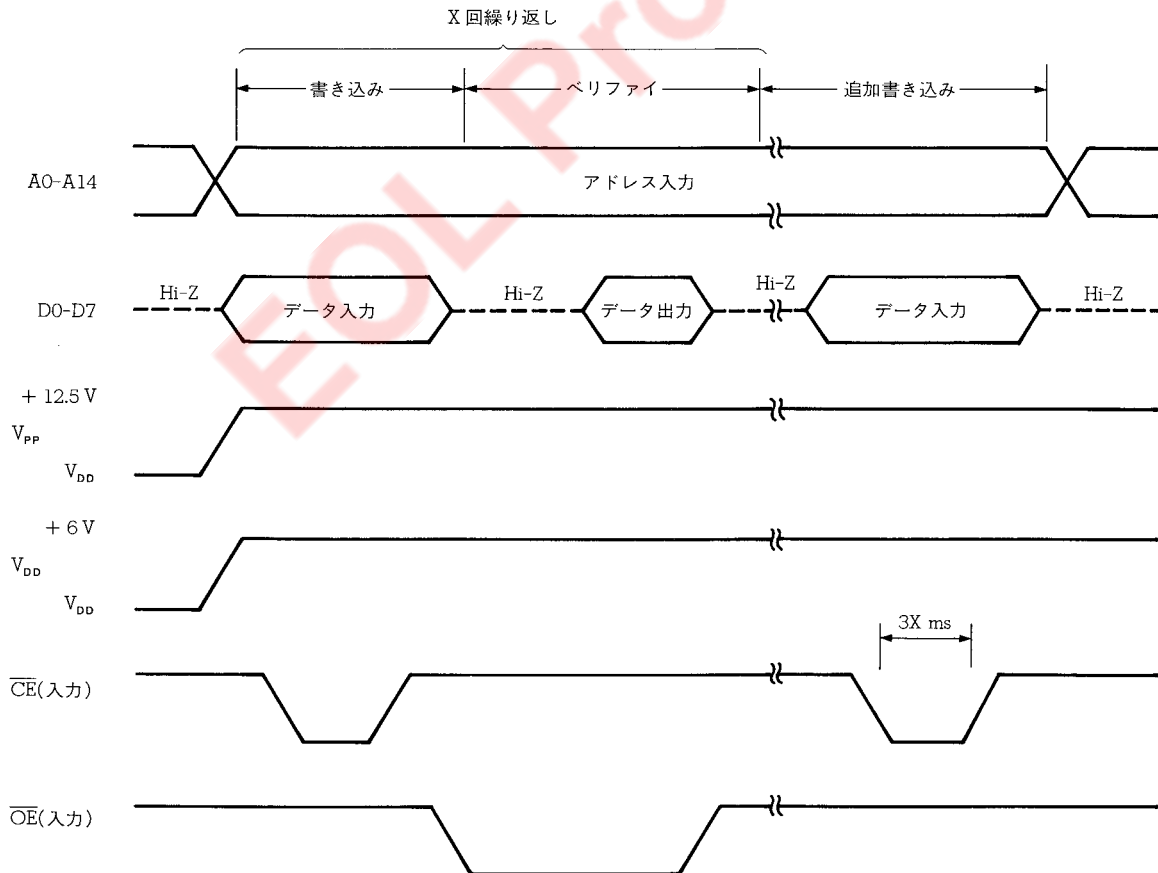
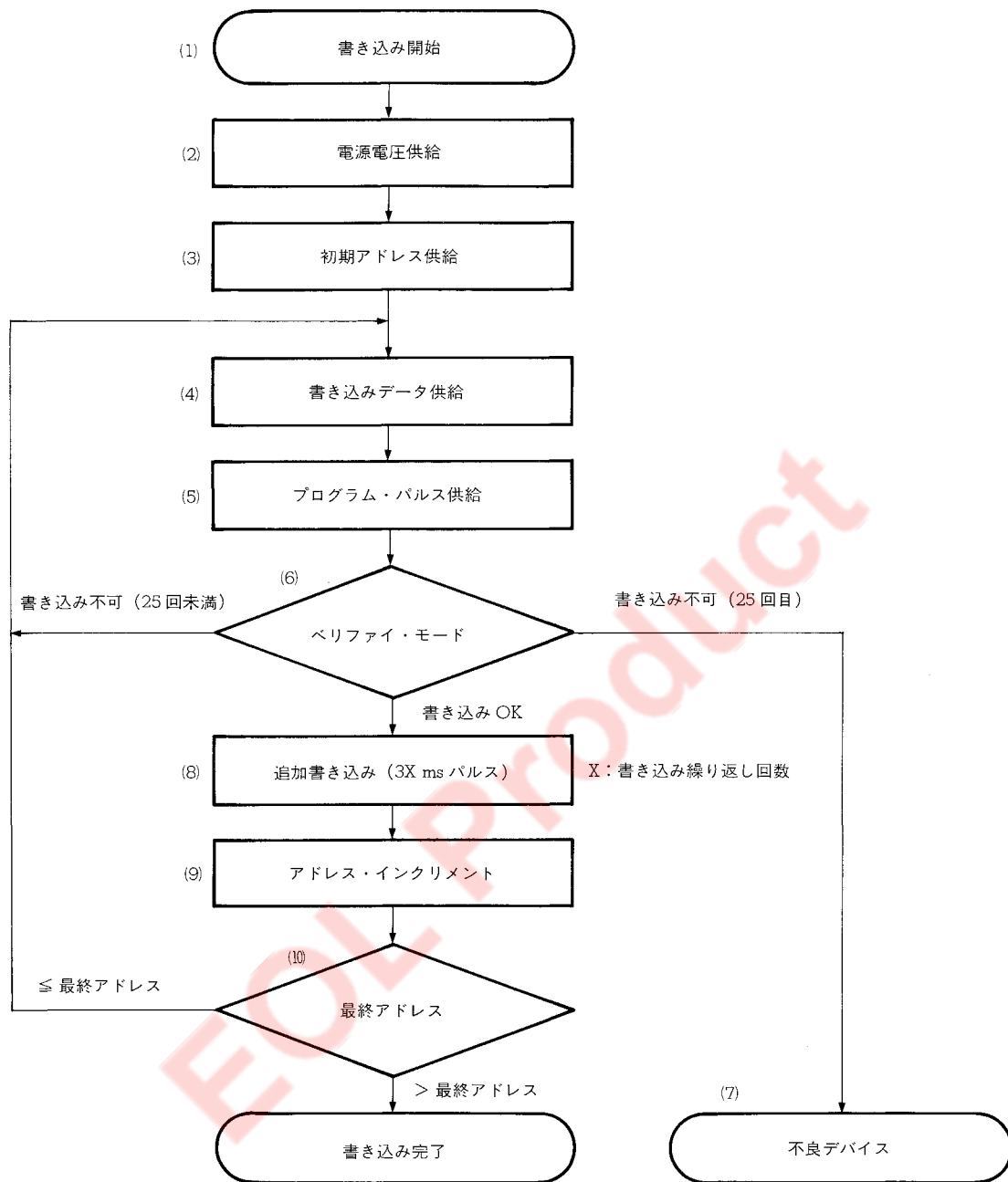


図 3-2 書き込み手順フロー・チャート



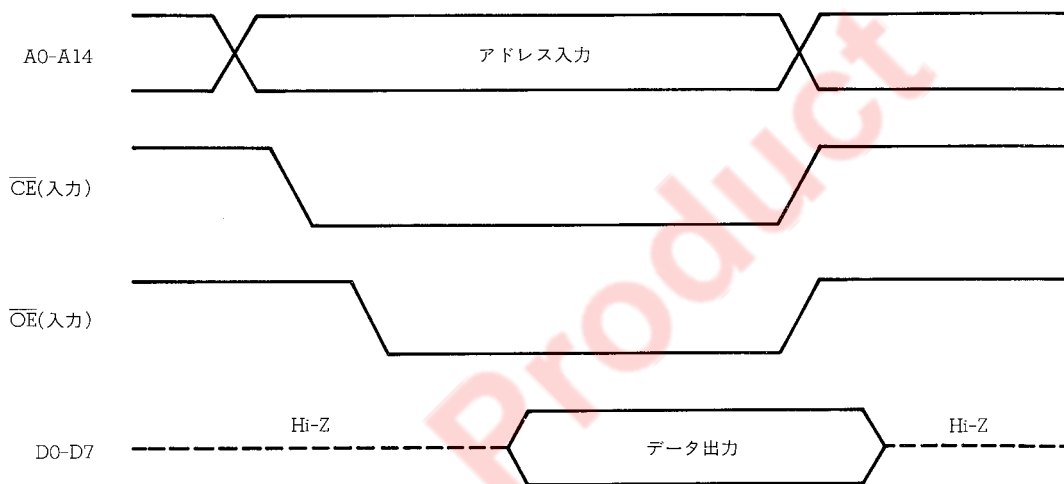
3.3 PROM 読み出しの手順

次に示す手順によって、PROM の内容を外部データ・バス (D0-D7) に読み出すことができます。

- (1) $\overline{\text{RESET}}$ 端子をロウ・レベルに固定。NMI 端子に +12.5 V を供給。その他、使用しない端子は端子接続図(2)に示すように処理する。
- (2) V_{DD} , V_{PP} 端子に +5 V を供給。
- (3) 読み出そうとするデータのアドレスを A0-A14 端子に入力。
- (4) リード・モード
- (5) データを D0-D7 端子に出力。

上述の (2) - (5) のタイミングを図3-3に示します。

図3-3 PROM の読み出しタイミング



4. 消去特性 (μPD78P218ADWのみ)

μPD78P218ADWは、約400 nmより短い波長の光を照射することにより、プログラムされたデータの内容を消去 (FFH) することができます。

μPD78P218ADWのプログラム・メモリ内容を消去する場合は、通常、254 nmの波長を持つ紫外線を照射します。μPD78P218ADWを完全に消去するために必要な全照射量は、最小15 W・s/cm² (紫外線強度×消去時間)です。消去時間は、約15–20分です (12 000 μW/cm²の紫外線ランプ使用の場合)。ただし、紫外線ランプの性能劣化、パッケージ窓部の汚れなどにより消去時間が長くなる場合があります。消去の場合、μPD78P218ADWは紫外線ランプから2.5 cm以内の位置に置いてください。また、紫外線ランプにフィルタが付いている場合は、このフィルタを取り外してから消去を行ってください。

5. 消去用窓のシールについて (μPD78P218ADWのみ)

EPROM内容の消去用ランプ以外の光による誤消去防止、およびEPROM以外の内部回路が光によって誤動作するのを防止するため、EPROM内容消去時以外は保護用シールを消去用窓に張っておいてください。

6. ワン・タイムPROM製品のスクリーニングについて

ワン・タイムPROM製品 (μPD78P218ACW, μPD78P218AGC-AB8) は、その構造上、当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと、下記の条件で高温保管後、PROMのベリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125 °C	24 時間

なお、NECでは、QTOPマイコンの名称でワン・タイムPROMの書き込みから捺印、スクリーニング、ベリファイを有料で行なうサービスを実施しております。詳細につきましては、販売員にご相談ください。

7. 電気的特性

絶対最大定格 ($T_a = +25^\circ\text{C}$)

項目	略号	条件	定格	単位
電源電圧	V_{DD}		-0.5 ~ +7.0	V
	AV_{REF}		-0.5 ~ $V_{DD}+0.5$	V
	AV_{SS}		-0.5 ~ +0.5	V
入力電圧	V_{I1}		-0.5 ~ $V_{DD}+0.5$	V
	V_{I2}	注1	-0.5 ~ $AV_{REF}+0.5$	V
	V_{I3}	注2	-0.5 ~ +13.5	V
出力電圧	V_O		-0.5 ~ $V_{DD}+0.5$	V
ロウ・レベル出力電流	I_{OL}	1端子	15	mA
		全出力端子合計	100	mA
ハイ・レベル出力電流	I_{OH}	1端子	-10	mA
		全出力端子合計	-50	mA
動作温度	T_{opt}		-40 ~ +85	°C
保存温度	T_{stg}		-65 ~ +150	°C

注1. P70/AN0-P75/AN5, P66/WAIT/AN6, P67/REFRQ/AN7 端子のうち、A/Dコンバータの入力端子として使用している端子。

2. PROMプログラミング・モード時の P20/NMI, \overline{EA}/V_{PP} , P21/INTPO/A9 端子。

注意 各項目のうち1項目でも、また、一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。★
つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

動作条件

クロック周波数	動作温度 (T_{opt})	電源電圧 (V_{DD})
$4\text{ MHz} \leq f_{xx} \leq 12\text{ MHz}$	-40 ~ +85 °C	+5.0 ± 0.3 V

容量 ($T_a = +25^\circ\text{C}$, $V_{DD} = V_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C_I	f=1 MHz 被測定端子以外は0 V			20	pF
出力容量	C_O				20	pF
入出力容量	C_{IO}				20	pF

発振器特性 (Ta = -40 ~ +85°C, V_{DD} = +5.0 ± 0.3 V, V_{SS} = 0 V)

発振子	推奨回路	項目	MIN.	MAX.	単位
セラミック発振子 または水晶振動子		発振周波数 (f _{xx})	4	12	MHz
外部クロック		X1 入力周波数 (f _x)	4	12	MHz
		X1 入力立ち上がり, 立ち下がり時間 (t _{xR} , t _{xF})	0	30	ns
		X1 入力ハイ, ロウ・レベル幅 (t _{wXH} , t _{wXL})	30	130	ns

注意 クロック発振回路を使用する場合は、配線容量などの影響を避けるために、 の部分を実のように配線してください。

- 配線を極力短くする。
- ほかの信号線と交差させない。
- 変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグラウンド・パターンには接地しない。
- 発振回路から信号を取り出さない。

DC特性 (T_a = -40 ~ +85 °C, V_{DD} = +5.0 ± 0.3 V, V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル入力電圧	V _{IL}		0		0.8	V
ハイ・レベル入力電圧	V _{IH1}	注1, 注2以外の端子	2.2		V _{DD}	V
	V _{IH2}	注1の端子	2.2		AV _{REF}	V
	V _{IH3}	注2の端子	0.8 V _{DD}		V _{DD}	V
ロウ・レベル出力電圧	V _{OL1}	I _{OL} = 2.0 mA			0.45	V
	V _{OL2}	I _{OL} = 8.0 mA注3			1.0	V
ハイ・レベル出力電圧	V _{OH1}	I _{OH} = -1.0 mA	V _{DD} - 1.0			V
	V _{OH2}	I _{OH} = -100 μA	V _{DD} - 0.5			V
	V _{OH3}	I _{OH} = -5.0 mA注4	2.0			V
X1ロウ・レベル入力電流	I _{IL}	0 V ≤ V _i ≤ V _{IL}			-100	μA
X1ハイ・レベル入力電流	I _{IH}	V _{IH3} ≤ V _i ≤ V _{DD}			100	μA
入力リーク電流	I _{LI}	0 V ≤ V _i ≤ V _{DD}				
出力リーク電流	I _{LO}	0 V ≤ V _o ≤ V _{DD}				
AV _{REF} 電流	AI _{REF}	動作モード f _{xx} = 12 MHz		1.5	5.0	mA
V _{DD} 電源電流	I _{DD1}	動作モード f _{xx} = 12 MHz		20	40	mA
	I _{DD2}	HALTモード f _{xx} = 12 MHz		7	20	mA
データ保持電圧	V _{DDDR}	STOPモード	2.5		5.3	V
データ保持電流	I _{DDDR}	STOPモード	V _{DDDR} = 2.5 V	2	20	μA
		モード	V _{DDDR} = +5.0 ± 0.3 V	5	50	μA
プルアップ抵抗	R _L	V _i = 0 V	15	40	80	kΩ

注1. P70/AN0-P75/AN5, P66/WAIT/AN6, P67/REFRQ/AN7端子のうち, A/Dコンバータの入力端子として使用している端子。

2. X1, X2, $\overline{\text{RESET}}$, P20/NMI, P21/INTP0, P22/INTP1, P23/INTP2/CI, P24/INTP3, P25/INTP4/ASCK, P26/INTP5, P27/SI, P32/ $\overline{\text{SCK}}$, P33/SO/SB0, $\overline{\text{EA}}$ 端子。

3. P40/AD0-P47/AD7, P50/A8-P57/A15端子。

4. P00-P07端子。

AC 特性 (Ta = -40 ~ +85 °C, V_{DD} = +5.0 ± 0.3 V, V_{SS} = 0 V)

リード/ライト・オペレーション (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
X1 入カクロック・サイクル・タイム	t _{CYX}		82	250	ns
アドレス・セットアップ時間 (対 ASTB↓)	t _{SAST} *		52		ns
アドレス・ホールド時間 (対 ASTB↓) 注	t _{HSTA}		25		ns
アドレス・ホールド時間 (対 RD↑)	t _{HRA}		30		ns
アドレス・ホールド時間 (対 WR↑)	t _{HWA}		30		ns
アドレス→RD↓遅延時間	t _{DAR} *		129		ns
アドレス・フロート時間 (対 RD↓)	t _{FAR} *		11		ns
アドレス→データ入力時間	t _{DAID} *	ウェイト数=0		228	ns
ASTB↓→データ入力時間	t _{DSTID} *	ウェイト数=0		181	ns
RD↓→データ入力時間	t _{DRID} *	ウェイト数=0		100	ns
ASTB↓→RD↓遅延時間	t _{DSTR} *		52		ns
データ・ホールド時間 (対 RD↑)	t _{HRID}		0		ns
RD↑→アドレス・アクティブ時間	t _{DRA} *		124		ns
RD↑→ASTB↑遅延時間	t _{DRST} *		124		ns
RD ロウ・レベル幅	t _{WRL} *	ウェイト数=0	124		ns
ASTB ハイ・レベル幅	t _{WSTH} *		52		ns
アドレス→WR↓遅延時間	t _{DAW} *		129		ns
ASTB↓→データ出力時間	t _{DSTOD} *			142	ns
WR↓→データ出力時間	t _{DWOD}			60	ns
ASTB↓→WR↓遅延時間	t _{DSTW1} *	リフレッシュ禁止時	52		ns
	t _{DSTW2} *	リフレッシュ許可時	129		ns
データ・セットアップ時間 (対 WR↑)	t _{SODWR} *	ウェイト数=0	146		ns
データ・セットアップ時間 (対 WR↓)	t _{SODWF} *	リフレッシュ許可時	22		ns
データ・ホールド時間 (対 WR↑) 注	t _{HWOD}		20		ns
WR↑→ASTB↑遅延時間	t _{DWST} *		42		ns
WR ロウ・レベル幅	t _{WWL1} *	リフレッシュ禁止時 ウェイト数=0	196		ns
	t _{WWL2} *	リフレッシュ許可時 ウェイト数=0	114		ns
アドレス→WAIT↓入力時間	t _{DAWT} *			146	ns
ASTB↓→WAIT↓入力時間	t _{DSTWT} *			84	ns

(次ページに続く)

注 ホールド時間には、C_L = 100 pF, R_L = 2 kΩの負荷条件でV_{OH}, V_{OL}を保持する時間を含みます。

備考1. 表中の数値は f_{XX} = 12 MHz, C_L = 100 pFのときの値です。

2. 略号欄に*印があるものについては、t_{CYX} 依存のバス・タイミング定義も参照してください。

リード/ライト・オペレーション (2/2)

項目	略号	条件	MIN.	MAX.	単位
ASTB↓→ $\overline{\text{WAIT}}$ 保持時間	t_{HSTWT} *	外部ウエイト数=1	174		ns
ASTB↓→ $\overline{\text{WAIT}}$ ↑遅延時間	t_{DSTWTH} *	外部ウエイト数=1		273	ns
$\overline{\text{RD}}$ ↓→ $\overline{\text{WAIT}}$ ↓入力時間	t_{DRWTL} *			22	ns
$\overline{\text{RD}}$ ↓→ $\overline{\text{WAIT}}$ 保持時間	t_{HRWT} *	外部ウエイト数=1	87		ns
$\overline{\text{RD}}$ ↓→ $\overline{\text{WAIT}}$ ↑遅延時間	t_{DRWTH} *	外部ウエイト数=1		186	ns
$\overline{\text{WAIT}}$ ↑→データ入力時間	t_{DWTID} *			62	ns
$\overline{\text{WAIT}}$ ↑→ $\overline{\text{WR}}$ ↑遅延時間	t_{DWTW} *		154		ns
$\overline{\text{WAIT}}$ ↑→ $\overline{\text{RD}}$ ↑遅延時間	t_{DWTR} *		72		ns
$\overline{\text{WR}}$ ↓→ $\overline{\text{WAIT}}$ 入力時間 (リフレッシュ禁止時)	t_{DWWTL} *			22	ns
$\overline{\text{WR}}$ ↓→ $\overline{\text{WAIT}}$ 保持時間	リフレッシュ禁止時	t_{HWWT1} *	87		ns
	リフレッシュ許可時	t_{HWWT2} *	5		ns
$\overline{\text{WR}}$ ↓→ $\overline{\text{WAIT}}$ ↑遅延時間	リフレッシュ禁止時	t_{DWWTH1} *		186	ns
	リフレッシュ許可時	t_{DWWTH2} *		104	ns
$\overline{\text{RD}}$ ↑→ $\overline{\text{REFRQ}}$ ↓遅延時間	t_{DRRFQ} *		154		ns
$\overline{\text{WR}}$ ↑→ $\overline{\text{REFRQ}}$ ↓遅延時間	t_{DWRFQ} *		72		ns
$\overline{\text{REFRQ}}$ ロウ・レベル幅	t_{WRFQL} *		120		ns
$\overline{\text{REFRQ}}$ ↑→ASTB↑遅延時間	t_{DRFQST} *		280		ns

備考1. 表中の数値は $f_{\text{xx}} = 12 \text{ MHz}$, $C_L = 100 \text{ pF}$ のときの値です。

2. 略号欄に*印があるものについては、 t_{CYX} 依存のバス・タイミング定義も参照してください。

シリアル・オペレーション

項 目	略 号	条 件	MIN.	MAX.	単 位	
シリアル・クロック・サイクル・タイム	t_{CYSK}	入力 外部クロック	1.0		μS	
		出力	内部 16 分周	1.3		μS
			内部 64 分周	5.3		μS
シリアル・クロック・ロウ・レベル幅	t_{WSKL}	入力 外部クロック	420		ns	
		出力	内部 16 分周	556		ns
			内部 64 分周	2.5		μS
シリアル・クロック・ハイ・レベル幅	t_{WSKH}	入力 外部クロック	420		ns	
		出力	内部 16 分周	556		ns
			内部 64 分周	2.5		μS
SI, SBO セットアップ時間 (対 $\overline{SCK} \uparrow$)	t_{SSSK}		150		ns	
SI, SBO ホールド時間 (対 $\overline{SCK} \uparrow$)	t_{HSSK}		400		ns	
SO/SBO 出力遅延時間 (対 $\overline{SCK} \downarrow$)	t_{DSBSK1}	CMOS プッシュプル出力 (3 線式シリアル I/O モード)	0	300	ns	
	t_{DSBSK2}	オープン・ドレイン出力 (SBI モード), $R_L = 1 k\Omega$	0	800	ns	
SBO ハイ・ホールド時間 (対 $\overline{SCK} \uparrow$)	t_{HSBSK}	SBI モード	4		t_{CYX}	
SBO ロウ・セットアップ時間 (対 $\overline{SCK} \downarrow$)	t_{SSBSK}		4		t_{CYX}	
SBO ロウ・レベル幅	t_{WSBL}		4		t_{CYX}	
SBO ハイ・レベル幅	t_{WSBH}		4		t_{CYX}	

備考 表中の数値は $f_{xx} = 12 \text{ MHz}$, $C_L = 100 \text{ pF}$ のときの値です。

その他のオペレーション

項 目	略 号	条 件	MIN.	MAX.	単 位
NMI ロウ・レベル幅	t_{WNIL}		10		μs
NMI ハイ・レベル幅	t_{WNIH}		10		μs
INTPO-INTP5 ロウ・レベル幅	t_{WITL}		24		t_{CYX}
INTPO-INTP5 ハイ・レベル幅	t_{WITH}		24		t_{CYX}
$\overline{\text{RESET}}$ ロウ・レベル幅	t_{WRSL}		10		μs
$\overline{\text{RESET}}$ ハイ・レベル幅	t_{WRSH}		10		μs

外部クロック・タイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
X1 入力ロウ・レベル幅	t_{WXL}		30	130	ns
X1 入力ハイ・レベル幅	t_{WXH}		30	130	ns
X1 入力立ち上がり時間	t_{XR}		0	30	ns
X1 入力立ち下がり時間	t_{XF}		0	30	ns
X1 入力クロック・サイクル・タイム	t_{CYX}		82	250	ns

A/Dコンバータ特性 ($T_a = -40 \sim +85^\circ\text{C}$, $V_{DD} = +5.0 \pm 0.3\text{V}$, $V_{SS} = AV_{SS} = 0\text{V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			8			bit
総合誤差注		$4.0\text{V} \leq AV_{REF} \leq V_{DD}$ $T_a = -10 \sim +70^\circ\text{C}$			0.4	%
		$3.6\text{V} \leq AV_{REF} \leq V_{DD}$ $T_a = -10 \sim +70^\circ\text{C}$			0.8	%
		$4.0\text{V} \leq AV_{REF} \leq V_{DD}$			0.8	%
量子化誤差					$\pm 1/2$	LSB
変換時間	t_{CONV}	$82\text{ns} \leq t_{CYX} < 125\text{ns}$ (ADMのFRビットが“0”の場合)	360			t_{CYX}
		$125\text{ns} \leq t_{CYX} \leq 250\text{ns}$ (ADMのFRビットが“1”の場合)	240			t_{CYX}
サンプリング時間	t_{SAMP}	$82\text{ns} \leq t_{CYX} < 125\text{ns}$ (ADMのFRビットが“0”の場合)	72			t_{CYX}
		$125\text{ns} \leq t_{CYX} \leq 250\text{ns}$ (ADMのFRビットが“1”の場合)	48			t_{CYX}
アナログ入力電圧	V_{IAN}		-0.3		$AV_{REF} + 0.3$	V
アナログ入力インピーダンス	R_{AN}			1 000		MΩ
基準電圧	AV_{REF}		3.6		V_{DD}	V
AV_{REF} 電流	AI_{REF}	$f_{XX} = 12\text{MHz}$		1.5	5.0	mA
		STOPモード		0.2	1.5	mA

注 量子化誤差を含みません。フル・スケール値に対する比率で表しています。

t_{CYX} 依存のバス・タイミング定義 (1/2)

項 目	略 号	計 算 式	MIN./MAX.	12MHz	単 位
X1 入カクロック・サイクル・タイム	t_{CYX}		MIN.	82	ns
アドレス・セットアップ時間(対 ASTB↓)	t_{SAST}	$t_{CYX} - 30$	MIN.	52	ns
アドレス→ \overline{RD} ↓遅延時間	t_{DAR}	$2t_{CYX} - 35$	MIN.	129	ns
アドレス・フロート時間 (対 \overline{RD} ↓)	t_{FAR}	$t_{CYX}/2 - 30$	MIN.	11	ns
アドレス→データ入力時間	t_{DAID}	$(4 + 2n) t_{CYX} - 100$	MAX.	228 ^注	ns
ASTB↓→データ入力時間	t_{DSTID}	$(3 + 2n) t_{CYX} - 65$	MAX.	181 ^注	ns
\overline{RD} ↓→データ入力時間	t_{DRID}	$(2 + 2n) t_{CYX} - 64$	MAX.	100 ^注	ns
ASTB↓→ \overline{RD} ↓遅延時間	t_{DSTR}	$t_{CYX} - 30$	MIN.	52	ns
\overline{RD} ↑→アドレス・アクティブ時間	t_{DRA}	$2t_{CYX} - 40$	MIN.	124	ns
\overline{RD} ↑→ASTB↑遅延時間	t_{DRST}	$2t_{CYX} - 40$	MIN.	124	ns
\overline{RD} ロウ・レベル幅	t_{WRL}	$(2 + 2n) t_{CYX} - 40$	MIN.	124 ^注	ns
ASTB ハイ・レベル幅	t_{WSTH}	$t_{CYX} - 30$	MIN.	52	ns
アドレス→ \overline{WR} ↓遅延時間	t_{DAW}	$2t_{CYX} - 35$	MIN.	129	ns
ASTB↓→データ出力時間	t_{DSTOD}	$t_{CYX} + 60$	MAX.	142	ns
ASTB↓→ \overline{WR} ↓遅延時間	t_{DSTW1}	$t_{CYX} - 30$ (リフレッシュ禁止時)	MIN.	52	ns
	t_{DSTW2}	$2t_{CYX} - 35$ (リフレッシュ許可時)	MIN.	129	ns
データ・セットアップ時間 (対 \overline{WR} ↑)	t_{SODWR}	$(3 + 2n) t_{CYX} - 100$	MIN.	146 ^注	ns
データ・セットアップ時間 (対 \overline{WR} ↓)	t_{SODWF}	$t_{CYX} - 60$ (リフレッシュ許可時)	MIN.	22	ns
\overline{WR} ↑→ASTB↑遅延時間	t_{DWST}	$t_{CYX} - 40$	MIN.	42	ns
\overline{WR} ロウ・レベル幅	t_{WWL1}	$(3 + 2n) t_{CYX} - 50$ (リフレッシュ禁止時)	MIN.	196 ^注	ns
	t_{WWL2}	$(2 + 2n) t_{CYX} - 50$ (リフレッシュ許可時)	MIN.	114 ^注	ns
アドレス→ \overline{WAIT} ↓入力時間	t_{DAWT}	$3t_{CYX} - 100$	MAX.	146	ns
ASTB↓→ \overline{WAIT} ↓入力時間	t_{DSTWT}	$2t_{CYX} - 80$	MAX.	84	ns

(次ページに続く)

備考 nはウエイト数を示します。

注 n=0のとき

t_{CYX} 依存のバス・タイミング定義(2/2)

項目	略号	計算式	MIN./MAX.	12MHz	単位
ASTB↓→WAIT保持時間	t_{HSTWT}	$2Xt_{CYX} + 10$	MIN.	174 ^注	ns
ASTB↓→WAIT↑遅延時間	t_{DSTWTH}	$2(1+X)t_{CYX} - 55$	MAX.	273 ^注	ns
\overline{RD} ↓→ \overline{WAIT} ↓入力時間	t_{DRWTL}	$t_{CYX} - 60$	MAX.	22	ns
\overline{RD} ↓→ \overline{WAIT} 保持時間	t_{HRWT}	$(2X-1)t_{CYX} + 5$	MIN.	87 ^注	ns
\overline{RD} ↓→ \overline{WAIT} ↑遅延時間	t_{DRWTH}	$(2X+1)t_{CYX} - 60$	MAX.	186 ^注	ns
\overline{WAIT} ↑→データ入力時間	t_{DWTID}	$t_{CYX} - 20$	MAX.	62	ns
\overline{WAIT} ↑→ \overline{WR} ↑遅延時間	t_{DWTW}	$2t_{CYX} - 10$	MIN.	154	ns
\overline{WAIT} ↑→ \overline{RD} ↑遅延時間	t_{DWTR}	$t_{CYX} - 10$	MIN.	72	ns
\overline{WR} ↓→ \overline{WAIT} 入力時間 (リフレッシュ禁止時)	t_{DWWTL}	$t_{CYX} - 60$	MAX.	22	ns
\overline{WR} ↓→ \overline{WAIT} 保持時間	リフレッシュ禁止時	t_{HWWT1}	MIN.	87 ^注	ns
	リフレッシュ許可時	t_{HWWT2}	MIN.	5 ^注	ns
\overline{WR} ↓→ \overline{WAIT} ↑遅延時間	リフレッシュ禁止時	t_{DWWTH1}	MAX.	186 ^注	ns
	リフレッシュ許可時	t_{DWWTH2}	MAX.	104 ^注	ns
\overline{RD} ↑→ \overline{REFRQ} ↓遅延時間	t_{DRRFQ}	$2t_{CYX} - 10$	MIN.	154	ns
\overline{WR} ↑→ \overline{REFRQ} ↓遅延時間	t_{DWRFQ}	$t_{CYX} - 10$	MIN.	72	ns
\overline{REFRQ} ロウ・レベル幅	t_{WRFQL}	$2t_{CYX} - 44$	MIN.	120	ns
\overline{REFRQ} ↑→ASTB↑遅延時間	t_{DRFQST}	$4t_{CYX} - 48$	MIN.	280	ns

備考1. X: 外部ウエイト数(1, 2, ...)

2. $t_{CYX} \div 82 \text{ ns}$ ($f_{XX} = 12 \text{ MHz}$)

3. nはウエイト数を示します。

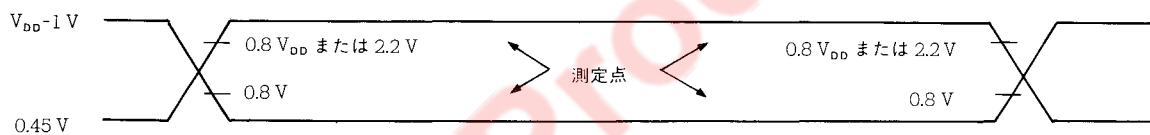
注 X=1のとき

データ保持特性 (Ta = -40 ~ +85 °C)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V _{DDDR}	STOPモード	2.5		5.3	V
データ保持電流	I _{DDDR}	V _{DDDR} = 2.5 V		2	20	μA
		V _{DDDR} = 5 V ± 0.3 V		5	50	μA
V _{DD} 立ち上がり時間	t _{RVD}		200			μs
V _{DD} 立ち下がり時間	t _{FVD}		200			μs
V _{DD} 保持時間(対 STOP モード設定)	t _{HVD}		0			ms
STOP 解除信号入力時間	t _{DREL}		0			ms
発振安定ウエイト時間	t _{WAIT}	水晶振動子	30			ms
		セラミック発振子	5			ms
ロウ・レベル入力電圧	V _{IL}	特定端子 ^注	0		0.1 V _{DDDR}	V
ハイ・レベル入力電圧	V _{IH}		0.9 V _{DDDR}		V _{DDDR}	V

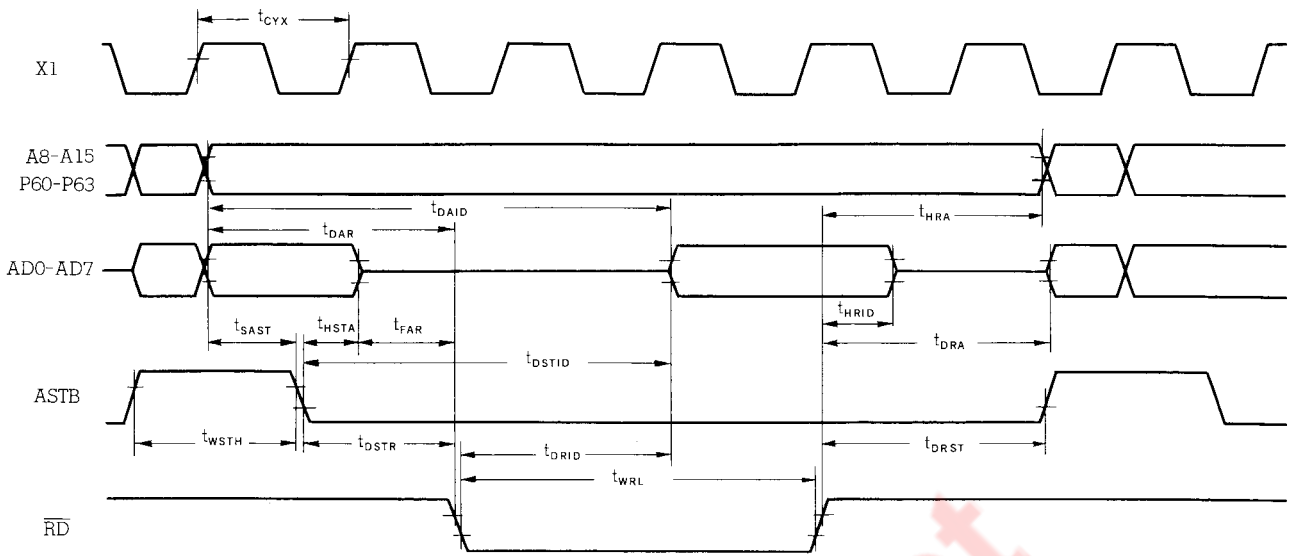
注 $\overline{\text{RESET}}$, P20/NMI, P21/INTP0, P22/INTP1, P23/INTP2/CI, P24/INTP3, P25/INTP4/ASCK, P26/INTP5, P27/SI, P32/ $\overline{\text{SCK}}$, P33/SO/SB0, $\overline{\text{EA}}$ 端子。

AC タイミング測定点

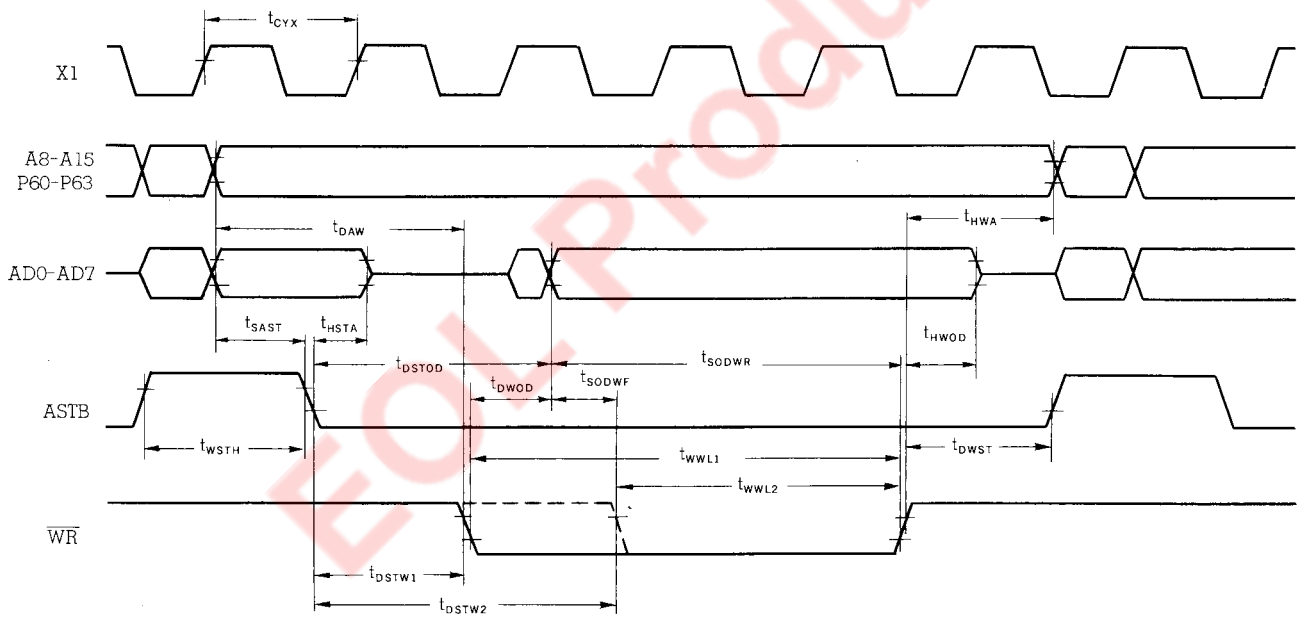


タイミング波形

リード・オペレーション

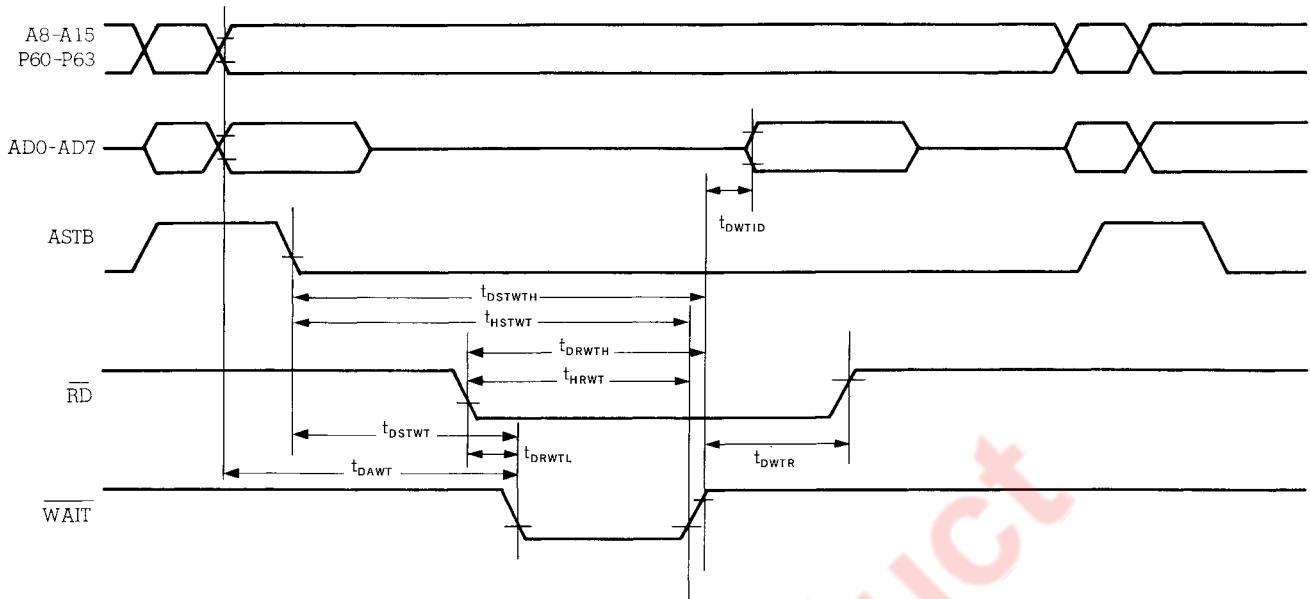


ライト・オペレーション

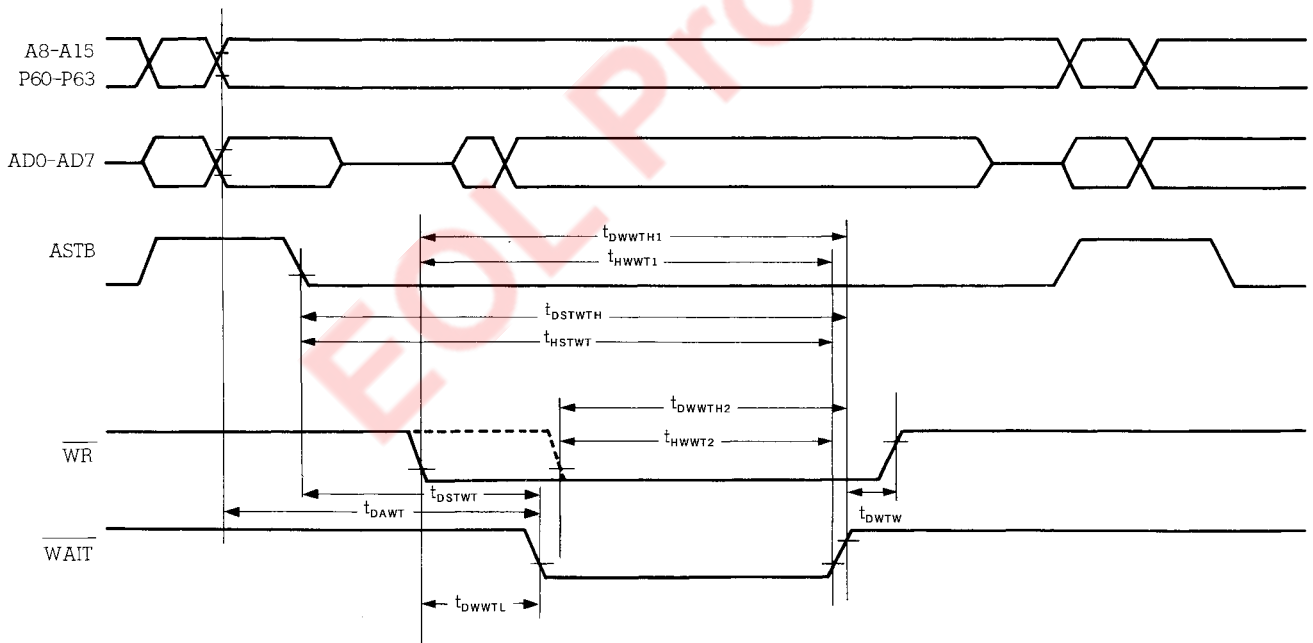


外部WAIT信号入力タイミング

リード・オペレーション

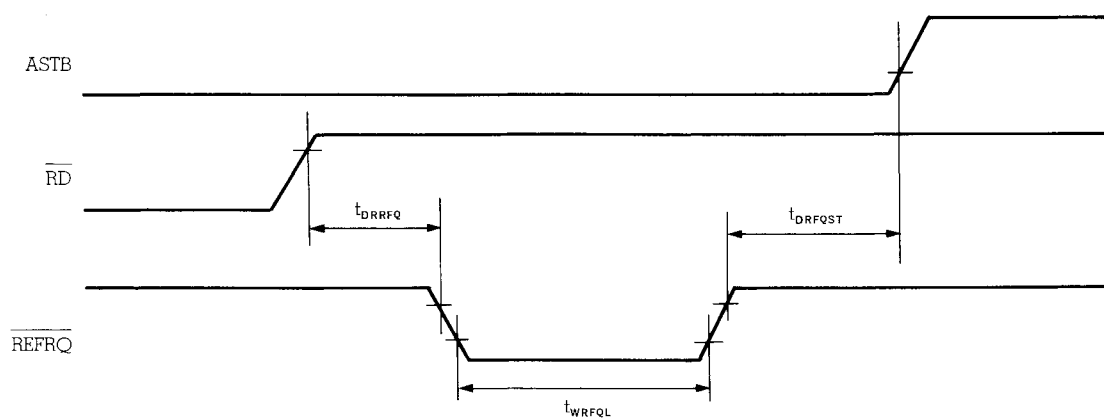


ライト・オペレーション

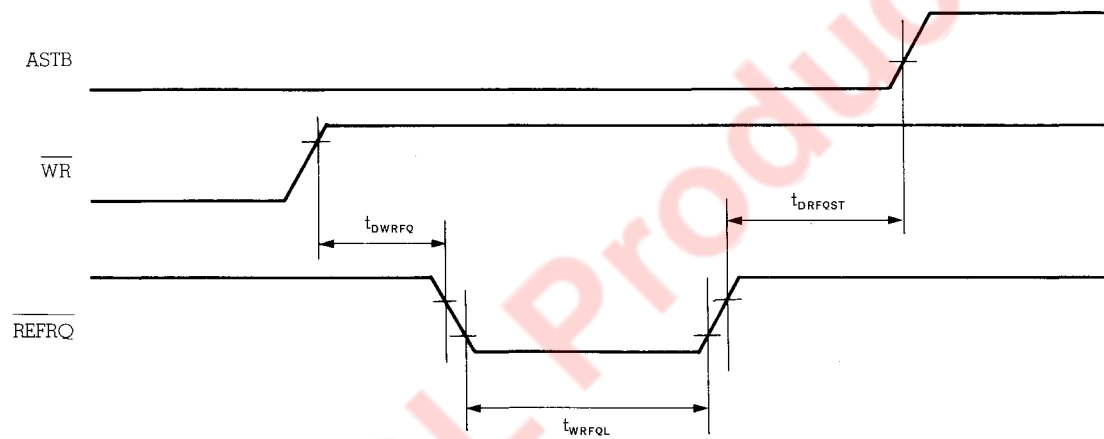


リフレッシュ・タイミング波形

リード後のリフレッシュ



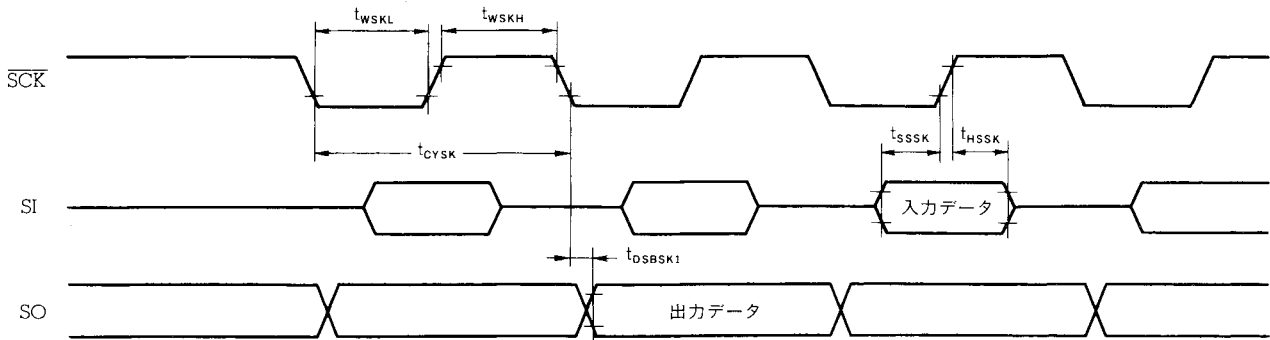
ライト後のリフレッシュ



EOL Product

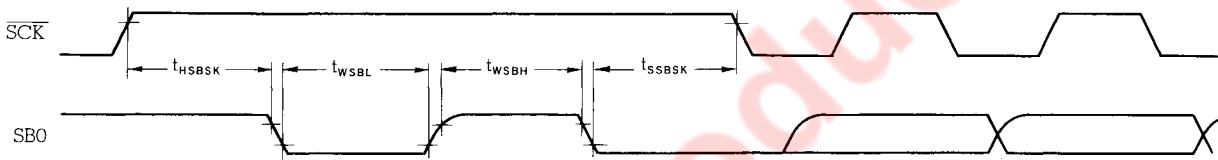
シリアル・オペレーション

3線式シリアル I/O モード

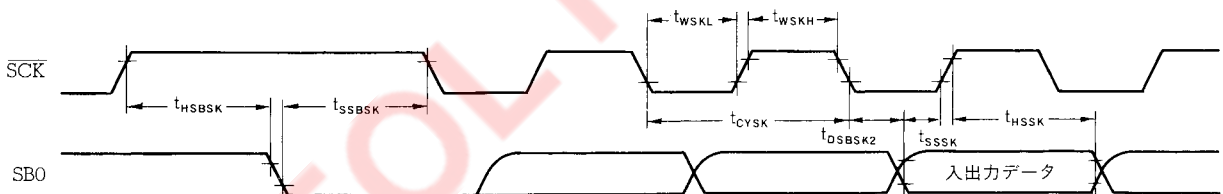


SBI モード

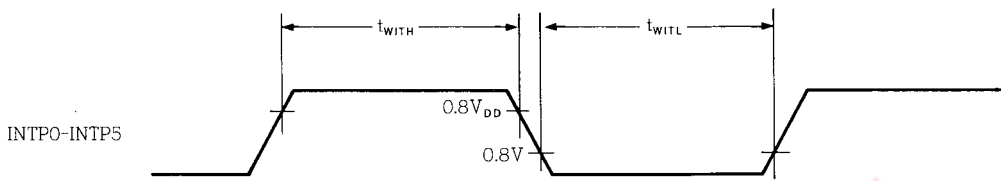
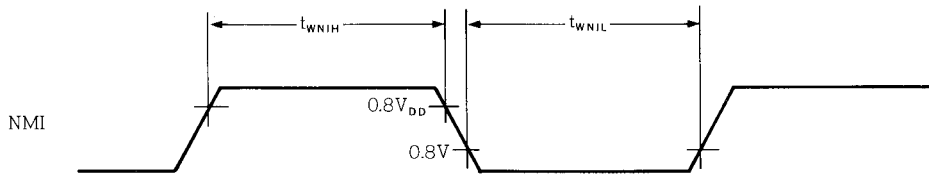
バス・リリース信号転送



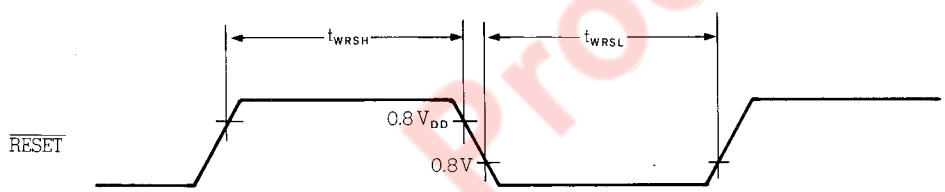
コマンド信号転送



割り込み入カタイミング

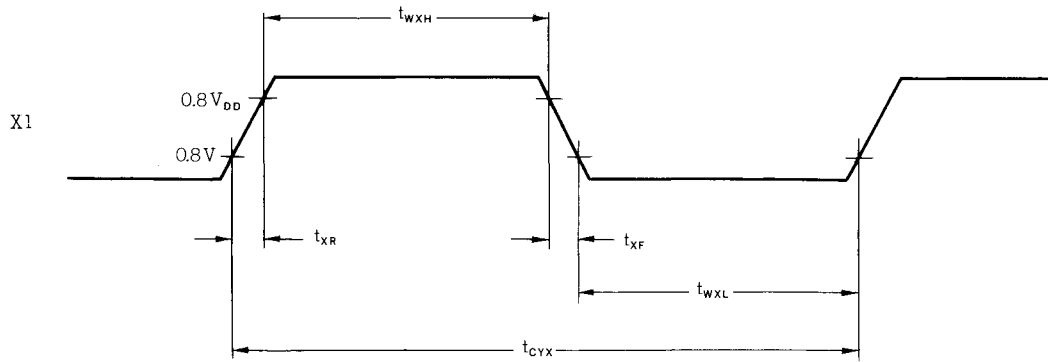


リセット入カタイミング

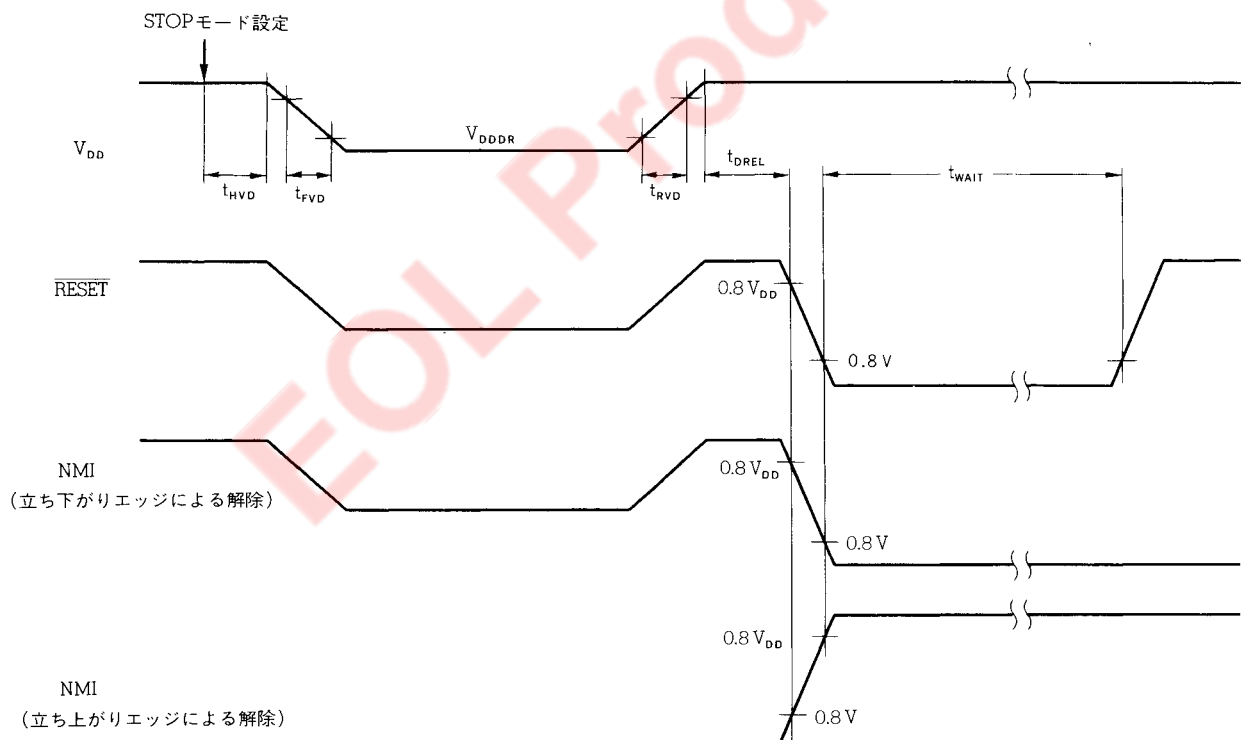


EOL Product

外部クロック・タイミング



データ保持特性



DC プログラミング特性 ($T_a = +25 \pm 5^\circ\text{C}$, $V_{IP}^{\text{注1}} = +12.5 \pm 0.5\text{V}$, $V_{SS} = 0\text{V}$)

項 目	略 号	略号注2	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧	V_{IH}	V_{IH}		2.4		$V_{DDP} + 0.3$	V
ロウ・レベル入力電圧	V_{IL}	V_{IL}		-0.3		0.8	V
入カリーク電流	I_{LIP}	I_{LI}	$0 \leq V_i \leq V_{DDP}$			10	μA
ハイ・レベル出力電圧	V_{OH1}	V_{OH1}	$I_{OH} = -400 \mu\text{A}$	2.4			V
	V_{OH2}	V_{OH2}	$I_{OH} = -100 \mu\text{A}$	$V_{DD} - 0.7$			V
ロウ・レベル出力電圧	V_{OL}	V_{OL}	$I_{OL} = 2.1 \text{mA}$			0.45	V
出カリーク電流	I_{LO}		$0 \leq V_o \leq V_{DDP}$, $\overline{OE} = V_{IH}$			10	μA
NMI端子高電圧入力電流	I_{IP}					±10	μA
V_{DDP} 電 源 電 圧	V_{DDP}	V_{CC}	プログラム・メモリ書き込みモード	5.75	6.0	6.25	V
			プログラム・メモリ読み出しモード	4.5	5.0	5.5	V
V_{PP} 電 源 電 圧	V_{PP}	V_{PP}	プログラム・メモリ書き込みモード	12.2	12.5	12.8	V
			プログラム・メモリ読み出しモード	$V_{PP} = V_{DDP}$			V
V_{DDP} 電 源 電 流	I_{DD}	I_{CC}	プログラム・メモリ書き込みモード		5	30	mA
			プログラム・メモリ読み出しモード $\overline{CE} = V_{IL}$, $V_i = V_{IH}$		5	30	mA
V_{PP} 電 源 電 流	I_{PP}	I_{PP}	プログラム・メモリ書き込みモード $\overline{CE} = V_{IL}$, $\overline{OE} = V_{IH}$		5	30	mA
			プログラム・メモリ読み出しモード		1	100	μA

注1. P20/NMI端子に加える電圧です。

2. 対応するμPD27C256Aの略号です。

プログラム・オペレーション

AC特性 ($T_a = +25 \pm 5^\circ\text{C}$, $V_{IP}^{\text{注1}} = +12.5 \pm 0.5\text{V}$, $V_{DD} = +6 \pm 0.25\text{V}$, $V_{PP} = +12.5 \pm 0.3\text{V}$, $V_{SS} = 0\text{V}$)

項目	略号	略号注2	条件	MIN.	TYP.	MAX.	単位
アドレス・セットアップ時間 (対 $\overline{\text{CE}} \downarrow$)	t_{SAC}	t_{AS}		2			μs
データ → $\overline{\text{OE}} \downarrow$ 遅延時間	t_{DD00}	t_{OES}		2			μs
入力データ・セットアップ時間 (対 $\overline{\text{CE}} \downarrow$)	t_{SIDC}	t_{DS}		2			μs
アドレス・ホールド時間 (対 $\overline{\text{CE}} \uparrow$)	t_{HCA}	t_{AH}		2			μs
入力データ・ホールド時間 (対 $\overline{\text{CE}} \uparrow$)	t_{HCID}	t_{DH}		2			μs
出力データ・ホールド時間 (対 $\overline{\text{OE}} \uparrow$)	t_{HOOD}	t_{DF}		0		130	ns
V_{PP} セットアップ時間 (対 $\overline{\text{CE}} \downarrow$)	t_{SVPC}	t_{VPS}		1			ms
V_{DDP} セットアップ時間 (対 $\overline{\text{CE}} \downarrow$)	t_{SVDC}	t_{VCS}		1			ms
初期プログラム・パルス幅	t_{WL1}	t_{PW}		0.95	1.0	1.05	ms
追加プログラム・パルス幅	t_{WL2}	t_{OPW}		2.85		78.75	ms
NMI高電圧入力セットアップ時間 (対 $\overline{\text{CE}} \downarrow$)	t_{SPc}			2			μs
$\overline{\text{OE}} \downarrow \rightarrow$ データ出力時間	t_{D00D}	t_{OE}				150	ns

注1. P20/NMI端子に加える電圧です。

2. 対応するμPD27C256Aの略号です。

リード・オペレーション

AC特性 ($T_a = +25 \pm 5^\circ\text{C}$, $V_{IP}^{\text{注1}} = +12.5 \pm 0.5\text{V}$, $V_{DD} = +5 \pm 0.5\text{V}$, $V_{PP} = V_{DDP}$, $V_{SS} = 0\text{V}$)

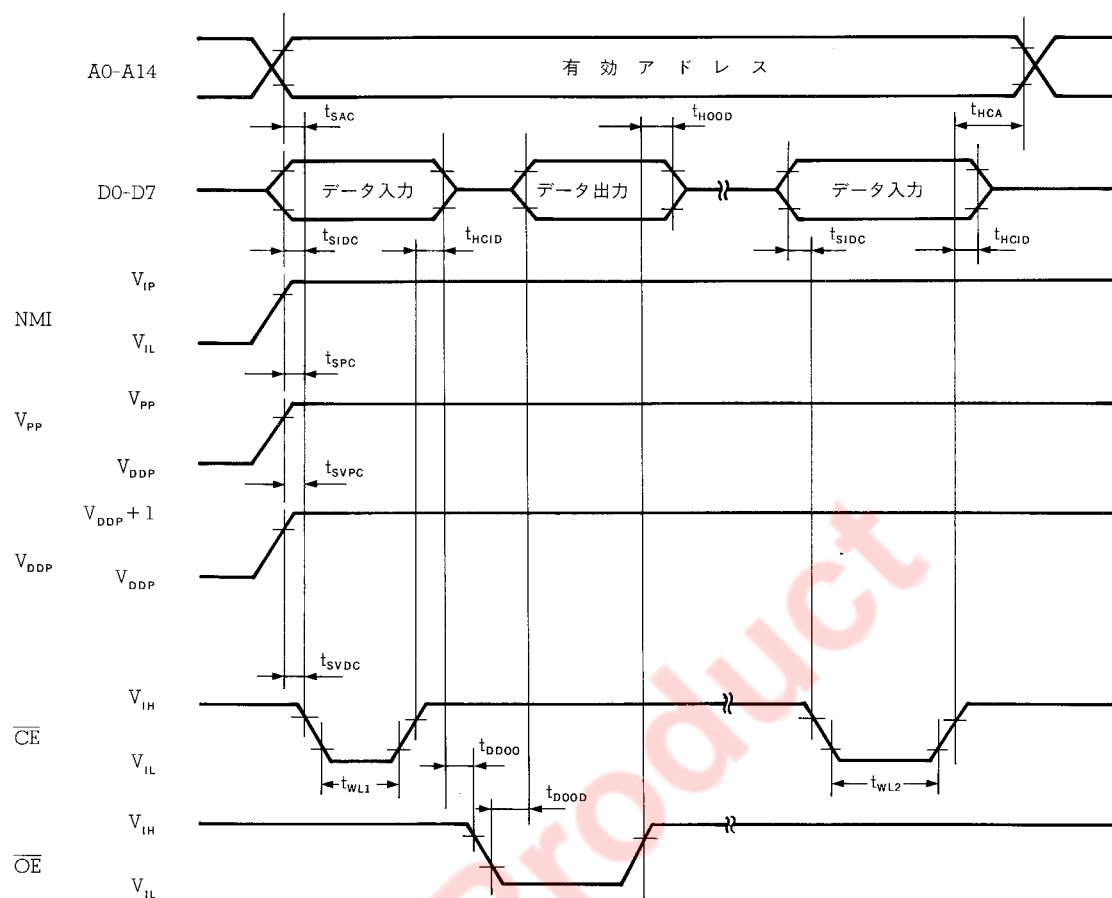
項目	略号	略号注2	条件	MIN.	TYP.	MAX.	単位
アドレス・データ出力時間	t_{DA0D}	t_{ACC}	$\overline{\text{CE}} = \overline{\text{OE}} = V_{\text{IL}}$			200	ns
$\overline{\text{CE}} \downarrow \rightarrow$ データ出力時間	t_{DC0D}	t_{CE}	$\overline{\text{OE}} = V_{\text{IL}}$			200	ns
$\overline{\text{OE}} \downarrow \rightarrow$ データ出力時間	t_{D00D}	t_{OE}	$\overline{\text{CE}} = V_{\text{IL}}$			75	ns
データ・ホールド時間 (対 $\overline{\text{OE}} \uparrow$, $\overline{\text{CE}} \uparrow$) 注3	t_{HC0D}	t_{DF}	$\overline{\text{CE}} = V_{\text{IL}}$ または $\overline{\text{OE}} = V_{\text{IL}}$	0		60	ns
データ・ホールド時間 (対アドレス)	t_{HA0D}	t_{OH}	$\overline{\text{CE}} = \overline{\text{OE}} = V_{\text{IL}}$	0			ns

注1. P20/NMI端子に加える電圧です。

2. 対応するμPD27C256Aの略号です。

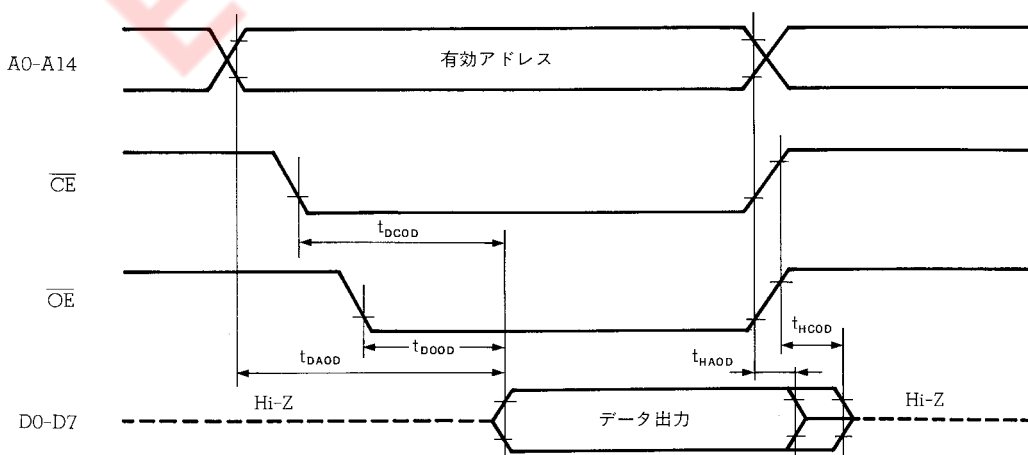
3. t_{HC0D} は、 $\overline{\text{OE}}$, $\overline{\text{CE}}$ のどちらかが最初に V_{IH} となったときからの時間です。

PROM 書き込みモード・タイミング



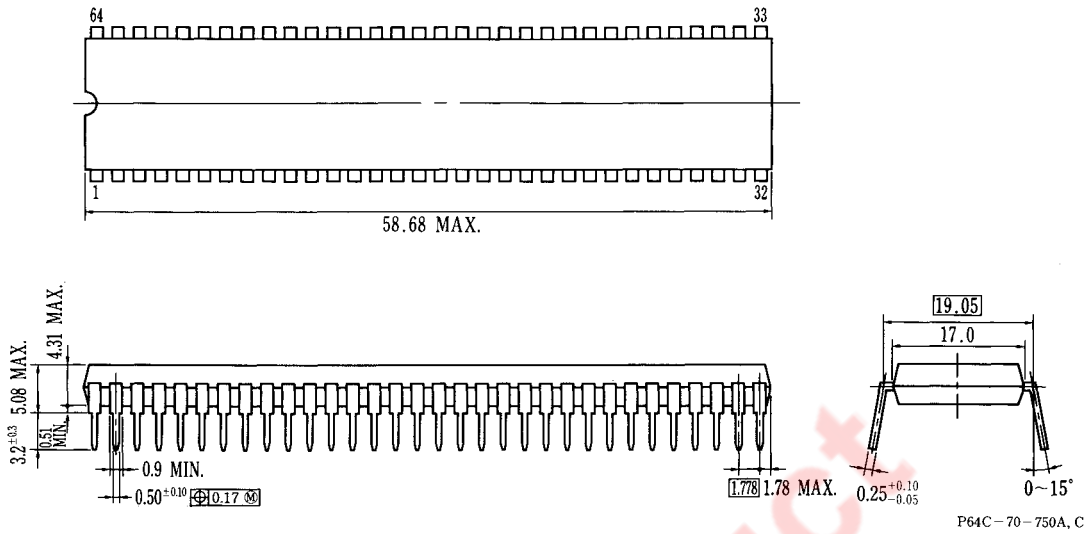
- 注意 1. V_{DDP} は V_{PP} より前に印加し, V_{PP} の後から切断するようにしてください。
- 2. V_{PP} はオーバ・シュートを含めて +13V 以上にならないようにしてください。

PROM 読み出しモード・タイミング

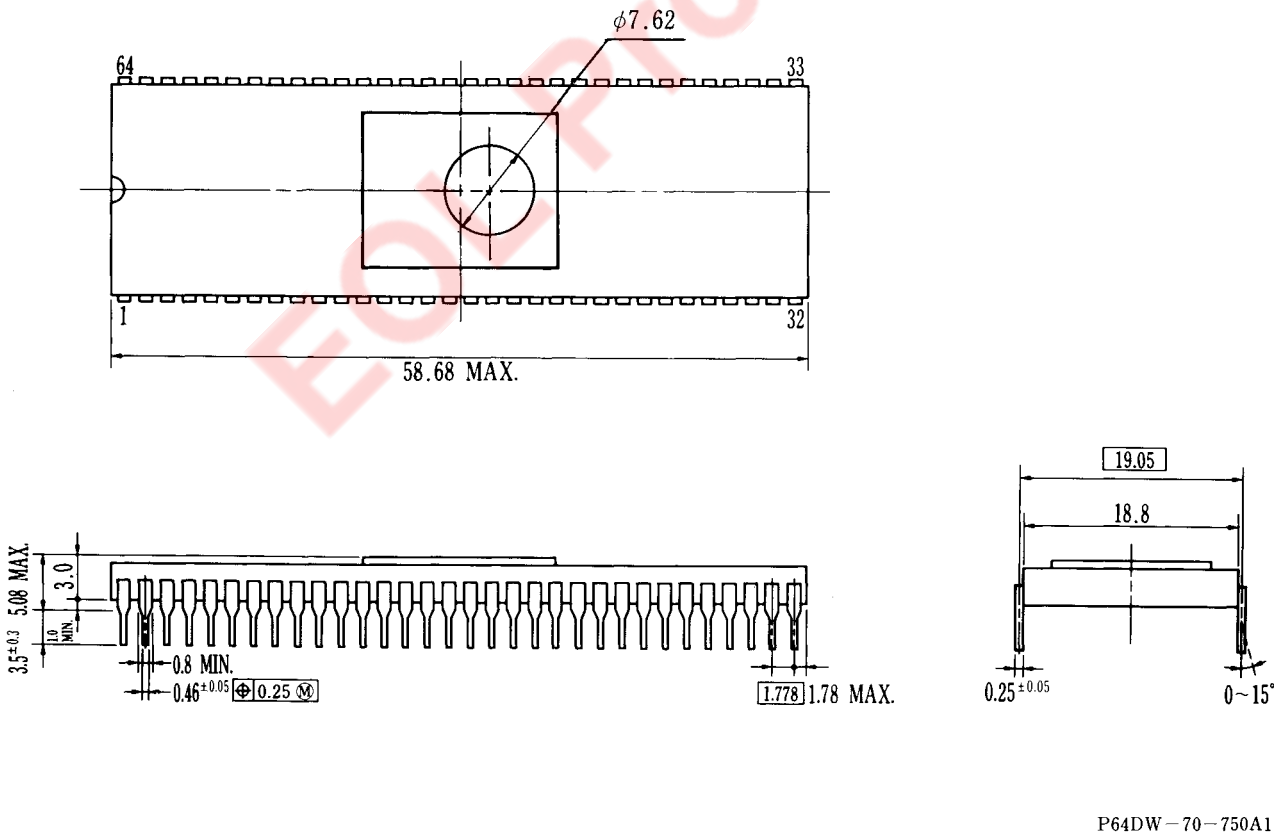


8. 外形図

64ピン・プラスチック・シュリンク DIP (750 mil) 外形図 (単位: mm)



64ピン・セラミック・シュリンク DIP (サーディップ) (窓付き) (750 mil) 外形図 (単位: mm)



9. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表 9-1 表面実装タイプの半田付け条件

μPD78P218AGC-AB8 : 64ピン・プラスチックQFP (□14 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：230℃，時間：30秒以内(210℃以上)，回数：1回，制限日数：2日間 ^注 (以降は125℃プリベーク 16時間必要)	IR30-162-1
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内(200℃以上)，回数：1回，制限日数：2日間 ^注 (以降は125℃プリベーク 16時間必要)	VP15-162-1
★ 赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内(210℃以上)，回数：1回，制限日数：2日間 ^注 (以降は125℃プリベーク 20時間必要)	IR35-202-1
★ VPS	パッケージ・ピーク温度：215℃，時間：40秒以内(200℃以上)，回数：1回，制限日数：2日間 ^注 (以降は125℃プリベーク 20時間必要)	VP15-202-1
端子部分加熱	端子部温度：300℃以下，時間：3秒以内 (デバイスの一辺当たり)	—

注 ドライバック開封後の保管日数で、保管条件は25℃，65%RH以下。

注意 半田付け方式の併用は避けください (ただし、端子部分加熱方式は除く)。

表 9-2 挿入タイプの半田付け条件

μPD78P218ACW : 64ピン・プラスチック・シュリンクDIP (750 mil)

μPD78P218ADW : 64ピン・セラミック・シュリンクDIP (サーディップ)(窓付き)(750 mil)

半田付け方式	半田付け条件
ウェーブ・ソルダーリング (リード部のみ)	半田槽温度：260℃以下，時間：10秒以内
端子部分加熱	端子部温度：260℃以下，時間：10秒以内

注意 ウェーブ・ソルダーリングはリード部のみとし、噴流半田が直接本体に接触しないようにしてください。

お知らせ

本製品には、半田付け推奨条件改善品があります。

(改善内容：赤外線リフロ・ピーク温度拡張 (235℃)，回数2回，制限日数緩和など)

詳細につきましては、当社販売員までお問い合わせください。

付録A. 開発ツール

μPD78P218A を使用するシステム開発のために、次のような開発ツールを用意しています。

言語処理用ソフトウェア

RA78K/Ⅱ ^{注1,2,3}	78K/Ⅱ シリーズ共通のアセンブラ・パッケージ
CC78K/Ⅱ ^{注1,2,3}	78K/Ⅱ シリーズ共通のCコンパイラ・パッケージ
CC78K/Ⅱ-L ^{注1,2,3}	78K/Ⅱ シリーズ共通のCコンパイラ・ライブラリ・ソース・ファイル

PROM書き込み用ツール

PG-1500	PROM プログラム
PA-78P214CW PA-78P214GC	PG-1500 に接続するプログラム・アダプタ
PG-1500 コントローラ ^{注1,2}	PG-1500 用コントロール・プログラム

デバッグ用ツール

IE-78240-R-A IE-78240-R ^{注4}	μPD78218A サブシリーズ共通のインサーキット・エミュレータ
IE-78200-R-BK	78K/Ⅱ シリーズ共通のブレーク・ボード
IE-78240-R-EM IE-78200-R-EM ^{注4}	μPD78218A サブシリーズ評価用エミュレーション・ボード
EP-78210CW ^{注4} EP-78240CW-R EP-78210GC ^{注4} EP-78240GC-R	μPD78218A サブシリーズ共通のエミュレーション・プローブ
EV-9200GC-64	64ピン・プラスチック QFP 用に作られたユーザ・システムの基板上に実装するソケット
SD78K/Ⅱ ^{注1,2}	IE-78240-R-A 用スクリーン・デバッグ
DF78210 ^{注1,2}	μPD78218A サブシリーズ用デバイス・ファイル

リアルタイムOS

RX78K/Ⅱ ^{注1,2,3}	78K/Ⅱ シリーズ共通のリアルタイム OS
---------------------------	------------------------

ファジィ推論開発支援システム

FE9000 ^{注1} , FE9200 ^{注2}	ファジィ知識データ作成ツール
FT9080 ^{注1} , FT9085 ^{注2}	トランスレータ
FI78K/Ⅱ ^{注1,2}	ファジィ推論モジュール
FD78K/Ⅱ ^{注1,2}	ファジィ推論デバッグ

- 注1. PC-9800シリーズ (MS-DOS™) ベース
2. IBM PC/AT™ (PC DOS™) ベース
 3. HP9000シリーズ300™(HP-UX™)ベース, SPARCstation™(Sun OS™)ベース, EWS-4800シリーズ™(EWS-UX/V™)ベース
 4. 新規の製造は行っておりませんのでご購入はできません。

備考 3rdパーティ製の開発ツールについては、**78K/ I** シリーズ 開発ツール セレクション・ガイド(EF-231)を参照してください。

EOL Product

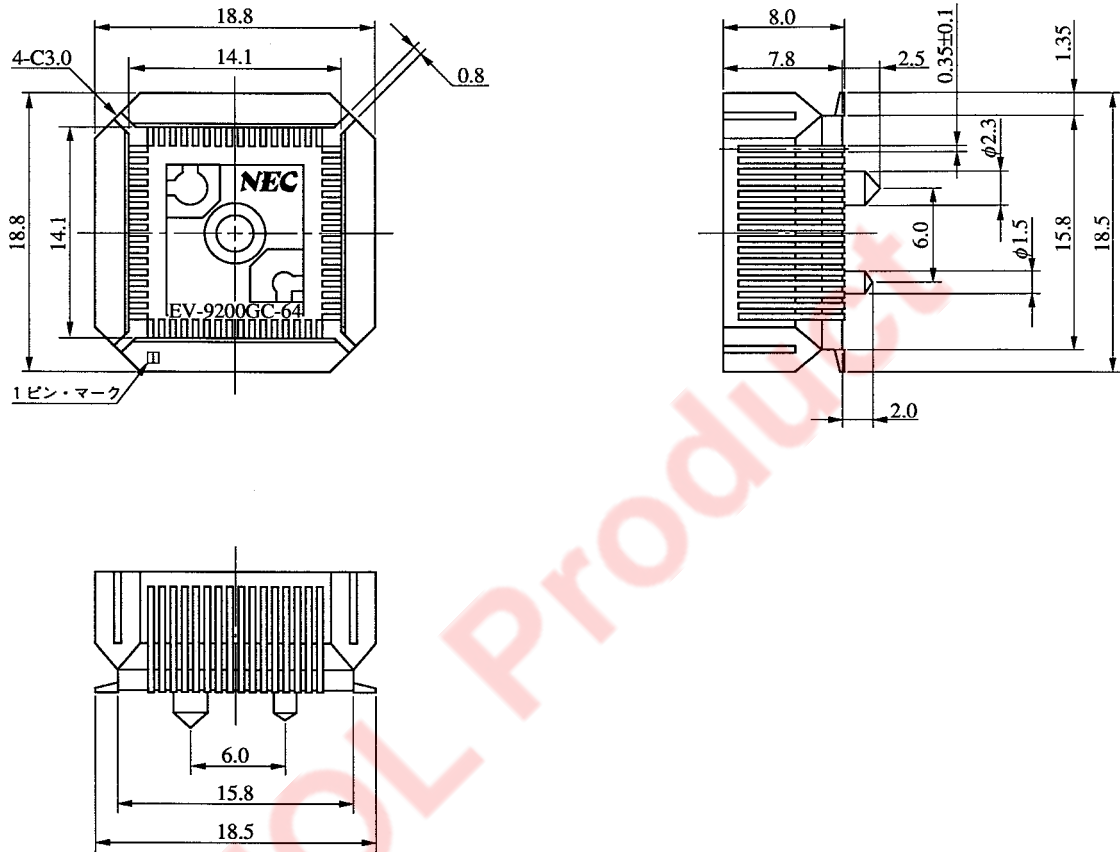
付録B. 変換ソケットの外形図と基板取り付け推奨パターン

★

μPD78P218AGC-AB8 (64ピン・プラスチックQFP(□14 mm))は、変換ソケット (EV-9200GC-64)と組み合わせて基板に実装します。

変換ソケットの外形図と基板取り付け推奨パターンを次に示します。

図B-1 EV-9200GC-64 外形図(参考) (単位: mm)



EV-9200GC-64-G0

付録C. 関連資料



デバイスの関連資料

資料名		資料番号
μPD78218A サブシリーズ ユーザーズ・マニュアル ハードウェア編		IEU-755
78K/II シリーズ ユーザーズ・マニュアル 命令編		IEU-754
78K/II シリーズ アプリケーション・ノート	基礎編	IEA-607
	応用編	IEA-700
	浮動小数点演算プログラム編	IEA-686
78K/II シリーズ セレクション・ガイド		IF-304
78K/II シリーズ インストラクション活用表		IEM-5101
78K/II シリーズ インストラクション・セット		IEM-5102
μPD78218A シリーズ 特殊機能レジスタ活用表		IEM-5532

開発ツールの関連資料 (ユーザーズ・マニュアル)

資料名		資料番号
RA78K シリーズ アセンブラ・パッケージ	操作編	EEU-809
	言語編	EEU-815
RA78K シリーズ 構造化アセンブラ・プリプロセッサ		EEU-817
CC78K シリーズ Cコンパイラ	操作編	EEU-656
	言語編	EEU-655
CC78K シリーズ ライブラリ・ソース・ファイル		EEU-777
PG-1500 PROM プログラム		EEU-651
PG-1500 コントローラ		EEU-704
IE-78240-R-A インサーキット・エミュレータ		EEU-796
IE-78240-R インサーキット・エミュレータ	ハードウェア編	EEU-705
	ソフトウェア編	EEU-706
SD78K/II スクリーン・ディバッガ	入門編	EEU-841
	レファレンス編	EEU-813
78K/II シリーズ 開発ツール セレクション・ガイド		EF-231

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

組み込み用ソフトウェアの関連資料（ユーザズ・マニュアル）

資 料 名		資 料 番 号
RX78K/II リアルタイムOS	基礎編	EEU-910
	インストール編	EEU-884
	ディバग्ガ編	EEU-895
	テクニカル編	EEU-885
ファジィ知識データ作成ツール		EEU-829
78K/0, 78K/II, 87ADシリーズ ファジィ推論開発支援システム	トランスレータ	EEU-862
78K/IIシリーズ ファジィ推論開発支援システム	ファジィ推論モジュール	EEU-860
78K/IIシリーズ ファジィ推論ディバग्ガ		EEU-917

その他の関連資料

資 料 名	資 料 番 号
QTOPマイコン パンフレット	IB-5040
パッケージマニュアル	IEI-635
半導体デバイス 実装マニュアル	IEI-616
NEC半導体デバイスの品質水準	IEI-620
NEC半導体デバイスの信頼性品質管理	IEM-5068
静電気放電（ESD）試験について	MEM-539
半導体デバイスの品質保証ガイド	MEI-603
マイクロコンピュータ関連製品ガイド 社外メーカ編	MEI-604

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介してVDDまたはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品：μPD78P218ADW

ユーザ判定品：μPD78P218ACW, μPD78P218AGC-AB8

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- この製品を使用したことにより、第三者の工業所有権等にかかわる問題が発生した場合、当社製品の構造製法に直接かかわるもの以外につきましては、当社はその責を負いませんのでご了承ください。
- 当社は、航空宇宙機器、海底中継器、原子力制御システム、生命維持のための医療用機器などに推奨できる製品を標準的には用意しておりません。当社製品をこれらの用途にご使用をお考えのお客様、および、『標準』品質水準品を当社が意図した用途以外にご使用をお考えのお客様は、事前に販売窓口までご連絡頂きますようお願い致します。

当社推奨の用途例

標準：コンピュータ、OA機器、通信機器、計測機器、工作機械、産業用ロボット、AV機器、家電等
 特別：輸送機器（列車、自動車等）、交通信号機器、防災／防犯装置等

- この製品は耐放射線設計をしておりません。

M4 92.6

QTOPは日本電気株式会社の商標です。

EWS-4800シリーズ、EWS-UX/Vは、日本電気株式会社の商標です。

MS-DOSは、米国マイクロソフト社の商標です。

PC/AT、PC DOSは、米国IBM社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Sun OSは、米国サン・マイクロシステムズ社の商標です。

HP9000シリーズ300、HP-UXは、米国ヒューレット・パカード社の商標です。

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

コンシューマ半導体販売事業部 OA半導体販売事業部 インダストリー半導体販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体販売部	〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル)	名古屋 (052)242-2755
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 札幌 (011)231-0161 東北支社 仙台 (022)261-5511 岩手支店 盛岡 (0196)51-4344 山形支店 山形 (0236)23-5511 郡山支店 郡山 (0249)23-5511 いわき支店 いわき (0246)21-5511 長岡支店 長岡 (0258)36-2155 水戸支店 水戸 (0292)26-1717 神奈川支社 横浜 (045)324-5511 群馬支店 高崎 (0273)26-1255 太田支店 太田 (0276)46-4011 宇都宮支店 宇都宮 (0286)21-2281	小山支店 小山 (0285)24-5011 長野支社 長野 (0262)35-1444 松本支店 松本 (0263)35-1666 上諏訪支店 上諏訪 (0266)53-5350 甲府支店 甲府 (0552)24-4141 埼玉支店 埼玉 (048)641-1411 立川支店 立川 (0425)26-5981 千葉支店 千葉 (043)238-8116 静岡支店 静岡 (054)255-2211 沼津支店 沼津 (0559)63-4455 浜松支店 浜松 (053)452-2711 北陸支店 金沢 (0762)23-1621	福井支店 福井 (0776)22-1866 富山支店 富山 (0764)31-8461 京都支社 京都 (075)344-7824 神戸支社 神戸 (078)332-3311 中国支店 広島 (082)242-5504 鳥取支店 鳥取 (0857)27-5311 岡山支店 岡山 (086)225-4455 四国支店 高松 (0878)36-1200 新居浜支店 新居浜 (0897)32-5001 松山支店 松山 (0899)45-4111 九州支社 福岡 (092)271-7700 北九州支店 北九州 (093)541-2887

【本資料に関する技術お問い合わせ先】

半導体応用技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7924	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体応用技術本部 中部応用システム技術部	〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル)	名古屋 (052)242-2762	
半導体応用技術本部 西日本応用システム技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	