

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交信用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

8ビット・シングルチップ・マイクロコンピュータ

μPD78P214は、μPD78214の内蔵マスクROMをワン・タイムPROMまたはEPROMに置き換えた8ビット・シングルチップ・マイクロコンピュータです。ユーザによるプログラム書き込みが可能のため、システム開発時の評価用および少量生産に適しています。

なお、本資料の活用にあたっては、μPD78214の資料もあわせてご覧ください。

また、内蔵機能の詳細については、別冊の**78K/IIシリーズ ユーザーズ・マニュアル 命令編**および**μPD78214シリーズ ユーザーズ・マニュアル ハードウェア編**を必ずご覧ください。

本資料では、ワン・タイムPROM製品とEPROM製品の共通する部分を**PROM**という表記で代表しています。

特 徴

- μPD78214コンパチブル
- EPROM内蔵
 - ・ μPD78P214DW : 再プログラム可能(システム評価に最適)
 - ・ μPD78P214CW/GC/GJ/GQ/L : 一度だけプログラム可能(少量生産に最適)
- QTOP™マイコン対応

備考 QTOPマイコンとは、NECが提供する「プログラム書き込みから捺印、スクリーニング、ベリファイまでトータル・サポートされた、ワン・タイムPROM内蔵シングルチップ・マイコン」の総称です。

オーダ情報

オーダ名称	パッケージ	内蔵ROM
μPD78P214CW	64ピン・プラスチック・シュリンクDIP(750 mil)	ワン・タイムPROM
μPD78P214GC-AB8	64ピン・プラスチックQFP(□14 mm)	//
μPD78P214GJ-5BJ	74ピン・プラスチックQFP(□20 mm)	//
μPD78P214GQ-36	64ピン・プラスチックQUIP	//
μPD78P214L	64ピン・プラスチックQFI(□950 mil)	//
μPD78P214DW	64ピン・セラミック・シュリンクDIP(サーディップ)(窓付き)(750 mil)	EPROM

品質水準

標準(一般電子機器用)

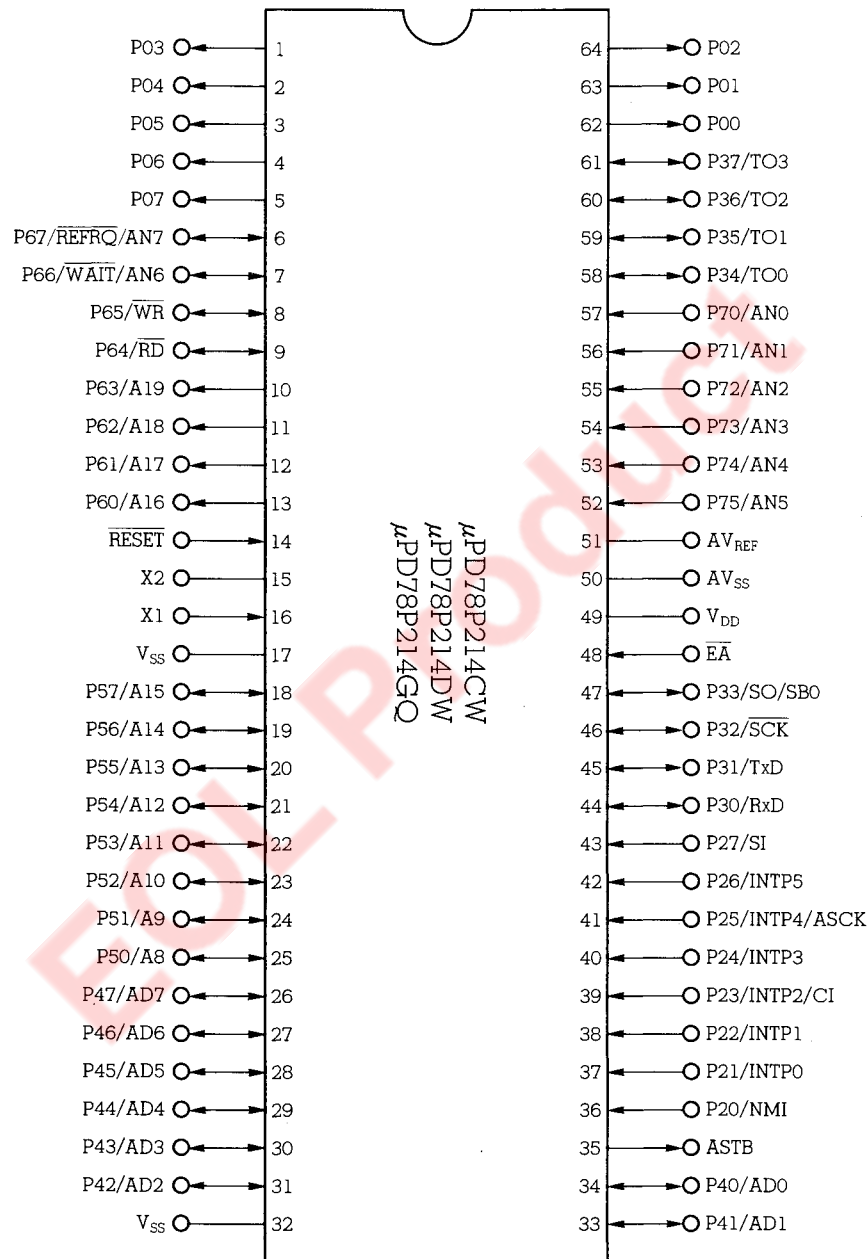
品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(IEI-620)をご覧ください。

本資料の内容は、後日変更する場合があります。

端子接続図 (Top View)

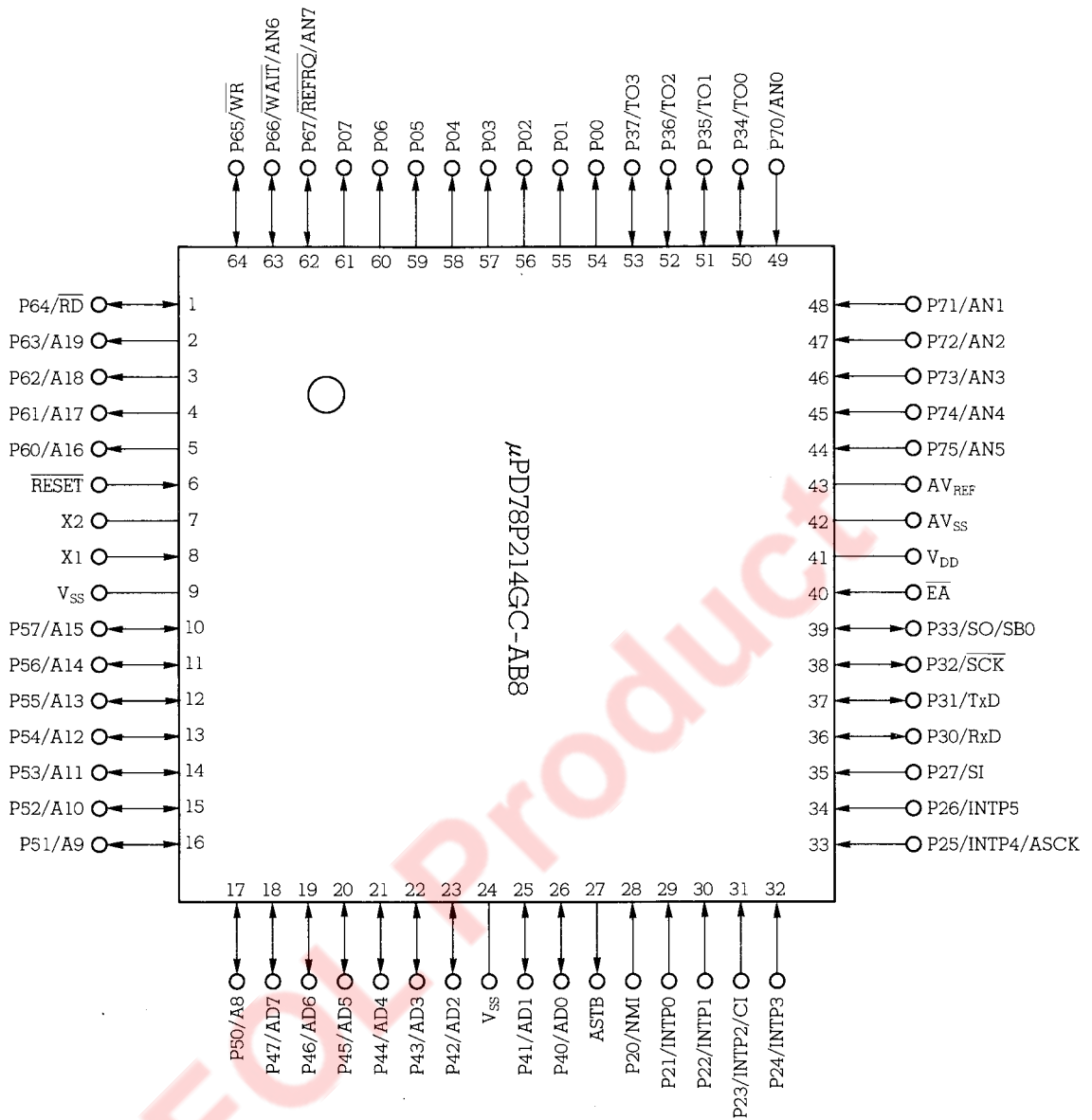
(1) 通常動作モード

- (a) 64ピン・プラスチック・シュリンクDIP, 64ピン・プラスチックQUIP,
64ピン・セラミック・シュリンクDIP(サーディップ)(窓付き)

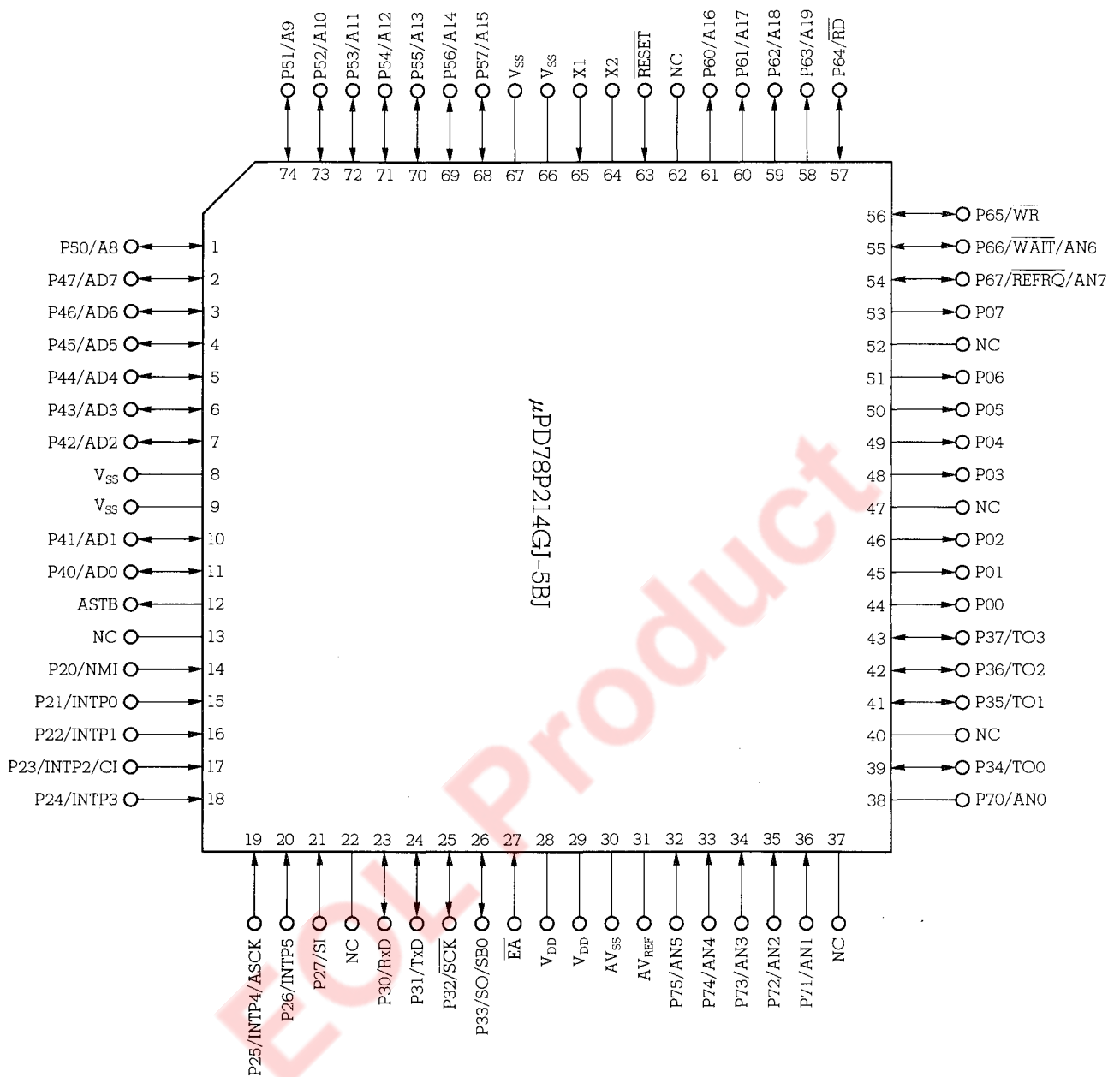


備考 μPD78210CW/GQ とピン・コンパチブルです。

(b) 64ピン・プラスチック QFP



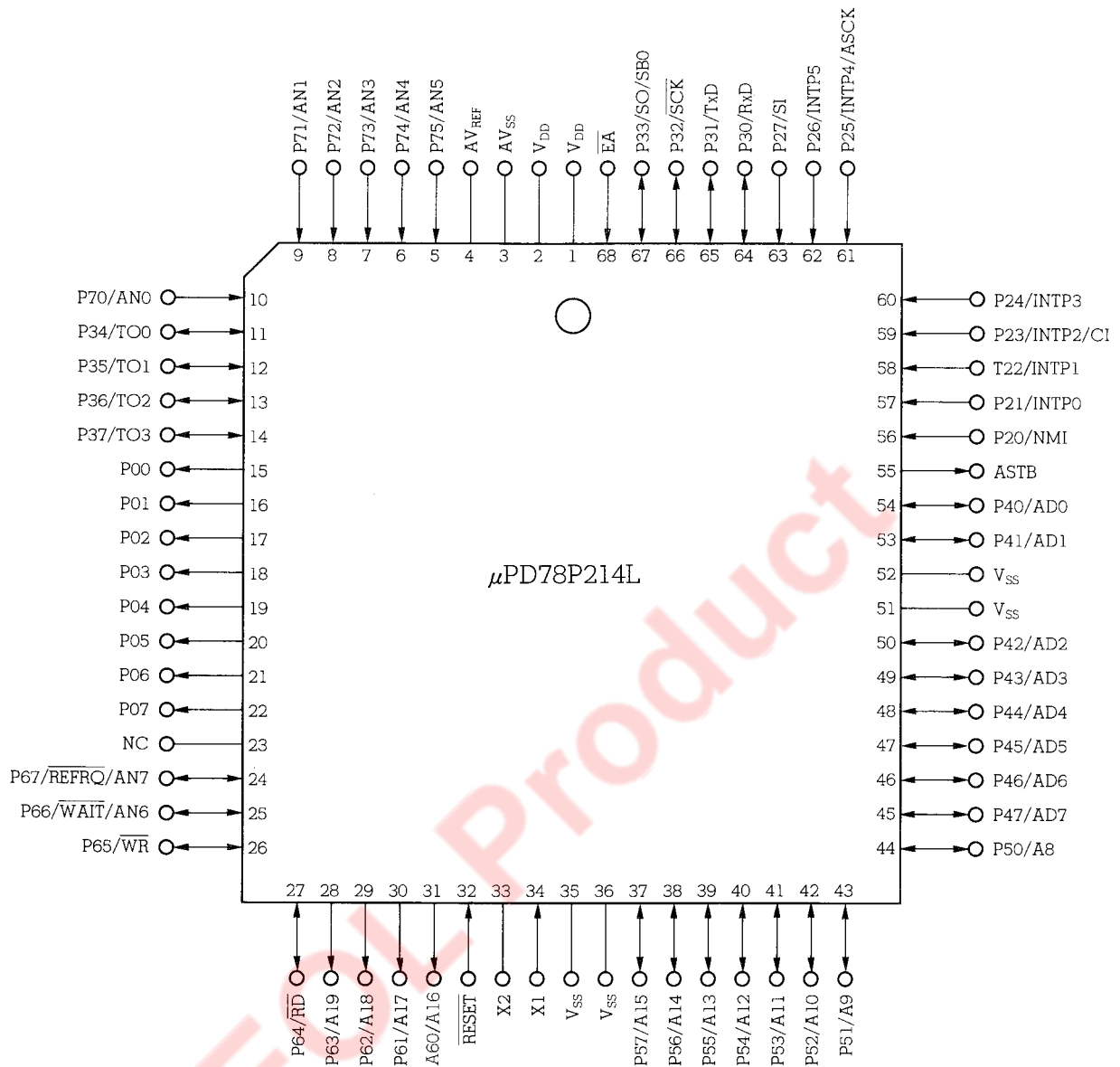
(c) 74ピン・プラスチック QFP



備考1. μPD78210GJ とピン・コンパチブルです。

2. NC : 内部接続していません。

(d) 68ピン・プラスチックQFJ

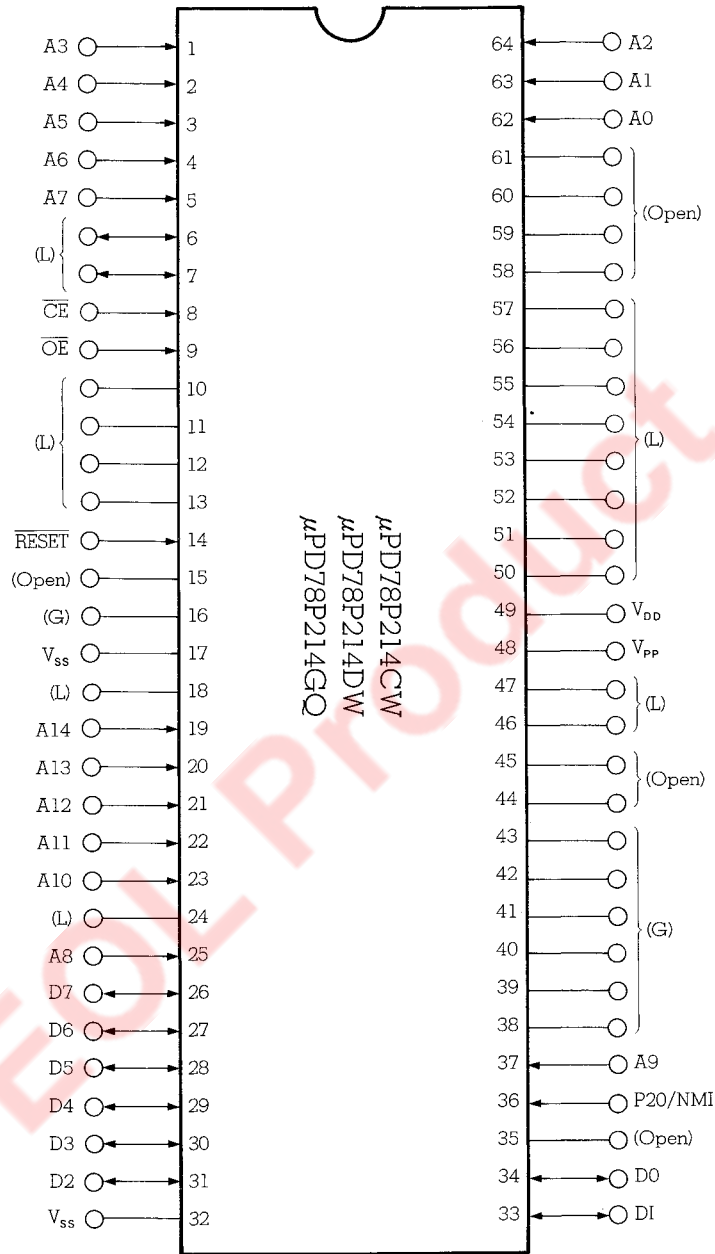


備考1. μPD78210Lとピン・コンパチブルです。

2. NC : 内部接続していません。

(2) PROMプログラミング・モード(P20/NMI=12.5 V, RESET=L)

- (a) 64ピン・プラスチック・シュリンクDIP, 64ピン・プラスチックQUIP,
64ピン・セラミック・シュリンクDIP(サーディップ)(窓付き)



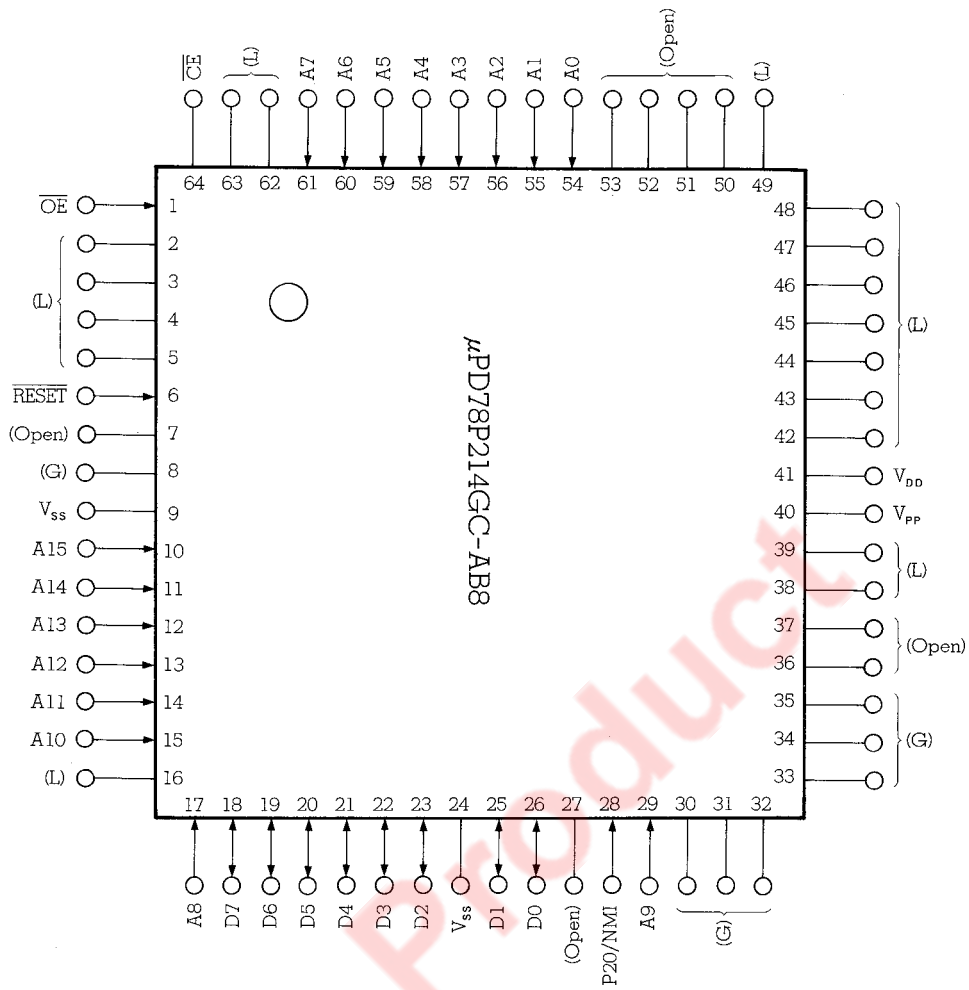
注意 () 内は、PROMプログラミング・モードでは使用しない端子の処理です。

L : 個別に抵抗を介し、 V_{SS} に接続してください。

G : V_{SS} に接続してください。

Open : 何も接続しないでください。

(b) 64ピン・プラスチックQFP



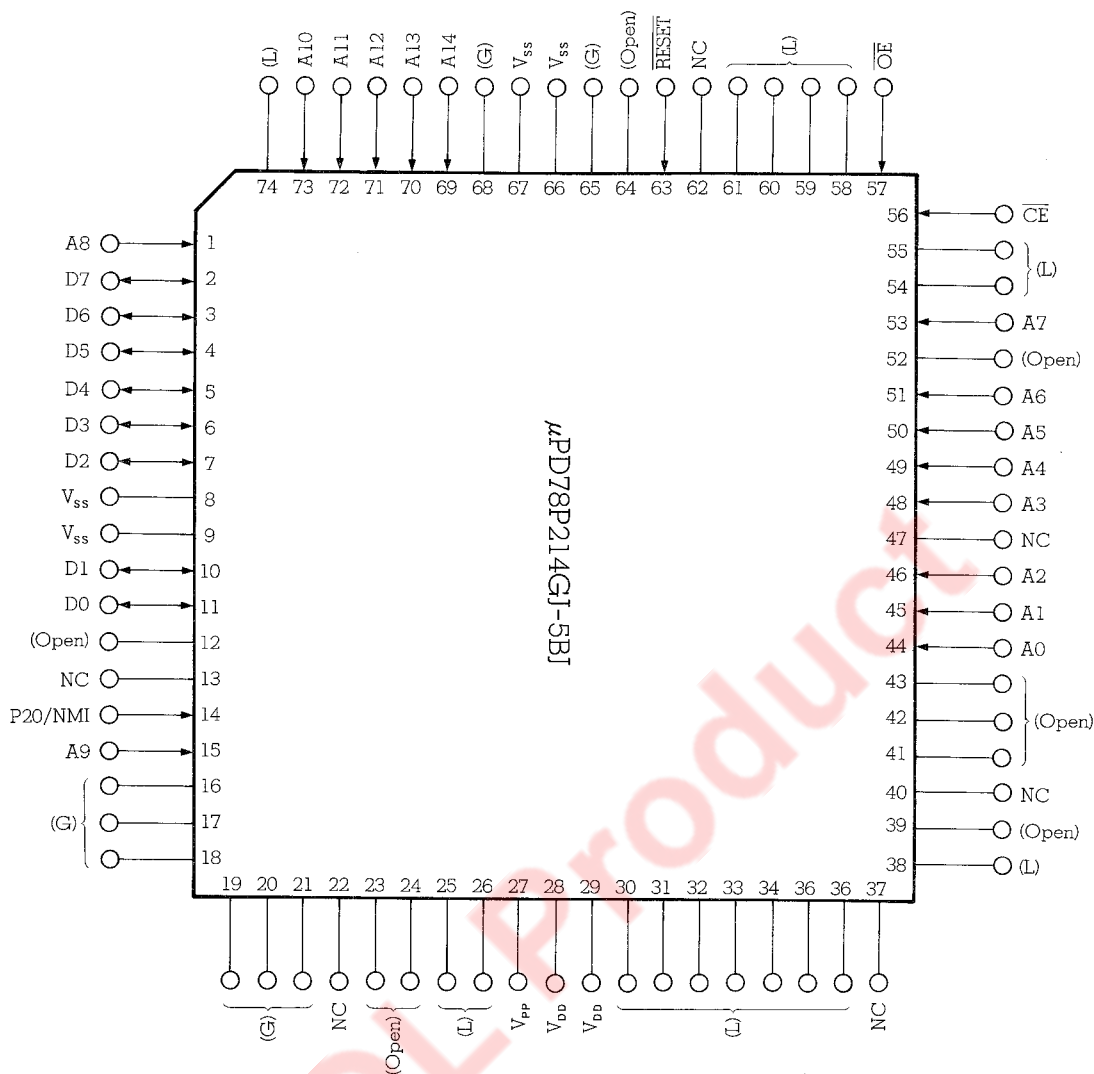
注意 () 内は、PROM プログラミング・モードでは使用しない端子の処理です。

L : 個別に抵抗を介し、 V_{SS} に接続してください。

G : V_{SS} に接続してください。

Open : 何も接続しないでください。

(c) 74ピン・プラスチック QFP



注意 () 内は、PROM プログラミング・モードで使用しない端子です。

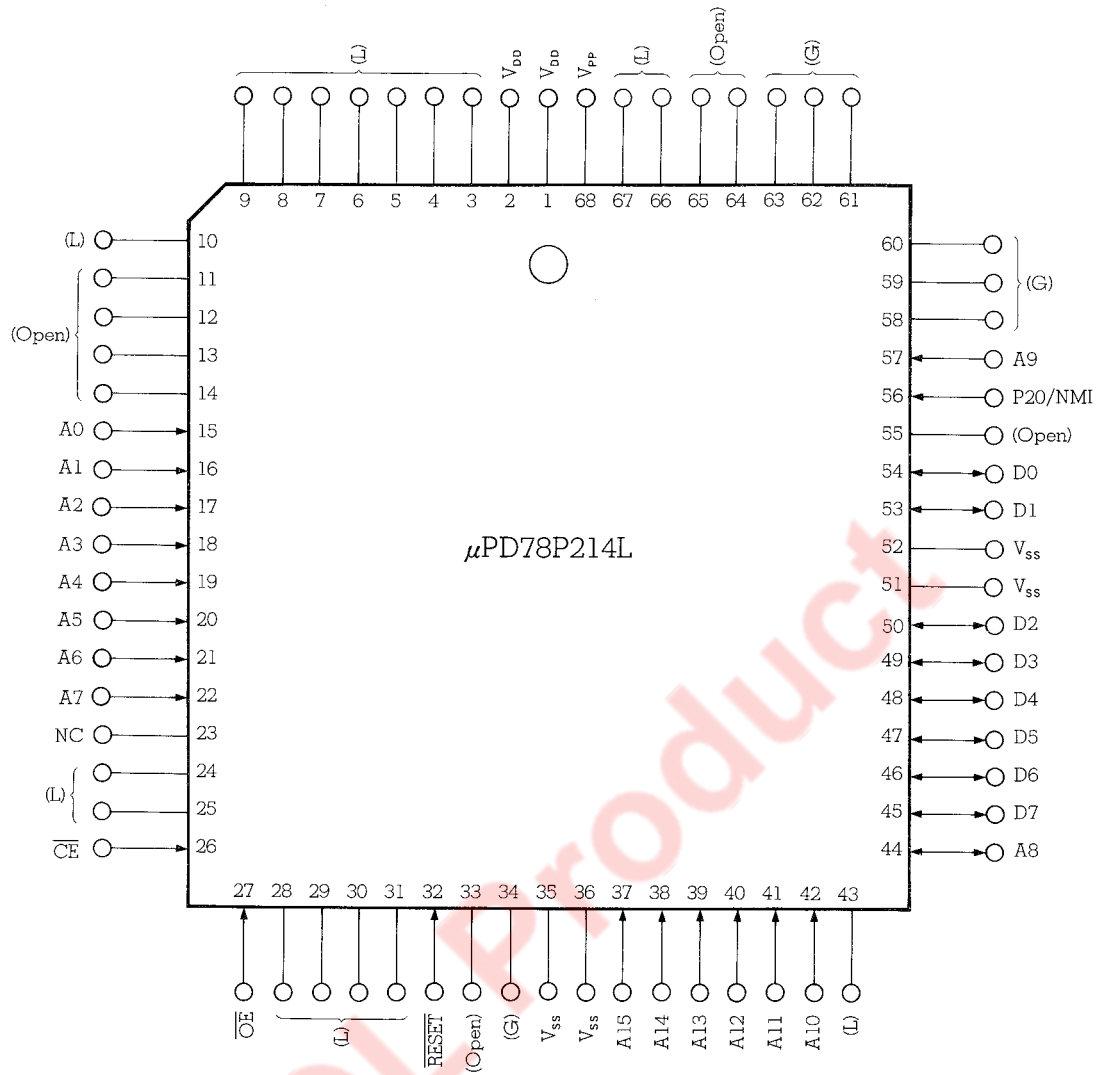
L : 個別に抵抗を介し、V_{ss}に接続してください。

G : V_{ss}に接続してください。

Open : 何も接続しないでください。

備考 NC : 内部接続していません。

(d) 68ピン・プラスチックQFJ



注意 () 内は、PROM プログラミング・モードでは使用しない端子の処理です。

L : 個別に抵抗を介し、 V_{SS} に接続してください。

G : V_{SS} に接続してください。

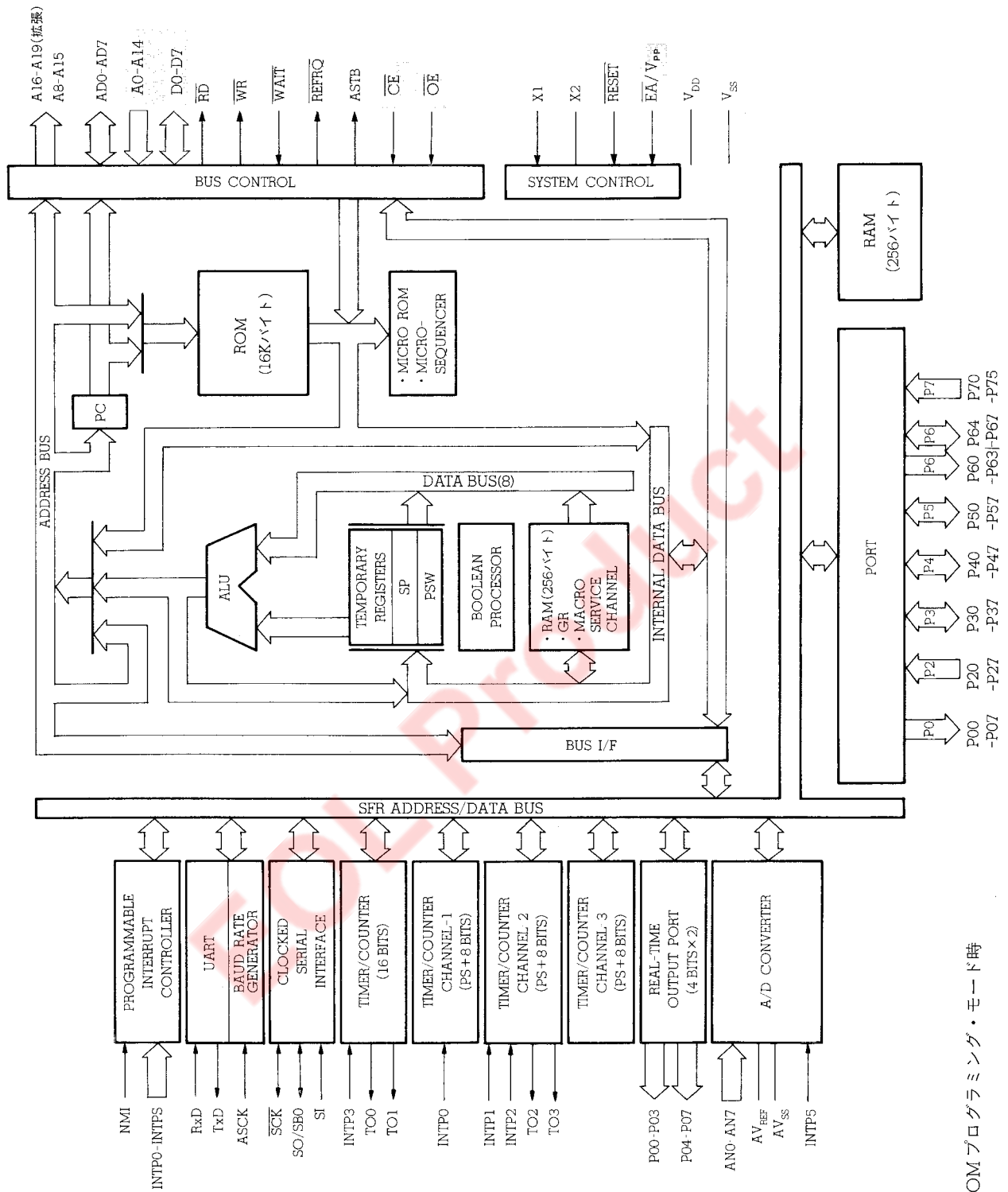
Open : 何も接続しないでください。

備考 NC : 内部接続していません。

P00-P07	: Port 0	\overline{RD}	: Read Strobe
P20-P27	: Port 2	\overline{WR}	: Write Strobe
P30-P37	: Port 3	\overline{WAIT}	: Wait
P40-P47	: Port 4	ASTB	: Address Strobe
P50-P57	: Port 5	\overline{REFRQ}	: Refresh Request
P60-P67	: Port 6	\overline{RESET}	: Reset
P70-P75	: Port 7	X1, X2	: Crystal
TO0-TO3	: Timer Output	\overline{EA}	: External Access
CI	: Clock Input	ANO-AN7	: Analog Input
RxD	: Receive Data	AV_{REF}	: Reference Voltage
TxD	: Transmit Data	AV_{SS}	: Analog Ground
\overline{SCK}	: Serial Clock	V_{DD}	: Power Supply
ASCK	: Asynchronous Serial Clock	V_{SS}	: Ground
SBO	: Serial Bus	NC	: Non-connection
SI	: Serial Input	\overline{CE}	: Chip Enable
SO	: Serial Output	\overline{OE}	: Output Enable
NMI	: Non-maskable Interrupt	V_{PP}	: Programming Power Supply
INTP0-INTP5	: Interrupt From Peripherals		
AD0-AD7	: Address/Data Bus		
A8-A19	: Address Bus		

EOL Product

内部ブロック図



注：PROMプログラミング・モード時

目 次

1. 端子機能 … 13
 - 1.1 通常動作モード … 13
 - 1.2 PROM プログラミング・モード … 15
 2. μ PD78P214 と μ PD78214 の違い … 16
 3. プログラミング …17
 - 3.1 動作モード … 17
 - 3.2 PROM 書き込みの手順 … 18
 - 3.3 PROM 読み出しの手順 … 20
 4. 消去特性 (μ PD78P214DW のみ) … 21
 5. 消去用窓のシールについて (μ PD78P214DW のみ) …21
 6. ワン・タイムPROM製品のスクリーニングについて … 21
 7. 電気的特性 … 22
 8. 外形図 … 42
 9. 半田付け推奨条件 … 47
- 付録 開発ツール … 49

1. 端子機能

1.1 通常動作モード

(1) ポート

端子名称	入出力	兼 用 端 子	機 能
P00-P07	出 力	-	ポート0 (P0) : リアルタイム出力ポート (4ビット×2) として使用可能 トランジスタのダイレクト・ドライブ可能
P20	入 力	NMI	ポート2 (P2) : P20は汎用ポートとしては使用可能(ノンマスクابل割り込み) ただし、割り込みルーチンにおいて、入力レベルの確認可 P22-P27は、ソフトウェアで6ビット一括で内蔵プルアップ抵抗の接 続の指定可能
P21		INTP0	
P22		INTP1	
P23		INTP2/CI	
P24		INTP3	
P25		INTP/ASCK	
P26		INTP5	
P27		SI	
P30	入出力	RxD	ポート3 (P3) : ビットごとに入出力指定可能 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ 抵抗の接続の指定可能
P31		TxD	
P32		\overline{SCK}	
P33		SO/SB0	
P34-P37		TO0-TO3	
P40-P47	入出力	AD0-AD7	ポート4 (P4) : 8ビット一括で入出力指定可能 8ビット一括でソフトウェアによる内蔵プルアップ抵抗の接続の指定 可能
P50-P57	入出力	A8-A15	ポート5 (P5) ビットごとに入出力指定可能 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ 抵抗の接続の指定可能 LEDダイレクト・ドライブ可能
P60-P63	出 力	A16-A19	ポート6 (P6) P64-P67はビットごとに入出力指定可能 P64-P67は、入力モードの端子について、ソフトウェアで一括して内 蔵プルアップ抵抗の接続の指定可能
P64	入出力	\overline{RD}	
P65		\overline{WR}	
P66		$\overline{WAIT}/AN6$	
P67		REFRQ/AN7	
P70-P75	入 力	AN0-AN5	ポート7 (P7)

(2) ポート以外

端子名称	入出力	機能	兼用端子
TO0-TO3	出力	タイマ出力	P34-P37
CI	入力	8ビット・タイマ/カウンタ2へのカウント・クロック入力	P23/INTP2
RxD	入力	シリアル・データ入力 (UART)	P30
TxD	出力	シリアル・データ出力 (UART)	P31
ASCK	入力	ボー・レート・クロック入力 (UART)	P25/INTP4
SBO	入出力	シリアル・データ入出力 (SBI)	P33/SO
SI	入力	シリアル・データ入力 (3線式シリアル I/O)	P27
SO	出力	シリアル・データ出力 (3線式シリアル I/O)	P33/SBO
\overline{SLK}	入出力	シリアル・クロック入出力 (SBI, 3線式シリアル I/O)	P32
NMI	入力	外部割り込み要求	P20
INTP0			P21
INTP1			P22
INTP2			P23/CI
INTP3			P24
INTP4			P25/ASCK
INTP5			P26
AD0-AD7	入出力	時分割アドレス/データ・バス (外部メモリ接続)	P40-P47
A8-A15	出力	上位アドレス・バス (外部メモリ接続)	P50-P57
A16-A19	出力	アドレス拡張時の上位アドレス (外部メモリ接続)	P60-P63
\overline{RD}	出力	外部メモリへのリード・ストロープ	P64
\overline{WR}	出力	外部メモリへのライト・ストロープ	P65
\overline{WAIT}	入力	ウェイト挿入	P66/AN6
ASTB	出力	時分割アドレス (A0-A7) のラッチ・タイミング出力 (外部メモリ・アクセス時)	-
\overline{REFRQ}	出力	外部疑似スタティック・メモリへのリフレッシュ・パルス出力	P67/AN7
\overline{RESET}	入力	チップ・リセット	-
X1	入力	システム・クロック発振用クリスタル接続 (X1にクロック入力も可能)	-
X2	-		-
\overline{EA}	入力	ROMレス動作指示 (内部ROMと同一空間の外部アクセス)	-
AN0-AN5	入力	A/Dコンバータ用アナログ電圧入力	P70-P75
AN6, AN7			P66/ \overline{WAIT} , P67/ \overline{REFRQ}
AV_{REF}	-	A/Dコンバータ用基準電圧印加	-
AV_{SS}		A/Dコンバータ用GND	
V_{DD}		正電源	
V_{SS}		GND	
NC		-	

1.2 PROMプログラミング・モード (P20/NMI=+12.5 V, RESET=L)

端子名称	入出力	機能
P20/NMI	入 力	PROMプログラミング・モード設定
RESET		
A0-A14		
D0-D7	入出力	データ・バス
\overline{CE}	入 力	PROMイネーブル入力
\overline{OE}		PROMへのリード・ストロープ
V _{PP}	-	書き込み電源
V _{DD}		正電源
V _{SS}		GND
NC		-

EOL Product

2. μPD78P214 と μPD78214 の違い

μPD78P214は、μPD78214の内蔵マスクROMを再書き込み可能なEPROMに置き換えた製品のため、書き込み／ベリファイなどのEPROM仕様以外の機能はμPD78214と同じです。これら2品種の相違点を表2-1に示します。

なお、CPUの機能や内蔵しているハードウェアについての詳細はμPD78214シリーズ ユーザーズ・マニュアル等を参照してください。

表 2-1 μPD78P214とμPD78214の違い

項 目	μPD78P214	μPD78214
内蔵プログラム・メモリ	EPROM	マスクROM
EPROMプログラミング端子	あり	なし
パ ッ ケ ー ジ	<ul style="list-style-type: none"> ・64ピン・プラスチック・シュリンクDIP ・64ピン・プラスチックQIP ・64ピン・プラスチックQFJ ・64ピン・プラスチックQFP ・74ピン・プラスチックQFP 	
	・64ピン・セラミック・シュリンクDIP(窓付き) ^注	—

注 再プログラム可能

3. プログラミング

μPD78P214が内蔵しているプログラム・メモリは、16384×8ビットの、電氣的書き込み可能なPROMです。PROMのプログラミングをするときは、NMI端子とRESET端子でPROMプログラミング・モードに設定します。

プログラミング特性はμPD27C256A^注とコンパチブルです。ただし、4000H番地から7FFFH番地は書き込みを行いません。4000H番地から7FFFH番地は、データ読み出し時、およびベリファイ時にはFFHが読み出されます。★

注 プログラム・パルスが100 μsのモードには対応していません。

注意 PROMのプログラム時は0000H-3FFFH番地のアドレス範囲をプログラムしてください。

また、アドレス指定が不可能なプログラマについては、4000H番地に必ずFFHを書き込んでください。FFH以外のデータが書き込まれた場合、μPD78P214の正常動作は保証できません。

4000H番地の使用は、将来の機能拡張のためにNECが予約しています。

3.1 動作モード

μPD78P214は、V_{DD}端子に+6 V、V_{PP}端子に+12.5 Vを印加すると、プログラム書き込み/ベリファイ・モードになります。このモードはCE、OE端子の設定により、表3-1のような動作モードになります。

また、μPD78P214は、読み出しモードに設定することにより、PROMの内容を読み出すことができます。

表3-1 PROMプログラミングの動作モード

モード	端子	NMI	RESET	CE	OE	V _{PP}	V _{DD}	D0-D7
プログラム書き込み	+12.5 V		L	L	H	+12.5 V	+6 V	データ入力
プログラム・ベリファイ				H	L			データ出力
プログラム・インヒビット				H	H			ハイ・インピーダンス
読み出し				L	L	+5 V	+5 V	データ出力
出力ディスエーブル				L	H			ハイ・インピーダンス
スタンバイ				H	L/H			ハイ・インピーダンス

注意 V_{PP}を+12.5 V、V_{DD}を+6 Vに設定したとき、CEとOEをともにLにすることは禁止しています。

3.2 PROM 書き込みの手順

PROM の書き込み手順は次のようになっており、高速書き込みが可能です。

- (1) RESET 端子をロウ・レベルに固定。NMI 端子に + 12.5 V を供給。その他、使用しない端子は端子接続図に示すように処理する。
- (2) V_{DD} 端子に + 6 V, V_{PP} 端子には + 12.5 V を供給。
- (3) 初期アドレスを供給。
- (4) 書き込みデータを供給。
- (5) CE 端子に 1 ms のプログラム・パルス(アクティブ・ロウ)を供給。
- (6) ベリファイ・モード。書き込めていれば (8) へ、書き込めていなければ (4) - (6) を繰り返す。25 回繰り返して書き込めなければ、(7) へ。
- (7) 不良デバイスとして書き込み動作を中止する。
- (8) 書き込みデータを供給し、((4) - (6) で繰り返した回数 : X) × 3 ms のプログラム・パルスを供給 (追加書き込み)。
- (9) アドレスをインクリメント。
- (10) (4) - (9) を最終アドレスまで繰り返す。

上述の (2) - (8) のタイミングを図 3-1 に示します。

図 3-1 PROM の書き込み/ベリファイ・タイミング

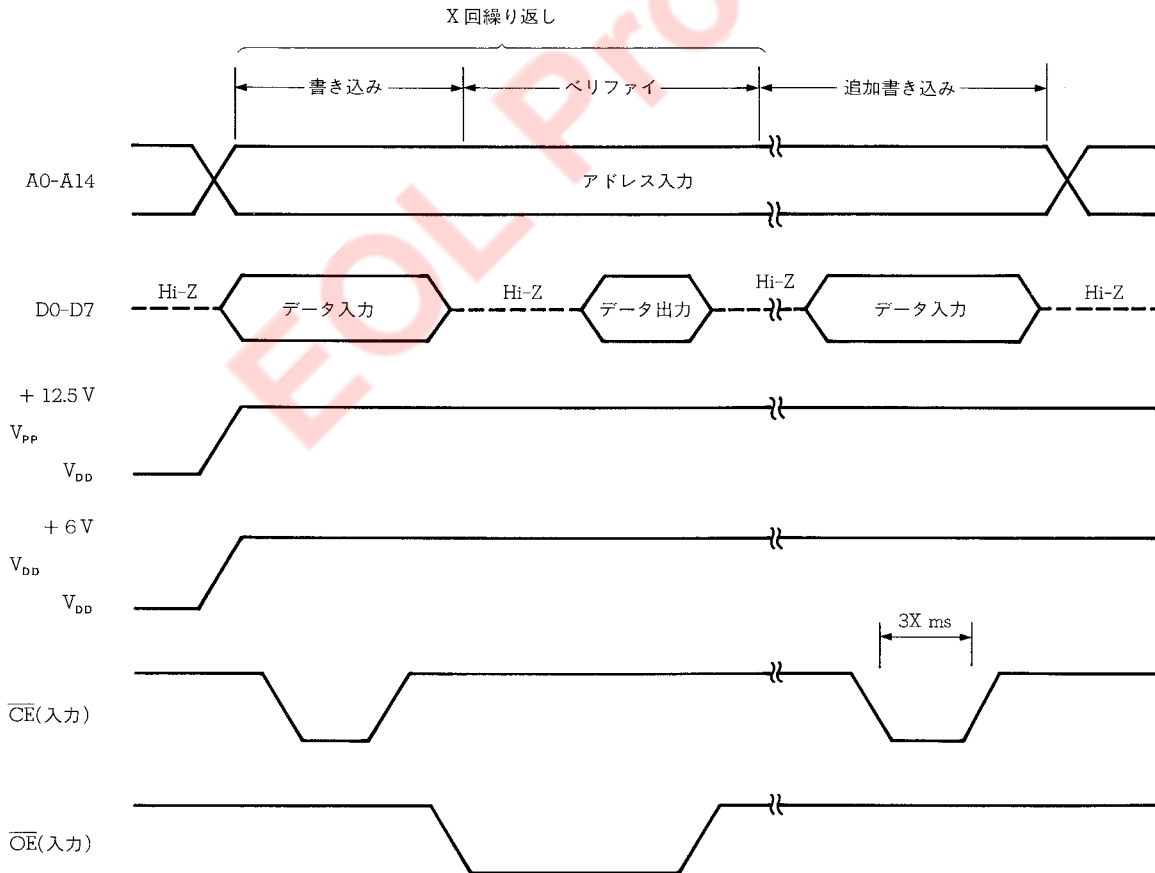
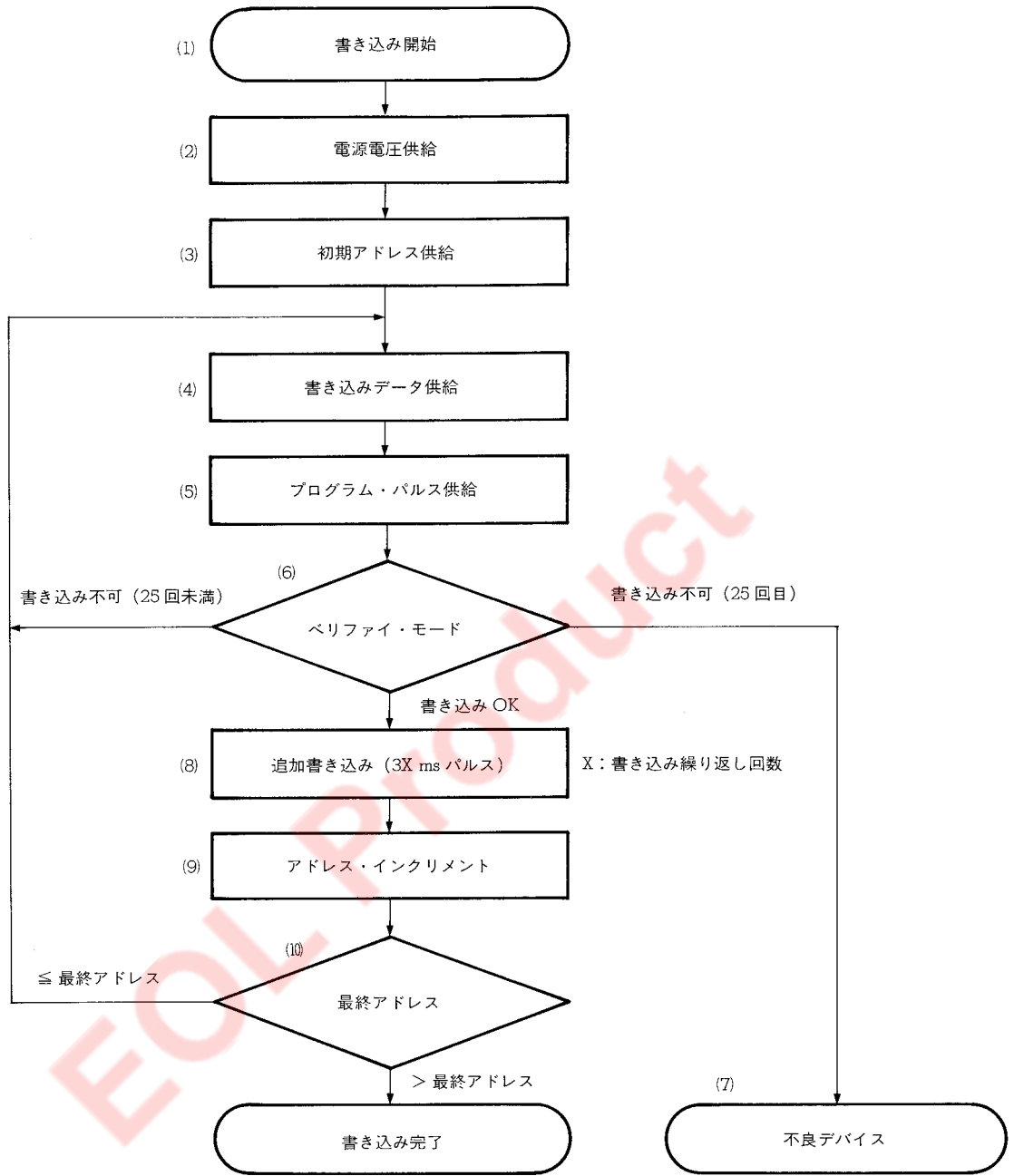


図 3-2 書き込み手順フロー・チャート



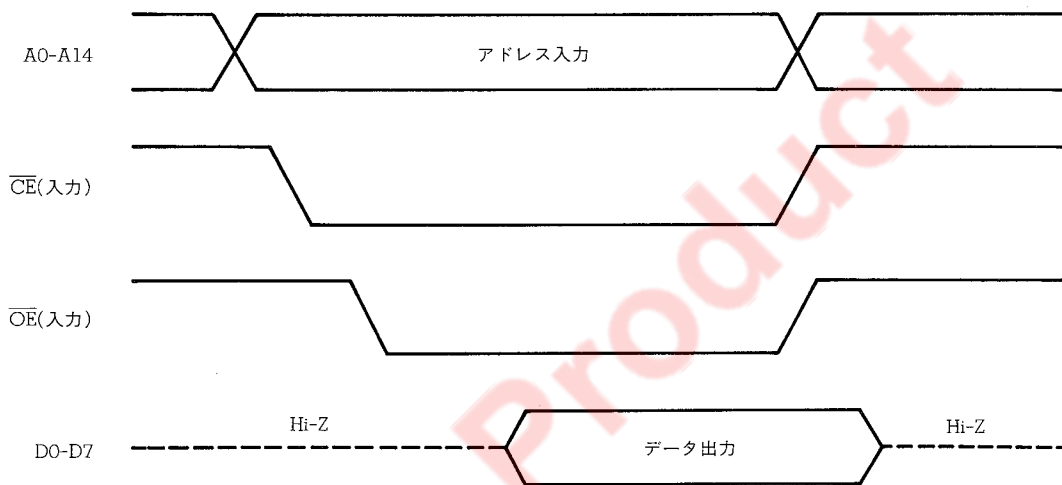
3.3 PROM 読み出しの手順

次に示す手順によって、PROM の内容を外部データ・バス (D0-D7) に読み出すことができます。

- (1) $\overline{\text{RESET}}$ 端子をロウ・レベルに固定。NMI 端子に +12.5 V を供給。その他、使用しない端子は端子接続図に示すように処理する。
- (2) V_{DD} , V_{PP} 端子に +5 V を供給。
- (3) 読み出そうとするデータのアドレスを A0-A14 端子に入力。
- (4) リード・モード
- (5) データを D0-D7 端子に出力。

上述の (2) - (5) のタイミングを図3-3に示します。

図3-3 PROM の読み出しタイミング



4. 消去特性 (μPD78P214DW のみ)

μPD78P214DW は、約 400 nm より短い波長の光を照射することにより、プログラムされたデータの内容を消去 (FFH) することができます。

μPD78P214DW のプログラム・メモリ内容を消去する場合は、通常、254 nm の波長を持つ紫外線を照射します。μPD78P214DW を完全に消去するために必要な全照射量は、最小 $15 \text{ W}\cdot\text{s}/\text{cm}^2$ (紫外線強度×消去時間) です。消去時間は、約 15 ~ 20 分です (12000 μW/cm² の紫外線ランプ使用の場合)。ただし、紫外線ランプの性能劣化、パッケージ窓部の汚れ等により消去時間が長くなる場合があります。消去の場合、μPD78P214DW は紫外線ランプから 2.5 cm 以内の位置に置いてください。また、紫外線ランプにフィルタが付いている場合は、このフィルタを取り外してから消去を行ってください。

5. 消去用窓のシールについて (μPD78P214DW のみ)

EPROM 内容の消去用ランプ以外の光による誤消去防止、および EPROM 以外の内部回路が光によって誤動作するのを防止するため、EPROM 内容消去時以外は保護用シールを消去用窓に張っておいてください。

6. ワン・タイム PROM 製品のスクリーニングについて

ワン・タイム PROM 製品 (μPD78P214CW, μPD78P214GC-AB8, μPD78P214GJ-5BJ, μPD78P214GQ-36, μPD78P214L) は、その構造上、当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと、下記の条件で高温保管後、PROM のベリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125 °C	24 時間

なお、NEC では、QTOP マイコンの名称でワン・タイム PROM の書き込みから捺印、スクリーニング、ベリファイを有料で行なうサービスを実施しております。詳細につきましては、販売員にご相談ください。

7. 電気的特性

絶対最大定格 ($T_a = +25^\circ\text{C}$)

項 目	略 号	条 件	定 格	単 位
電 源 電 圧	V_{DD}		$-0.5 \sim +7.0$	V
	AV_{REF}		$-0.5 \sim V_{DD} + 0.5$	V
	AV_{SS}		$-0.5 \sim +0.5$	V
入 力 電 圧	V_{I1}		$-0.5 \sim V_{DD} + 0.5$	V
	V_{I2}	注1	$-0.5 \sim AV_{REF} + 0.5$	V
	V_{I3}	注2	$-0.5 \sim +13.5$	V
出 力 電 圧	V_O		$-0.5 \sim V_{DD} + 0.5$	V
ロウ・レベル出力電流	I_{OL}	1 端子	15	mA
		全出力端子合計	100	mA
ハイ・レベル出力電流	I_{OH}	1 端子	-10	mA
		全出力端子合計	-50	mA
動 作 温 度	T_{opt}		$-40 \sim +85$	$^\circ\text{C}$
保 存 温 度	T_{stg}		$-65 \sim +150$	$^\circ\text{C}$

注1. P70/AN0-P75/AN5, P66/WAIT/AN6, P67/REFRQ/AN7 端子のうち, A/Dコンバータの入力端子として使用している端子と, A/Dコンバータが動作していないときにADMレジスタのANI0-ANI2ビットで選択されている端子。ただし, V_{I1} の絶対最大定格も満足する必要があります。

2. PROMプログラミング・モード時のP20/NMI, \overline{EA}/V_{pp} , P21/INTPO/A9端子。

動作条件

クロック周波数	動作温度 (T_{opt})	電源電圧 (V_{DD})
$4\text{ MHz} \leq f_{xx} \leq 12\text{ MHz}$	$-40 \sim +85^\circ\text{C}$	$+5.0\text{ V} \pm 10\%$

容量 ($T_a = +25^\circ\text{C}$, $V_{DD} = V_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入 力 容 量	C_i	$f=1\text{ MHz}$ 被測定端子以外は0V			20	pF
出 力 容 量	C_o				20	pF
入 出 力 容 量	C_{io}				20	pF

発振器特性 (Ta = -40 ~ +85°C, V_{DD} = +5V ± 10%, V_{SS} = 0V)

発振子	推奨回路	項目	MIN.	MAX.	単位
セラミック発振子 または水晶振動子		発振周波数 (f _{XX})	4	12	MHz
外部クロック		X1 入力周波数 (f _X)	4	12	MHz
		X1 入力立ち上がり, 立ち下がり時間 (t _{XR} , t _{XF})	0	30	ns
		X1 入力ハイ, ロウ・レベル幅 (t _{WXH} , t _{WXL})	30	130	ns

注意 クロック発振回路を使用する場合は、配線容量などの影響を避けるために、 の部分を実のように配線してください。

- 配線を極力短くする。
- ほかの信号線と交差させない。
- 変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグラウンド・パターンには接地しない。
- 発振回路から信号を取り出さない。

推奨発振回路定数

セラミック発振子

メーカー	周波数 [MHz]	品名	推奨定数	
			C1 [pF]	C2 [pF]
村田製作所	12	CSA12.0MT	30	30
		CST12.0MT	コンデンサ内蔵タイプ	
	4	CSA4.00MG040	100	100
		CST4.00MG040	コンデンサ内蔵タイプ	
京セラ	12	KBR12.0M	33	33

水晶振動子

メーカー	周波数 [MHz]	品名	推奨定数	
			C1 [pF]	C2 [pF]
キンセキ	12	HC-49/U	18	18

EOL Product

DC特性 (Ta = -40 ~ +85 °C, V_{DD} = +5 V ± 10 %, V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル入力電圧	V _{IL}		0		0.8	V
ハイ・レベル入力電圧	V _{IH1}	注1, 注2以外の端子	2.2		V _{DD}	V
	V _{IH2}	注1の端子	2.2		AV _{REF}	V
	V _{IH3}	注2の端子	0.8 V _{DD}		V _{DD}	V
ロウ・レベル出力電圧	V _{OL1}	I _{OL} = 2.0 mA			0.45	V
	V _{OL2}	I _{OL} = 8.0 mA ^{注3}			1.0	V
ハイ・レベル出力電圧	V _{OH1}	I _{OH} = -1.0 mA	V _{DD} - 1.0			V
	V _{OH2}	I _{OH} = -100 μA	V _{DD} - 0.5			V
	V _{OH3}	I _{OH} = -5.0 mA ^{注4}	2.0			V
X1ロウ・レベル入力電流	I _{IL}	0 V ≤ V _i ≤ V _{IL}			-100	μA
X1ハイ・レベル入力電流	I _{IH}	V _{IH3} ≤ V _i ≤ V _{DD}			100	μA
入力リーク電流	I _{LI}	0 V ≤ V _i ≤ V _{DD}			±10	μA
出力リーク電流	I _{LO}	0 V ≤ V _o ≤ V _{DD}			±10	μA
AV _{REF} 電流	AI _{REF}	動作モード f _{xx} = 12 MHz		1.5	5.0	mA
V _{DD} 電源電流	I _{DD1}	動作モード f _{xx} = 12 MHz		20	40	mA
	I _{DD2}	HALTモード f _{xx} = 12 MHz		7	20	mA
データ保持電圧	V _{DDDR}	STOPモード	2.5		5.5	V
データ保持電流	I _{DDDR}	STOPモード	V _{DDDR} = 2.5 V	2	20	μA
		モード	V _{DDDR} = 5 V ± 10 %	5	50	μA
プルアップ抵抗	R _L	V _i = 0 V	15	40	80	kΩ

注1. P70/AN0-P75/AN5, P66/WAIT/AN6, P67/REFRQ/AN7端子のうち, A/Dコンバータの入力端子として使用している端子と, A/Dコンバータが動作していないときにADMレジスタのANIO-ANI2ビットで選択されている端子

2. X1, X2, RESET, P20/NMI, P21/INTP0, P22/INTP1, P23/INTP2/CI, P24/INTP3, P25/INTP4/ASCK, P26/INTP5, P27/SI, P32/SCK, P33/SO/SB0, EA端子

3. P40/ADO-P47/AD7, P50/A8-P57/A15端子

4. P00-P07端子

AC 特性 (Ta = -40 ~ +85 °C, V_{DD} = +5V ± 10%, V_{SS} = 0V)

リード/ライト・オペレーション (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
X1 入力クロック・サイクル・タイム	t _{CYX}		82	250	ns
アドレス・セットアップ時間 (対 ASTB↓)	t _{SAST} *		52		ns
アドレス・ホールド時間 (対 ASTB↓) 注	t _{HSTA}		25		ns
アドレス・ホールド時間 (対 RD↑)	t _{HRA}		30		ns
アドレス・ホールド時間 (対 WR↑)	t _{HWA}		30		ns
アドレス→RD↓遅延時間	t _{DAR} *		129		ns
アドレス・フロート時間 (対 RD↓)	t _{FAR} *		11		ns
アドレス→データ入力時間	t _{DAID} *	ウエイト数=0		228	ns
ASTB↓→データ入力時間	t _{DSTID} *	ウエイト数=0		181	ns
RD↓→データ入力時間	t _{DRID} *	ウエイト数=0		100	ns
ASTB↓→RD↓遅延時間	t _{DSTR} *		52		ns
データ・ホールド時間 (対 RD↑)	t _{HRID}		0		ns
RD↑→アドレス・アクティブ時間	t _{DRA} *		124		ns
RD↑→ASTB↑遅延時間	t _{DRST} *		124		ns
RD ロウ・レベル幅	t _{WRL} *	ウエイト数=0	124		ns
ASTB ハイ・レベル幅	t _{WSTH} *		52		ns
アドレス→WR↓遅延時間	t _{DAW} *		129		ns
ASTB↓→データ出力時間	t _{DSTOD} *			142	ns
WR↓→データ出力時間	t _{DWOD}			60	ns
★ ASTB↓→WR↓遅延時間	t _{DSTW1} *	リフレッシュ禁止時	52		ns
	t _{DSTW2} *	リフレッシュ許可時	129		ns
データ・セットアップ時間 (対 WR↑)	t _{SODWR} *	ウエイト数=0	146		ns
データ・セットアップ時間 (対 WR↓)	t _{SODWF} *	リフレッシュ許可時	22		ns
データ・ホールド時間 (対 WR↑) 注	t _{HWOD}		20		ns
WR↑→ASTB↑遅延時間	t _{DWST} *		42		ns
★ WR ロウ・レベル幅	t _{WWL1} *	リフレッシュ禁止時 ウエイト数=0	196		ns
	t _{WWL2} *	リフレッシュ許可時 ウエイト数=0	114		ns
アドレス→WAIT↓入力時間	t _{DAWT} *			146	ns
ASTB↓→WAIT↓入力時間	t _{DSTWT} *			84	ns

注 ホールド時間には、C_L = 100 pF, R_L = 2 kΩの負荷条件でV_{OH}, V_{OL}を保持する時間を含みます。

備考1. 表中の数値はf_{xx} = 12 MHz, C_L = 100 pFのときの値です。

2. 略号欄に*印があるものについては、t_{CYX} 依存のバス・タイミング定義も参照してください。

リード/ライト・オペレーション (2/2)

項目	略号	条件	MIN.	MAX.	単位
ASTB↓→ $\overline{\text{WAIT}}$ 保持時間	t_{HSTWT} *	外部ウエイト数=1	174		ns
ASTB↓→ $\overline{\text{WAIT}}$ ↑遅延時間	t_{DSTWTH} *	外部ウエイト数=1		273	ns
$\overline{\text{RD}}$ ↓→ $\overline{\text{WAIT}}$ ↓入力時間	t_{DRWTL} *			22	ns
$\overline{\text{RD}}$ ↓→ $\overline{\text{WAIT}}$ 保持時間	t_{HRWT} *	外部ウエイト数=1	87		ns
$\overline{\text{RD}}$ ↓→ $\overline{\text{WAIT}}$ ↑遅延時間	t_{DRWTH} *	外部ウエイト数=1		186	ns
$\overline{\text{WAIT}}$ ↑→データ入力時間	t_{DWTID} *			62	ns
$\overline{\text{WAIT}}$ ↑→ $\overline{\text{WR}}$ ↑遅延時間	t_{DWTW} *		154		ns
$\overline{\text{WAIT}}$ ↑→ $\overline{\text{RD}}$ ↑遅延時間	$t_{\text{DWT R}}$ *		72		ns
$\overline{\text{WR}}$ ↓→ $\overline{\text{WAIT}}$ 入力時間 (リフレッシュ禁止時)	t_{DWWTL} *			22	ns
$\overline{\text{WR}}$ ↓→ $\overline{\text{WAIT}}$ 保持時間	リフレッシュ禁止時	t_{HWWT1} *	外部ウエイト数=1	87	ns
	リフレッシュ許可時	t_{HWWT2} *	外部ウエイト数=1	5	ns
$\overline{\text{WR}}$ ↓→ $\overline{\text{WAIT}}$ ↑遅延時間	リフレッシュ禁止時	t_{DWWTH1} *	外部ウエイト数=1	186	ns
	リフレッシュ許可時	t_{DWWTH2} *	外部ウエイト数=1	104	ns
$\overline{\text{RD}}$ ↑→REFRQ↓遅延時間	t_{DRRFQ} *		154		ns
$\overline{\text{WR}}$ ↑→REFRQ↓遅延時間	t_{DWRFQ} *		72		ns
REFRQロウ・レベル幅	t_{WRFQL} *		120		ns
REFRQ↑→ASTB↑遅延時間	t_{DRFQST} *		280		ns

備考1. 表中の数値は $f_{\text{xx}}=12\text{ MHz}$, $C_{\text{L}}=100\text{ pF}$ のときの値です。

2. 略号欄に*印があるものについては、 t_{CYX} 依存のバス・タイミング定義も参照してください。

シリアル・オペレーション

項 目	略 号	条 件	MIN.	MAX.	単 位	
シリアル・クロック・サイクル・タイム	t_{CYSK}	入力 外部クロック	1.0		μS	
		出力	内部 16 分周	1.3		μS
			内部 64 分周	5.3		μS
シリアル・クロック・ロウ・レベル幅	t_{WSKL}	入力 外部クロック	420		ns	
		出力	内部 16 分周	556		ns
			内部 64 分周	2.5		μS
シリアル・クロック・ハイ・レベル幅	t_{WSKH}	入力 外部クロック	420		ns	
		出力	内部 16 分周	556		ns
			内部 64 分周	2.5		μS
SI, SBO セットアップ時間 (対 \overline{SCK} ↑)	t_{SSSK}		150		ns	
SI, SBO ホールド時間 (対 \overline{SCK} ↑)	t_{HSSK}		400		ns	
SO/SBO 出力遅延時間 (対 \overline{SCK} ↓)	t_{DSBSK1}	CMOS プッシュプル出力 (3 線式シリアル I/O モード)	0	300	ns	
	t_{DSBSK2}	オープン・ドレイン出力 (SBI モード), $R_L = 1 k\Omega$	0	800	ns	
SBO ハイ・ホールド時間 (対 \overline{SCK} ↑)	t_{HSBSK}	SBI モード	4		t_{CYX}	
SBO ロウ・セットアップ時間 (対 \overline{SCK} ↓)	t_{SSBSK}		4		t_{CYX}	
SBO ロウ・レベル幅	t_{WSBL}		4		t_{CYX}	
SBO ハイ・レベル幅	t_{WSBH}		4		t_{CYX}	

備考 表中の数値は $f_{xx} = 12 \text{ MHz}$, $C_L = 100 \text{ pF}$ のときの値です。

その他のオペレーション

項 目	略 号	条 件	MIN.	MAX.	単 位
NMI ロウ・レベル幅	t_{WNIL}		10		μs
NMI ハイ・レベル幅	t_{WNIH}		10		μs
INTPO-INTP5 ロウ・レベル幅	t_{WITL}		24		t_{CYX}
INTPO-INTP5 ハイ・レベル幅	t_{WITH}		24		t_{CYX}
RESET ロウ・レベル幅	t_{WRSL}		10		μs
RESET ハイ・レベル幅	t_{WRSH}		10		μs

外部クロック・タイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
X1 入力ロウ・レベル幅	t_{WXL}		30	130	ns
X1 入力ハイ・レベル幅	t_{WXH}		30	130	ns
X1 入力立ち上がり時間	t_{XR}		0	30	ns
X1 入力立ち下がり時間	t_{XF}		0	30	ns
X1 入力クロック・サイクル・タイム	t_{CYX}		82	250	ns

A/Dコンバータ特性 ($T_a = -40 \sim +85^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$, $V_{SS} = AV_{SS} = 0\text{V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			8			bit
総合誤差注		$4.0\text{V} \leq AV_{REF} \leq V_{DD}$ $T_a = -10 \sim +70^\circ\text{C}$			0.4	%
		$3.4\text{V} \leq AV_{REF} \leq V_{DD}$ $T_a = -10 \sim +70^\circ\text{C}$			0.8	%
		$4.0\text{V} \leq AV_{REF} \leq V_{DD}$			0.8	%
量子化誤差					$\pm 1/2$	LSB
変換時間	t_{CONV}	$82\text{ns} \leq t_{CYX} < 125\text{ns}$ (ADMのFRビットが“0”の場合)	360			t_{CYX}
		$125\text{ns} \leq t_{CYX} \leq 250\text{ns}$ (ADMのFRビットが“1”の場合)	240			t_{CYX}
サンプリング時間	t_{SAMP}	$82\text{ns} \leq t_{CYX} < 125\text{ns}$ (ADMのFRビットが“0”の場合)	72			t_{CYX}
		$125\text{ns} \leq t_{CYX} \leq 250\text{ns}$ (ADMのFRビットが“1”の場合)	48			t_{CYX}
アナログ入力電圧	V_{IAN}		-0.3		$AV_{REF} + 0.3$	V
アナログ入力インピーダンス	R_{AN}			1 000		M Ω
基準電圧	AV_{REF}		3.4		V_{DD}	V
AV_{REF} 電流	AI_{REF}	$f_{XX} = 12\text{MHz}$		1.5	5.0	mA
		STOPモード		0.2	1.5	mA

注 量子化誤差を含みません。フル・スケール値に対する比率で表しています。

t_{CYX} 依存のバス・タイミング定義 (1/2)

項 目	略 号	計 算 式	MIN./MAX.	12 MHz	単 位
X1入力クロック・サイクル・タイム	t_{CYX}		MIN.	82	ns
アドレス・セットアップ時間 (対ASTB↓)	t_{SAST}	$t_{CYX} - 30$	MIN.	52	ns
アドレス→RD↓遅延時間	t_{DAR}	$2t_{CYX} - 35$	MIN.	129	ns
アドレス・フロート時間 (対RD↓)	t_{FAR}	$t_{CYX}/2 - 30$	MIN.	11	ns
アドレス→データ入力時間	t_{DAID}	$(4 + 2n) t_{CYX} - 100$	MAX.	228 ^注	ns
ASTB↓→データ入力時間	t_{DSTID}	$(3 + 2n) t_{CYX} - 65$	MAX.	181 ^注	ns
RD↓→データ入力時間	t_{DRID}	$(2 + 2n) t_{CYX} - 64$	MAX.	100 ^注	ns
ASTB↓→RD↓遅延時間	t_{DSTR}	$t_{CYX} - 30$	MIN.	52	ns
RD↑→アドレス・アクティブ時間	t_{DRA}	$2t_{CYX} - 40$	MIN.	124	ns
RD↑→ASTB↑遅延時間	t_{DRST}	$2t_{CYX} - 40$	MIN.	124	ns
RDロウ・レベル幅	t_{WRL}	$(2 + 2n) t_{CYX} - 40$	MIN.	124 ^注	ns
ASTBハイ・レベル幅	t_{WSTH}	$t_{CYX} - 30$	MIN.	52	ns
アドレス→WR↓遅延時間	t_{DAW}	$2t_{CYX} - 35$	MIN.	129	ns
ASTB↓→データ出力時間	t_{DSTOD}	$t_{CYX} + 60$	MAX.	142	ns
★ ASTB↓→WR↓遅延時間	t_{DSTW1}	$t_{CYX} - 30$ (リフレッシュ禁止時)	MIN.	52	ns
	t_{DSTW2}	$2t_{CYX} - 35$ (リフレッシュ許可時)	MIN.	129	ns
データ・セットアップ時間 (対WR↑)	t_{SODWR}	$(3 + 2n) t_{CYX} - 100$	MIN.	146 ^注	ns
データ・セットアップ時間 (対WR↓)	t_{SODWF}	$t_{CYX} - 60$ (リフレッシュ許可時)	MIN.	22	ns
WR↑→ASTB↑遅延時間	t_{DWST}	$t_{CYX} - 40$	MIN.	42	ns
★ WRロウ・レベル幅	t_{WWL1}	$(3 + 2n) t_{CYX} - 50$ (リフレッシュ禁止時)	MIN.	196 ^注	ns
	t_{WWL2}	$(2 + 2n) t_{CYX} - 50$ (リフレッシュ許可時)	MIN.	114 ^注	ns
アドレス→WAIT↓入力時間	t_{DAWT}	$3t_{CYX} - 100$	MAX.	146	ns
ASTB↓→WAIT↓入力時間	t_{DSTWT}	$2t_{CYX} - 80$	MAX.	84	ns

備考 nはウェイト数を示します。

注 n = 0 のとき

t_{CYX} 依存のバス・タイミング定義(2/2)

項目	略号	計算式	MIN./MAX.	12MHz	単位	
$\overline{ASTB} \downarrow \rightarrow \overline{WAIT}$ 保持時間	t_{HSTWT}	$2Xt_{CYX} + 10$	MIN.	174注	ns	
$\overline{ASTB} \downarrow \rightarrow \overline{WAIT} \uparrow$ 遅延時間	t_{DSTWTH}	$2(1 + X)t_{CYX} - 55$	MAX.	273注	ns	
$\overline{RD} \downarrow \rightarrow \overline{WAIT} \downarrow$ 入力時間	t_{DRWTL}	$t_{CYX} - 60$	MAX.	22	ns	
$\overline{RD} \downarrow \rightarrow \overline{WAIT}$ 保持時間	t_{HRWT}	$(2X - 1)t_{CYX} + 5$	MIN.	87注	ns	
$\overline{RD} \downarrow \rightarrow \overline{WAIT} \uparrow$ 遅延時間	t_{DRWTH}	$(2X + 1)t_{CYX} - 60$	MAX.	186注	ns	
$\overline{WAIT} \uparrow \rightarrow$ データ入力時間	t_{DWTID}	$t_{CYX} - 20$	MAX.	62	ns	
$\overline{WAIT} \uparrow \rightarrow \overline{WR} \uparrow$ 遅延時間	t_{DWTW}	$2t_{CYX} - 10$	MIN.	154	ns	
$\overline{WAIT} \uparrow \rightarrow \overline{RD} \uparrow$ 遅延時間	t_{DWTR}	$t_{CYX} - 10$	MIN.	72	ns	
$\overline{WR} \downarrow \rightarrow \overline{WAIT}$ 入力時間 (リフレッシュ禁止時)	t_{DWTL}	$t_{CYX} - 60$	MAX.	22	ns	
$\overline{WR} \downarrow \rightarrow \overline{WAIT}$ 保持時間	リフレッシュ禁止時	t_{HWT1}	$(2X - 1)t_{CYX} + 5$	MIN.	87注	ns
	リフレッシュ許可時	t_{HWT2}	$2(X - 1)t_{CYX} + 5$	MIN.	5注	ns
$\overline{WR} \downarrow \rightarrow \overline{WAIT} \uparrow$ 遅延時間	リフレッシュ禁止時	t_{DWT1}	$(2X + 1)t_{CYX} - 60$	MAX.	186注	ns
	リフレッシュ許可時	t_{DWT2}	$2Xt_{CYX} - 60$	MAX.	104注	ns
$\overline{RD} \uparrow \rightarrow \overline{REFRQ} \downarrow$ 遅延時間	t_{DRRFQ}	$2t_{CYX} - 10$	MIN.	154	ns	
$\overline{WR} \uparrow \rightarrow \overline{REFRQ} \downarrow$ 遅延時間	t_{DWRFQ}	$t_{CYX} - 10$	MIN.	72	ns	
\overline{REFRQ} ロウ・レベル幅	t_{WRFQL}	$2t_{CYX} - 44$	MIN.	120	ns	
$\overline{REFRQ} \uparrow \rightarrow \overline{ASTB} \uparrow$ 遅延時間	t_{DRFQST}	$4t_{CYX} - 48$	MIN.	280	ns	

備考1. X:外部ウエイト数(1, 2, ...)

2. $t_{CYX} \doteq 82 \text{ ns}$ ($f_{XX} = 12 \text{ MHz}$)

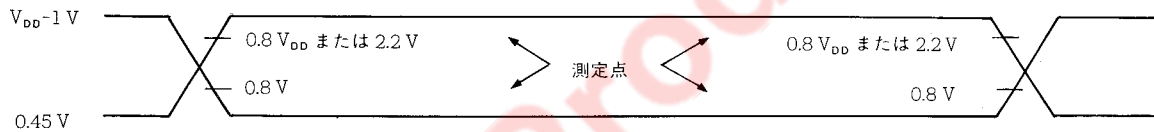
注 X=1のとき

データ保持特性 (Ta = -40 ~ +85 °C)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V _{DDDR}	STOPモード	2.5		5.5	V
データ保持電流	I _{DDDR}	V _{DDDR} = 2.5 V		2	20	μA
		V _{DDDR} = 5 V ± 10 %		5	50	μA
V _{DD} 立ち上がり時間	t _{RVD}		200			μs
V _{DD} 立ち下がり時間	t _{FVD}		200			μs
V _{DD} 保持時間(対 STOP モード設定)	t _{HVD}		0			ms
STOP 解除信号入力時間	t _{DREL}		0			ms
発振安定ウエイト時間	t _{WAIT}	水晶振動子	30			ms
		セラミック発振子	5			ms
ロウ・レベル入力電圧	V _{IL}	特定端子 ^注	0		0.1 V _{DDDR}	V
ハイ・レベル入力電圧	V _{IH}		0.9 V _{DDDR}		V _{DDDR}	V

注 $\overline{\text{RESET}}$, P20/NMI, P21/INTP0, P22/INTP1, P23/INTP2/CI, P24/INTP3, P25/INTP4/ASCK, P26/INTP5, P27/SI, P32/ $\overline{\text{SCK}}$, P33/SO/SB0, $\overline{\text{EA}}$ 端子。

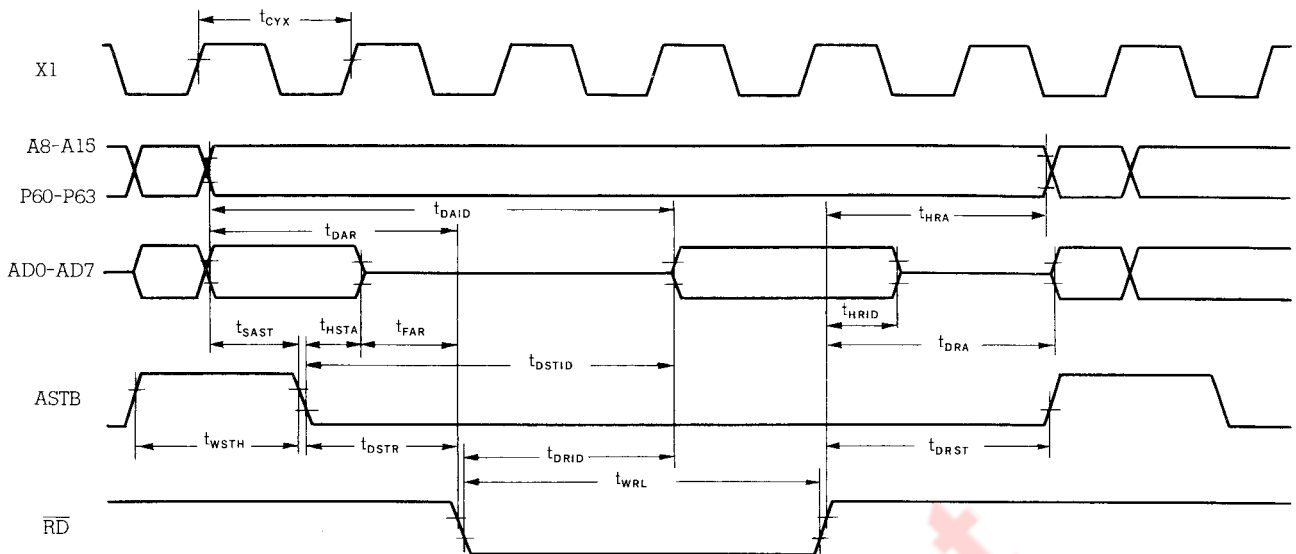
AC タイミング測定点



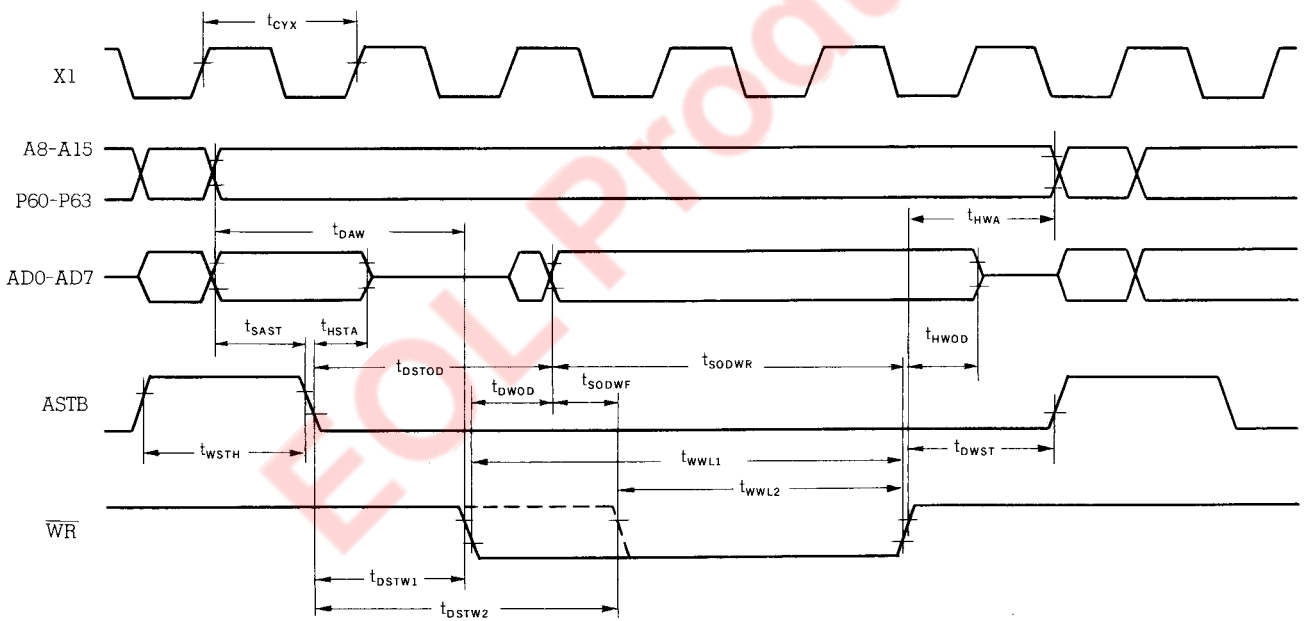
タイミング波形



リード・オペレーション

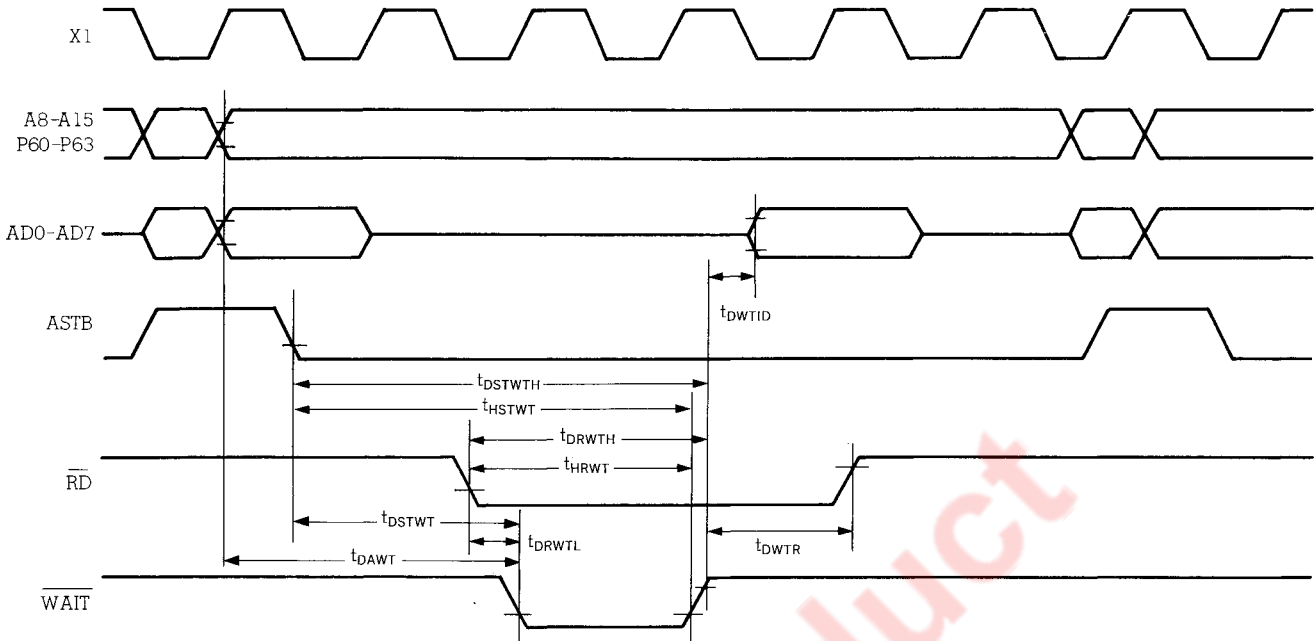


ライト・オペレーション

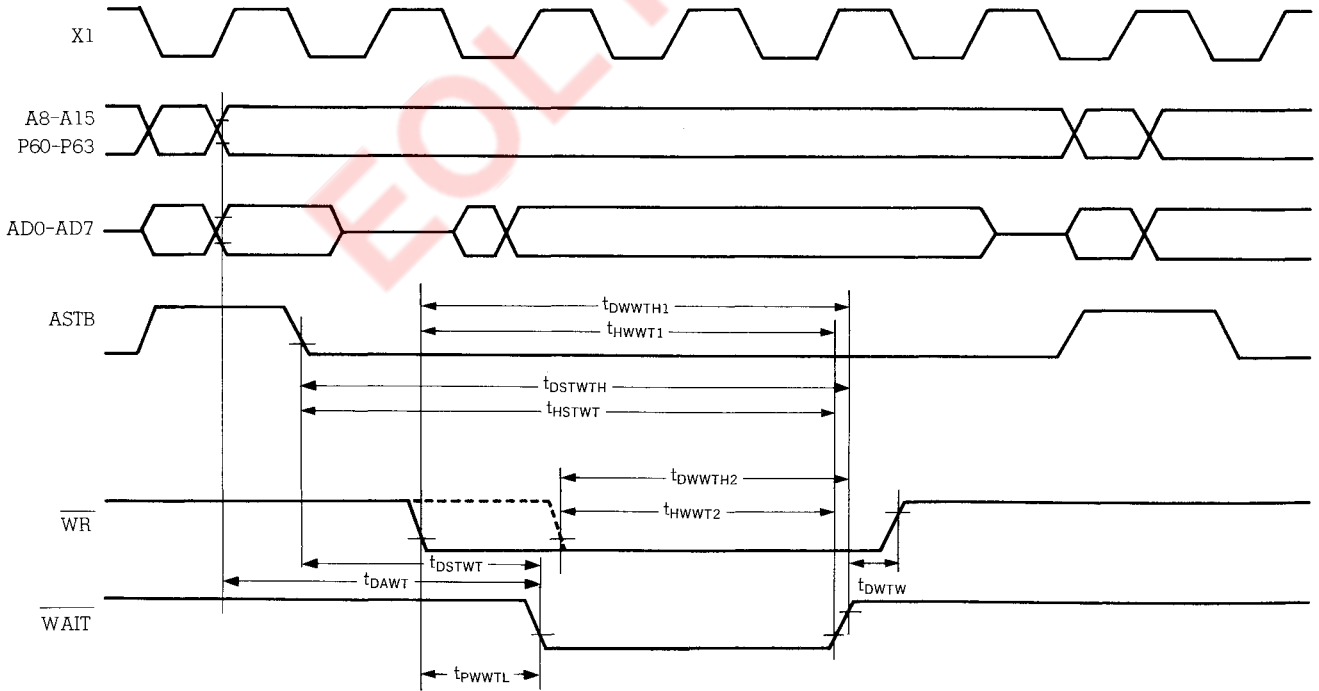


外部WAIT信号入力タイミング

リード・オペレーション

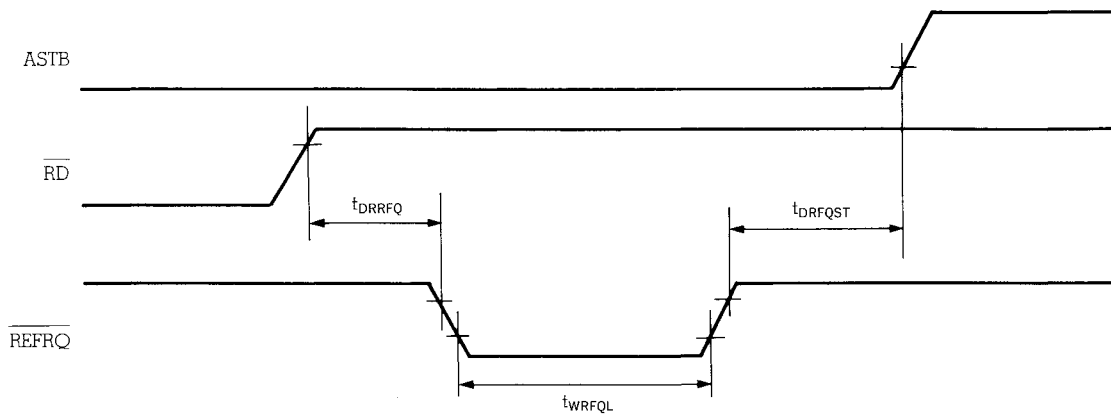


ライト・オペレーション

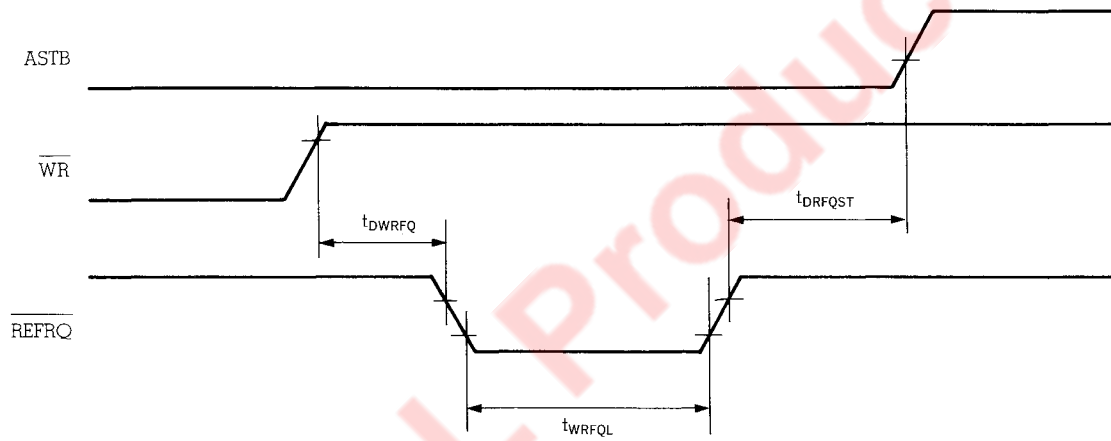


リフレッシュ・タイミング波形

リード後のリフレッシュ



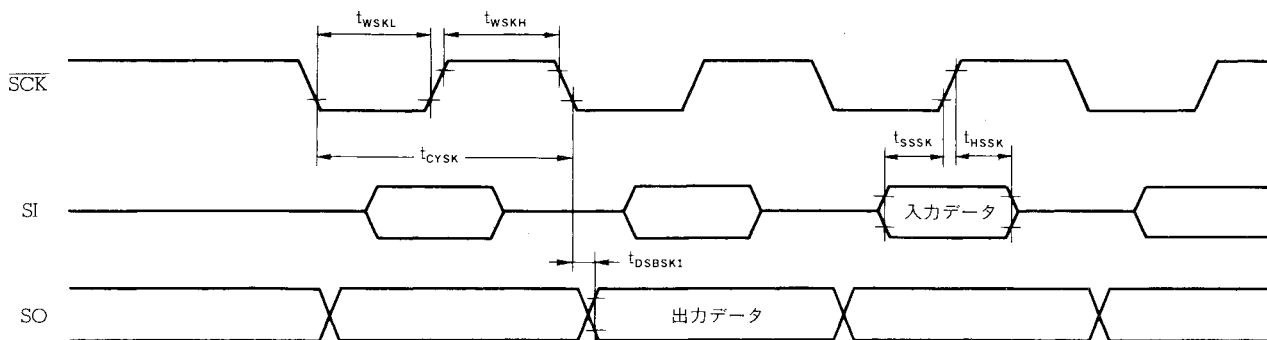
ライト後のリフレッシュ



EOL Product

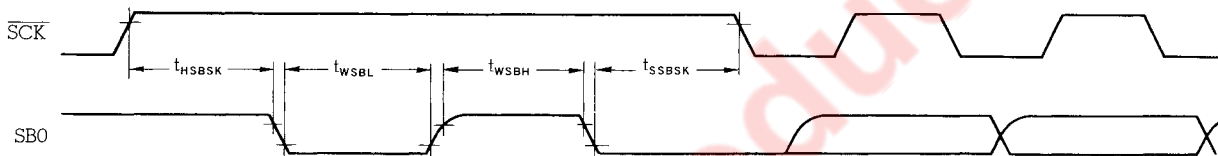
シリアル・オペレーション

3線式シリアルI/Oモード

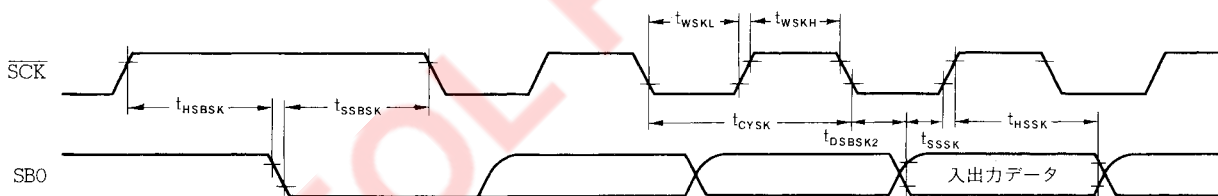


SBIモード

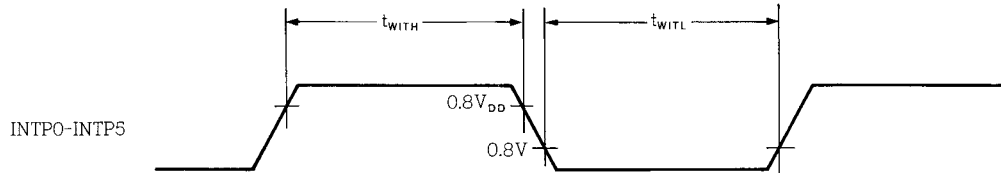
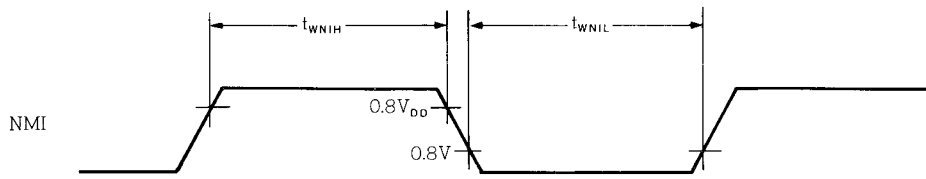
バス・リリース信号転送



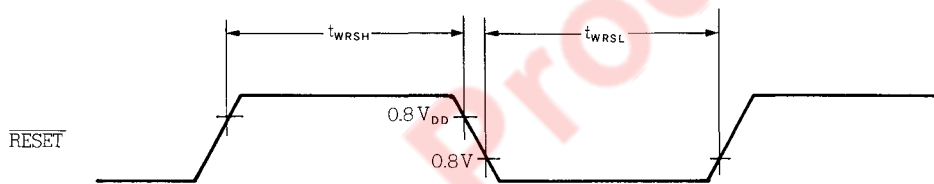
コマンド信号転送



割り込み入力タイミング

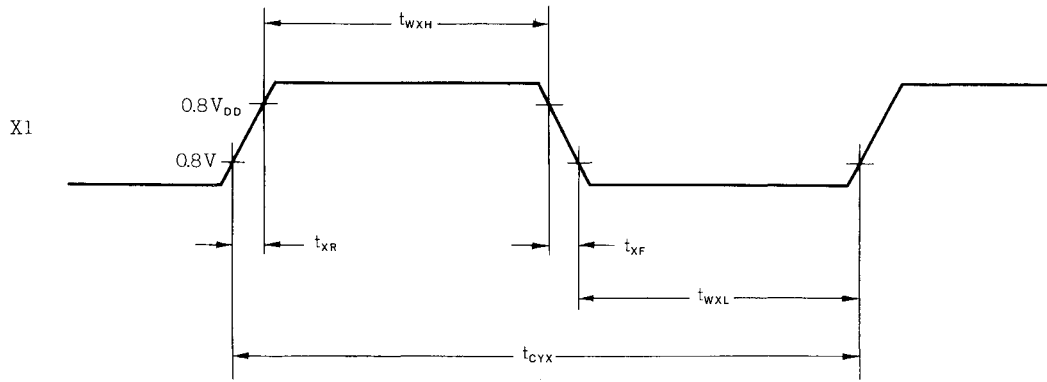


リセット入力タイミング

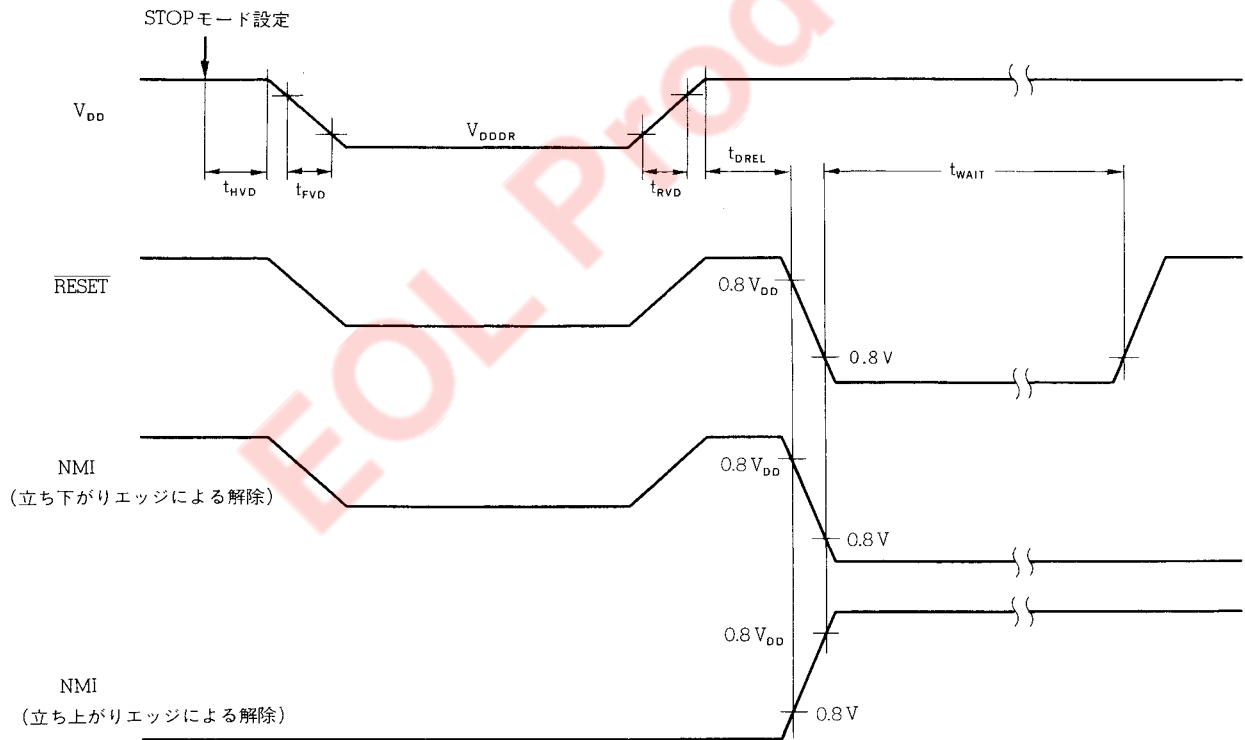


EOL Product

外部クロック・タイミング



データ保持特性



DCプログラミング特性 ($T_a = 25 \pm 5^\circ\text{C}$, $V_{IP}^{\text{注1}} = 12.5 \pm 0.5\text{V}$, $V_{SS} = 0\text{V}$)

項目	略号	略号注2	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH}	V_{IH}		2.4		$V_{DDP} + 0.3$	V
ロウ・レベル入力電圧	V_{IL}	V_{IL}		-0.3		0.8	V
入力リーク電流	I_{LIP}	I_{LI}	$0 \leq V_i \leq V_{DDP}$			10	μA
ハイ・レベル出力電圧	V_{OH1}	V_{OH1}	$I_{OH} = -400 \mu\text{A}$	2.4			V
	V_{OH2}	V_{OH2}	$I_{OH} = -100 \mu\text{A}$	$V_{DD} - 0.7$			V
ロウ・レベル出力電圧	V_{OL}	V_{OL}	$I_{OH} = 2.1\text{mA}$			0.45	V
出力リーク電流	I_{LO}		$0 \leq V_o \leq V_{DDP}$, $\overline{OE} = V_{IH}$			10	μA
NMI端子高電圧入力電流	I_{IP}					±10	μA
V_{DDP} 電源電圧	V_{DDP}	V_{CC}	プログラム・メモリ書き込みモード	5.75	6.0	6.25	V
			プログラム・メモリ読み出しモード	4.5	5.0	5.5	V
V_{PP} 電源電圧	V_{PP}	V_{PP}	プログラム・メモリ書き込みモード	12.2	12.5	12.8	V
			プログラム・メモリ読み出しモード	$V_{PP} = V_{DDP}$			V
V_{DDP} 電源電流	I_{DD}	I_{CC}	プログラム・メモリ書き込みモード		5	30	mA
			プログラム・メモリ読み出しモード $\overline{CE} = V_{IL}$, $V_i = V_{IH}$		5	30	mA
V_{PP} 電源電流	I_{PP}	I_{PP}	プログラム・メモリ書き込みモード $\overline{CE} = V_{IL}$, $\overline{OE} = V_{IH}$		5	30	mA
			プログラム・メモリ読み出しモード		1	100	μA

注1. P20/NMI端子に加える電圧です。

2. 対応するμPD27C256Aの略号です。

プログラム・オペレーション

AC特性 ($T_a = 25 \pm 5^\circ\text{C}$, $V_{IP}^{\text{注1}} = 12.5 \pm 0.5\text{V}$, $V_{DD} = 6 \pm 0.25\text{V}$, $V_{PP} = 12.5 \pm 0.3\text{V}$, $V_{SS} = 0\text{V}$)

項目	略号	略号注2	条件	MIN.	TYP.	MAX.	単位
アドレス・セット・アップ時間(対 $\overline{\text{CE}}\downarrow$)	t_{SAC}	t_{AS}		2			μs
$\overline{\text{OE}}$ ホールド時間(対入力データ・ディスエーブル)	t_{DDO0}	t_{OES}		2			μs
入力データ・セット・アップ時間(対 $\overline{\text{CE}}\downarrow$)	t_{SIDC}	t_{DS}		2			μs
アドレス・ホールド時間(対 $\overline{\text{CE}}\uparrow$)	t_{HCA}	t_{AH}		2			μs
入力データ・ホールド時間(対 $\overline{\text{CE}}\uparrow$)	t_{HCID}	t_{DH}		2			μs
出力データ・ホールド時間(対 $\overline{\text{OE}}\uparrow$)	t_{HOOD}	t_{DF}		0		130	ns
V_{PP} セット・アップ時間(対 $\overline{\text{CE}}\downarrow$)	t_{SVPC}	t_{VPS}		1			ms
V_{DDP} セット・アップ時間(対 $\overline{\text{CE}}\downarrow$)	t_{SVDC}	t_{VCS}		1			ms
初期プログラム・パルス幅	t_{WL1}	t_{PW}		0.95	1.0	1.05	ms
追加プログラム・パルス幅	t_{WL2}	t_{OPW}		2.85		78.75	ms
NMI高電圧入力セット・アップ時間(対 $\overline{\text{CE}}\downarrow$)	t_{SPC}			2			μs
$\overline{\text{OE}}\downarrow\rightarrow$ データ出力時間	t_{D00D}	t_{OE}				150	ns

- 注1. P20/NMI端子に加える電圧です。
 2. 対応するμPD27C256Aの略号です。

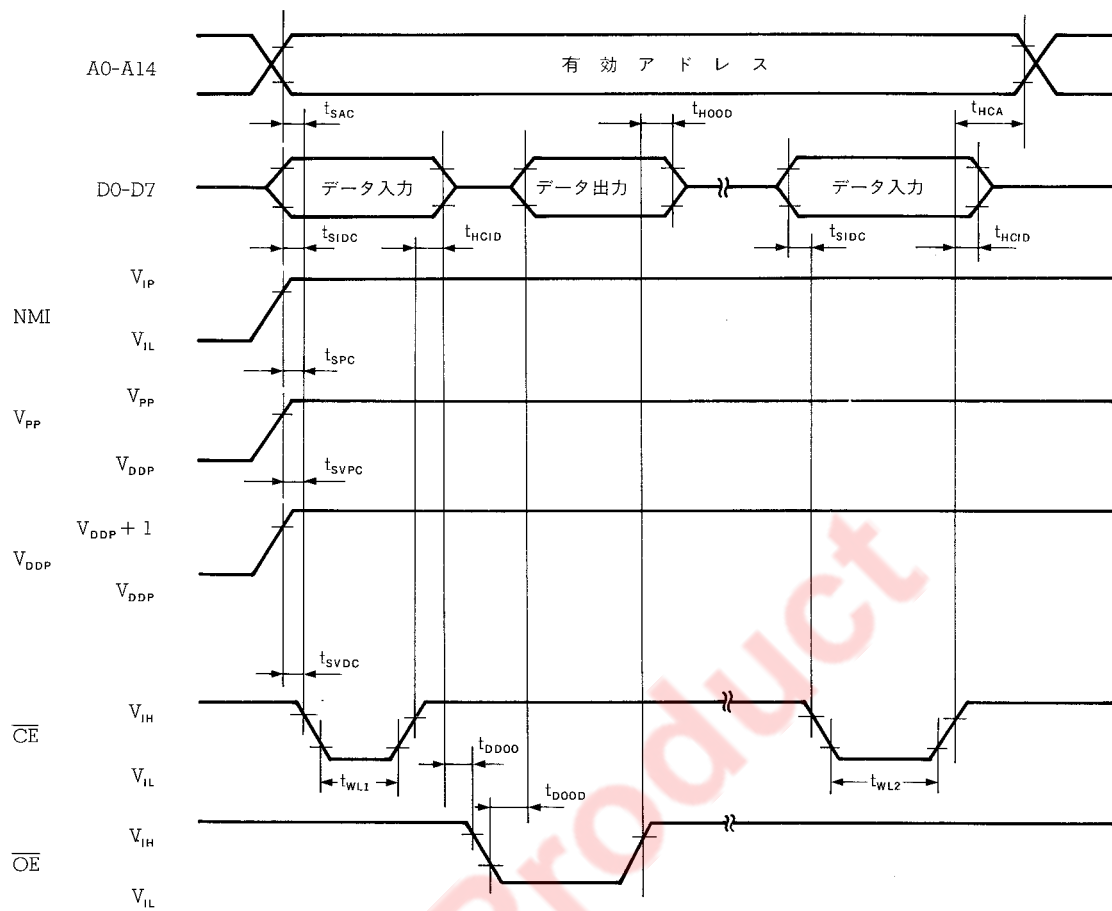
リード・オペレーション

AC特性 ($T_a = 25 \pm 5^\circ\text{C}$, $V_{IP}^{\text{注1}} = 12.5 \pm 0.5\text{V}$, $V_{DD} = 5 \pm 0.5\text{V}$, $V_{PP} = V_{DDP}$, $V_{SS} = 0\text{V}$)

項目	略号	略号注2	条件	MIN.	TYP.	MAX.	単位
アドレス・データ出力時間	t_{DAOD}	t_{ACC}	$\overline{\text{CE}} = \overline{\text{OE}} = V_{\text{IL}}$			200	ns
$\overline{\text{CE}}\downarrow\rightarrow$ データ出力時間	t_{DCOD}	t_{CE}	$\overline{\text{OE}} = V_{\text{IL}}$			200	ns
$\overline{\text{OE}}\downarrow\rightarrow$ データ出力時間	t_{D00D}	t_{OE}	$\overline{\text{CE}} = V_{\text{IL}}$			75	ns
★ データ・ホールド時間(対 $\overline{\text{OE}}\uparrow$, $\overline{\text{CE}}\uparrow$)注3	t_{HCO0D}	t_{DF}	$\overline{\text{CE}} = V_{\text{IL}}$ または $\overline{\text{OE}} = V_{\text{IL}}$	0		60	ns
データ・ホールド時間(対アドレス)	t_{HAOD}	t_{OH}	$\overline{\text{CE}} = \overline{\text{OE}} = V_{\text{IL}}$	0			ns

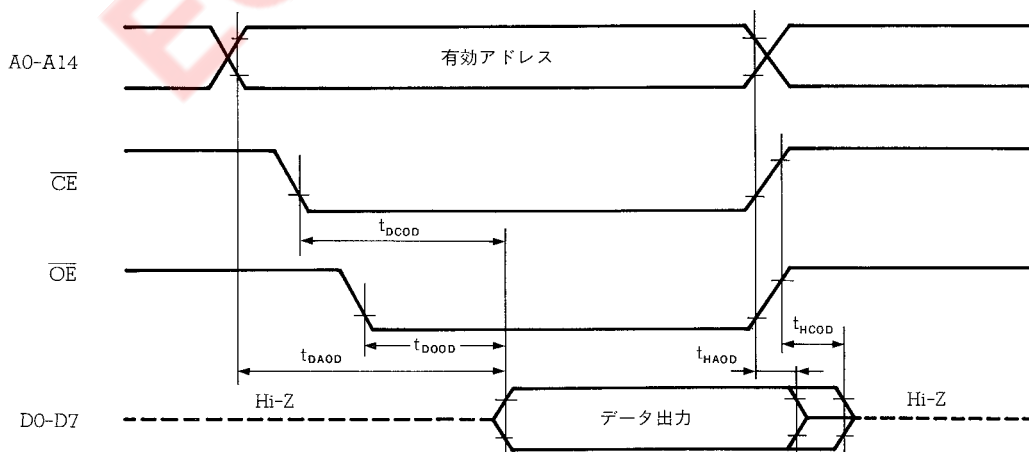
- 注1. P20/NMI端子に加える電圧です。
 2. 対応するμPD27C256Aの略号です。
 3. t_{HCO0D} は、 $\overline{\text{OE}}$, $\overline{\text{CE}}$ のどちらかが最初に V_{IH} となったときからの時間です。

PROM 書き込みモード・タイミング



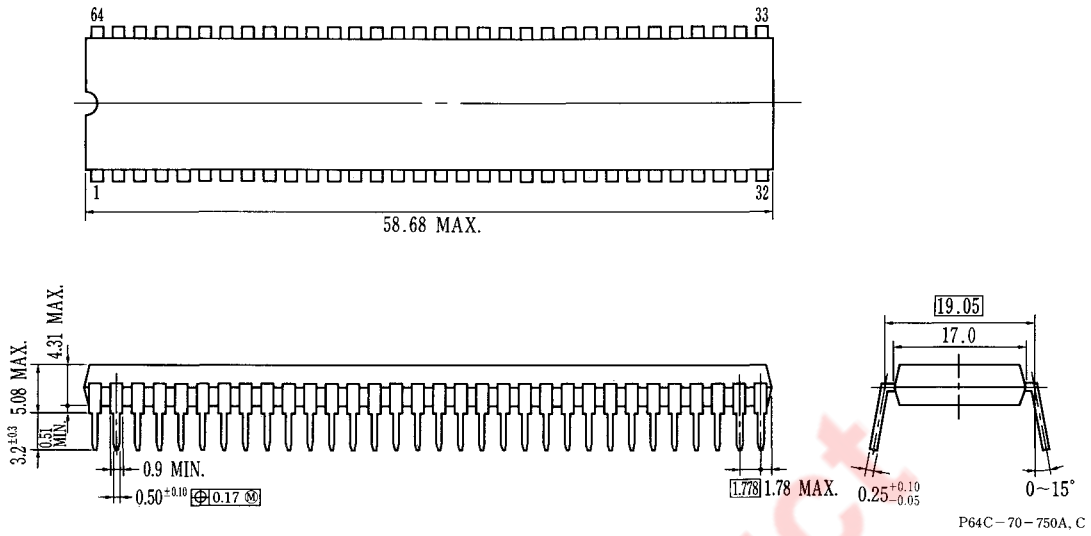
- 注意 1. V_{DDP} は V_{PP} より前に印加し, V_{PP} の後から切断するようにしてください。
2. V_{PP} はオーバ・シュートを含めて +13V 以上にならないようにしてください。

PROM 読み出しモード・タイミング

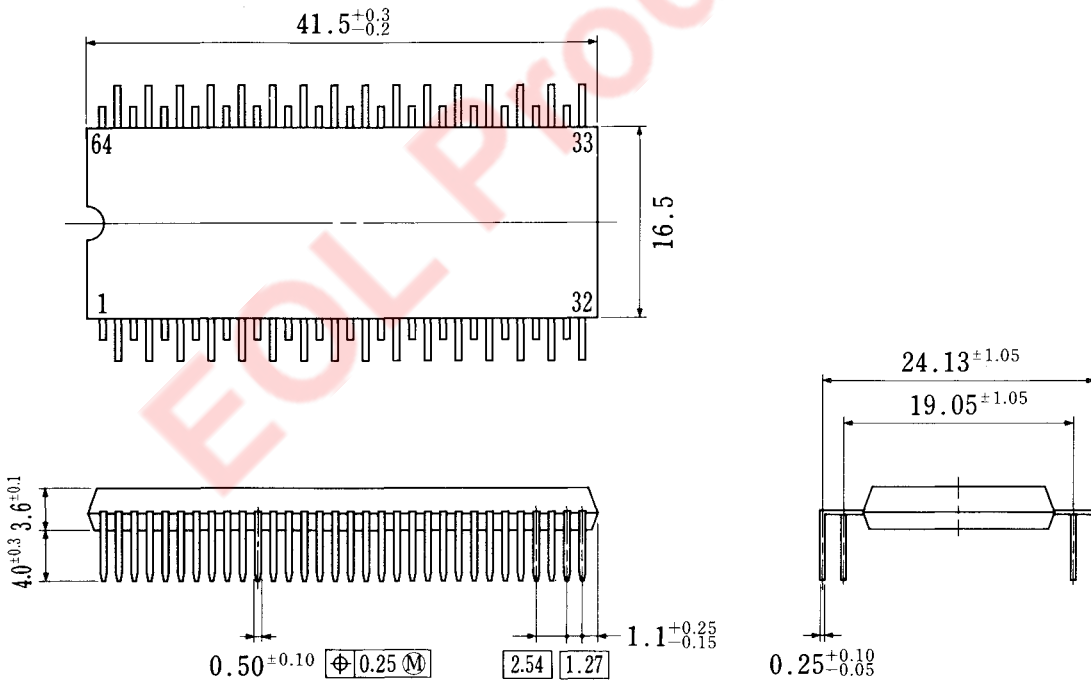


8. 外形図

64ピン・プラスチック・シュリンクDIP (750 mil) 外形図 (単位: mm)

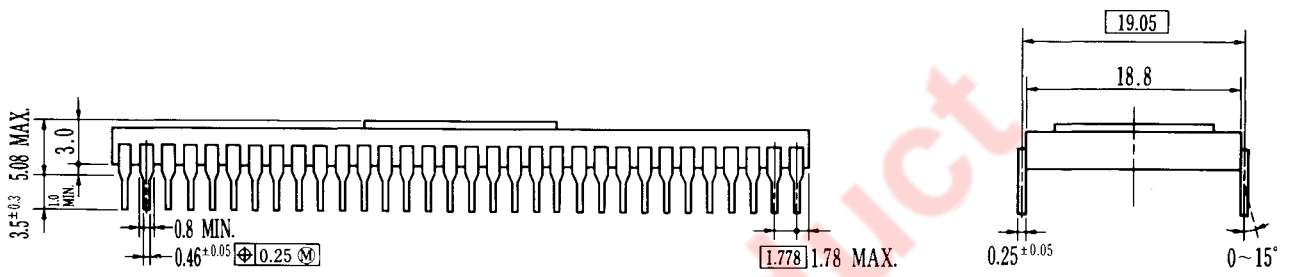
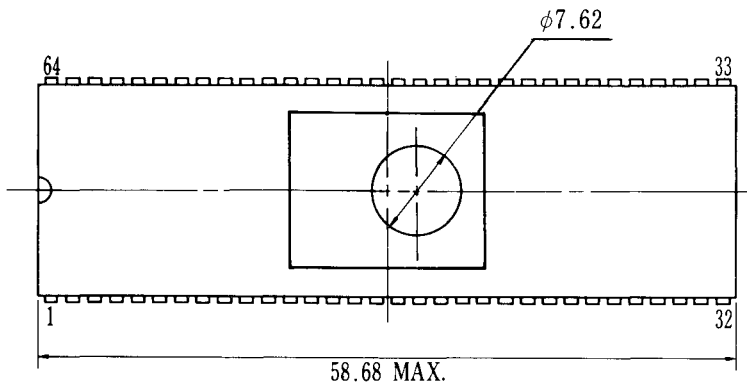


64ピン・プラスチック QIP 外形図 (単位: mm)



P64GQ-100-36

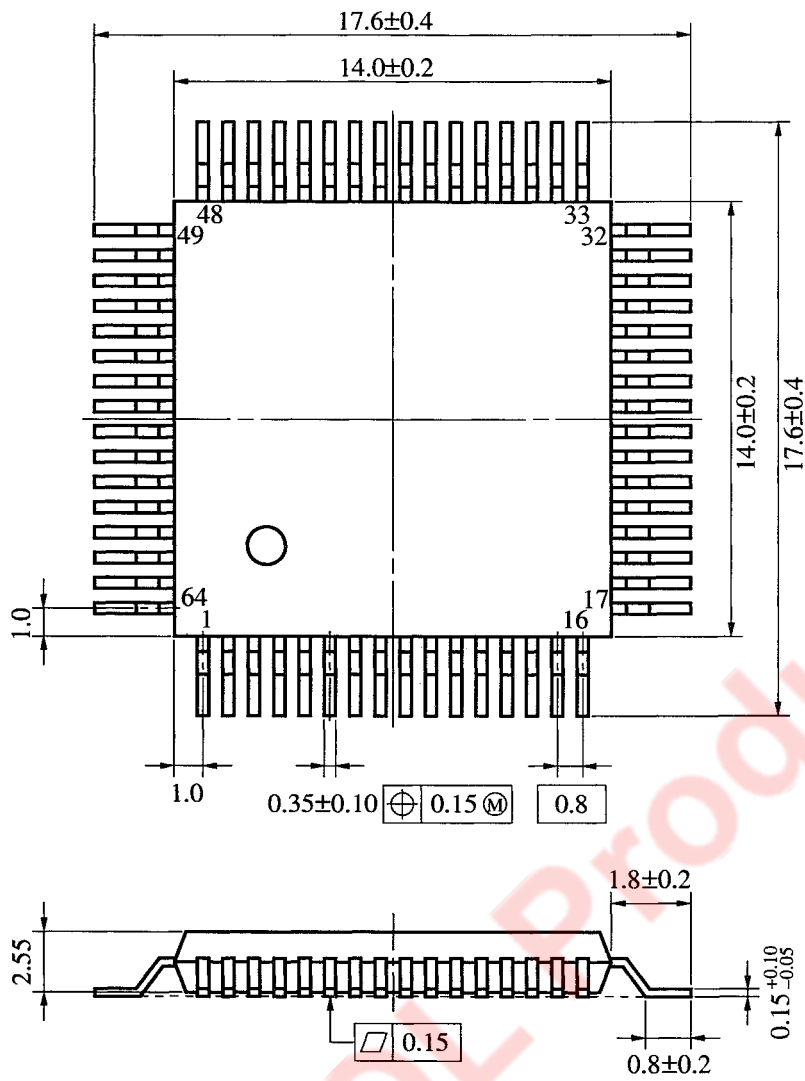
64ピン・セラミック・シュリンク DIP (サーディップ) (窓付き) (750 mil) 外形図(単位: mm)



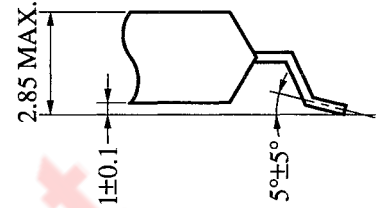
P64DW-70-750A1

EOL Product

64ピン・プラスチック QFP (□14) 外形図 (単位: mm)

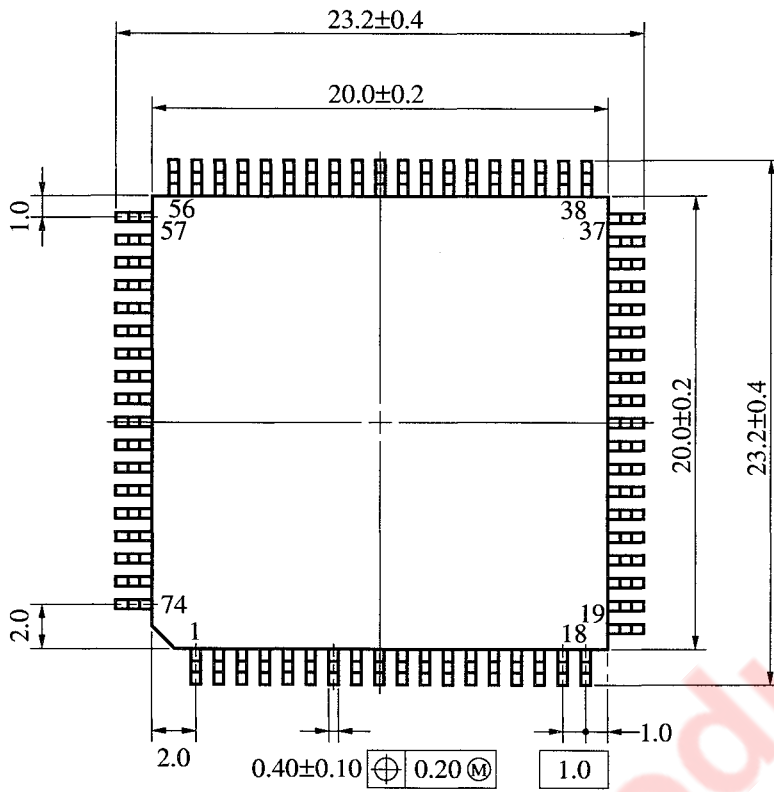


端子先端形状詳細図

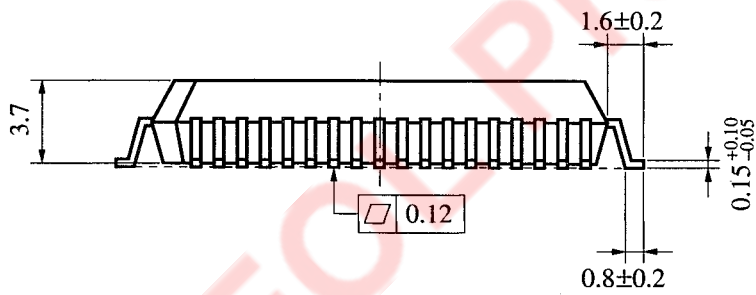
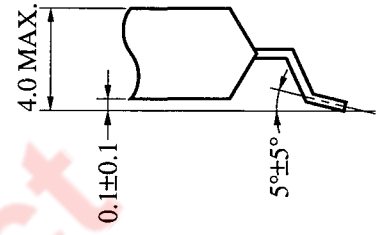


P64GC-80-AB8-2

74ピン・プラスチック QFP (□20) 外形図 (単位: mm)

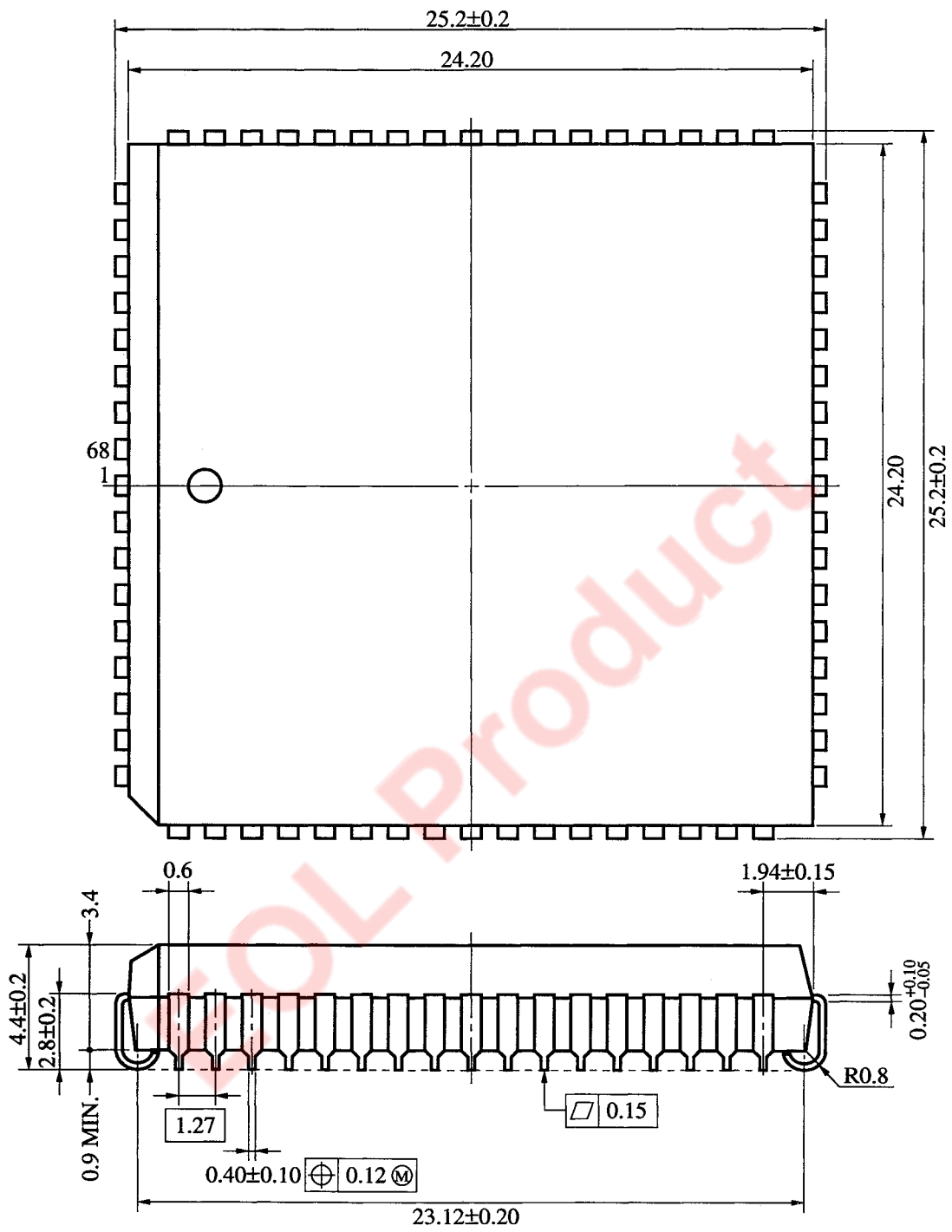


端子先端形状詳細図



S74GJ-100-5BJ-2

68ピン・プラスチック QFJ (□950 mil) 外形図 (単位: mm)



P68L-50A1-2

9. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表 9-1 表面実装タイプの半田付け条件

(1) μPD78P214GC-AB8 : 64ピン・プラスチック QFP (□14 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：230℃，時間：30秒以内(210℃以上)，回数：1回，制限日数：2日間 ^{注1} （以降は125℃プリベーク 16時間必要）	IR30-162-1 ^{注2}
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内(200℃以上)，回数：1回，制限日数：2日間 ^{注1} （以降は125℃プリベーク 16時間必要）	VP15-162-1 ^{注2}
端子部分加熱	端子部温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	—

(2) μPD78P214GJ-5BJ : 74ピン・プラスチック QFP (□20 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：230℃，時間：30秒以内(210℃以上)，回数：1回，制限日数：7日間 ^{注1} （以降は125℃プリベーク 10時間必要）	IR30-107-1
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内(200℃以上)，回数：1回，制限日数：7日間 ^{注1} （以降は125℃プリベーク 10時間必要）	VP15-107-1
端子部分加熱	端子部温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	—

(3) μPD78P214L : 68ピン・プラスチック QFJ (□950 mil)

半田付け方式	半田付け条件	推奨条件記号
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内(200℃以上)，回数：1回，制限日数：7日間 ^{注1} （以降は125℃プリベーク 10時間必要）	VP15-107-1
端子部分加熱	端子部温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	—

注1. ドライパック開封後の保管日数で、保管条件は25℃，65%RH以下。

2. 「K」規格品の場合は、この条件は適用できません。

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

表 9-2 挿入タイプの半田付け条件

μPD78P214CW : 64ピン・プラスチック・シュリンクDIP (750 mil)

μPD78P214DW : 64ピン・セラミック・シュリンクDIP (サーディップ) (窓付き) (750 mil)

μPD78P214GQ-36 : 64ピン・プラスチックQUIP

半田付け方式	半田付け条件
ウェーブ・ソルダリング (リード部のみ)	半田槽温度 : 260 °C以下, 時間 : 10秒以内
端子部分加熱	端子部温度 : 260 °C以下, 時間 : 10秒以内

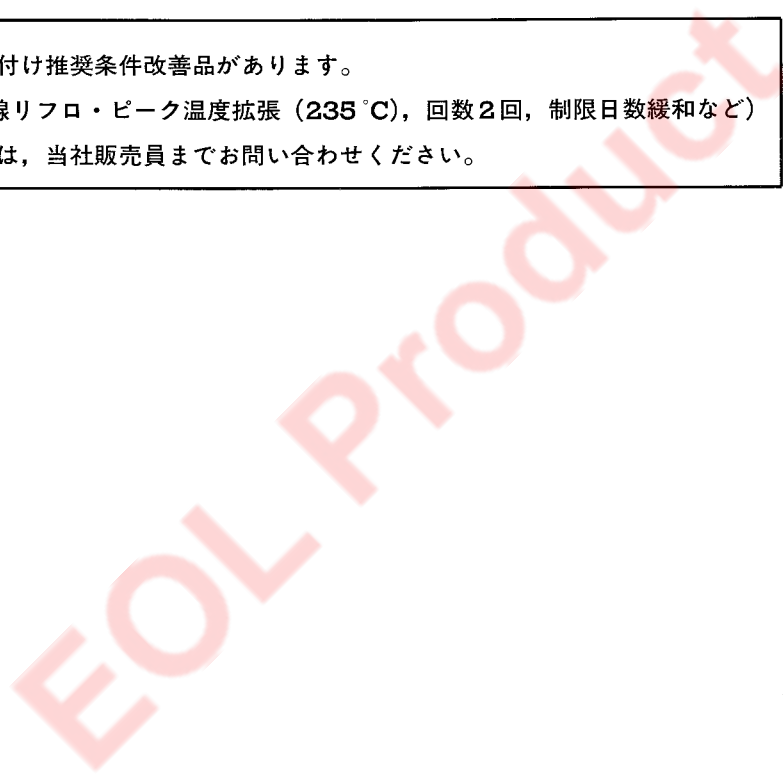
注意 ウェーブ・ソルダリングはリード部のみとし、噴流半田が直接本体に接触しないようにしてください。

— お知らせ —

本製品には、半田付け推奨条件改善品があります。

(改善内容 : 赤外線リフロ・ピーク温度拡張 (235 °C), 回数2回, 制限日数緩和など)

詳細につきましては、当社販売員までお問い合わせください。



付録 開発ツール

μPD78P214を使用するシステム開発のために、次のような開発ツールを用意しております。

なお、3rdパーティ製の開発ツールについては、**78K/IIシリーズ 開発ツール セレクション・ガイド (EF-231)**を参照してください。

ハードウェア (1/2)

<p>IE-78240-R-A</p>	<p>IE-78240-R-Aは、IE-78210-R、IE-78240-Rの機能強化版で、μPD78214シリーズに共通して使用できるインサーキット・エミュレータです。PC-9800シリーズまたはIBM PC/AT™をホスト・マシンとして使用する場合に使用できます。別売のスクリーン・デバッグとデバイス・ファイルが必要で、これらと組み合わせて、C言語や構造化アセンブリ言語のソース・プログラム・レベルでのデバッグが可能です。</p> <p>データ・アクセスとプログラム・フェッチの同時トレースやCOカバレッジ機能などにより効率の良いデバッグやプログラムの検査が行えます。</p> <p>また、IE-78210-R、IE-78240-Rをすでにお持ちの場合は、別売のボード(IE-78200-R-BK)を購入することにより、IE-78240-R-Aと同様に使用することができます。</p>
<p>IE-78240-R IE-78210-R^注</p>	<p>IE-78210-R、IE-78240-Rは、μPD78214シリーズに共通して使用できるインサーキット・エミュレータです。ホスト・マシンまたはコンソールを接続してデバッグを行います。</p> <p>ホスト・マシンに接続した場合、シンボリック・デバッグと、ホスト・マシンとのオブジェクト・ファイルの転送が可能となり、効率のよいデバッグを行うことができます。</p> <p>RS-232-Cのシリアル・インタフェースを2チャンネル内蔵しており、PG-1500 PROMプログラムの接続も可能です。</p> <p>また、IE-78240-RはセントロニクスI/Fにより、オブジェクト・ファイル、シンボル・ファイルの高速ダウン・ロードを行うことが可能です。</p>
<p>IE-78240-R-EM IE-78210-R-EM^注 IE-78200-R-EM IE-78200-R-BK</p>	<p>75Xシリーズ、78Kシリーズ用のインサーキット・エミュレータをIE-78210-R、IE-78240-RまたはIE-78240-R-Aにシステム・アップするためのボードです。</p> <p>詳細は、後述のシステム・アップ方法を参照してください。</p>
<p>EP-78210CW^注 EP-78240CW-R</p>	<p>μPD78P214CW用のエミュレーション・プローブです。</p> <p>EP-78240CW-Rは、EP-78210CWのケーブルを長くした製品です。</p>
<p>EP-78210GC^注 EP-78240GC-R</p>	<p>μPD78P214GC-AB8用のエミュレーション・プローブです。EV-9200GC-64とともに使用します。</p> <p>EP-78240GC-Rは、EP-78210GCのケーブルを長くした製品です。</p>
<p>EP-78210GJ^注</p>	<p>μPD78P214GJ-5BJ用のエミュレーション・プローブです。</p> <p>EP-78210LまたはEP-78240LP-RおよびEV-9200G-74とともに使用します。</p>
<p>EP-78240GJ-R</p>	<p>μPD78P214GJ-5BJ用のエミュレーション・プローブです。</p> <p>EV-9200G-74とともに使用します。EP-78210GJとは異なり、一体型のプローブのため取り扱いが容易です。</p>
<p>EP-78210GQ^注 EP-78240GQ-R</p>	<p>μPD78P214GQ-36用のエミュレーション・プローブです。</p> <p>EP-78240GQ-RはEP-78210GQのケーブルを長くした製品です。</p>
<p>EP-78210L^注 EP-78240LP-R</p>	<p>μPD78P214L用のエミュレーション・プローブです。</p> <p>EP-78240LP-RはEP-78210Lのケーブルを長くした製品です。</p>

注 現在、新規の製造は行っておりません。

備考 EP-78210GJ、EP-78210GC、EP-78240GC-R、EP-78240GJ-Rには、それぞれEV-9200G-74、EV-9200GC-64のソケットが1個添付されています。

ハードウェア (2/2)

EV-9200G-74	μPD78P214GJ-5BJ用に作られたユーザ・システムの基板上に実装するソケットです。EP-78210GJまたはEP-78240GJ-Rとともに使用します。
EV-9200GC-64	μPD78P214GC-AB8用に作られたユーザ・システムの基板上に実装するソケットです。EP-78210GCまたはEP-78240GC-Rとともに使用します。
PG-1500	付属ボードおよび別売のプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンで、または、ホスト・マシンからの操作によりプログラミングできるPROMプログラマです。また、256Kビットから4Mビットまでの代表的なPROMをプログラミングすることもできます。
PA-78P214CW	μPD78P214CW, 78P214DW用のPROMプログラマ・アダプタで、PG-1500などと組み合わせて使用します。
PA-78P214GC	μPD78P214GC-AB8用のPROMプログラマ・アダプタで、PG-1500などと組み合わせて使用します。
PA-78P214GJ	μPD78P214GJ-5BJ用のPROMプログラマ・アダプタで、PG-1500などと組み合わせて使用します。
PA-78P214GQ	μPD78P214GQ-36用のPROMプログラマ・アダプタで、PG-1500などと組み合わせて使用します。
PA-78P214L	μPD78P214L用のPROMプログラマ・アダプタで、PG-1500などと組み合わせて使用します。

注 現在、新規の製造は行っていません。

備考 EV-9200G-74, EV-9200GC-64は、5個1組で販売しています(発注単位は1組となります)。

ソフトウェア

① 言語処理用ソフトウェア (1/2)

78K/Ⅱシリーズ リロケータブル・アセンブラ (RA78K/Ⅱ)	78K/Ⅱシリーズに共通に使用できるリロケータブル・アセンブラです。 マクロ機能付きのリロケータブル・アセンブラですので、開発効率の向上が図れます。 また、プログラム制御構造を明示的に記述できる構造化アセンブラも添付されており、 プログラムの生産性や保守性を向上することができます。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS™ (Ver.3.30~ Ver.5.00A ^{注3})	8インチ2D ^{注1}	μS5A1RA78K2
			5インチ2HD	μS5A10RA78K2
	IBM PC/AT	PC DOS™ (Ver.3.1)	5インチ2D ^{注2}	μS7B11RA78K2
			5インチ2HC	μS7B10RA78K2
	HP9000シリーズ300™	HP-UX™ (rel.7.05B)	カートリッジ・テープ (QIC-24)	μS3H15RA78K2
SPARCstation™	Sun OS™ (rel.4.1.1)	μS3K15RA78K2		
EWS-4800シリーズ™ (RISC)	EWS-UX/V™ (rel.4.0)	μS3M15RA78K2		
78K/Ⅱシリーズ Cコンパイラ (CC78K/Ⅱ)	78K/Ⅱシリーズに共通に使用できるCコンパイラです。 言語仕様はANSIに準拠しており、プログラムのROM化が可能です。機能として、特殊 機能レジスタの操作、ビット操作、ショート・ダイレクト・アドレッシングを使用する 変数、割り込みの制御機能などを備えており、これらを使うことにより、効率の良い プログラム記述と、より高いオブジェクト効率が実現できます。 また、スタート・アップ・ルーチンのサンプル・プログラムや標準関数のオブジェク ト・ライブラリを備えています。 このコンパイラ使用時には、78K/Ⅱシリーズ リロケータブル・アセンブラ (RA78K/Ⅱ) が必要です。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS (Ver.3.30~ Ver.5.00A ^{注3})	5インチ2HD	μS5A10CC78K2
			3.5インチ2HD	μS5A13CC78K2
	IBM PC/AT	PC DOS (Ver.3.1)	5インチ2D ^{注2}	μS7B11CC78K2
			5インチ2HC	μS7B10CC78K2
	HP9000シリーズ300	HP-UX (rel.7.05B)	カートリッジ・テープ (QIC-24)	μS3H15CC78K2
SPARCstation	Sun OS (rel.4.1.1)	μS3K15CC78K2		
EWS-4800シリーズ (RISC)	EWS-UX/V (rel.4.0)	μS3M15CC78K2		

注1. 8インチ2Dでの新規のご購入はできません。5インチ2HDまたは3.5インチ2HDをお選びください。また、すでに8インチ2Dでご購入いただいている場合、今後のバージョン・アップ時は、5インチ2HDを送付いたしますのでご了承ください。

2. 5インチ2Dでの新規のご購入はできません。また、すでに5インチ2Dでご購入いただいている場合、今後のバージョン・アップ時は5インチ2HCを送付いたしますのでご了承ください。

3. Ver.5.00/5.00Aにはタスク・スワップ機能がありますが、このソフトウェアでは、タスク・スワップ機能は使用できません。

① 言語処理用ソフトウェア (2/2)

78K/II シリーズ Cコンパイラ ライブラリ・ソース・ファイル (CC78K/II-L)	CC78K/II に付属しているライブラリのソース・プログラムです。ライブラリを改良する（よりユーザの仕様にあわせる）場合に必要となります。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS (Ver.3.30~ Ver.5.00A ^注)	5 インチ2HD	μS5A10CC78K2-L
			3.5インチ2HD	μS5A13CC78K2-L
	IBM PC/AT	PC DOS (Ver.3.1)	5 インチ2HC	μS7B10CC78K2-L
	HP9000シリーズ300	HP-UX (rel.7.05B)	カートリッジ・テープ (QIC-24)	μS3H15CC78K2-L
	SPARCstation	Sun OS (rel.4.1.1)		μS3K15CC78K2-L
EWS-4800シリーズ (RISC)	EWS-UX/V (rel.4.0)	μS3M15CC78K2-L		

注 Ver.5.00/5.00Aにはタスク・スワップ機能がありますが、このソフトウェアでは、タスク・スワップ機能は使用できません。

EOL Product

② インサーキット・エミュレータ用ソフトウェア

スクリーン・ディバग्ガ (SD78K/Ⅱ)	78K/Ⅱシリーズ用のインサーキット・エミュレータをコントロールするためのプログラムです。デバイス・ファイル (DF78210) と組み合わせて使用します。 IE-78240-R-A, またはIE-78240-R-Aと同等になるようにシステム・アップしたインサーキット・エミュレータで、ホスト・マシンがPC-9800シリーズまたはIBM PC/ATの場合に使用可能です。 C言語, 構造化アセンブリ言語, アセンブリ言語で書かれたソース・プログラム・レベルでのディバグや, ホスト・マシンの画面を分割し, さまざまな情報を同時に表示することで効率の良いディバグが行えます。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS (Ver.3.30~ Ver.5.00A ^{注1})	5インチ2HD	μS5A10SD78K2
			3.5インチ2HD	μS5A13SD78K2
IBM PC/AT	PC DOS (Ver.3.1)	5インチ2HC	μS7B10SD78K2 ^{注2}	
デバイス・ファイル (DF78210)	スクリーン・ディバग्ガ (SD78K/Ⅱ) と組み合わせて, μPD78214シリーズのディバグを行う場合に必要です。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS (Ver.3.30~ Ver.5.00A ^{注1})	5インチ2HD	μS5A10DF78210
			3.5インチ2HD	μS5A13DF78210
IBM PC/AT	PC DOS (Ver.3.1)	5インチ2HC	μS7B10DF78210 ^{注2}	
IE-78210-R IE-78210-R-EM コントロール・プログラム (IE78210)	IE-78210をホスト・マシンからコントロールするためのプログラムです。コマンドの自動実行などを行うことができ, より効率的なディバグが可能です。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS (Ver.3.10~ Ver.5.00A ^{注1})	8インチ2D ^{注3}	μS5A1IE78210-P01
			5インチ2HD	μS5A10IE78210-P01
3.5インチ2HD			μS5A13IE78210	
IBM PC/AT	PC DOS (Ver.3.1)	5インチ2D ^{注4}	μS7B11IE78210-P02	
		5インチ2HC	μS7B10IE78210	
IE-78240-R IE-78240-R-EM コントロール・プログラム (IE78240)	IE-78240をホスト・マシンからコントロールするためのプログラムです。コマンドの自動実行などを行うことができ, より効率的なディバグが可能です。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS (Ver.3.10~ Ver.5.00A ^{注1})	8インチ2D ^{注3}	μS5A1IE78240
			5インチ2HD	μS5A10IE78240
3.5インチ2HD			μS5A13IE78240	
IBM PC/AT	PC DOS (Ver.3.1)	5インチ2D ^{注4}	μS7B11IE78240	
		5インチ2HC	μS7B10IE78240	

注1. Ver.5.00/5.00Aにはタスク・スワップ機能がありますが, このソフトウェアでは, タスク・スワップ機能は使用できません。

2. 開発中

3. 8インチ2Dでの新規のご購入はできません。5インチ2HDまたは3.5インチ2HDをお選びください。
 また, すでに8インチ2Dでご購入いただいている場合, 今後のバージョン・アップ時は5インチ2HDを送付いたしますのでご了承ください。

4. 5インチ2Dでの新規のご購入はできません。また, すでに5インチ2Dでご購入いただいている場合, 今後のバージョン・アップ時は5インチ2HCを送付いたしますのでご了承ください。

③ PROMプログラマ用ソフトウェア

PG-1500コントローラ	PG-1500とホスト・マシンをシリアルおよびパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS (Ver.3.10~ Ver.5.00A ^{注1})	5インチ2HD	μS5A10PG1500
			3.5インチ2HD	μS5A13PG1500
	IBM PC/AT	PC DOS (Ver.3.1)	5インチ2D ^{注2}	μS7B11PG1500
5インチ2HC			μS7B10PG1500	

注1. Ver.5.00/5.00Aにはタスク・スワップ機能がありますが、このソフトウェアでは、タスク・スワップ機能は使用できません。

2. 5インチ2Dでの新規のご購入はできません。また、すでに5インチ2Dでご購入いただいている場合、今後のバージョン・アップ時は5インチ2HCを送付いたしますのでご了承ください。

他のインサーキット・エミュレータからのシステム・アップ方法

① IE-78240-R-Aへのシステム・アップ方法

お手持ちのエミュレータ	IEグループNo.	ご購入の必要なボード	備 考
IE-78230-R-A IE-78140-R	1	IE-78240-R-EM	—
IE-78240-R	2	IE-78200-R-BK	—
IE-78112-R ^{注1} IE-78220-R ^{注1} IE-78310-R ^{注1} IE-78310A-R	3	IE-78200-R-BK IE-78240-R-EM ^{注2}	高速ダウン・ロード機能は使用できません。 IEグループ1, 2, 4のインサーキット・エミュレータをあわせてお持ちの場合は、IEグループ1, 2, 4のインサーキット・エミュレータをベースとしたシステム・アップをお勧めします。また、IEグループ1のインサーキット・エミュレータをお持ちの場合は、IE-78200-R-BKは不要です (IEグループ1のインサーキット・エミュレータ内にIE-78200-R-BKがありますのでそのボードが使用できます)。
IE-75000-R IE-78000-R IE-78130-R IE-78230-R IE-78320-R ^{注1} IE-78327-R IE-78330-R IE-78350-R IE-78600-R	4	IE-78200-R-BK IE-78240-R-EM	IEグループ1のインサーキット・エミュレータをあわせてお持ちの場合は、IE-78200-R-BKは不要です (IEグループ1のインサーキット・エミュレータ内にIE-78200-R-BKがありますのでそのボードが使用できます)。
IE-78210-R ^{注1}	5	IE-78200-R-BK	高速ダウン・ロード機能は使用できません。

注1. 新規の製造は行っておりませんのでご購入はできません。

2. μPD78214シリーズのエミュレーションを行う場合で、すでにIE-78210-R-EM^{注1}をお持ちの場合は、IE-78240-R-EMは不要です。

② IE-78240-Rへのシステム・アップ方法

お手持ちのエミュレータ	IEグループNo.	ご購入の必要なボード	備 考
IE-78112-R ^{注1} IE-78210-R ^{注1} IE-78220-R ^{注1}	1	IE-78240-R-EM ^{注2}	高速ダウン・ロード機能は使用できません。 グループ4のIEもあわせてお持ちの場合は、グループ4のIEの筐体を使用することをお勧めします。
IE-78130-R IE-78230-R	2	IE-78240-R-EM	—
IE-78310-R ^{注1} IE-78310A-R	3	IE-78200-R-EM IE-78240-R-EM ^{注2}	高速ダウン・ロード機能は使用できません。 グループ1のIEもあわせてお持ちの場合は、IE-78200-R-EMは不要です（グループ1のIE内にIE-78200-R-EMがありますので、そのボードが使用できます）。
IE-75000-R IE-78000-R IE-78320-R ^{注1} IE-78327-R IE-78330-R IE-78350-R IE-78600-R	4	IE-78200-R-EM IE-78240-R-EM	グループ1のIEをお持ちの場合は、IE-78200-R-EMは不要です（グループ1のIE内にIE-78200-R-EMがありますので、そのボードが使用できます）。
IE-78140-R IE-78230-R-A	5	IE-78200-R-EM IE-78240-R-EM	IE-78240-R-Aへのシステム・アップをお勧めします。

注1. 新規の製造は行っておりませんのでご購入はできません。

2. μPD78214シリーズのエミュレーションを行う場合で、すでにIE-78210-R-EM^{注1}をお持ちの場合は、IE-78240-R-EMは不要です。

③ IE-78210-R^{注1}へのシステム・アップ方法

★

お手持ちのエミュレータ	IEグループNo.	ご購入の必要なボード	備 考
IE-78112-R ^{注1} IE-78220-R ^{注1}	1	IE-78210-R-EM ^{注2}	—
IE-78310-R ^{注1} IE-78310A-R	2	IE-78200-R-EM IE-78210-R-EM ^{注2}	グループ1のIEもあわせてお持ちの場合は、IE-78200-R-EMは不要です（グループ1のIE内にIE-78200-R-EMがありますので、そのボードが使用できます）。
IE-75000-R IE-78000-R IE-78130-R IE-78140-R IE-78230-R IE-78230-R-A IE-78320-R ^{注1} IE-78327-R IE-78330-R IE-78350-R IE-78600-R	3	—	IE-78210-Rへシステム・アップすることはできません。 IE-78240-Rへのシステム・アップをお勧めします。

注1. 新規の製造は行っておりませんのでご購入はできません。

2. IE-78210-R-EMは、新規の製造は行っておりませんのでご購入はできません。したがって、IE-78210-R-EMをお持ちでない場合は、IE-78240-RまたはIE-78240-R-Aへのシステム・アップをお勧めします。

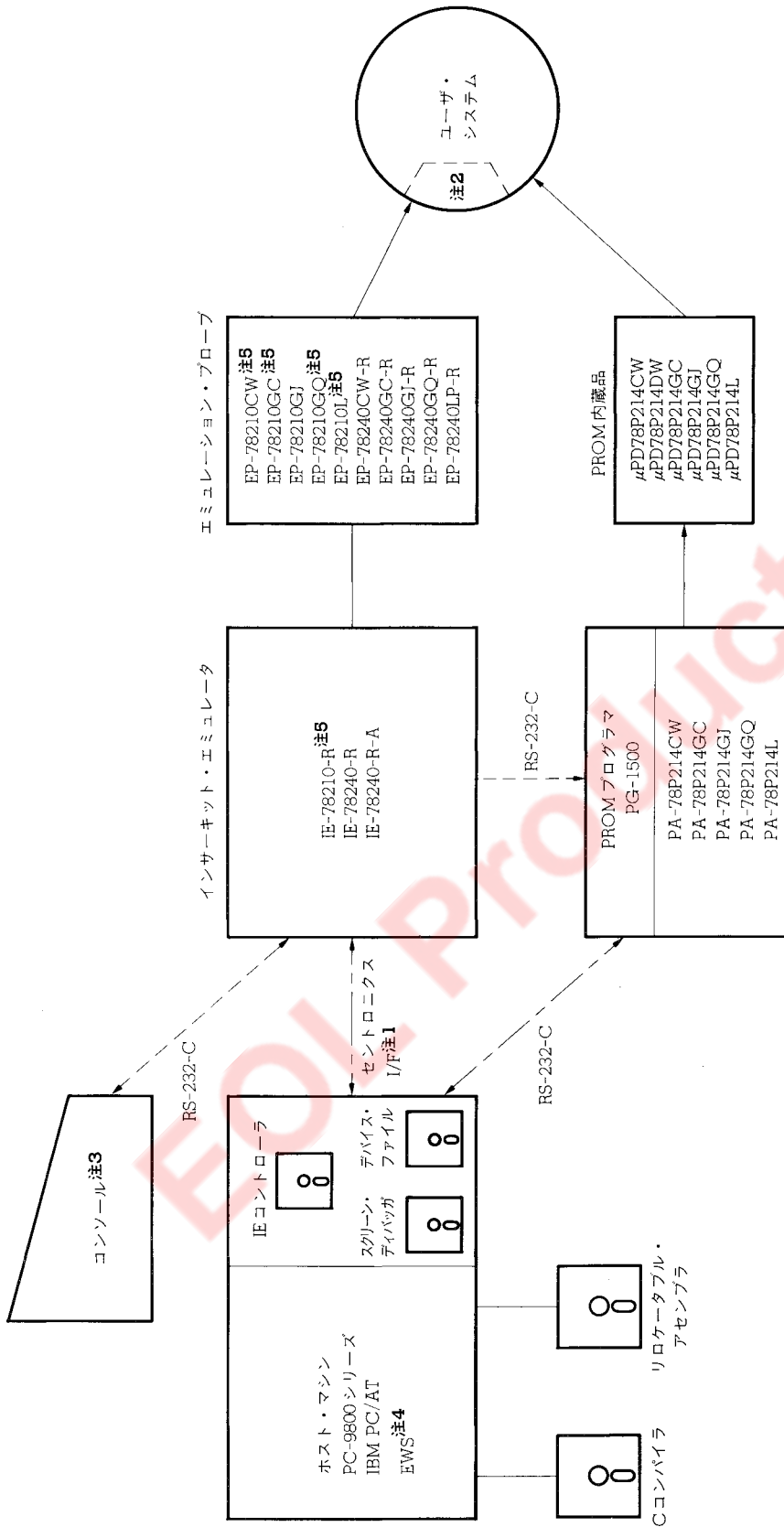
★ 組み込み用ソフトウェア

① ファジィ推論開発支援システム

ファジィ知識データ作成ツール (FE9000)	ファジィ知識データ (ファジィ・ルールおよびメンバシップ関数) の入力/編集 (エディット) と評価 (シミュレーション) を支援するプログラムです。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS (Ver.3.10~ Ver.3.30C)	5 インチ2HD	μS5A10FE9000
			3.5インチ2HD	μS5A13FE9000
IBM PC/AT	PC DOS (Ver.3.1)	5 インチ2HC	μS7B10FE9000	
トランスレータ (FT9080)	ファジィ知識データ作成ツールを用いて得たファジィ知識データをRA78K/Ⅱ用のアセンブラ・ソース・プログラムに変換するプログラムです。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS (Ver.3.10~ Ver.3.30C)	5 インチ2HD	μS5A10FT9080
			3.5インチ2HD	μS5A13FT9080
IBM PC/AT	PC DOS (Ver.3.1)	5 インチ2HC	μS7B10FT9080	
ファジィ推論モジュール (FI78K/Ⅱ)	ファジィ推論を実行するプログラムです。トランスレータで変換されたファジィ知識データとリンクすることでファジィ推論を実行します。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS (Ver.3.10~ Ver.3.30C)	5 インチ2HD	μS5A10FI78K2
			3.5インチ2HD	μS5A13FI78K2
IBM PC/AT	PC DOS (Ver.3.1)	5 インチ2HC	μS7B10FI78K2	
ファジィ推論デバッグ (FD78K/Ⅱ) 注	インサーキット・エミュレータを使用し、ファジィ知識データをハードウェア・レベルで評価、調整するための支援ソフトウェアです。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS (Ver.3.10~ Ver.3.30C)	5 インチ2HD	μS5A10FD78K2
			3.5インチ2HD	μS5A13FD78K2
IBM PC/AT	PC DOS (Ver.3.1)	5 インチ2HC	μS7B10FD78K2	

注 開発中

開発ツール構成 ★



注1. 高速ファイル転送（ダウン・ロード）時に使用

2. EV-9200GC-64, EV-9200G-74

3. IE-78240-Rを使用する場合のみ

4. EWSは、HP9000シリーズ300, SUN4/3900, EWS-4800/200シリーズになります。

また、EWSはインサートキット・エミュレータとは接続できません。

5. 新規のご購入はできません。

———: ホスト・マシンと接続して使用する場合

-----: コンソールと接続し、IEをスタンド・アロンとして使用する場合

(× ㊦)

EOL Product

CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

○文書による当社の承諾なしに本資料の転載複製を禁じます。

○本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

○当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

○当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

○この製品は耐放射線設計をしておりません。

[メモ]

本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品：μPD78P214DW

ユーザ判定品：μPD78P214CW, μPD78P214GC-AB8, μPD78P214GJ-5BJ,
μPD78P214GQ-36, μPD78P214L

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- この製品を使用したことにより、第三者の工業所有権等にかかわる問題が発生した場合、当社製品の構造製法に直接かかわるもの以外につきましては、当社はその責を負いませんのでご了承ください。
- 当社は、航空宇宙機器、海底中継器、原子力制御システム、生命維持のための医療用機器などに推奨できる製品を標準的には用意しておりません。当社製品をこれらの用途にご使用をお考えのお客様、および、『標準』品質水準品を当社が意図した用途以外にご使用をお考えのお客様は、事前に販売窓口までご連絡頂きますようお願い致します。

当社推奨の用途例

標準：コンピュータ、OA機器、通信機器、計測機器、工作機械、産業用ロボット、AV機器、家電等
特別：輸送機器（列車、自動車等）、交通信号機器、防災／防犯装置等

- この製品は耐放射線設計をしておりません。

M4 92.6

QTOPは日本電気株式会社の商標です。

EWS-4800シリーズ、EWS-UX/Vは、日本電気株式会社の商標です。

MS-DOSは、米国マイクロソフト社の商標です。

PC/AT、PC DOSは、米国IBM社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Sun OSは、米国サン マイクロシステムズ社の商標です。

HP9000シリーズ300、HP-UXは、米国ヒューレット・パカード社の商標です。

お問い合わせは、最寄りのNECへ

本 社	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111	北 海 道 支 社 (011)231-0161	札幌支店 (011)231-0161	立 川 支 店 (0425)26-5981
コンシューマ半導体販売事業部			北海道支店 (022)261-5511	札幌支店 (022)261-5511	川 崎 支 店 (043)238-8116
OA半導体販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)		札幌支店 (0196)51-4344	札幌支店 (0196)51-4344	川 崎 支 店 (054)255-2211
インダストリアル半導体販売事業部			札幌支店 (0236)23-5511	札幌支店 (0236)23-5511	川 崎 支 店 (0559)63-4455
			札幌支店 (0249)23-5511	札幌支店 (0249)23-5511	川 崎 支 店 (053)452-2711
中部支社半導体販売部	〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル)	名古屋 (052)242-2755	札幌支店 (0246)21-5511	札幌支店 (0246)21-5511	川 崎 支 店 (0762)23-1621
			札幌支店 (0258)36-2155	札幌支店 (0258)36-2155	川 崎 支 店 (0776)22-1866
			札幌支店 (0292)26-1717	札幌支店 (0292)26-1717	川 崎 支 店 (0764)31-8461
			札幌支店 (045)324-5511	札幌支店 (045)324-5511	川 崎 支 店 (075)344-7824
			札幌支店 (0276)46-4011	札幌支店 (0276)46-4011	川 崎 支 店 (078)332-3311
			札幌支店 (0273)26-1255	札幌支店 (0273)26-1255	川 崎 支 店 (082)242-5504
			札幌支店 (0285)24-5011	札幌支店 (0285)24-5011	川 崎 支 店 (0857)27-5311
			札幌支店 (0262)35-1444	札幌支店 (0262)35-1444	川 崎 支 店 (086)225-4455
			札幌支店 (0263)35-1666	札幌支店 (0263)35-1666	川 崎 支 店 (0878)32-5001
			札幌支店 (0266)53-5350	札幌支店 (0266)53-5350	川 崎 支 店 (0899)45-4111
			札幌支店 (0552)24-4141	札幌支店 (0552)24-4141	川 崎 支 店 (092)271-7700
			札幌支店 (048)641-1411	札幌支店 (048)641-1411	川 崎 支 店 (093)541-2887

(技術お問い合わせ先)

半導体応用技術本部	マイクロコンピュータ技術部	〒210 川崎市川崎区駅前本町15番5号 (十五番館)	川 崎 (044)246-3922	半導体応用技術本部
半導体応用技術本部	中部応用システム技術部	〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル)	名 屋 (052)242-2762	インフォメーションセンター
半導体応用技術本部	西日本応用システム技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大 阪 (06)945-3383	FAX(044)548-7900
				(FAXで対応させていただきます)