

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

8ビット・シングルチップ・マイクロコンピュータ

μPD78P078Yは、78K/0シリーズの中のμPD78078Yサブシリーズの製品で、μPD78078Yの内蔵マスクROMを、ワン・タイムPROMまたはEPROMに置き換えたものです。

ユーザによるプログラムの書き込みが可能のため、システム開発時の評価用や多品種少量生産、早期立ち上げに最適です。

また、μPD78P078Yは、μPD78075BYサブシリーズのシステム開発時の評価用として使用できます。

注意 PD78075BYサブシリーズは、μPD78078Yサブシリーズと仕様が異なります。μPD78P078YをμPD78075BYサブシリーズの評価用として使用する場合は、μPD78075B, 78075BYサブシリーズ ユーザーズ・マニュアル (U12560J) を参照してください。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μPD78078, 78078Yサブシリーズ ユーザーズ・マニュアル : U10641J

78K/0シリーズ ユーザーズ・マニュアル 命令編 : U12326J

特 徴

マスクROM製品とピン・コンパチブル (V_{PP}端子を除く)

内部PROM : 60 Kバイト^{注1}

内部高速RAM : 1024バイト

内部拡張RAM : 1024バイト^{注2}

内部バッファRAM : 32バイト

マスクROM製品と同じ電源電圧で動作可能

(V_{DD} = 1.8 ~ 5.5 V)

QTOP™マイコン対応

注1 . メモリ・サイズ切り替えレジスタ (IMS) により、内部PROM容量の変更可能。

2 . 内部拡張RAMサイズ切り替えレジスタ (IXS) により、内部拡張RAM容量の変更可能。

備考1 . PROM製品とマスクROM製品の違いについては 1 . μPD78P078YとマスクROM製品の違いを参照してください。

2 . QTOPマイコンとは、NECの書き込みサービス (プログラム書き込みから捺印、スクリーニング、検査) によりトータル・サポートされたワン・タイムPROM内蔵マイコンの総称です。

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

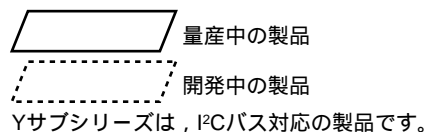
★ オーダ情報

オーダ名称	パッケージ	内部ROM
μ PD78P078YGF-3BA	100ピン・プラスチックQFP (14×20 mm , 樹脂厚2.7 mm)	ワン・タイムPROM
μ PD78P078YGF-3BA-A	"	"
μ PD78P078YGC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14 mm , 樹脂厚1.40 mm)	"

備考 オーダ名称の末尾「-A」の製品は、鉛フリー製品です。

★ 78K/0シリーズの展開

78K/0シリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



注 計画中

各サブシリーズ間の主な機能の違いを次に示します。

機能 サブシリーズ名		ROM容量	タイマ				8-bit	10-bit	8-bit	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張
			8-bit	16-bit	時計	WDT	A/D	A/D	D/A				
制御用	μ PD78075B	32 K-40 K	4ch	1ch	1ch	1ch	8ch	-	2ch	3ch(UART:1ch)	88本	1.8 V	
	μ PD78078	48 K-60 K									61本	2.7 V	
	μ PD78070A	-	88本	1.8 V									
	μ PD780018	48 K-60 K			-	2ch(時分割 3線:1ch)							
	μ PD780058	24 K-60 K	2ch	3ch(時分割UART:1ch)	68本	1.8 V							
	μ PD78058F	48 K-60 K			69本	2.7 V							
	μ PD78054	16 K-60 K	8 K-32 K	-	8ch	-	3ch(UART:1ch, 時分割 3線:1ch)	51本	1.8 V				
	μ PD780034	8 K-32 K						53本	2.7 V				
	μ PD780024	8 K-32 K	1ch	39本	-								
	μ PD78014H	8 K-60 K				8 K	-	8ch	-	1ch(UART:1ch)	33本	1.8 V	
	μ PD78018F	8 K-60 K	8 K	-	8ch						-	1ch	
	μ PD78014	8 K-32 K				8 K	-	8ch	-	1ch			
	μ PD780001	8 K	8 K-16 K	-	8ch						-	1ch	
	μ PD78002	8 K-16 K				8 K	-	8ch	-	1ch			
μ PD78083	8 K	8 K	-	8ch	-						1ch(UART:1ch)	33本	1.8 V
インバータ 制御用	μ PD780964	8 K-32 K	3ch	注	-	1ch	-	8ch	-	2ch(UART:2ch)	47本	2.7 V	
	μ PD780924						8ch	-					
FIP 駆動用	μ PD780208	32 K-60 K	2ch	1ch	1ch	1ch	8ch	-	-	2ch	74本	2.7 V	-
	μ PD780228	48 K-60 K	3ch	-	-	1ch	8ch	-	-	1ch	72本	4.5 V	
	μ PD78044H	32 K-48 K	2ch	1ch	1ch					68本	2.7 V		
	μ PD78044F	16 K-40 K	2ch	1ch	1ch	2ch	68本	2.7 V					
LCD 駆動用	μ PD780308	48 K-60 K	2ch	1ch	1ch	1ch	8ch	-	-	3ch(時分割UART:1ch)	57本	2.0 V	-
	μ PD78064B	32 K								2ch(UART:1ch)			
	μ PD78064	16 K-32 K											
IEBus 対応	μ PD78098B	40 K-60 K	2ch	1ch	1ch	1ch	8ch	-	2ch	3ch(UART:1ch)	69本	2.7 V	
	μ PD78098	32 K-60 K											
メータ 制御用	μ PD780973	24 K-32 K	3ch	1ch	1ch	1ch	5ch	-	-	2ch(UART:1ch)	56本	4.5 V	-
	μ PD780805	40 K-60 K	2ch	1ch	1ch	1ch	8ch	-	-	2ch(UART:1ch)	39本	2.7 V	
LV用	μ PD78P0914	32 K	6ch	-	-	1ch	8ch	-	-	2ch	54本	4.5 V	

注 10ビット・タイマ：1チャンネル

機能概要

項目	機能								
内部メモリ	<ul style="list-style-type: none"> ・ PROM : 60 Kバイト^{注1} ・ RAM 高速RAM : 1024バイト 拡張RAM : 1024バイト^{注2} バッファRAM : 32バイト 								
メモリ空間	64 Kバイト								
汎用レジスタ	8ビット×32レジスタ(8ビット×8レジスタ×4バンク)								
最小命令実行時間	最小命令実行時間の可変機能内蔵								
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20%;">メイン・システム・クロック選択時</td> <td>0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (5.0 MHz動作時)</td> </tr> <tr> <td>サブシステム・クロック選択時</td> <td>122 μs (32.768 kHz動作時)</td> </tr> </table>	メイン・システム・クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (5.0 MHz動作時)	サブシステム・クロック選択時	122 μs (32.768 kHz動作時)				
メイン・システム・クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (5.0 MHz動作時)								
サブシステム・クロック選択時	122 μs (32.768 kHz動作時)								
命令セット	<ul style="list-style-type: none"> ・ 16ビット演算 ・ 乗除算(8ビット×8ビット, 16ビット÷8ビット) ・ ビット操作(セット, リセット, テスト, ブール演算) ・ BCD補正 など 								
I/Oポート	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 60%;">合計</td> <td style="text-align: right;">: 88本</td> </tr> <tr> <td>・ CMOS入力</td> <td style="text-align: right;">: 2本</td> </tr> <tr> <td>・ CMOS入出力</td> <td style="text-align: right;">: 78本</td> </tr> <tr> <td>・ N-chオープン・ドレイン入出力</td> <td style="text-align: right;">: 8本</td> </tr> </table>	合計	: 88本	・ CMOS入力	: 2本	・ CMOS入出力	: 78本	・ N-chオープン・ドレイン入出力	: 8本
合計	: 88本								
・ CMOS入力	: 2本								
・ CMOS入出力	: 78本								
・ N-chオープン・ドレイン入出力	: 8本								
A/Dコンバータ	8ビット分解能×8チャンネル								
D/Aコンバータ	8ビット分解能×2チャンネル								
シリアル・インタフェース	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 60%;">3線式シリアルI/O / 2線式シリアルI/O / I²Cバス・モード選択可能</td> <td style="text-align: right;">: 1チャンネル</td> </tr> <tr> <td>3線式シリアルI/Oモード(最大32バイト自動送受信機能内蔵)</td> <td style="text-align: right;">: 1チャンネル</td> </tr> <tr> <td>3線式シリアルI/O / UART選択可能</td> <td style="text-align: right;">: 1チャンネル</td> </tr> </table>	3線式シリアルI/O / 2線式シリアルI/O / I ² Cバス・モード選択可能	: 1チャンネル	3線式シリアルI/Oモード(最大32バイト自動送受信機能内蔵)	: 1チャンネル	3線式シリアルI/O / UART選択可能	: 1チャンネル		
3線式シリアルI/O / 2線式シリアルI/O / I ² Cバス・モード選択可能	: 1チャンネル								
3線式シリアルI/Oモード(最大32バイト自動送受信機能内蔵)	: 1チャンネル								
3線式シリアルI/O / UART選択可能	: 1チャンネル								
タイマ	<ul style="list-style-type: none"> ・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 4チャンネル ・ 時計用タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 								
タイマ出力	5本(14ビットPWM出力可能: 1本, 8ビットPWM出力可能: 2本)								
クロック出力	19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック: 5.0 MHz動作時) 32.768 kHz (サブシステム・クロック: 32.768 kHz動作時)								
ブザー出力	1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック: 5.0 MHz動作時)								

注1 . メモリ・サイズ切り替えレジスタ (IMS) により, 内部PROM容量の変更可能。

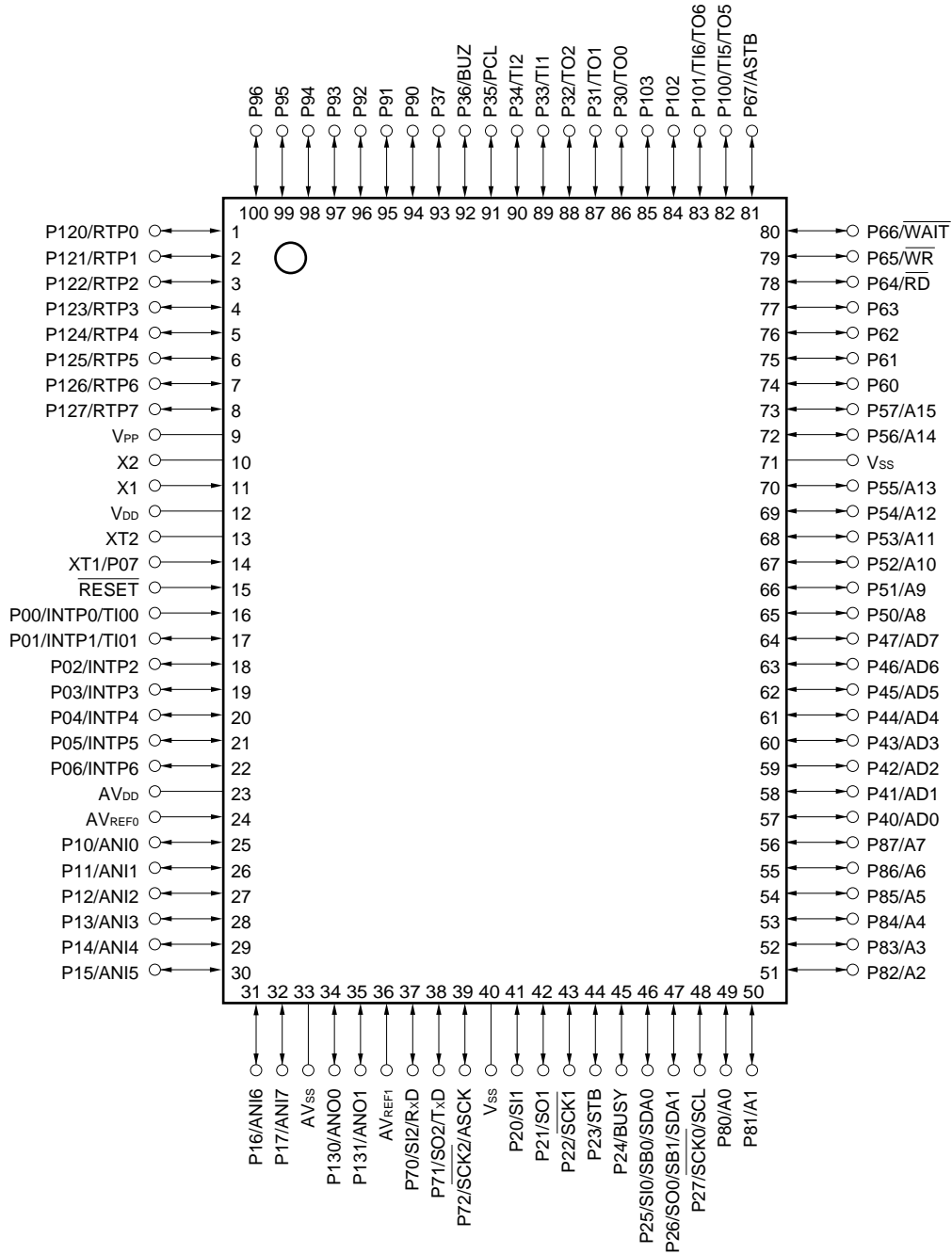
2 . 内部拡張RAMサイズ切り替えレジスタ (IXS) により, 内部拡張RAM容量の変更可能。

項 目		機 能
ベクタ割り込み要因	マスクابل	内部：15，外部：7
	ノンマスクابل	内部：1
	ソフトウェア	1
テスト入力		内部：1本，外部：1本
電源電圧		$V_{DD} = 1.8 \sim 5.5 V$
パッケージ		・ 100ピン・プラスチックQFP (14 × 20 mm, 樹脂厚2.7 mm) ・ 100ピン・プラスチックLQFP (ファインピッチ) (14 mm, 樹脂厚1.40 mm)

端子接続図 (Top View)

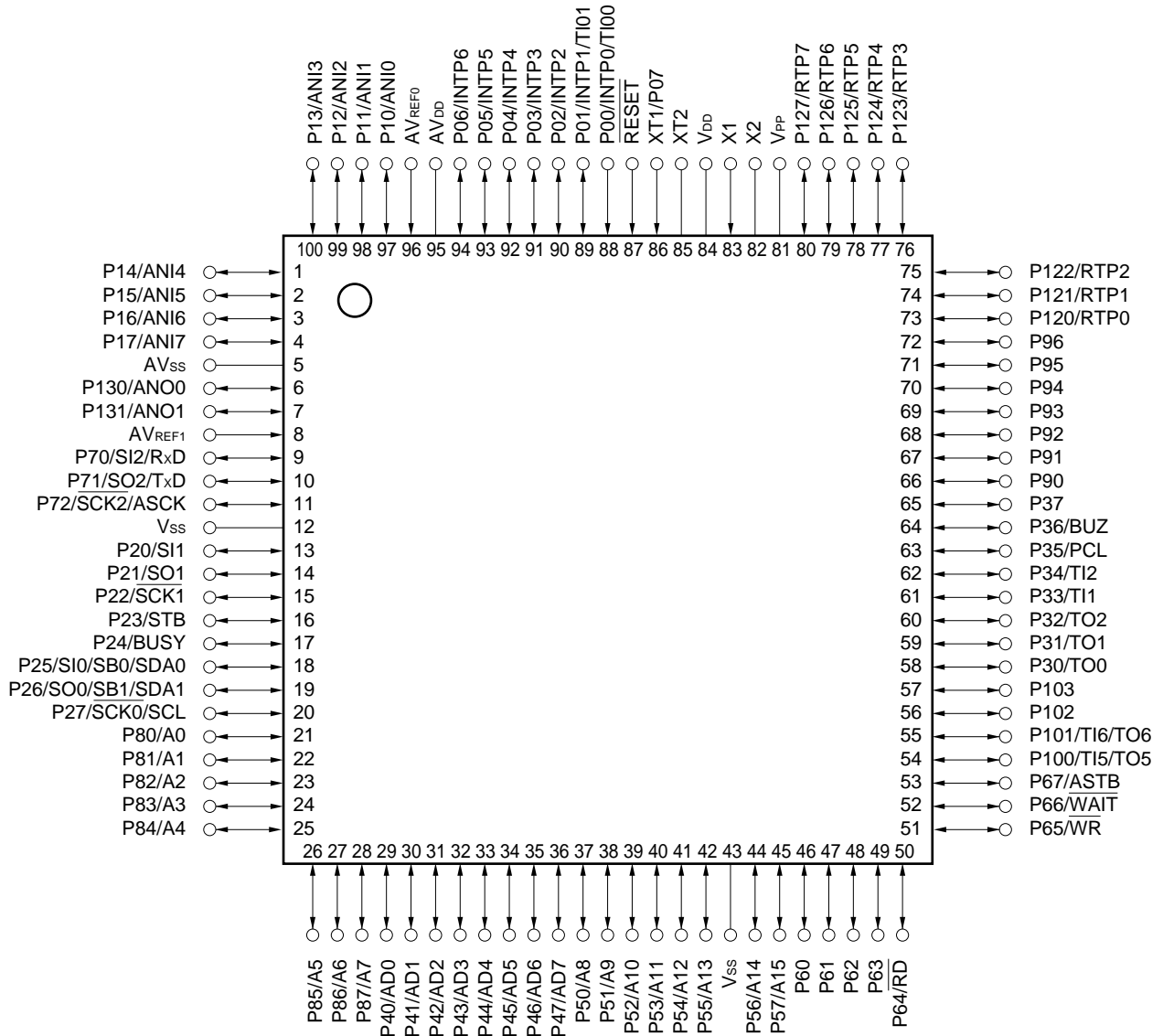
(1) 通常動作モード

・ 100ピン・プラスチックQFP (14 × 20 mm , 樹脂厚2.7 mm)



- 注意 1 . V_{PP}端子はV_{SS}に直接接続してください。
 2 . AV_{DD}端子はV_{DD}に接続してください。
 3 . AV_{SS}端子はV_{SS}に接続してください。

・100ピン・プラスチックLQFP（ファインピッチ）（ 14 mm，樹脂厚1.40 mm）



注意 1 . V_{PP}端子はV_{SS}に直接接続してください。

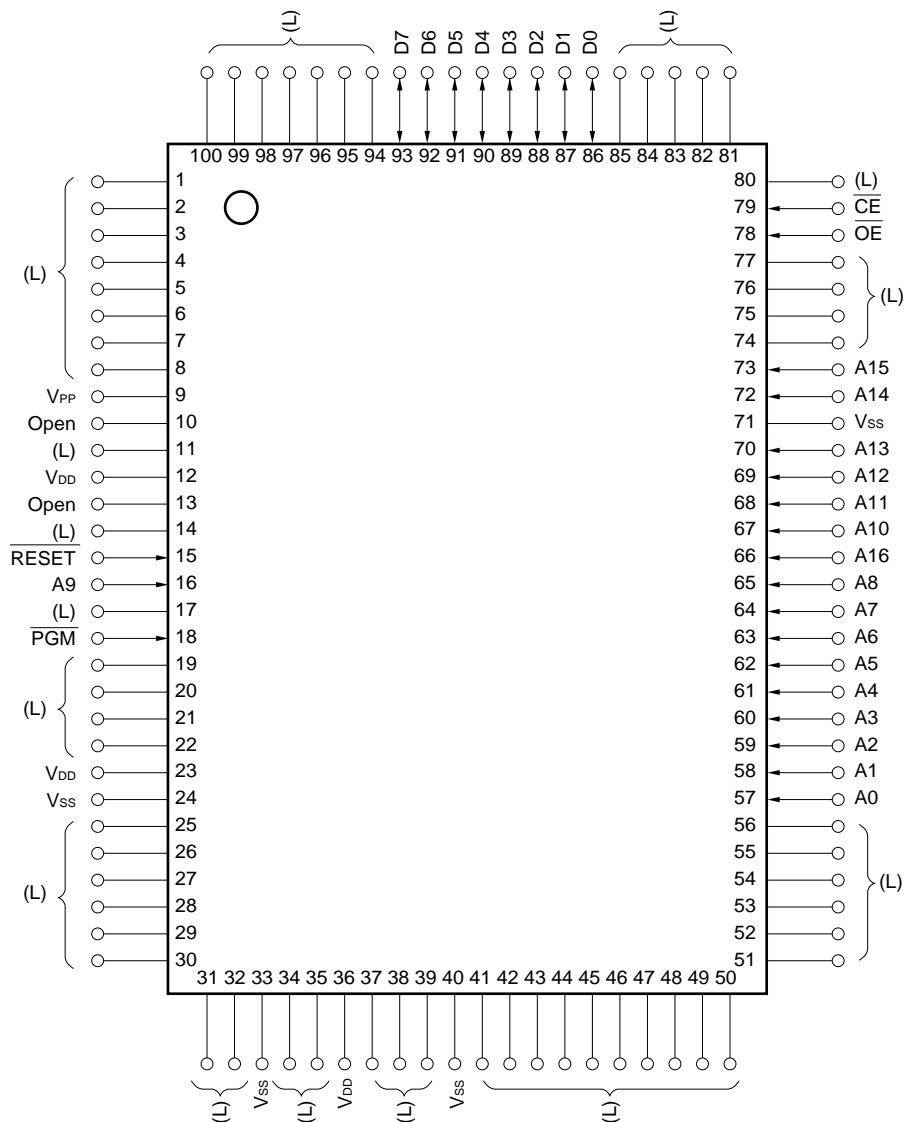
2 . AV_{DD}端子はV_{DD}に接続してください。

3 . AV_{SS}端子はV_{SS}に接続してください。

A0-A15	: Address Bus	P130, P131	: Port13
AD0-AD7	: Address/Data Bus	PCL	: Programmable Clock
ANI0-ANI7	: Analog Input	$\overline{\text{RD}}$: Read Strobe
ANO0, ANO1	: Analog Output	$\overline{\text{RESET}}$: Reset
ASCK	: Asynchronous Serial Clock	RTP0-RTP7	: Real-Time Output Port
ASTB	: Address Strobe	RxD	: Receive Data
AV _{DD}	: Analog Power Supply	TxD	: Transmit Data
AV _{REF0} , AV _{REF1}	: Analog Reference Voltage	SB0, SB1	: Serial Bus
AV _{SS}	: Analog Ground	$\overline{\text{SCK0-SCK2}}$: Serial Clock
BUSY	: Busy	SCL	: Serial Clock
BUZ	: Buzzer Clock	SDA0, SDA1	: Serial Data
INTP0-INTP6	: Interrupt from Peripherals	SI0-SI2	: Serial Input
P00-P07	: Port0	SO0-SO2	: Serial Output
P10-P17	: Port1	STB	: Strobe
P20-P27	: Port2	TI00, TI01	: Timer Input
P30-P37	: Port3	TI1, TI2, TI5, TI6	: Timer Input
P40-P47	: Port4	TO0-TO2, TO5, TO6	: Timer Output
P50-P57	: Port5	V _{DD}	: Power Supply
P60-P67	: Port6	V _{PP}	: Programming Power Supply
P70-P72	: Port7	V _{SS}	: Ground
P80-P87	: Port8	$\overline{\text{WAIT}}$: Wait
P90-P96	: Port9	$\overline{\text{WR}}$: Write Strobe
P100-P103	: Port10	X1, X2	: Crysta(Main System Clock)
P120-P127	: Port12	XT1, XT2	: Crystal (Subsystem Clock)

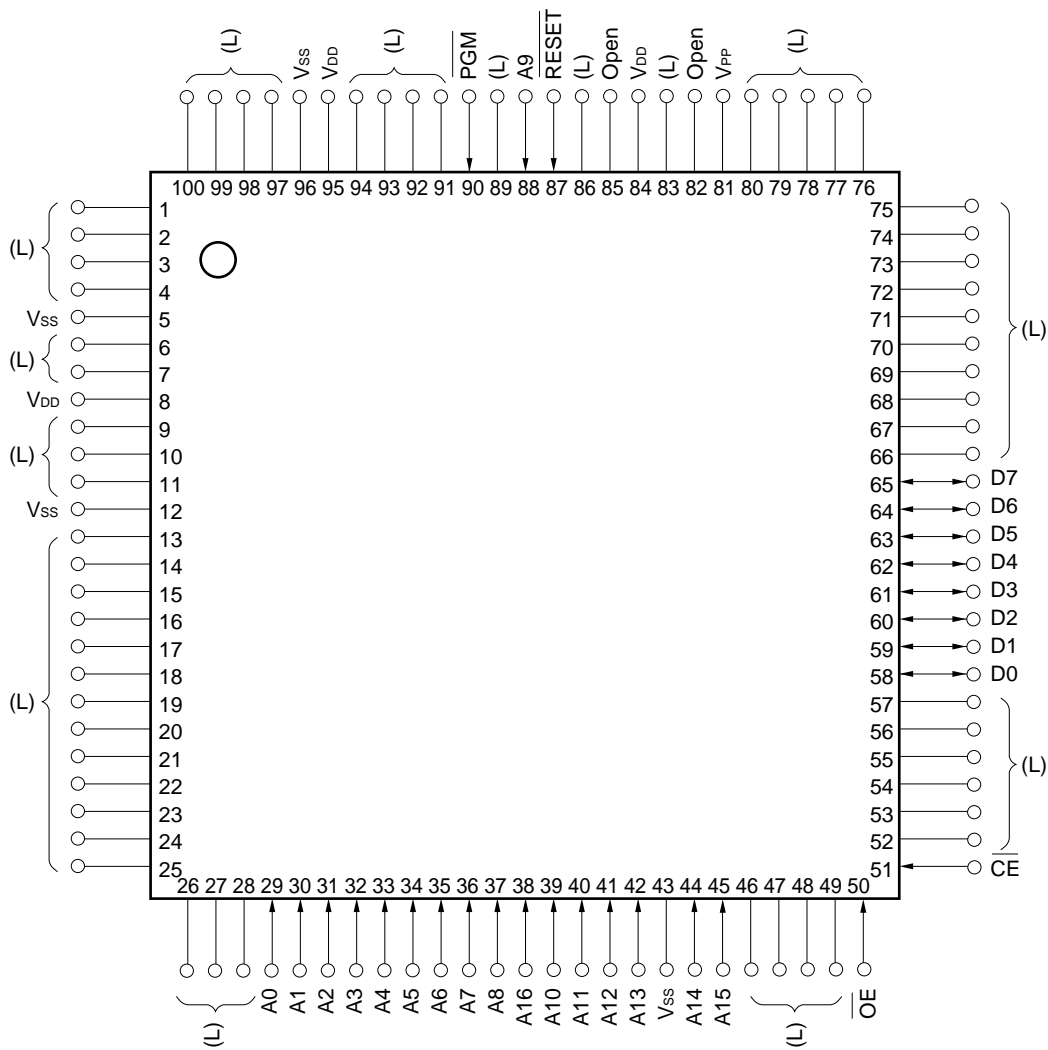
(2) PROMプログラミング・モード

・100ピン・プラスチックQFP (14×20mm, 樹脂厚2.7mm)



- 注意 1 . (L) : 個別にプルダウン抵抗を介して, V_{SS}に接続してください。
- 2 . V_{SS} : グラウンドに接続してください。
- 3 . $\overline{\text{RESET}}$: ロウ・レベルにしてください。
- 4 . Open : 何も接続しないでください。

・100ピン・プラスチックLQFP（ファインピッチ）（ 14 mm，樹脂厚1.40 mm）

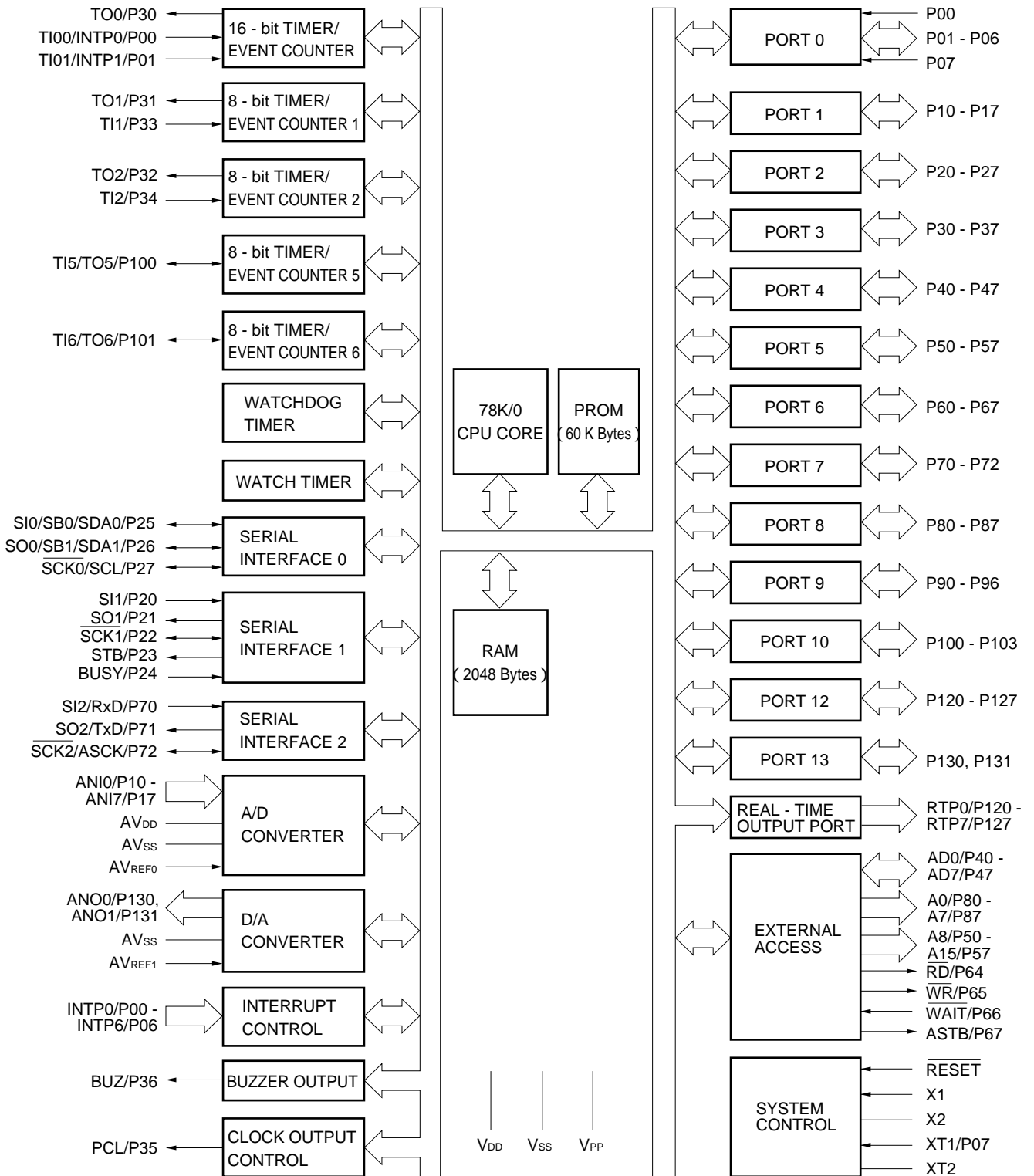


注意1 .(L) : 個別にプルダウン抵抗を介して、Vssに接続してください。

- 2 . Vss : グランドに接続してください。
- 3 . $\overline{\text{RESET}}$: ロウ・レベルにしてください。
- 4 . Open : 何も接続しないでください。

A0-A16	: Address Bus	$\overline{\text{RESET}}$: Reset
$\overline{\text{CE}}$: Chip Enable	V _{DD}	: Power Supply
D0-D7	: Data Bus	V _{PP}	: Programming Power Supply
$\overline{\text{OE}}$: Output Enable	V _{SS}	: Ground
$\overline{\text{PGM}}$: Program		

ブロック図



目 次

1 . μ PD78P078YとマスクROM製品の違い ...	14
2 . 端子機能一覧 ...	15
2.1 通常動作モード時の端子 ...	15
2.2 PROMプログラミング・モード時の端子 ...	19
2.3 端子の入出力回路と未使用端子の処理 ...	20
3 . メモリ・サイズ切り替えレジスタ (IMS) ...	24
4 . 内部拡張RAMサイズ切り替えレジスタ (IXS) ...	25
5 . PROMプログラミング ...	26
5.1 動作モード ...	26
5.2 PROM書き込みの手順 ...	28
5.3 PROM読み出しの手順 ...	32
6 . ワン・タイムPROM製品のスクリーニングについて ...	33
7 . 電気的特性 ...	34
8 . 特性曲線 (参考値) ...	68
9 . 外形図 ...	70
10 . 半田付け推奨条件 ...	72
付録A . 開発ツール ...	74
付録B . 関連資料 ...	79

1. μPD78P078YとマスクROM製品の違い

μPD78P078Yは、一度だけ書き込み可能なワン・タイムPROMまたはプログラムの書き込み、消去、再書き込み可能なEPROMを内蔵した製品です。

メモリ・サイズ切り替えレジスタ（IMS）、内部拡張RAMサイズ切り替えレジスタ（IXS）の設定により、PROM仕様、P60-P63、P90-P93端子のマスク・オプション以外の機能をマスクROM製品と同一にすることができます。

表1-1にPROM製品（μPD78P078Y）とマスクROM製品（μPD78074BY, 78075BY, 78076Y, 78078Y）の違いを示します。

表1-1 μPD78P078YとマスクROM製品の違い

項目	μPD78P078Y	マスクROM製品
内部ROM構造	ワン・タイムPROM/EPROM	マスクROM
内部ROM容量	60 Kバイト	μPD78074BY : 32 Kバイト μPD78075BY : 40 Kバイト μPD78076Y : 48 Kバイト μPD78078Y : 60 Kバイト
内部拡張RAM容量	1024バイト	μPD78074BY : なし μPD78075BY : なし μPD78076Y : 1024バイト μPD78078Y : 1024バイト
メモリ・サイズ切り替えレジスタ（IMS）による内部ROM容量の変更	可 ^{注1}	不可
内部拡張RAMサイズ切り替えレジスタ（IXS）による内部拡張RAM容量の変更	可 ^{注2}	不可
IC端子	なし	あり
V _{PP} 端子	あり	なし
P60-P63, P90-P93端子のブルアップ抵抗 内蔵マスク・オプション	あり	なし
電気的特性	個別の製品のデータ・シートを参照してください。	

注1. RESET入力により、内部PROMは60 Kバイト、内部高速RAMは1024バイトとなります。

2. RESET入力により、内部拡張RAMは1024バイトとなります。

注意 PROM製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でPROM製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品でなく）で十分な評価を行ってください。

2. 端子機能一覧

2.1 通常動作モード時の端子

(1) ポート端子 (1/3)

端子名称	入出力	機能		リセット時	兼用端子
P00	入力	ポート 0。	入力専用。	入力	INTP0/TI00
P01	入出力	8 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入力	INTP1/TI01
P02					INTP2
P03					INTP3
P04					INTP4
P05					INTP5
P06					INTP6
P07 ^{注1}	入力		入力専用。	入力	XT1
P10-P17	入出力	ポート 1。 8 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 ^{注2}		入力	ANI0-ANI7
P20	入出力	ポート 2。 8 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	SI1
P21					SO1
P22					SCK1
P23					STB
P24					BUSY
P25					SI0/SB0/SDA0
P26					SO0/SB1/SDA1
P27					SCK0/SCL
P30	入出力	ポート 3。 8 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	TO0
P31					TO1
P32					TO2
P33					TI1
P34					TI2
P35					PCL
P36					BUZ
P37					—

注1 . P07/XT1端子を入力ポートとして使用するときは、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット 6 (FRC) を 1 に設定してください (サブシステム・クロック発振回路の内蔵フィードバック抵抗は使用しないでください)。

2 . P10/ANI0-P17/ANI7端子をA/Dコンバータのアナログ入力として使用するときは、内蔵プルアップ抵抗が自動的に使用されなくなります。

(1) ポート端子 (2/3)

端子名称	入出力	機能		リセット時	兼用端子
P40-P47	入出力	ポート 4。 8 ビット入出力ポート。 8 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 立ち上がりエッジの検出により、テスト入力フラグ (KRIF) を 1 にセット。		入力	AD0-AD7
P50-P57	入出力	ポート 5。 8 ビット入出力ポート。 LEDを直接駆動可能。 1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	A8-A15
P60	入出力	ポート 6。 8 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。	N-chオープン・ドレイン入出力ポート。 LEDを直接駆動可能。	入力	-
P61					
P62					
P63					
P64			入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入力	\overline{RD}
P65					\overline{WR}
P66					\overline{WAIT}
P67					ASTB
P70	入出力	ポート 7。 3 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入力	S12/RxD	
P71				SO2/TxD	
P72				$\overline{SCK2/ASCK}$	
P80-P87	入出力	ポート 8。 8 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	A0-A7
P90	入出力	ポート 9。 7 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。	N-chオープン・ドレイン入出力ポート。 LEDを直接駆動可能。	入力	-
P91					
P92					
P93					
P94			入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		
P95					
P96					

(1) ポート端子 (3/3)

端子名称	入出力	機能	リセット時	兼用端子
P100	入出力	ポート10。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入力	T15/TO5
P101				T16/TO6
P102, P103				—
P120-P127	入出力	ポート12。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入力	RTP0-RTP7
P130, P131	入出力	ポート13。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入力	ANO0, ANO1

(2) ポート以外の端子 (1/2)

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力。	入力	P00/TI00
INTP1				P01/TI01
INTP2				P02
INTP3				P03
INTP4				P04
INTP5				P05
INTP6				P06
SI0	入力	シリアル・インタフェースのシリアル・データ入力。	入力	P25/SB0/SDA0
SI1				P20
SI2				P70/RxD
SO0	出力	シリアル・インタフェースのシリアル・データ出力。	入力	P26/SB1/SDA1
SO1				P21
SO2				P71/TxD
SB0	入出力	シリアル・インタフェースのシリアル・データ入力 / 出力。	入力	P25/SI0/SDA0
SB1				P26/SO0/SDA1
SDA0				P25/SI0/SB0
SDA1				P26/SO0/SB1
$\overline{\text{SCK0}}$	入出力	シリアル・インタフェースのシリアル・クロック入力 / 出力。	入力	P27/SCL
$\overline{\text{SCK1}}$				P22
$\overline{\text{SCK2}}$				P72/ASCK
SCL				P27/ $\overline{\text{SCK0}}$
STB	出力	シリアル・インタフェース自動送受信用ストロブ出力。	入力	P23
BUSY	入力	シリアル・インタフェース自動送受信用ビジー入力。	入力	P24
RxD	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力。	入力	P70/SI2
TxD	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力。	入力	P71/SO2
ASCK	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロック入力。	入力	P72/ $\overline{\text{SCK2}}$
TI00	入力	16ビット・タイマ (TM0) への外部カウント・クロック入力。	入力	P00/INTP0
TI01		キャプチャ・レジスタ (CR00) へのキャプチャ・トリガ信号入力。		P01/INTP1
TI1		8ビット・タイマ (TM1) への外部カウント・クロック入力。		P33
TI2		8ビット・タイマ (TM2) への外部カウント・クロック入力。		P34
TI5		8ビット・タイマ (TM5) への外部カウント・クロック入力。		P100/TO5
TI6		8ビット・タイマ (TM6) への外部カウント・クロック入力。		P101/TO6
TO0	出力	16ビット・タイマ (TM0) 出力 (14ビットPWM出力と兼用)。	入力	P30
TO1		8ビット・タイマ (TM1) 出力。		P31
TO2		8ビット・タイマ (TM2) 出力。		P32
TO5		8ビット・タイマ (TM5) 出力 (8ビットPWM出力と兼用)。		P100/TO5
TO6		8ビット・タイマ (TM6) 出力 (8ビットPWM出力と兼用)。		P101/TO6
PCL	出力	クロック出力 (メイン・システム・クロック, サブシステム・クロックのトリミング用)。	入力	P35
BUZ	出力	ブザー出力。	入力	P36
RTP0-RTP7	出力	トリガに同期してデータを出力するリアルタイム出力ポート。	入力	P120-P127

(2) ポート以外の端子 (2/2)

端子名称	入出力	機能	リセット時	兼用端子
AD0-AD7	入出力	外部にメモリを拡張する場合の、下位アドレス/データ・バス。	入力	P40-P47
A0-A7	出力	外部にメモリを拡張する場合の、下位アドレス・バス。	入力	P80-P87
A8-A15	出力	外部にメモリを拡張する場合の、上位アドレス・バス。	入力	P50-P57
$\overline{\text{RD}}$	出力	外部メモリのリード動作ストロブ信号出力。	入力	P64
$\overline{\text{WR}}$		外部メモリのライト動作ストロブ信号出力。	入力	P65
$\overline{\text{WAIT}}$	入力	外部メモリ・アクセス時のウエイト挿入。	入力	P66
ASTB	出力	外部メモリをアクセスするために、ポート4, 5, 8に出力されるアドレス情報を外部でラッチするストロブ出力。	入力	P67
ANI0-ANI7	入力	A/Dコンバータのアナログ入力。	入力	P10-P17
ANO0, ANO1	出力	D/Aコンバータのアナログ出力。	入力	P130, P131
AVREF0	入力	A/Dコンバータの基準電圧入力。	-	-
AVREF1	入力	D/Aコンバータの基準電圧入力。	-	-
AVDD	-	A/Dコンバータのアナログ電源。V _{DD} に接続。	-	-
AVSS	-	A/Dコンバータ, D/Aコンバータのグランド電位。V _{SS} に接続。	-	-
$\overline{\text{RESET}}$	入力	システム・リセット入力。	-	-
X1	入力	メイン・システム・クロック発振用クリスタル接続。	-	-
X2	-		-	-
XT1	入力	サブシステム・クロック発振用クリスタル接続。	入力	P07
XT2	-		-	-
V _{DD}	-	正電源。	-	-
V _{PP}	-	プログラム書き込み/ベリファイ時の高電圧印加。通常動作モード時はV _{SS} に直接接続。	-	-
V _{SS}	-	グランド電位。	-	-

2.2 PROMプログラミング・モード時の端子

端子名称	入出力	機能
$\overline{\text{RESET}}$	入力	PROMプログラミング・モード設定。 V _{PP} 端子に+5Vまたは+12.5V, $\overline{\text{RESET}}$ 端子にロウ・レベルを印加すると, PROMプログラミング・モードになります。
V _{PP}	入力	PROMプログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加。
A0-A16	入力	アドレス・バス。
D0-D7	入出力	データ・バス。
$\overline{\text{CE}}$	入力	PROMイネーブル入力/プログラム・パルス入力。
$\overline{\text{OE}}$	入力	PROMへのリード・ストロブ入力。
$\overline{\text{PGM}}$	入力	PROMプログラミング・モード時のプログラム/プログラム・インヒビット入力。
V _{DD}	-	正電源。
V _{SS}	-	グランド電位。

2.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表 2 - 1 に示します。

また、各タイプの入出力回路の構成は、図 2 - 1 を参照してください。

表 2 - 1 各端子の入出力回路タイプ (1/2)

端 子 名	入出力回路タイプ	入出力	未使用時の推奨接続方法		
P00/INTP0/TI00	2	入力	V _{SS} に接続		
P01/INTP1/TI01	8-A	入出力	個別に抵抗を介して、V _{SS} に接続		
P02/INTP2					
P03/INTP3					
P04/INTP4					
P05/INTP5					
P06/INTP6					
P07/XT1	16	入力	V _{DD} に接続		
P10/ANI0-P17/ANI7	11	入出力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続		
P20/SI1	8-A				
P21/SO1	5-A				
P22/ $\overline{\text{SCK1}}$	8-A				
P23/STB	5-A				
P24/BUSY	8-A				
P25/SI0/SB0/SDA0	10-A				
P26/SO0/SB1/SDA1					
P27/ $\overline{\text{SCK0}}$ /SCL					
P30/TO0	5-A				
P31/TO1					
P32/TO2					
P33/TI1	8-A				
P34/TI2					
P35/PCL	5-A				
P36/BUZ					
P37					
P40/AD0-P47/AD7	5-E			入出力	個別に抵抗を介して、V _{DD} に接続
P50/A8-P57/A15	5-A			入出力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続
P60-P63	13-D			入出力	個別に抵抗を介して、V _{DD} に接続
P64/ $\overline{\text{RD}}$	5-A	入出力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続		
P65/ $\overline{\text{WR}}$					
P66/ $\overline{\text{WAIT}}$					
P67/ASTB					

表 2 - 1 各端子の入出力回路タイプ (2/2)

端 子 名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P70/SI2/RxD	8-A	入出力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続
P71/SO2/TxD	5-A		
P72/SCK2/ASCK	8-A		
P80/A0-P87/A7	5-A		
P90-P93	13-D	入出力	個別に抵抗を介して、V _{DD} に接続
P94-P96	5-A	入出力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続
P100/TI5/TO5	8-A		
P101/TI6/TO6			
P102, P103	5-A		
P120/RTP0-P127/RTP7	5-A		
P130/ANO0, P131/ANO1	12-A	入出力	個別に抵抗を介して、V _{SS} に接続
RESET	2	入力	-
XT2	16	-	オープン
AV _{REF0}	-		V _{SS} に接続
AV _{REF1}			V _{DD} に接続
AV _{DD}			
AV _{SS}			V _{SS} に接続
V _{PP}			V _{SS} に直接接続

図 2 - 1 端子の入出力回路一覧 (1/2)

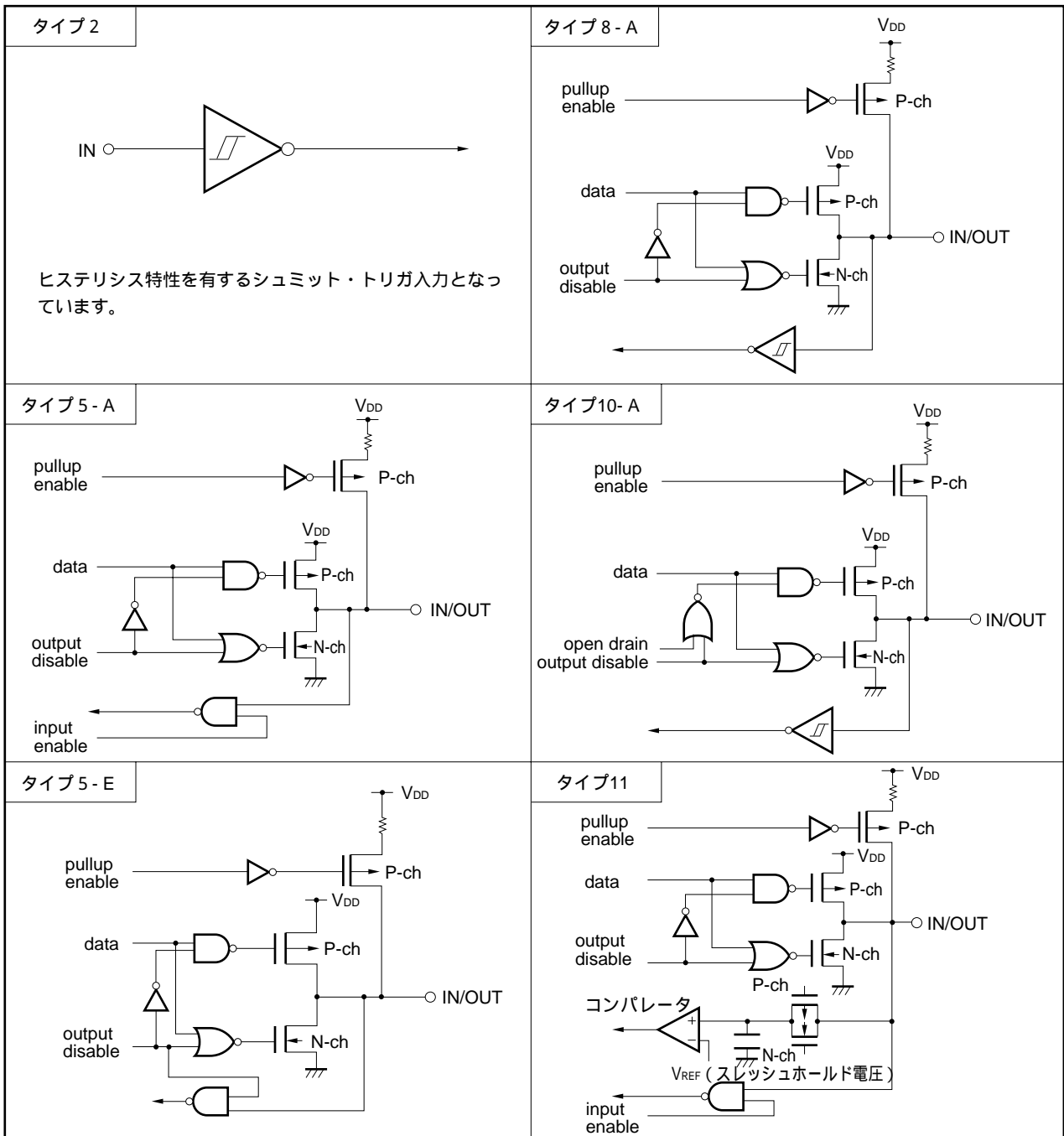
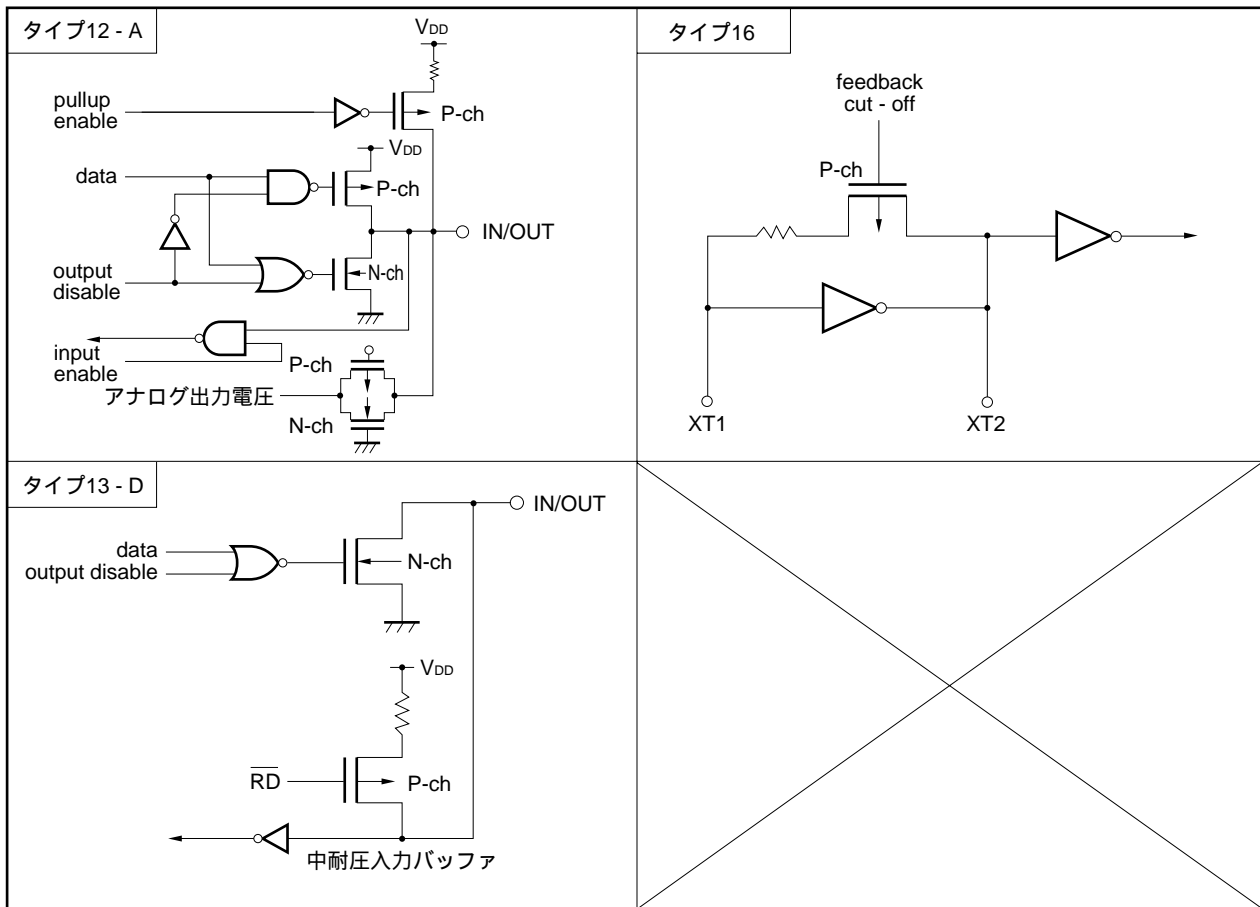


図 2 - 1 端子の入出力回路一覧 (2/2)



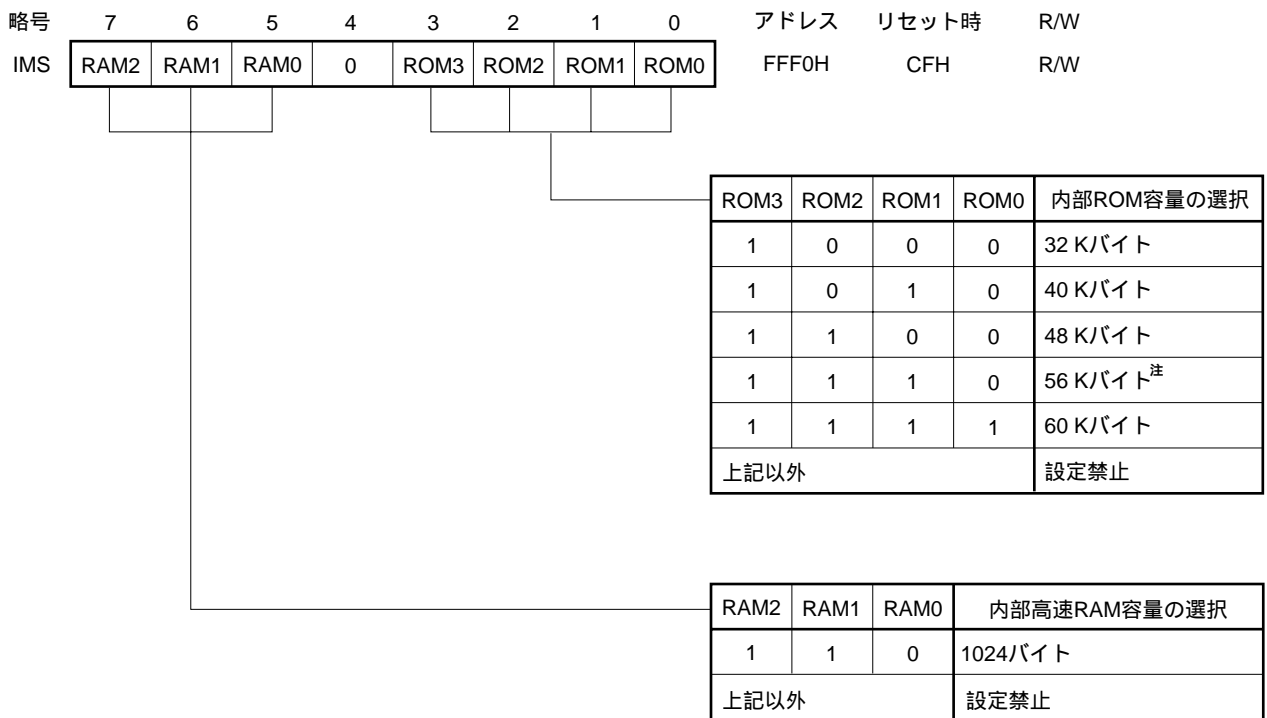
3. メモリ・サイズ切り替えレジスタ (IMS)

ソフトウェアにより内部メモリの一部を使用しないようにするためのレジスタです。メモリ・サイズ切り替えレジスタ (IMS) を設定することにより、内部メモリ (ROM) の異なるマスクROM製品のメモリ・マッピングと同一のメモリ・マッピングにすることができます。

IMSは、8ビット・メモリ操作命令で設定します。

RESET入力により、CFHになります。

図3 - 1 メモリ・サイズ切り替えレジスタのフォーマット



注 外部デバイス拡張機能を使用する場合、内部ROM容量を56 Kバイト以下に設定してください。

マスクROM製品と同一のメモリ・マップにするIMSの設定値を表3 - 1に示します。

表3 - 1 メモリ・サイズ切り替えレジスタの設定値

対象のマスクROM製品	IMSの設定値
μ PD78074BY	C8H
μ PD78075BY	CAH
μ PD78076Y	CCH
μ PD78078Y	CFH

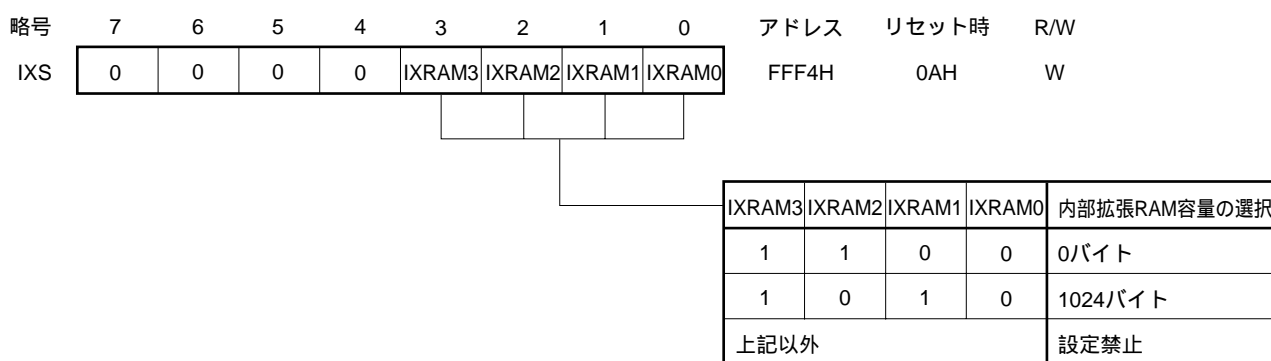
4 . 内部拡張RAMサイズ切り替えレジスタ (IXS)

ソフトウェアにより内部拡張RAM容量の設定をするためのレジスタです。内部拡張RAMサイズ切り替えレジスタ (IXS) を設定することにより、内部拡張RAMの異なるマスクROM製品のメモリ・マッピングと同一のメモリ・マッピングにすることができます。

IXSは、8ビット・メモリ操作命令で設定します。

RESET入力により、0AHになります。

図4 - 1 内部拡張RAMサイズ切り替えレジスタのフォーマット



マスクROM製品と同一のメモリ・マップにするIXSの設定値を表4 - 1に示します。

表4 - 1 内部拡張RAMサイズ切り替えレジスタの設定値

対象のマスクROM製品	IXSの設定値
μ PD78074BY	0CH ^注
μ PD78075BY	
μ PD78076Y	0AH
μ PD78078Y	

注 「MOV IXS, #0CH」が記述されたμ PD78P078Y用のプログラムをμ PD78074BY, 78075BYで実行しても、動作に影響を与えません。

5 . PROMプログラミング

μPD78P078Yは、プログラム・メモリとして60 Kバイト構成のPROMを内蔵しています。プログラミングをするときは、V_{PP}端子、RESET端子でPROMプログラミング・モードに設定します。その他、使用しない端子の処理は、端子接続図(2) PROMプログラミング・モードを参照してください。

注意 プログラム書き込みは、0000H-EFFFH番地の範囲で行ってください(最終アドレスEFFFH番地を指定してください)。書き込みアドレスを指定できないIPROMプログラマでは書き込みできません。

5.1 動作モード

V_{PP}端子に+ 5 Vまたは+ 12.5 V, RESET端子にロウ・レベルを印加すると、PROMプログラミング・モードになります。このモードはCE端子、OE端子、PGM端子の設定により、表5 - 1のような動作モードになります。

また、読み出しモードに設定することにより、PROMの内容を読み出すことができます。

表5 - 1 PROMプログラミングの動作モード

端子	RESET	V _{PP}	V _{DD}	CE	OE	PGM	D0-D7
動作モード							
ページ・データ・ラッチ	L	+ 12.5 V	+ 6.5 V	H	L	H	データ入力
ページ書き込み				H	H	L	ハイ・インピーダンス
バイト書き込み				L	H	L	データ入力
プログラム・ベリファイ				L	L	H	データ出力
プログラム・インヒビット				×	H	H	ハイ・インピーダンス
				×	L	L	
読み出し	+ 5 V	+ 5 V	L	L	H	データ出力	
出力ディスエーブル			L	H	×	ハイ・インピーダンス	
スタンバイ			H	×	×	ハイ・インピーダンス	

× : LまたはH

(1) 読み出しモード

$\overline{CE} = L$, $\overline{OE} = L$ に設定することにより、読み出しモードになります。

(2) 出力ディスエーブル・モード

$\overline{OE} = H$ にすることにより、データ出力がハイ・インピーダンスになり出力ディスエーブル・モードになります。

したがって、データ・バスに複数の μ PD78P078Yを接続した場合、 \overline{OE} 端子を制御することで任意の1個のデバイスよりデータを読み出すことができます。

(3) スタンバイ・モード

$\overline{CE} = H$ にすることによりスタンバイ・モードになります。

このモードでは、 \overline{OE} の状態に関係なくデータ出力がハイ・インピーダンスになります。

(4) ページ・データ・ラッチ・モード

ページ書き込みモードの初期に $\overline{CE} = H$, $\overline{PGM} = H$, $\overline{OE} = L$ にすることにより、ページ・データ・ラッチ・モードになります。

このモードでは、1ページ4バイトのデータが内部のアドレス/データ・ラッチ回路にラッチされます。

(5) ページ書き込みモード

ページ・データ・ラッチ・モードにより1ページ4バイトのアドレスとデータをラッチ後、 $\overline{CE} = H$, $\overline{OE} = H$ の状態では \overline{PGM} 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を印加することによりページ書き込みが実行されます。その後、 $\overline{CE} = L$, $\overline{OE} = L$ にすることにより、プログラム・ベリファイを行えます。

1回のプログラム・パルスでプログラムされない場合にはX回(X = 10)の書き込みとベリファイを繰り返し実行します。

(6) バイト書き込みモード

$\overline{CE} = L$, $\overline{OE} = H$ の状態では \overline{PGM} 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を印加することによりバイト書き込みが実行されます。その後、 $\overline{OE} = L$ にすることにより、プログラム・ベリファイが行えます。

1回のプログラム・パルスでプログラムされない場合にはX回(X = 10)の書き込みとベリファイを繰り返し実行します。

(7) プログラム・ベリファイ・モード

$\overline{CE} = L$, $\overline{PGM} = H$, $\overline{OE} = L$ にすることにより、プログラム・ベリファイ・モードになります。

書き込みを行ったのち、正しく書き込まれたかどうかこのモードで確認してください。

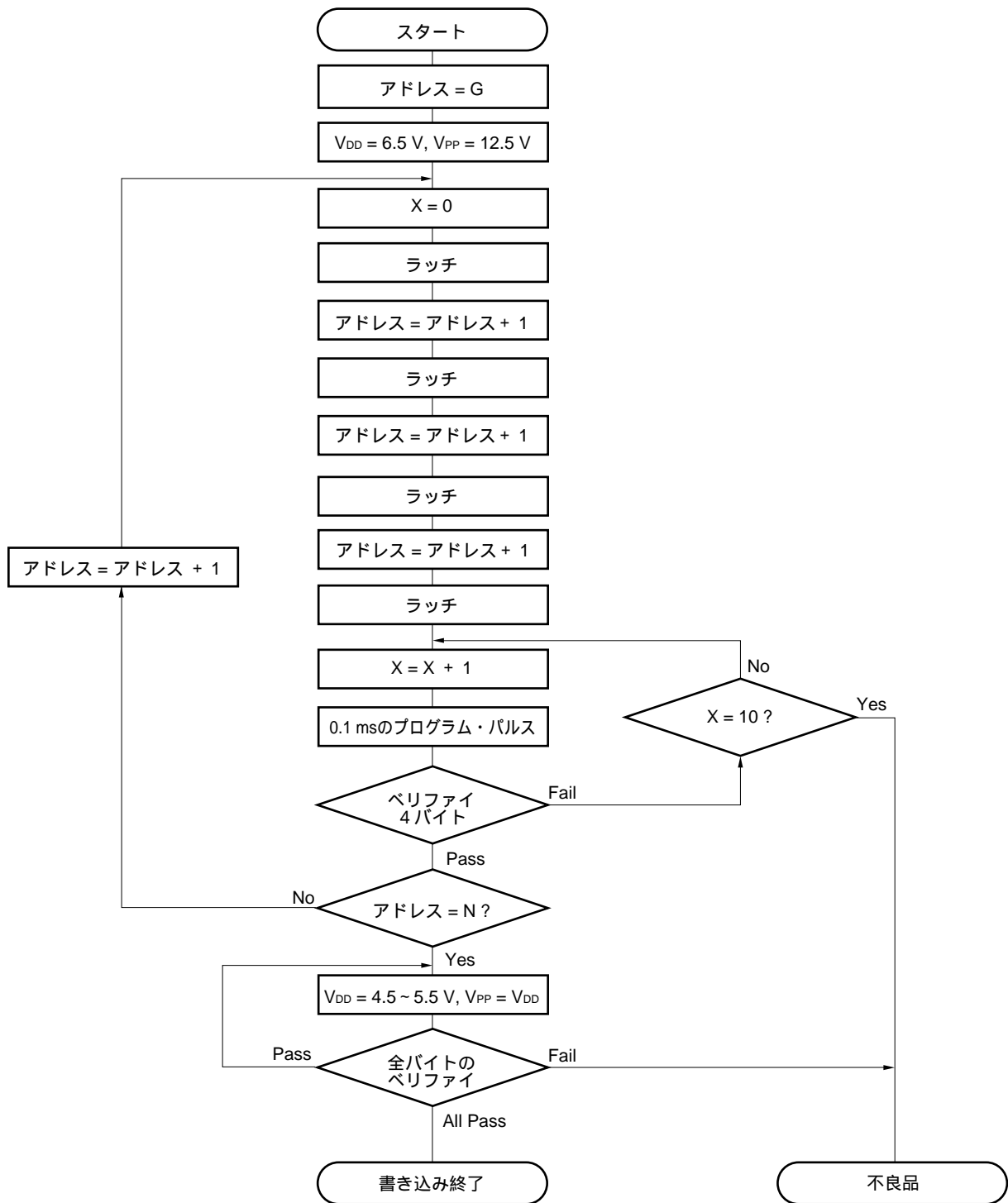
(8) プログラム・インヒビット・モード

プログラム・インヒビット・モードは、複数の μ PD78P078Yの \overline{OE} 端子、 V_{PP} 端子、D0-D7端子がパラレルに接続されている状態でその中の1個のデバイスに書き込みを行う場合に使用します。

書き込みを行う場合に、上記ページ書き込みモードあるいはバイト書き込みモードを使用します。このとき、 \overline{PGM} 端子をハイ・レベルにしたデバイスには書き込みが行われません。

5.2 PROM書き込みの手順

図5 - 1 ページ・プログラム・モード・フロー・チャート



G = 開始アドレス

N = プログラムの最終アドレス

図5 - 2 ページ・プログラム・モード・タイミング

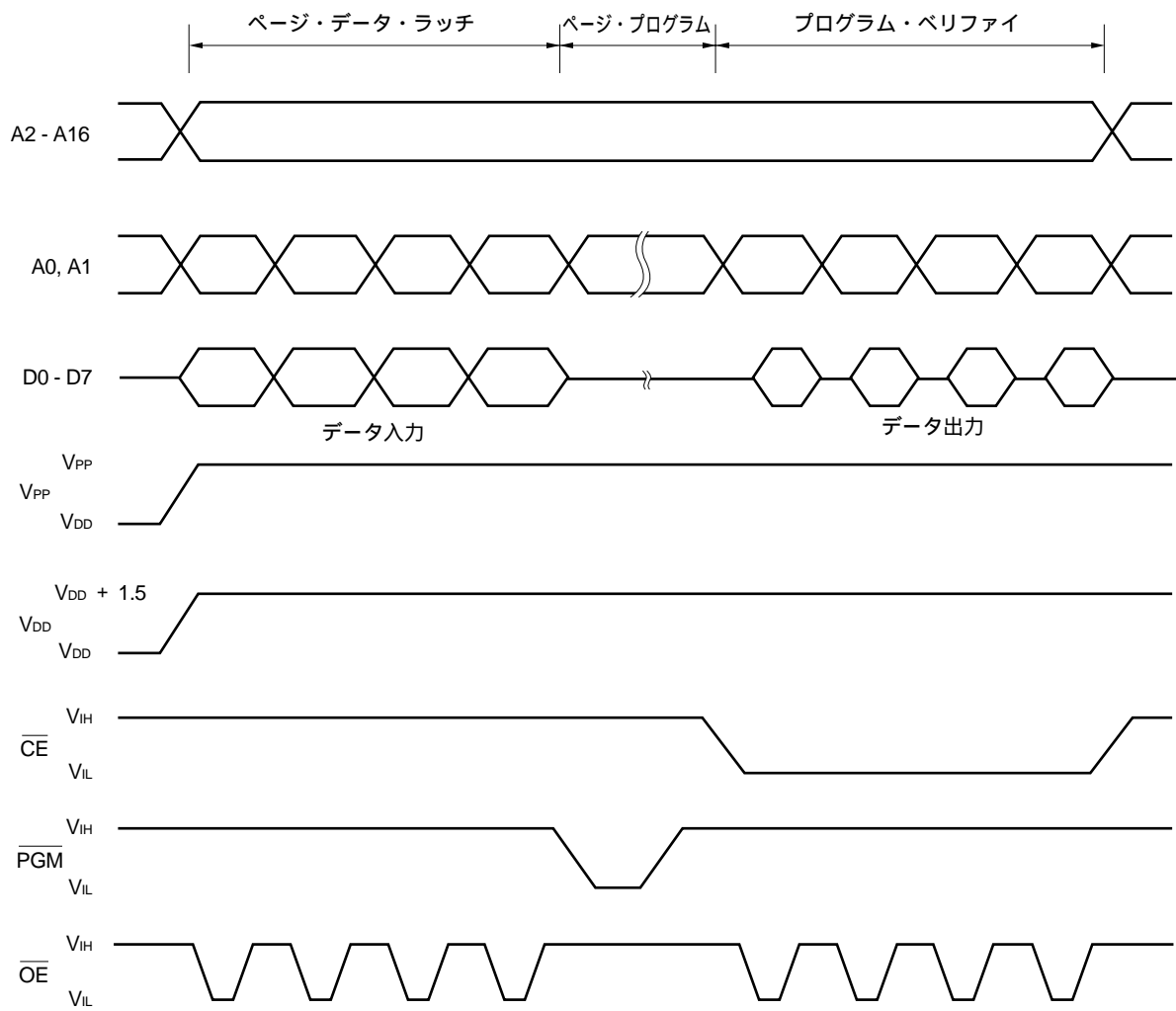
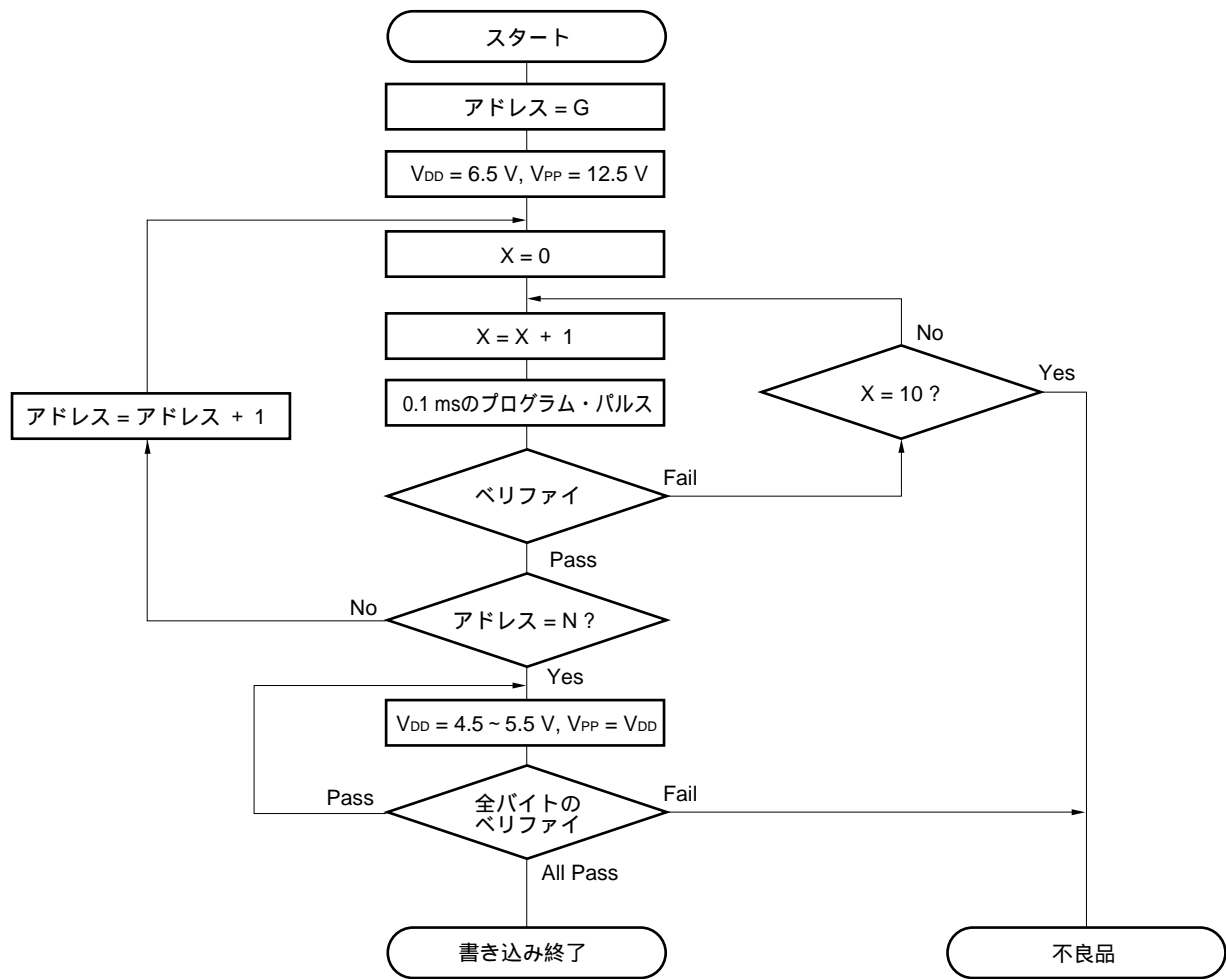


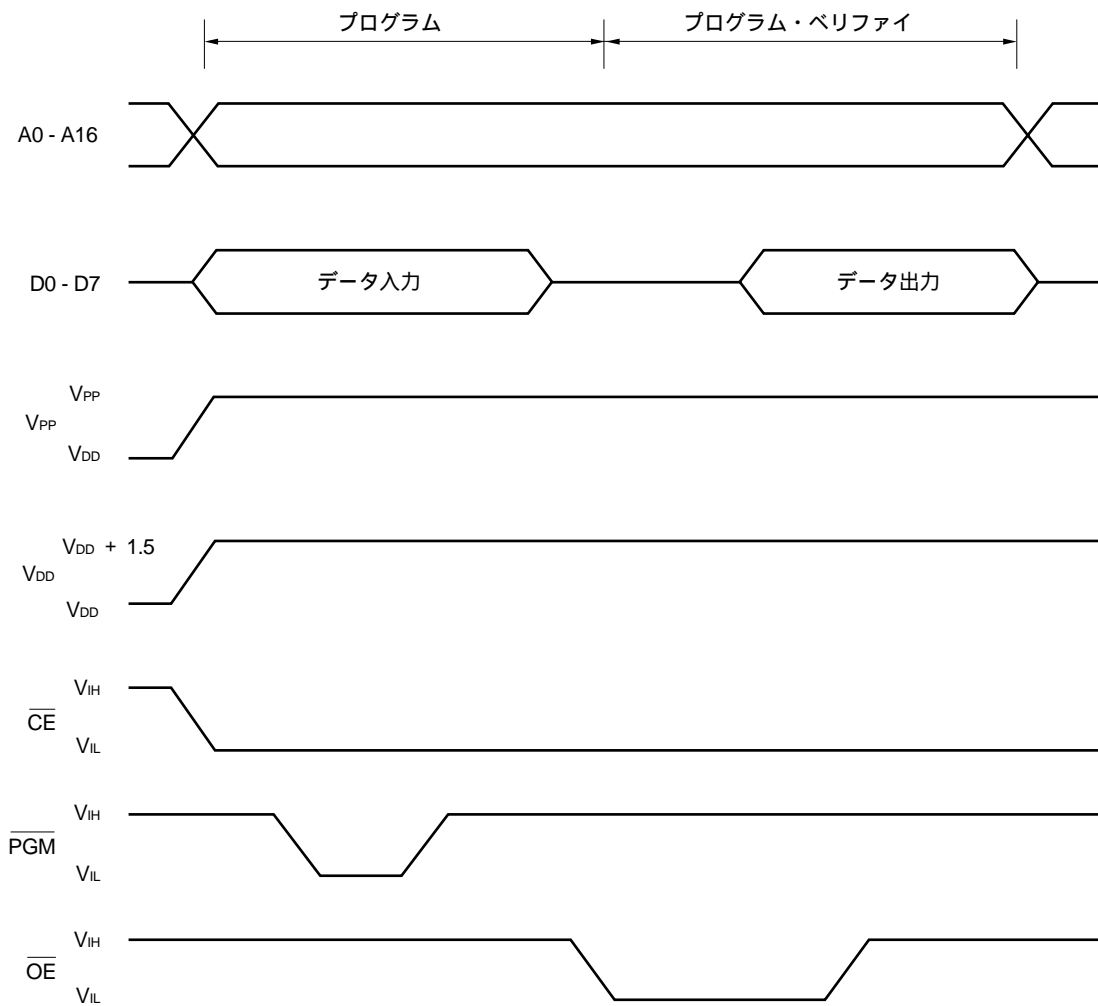
図5 - 3 バイト・プログラム・モード・フロー・チャート



G = 開始アドレス

N = プログラムの最終アドレス

図5 - 4 バイト・プログラム・モード・タイミング



注意 1 . V_{DD}はV_{PP}より前に印加し, V_{PP}のあとから切断するようにしてください。

2 . V_{PP}はオーバシュートを含めて + 13.5 V以上にならないようにしてください。

3 . V_{PP}に + 12.5 Vが印加されている間に抜き差しした場合, 信頼性上, 悪影響を受ける可能性があります。

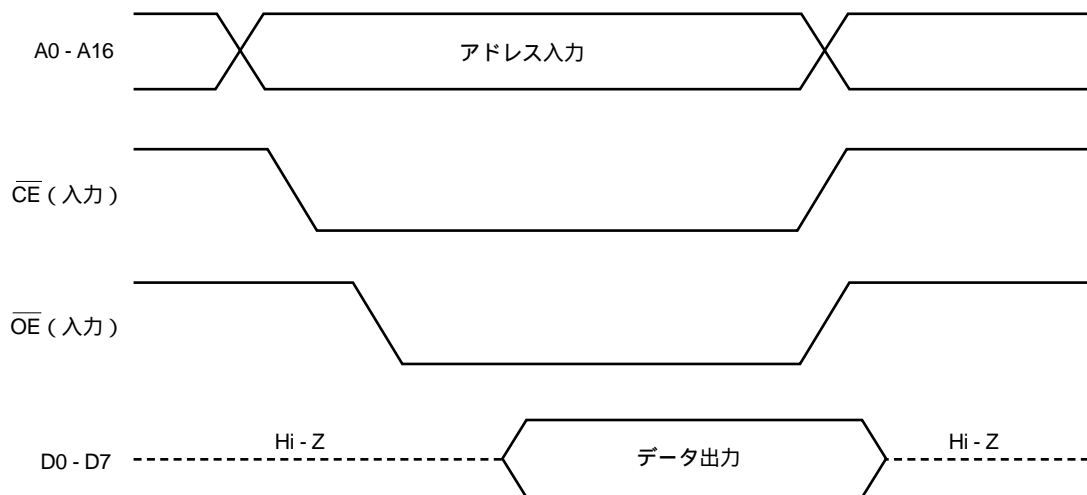
5.3 PROM読み出しの手順

次に示す手順によって、PROMの内容を外部データ・バス（D0-D7）に読み出すことができます。

- (1) $\overline{\text{RESET}}$ 端子をロウ・レベルに固定、 V_{PP} 端子に + 5 Vを供給、その他、使用しない端子は端子接続図（ 2 ） PROMプログラミング・モードに示すように処理する。
- (2) V_{DD} , V_{PP} 端子に + 5 Vを供給。
- (3) 読み出そうとするデータのアドレスをA0-A16端子に入力。
- (4) リード・モード。
- (5) データをD0-D7端子に出力。

上述の（ 2 ） - （ 5 ）のタイミングを図 5 - 5 に示します。

図 5 - 5 PROMの読み出しタイミング



6. ワン・タイムPROM製品のスクリーニングについて

ワン・タイムPROM製品は、その構造上、当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと、下記の条件で高温保管後、PROMのベリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125	24時間

なお、当社では、QTOPマイコンの名称でワン・タイムPROMの書き込みから捺印、スクリーニング、ベリファイを有料で行うサービスを実施しております。詳細につきましては、販売員にご相談ください。

7. 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件		定格	単位
電源電圧	VDD			- 0.3 ~ + 7.0	V
	VPP			- 0.3 ~ + 13.5	V
	AVDD			- 0.3 ~ VDD + 0.3	V
	AVREF0			- 0.3 ~ VDD + 0.3	V
	AVREF1			- 0.3 ~ VDD + 0.3	V
	AVSS			- 0.3 ~ + 0.3	V
入力電圧	Vi1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P80-P87, P94-P96, P100-P103, P120-P127, P130, P131, X1, X2, XT2, $\overline{\text{RESET}}$		- 0.3 ~ VDD + 0.3	V
	Vi2	P60-P63, P90-P93	N-chオープン・ドレーン	- 0.3 ~ + 16	V
	Vi3	A9	PROMプログラミング・モード	- 0.3 ~ + 13.5	V
出力電圧	Vo			- 0.3 ~ VDD + 0.3	V
アナログ入力電圧	VAN	P10-P17	アナログ入力端子	AVSS - 0.3 ~ AVREF0 + 0.3	V
ハイ・レベル出力電流	IoH	1 端子		- 10	mA
		P30-P37, P56, P57, P60-P67, P90-P96, P100-P103, P120-P127 合計		- 15	mA
		P01-P06, P10-P17, P20-P27, P40-P47, P50-P55, P70-P72, P80-P87, P130, P131 合計		- 15	mA
ロウ・レベル出力電流	IoL ^注	1 端子	ピーク値	30	mA
			実効値	15	mA
		P50-P55 合計	ピーク値	100	mA
			実効値	70	mA
		P56, P57, P60-P63 合計	ピーク値	100	mA
			実効値	70	mA
		P30-P37, P64-P67, P90-P96, P100-P103, P120-P127 合計	ピーク値	100	mA
			実効値	70	mA
		P20-P27, P40-P47, P80-P87 合計	ピーク値	50	mA
			実効値	20	mA
		P01-P06, P10-P17, P70-P72, P130, P131 合計	ピーク値	50	mA
			実効値	20	mA
動作周囲温度	TA			- 40 ~ + 85	
保存温度	Tstg			- 65 ~ + 150	

注 実効値は, [実効値] = [ピーク値] × √デューティで計算してください。

注意 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で, 製品をご使用ください。

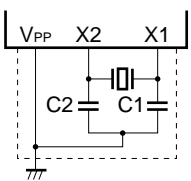
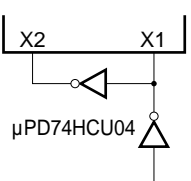
備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

容量 (TA = 25 , VDD = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	CIN	f = 1 MHz, 被測定端子以外は0 V			15	pF
入出力容量	CIO	f = 1 MHz, 被測定端子以外は0 V			15	pF
		P01-P07, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P80-P87, P94-P96, P100-P103, P120-P127, P130, P131 P60-P63, P90-P93			20	pF

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

メイン・システム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1	VDD = 発振電圧範囲	1.0		5.0	MHz
		発振安定時間注2	VDDが発振電圧範囲のMIN.に達したあと			4	ms
水晶振動子		発振周波数 (fx) 注1		1.0		5.0	MHz
		発振安定時間注2	VDD = 4.5 ~ 5.5 V			10 30	ms
外部クロック		X1入力周波数 (fx) 注1		1.0		5.0	MHz
		X1入力ハイ, ロウ・レベル幅 (txH, txL)		85		500	ns

注1 . 発振回路の特性だけを示すものです。命令実行時間は, AC特性を参照してください。

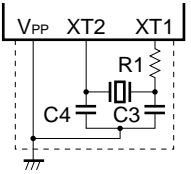
2 . リセットまたはSTOPモード解除後, 発振が安定するのに必要な時間です。

注意1 . メイン・システム・クロック発振回路を使用する場合は, 配線容量などの影響を避けるために, 図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は, 常にVSSと同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2 . メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに, 再度メイン・システム・クロックに切り替える場合には, プログラムで発振安定時間を確保したあとに切り替えてください。

サブシステム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (fXT) 注1		32	32.768	35	kHz
		発振安定時間注2	VDD = 4.5 ~ 5.5 V		1.2	2	s
外部クロック		XT1入力周波数 (fXT) 注1		32		100	kHz
		XT1入力ハイ、ロウ・レベル幅 (tXTH, tXTL)		5		15	μs

注1 . 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2 . VDDが発振電圧範囲のMIN.に達したあと、発振が安定するのに必要な時間です。

注意1 . サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にVSSと同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2 . サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い設計になっており、ノイズによる誤動作がメイン・システム・クロック発振回路より起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

推奨発振回路定数

メイン・システム・クロック：セラミック発振子 (T_A = -40 ~ +85)

メーカー	品名	周波数	推奨回路定数			発振電圧範囲		備考
			C1(pF)	C2(pF)	R1(k)	MIN(V)	MAX(V)	
TDK	CCR1000K2	1.00 MHz	150	150	0	2.0	5.5	コンデンサ内蔵
	CCR2.0MC3	2.00 MHz	内蔵	内蔵	0	2.0	5.5	コンデンサ内蔵 表面実装タイプ
	CCR4.0MC3	4.00 MHz	内蔵	内蔵	0	2.0	5.5	コンデンサ内蔵 表面実装タイプ
	FCR4.0MC5	4.00 MHz	内蔵	内蔵	0	2.0	5.5	コンデンサ内蔵 挿入タイプ
村田製作所	CSB1000J	1.00 MHz	100	100	5.6	1.8	5.5	挿入タイプ
	CSA2.00MG040	2.00 MHz	100	100	0	1.8	5.5	挿入タイプ
	CST2.00MG040	2.00 MHz	内蔵	内蔵	0	1.8	5.5	コンデンサ内蔵 挿入タイプ
	CSA4.00MG	4.00 MHz	30	30	0	1.8	5.5	挿入タイプ
	CST4.00MGW	4.00 MHz	内蔵	内蔵	0	1.8	5.5	コンデンサ内蔵 挿入タイプ
	CSA4.00MGU	4.00 MHz	30	30	0	1.8	5.5	挿入タイプ
	CST4.00MGWU	4.00 MHz	内蔵	内蔵	0	1.8	5.5	コンデンサ内蔵 挿入タイプ

メイン・システム・クロック：セラミック発振子 (T_A = -20 ~ +80)

メーカー	品名	周波数	推奨回路定数			発振電圧範囲		備考
			C1(pF)	C2(pF)	R1(k)	MIN(V)	MAX(V)	
京セラ	KFR-1000F	1.00 MHz	220	220	0	1.8	5.5	挿入タイプ
	PBR-1000Y	1.00 MHz	220	220	0	1.8	5.5	表面実装タイプ
	KBR-2.0MS	2.00 MHz	82	82	0	1.8	5.5	挿入タイプ
	KBR-4.0MKC	4.00 MHz	内蔵	内蔵	0	1.8	5.5	コンデンサ内蔵 挿入タイプ
	KBR-4.0MSB	4.00 MHz	33	33	0	1.8	5.5	挿入タイプ
	PBRC4.00B	4.00 MHz	内蔵	内蔵	0	1.8	5.5	コンデンサ内蔵 表面実装タイプ
	PBRC4.00A	4.00 MHz	33	33	0	1.8	5.5	表面実装タイプ

注意 発振回路定数および発振電圧範囲は、安定して発振する条件を示しています。

発振周波数精度は保証していません。アプリケーションで発振周波数精度が必要な場合、実装回路で発振周波数を調整する必要があります。詳細については、ご使用になる発振子のメーカーに直接お問い合わせください。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル入力電圧	VIH1	P10-P17, P21, P23, P30-P32, P35-P37, P40-P47, P50-P57, P64-P67, P71, P80-P87, P94-P96, P102, P103, P120-P127, P130, P131	VDD = 2.7 ~ 5.5 V	0.7 VDD		VDD	V	
				0.8 VDD		VDD	V	
	VIH2	P00-P06, P20, P22, P24-P27, P33, P34, P70, P72, P100, P101, $\overline{\text{RESET}}$	VDD = 2.7 ~ 5.5 V	0.8 VDD		VDD	V	
				0.85 VDD		VDD	V	
	VIH3	P60-P63, P90-P93 (N-chオープン・ドレイン)	VDD = 2.7 ~ 5.5 V	0.7 VDD		15	V	
				0.8 VDD		15	V	
	VIH4	X1, X2	VDD = 2.7 ~ 5.5 V	VDD - 0.5		VDD	V	
				VDD - 0.2		VDD	V	
	VIH5	XT1/P07, XT2	4.5 V VDD 5.5 V	0.8 VDD		VDD	V	
			2.7 V VDD < 4.5 V	0.9 VDD		VDD	V	
			注	0.9 VDD		VDD	V	
	ロウ・レベル入力電圧	VIL1	P10-P17, P21, P23, P30-P32, P35-P37, P40-P47, P50-P57, P64-P67, P71, P80-P87, P94-P96, P102, P103, P120-P127, P130, P131	VDD = 2.7 ~ 5.5 V	0		0.3 VDD	V
					0		0.2 VDD	V
		VIL2	P00-P06, P20, P22, P24-P27, P33, P34, P70, P72, P100, P101, $\overline{\text{RESET}}$	VDD = 2.7 ~ 5.5 V	0		0.2 VDD	V
					0		0.15 VDD	V
VIL3		P60-P63, P90-P93 (N-chオープン・ドレイン)	4.5 V VDD 5.5 V	0		0.3 VDD	V	
			2.7 V VDD < 4.5 V	0		0.2 VDD	V	
				0		0.1 VDD	V	
VIL4		X1, X2	VDD = 2.7 ~ 5.5 V	0		0.4	V	
				0		0.2	V	
VIL5		XT1/P07, XT2	4.5 V VDD 5.5 V	0		0.2 VDD	V	
			2.7 V VDD < 4.5 V	0		0.1 VDD	V	
			注	0		0.1 VDD	V	
ハイ・レベル出力電圧		VOH	VDD = 4.5 ~ 5.5 V, IOH = -1 mA	VDD - 1.0			V	
			IOH = -100 μA	VDD - 0.5			V	

注 P07として使用する場合は、インバータを用いてXT2端子にP07の逆相を入力してください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電圧	VOL1	P50-P57, P60-P63, P90-P93	VDD = 4.5 ~ 5.5 V, IOL = 15 mA		0.4	2.0	V
		P01-P06, P10-P17, P20-P27, P30-P37, P40-P47, P64-P67, P70-P72, P80-P87, P94-P96, P100-P103, P120-P127, P130, P131	VDD = 4.5 ~ 5.5 V, IOL = 1.6 mA			0.4	V
	VOL2	SB0, SB1, $\overline{\text{SCK0}}$	VDD = 4.5 ~ 5.5 V, オープン・ドレイン, プルアップ時 (R = 1 k)			0.2 VDD	V
	VOL3	IOL = 400 μA				0.5	V
ハイ・レベル入力リーク電流	LIH1	VIN = VDD	P00-P06, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P80-P87, P94-P96, P100-P103, P120- P127, P130, P131, $\overline{\text{RESET}}$			3	μA
	LIH2		X1, X2, XT1/P07, XT2			20	μA
	LIH3	VIN = 15 V	P60-P63, P90-P93			80	μA
ロウ・レベル入力リーク電流	LIIL1	VIN = 0 V	P00-P06, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P80-P87, P94-P96, P100-P103, P120- P127, P130, P131, $\overline{\text{RESET}}$			- 3	μA
	LIIL2		X1, X2, XT1/P07, XT2			- 20	μA
	LIIL3		P60-P63, P90-P93			- 3 ^注	μA
ハイ・レベル出カリーク電流	ILOH	VOUT = VDD				3	μA
ロウ・レベル出カリーク電流	ILOL	VOUT = 0 V				- 3	μA

注 P60-P63, P90-P93は, ポート6 (P6), ポート・モード・レジスタ6 (PM6), ポート9 (P9), ポート・モード・レジスタ9 (PM9) に対して読み出し命令を実行したときの1.5クロック間 (ノー・ウエイト時) のみ, ロウ・レベル入力リーク電流が - 200 μA (MAX.) 流れます。読み出し命令実行時の1.5クロック間以外では - 3 μA (MAX.) です。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ソフトウェア・ブルアップ抵抗 ^{注1}	R	V _{IN} = 0 V, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P80-P87, P94-P96, P100-P103, P120-P127, P130, P131	4.5 V V _{DD} 5.5 V	15	40	90	k
			2.7 V V _{DD} < 4.5 V	20		500	k
電源電流 ^{注2}	I _{DD1}	5.0 MHz水晶発振動作モード (f _{xx} = 2.5 MHz) ^{注3}	V _{DD} = 5.0 V ± 10% ^{注6}	5.4	16.2	mA	
			V _{DD} = 3.0 V ± 10% ^{注7}	0.8	2.4	mA	
			V _{DD} = 2.0 V ± 10% ^{注7}	0.45	1.35	mA	
		5.0 MHz水晶発振動作モード (f _{xx} = 5.0 MHz) ^{注4}	V _{DD} = 5.0 V ± 10% ^{注6}	9.5	28.5	mA	
			V _{DD} = 3.0 V ± 10% ^{注7}	1.0	3.0	mA	
	I _{DD2}	5.0 MHz水晶発振HALTモード (f _{xx} = 2.5 MHz) ^{注3}	V _{DD} = 5.0 V ± 10%	1.4	4.2	mA	
			V _{DD} = 3.0 V ± 10%	0.5	1.5	mA	
			V _{DD} = 2.0 V ± 10%	280	840	μA	
		5.0 MHz水晶発振HALTモード (f _{xx} = 5.0 MHz) ^{注4}	V _{DD} = 5.0 V ± 10%	1.6	4.8	mA	
	V _{DD} = 3.0 V ± 10%		0.65	1.95	mA		
	I _{DD3}	32.768 kHz 水晶発振動作モード ^{注5}	V _{DD} = 5.0 V ± 10%	135	270	μA	
			V _{DD} = 3.0 V ± 10%	95	190	μA	
			V _{DD} = 2.0 V ± 10%	70	140	μA	
I _{DD4}	32.768 kHz 水晶発振HALTモード ^{注5}	V _{DD} = 5.0 V ± 10%	25	55	μA		
		V _{DD} = 3.0 V ± 10%	5	15	μA		
		V _{DD} = 2.0 V ± 10%	2.5	12.5	μA		
I _{DD5}	XT1 = V _{DD} STOPモード フィードバック抵抗使用時	V _{DD} = 5.0 V ± 10%	1	30	μA		
		V _{DD} = 3.0 V ± 10%	0.5	10	μA		
		V _{DD} = 2.0 V ± 10%	0.3	10	μA		
I _{DD6}	XT1 = V _{DD} STOPモード フィードバック抵抗非使用時	V _{DD} = 5.0 V ± 10%	0.1	30	μA		
		V _{DD} = 3.0 V ± 10%	0.05	10	μA		
		V _{DD} = 2.0 V ± 10%	0.05	10	μA		

★
★
★

- 注1 . ソフトウェア・ブルアップ抵抗は、V_{DD} = 2.7 ~ 5.5 Vの範囲でのみ使用可能です。
- 2 . V_{DD}端子に流れる電流です。ただし、A/Dコンバータ、D/Aコンバータおよび内蔵ブルアップ抵抗に流れる電流は含みません。
- 3 . f_{xx} = f_x/2動作時 (発振モード選択レジスタ (OSMS) を00Hに設定したとき)。
- 4 . f_{xx} = f_x動作時 (OSMSを01Hに設定したとき)。
- 5 . メイン・システム・クロック停止時。
- 6 . 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき)。
- 7 . 低速モード動作時 (PCCを04Hに設定したとき)。

備考1 . 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

- 2 . f_{xx} : メイン・システム・クロック周波数 (f_xまたはf_x/2)
- 3 . f_x : メイン・システム・クロック発振周波数

AC特性

(1) 基本動作 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
サイクル・タイム (最小命令実行時間)	TCY	メイン・システム・クロックで動作	f _{xx} = f _x /2 ^{注1}	V _{DD} = 2.7 ~ 5.5 V	0.8		64	μs
					2.0		64	μs
			f _{xx} = f _x ^{注2}	3.5 V V _{DD} 5.5 V	0.4		32	μs
				2.7 V V _{DD} < 3.5 V	0.8		32	μs
		サブシステム・クロックで動作				40	122	125
TI00入力 ハイ, ロウ・レベル幅	t _{TIH00} ,	3.5 V V _{DD} 5.5 V		2/f _{sam} + 0.1 ^{注3}			μs	
	t _{TIL00}	2.7 V V _{DD} < 3.5 V		2/f _{sam} + 0.2 ^{注3}			μs	
				2/f _{sam} + 0.5 ^{注3}			μs	
TI01入力 ハイ, ロウ・レベル幅	t _{TIH01} ,	V _{DD} = 2.7 ~ 5.5 V		10			μs	
	t _{TIL01}			20			μs	
TI1, TI2, TI5, TI6 入力周波数	f _{TI1}	V _{DD} = 4.5 ~ 5.5 V		0		4	MHz	
				0		275	kHz	
TI1, TI2, TI5, TI6入力 ハイ, ロウ・レベル幅	t _{TIH1} , t _{TIL1}	V _{DD} = 4.5 ~ 5.5 V		100			ns	
				1.8			μs	
割り込み要求入力 ハイ, ロウ・レベル幅	t _{INTH} ,	INTP0	3.5 V V _{DD} 5.5 V	2/f _{sam} + 0.1 ^{注3}			μs	
			2.7 V V _{DD} < 3.5 V	2/f _{sam} + 0.2 ^{注3}			μs	
				2/f _{sam} + 0.5 ^{注3}			μs	
	t _{INTL}	INTP1-INTP6, P40-P47	V _{DD} = 2.7 ~ 5.5 V	10			μs	
				20			μs	
RESET ロウ・レベル幅	tr _{SL}	V _{DD} = 2.7 ~ 5.5 V		10			μs	
				20			μs	

注1 . 発振モード選択レジスタ (OSMS) を00Hに設定したとき。

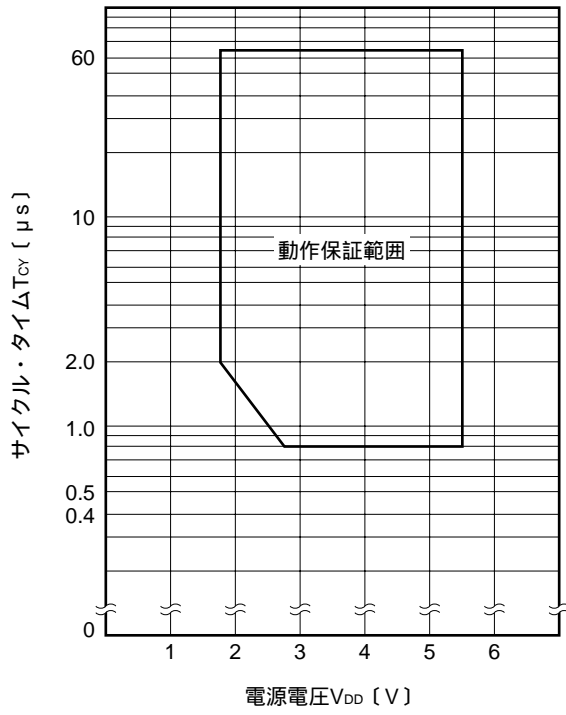
2 . OSMSを01Hに設定したとき。

3 . サンプリング・クロック選択レジスタ (SCS) のビット0 , 1 (SCS0, SCS1) により , f_{sam} = f_{xx}/2^N, f_{xx}/32, f_{xx}/64, f_{xx}/128の選択が可能です (N = 0-4) 。

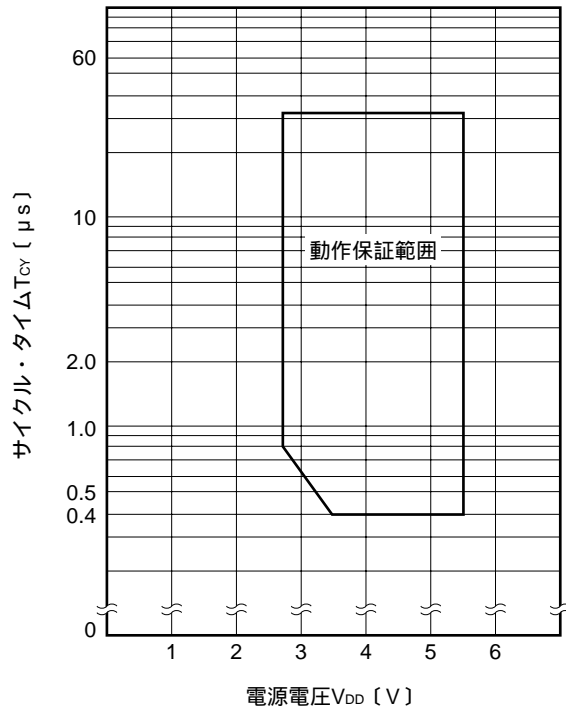
備考 f_{xx} : メイン・システム・クロック周波数 (f_xまたはf_x/2)

f_x : メイン・システム・クロック発振周波数

T_{cy} vs V_{DD} (メイン・システム・クロック f_{xx} = f_x/2動作時)



T_{cy} vs V_{DD} (メイン・システム・クロック f_{xx} = f_x動作時)



(2) リード/ライト・オペレーション

(a) MCS = 1, PCC2-PCC0 = 000Bのとき (TA = -40 ~ +85, VDD = 4.5 ~ 5.5 V)

項目	略号	条件	MIN.	MAX.	単位
ASTBハイ・レベル幅	tASTH		0.85tcy - 50		ns
アドレス・セットアップ時間	tADS		0.85tcy - 50		ns
アドレス・ホールド時間	tADH		50		ns
アドレス データ入力時間	tADD1			(2.85 + 2n)tcy - 80	ns
	tADD2			(4 + 2n)tcy - 100	ns
RD データ入力時間	tRDD1			(2 + 2n)tcy - 100	ns
	tRDD2			(2.85 + 2n)tcy - 100	ns
リード・データ・ホールド時間	tRDH		0		ns
RDロウ・レベル幅	tRDL1		(2 + 2n)tcy - 60		ns
	tRDL2		(2.85 + 2n)tcy - 60		ns
RD WAIT 入力時間	tRDWT1			0.85tcy - 50	ns
	tRDWT2			2tcy - 60	ns
WR WAIT 入力時間	tWRWT			2tcy - 60	ns
WAITロウ・レベル幅	tWTL		(1.15 + 2n)tcy	(2 + 2n)tcy	ns
ライト・データ・セットアップ時間	tWDS		(2.85 + 2n)tcy - 100		ns
ライト・データ・ホールド時間	tWDH	負荷抵抗 5 k	20		ns
WRロウ・レベル幅	tWRL		(2.85 + 2n)tcy - 60		ns
ASTB RD 遅延時間	tASTRD		25		ns
ASTB WR 遅延時間	tASTWR		0.85tcy + 20		ns
外部フェッチ時RD ASTB 遅延時間	tRDAST		0.85tcy - 10	1.15tcy + 20	ns
外部フェッチ時RD アドレス・ホールド時間	tRDADH		0.85tcy - 50	1.15tcy + 50	ns
RD ライト・データ出力時間	tRDWD		40		ns
WR ライト・データ出力時間	tWRWD		0	50	ns
WR アドレス・ホールド時間	tWRADH		0.85tcy - 20	1.15tcy + 40	ns
WAIT RD 遅延時間	tWTRD		1.15tcy + 40	3.15tcy + 40	ns
WAIT WR 遅延時間	tWTWR		1.15tcy + 30	3.15tcy + 30	ns

備考1. MCS : 発振モード選択レジスタ (OSMS) のビット0

2. PCC2-PCC0 : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット2-ビット0

3. tcy = Tcy/4

4. nはウエイト数を示します。

(b) MCS = 1, PCC2-PCC0 = 000B以外のとき (TA = -40 ~ +85 , VDD = 2.7 ~ 5.5 V)

項目	略号	条件	MIN.	MAX.	単位
ASTBハイ・レベル幅	t _{ASTH}		t _{cy} - 80		ns
アドレス・セットアップ時間	t _{ADS}		t _{cy} - 80		ns
アドレス・ホールド時間	t _{ADH}		0.4t _{cy} - 10		ns
アドレス データ入力時間	t _{ADD1}			(3 + 2n) × t _{cy} - 160	ns
	t _{ADD2}			(4 + 2n) × t _{cy} - 200	ns
RD データ入力時間	t _{RDD1}			(1.4 + 2n) × t _{cy} - 70	ns
	t _{RDD2}			(2.4 + 2n) × t _{cy} - 70	ns
リード・データ・ホールド時間	t _{RDH}		0		ns
RDロウ・レベル幅	t _{RDL1}		(1.4 + 2n) × t _{cy} - 20		ns
	t _{RDL2}		(2.4 + 2n) × t _{cy} - 20		ns
RD WAIT 入力時間	t _{RDWT1}			t _{cy} - 100	ns
	t _{RDWT2}			2t _{cy} - 100	ns
WR WAIT 入力時間	t _{WRWT}			2t _{cy} - 100	ns
WAITロウ・レベル幅	t _{WTL}		(1 + 2n) × t _{cy}	(2 + 2n) × t _{cy}	ns
ライト・データ・セットアップ時間	t _{WDS}		(2.4 + 2n) × t _{cy} - 60		ns
ライト・データ・ホールド時間	t _{WDH}	負荷抵抗 5 k	20		ns
WRロウ・レベル幅	t _{WRL}		(2.4 + 2n) × t _{cy} - 20		ns
ASTB RD 遅延時間	t _{ASTRD}		0.4t _{cy} - 30		ns
ASTB WR 遅延時間	t _{ASTWR}		1.4t _{cy} - 30		ns
外部フェッチ時RD ASTB 遅延時間	t _{RDAST}		t _{cy} - 10	t _{cy} + 20	ns
外部フェッチ時RD アドレス・ホールド時間	t _{RDADH}		t _{cy} - 80	t _{cy} + 50	ns
RD ライト・データ出力時間	t _{RDWD}		0.4t _{cy} - 30		ns
WR ライト・データ出力時間	t _{WRWD}		0	60	ns
WR アドレス・ホールド時間	t _{WRADH}		t _{cy} - 60	t _{cy} + 60	ns
WAIT RD 遅延時間	t _{WTRD}		0.6t _{cy} + 180	2.6t _{cy} + 180	ns
WAIT WR 遅延時間	t _{WTWR}		0.6t _{cy} + 120	2.6t _{cy} + 120	ns

備考1 . MCS : 発振モード選択レジスタ (OSMS) のビット 0

2 . PCC2-PCC0 : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット 2-ビット 0

3 . t_{cy} = T_{cy}/4

4 . nはウエイト数を示します。

(3) シリアル・インタフェース (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

(a) シリアル・インタフェース・チャンネル0

(i) 3線式シリアルI/Oモード (SCK0...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	tkCY1	4.5 V VDD 5.5 V	800			ns
		2.7 V VDD < 4.5 V	1600			ns
		2.0 V VDD < 2.7 V	3200			ns
			4800			ns
SCK0ハイ, ロウ・レベル幅	tkH1, tkL1	VDD = 4.5 ~ 5.5 V	tkCY1/2 - 50			ns
			tkCY1/2 - 100			ns
SIOセットアップ時間 (対SCK0)	tsIK1	4.5 V VDD 5.5 V	100			ns
		2.7 V VDD < 4.5 V	150			ns
		2.0 V VDD < 2.7 V	300			ns
			400			ns
SIOホールド時間 (対SCK0)	tkS11		400			ns
SCK0 SO0 出力遅延時間	tkSO1	C = 100 pF ^注			300	ns

注 Cは, SO0出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK0...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	tkCY2	4.5 V VDD 5.5 V	800			ns
		2.7 V VDD < 4.5 V	1600			ns
		2.0 V VDD < 2.7 V	3200			ns
			4800			ns
SCK0ハイ, ロウ・レベル幅	tkH2, tkL2	4.5 V VDD 5.5 V	400			ns
		2.7 V VDD < 4.5 V	800			ns
		2.0 V VDD < 2.7 V	1600			ns
			2400			ns
SIOセットアップ時間 (対SCK0)	tsIK2	VDD = 2.0 ~ 5.5 V	100			ns
			150			ns
SIOホールド時間 (対SCK0)	tkS12		400			ns
SCK0 SO0 出力遅延時間	tkSO2	C = 100 pF ^注 VDD = 2.0 ~ 5.5 V			300	ns
					500	ns
SCK0立ち上がり, 立ち下がり時間	tr2, tf2	外部デバイス拡張機能使用時			160	ns
		外部デバイス拡張機能未使用時			1000	ns

注 Cは, SO0出力ラインの負荷容量です。

(iii) 2線式シリアルI/Oモード (SCK0...内部クロック出力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	tkcy3	R = 1 k , C = 100 pF ^注	2.7 V V _{DD} 5.5 V	1600			ns
			2.0 V V _{DD} < 2.7 V	3200			ns
				4800			ns
SCK0ハイ・レベル幅	tkH3		V _{DD} = 2.7 ~ 5.5 V	tkcy3/2 - 160			ns
				tkcy3/2 - 190			ns
SCK0ロウ・レベル幅	tkL3		V _{DD} = 4.5 ~ 5.5 V	tkcy3/2 - 50			ns
				tkcy3/2 - 100			ns
SB0, SB1 セットアップ時間 (対SCK0)	tsik3		4.5 V V _{DD} 5.5 V	300			ns
			2.7 V V _{DD} < 4.5 V	350			ns
			2.0 V V _{DD} < 2.7 V	400			ns
				500			ns
SB0, SB1ホールド時間 (対SCK0)	tkSi3		600			ns	
SCK0 SB0, SB1 出力遅延時間	tkSO3		0		300	ns	

注 R, Cは、SCK0, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(iv) 2線式シリアルI/Oモード (SCK0...外部クロック入力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	tkcy4		2.7 V V _{DD} 5.5 V	1600			ns
			2.0 V V _{DD} < 2.7 V	3200			ns
				4800			ns
SCK0ハイ・レベル幅	tkH4		2.7 V V _{DD} 5.5 V	650			ns
			2.0 V V _{DD} < 2.7 V	1300			ns
				2100			ns
SCK0ロウ・レベル幅	tkL4		2.7 V V _{DD} 5.5 V	800			ns
			2.0 V V _{DD} < 2.7 V	1600			ns
				2400			ns
SB0, SB1セットアップ時間 (対SCK0)	tsik4		V _{DD} = 2.0 ~ 5.5 V	100			ns
				150			ns
SB0, SB1ホールド時間 (対SCK0)	tkSi4		tkcy4/2			ns	
SCK0 SB0, SB1 出力遅延時間	tkSO4	R = 1 k , C = 100 pF ^注	4.5 V V _{DD} 5.5 V	0		300	ns
			2.0 V V _{DD} < 4.5 V	0		500	ns
						800	ns
SCK0立ち上がり, 立ち下がり時間	tr4, tf4		外部デバイス拡張機能使用時			160	ns
			外部デバイス拡張機能未使用時			1000	ns

注 R, Cは、SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(v) I²Cバス・モード (SCL...内部クロック出力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCLサイクル・タイム	t _{KCY5}	R = 1 k Ω , C = 100 pF ^注	2.7 V V_{DD} 5.5 V	10			μ s
			2.0 V $V_{DD} < 2.7$ V	20			μ s
				30			μ s
SCLハイ・レベル幅	t _{KH5}		$V_{DD} = 2.7 \sim 5.5$ V	t _{KCY5} - 160			ns
				t _{KCY5} - 190			ns
SCLロウ・レベル幅	t _{KL5}		$V_{DD} = 4.5 \sim 5.5$ V	t _{KCY5} - 50			ns
				t _{KCY5} - 100			ns
SDA0, SDA1 セットアップ時間 (対SCL)	t _{SIK5}		2.7 V V_{DD} 5.5 V	200			ns
			2.0 V $V_{DD} < 2.7$ V	300			ns
				400			ns
SDA0, SDA1ホールド時間 (対SCL)	t _{KSI5}			0			ns
SCL SDA0, SDA1 出力遅延時間	t _{KSO5}		4.5 V V_{DD} 5.5 V	0		300	ns
			2.0 V $V_{DD} < 4.5$ V	0		500	ns
				0		600	ns
SCL SDA0, SDA1 または SCL SDA0, SDA1	t _{KSB}			200			ns
SDA0, SDA1 SCL	t _{SBK}		$V_{DD} = 2.0 \sim 5.5$ V	400			ns
				500			ns
SDA0, SDA1ハイ・レベル幅	t _{SBH}			500			ns

注 R, Cは, SCL, SDA0, SDA1出力ラインの負荷抵抗, 負荷容量です。

(vi) I²Cバス・モード (SCL...外部クロック入力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCLサイクル・タイム	t _{KCY6}			1000			ns
SCLハイ, ロウ・レベル幅	t _{KH6} , t _{KL6}	V _{DD} = 2.0 V ~ 5.5 V		400			ns
				600			ns
SDA0, SDA1セット アップ時間 (対SCL)	t _{SIK6}	V _{DD} = 2.0 V ~ 5.5 V		200			ns
				300			ns
SDA0, SDA1ホールド 時間 (対SCL)	t _{KS16}			0			ns
SCL SDA0, SDA1 出力遅延時間	t _{KSO6}	R = 1 k , C = 100 pF ^注	4.5 V V _{DD} 5.5 V	0		300	ns
			2.0 V V _{DD} < 4.5 V	0		500	ns
				0		600	ns
SCL SDA0, SDA1 または SCL SDA0, SDA1	t _{KSB}			200			ns
SDA0, SDA1 SCL	t _{SBK}	V _{DD} = 2.0 V ~ 5.5 V		400			ns
				500			ns
SDA0, SDA1ハイ・レベル幅	t _{SBH}	V _{DD} = 2.0 V ~ 5.5 V		500			ns
				800			ns
SCL立ち上がり, 立ち下がり時間	t _{R6} , t _{F6}	外部デバイス拡張機能使用時				160	ns
		外部デバイス拡張機能未使用時				1000	ns

注 R, CはSDA0, SDA1出力ラインの負荷抵抗, 負荷容量です。

(b) シリアル・インタフェース・チャンネル1

(i) 3線式シリアルI/Oモード (SCK1...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK1サイクル・タイム	tkcy7	4.5 V V _{DD} 5.5 V	800			ns
		2.7 V V _{DD} < 4.5 V	1600			ns
		2.0 V V _{DD} < 2.7 V	3200			ns
			4800			ns
SCK1ハイ, ロウ・レベル幅	tkH7, tkL7	V _{DD} = 4.5 ~ 5.5 V	tkcy7/2 - 50			ns
			tkcy7/2 - 100			ns
SI1セットアップ時間 (対SCK1)	tsik7	4.5 V V _{DD} 5.5 V	100			ns
		2.7 V V _{DD} < 4.5 V	150			ns
		2.0 V V _{DD} < 2.7 V	300			ns
			400			ns
SI1ホールド時間 (対SCK1)	tkS17		400			ns
SCK1 SO1 出力遅延時間	tkSO7	C = 100 pF ^注			300	ns

注 Cは, SO1出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK1...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK1サイクル・タイム	tkcy8	4.5 V V _{DD} 5.5 V	800			ns
		2.7 V V _{DD} < 4.5 V	1600			ns
		2.0 V V _{DD} < 2.7 V	3200			ns
			4800			ns
SCK1ハイ, ロウ・レベル幅	tkH8, tkL8	4.5 V V _{DD} 5.5 V	400			ns
		2.7 V V _{DD} < 4.5 V	800			ns
		2.0 V V _{DD} < 2.7 V	1600			ns
			2400			ns
SI1セットアップ時間 (対SCK1)	tsik8	V _{DD} = 2.0 ~ 5.5 V	100			ns
			150			ns
SI1ホールド時間 (対SCK1)	tkS18		400			ns
SCK1 SO1 出力遅延時間	tkSO8	C = 100 pF ^注 V _{DD} = 2.0 ~ 5.5 V			300	ns
					500	ns
SCK1立ち上がり, 立ち下がり時間	tr8, tf8	外部デバイス拡張機能使用時			160	ns
		外部デバイス拡張機能未使用時			1000	ns

注 Cは, SO1出力ラインの負荷容量です。

(Ⅲ) 自動送受信機能付き 3 線式シリアルI/Oモード ($\overline{\text{SCK1}}$...内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCK1}}$ サイクル・タイム	t_{KCY9}	4.5 V V_{DD} 5.5 V	800			ns
		2.7 V $V_{\text{DD}} < 4.5 \text{ V}$	1600			ns
		2.0 V $V_{\text{DD}} < 2.7 \text{ V}$	3200			ns
			4800			ns
$\overline{\text{SCK1}}$ ハイ, ロウ・レベル幅	$t_{\text{KH9}}, t_{\text{KL9}}$	$V_{\text{DD}} = 4.5 \sim 5.5 \text{ V}$	$t_{\text{KCY9}}/2 - 50$			ns
			$t_{\text{KCY9}}/2 - 100$			ns
SI1セットアップ時間 (対 $\overline{\text{SCK1}}$)	t_{SIK9}	4.5 V V_{DD} 5.5 V	100			ns
		2.7 V $V_{\text{DD}} < 4.5 \text{ V}$	150			ns
		2.0 V $V_{\text{DD}} < 2.7 \text{ V}$	300			ns
			400			ns
SI1ホールド時間 (対 $\overline{\text{SCK1}}$)	t_{KSI9}		400			ns
$\overline{\text{SCK1}}$ SO1 出力遅延時間	t_{KSO9}	$C = 100 \text{ pF}^{\text{注}}$			300	ns
$\overline{\text{SCK1}}$ STB	t_{SBD}		$t_{\text{KCY9}}/2 - 100$		$t_{\text{KCY9}}/2 + 100$	ns
ストロープ信号 ハイ・レベル幅	t_{SBW}	2.7 V V_{DD} 5.5 V	$t_{\text{KCY9}} - 30$		$t_{\text{KCY9}} + 30$	ns
		2.0 V $V_{\text{DD}} < 2.7 \text{ V}$	$t_{\text{KCY9}} - 60$		$t_{\text{KCY9}} + 60$	ns
			$t_{\text{KCY9}} - 90$		$t_{\text{KCY9}} + 90$	ns
ビジィ信号セットアップ時間 (対ビジィ信号検出タイミング)	t_{BYS}		100			ns
ビジィ信号ホールド時間 (対ビジィ信号検出タイミング)	t_{BYH}	4.5 V V_{DD} 5.5 V	100			ns
		2.7 V $V_{\text{DD}} < 4.5 \text{ V}$	150			ns
		2.0 V $V_{\text{DD}} < 2.7 \text{ V}$	200			ns
			300			ns
ビジィ・インアクティブ $\overline{\text{SCK1}}$	t_{SPS}				$2t_{\text{KCY9}}$	ns

注 Cは, SO1出力ラインの負荷容量です。

(iv) 自動送受信機能付き 3 線式シリアルI/Oモード (SCK1...外部クロック入力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCK1サイクル・タイム	t _{KCY10}	4.5 V V _{DD} 5.5 V		800			ns
		2.7 V V _{DD} < 4.5 V		1600			ns
		2.0 V V _{DD} < 2.7 V		3200			ns
				4800			ns
SCK1ハイ, ロウ・レベル幅	t _{KH10} , t _{KL10}	4.5 V V _{DD} 5.5 V		400			ns
		2.7 V V _{DD} < 4.5 V		800			ns
		2.0 V V _{DD} < 2.7 V		1600			ns
				2400			ns
SI1セットアップ時間 (対SCK1)	t _{SIK10}	V _{DD} = 2.0 ~ 5.5 V		100			ns
				150			ns
SI1ホールド時間 (対SCK1)	t _{KSI10}			400			ns
SCK1 SO1 出力遅延時間	t _{KSO10}	C = 100 pF ^注	V _{DD} = 2.0 ~ 5.5 V			300	ns
						500	ns
SCK1立ち上がり, 立ち下がり時間	t _{r10} , t _{f10}	外部デバイス拡張機能使用時				160	ns
		外部デバイス拡張機能未使用時				1000	ns

注 Cは, SO1出力ラインの負荷容量です。

(c) シリアル・インタフェース・チャンネル2

(i) 3線式シリアルI/Oモード (SCK2...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK2サイクル・タイム	tkCY11	4.5 V V _{DD} 5.5 V	800			ns
		2.7 V V _{DD} < 4.5 V	1600			ns
		2.0 V V _{DD} < 2.7 V	3200			ns
			4800			ns
SCK2ハイ, ロウ・レベル幅	tkH11, tkL11	V _{DD} = 4.5 ~ 5.5 V	tkCY11/2 - 50			ns
			tkCY11/2 - 100			ns
SI2セットアップ時間 (対SCK2)	tsIK11	4.5 V V _{DD} 5.5 V	100			ns
		2.7 V V _{DD} < 4.5 V	150			ns
		2.0 V V _{DD} < 2.7 V	300			ns
			400			ns
SI2ホールド時間 (対SCK2)	tkSH11		400			ns
SCK2 SO2 出力遅延時間	tkSO11	C = 100 pF ^注			300	ns

注 Cは, SO2出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK2...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK2サイクル・タイム	tkCY12	4.5 V V _{DD} 5.5 V	800			ns
		2.7 V V _{DD} < 4.5 V	1600			ns
		2.0 V V _{DD} < 2.7 V	3200			ns
			4800			ns
SCK2ハイ, ロウ・レベル幅	tkH12, tkL12	4.5 V V _{DD} 5.5 V	400			ns
		2.7 V V _{DD} < 4.5 V	800			ns
		2.0 V V _{DD} < 2.7 V	1600			ns
			2400			ns
SI2セットアップ時間 (対SCK2)	tsIK12	V _{DD} = 2.0 ~ 5.5 V	100			ns
			150			ns
SI2ホールド時間 (対SCK2)	tkSH12		400			ns
SCK2 SO2 出力遅延時間	tkSO12	C = 100 pF ^注 V _{DD} = 2.0 ~ 5.5 V			300	ns
					500	ns
SCK2立ち上がり, 立ち下がり時間	tr12, tf12	V _{DD} = 4.5 ~ 5.5 V 外部デバイス拡張機能未使用時			1000	ns
					160	ns

注 Cは, SO2出力ラインの負荷容量です。

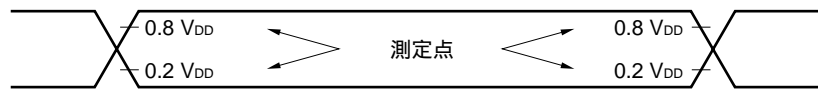
(iii) UARTモード (専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		4.5 V V_{DD} 5.5 V			78125	bps
		2.7 V $V_{DD} < 4.5$ V			39063	bps
		2.0 V $V_{DD} < 2.7$ V			19531	bps
					9766	bps

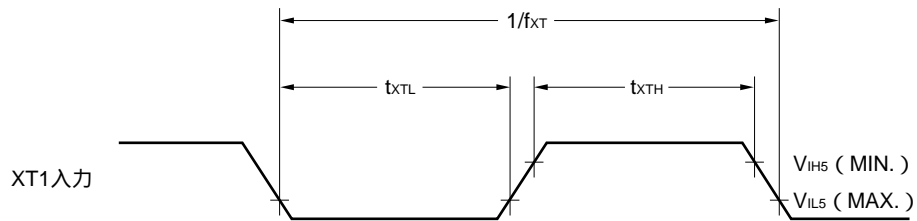
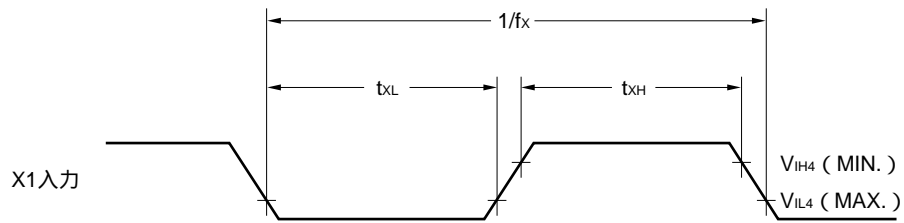
(iv) UARTモード (外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ASCKサイクル・タイム	tkCY13	4.5 V V_{DD} 5.5 V	800			ns
		2.7 V $V_{DD} < 4.5$ V	1600			ns
		2.0 V $V_{DD} < 2.7$ V	3200			ns
			4800			ns
ASCKハイ, ロウ・レベル幅	tkH13, tkL13	4.5 V V_{DD} 5.5 V	400			ns
		2.7 V $V_{DD} < 4.5$ V	800			ns
		2.0 V $V_{DD} < 2.7$ V	1600			ns
			2400			ns
転送レート		4.5 V V_{DD} 5.5 V			39063	bps
		2.7 V $V_{DD} < 4.5$ V			19531	bps
		2.0 V $V_{DD} < 2.7$ V			9766	bps
					6510	bps
ASCK立ち上がり, 立ち下がり時間	tr13, tf13	$V_{DD} = 4.5 \sim 5.5$ V			1000	ns
		外部デバイス拡張機能未使用時			160	ns

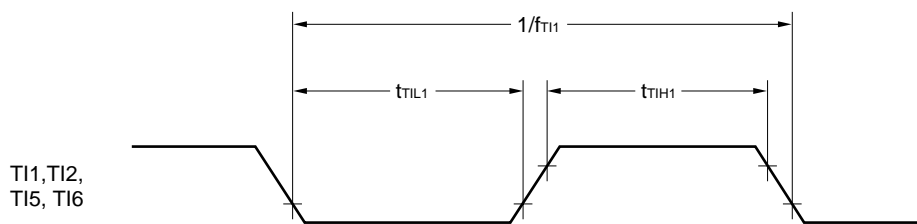
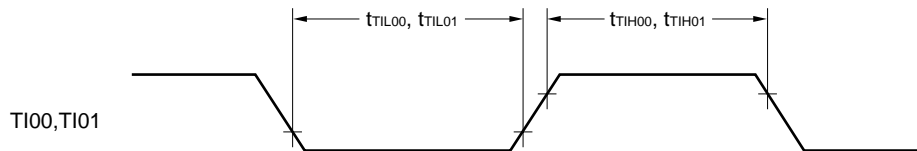
ACタイミング測定点 (X1, XT1入力を除く)



クロック・タイミング

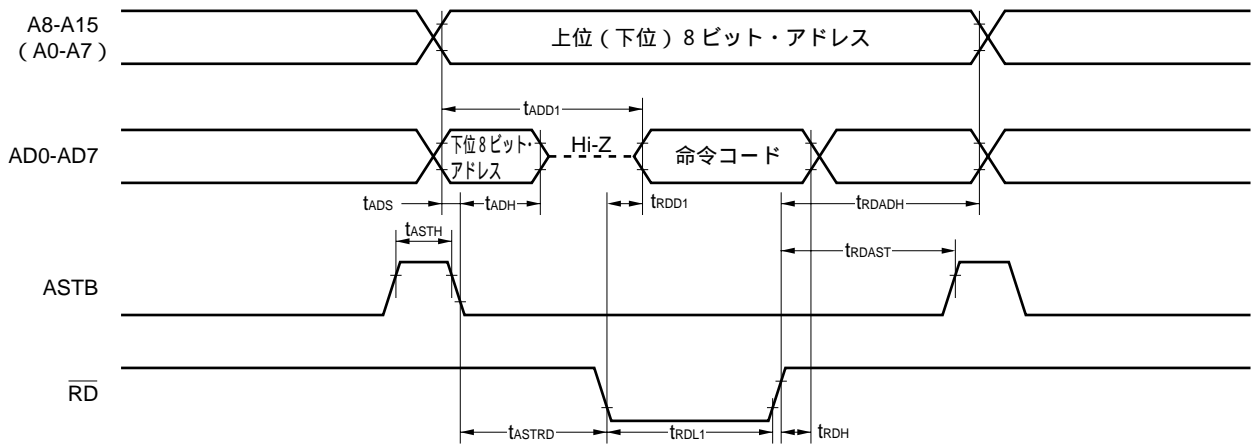


T1タイミング



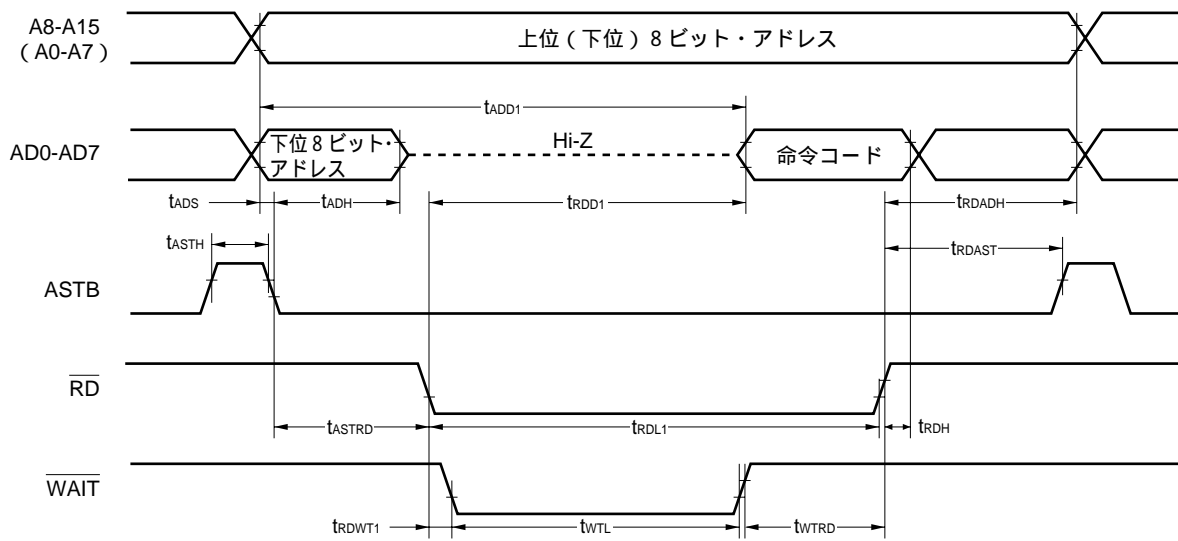
リード/ライト・オペレーション

外部フェッチ（ノー・ウエイト時）：



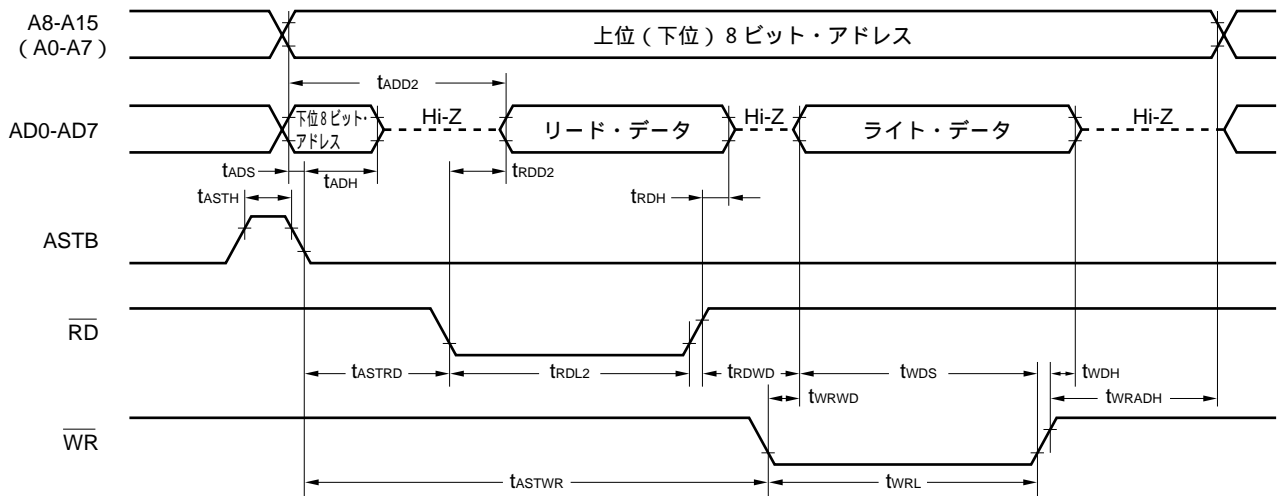
備考 () 内はセパレート・バス・モード時のみ有効です。

外部フェッチ（ウエイト挿入時）：



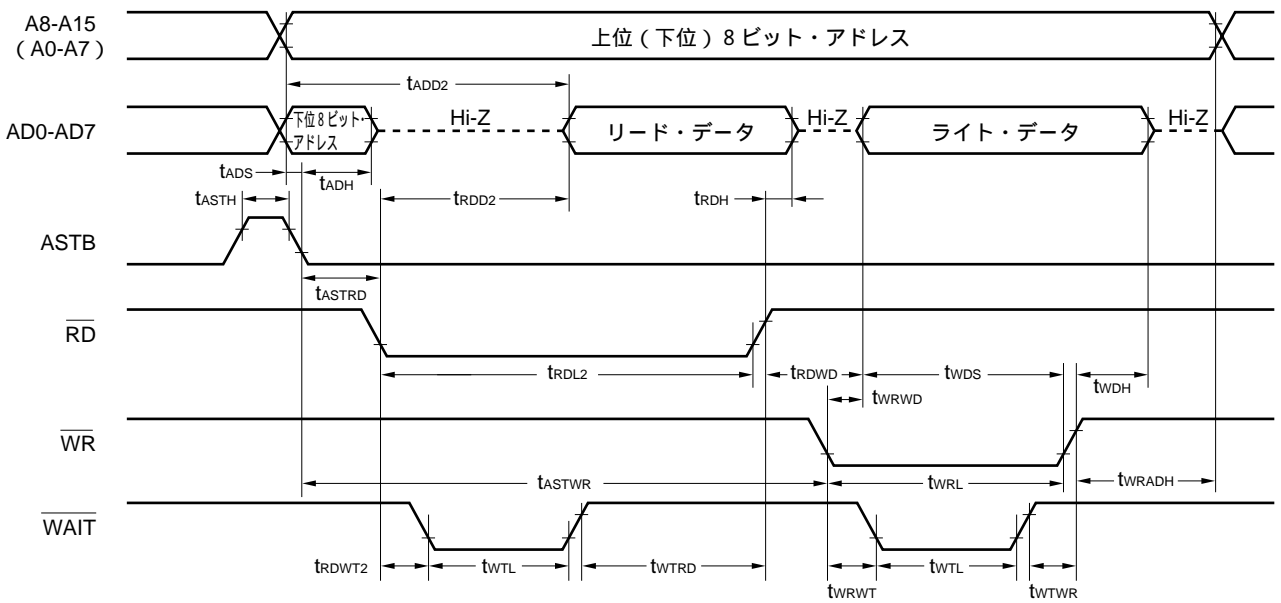
備考 () 内はセパレート・バス・モード時のみ有効です。

外部データ・アクセス（ノー・ウエイト時）：



備考 ()内はセパレート・バス・モード時のみ有効です。

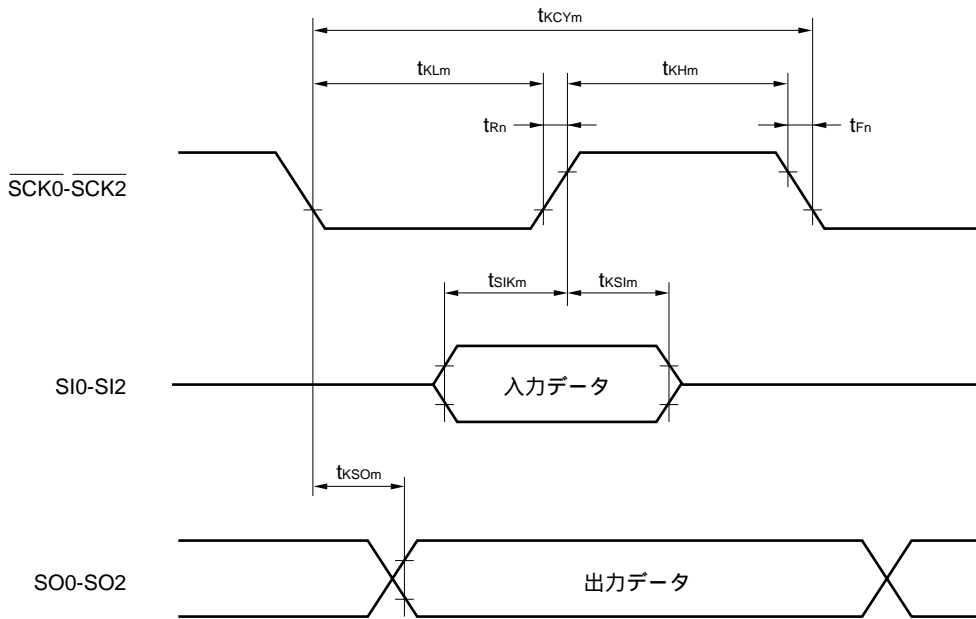
外部データ・アクセス（ウエイト挿入時）：



備考 ()内はセパレート・バス・モード時のみ有効です。

シリアル転送タイミング

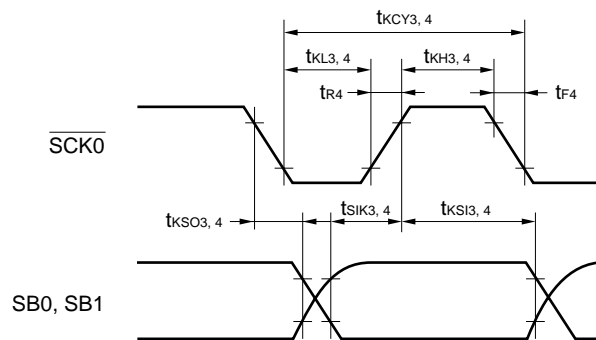
3線式シリアルI/Oモード :



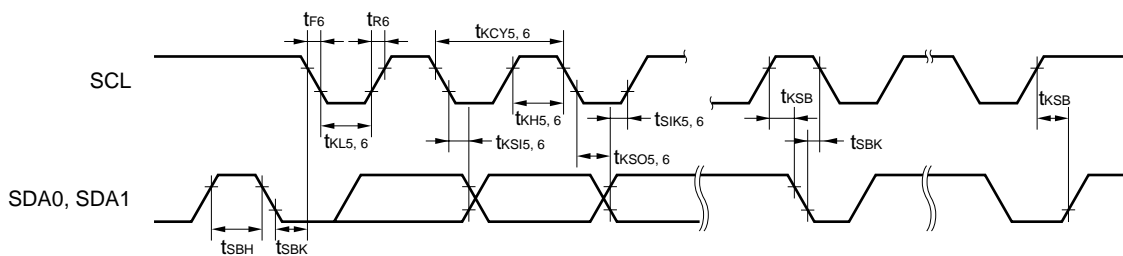
m = 1, 2, 7, 8, 11, 12

n = 2, 8, 12

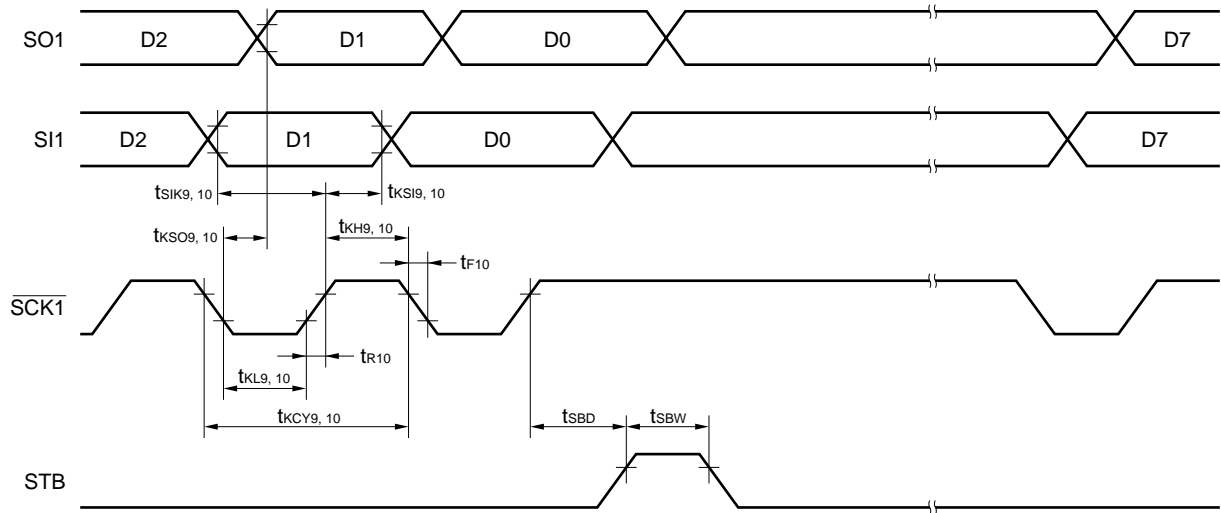
2線式シリアルI/Oモード :



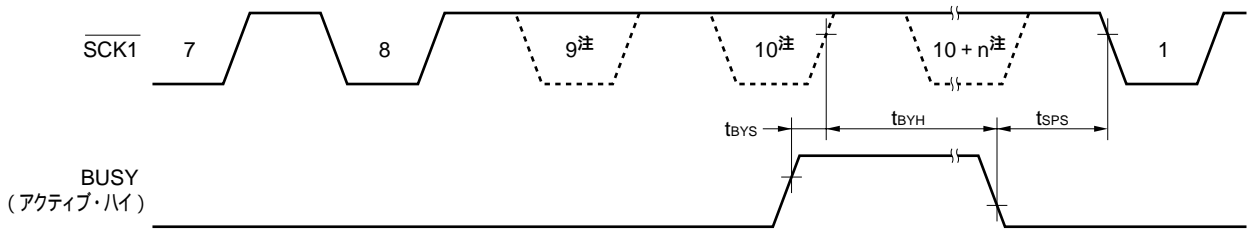
I²Cバス・モード :



自動送受信機能付き 3 線式シリアル I/O モード :

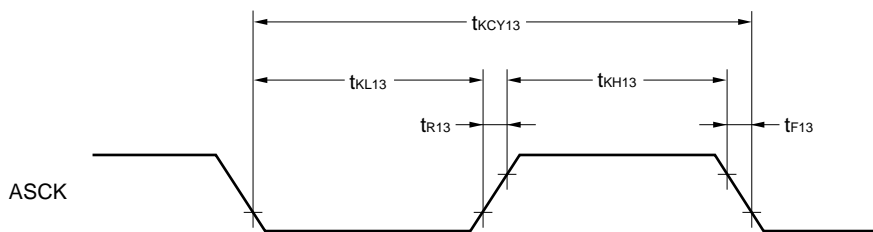


自動送受信機能付き 3 線式シリアル I/O モード (ビジー処理) :



注 ここでは実際にはロウ・レベルになりませんが、タイミング規定のためこのように表記してあります。

UARTモード (外部クロック入力) :



A/Dコンバータ特性 (TA = -40 ~ +85 , AVDD = VDD = 2.7 ~ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
総合誤差 ^注		2.7 V AVREF0 AVDD			1.4	%
変換時間	tCONV		19.1		200	μs
サンプリング時間	tsAMP		12/fxx			μs
アナログ入力電圧	VIAN		AVSS		AVREF0	V
基準電圧	AVREF0		2.7		AVDD	V
AVREF0-AVSS間抵抗	RAIREF0		4			k

注 量子化誤差 (± 1/2LSB) を含みません。フルスケール値に対する比率で表しています。

備考 fxx : メイン・システム・クロック周波数 (fxまたはfx/2)

fx : メイン・システム・クロック発振周波数

D/Aコンバータ特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					8	bit
総合誤差		R = 2 M ^{注1}			1.2	%
		R = 4 M ^{注1}			0.8	%
		R = 10 M ^{注1}			0.6	%
セットリング・タイム		C = 30 pF ^{注1}	4.5 V AVREF1 5.5 V		10	μs
			2.7 V AVREF1 < 4.5 V		15	μs
			1.8 V AVREF1 < 2.7 V		20	μs
出力抵抗	Ro	注2		10		k
アナログ基準電圧	AVREF1		1.8		VDD	V
AVREF1-AVSS間抵抗	RAIREF1	DACS0, DACS1 = 55H ^{注2}	4	8		k

注1 . R, CはD/Aコンバータ出力端子の負荷抵抗, 負荷容量です。

2 . D/Aコンバータ 1チャンネル分の値です。

備考 DACS0, DACS1 : D/A変換値設定レジスタ 0 , 1

データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

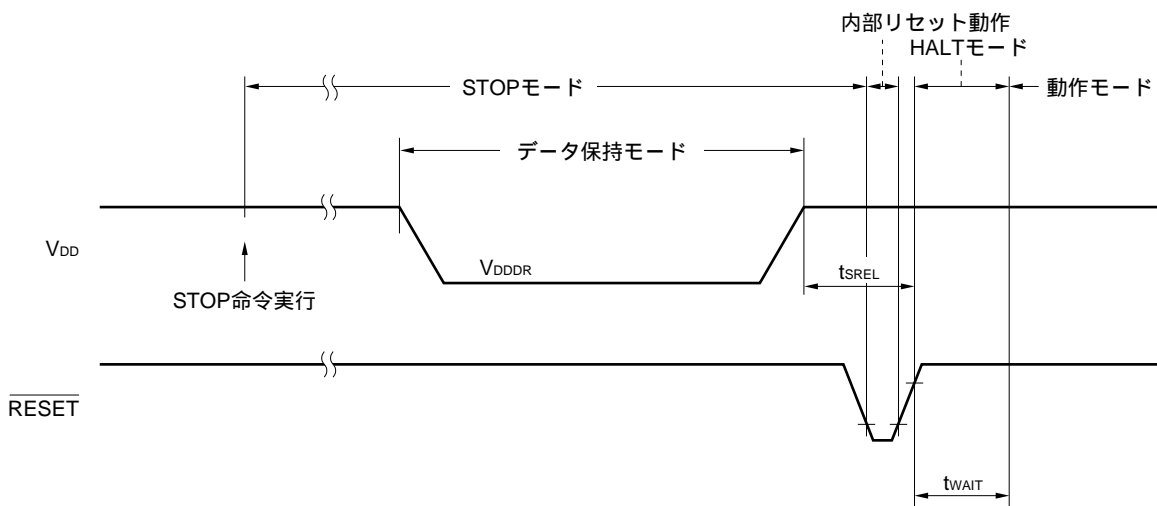
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.8		5.5	V
データ保持電源電流	I _{DDDR}	V _{DDDR} = 1.8 V サブシステム・クロック停止、フィードバック抵抗切断時		0.1	10	μA
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間	t _{WAIT}	RESETによる解除		2 ¹⁷ /f _x		ms
		割り込みによる解除		注		ms

注 発振安定時間選択レジスタ (OSTS) のビット0-ビット2 (OSTS0-OSTS2) により、2¹²/f_{xx}、2¹⁴/f_{xx}-2¹⁷/f_{xx}の選択が可能です。

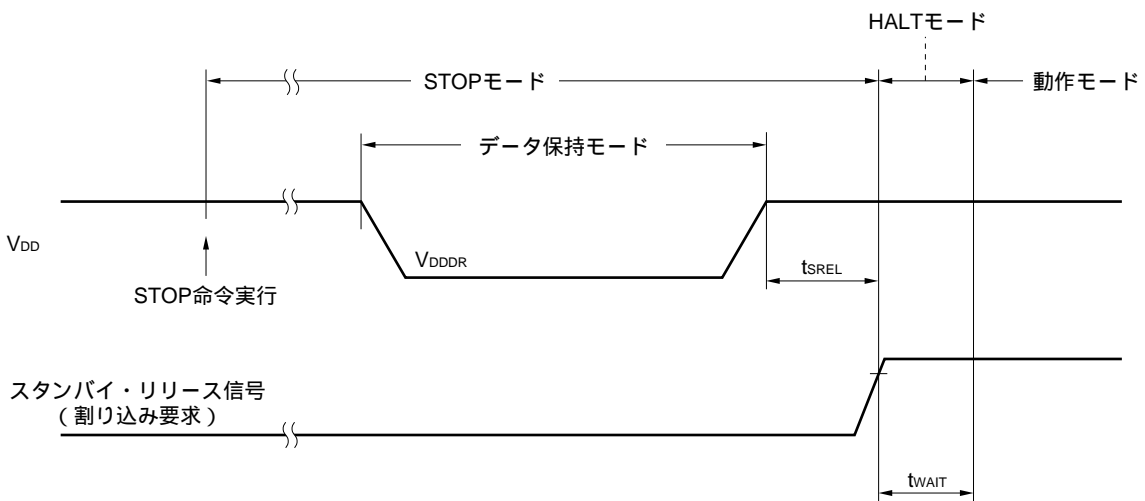
備考 f_{xx} : メイン・システム・クロック周波数 (f_xまたはf_x/2)

f_x : メイン・システム・クロック発振周波数

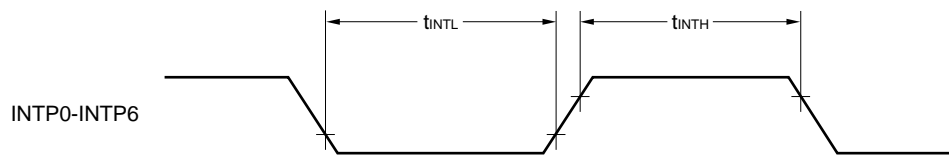
データ保持タイミング (RESETによるSTOPモード解除)



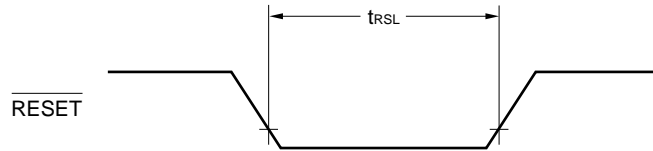
データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



割り込み入力タイミング



$\overline{\text{RESET}}$ 入力タイミング



PROMプログラミング特性

DC特性

(1) PROM書き込みモード ($T_A = 25 \pm 5$, $V_{DD} = 6.5 \pm 0.25$ V, $V_{PP} = 12.5 \pm 0.3$ V)

項 目	略号	略号注	条 件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH}	V_{IH}		$0.7 V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL}	V_{IL}		0		$0.3 V_{DD}$	V
ハイ・レベル出力電圧	V_{OH}	V_{OH}	$I_{OH} = -1$ mA	$V_{DD} - 1.0$			V
ロウ・レベル出力電圧	V_{OL}	V_{OL}	$I_{OL} = 1.6$ mA			0.4	V
入力リーク電流	I_{LI}	I_{LI}	0 $V_{IN} = V_{DD}$	- 10		+ 10	μA
V_{PP} 電源電圧	V_{PP}	V_{PP}		12.2	12.5	12.8	V
V_{DD} 電源電圧	V_{DD}	V_{CC}		6.25	6.5	6.75	V
V_{PP} 電源電流	I_{PP}	I_{PP}	$\overline{PGM} = V_{IL}$			50	mA
V_{DD} 電源電流	I_{DD}	I_{CC}				50	mA

(2) PROM読み出しモード ($T_A = 25 \pm 5$, $V_{DD} = 5.0 \pm 0.5$ V, $V_{PP} = V_{DD} \pm 0.6$ V)

項 目	略号	略号注	条 件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH}	V_{IH}		$0.7 V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL}	V_{IL}		0		$0.3 V_{DD}$	V
ハイ・レベル出力電圧	V_{OH1}	V_{OH1}	$I_{OH} = -1$ mA	$V_{DD} - 1.0$			V
	V_{OH2}	V_{OH2}	$I_{OH} = -100$ μA	$V_{DD} - 0.5$			V
ロウ・レベル出力電圧	V_{OL}	V_{OL}	$I_{OL} = 1.6$ mA			0.4	V
入力リーク電流	I_{LI}	I_{LI}	0 $V_{IN} = V_{DD}$	- 10		+ 10	μA
出力リーク電流	I_{LO}	I_{LO}	0 $V_{OUT} = V_{DD}, \overline{OE} = V_{IH}$	- 10		+ 10	μA
V_{PP} 電源電圧	V_{PP}	V_{PP}		$V_{DD} - 0.6$	V_{DD}	$V_{DD} + 0.6$	V
V_{DD} 電源電圧	V_{DD}	V_{CC}		4.5	5.0	5.5	V
V_{PP} 電源電流	I_{PP}	I_{PP}	$V_{PP} = V_{DD}$			100	μA
V_{DD} 電源電流	I_{DD}	I_{CCA1}	$\overline{CE} = V_{IL}, V_{IN} = V_{IH}$			50	mA

注 対応するμPD27C1001Aの略号です。

AC特性

(1) PROM書き込みモード

(a) ページ・プログラム・モード ($T_A = 25 \pm 5$, $V_{DD} = 6.5 \pm 0.25$ V, $V_{PP} = 12.5 \pm 0.3$ V)

項目	略号	略号注	条件	MIN.	TYP.	MAX.	単位
アドレス・セットアップ時間(対 \overline{OE})	tAS	tAS		2			μs
\overline{OE} セット時間	tOES	tOES		2			μs
\overline{CE} セットアップ時間(対 \overline{OE})	tCES	tCES		2			μs
入力データ・セットアップ時間(対 \overline{OE})	tDS	tDS		2			μs
アドレス・ホールド時間(対 \overline{OE})	tAH	tAH		2			μs
	tAHL	tAHL		2			μs
	tAHV	tAHV		0			μs
入力データ・ホールド時間(対 \overline{OE})	tDH	tDH		2			μs
\overline{OE} データ出力フロート遅延時間	tDF	tDF		0		250	ns
V_{PP} セットアップ時間(対 \overline{OE})	tVPS	tVPS		1.0			ms
V_{DD} セットアップ時間(対 \overline{OE})	tVDS	tVCS		1.0			ms
プログラム・パルス幅	tpw	tpw		0.095	0.1	0.105	ms
\overline{OE} 有効データ遅延時間	tOE	tOE				1	μs
データ・ラッチ中の \overline{OE} パルス幅	tLW	tLW		1			μs
PGMセット時間	tpGMS	tpGMS		2			μs
\overline{CE} ホールド時間	tCEH	tCEH		2			μs
\overline{OE} ホールド時間	tOEH	tOEH		2			μs

(b) バイト・プログラム・モード ($T_A = 25 \pm 5$, $V_{DD} = 6.5 \pm 0.25$ V, $V_{PP} = 12.5 \pm 0.3$ V)

項目	略号	略号注	条件	MIN.	TYP.	MAX.	単位
アドレス・セットアップ時間(対PGM)	tAS	tAS		2			μs
\overline{OE} セット時間	tOES	tOES		2			μs
\overline{CE} セットアップ時間(対PGM)	tCES	tCES		2			μs
入力データ・セットアップ時間(対PGM)	tDS	tDS		2			μs
アドレス・ホールド時間(対 \overline{OE})	tAH	tAH		2			μs
入力データ・ホールド時間(対PGM)	tDH	tDH		2			μs
\overline{OE} データ出力フロート遅延時間	tDF	tDF		0		250	ns
V_{PP} セットアップ時間(対PGM)	tVPS	tVPS		1.0			ms
V_{DD} セットアップ時間(対PGM)	tVDS	tVCS		1.0			ms
プログラム・パルス幅	tpw	tpw		0.095	0.1	0.105	ms
\overline{OE} 有効データ遅延時間	tOE	tOE				1	μs
\overline{OE} ホールド時間	tOEH	-		2			μs

注 対応するμPD27C1001Aの略号です。

(2) PROM読み出しモード ($T_A = 25 \pm 5$, $V_{DD} = 5.0 \pm 0.5$ V, $V_{PP} = V_{DD} \pm 0.6$ V)

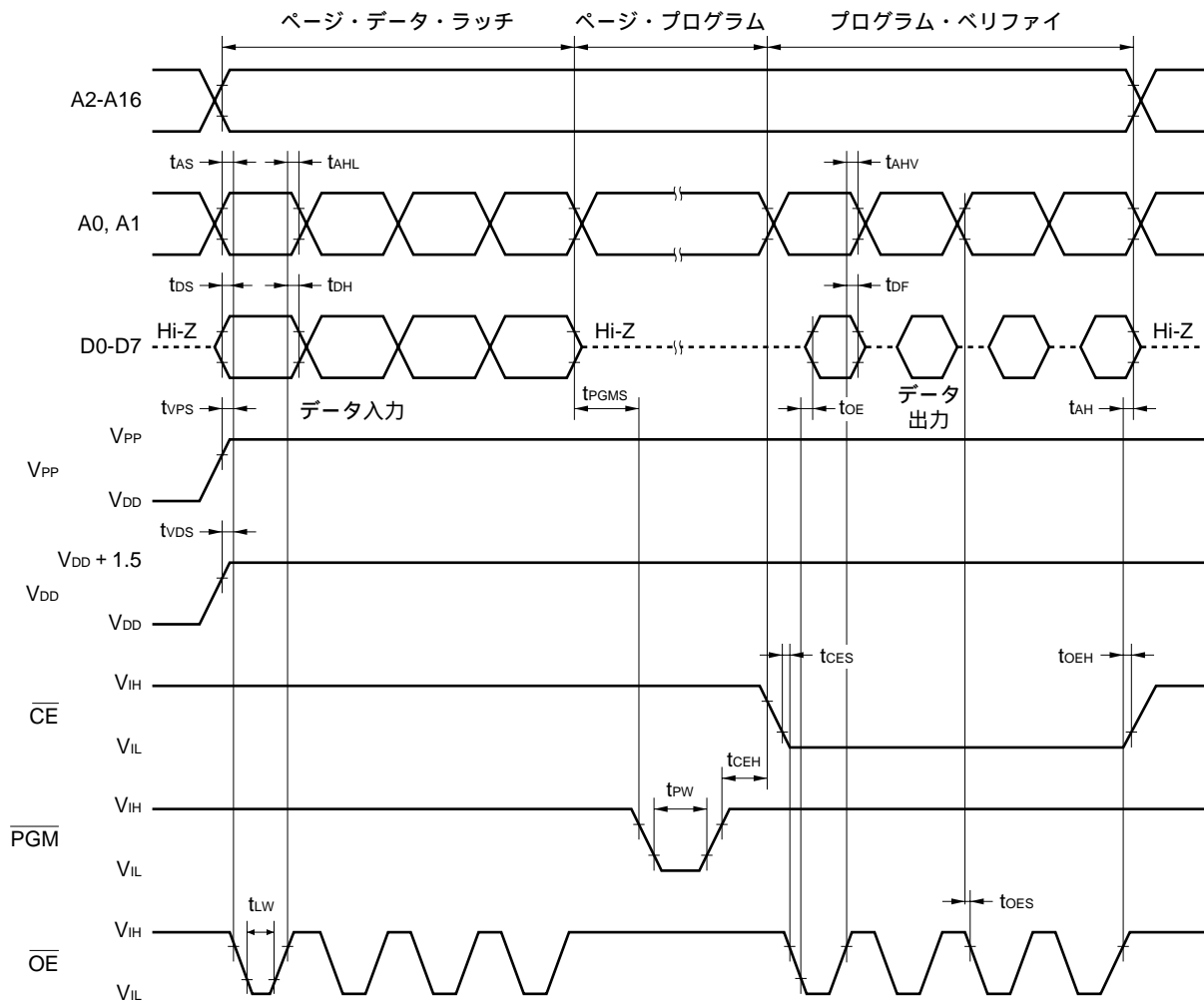
項 目	略号	略号注	条 件	MIN.	TYP.	MAX.	単位
アドレス データ出力遅延時間	t _{ACC}	t _{ACC}	$\overline{CE} = \overline{OE} = V_{IL}$			800	ns
\overline{CE} データ出力遅延時間	t _{CE}	t _{CE}	$\overline{OE} = V_{IL}$			800	ns
\overline{OE} データ出力遅延時間	t _{OE}	t _{OE}	$\overline{CE} = V_{IL}$			200	ns
\overline{OE} データ出力フロート遅延時間	t _{DF}	t _{DF}	$\overline{CE} = V_{IL}$	0		60	ns
アドレス データ・ホールド時間	t _{OH}	t _{OH}	$\overline{CE} = \overline{OE} = V_{IL}$	0			ns

注 対応する μ PD27C1001Aの略号です。

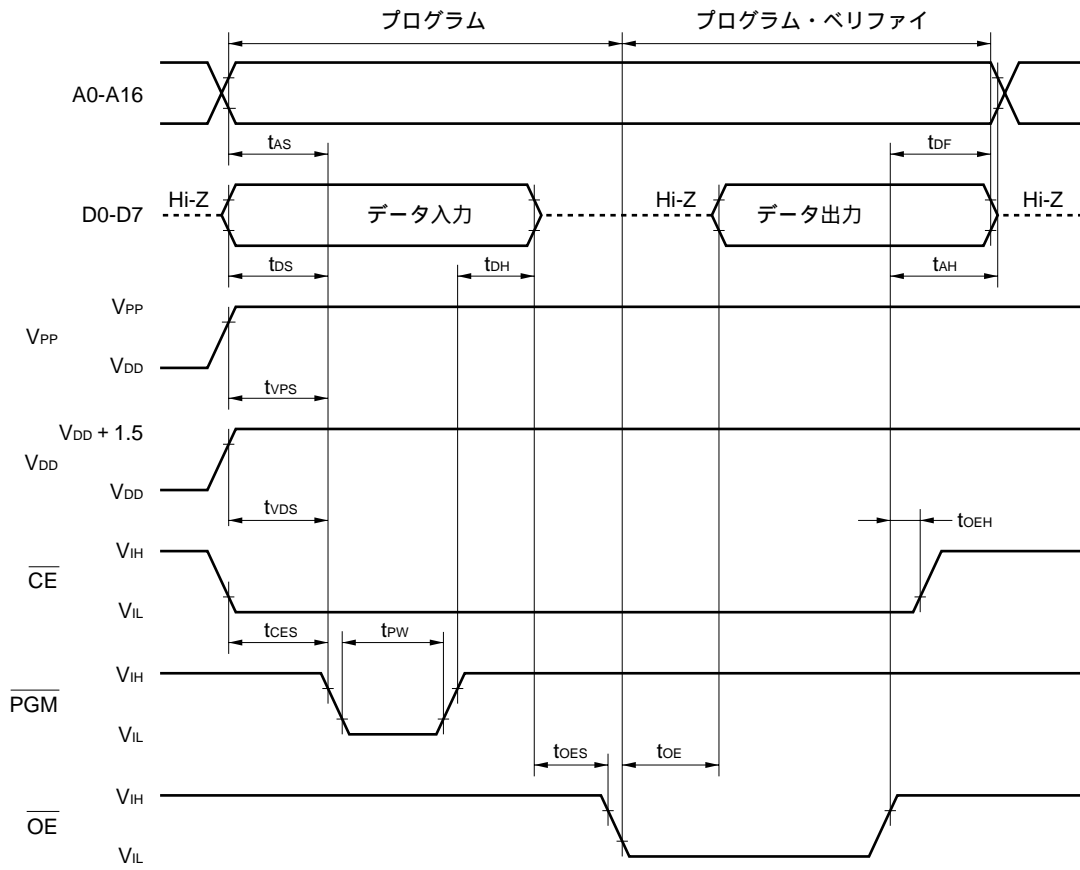
(3) PROMプログラミング・モード設定 ($T_A = 25$, $V_{SS} = 0$ V)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
PROMプログラミング・モード・セットアップ時間	t _{SMA}		10			μ s

PROM書き込みモード・タイミング (ページ・プログラム・モード)

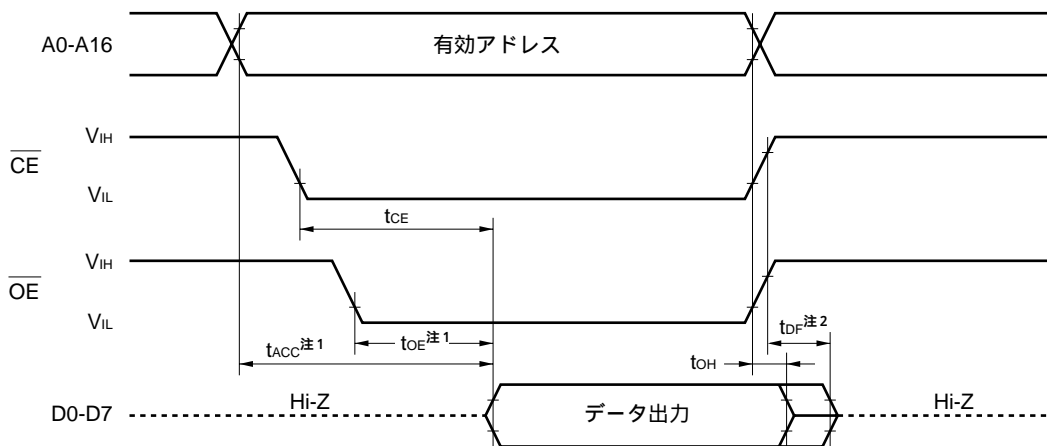


PROM書き込みモード・タイミング (バイト・プログラム・モード)



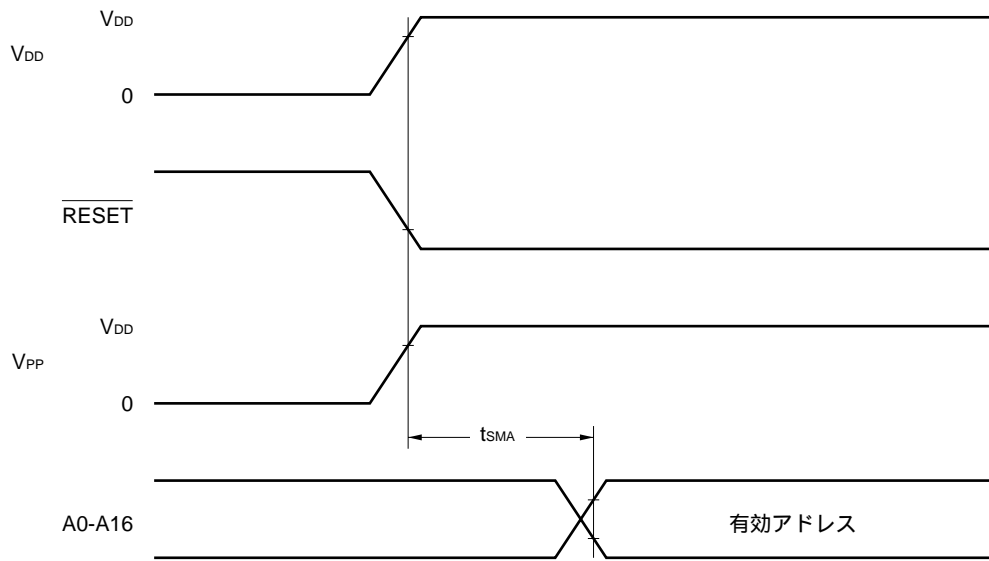
- 注意 1 . V_{DD}はV_{PP}より前に印加し, V_{PP}のあとから切断するようにしてください。
- 2 . V_{PP}はオーバーシュートを含めて+13.5 V以上にならないようにしてください。
- 3 . V_{PP}に12.5 Vが印加されている間に抜き差しした場合, 信頼性上, 悪影響を受ける可能性があります。

PROM読み出しモード・タイミング

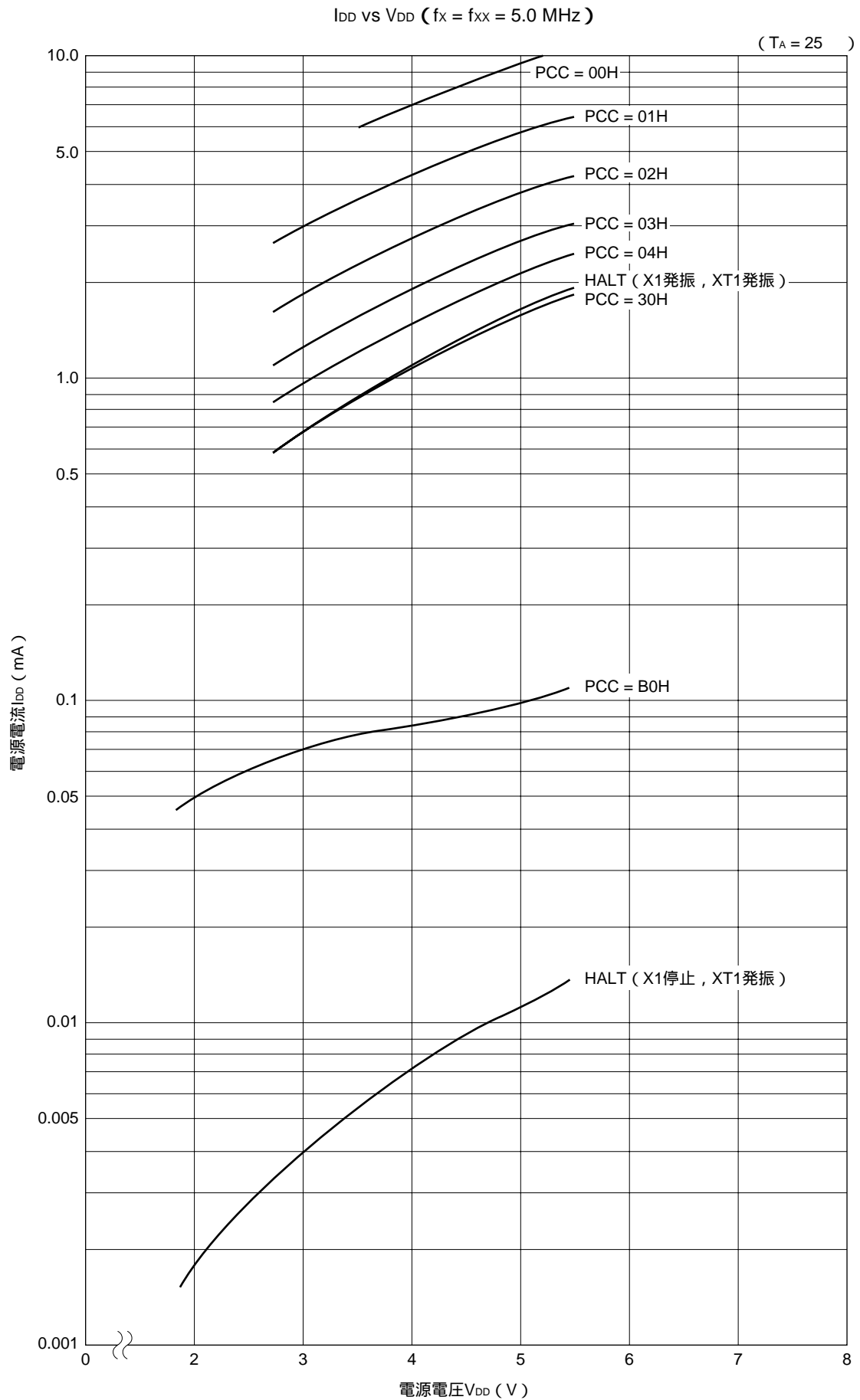


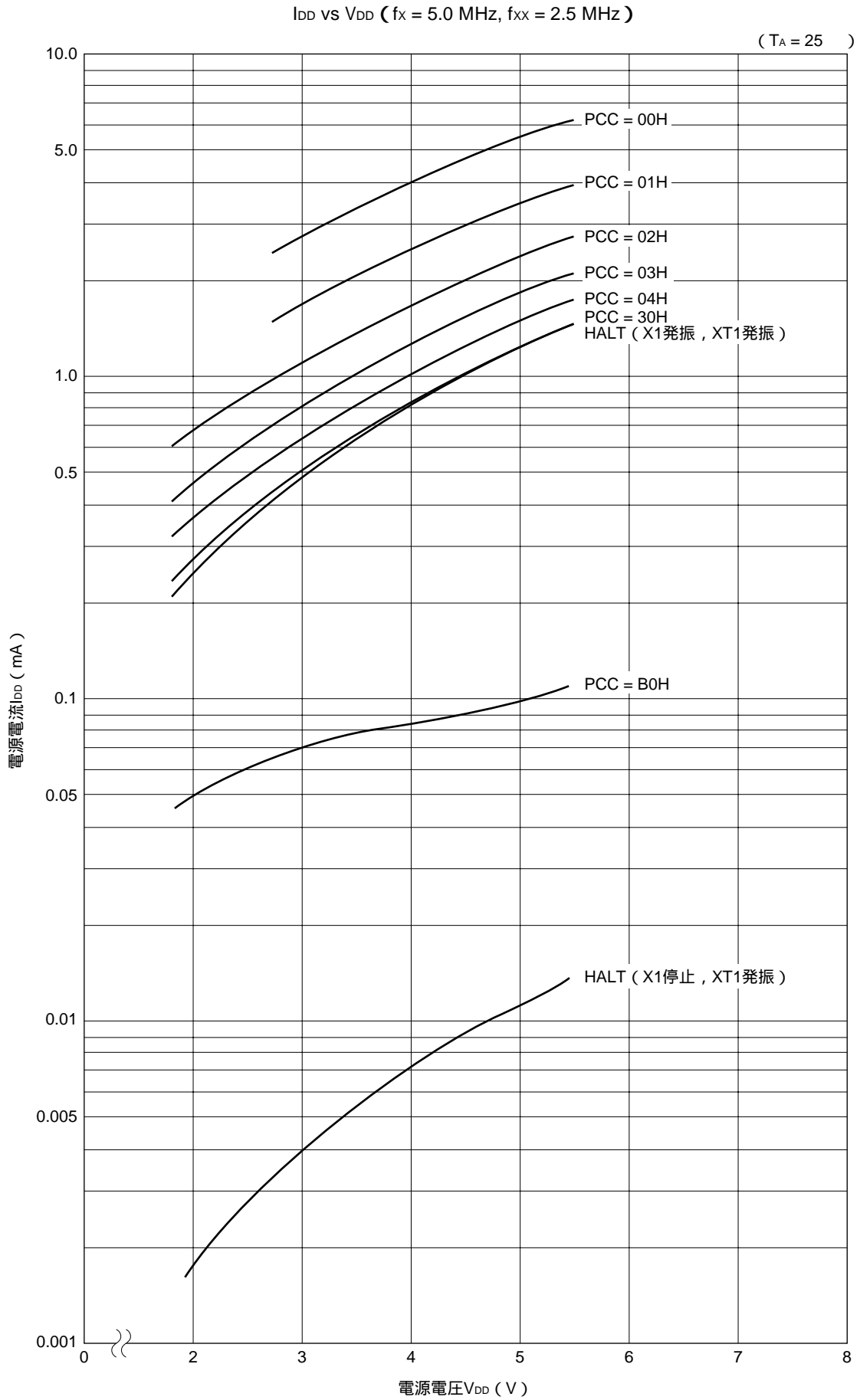
- 注 1 . t_{ACC}の範囲内でリードしたい場合, OE入力のOEの立ち下がりからの遅れ時間は最大t_{ACC} - t_{OE}としてください。
- 2 . t_{DF}はOE, CEのどちらか最初にV_{IH}となった状態からの時間です。

PROMプログラミング・モード設定タイミング



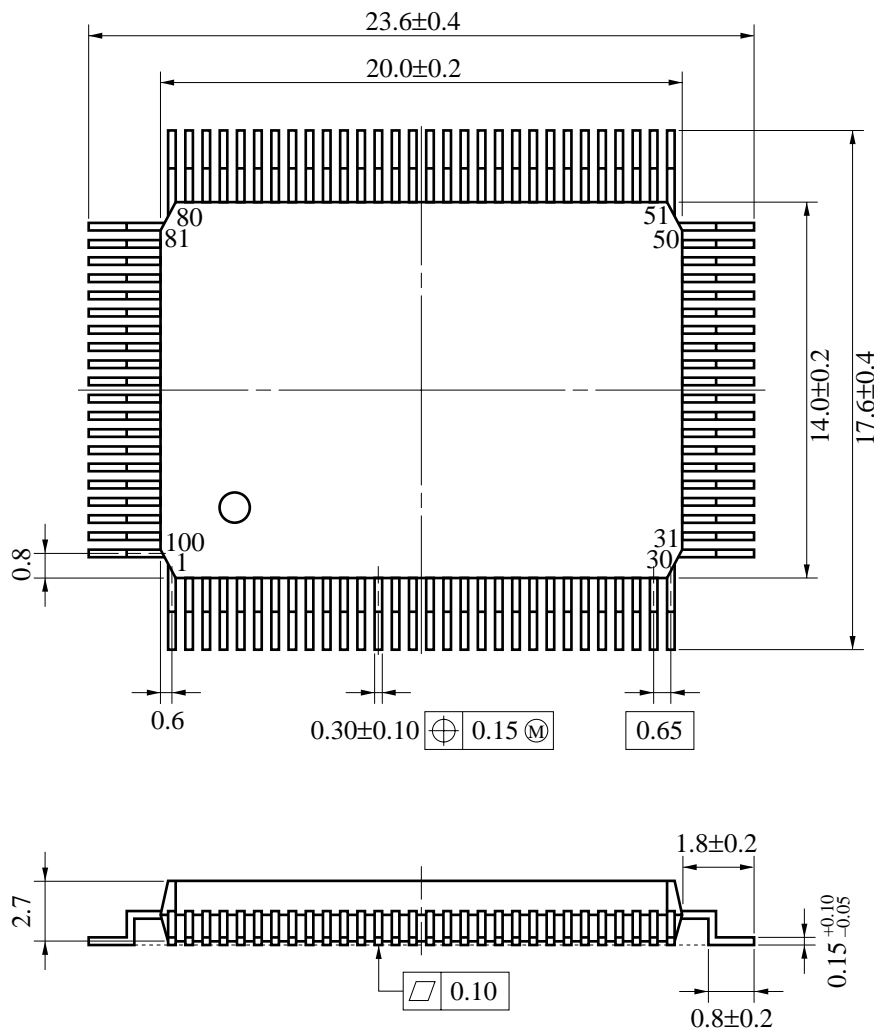
8. 特性曲線 (参考値)



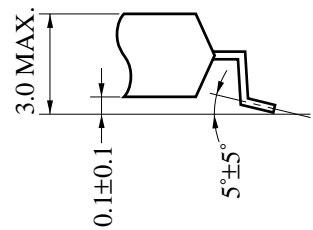


9. 外形図

100ピン・プラスチック QFP (14×20) 外形図 (単位: mm)



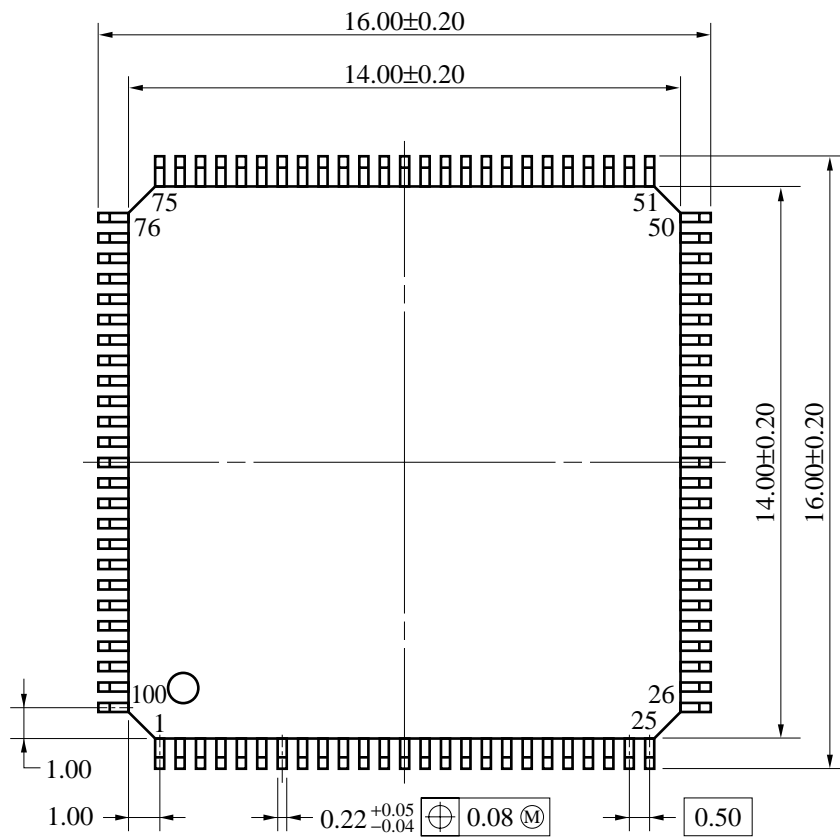
端子先端形状詳細図



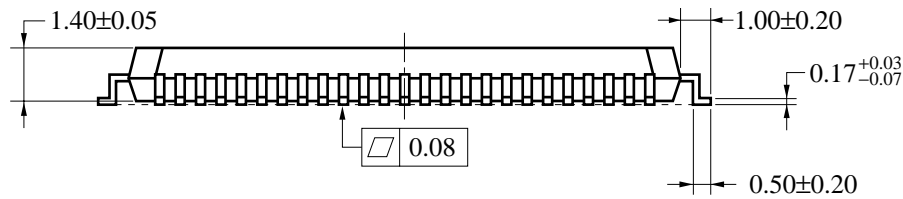
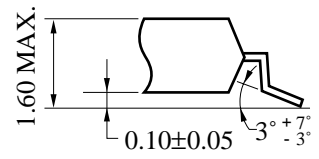
P100GF-65-3BA1-2

備考 ES品の外形や材質は、量産品と同じです。

100ピン・プラスチック LQFP (ファインピッチ)(14×14) 外形図 (単位: mm)



端子先端形状詳細図



S100GC-50-8EU

備考 ES品の外形や材質は、量産品と同じです。

★ 10. 半田付け推奨条件

μPD78P078Yの半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表10 - 1 表面実装タイプの半田付け条件 (1/2)

(1) μPD78P078YGF-3BA : 100ピン・プラスチックQFP (14×20 mm, 樹脂厚2.7 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上) , 回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上) , 回数：3回以内	VP15-00-3
ウエーブ・ ソルダーリング	半田槽温度：260 以下, 時間：10秒以内, 回数：1回, 予備加熱温度：120 MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：350 以下, 時間：3秒以内 (デバイスの一辺当たり)	-

注意 半田付け方式の併用はお避けください (ただし, 端子部分加熱は除く)。

(2) μPD78P078YGC-8EU : 100ピン・プラスチックLQFP (ファインピッチ) (14 mm, 樹脂厚1.40 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上) , 回数：2回以内, 制限日数：7日間 ^注 (以降は125 プリバーク10時間必要) 留意事項 耐熱トレイ以外 (マガジン, テーピング, 非耐熱トレイ) は, 包装状態でのベーキングが できません。	IR35-107-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上) , 回数：2回以内, 制限日数：7日間 ^注 (以降は125 プリバーク10時間必要) 留意事項 耐熱トレイ以外 (マガジン, テーピング, 非耐熱トレイ) は, 包装状態でのベーキングが できません。	VP15-107-2
端子部分加熱	端子温度：350 以下, 時間：3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で, 保管条件は25 , 65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし, 端子部分加熱は除く)。

表10 - 1 表面実装タイプの半田付け条件 (2/2)

(3) μPD78P078YGF-3BA-A : 100ピン・プラスチックQFP (14×20 mm, 樹脂厚2.7 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内， 制限日数：3日間 ^注 （以降は125℃プリバーク20時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングが できません。	IR60-203-3
ウエーブ・ ソルダーリング	詳細については，当社販売員にお問い合わせください。	-
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考 オーダ名称の末尾「-A」の製品は，鉛フリー製品です。

付録A．開発ツール

μPD78P078Yを使用するシステム開発のために次のような開発ツールを用意しています。

言語処理用ソフトウェア

RA78K0 ^{注1, 2, 3, 4}	78K/0シリーズ共通のアセンブラ・パッケージ
CC78K0 ^{注1, 2, 3, 4}	78K/0シリーズ共通のCコンパイラ・パッケージ
DF78078 ^{注1, 2, 3, 4}	μPD78078サブシリーズと共通のデバイス・ファイル
CC78K0-L ^{注1, 2, 3, 4}	78K/0シリーズ共通のCコンパイラ・ライブラリ・ソース・ファイル

PROM書き込み用ツール

PG-1500	PROMプログラマ
PA-78P078GF PA-78P078GC PA-78P078KL-T	PG-1500に接続するプログラマ・アダプタ
PG-1500コントローラ ^{注1, 2}	PG-1500用コントロール・プログラム

ディバグ用ツール

IE-78000-R	78K/0シリーズ共通のインサーキット・エミュレータ
★ IE-78000-R-A	78K/0シリーズ共通のインサーキット・エミュレータ（統合ディバグ用）
IE-78000-R-BK	78K/0シリーズ共通のブレーク・ボード
IE-78078-R-EM	μPD78078サブシリーズ評価用エミュレーション・ボード
EP-78064GC-R EP-78064GF-R	μPD78064サブシリーズと共通のエミュレーション・プローブ
EV-9200GF-100	100ピン・プラスチックQFP（GF-3BAタイプ）用に作られたターゲット・システムの基板 上に実装するソケット
★ TGC-100SDW	100ピン・プラスチックLQFP（GC-8EUタイプ）用に作られたターゲット・システムの基板 上に実装するアダプタ。 東京エレクトック株式会社（東京 03 5295-1661）の製品です。ご購入の際はNEC特約店にご相談 ください。
EV-9900	EV-9200GF-100からμPD78P078YKL-Tを取り外す際に使用する治具
SM78K0 ^{注5, 6, 7}	78K/0シリーズ共通のシステム・シミュレータ
ID78K0 ^{注4, 5, 6, 7}	IE-78000-R-A用統合ディバグ
SD78K0 ^{注1, 2}	IE-78000-R用スクリーン・ディバグ
DF78078 ^{注1, 2, 4, 5, 6, 7}	μPD78078サブシリーズと共通のデバイス・ファイル

リアルタイムOS

RX78K0 ^{注1, 2, 3, 4}	78K/0シリーズ用リアルタイムOS
MX78K0 ^{注1, 2, 3, 4}	78K/0シリーズ用OS

ファジィ推論開発支援システム

FE9000 ^{注1} /FE9200 ^{注5}	ファジィ知識データ作成ツール
FT9080 ^{注1} /FT9085 ^{注2}	トランスレータ
FI78K0 ^{注1, 2}	ファジィ推論モジュール
FD78K0 ^{注1, 2}	ファジィ推論ディバッガ

注1．PC-9800シリーズ（MS-DOS™）ベース

2．IBM PC/AT™およびその互換機（PC DOS™/IBM DOS™/MS-DOS）ベース

3．HP9000シリーズ300™（HP-UX™）ベース

4．HP9000シリーズ700™（HP-UX）ベース，SPARCstation™（SunOS™）ベース，EWS4800シリーズ（EWS-UX/V）ベース

5．PC-9800シリーズ（MS-DOS + Windows™）ベース

6．IBM PC/ATおよびその互換機（PC DOS/IBM DOS/MS-DOS + Windows）ベース

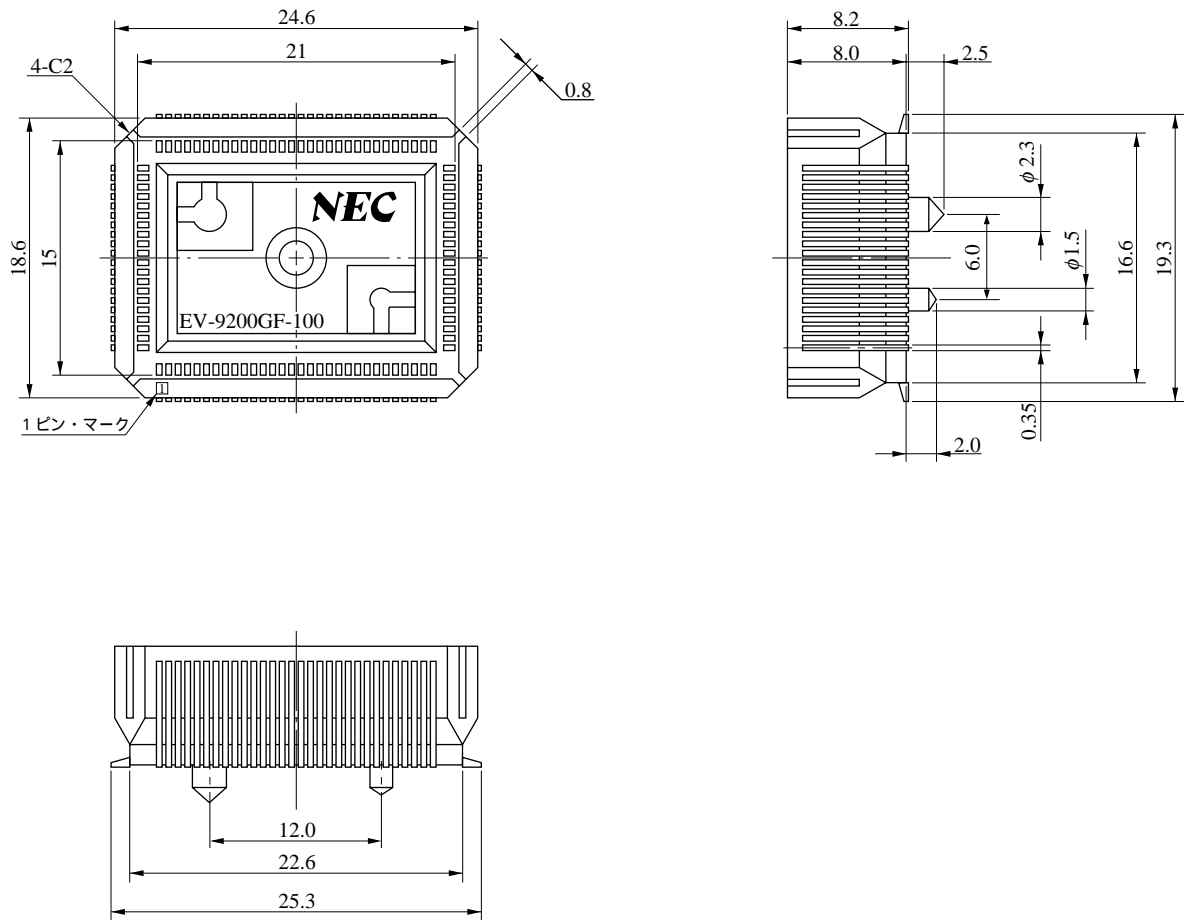
7．NEWS™（NEWS-OST™）ベース

備考1．3rdパーティ製開発ツールについては，78K/0シリーズ **セレクション・ガイド**（U11126J）を参照してください。

2．RA78K/0，CC78K/0，SM78K0，ID78K0，SD78K/0，RX78K/0は，DF78078と組み合わせて使用します。

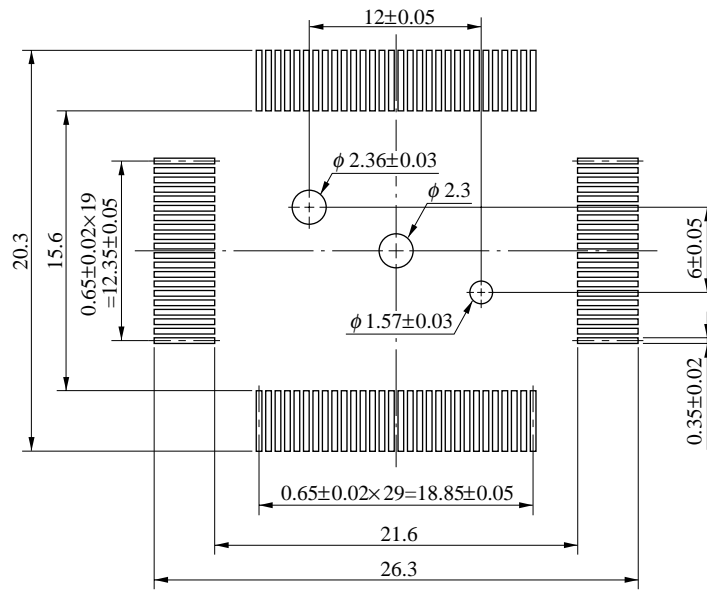
変換ソケット (EV-9200GF-100) の外形図と基板取り付け推奨パターン

図A - 1 EV-9200GF-100外形図 (参考) (単位: mm)



EV-9200GF-100-G0

図A - 2 EV-9200GF-100基板取り付け推奨パターン（参考）（単位：mm）

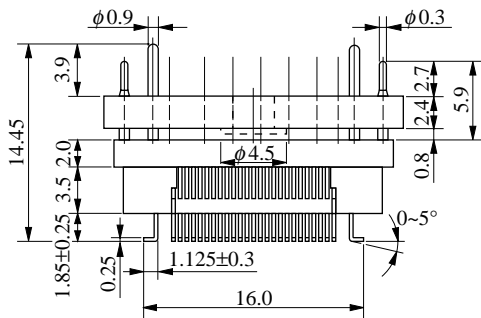
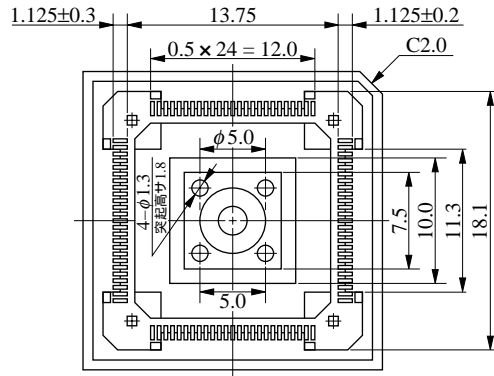
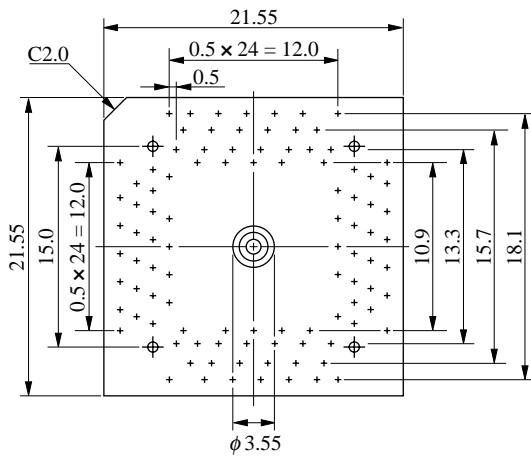


EV-9200GF-100-P1

注意 EV-9200用のマウント・パッド寸法と、対象製品のマウント・パッド寸法（QFP用）は、その一部が異なる場合があります。QFP用の推奨マウント・パッド寸法は、「半導体デバイス 実装マニュアル」（<http://www.necel.com/pkg/ja/jissou/index.html>）をご参照ください。

★ 変換アダプタ (TGC-100SDW) の外形図

図A - 3 TGC-100SDW 外形図 (参考) (単位 : mm)



TGC-100SDW-G0

注 : 東京エレクトック (株) 製

★ 付録B . 関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μPD78078, 78078Yサブシリーズ ユーザーズ・マニュアル	U10641J	U10641E
μPD78076Y, 78078Y データ・シート	U10605J	U10605E
μPD78P078Y データ・シート	この資料	U10606E
μPD78074BY, 78075BY データ・シート	作成予定	作成予定
μPD78075B, 78075BYサブシリーズ ユーザーズ・マニュアル	U12560J	作成予定
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E
78K/0シリーズ インストラクション活用表	U10903J	—
78K/0シリーズ インストラクション・セット	U10904J	—
μPD78078Yサブシリーズ 特殊機能レジスタ活用表	IEM-5601	—
78K/0シリーズ アプリケーション・ノート 基礎編 ()	IEA-767	U10182E

開発ツールの資料(ユーザーズ・マニュアル)(1/2)

資料名	資料番号	
	和文	英文
RA78Kシリーズ アセンブラ・パッケージ	操作編	EEU-809 EEU-1399
	言語編	EEU-815 EEU-1404
RA78Kシリーズ 構造化アセンブラ・プリプロセッサ		EEU-817 EEU-1402
RA78K0 アセンブラ・パッケージ	操作編	U11802J U11802E
	アセンブリ言語編	U11801J U11801E
	構造化アセンブリ言語編	U11789J U11789E
CC78Kシリーズ Cコンパイラ	操作編	EEU-656 EEU-1280
	言語編	EEU-655 EEU-1284
CC78K0 Cコンパイラ	操作編	U11517J U11517E
	言語編	U11518J U11518E
CC78K/0 Cコンパイラ アプリケーション・ノート	プログラミング・ノウハウ編	EEA-618 EEA-1208
CC78Kシリーズ ライブラリ・ソース・ファイル		U12322J —
PG-1500 PROMプログラマ		U11940J EEU-1335
PG-1500コントローラ PC-9800シリーズ (MS-DOS) ベース		EEU-704 EEU-1291
PG-1500コントローラ IBM PCシリーズ (PC DOS) ベース		EEU-5008 U10540E
IE-78000-R		U11376J U11376E
IE-78000-R-BK		EEU-867 EEU-1427
IE-78000-R-A		U10057J U10057E
IE-78078-R-EM		U10775J U10775E
EP-78064		EEU-934 EEU-1522

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

開発ツールの資料 (ユーザーズ・マニュアル) (2/2)

資 料 名		資 料 番 号	
		和 文	英 文
SM78K0 システム・シミュレータ Windowsベース	レファレンス編	U10181J	U10181E
SM78Kシリーズ システム・シミュレータ	外部部品ユーザオープン インタフェース仕様編	U10092J	U10092E
ID78K0 統合デバッグ EWSベース	レファレンス編	U11151J	-
ID78K0 統合デバッグ PCベース	レファレンス編	U11539J	U11539E
ID78K0 統合デバッグ Windowsベース	ガイド編	U11649J	U11649E
SD78K/0 スクリーン・デバッグ	入門編	EEU-852	U10539E
PC-9800シリーズ (MS-DOS) ベース	レファレンス編	U10952J	-
SD78K/0 スクリーン・デバッグ	入門編	EEU-5024	EEU-1414
IBM PC/AT (PC DOS) ベース	レファレンス編	U11279J	U11279E

組み込み用ソフトウェアの資料 (ユーザーズ・マニュアル)

資 料 名		資 料 番 号	
		和 文	英 文
78K/0シリーズ リアルタイムOS	基礎編	U11537J	-
	インストール編	U11536J	-
78K/0シリーズ用OS MX78K0	基礎編	U12257J	-
ファジィ知識データ作成ツール		EEU-829	EEU-1438
78K/0, 78K/ , 87ADシリーズ ファジィ推論開発支援システム トランスレータ		EEU-862	EEU-1444
78K/0シリーズ ファジィ推論開発支援システム ファジィ推論モジュール		EEU-858	EEU-1441
78K/0シリーズ ファジィ推論開発支援システム ファジィ推論デバッグ		EEU-921	EEU-1458

その他の資料

資 料 名		資 料 番 号	
		和 文	英 文
SEMICONDUCTOR SELECTION GUIDE-Products and Packages-		X13769X	
半導体デバイス 実装マニュアル		注	
NEC半導体デバイスの品質水準		C11531J	C11531E
NEC半導体デバイスの信頼性品質管理		C10983J	C10983E
静電気放電 (ESD) 試験について		MEM-539	-
半導体デバイスの品質保証ガイド		C11893J	MEI-1202
マイクロコンピュータ関連製品ガイド 社外メーカ編		U11416J	-

注 「半導体デバイス実装マニュアル」のホームページ参照

和文 : <http://www.necel.com/pkg/ja/jissou/index.html>

英文 : <http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

[メ モ]

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIP, IEBusは、NECエレクトロニクス株式会社の登録商標です。

QTOPは、NECエレクトロニクス株式会社の商標です。

MS-DOSおよびWindowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

IBM DOS, PC/AT, PC DOSは、米国IBM社の商標です。

HP9000シリーズ300, HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc. の商標です。

SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

本製品が外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。該当する場合、日本国外に輸出する際には日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2005年8月現在のものです。今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

（注）

- （1）本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- （2）本事項において使用されている「当社製品」とは、（1）において定義された当社の開発、製造製品をいう。

【発 行】**NECエレクトロニクス株式会社**

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：**044(435)5111**—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) **http://www.necel.co.jp/**

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : **044-435-9494**E-mail : **info@necel.com**

【資料請求先】NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。
