

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

8ビット・シングルチップ・マイクロコンピュータ

μ PD78P058Yは、78K/0シリーズの中の μ PD78054Yサブシリーズの製品で、 μ PD78058Yの内蔵マスクROMを、ワン・タイムPROMまたはEPROMに置き換えたものです。

ユーザによるプログラムの書き込みが可能のため、システム開発時の評価用や多品種少量生産、早期立ち上げに最適です。

注意 μ PD78P058YKK-Tは、お客様の装置の量産製品に使用されることを意図した信頼性を保持しておりません。実験または試作時の機能評価用のみご使用ください。

詳しい機能説明などは次のユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD78054, 78054Yサブシリーズ ユーザズ・マニュアル : U11747J

78K/0シリーズ ユーザズ・マニュアル 命令編 : U12326J

特 徴

マスクROM製品とピン・コンパチブル (V_{PP} 端子を除く)

内部PROM : 60 Kバイト^{注1}

- ・ μ PD78P058YKK-T : 再プログラム可能 (システム評価に最適)
- ・ μ PD78P058YGC : 一度だけプログラム可能 (少量生産に最適)

内部高速RAM : 1024バイト^{注1}

内部拡張RAM : 1024バイト^{注2}

バッファRAM : 32バイト

マスクROM製品と同じ電源電圧で動作可能 ($V_{DD} = 2.0 \sim 6.0$ V)

QTOP™マイコン対応

注1 . メモリ・サイズ切り替えレジスタ (IMS) により、内部PROM、内部高速RAM容量の変更可能。

2 . 内部拡張RAMサイズ切り替えレジスタ (IXS) により、内部拡張RAM容量の変更可能。

備考1 . QTOPマイコンとは、NECの書き込みサービス (書き込みから捺印、スクリーニング、検査) によりトータル・サポートされたワン・タイムPROM内蔵マイコンの総称です。

2 . PROM製品とマスクROM製品の違いについては、1 . μ PD78P058YとマスクROM製品の違いを参照してください。

本資料では、ワン・タイムPROM製品とEPROM製品の共通する部分をPROMという表記で代表しています。

本資料の内容は、後日変更する場合があります。

オーダー情報

	オーダー名称	パッケージ	内部ROM	品質水準
★	μPD78P058YGC-8BT	80ピン・プラスチックQFP(14 mm)	ワン・タイムPROM	標準(一般電子機器用)
	μPD78P058YKK-T	80ピン・セラミックWQFN	EPROM	適用外(機能評価用)

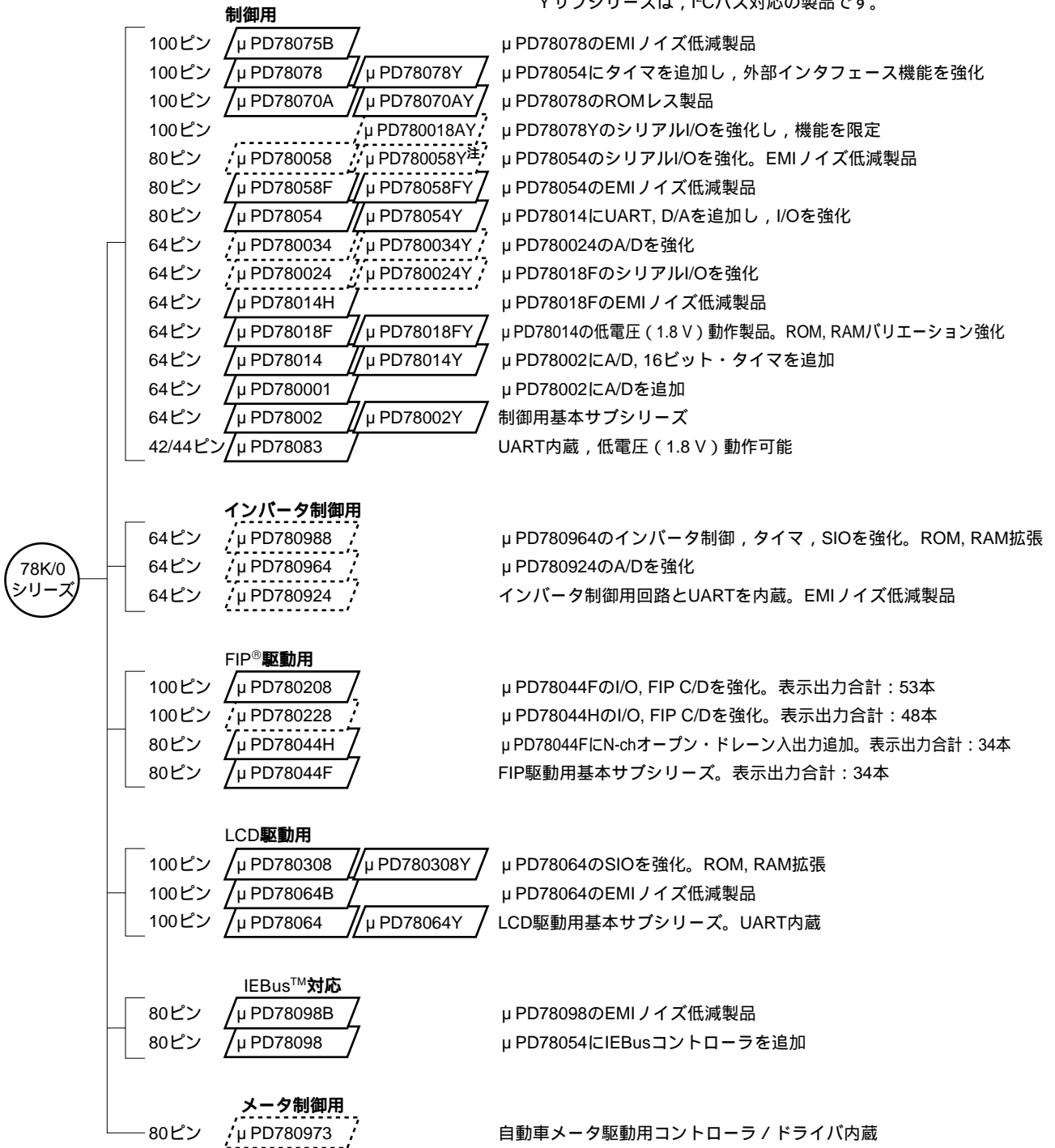
品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」
(資料番号 C11531J)をご覧ください。

★ 78K/0シリーズの展開

78K/0シリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



Yサブシリーズは、I²Cバス対応の製品です。



注 計画中

Yサブシリーズ間の主な機能の違いを次に示します。

サブシリーズ名		機能	ROM容量	シリアル・インタフェースの構成	I/O	V _{DD} MIN. 値
制御用	μ PD78078Y		48 K-60 K	3線式 / 2線式 / I ² C : 1ch	88本	1.8 V
	μ PD78070AY		-	自動送受信機能付き 3線式 : 1ch 3線式 / UART : 1ch	61本	2.7 V
	μ PD780018AY		48 K-60 K	自動送受信機能付き 3線式 : 1ch 時分割 3線式 : 1ch I ² Cバス (マルチマスタ対応) : 1ch	88本	
	μ PD780058Y		24 K-60 K	3線式 / 2線式 / I ² C : 1ch 自動送受信機能付き 3線式 : 1ch 3線式 / 時分割UART : 1ch	68本	1.8 V
	μ PD78058FY		48 K-60 K	3線式 / 2線式 / I ² C : 1ch	69本	2.7 V
	μ PD78054Y		16 K-60 K	自動送受信機能付き 3線式 : 1ch 3線式 / UART : 1ch		2.0 V
	μ PD780034Y		8 K-32 K	UART : 1ch 3線式 : 1ch	51本	1.8 V
	μ PD780024Y			I ² Cバス (マルチマスタ対応) : 1ch		
	μ PD78018FY		8 K-60 K	3線式 / 2線式 / I ² C : 1ch 自動送受信機能付き 3線式 : 1ch	53本	2.7 V
	μ PD78014Y		8 K-32 K	3線式 / 2線式 / SBI / I ² C : 1ch 自動送受信機能付き 3線式 : 1ch		
	μ PD78002Y		8 K-16 K	3線式 / 2線式 / SBI / I ² C : 1ch		
LCD 駆動用	μ PD780308Y		48 K-60 K	3線式 / 2線式 / I ² C : 1ch 3線式 / 時分割UART : 1ch 3線式 : 1ch	57本	2.0 V
		μ PD78064Y		16 K-32 K		

備考 シリアル・インタフェース以外の機能は、Yなしサブシリーズと共通です。

機能概要

項目	機能								
内部メモリ	<ul style="list-style-type: none"> ・ PROM : 60 Kバイト^{注1} ・ RAM <li style="padding-left: 20px;">高速RAM : 1024バイト^{注1} <li style="padding-left: 20px;">拡張RAM : 1024バイト^{注2} <li style="padding-left: 20px;">バッファRAM : 32バイト 								
メモリ空間	64 Kバイト								
汎用レジスタ	8ビット×32レジスタ(8ビット×8レジスタ×4バンク)								
最小命令実行時間	最小命令実行時間の可変機能内蔵								
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20px;">メイン・システム・クロック選択時</td> <td>0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (5.0 MHz動作時)</td> </tr> <tr> <td>サブシステム・クロック選択時</td> <td>122 μs (32.768 kHz動作時)</td> </tr> </table>	メイン・システム・クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (5.0 MHz動作時)	サブシステム・クロック選択時	122 μs (32.768 kHz動作時)				
メイン・システム・クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (5.0 MHz動作時)								
サブシステム・クロック選択時	122 μs (32.768 kHz動作時)								
命令セット	<ul style="list-style-type: none"> ・ 16ビット演算 ・ 乗除算(8ビット×8ビット, 16ビット÷8ビット) ・ ビット操作(セット, リセット, テスト, ブール演算) ・ BCD補正など 								
I/Oポート	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20px;">合計</td> <td>: 69本</td> </tr> <tr> <td>・ CMOS入力</td> <td>: 2本</td> </tr> <tr> <td>・ CMOS入出力</td> <td>: 63本</td> </tr> <tr> <td>・ N-chオープン・ドレイン入出力</td> <td>: 4本</td> </tr> </table>	合計	: 69本	・ CMOS入力	: 2本	・ CMOS入出力	: 63本	・ N-chオープン・ドレイン入出力	: 4本
合計	: 69本								
・ CMOS入力	: 2本								
・ CMOS入出力	: 63本								
・ N-chオープン・ドレイン入出力	: 4本								
A/Dコンバータ	8ビット分解能×8チャンネル								
D/Aコンバータ	8ビット分解能×2チャンネル								
シリアル・インタフェース	<ul style="list-style-type: none"> ・ 3線式シリアルI/O / 2線式シリアルI/O / I²Cバス・モード選択可能 : 1チャンネル ・ 3線式シリアルI/Oモード(最大32バイト自動送受信機能内蔵) : 1チャンネル ・ 3線式シリアルI/O / UARTモード選択可能 : 1チャンネル 								
タイマ	<ul style="list-style-type: none"> ・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル ・ 時計用タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 								
タイマ出力	3本(14ビットPWM出力可能: 1本)								
クロック出力	19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック: 5.0 MHz動作時) 32.768 kHz (サブシステム・クロック: 32.768 kHz動作時)								
ブザー出力	1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック: 5.0 MHz動作時)								
ベクタ	マスカブル								
割り込み	ノンマスカブル								
要因	ソフトウェア								
テスト入力	内部: 1本, 外部: 1本								
電源電圧	V _{DD} = 2.0 ~ 6.0 V								
動作周囲温度	T _A = -40 ~ +85								
パッケージ	<ul style="list-style-type: none"> ・ 80ピン・プラスチックQFP (14 mm) ・ 80ピン・セラミックWQFN 								

注1 . メモリ・サイズ切り替えレジスタ (IMS) により, 内部PROM, 内部高速RAM容量の変更可能。

2 . 内部拡張RAMサイズ切り替えレジスタ (IXS) により, 内部拡張RAM容量の変更可能。

端子接続図 (Top View)

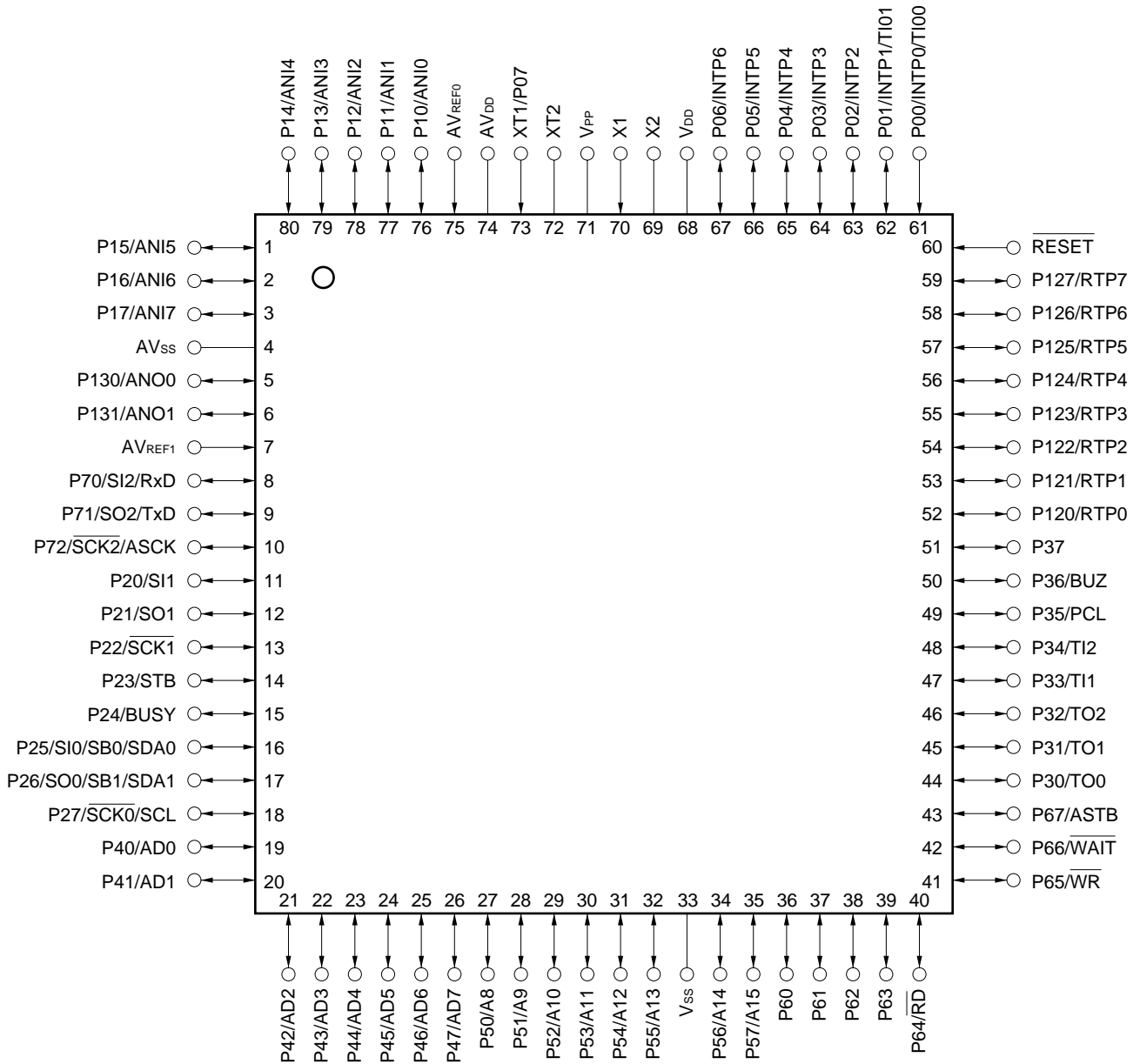
(1) 通常動作モード

・80ピン・プラスチックQFP (14 mm)

★ μPD78P058YGC-8BT

・80ピン・セラミックWQFN

μPD78P058YKK-T



★ 注意 1 . V_{PP}端子はV_{SS}に直接接続してください。

2 . AV_{DD}端子はV_{DD}に接続してください。

3 . AV_{SS}端子はV_{SS}に接続してください。

A8-A15	: Address Bus	$\overline{\text{RESET}}$: Reset
AD0-AD7	: Address/Data Bus	$\overline{\text{RD}}$: Read Strobe
ANI0-ANI7	: Analog Input	RTP0-RTP7	: Real-Time Output Port
ANO0-ANO7	: Analog Output	RxD	: Receive Data
ASCK	: Asynchronous Serial Clock	SB0, SB1	: Serial Bus
ASTB	: Address Strobe	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$: Serial Clock
AV _{DD}	: Analog Power Supply	SCL	: Serial Clock
AV _{REF0} , AV _{REF1}	: Analog Reference Voltage	SDA0, SDA1	: Serial Data
AV _{SS}	: Analog Ground	SI0, SI1	: Serial Input
BUSY	: Busy	SO0, SO1	: Serial Output
BUZ	: Buzzer Clock	STB	: Strobe
INTP0-INTP6	: Interrupt from Peripherals	TI1, TI2	: Timer Input
P00-P07	: Port0	TI00, TI01	: Timer Input
P10-P17	: Port1	TO0-TO2	: Timer Output
P20-P27	: Port2	TxD	: Transmit Data
P30-P37	: Port3	V _{DD}	: Power Supply
P40-P47	: Port4	V _{PP}	: Programming Power Supply
P50-P57	: Port5	V _{SS}	: Ground
P60-P67	: Port6	$\overline{\text{WAIT}}$: Wait
P70-P72	: Port7	$\overline{\text{WR}}$: Write Strobe
P120-P127	: Port12	X1, X2	: Crystal (Main System Clock)
P130, P131	: Port13	XT1, XT2	: Crystal (Subsystem Clock)
PCL	: Programmable Clock		

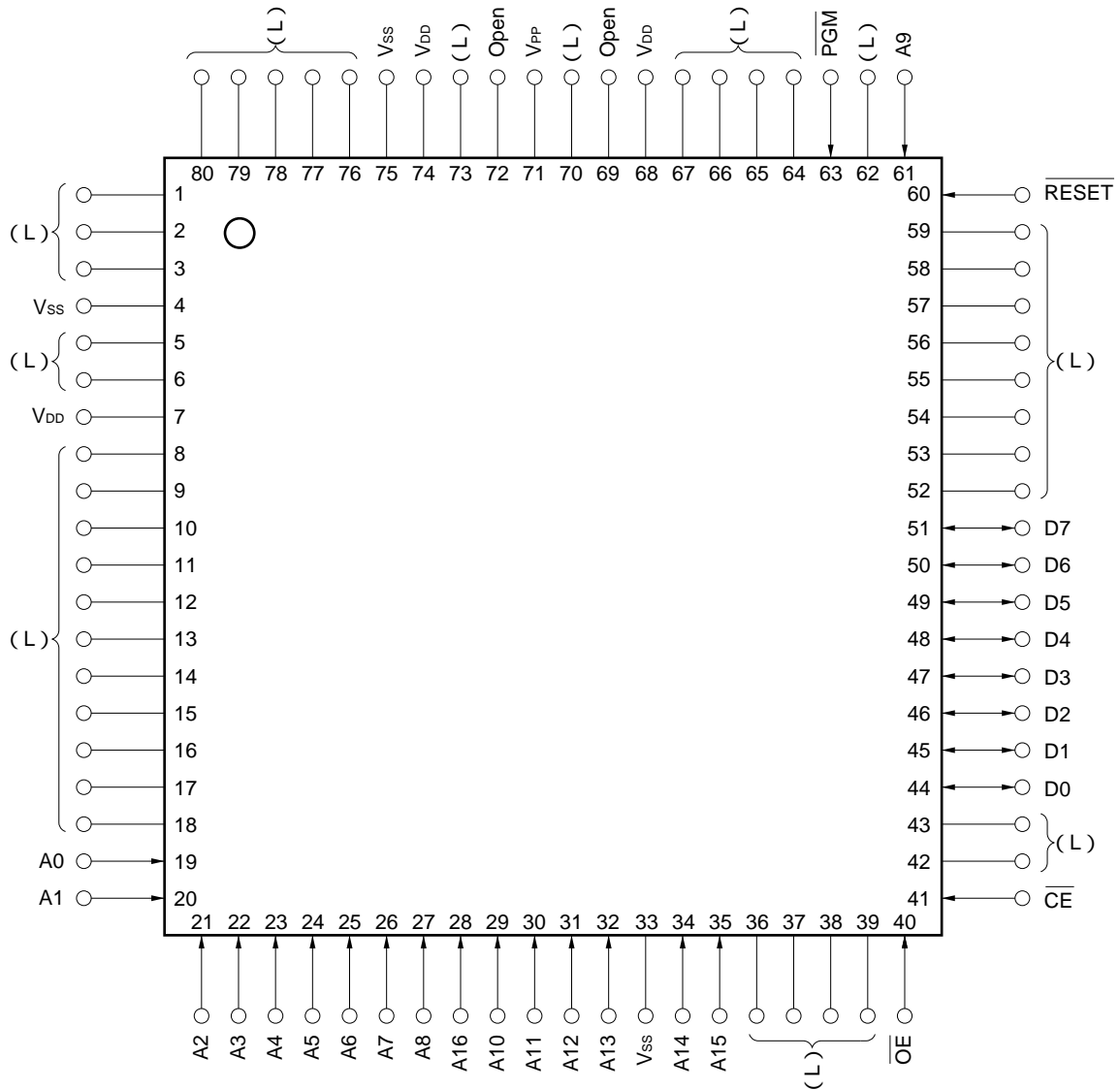
(2) PROMプログラミング・モード

・80ピン・プラスチックQFP (14 mm)

★ μPD78P058YGC-8BT

・80ピン・セラミックWQFN

μPD78P058YKK-T



注意 1 . (L) : 個別にプルダウン抵抗を介して、V_{SS}に接続してください。

2 . V_{SS} : グランドに接続してください。

3 . $\overline{\text{RESET}}$: ロウ・レベルにしてください。

4 . Open : 何も接続しないでください。

A0-A16 : Address Bus

$\overline{\text{CE}}$: Chip Enable

D0-D7 : Data Bus

$\overline{\text{OE}}$: Output Enable

$\overline{\text{PGM}}$: Program

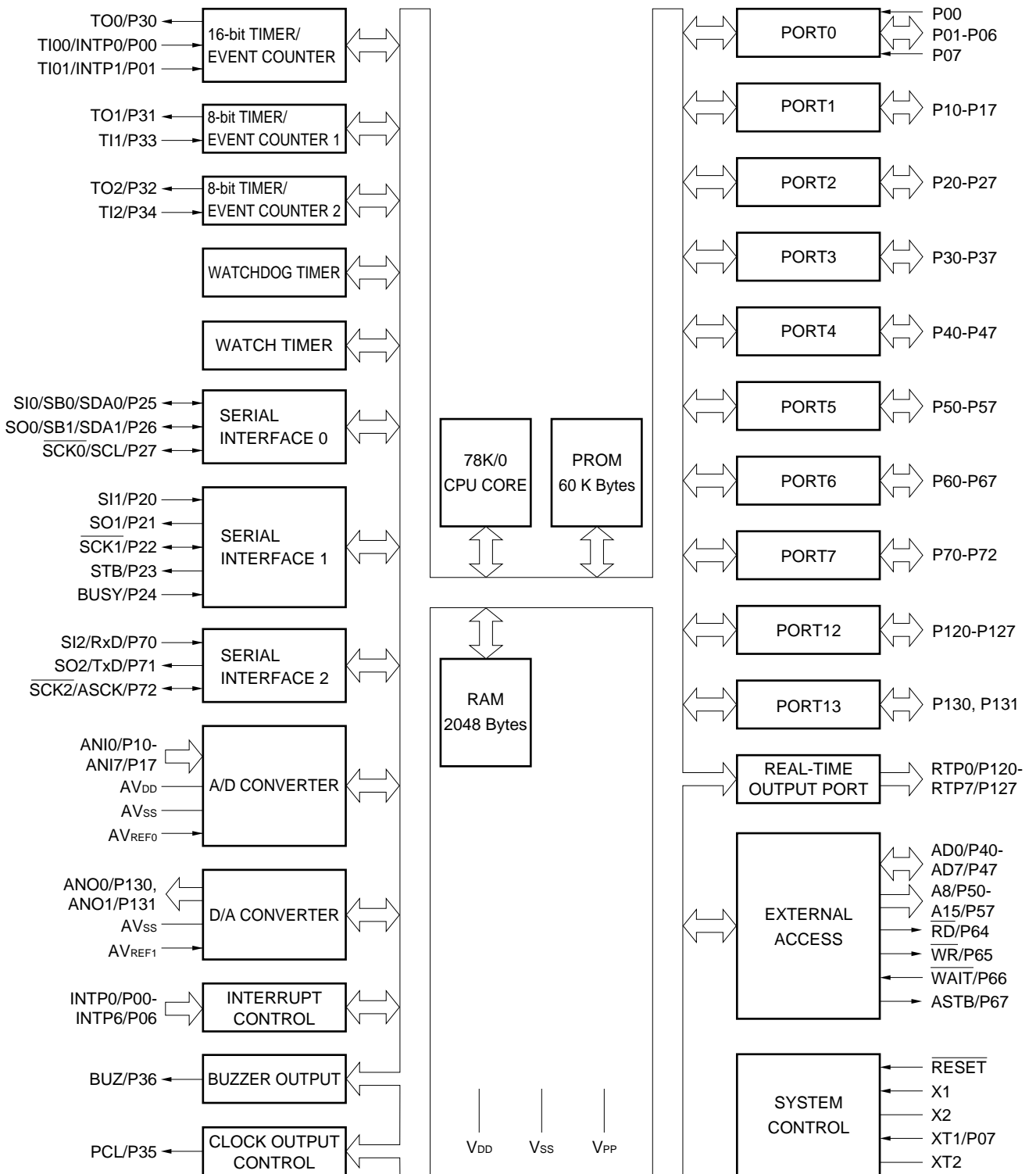
$\overline{\text{RESET}}$: Reset

V_{DD} : Power Supply

V_{PP} : Programming Power Supply

V_{SS} : Ground

ブロック図



目 次

1 . μ PD78P058YとマスクROM製品の違い ...	11
2 . 端子機能一覧 ...	12
2.1 通常動作モード時の端子 ...	12
2.2 PROMプログラミング・モード時の端子 ...	15
2.3 端子の入出力回路と未使用端子の処理 ...	16
3 . メモリ・サイズ切り替えレジスタ (IMS) ...	20
4 . 内部拡張RAMサイズ切り替えレジスタ (IXS) ...	21
5 . PROMプログラミング ...	22
5.1 動作モード ...	22
5.2 PROM書き込みの手順 ...	24
5.3 PROM読み出しの手順 ...	28
6 . 消去方法 (μ PD78P058YKK-Tのみ) ...	29
7 . 消去用窓のシールについて (μ PD78P058YKK-Tのみ) ...	29
8 . ワン・タイムPROM製品のスクリーニングについて ...	29
9 . 電気的特性 ...	30
10 . 特性曲線 (参考値) ...	62
11 . 外形図 ...	64
12 . 半田付け推奨条件 ...	66
付録A . 開発ツール ...	67
付録B . 関連資料 ...	72

★ 1. μPD78P058YとマスクROM製品の違い

μPD78P058Yは、一度だけ書き込み可能なワン・タイムPROMまたはプログラムの書き込み、消去、再書き込みが可能なEPROMを内蔵した製品です。

メモリ・サイズ切り替えレジスタ（IMS）、内部拡張RAMサイズ切り替えレジスタ（IXS）の設定により、PROM仕様、P60-P63端子のマスク・オプション以外の機能をマスクROM製品と同一にできます。

表1 - 1にPROM製品（μPD78P058Y）とマスクROM製品（μPD78052Y, 78053Y, 78054Y, 78055Y, 78056Y, 78058Y）の違いを示します。

表1 - 1 μPD78P058YとマスクROM製品の違い

項目	μPD78P058Y	マスクROM製品
内部ROM構造	ワン・タイムPROM/EPROM	マスクROM
内部ROM容量	60 Kバイト	μPD78052Y : 16 Kバイト μPD78053Y : 24 Kバイト μPD78054Y : 32 Kバイト μPD78055Y : 40 Kバイト μPD78056Y : 48 Kバイト μPD78058Y : 60 Kバイト
内部高速RAM容量	1024バイト	μPD78052Y : 512バイト μPD78052Y以外 : 1024バイト
内部拡張RAM容量	1024バイト	μPD78058Y : 1024バイト μPD78058Y以外 : なし
メモリ・サイズ切り替えレジスタ（IMS）による内部ROM，内部高速RAM容量の変更	可 ^{注1}	不可
内部拡張RAMサイズ切り替えレジスタ（IXS）による内部拡張RAM容量の変更	可 ^{注2}	不可
IC端子	なし	あり
V _{PP} 端子	あり	なし
P60-P63端子のプルアップ抵抗内蔵マスク・オプション	なし	あり
電气的特性，半田付け推奨条件	個別の製品のデータ・シートを参照してください。	

注1 . $\overline{\text{RESET}}$ 入力により，内部PROM容量は60 K，内部高速RAM容量は1024バイトとなります。

2 . $\overline{\text{RESET}}$ 入力により，内部拡張RAM容量は1024バイトとなります。

★ 注意 PROM製品とマスクROM製品では，ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でPROM製品からマスクROM製品への置き換えを検討される場合は，マスクROM製品のCS製品（ES製品でなく）で十分に評価してください。

備考 内部拡張RAMサイズ切り替えレジスタ（IXS）は，μPD78058Y, 78P058Yのみ内蔵しています。

2. 端子機能一覧

2.1 通常動作モード時の端子

(1) ポート端子 (1/2)

端子名称	入出力	機 能		リセット時	兼用端子
P00	入力	ポート 0。	入力専用。	入力	INTP0/TI00
P01	入出力	8 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入力	INTP1/TI01
P02					INTP2
P03					INTP3
P04					INTP4
P05					INTP5
P06					INTP6
P07 ^{注1}	入力		入力専用。	入力	XT1
P10-P17	入出力	ポート 1。 8 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 ^{注2}		入力	ANI0-ANI7
P20	入出力	ポート 2。 8 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	SI1
P21					SO1
P22					SCK1
P23					STB
P24					BUSY
P25					SI0/SB0/SDA0
P26					SO0/SB1/SDA1
P27					SCK0/SCL
P30	入出力	ポート 3。 8 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	TO0
P31					TO1
P32					TO2
P33					TI1
P34					TI2
P35					PCL
P36					BUZ
P37					-

注1 . P07/XT1端子を入力ポートとして使用するときは、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット 6 (FRC) を 1 に設定してください (サブシステム・クロックのフィードバック抵抗は使用しないでください)。

2 . P10/ANI0-P17/ANI7端子をA/Dコンバータのアナログ入力として使用する時、ポート 1 を入力モードにしてください。なお、プルアップ抵抗は自動的に使用されなくなります。

(1) ポート端子 (2/2)

端子名称	入出力	機能		リセット時	兼用端子		
P40-P47	入出力	ポート4。 8ビット入出力ポート。 8ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 立ち下がりエッジの検出により、テスト入力フラグ(KRIF)を1にセット。		入力	AD0-AD7		
P50-P57	入出力	ポート5。 8ビット入出力ポート。 LEDを直接駆動可能。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	A8-A15		
P60	入出力	ポート6。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	N-chオープン・ドレイン入出力ポート。LEDを直接駆動可能。	入力	-		
P61							
P62							
P63							
P64			入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。			入力	\overline{RD}
P65							\overline{WR}
P66							\overline{WAIT}
P67							ASTB
P70	入出力	ポート7。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	SI2/RxD		
P71					SO2/TxD		
P72					$\overline{SCK2/ASCK}$		
P120-P127	入出力	ポート12。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	RTP0-RTP7		
P130, P131	入出力	ポート13。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	ANO0, ANO1		

(2) ポート以外の端子 (1/2)

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力。	入力	P00/TI00
INTP1				P01/TI01
INTP2				P02
INTP3				P03
INTP4				P04
INTP5				P05
INTP6				P06
SI0	入力	シリアル・インタフェースのシリアル・データ入力。	入力	P25/SB0/SDA0
SI1				P20
SI2				P70/RxD
SO0	出力	シリアル・インタフェースのシリアル・データ出力。	入力	P26/SB1/SDA1
SO1				P21
SO2				P71/TxD
SB0	入出力	シリアル・インタフェースのシリアル・データ入力 / 出力。	入力	P25/SI0/SDA0
SB1				P26/SO0/SDA1
SDA0				P25/SI0/SB0
SDA1				P26/SO0/SB1
$\overline{\text{SCK0}}$	入出力	シリアル・インタフェースのシリアル・クロック入力 / 出力。	入力	P27/SCL
$\overline{\text{SCK1}}$				P22
SCK2				P72/ASCK
SCL				P27/ $\overline{\text{SCK0}}$
STB	出力	シリアル・インタフェース自動送受信用ストロープ出力。	入力	P23
BUSY	入力	シリアル・インタフェース自動送受信用ビジー入力。	入力	P24
RxD	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力。	入力	P70/SI2
TxD	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力。	入力	P71/SO2
ASCK	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロック入力。	入力	P72/ $\overline{\text{SCK2}}$
TI00	入力	16ビット・タイマ (TM0) への外部カウント・クロック入力。	入力	P00/INTP0
TI01		キャプチャ・レジスタ (CR00) へのキャプチャ・トリガ信号入力。		P01/INTP1
TI1		8ビット・タイマ (TM1) への外部カウント・クロック入力。		P33
TI2		8ビット・タイマ (TM2) への外部カウント・クロック入力。		P34
TO0	出力	16ビット・タイマ (TM0) 出力 (14ビットPWM出力と兼用)。	入力	P30
TO1		8ビット・タイマ (TM1) 出力。		P31
TO2		8ビット・タイマ (TM2) 出力。		P32
PCL	出力	クロック出力 (メイン・システム・クロック, サブシステム・クロックのトリミング用)。	入力	P35
BUZ	出力	ブザー出力。	入力	P36
RTP0-RTP7	出力	トリガに同期してデータを出力するリアルタイム出力ポート。	入力	P120-P127
AD0-AD7	入出力	外部にメモリを拡張する場合の, 下位アドレス / データ・バス。	入力	P40-P47
A8-A15	出力	外部にメモリを拡張する場合の, 上位アドレス・バス。	入力	P50-P57
$\overline{\text{RD}}$	出力	外部メモリのリード動作ストロープ信号出力。	入力	P64
$\overline{\text{WR}}$		外部メモリのライト動作ストロープ信号出力。		P65

(2) ポート以外の端子 (2/2)

端子名称	入出力	機能	リセット時	兼用端子
WAIT	入力	外部メモリ・アクセス時のウエイト挿入。	入力	P66
ASTB	出力	外部メモリをアクセスするために、ポート4, ポート5に出力されるアドレス情報を外部でラッチするストロブ出力。	入力	P67
ANI0-ANI7	入力	A/Dコンバータのアナログ入力。	入力	P10-P17
ANO0, ANO1	出力	D/Aコンバータのアナログ出力。	入力	P130, P131
AVREF0	入力	A/Dコンバータの基準電圧入力。	-	-
AVREF1	入力	D/Aコンバータの基準電圧入力。	-	-
AVDD	-	A/Dコンバータのアナログ電源。V _{DD} に接続してください。	-	-
AVSS	-	A/Dコンバータ, D/Aコンバータのグランド電位。V _{SS} に接続してください。	-	-
RESET	入力	システム・リセット入力。	-	-
X1	入力	メイン・システム・クロック発振用クリスタル接続。	-	-
X2	-		-	-
XT1	入力	サブシステム・クロック発振用クリスタル接続。	入力	P07
XT2	-		-	-
V _{DD}	-	正電源。	-	-
★ V _{PP}	-	プログラム書き込み/ベリファイ時の高電圧印加。通常動作モード時はV _{SS} に直接接続してください。	-	-
V _{SS}	-	グランド電位。	-	-

2.2 PROMプログラミング・モード時の端子

端子名称	入出力	機能
RESET	入力	PROMプログラミング・モード設定。 V _{PP} 端子に+5Vまたは+12.5V, RESET端子にロウ・レベルを印加すると, PROMプログラミング・モードになります。
V _{PP}	入力	PROMプログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加。
A0-A16	入力	アドレス・バス。
D0-D7	入出力	データ・バス。
CE	入力	PROMイネーブル入力/プログラム・パルス入力。
OE	入力	PROMへのリード・ストロブ入力。
PGM	入力	PROMプログラミング・モード時のプログラム/プログラム・インヒビット入力。
V _{DD}	-	正電源。
V _{SS}	-	グランド電位。

2.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表2 - 1 に示します。

また、各タイプの入出力回路の構成は、図2 - 1 を参照してください。

表2 - 1 各端子の入出力回路タイプ (1/2)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法	
P00/INTP0/TI00	2	入力	V _{SS} に接続してください。	
P01/INTP1/TI01	8-A	入出力	個別に抵抗を介して、V _{SS} に接続してください。	
P02/INTP2				
P03/INTP3				
P04/INTP4				
P05/INTP5				
P06/INTP6				
P07/XT1	16	入力	V _{DD} に接続してください。	
P10/ANI0-P17/ANI7	11	入出力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。	
P20/SI1	8-A			
P21/SO1	5-A			
P22/ $\overline{\text{SCK1}}$	8-A			
P23/STB	5-A			
P24/BUSY	8-A			
P25/SI0/SB0/SDA0	10-A			
P26/SO0/SB1/SDA1				
P27/ $\overline{\text{SCK0}}$ /SCL				
P30/TO0	5-A			
P31/TO1				
P32/TO2				
P33/TI1	8-A			
P34/TI2				
P35/PCL	5-A			
P36/BUZ				
P37				
P40/AD0-P47/AD7	5-E			個別に抵抗を介して、V _{DD} に接続してください。
P50/A8-P57/A15	5-A			個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P60-P63	13-D			個別に抵抗を介して、V _{DD} に接続してください。
P64/ $\overline{\text{RD}}$	5-A	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。		
P65/ $\overline{\text{WR}}$				
P66/ $\overline{\text{WAIT}}$				
P67/ASTB				
P70/SI2/RxD	8-A			
P71/SO2/TxD	5-A			
P72/ $\overline{\text{SCK2}}$ /ASCK	8-A			
P120/RTP0-P127/RTP7	5-A			
P130/ANO0, P131/ANO1	12-A	個別に抵抗を介して、V _{SS} に接続してください。		

表 2 - 1 各端子の入出力回路タイプ (2/2)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
RESET	2	入力	-
XT2	16	-	オープンにしてください。
AVREF0	-		Vssに接続してください。
AVREF1			VDDに接続してください。
AVDD			
AVSS			Vssに接続してください。
VPP			Vssに直接接続してください。

★

図 2 - 1 端子の入出力回路一覧 (1/2)

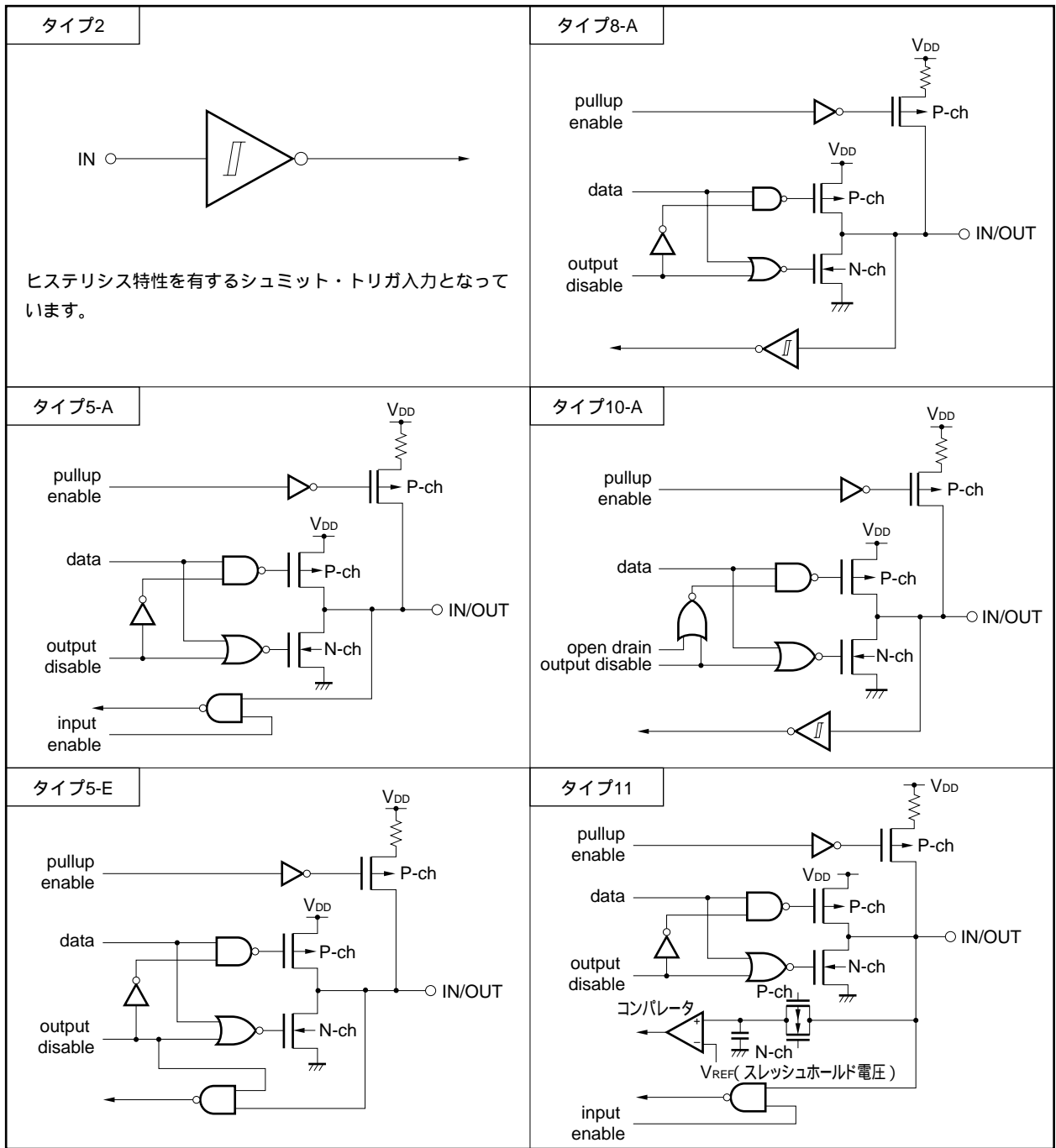
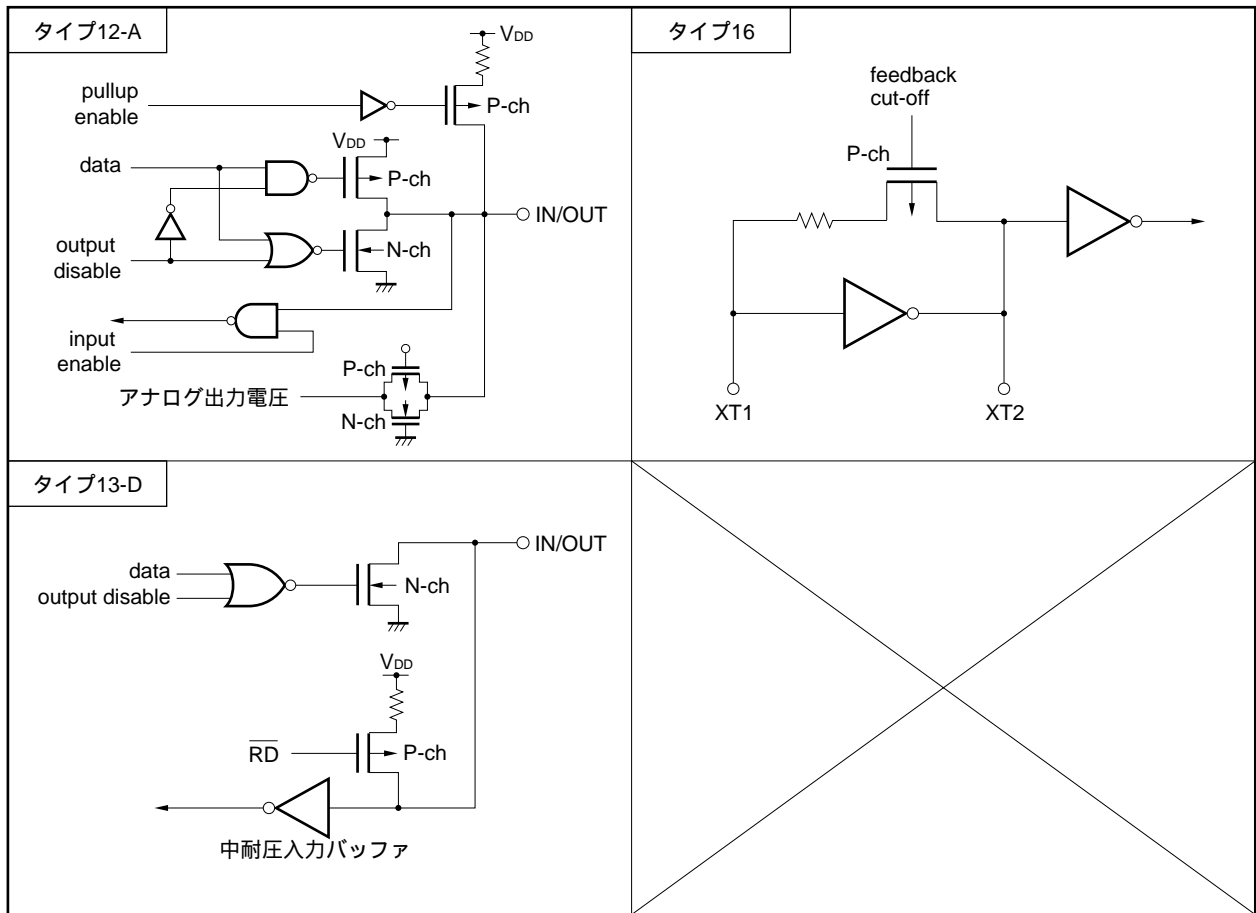


図 2 - 1 端子の入出力回路一覧 (2/2)



3. メモリ・サイズ切り替えレジスタ (IMS)

ソフトウェアにより内部メモリの一部を使用しないようにするためのレジスタです。メモリ・サイズ切り替えレジスタ (IMS) を設定することにより、内部メモリ (ROM, RAM) 容量の異なるマスクROM製品のメモリ・マップと同一のメモリ・マップにできます。

IMSは、8ビット・メモリ操作命令で設定します。

RESET入力により、CFHになります。

図3 - 1 メモリ・サイズ切り替えレジスタのフォーマット



注 外部デバイス拡張機能を使用する場合、内部ROM容量を56 Kバイト以下に設定してください。

マスクROM製品と同一のメモリ・マップにするIMSの設定値を表3 - 1に示します。

表3 - 1 メモリ・サイズ切り替えレジスタの設定値

対象のマスクROM製品	IMSの設定値
μ PD78052Y	44H
μ PD78053Y	C6H
μ PD78054Y	C8H
μ PD78055Y	CAH
μ PD78056Y	CCH
μ PD78058Y	CFH

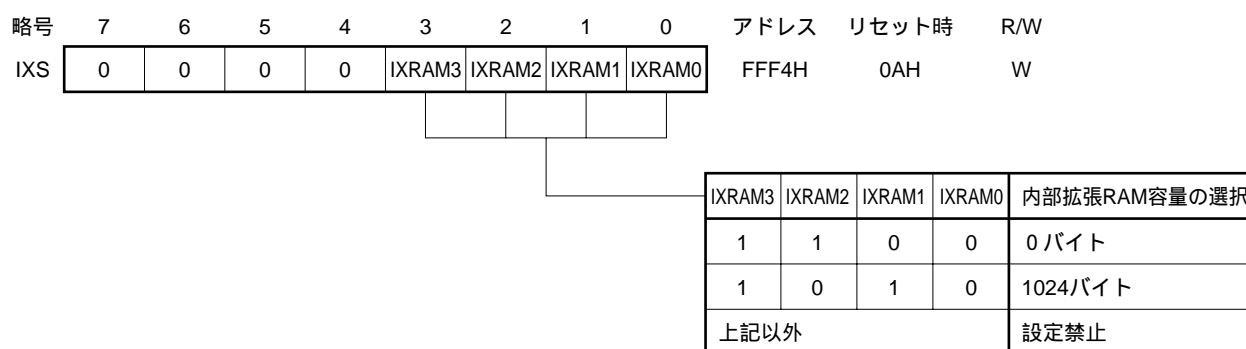
4. 内部拡張RAMサイズ切り替えレジスタ (IXS)

ソフトウェアにより内部拡張RAM容量を設定するためのレジスタです。内部拡張RAMサイズ切り替えレジスタ (IXS) を設定することにより、内部拡張RAM容量の異なるマスクROM製品のメモリ・マップと同一のメモリ・マップにできます。

IXSは、8ビット・メモリ操作命令で設定します。

RESET入力により、0AHになります。

図4 - 1 内部拡張RAMサイズ切り替えレジスタのフォーマット



マスクROM製品と同一のメモリ・マップにするIXSの設定値を表4 - 1に示します。

表4 - 1 内部拡張RAMサイズ切り替えレジスタの設定値

対象のマスクROM製品	IXSの設定値
μ PD78052Y	0CH
μ PD78053Y	
μ PD78054Y	
μ PD78055Y	
μ PD78056Y	
μ PD78058Y	0AH

備考 MOV IXS, #0CHが記述されたμ PD78P058Y用のプログラムをμ PD78052Y, 78053Y, 78054Y, 78055Y, 78056Yで実行しても動作に影響を与えません。

5 . PROMプログラミング

μPD78P058Yは、プログラム・メモリとして60 Kバイト構成のPROMを内蔵しています。プログラミングをするときは、V_{PP}端子、 $\overline{\text{RESET}}$ 端子でPROMプログラミング・モードに設定します。その他、使用しない端子の処理は、端子接続図 (Top View) (2) PROMプログラミング・モードを参照してください。

注意 プログラム書き込みは、0000H-EFFFH番地の範囲で行ってください (最終アドレスEFFFH番地を指定してください)。書き込みアドレスを指定できないIPROMプログラマでは書き込みできません。

5.1 動作モード

V_{PP}端子に+5 Vまたは+12.5 V、 $\overline{\text{RESET}}$ 端子にロウ・レベルを印加すると、PROMプログラミング・モードになります。このモードは $\overline{\text{CE}}$ 端子、 $\overline{\text{OE}}$ 端子、 $\overline{\text{PGM}}$ 端子の設定により、表5 - 1のような動作モードになります。

また、読み出しモードに設定することにより、PROMの内容を読み出すことができます。

表5 - 1 PROMプログラミングの動作モード

動作モード	端子	$\overline{\text{RESET}}$	V _{PP}	V _{DD}	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{PGM}}$	D0-D7
ページ・データ・ラッチ		L	+12.5 V	+6.5 V	H	L	H	データ入力
ページ書き込み					H	H	L	ハイ・インピーダンス
バイト書き込み					L	H	L	データ入力
プログラム・ベリファイ					L	L	H	データ出力
プログラム・インヒビット					×	H	H	ハイ・インピーダンス
					×	L	L	
読み出し		+5 V	+5 V	L	L	H	データ出力	
出力ディスエーブル				L	H	×	ハイ・インピーダンス	
スタンバイ				H	×	×	ハイ・インピーダンス	

備考 × : LまたはH

(1) 読み出しモード

$\overline{CE} = L, \overline{OE} = L$ に設定することにより、読み出しモードになります。

(2) 出力ディスエーブル・モード

$\overline{OE} = H$ にすることにより、データ出力がハイ・インピーダンスになり出力ディスエーブル・モードになります。

したがって、データ・バスに複数の μ PD78P058Yを接続した場合、 \overline{OE} 端子を制御することで任意の1個のデバイスよりデータを読み出すことができます。

(3) スタンバイ・モード

$\overline{CE} = H$ にすることによりスタンバイ・モードになります。

このモードでは、 \overline{OE} の状態に関係なくデータ出力がハイ・インピーダンスになります。

(4) ページ・データ・ラッチ・モード

ページ書き込みモードの初期に $\overline{CE} = H, \overline{PGM} = H, \overline{OE} = L$ にすることにより、ページ・データ・ラッチ・モードになります。

このモードでは、1ページ4バイトのデータが内部のアドレス/データ・ラッチ回路にラッチされます。

(5) ページ書き込みモード

ページ・データ・ラッチ・モードにより1ページ4バイトのアドレスとデータをラッチ後、 $\overline{CE} = H, \overline{OE} = H$ の状態では \overline{PGM} 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を印加することによりページ書き込みが実行されます。その後、 $\overline{CE} = L, \overline{OE} = L$ にすることにより、プログラム・ベリファイができます。

1回のプログラム・パルスでプログラムされない場合にはX回(X=10)の書き込みとベリファイを繰り返し実行します。

(6) バイト書き込みモード

$\overline{CE} = L, \overline{OE} = H$ の状態では \overline{PGM} 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を印加することによりバイト書き込みが実行されます。その後、 $\overline{OE} = L$ にすることにより、プログラム・ベリファイができます。

1回のプログラム・パルスでプログラムされない場合にはX回(X=10)の書き込みとベリファイを繰り返し実行します。

(7) プログラム・ベリファイ・モード

$\overline{CE} = L, \overline{PGM} = H, \overline{OE} = L$ にすることにより、プログラム・ベリファイ・モードになります。

書き込みを行ったのち、正しく書き込まれたかどうかこのモードで確認してください。

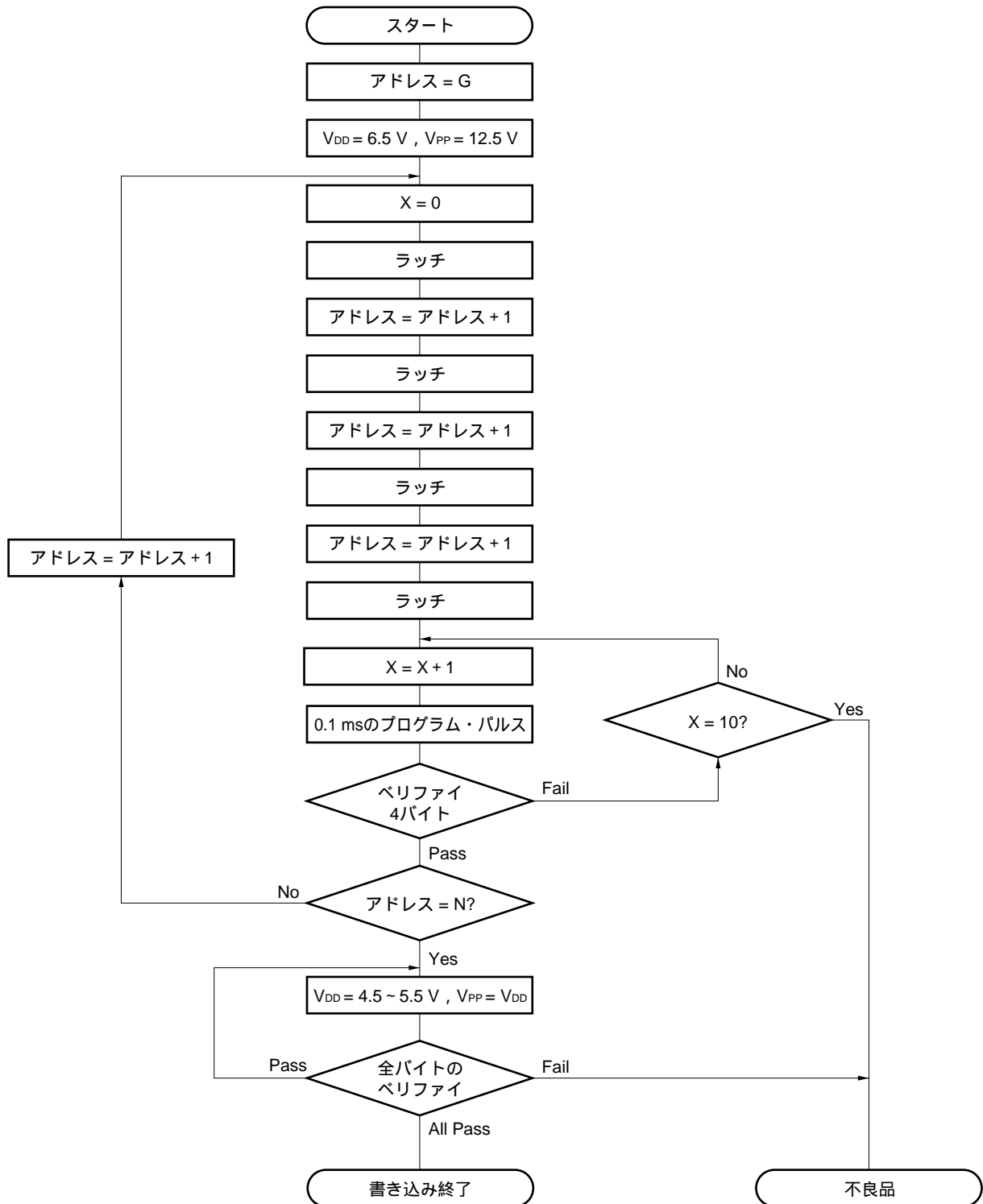
(8) プログラム・インヒビット・モード

プログラム・インヒビット・モードは、複数の μ PD78P058Yの \overline{OE} 端子、 V_{PP} 端子、D0-D7端子がパラレルに接続されている状態でその中の1個のデバイスに書き込みを行う場合に使用します。

書き込みを行う場合に、上記ページ書き込みモードあるいはバイト書き込みモードを使用します。このとき、 \overline{PGM} 端子をハイ・レベルにしたデバイスには書き込みが行われません。

5.2 PROM書き込みの手順

図5 - 1 ページ・プログラム・モード・フロー・チャート



備考 G = 開始アドレス

N = プログラムの最終アドレス

図5 - 2 ページ・プログラム・モード・タイミング

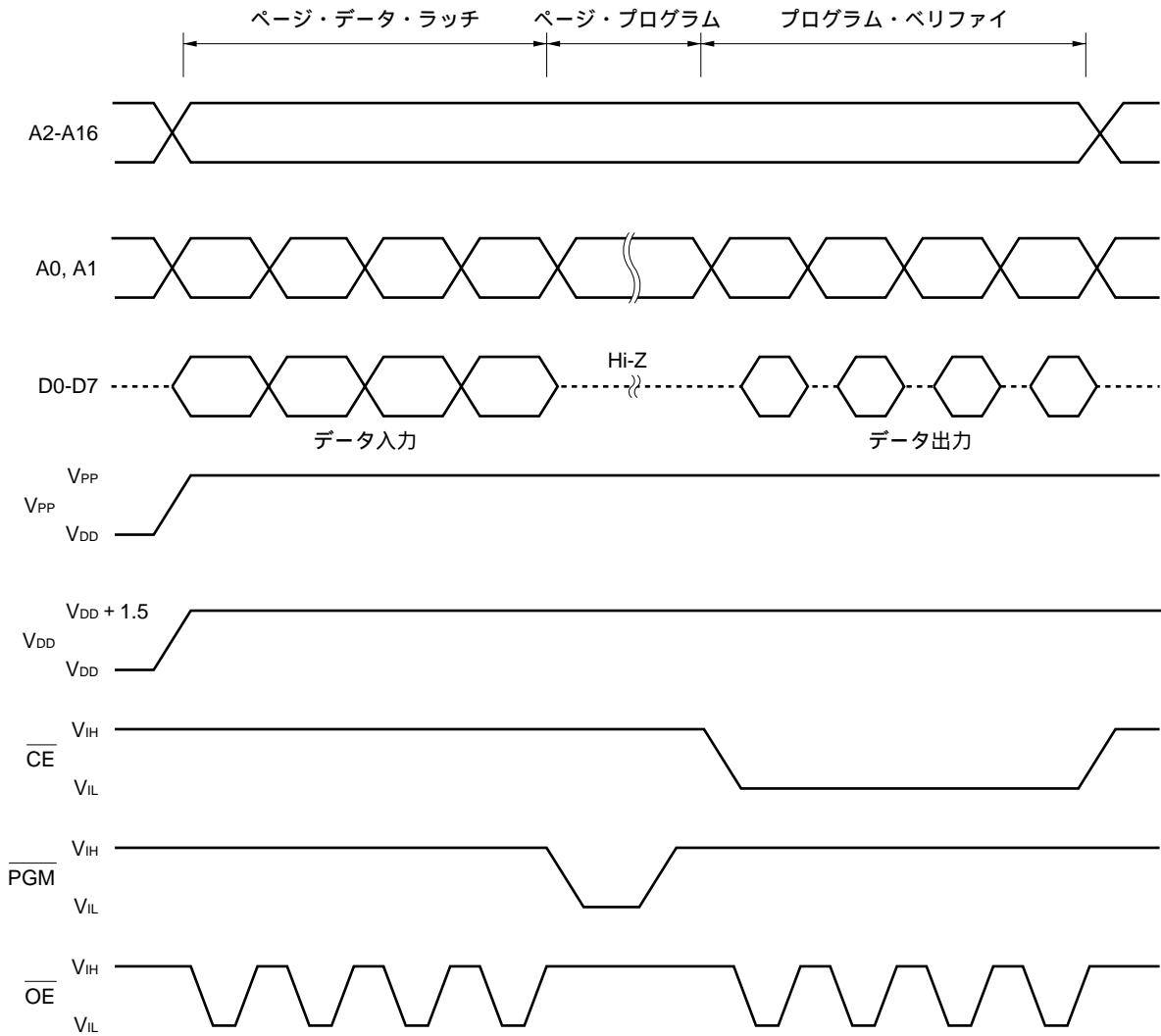
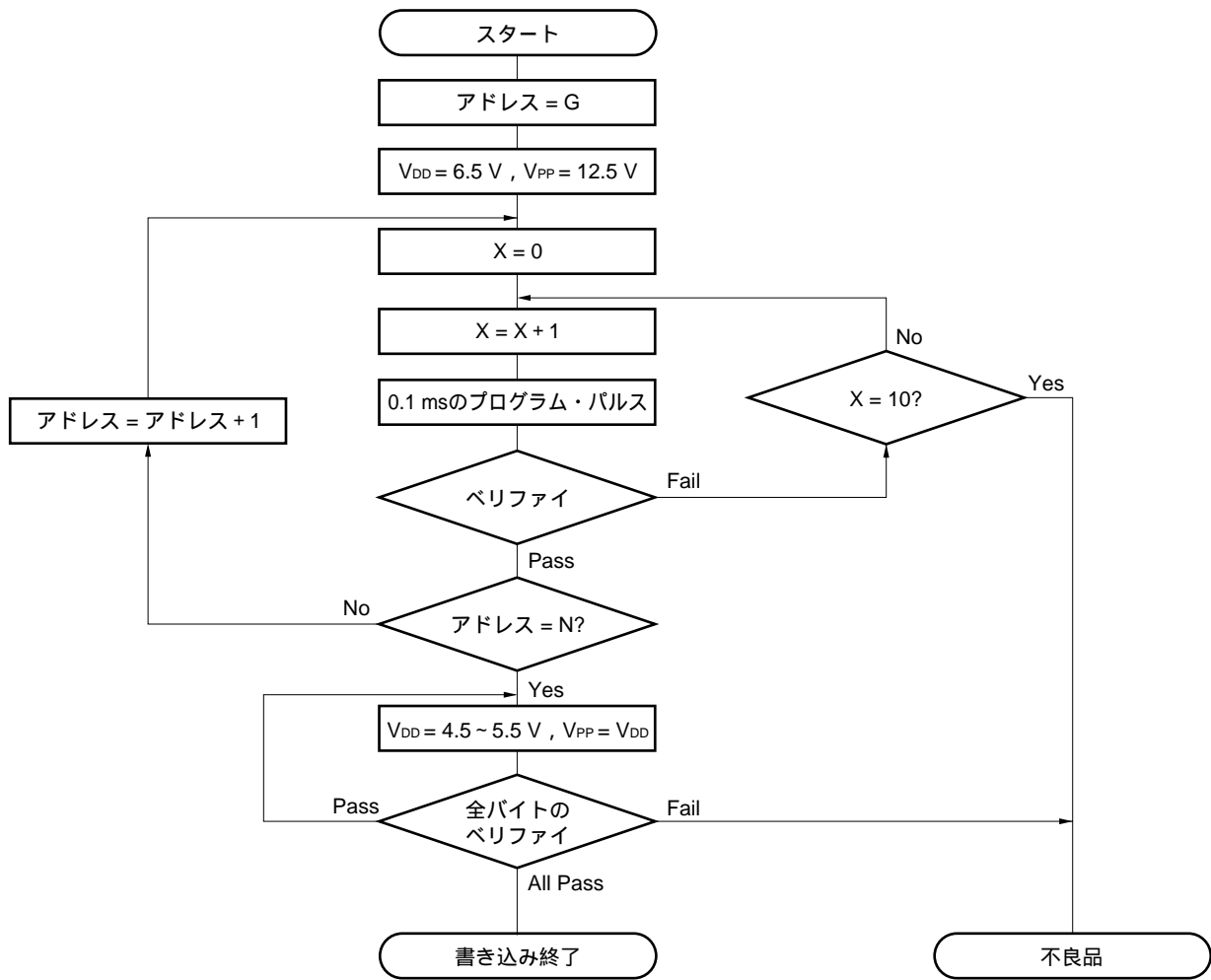
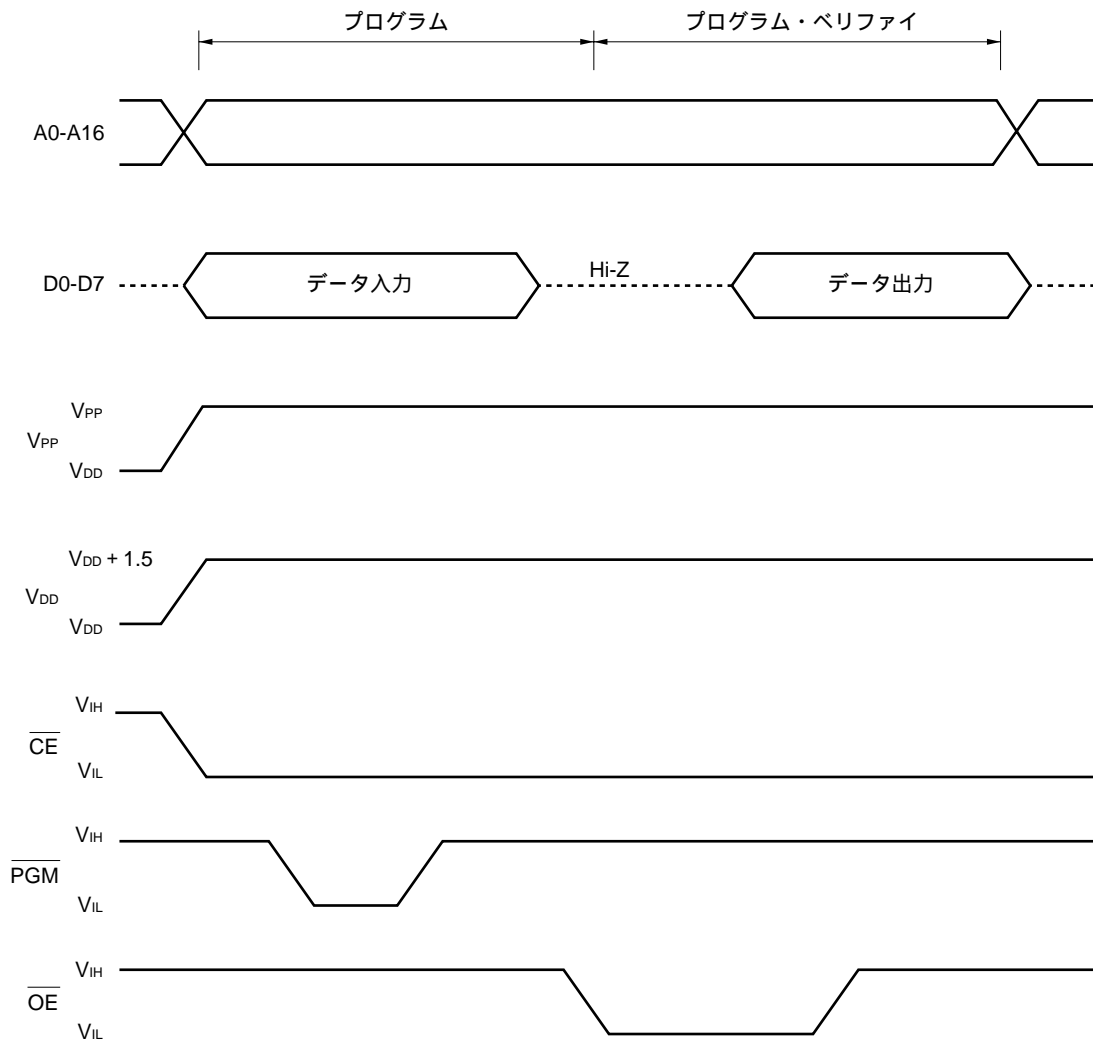


図5 - 3 バイト・プログラム・モード・フロー・チャート



備考 G = 開始アドレス
 N = プログラムの最終アドレス

図5 - 4 バイト・プログラム・モード・タイミング



- 注意 1 .** V_{DD}はV_{PP}より前に印加し、V_{PP}のあとから切断するようにしてください。
- 2 .** V_{PP}はオーバシュートを含めて + 13.5 V以上にならないようにしてください。
- 3 .** V_{PP}に + 12.5 Vが印加されている間に抜き差しした場合、信頼性上、悪影響を受ける可能性があります。

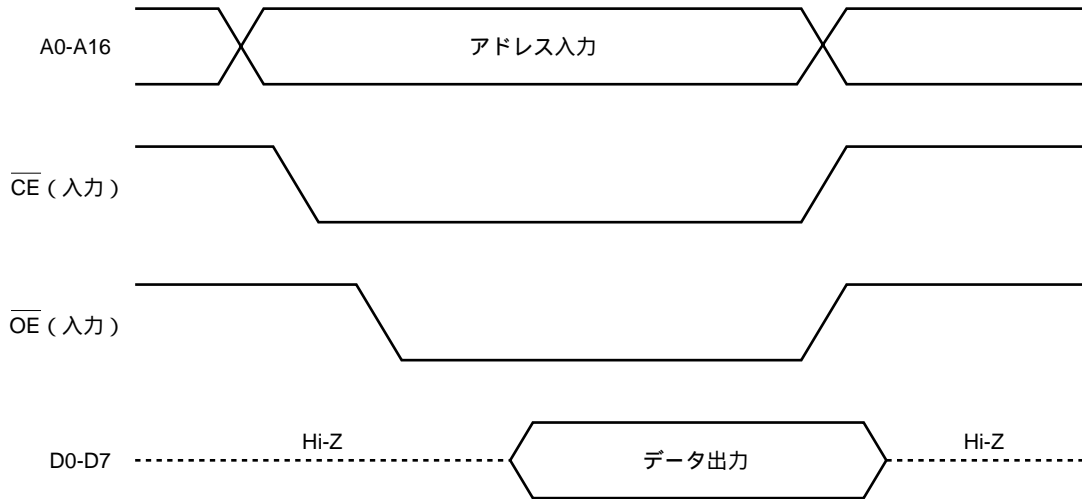
5.3 PROM読み出しの手順

次に示す手順によって、PROMの内容を外部データ・バス（D0-D7）に読み出すことができます。

- (1) $\overline{\text{RESET}}$ 端子をロウ・レベルに固定， V_{PP} 端子に + 5 Vを供給，その他，使用しない端子は端子接続図（Top View）
- (2) PROMプログラミング・モードに示すように処理する。
- (2) V_{DD} , V_{PP} 端子に + 5 Vを供給。
- (3) 読み出そうとするデータのアドレスをA0-A16端子に入力。
- (4) リード・モード。
- (5) データをD0-D7端子に出力。

上述の（ 2 ）-（ 5 ）のタイミングを図 5 - 5 に示します。

図 5 - 5 PROMの読み出しタイミング



6．消去方法（μPD78P058YKK-Tのみ）

μPD78P058YKK-Tは、プログラム・メモリに書き込まれたデータの内容を消去（FFH）して、再書き込みできません。

データの内容は、約400 nmより短い波長の光を消去用窓部に照射して消去します。通常は、254 nmの波長の紫外線を照射します。データの内容を完全に消去するために必要な照射量は、次のとおりです。

- ・紫外線強度 × 消去時間：30 W・s/cm²以上
- ・消去時間：40分以上（12,000 μW/cm²の紫外線ランプ使用の場合。ただし、紫外線ランプの性能劣化、消去用窓部の汚れなどにより長くかかる場合があります。）

なお、消去の場合は、紫外線ランプを消去用窓部から2.5 cm以内の位置に設置してください。また、紫外線ランプにフィルタが付いている場合は、そのフィルタを取り外してから照射してください。

7．消去用窓のシールについて（μPD78P058YKK-Tのみ）

EPROM内容の消去用ランプ以外の光による誤消去防止、およびEPROM以外の内部回路が光によって誤動作するのを防止するため、EPROM内容消去時以外は保護用シールを消去用窓に張っておいてください。

8．ワン・タイムPROM製品のスクリーニングについて

ワン・タイムPROM製品（μPD78P058YGC-8BT）は、その構造上、当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと、下記の条件で高温保管後、PROMのペリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125	24時間

なお、NECでは、QTOPマイコンの名称でワン・タイムPROMの書き込みから捺印、スクリーニング、ペリファイを有料で行うサービスを実施しています。詳細につきましては、販売員にご相談ください。

9 . 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件		定格	単位		
電源電圧	VDD			- 0.3 ~ + 7.0	V		
	VPP			- 0.3 ~ + 13.5	V		
	AVDD			- 0.3 ~ VDD + 0.3	V		
	AVREF0			- 0.3 ~ VDD + 0.3	V		
	AVREF1			- 0.3 ~ VDD + 0.3	V		
	AVSS			- 0.3 ~ + 0.3	V		
入力電圧	Vi1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P120-P127, P130, P131, X1, X2, XT2, RESET		- 0.3 ~ VDD + 0.3	V		
	Vi2	P60-P63	N-chオープン・ドレイン	- 0.3 ~ + 16	V		
	Vi3	A9	PROMプログラミング・モード	- 0.3 ~ + 13.5	V		
出力電圧	Vo			- 0.3 ~ VDD + 0.3	V		
アナログ入力電圧	VAN	P10-P17	アナログ入力端子	AVSS - 0.3 ~ AVREF0 + 0.3	V		
ハイ・レベル出力電流	IoH	1 端子		- 10	mA		
		P01-P06, P30-P37, P56, P57, P60-P67, P120-P127合計		- 15	mA		
		P10-P17, P20-P27, P40-P47, P50-P55, P70-P72, P130, P131合計		- 15	mA		
ロウ・レベル出力電流	IoL ^注	1 端子	ピーク値	30	mA		
			実効値	15	mA		
		P50-P55合計	ピーク値	100	mA		
			実効値	70	mA		
		P56, P57, P60-P63合計	ピーク値	100	mA		
			実効値	70	mA		
		P10-P17, P20-P27, P40-P47, P70-P72, P130, P131合計	ピーク値	50	mA		
			実効値	20	mA		
		P01-P06, P30-P37, P64-P67, P120-P127合計	ピーク値	50	mA		
			実効値	20	mA		
		動作周囲温度	TA			- 40 ~ + 85	
		保存温度	Tstg			- 65 ~ + 150	

注 実効値は [実効値] = [ピーク値] × √デューティで計算してください。

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

メイン・システム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 6.0 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1	VDD = 発振電圧範囲	1.0		5.0	MHz
		発振安定時間注2	VDDが発振電圧範囲の MIN.に達したあと			4	ms
水晶振動子		発振周波数 (fx) 注1		1.0		5.0	MHz
		発振安定時間注2	VDD = 4.5 ~ 6.0 V			10 30	ms
外部 クロック		X1入力周波数 (fx) 注1		1.0		5.0	MHz
		X1入力ハイ、ロウ・ レベル幅 (txH, txL)		85		500	ns

注1．発振回路の特性だけを示すものです。命令実行時間については、AC特性を参照してください。

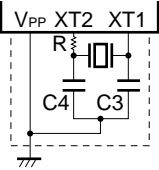
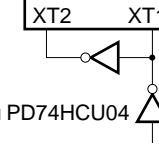
2．リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意1．メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にVSSと同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2．メイン・システム・クロックを停止させサブシステム・クロックで動作させている場合に、再度メイン・システム・クロックに切り替えるときには、プログラムで発振安定時間を確保したあとに切り替えてください。

サブシステム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 6.0 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数(fXT) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}	VDD = 4.5 ~ 6.0 V		1.2	2	s
外部 クロック		XT1入力周波数(fXT) ^{注1}		32		100	kHz
		XT1入力ハイ・ロウ・レベル幅(tXTH, tXTL)		5		15	μs

注1 . 発振回路の特性だけを示すものです。命令実行時間については、AC特性を参照してください。

2 . VDDが発振電圧範囲のMIN.に達したあと、発振が安定するのに必要な時間です。

注意1 . サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・ 配線は極力短くする。
- ・ 他の信号線と交差させない。
- ・ 変化する大電流が流れる線に接近させない。
- ・ 発振回路のコンデンサの接地点は、常にVSSと同電位になるようにする。
- ・ 大電流が流れるグランド・パターンに接地しない。
- ・ 発振回路から信号を取り出さない。

2 . サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっており、ノイズによる誤動作がメイン・システム・クロックよりも起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

推奨発振回路定数

メイン・システム・クロック：セラミック発振子 (TA = -20 ~ +80)

メーカー	品名	周波数 (MHz)	推奨回路定数		発振電圧範囲	
			C1 (pF)	C2 (pF)	MIN (V)	MAX (V)
京セラ	KBR-4.19MKS	4.19	内蔵	内蔵	2.0	6.0

メイン・システム・クロック：セラミック発振子 (TA = -40 ~ +85)

メーカー	品名	周波数 (MHz)	推奨回路定数		発振電圧範囲	
			C1 (pF)	C2 (pF)	MIN (V)	MAX (V)
村田製作所	CST5.00MGW	5.0	内蔵	内蔵	2.7	6.0
	CSA5.00MG	5.0	30	30	2.7	6.0

★ 注意 発振回路定数ならびに発振電圧範囲は、安定して発振する条件を示しています。

発振周波数精度は保証していません。アプリケーションで発振周波数精度が必要な場合、実装回路で発振周波数を調整する必要があります。詳細については、ご使用になる発振子のメーカーに直接お問い合わせください。

容量 (TA = 25 , VDD = VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
入力容量	CIN	f = 1 MHz 被測定端子以外は0 V				15	pF
入出力容量	Cio	f = 1 MHz 被測定端子以外は0 V	P01-P06, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P120-P127, P130, P131			15	pF
			P60-P63			20	pF

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 6.0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH1	P10-P17, P21, P23, P30-P32, P35-P37, P40-P47, P50-P57, P64-P67, P71, P120-P127, P130, P131	VDD = 2.7 ~ 6.0 V	0.7 VDD		VDD	V
				0.8 VDD		VDD	V
	VIH2	P00-P06, P20, P22, P24-P27, P33, P34, P70, P72, $\overline{\text{RESET}}$	VDD = 2.7 ~ 6.0 V	0.8 VDD		VDD	V
				0.85 VDD		VDD	V
	VIH3	P60-P63 (N-chオープン・ドレイン)	VDD = 2.7 ~ 6.0 V	0.7 VDD		15	V
				0.8 VDD		15	V
	VIH4	X1, X2	VDD = 2.7 ~ 6.0 V	VDD - 0.5		VDD	V
				VDD - 0.2		VDD	V
	VIH5	XT1/P07, XT2	4.5 V VDD 6.0 V	0.8 VDD		VDD	V
			2.7 V VDD < 4.5 V	0.9 VDD		VDD	V
2.0 V VDD < 2.7 V ^注			0.9 VDD		VDD	V	
ロウ・レベル入力電圧	VIL1	P10-P17, P21, P23, P30-P32, P35-P37, P40-P47, P50-P57, P64-P67, P71, P120-P127, P130, P131	VDD = 2.7 ~ 6.0 V	0		0.3 VDD	V
				0		0.2 VDD	V
	VIL2	P00-P06, P20, P22, P24-P27, P33, P34, P70, P72, $\overline{\text{RESET}}$	VDD = 2.7 ~ 6.0 V	0		0.2 VDD	V
				0		0.15 VDD	V
	VIL3	P60-P63	4.5 V VDD 6.0 V	0		0.3 VDD	V
			2.7 V VDD < 4.5 V	0		0.2 VDD	V
				0		0.1 VDD	V
	VIL4	X1, X2	VDD = 2.7 ~ 6.0 V	0		0.4	V
				0		0.2	V
	VIL5	XT1/P07, XT2	4.5 V VDD 6.0 V	0		0.2 VDD	V
2.7 V VDD < 4.5 V			0		0.1 VDD	V	
2.0 V VDD < 2.7 V ^注			0		0.1 VDD	V	
ハイ・レベル出力電圧	VOH1	VDD = 4.5 ~ 6.0 V, IOH = -1 mA	VDD - 1.0			V	
		IOH = -100 μA	VDD - 0.5			V	
ロウ・レベル出力電圧	VOL1	P50-P57, P60-P63	VDD = 4.5 ~ 6.0 V, IOL = 15 mA	0.4	2.0	V	
		P01-P06, P10-P17, P20-P27, P30-P37, P40-P47, P64-P67, P70-P72, P120-P127, P130, P131	VDD = 4.5 ~ 6.0 V, IOL = 1.6 mA		0.4	V	
	VOL2	SB0, SB1, $\overline{\text{SCK0}}$	VDD = 4.5 ~ 6.0 V, N-chオープン・ドレイン, プルアップ時 R = 1 k)		0.2 VDD	V	
	VOL3	IOL = 400 μA			0.5	V	

注 XT1/P07端子をP07として使用する場合は、インバータを用いてXT2端子にP07の逆相を入力してください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = -40 ~ +85 , V_{DD} = 2.0 ~ 6.0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル 入力リーク電流	I _{LIH1}	V _{IN} = V _{DD}	P00-P06, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P60-P67, P70-P72, P120-P127, P130, P131, $\overline{\text{RESET}}$			3	μA
	I _{LIH2}		X1, X2, XT1/P07, XT2			20	μA
	I _{LIH3}	V _{IN} = 15 V	P60-P63			80	μA
ロウ・レベル 入力リーク電流	I _{LIL1}	V _{IN} = 0 V	P00-P06, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P120-P127, P130, P131, $\overline{\text{RESET}}$			- 3	μA
	I _{LIL2}		X1, X2, XT1/P07, XT2			- 20	μA
	I _{LIL3}		P60-P63			- 3 ^{注1}	μA
ハイ・レベル 出力リーク電流	I _{LOH1}	V _{OUT} = V _{DD}				3	μA
ロウ・レベル 出力リーク電流	I _{LOL1}	V _{OUT} = 0 V				- 3	μA
ソフトウェア・ プルアップ抵抗 ^{注2}	R ₂	V _{IN} = 0 V, P01-P06, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, P70-P72, P120-P127, P130, P131	4.5 V ≤ V _{DD} ≤ 6.0 V	15	40	90	k
			2.7 V ≤ V _{DD} < 4.5 V	20		500	k

注1 . P60-P63は、ポート6 (P6) , ポート・モード・レジスタ6 (PM6) に対して読み出し命令を実行したときの1.5クロック間 (ノー・ウエイト時) のみ、ロウ・レベル入力リーク電流が - 200 μA (MAX.) 流れます。読み出し命令実行時の1.5クロック間以外では - 3 μA (MAX.) です。

2 . ソフトウェア・プルアップ抵抗は、V_{DD} = 2.7 ~ 6.0 Vの範囲でのみ使用可能です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = -40 ~ +85 , V_{DD} = 2.0 ~ 6.0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD1}	5.0 MHz水晶発振動作モード (f _{xx} = 2.5 MHz) ^{注2}	V _{DD} = 5.0 V ± 10 % ^{注5}		5	15	mA
			V _{DD} = 3.0 V ± 10 % ^{注6}		0.7	2.1	mA
			V _{DD} = 2.2 V ± 10 % ^{注6}		0.4	1.2	mA
		5.0 MHz水晶発振動作モード (f _{xx} = 5.0 MHz) ^{注3}	V _{DD} = 5.0 V ± 10 % ^{注5}		9.0	27.0	mA
			V _{DD} = 3.0 V ± 10 % ^{注6}		1.0	3.0	mA
			V _{DD} = 2.2 V ± 10 %		280	840	μA
	I _{DD2}	5.0 MHz水晶発振HALTモード (f _{xx} = 2.5 MHz) ^{注2}	V _{DD} = 5.0 V ± 10 %		1.4	4.2	mA
			V _{DD} = 3.0 V ± 10 %		0.5	1.5	mA
			V _{DD} = 2.2 V ± 10 %		280	840	μA
		5.0 MHz水晶発振HALTモード (f _{xx} = 5.0 MHz) ^{注3}	V _{DD} = 5.0 V ± 10 %		1.6	4.8	mA
	I _{DD3}	32.768 kHz 水晶発振動作モード ^{注4}	V _{DD} = 5.0 V ± 10 %		135	270	μA
			V _{DD} = 3.0 V ± 10 %		95	190	μA
			V _{DD} = 2.2 V ± 10 %		70	140	μA
	I _{DD4}	32.768 kHz 水晶発振HALTモード ^{注4}	V _{DD} = 5.0 V ± 10 %		25	55	μA
			V _{DD} = 3.0 V ± 10 %		5	15	μA
V _{DD} = 2.2 V ± 10 %				2.5	12.5	μA	
★ I _{DD5}	XT1 = V _{DD} STOPモード フィードバック抵抗使用時	V _{DD} = 5.0 V ± 10 %		1	30	μA	
		V _{DD} = 3.0 V ± 10 %		0.5	10	μA	
		V _{DD} = 2.2 V ± 10 %		0.3	10	μA	
★ I _{DD6}	XT1 = V _{DD} STOPモード フィードバック抵抗非使用時	V _{DD} = 5.0 V ± 10 %		0.1	30	μA	
		V _{DD} = 3.0 V ± 10 %		0.05	10	μA	
		V _{DD} = 2.2 V ± 10 %		0.05	10	μA	

注1 . V_{DD}およびAV_{DD}端子に流れる電流です。ただし、A/Dコンバータ、D/Aコンバータおよび内蔵プルアップ抵抗に流れる電流は含みません。

- 2 . メイン・システム・クロックf_{xx} = f_x/2動作時 (発振モード選択レジスタ (OSMS) を00Hに設定したとき)。
- 3 . メイン・システム・クロックf_{xx} = f_x動作時 (OSMSを01Hに設定したとき)。
- 4 . メイン・システム・クロックの動作を停止させたとき。
- 5 . 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき)。
- 6 . 低速モード動作時 (PCCを04Hに設定したとき)。

AC特性

(1) 基本動作 (TA = -40 ~ +85, VDD = 2.0 ~ 6.0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	TCY	メイン・システム・クロックで動作 (fxx = 2.5 MHz) 注1	VDD = 2.7 ~ 6.0 V	0.8		64	μs
				2.2		64	μs
		メイン・システム・クロックで動作 (fxx = 5.0 MHz) 注2	4.5 V VDD 6.0 V	0.4		32	μs
			2.7 V VDD < 4.5 V	0.8		32	μs
		サブシステム・クロックで動作	40注3	122	125	μs	
TI00入力 ハイ,ロウ・レベル幅	tTIH00, tTIL00	3.5 V VDD 6.0 V		2/fsam + 0.1注4			μs
		2.7 V VDD < 3.5 V		2/fsam + 0.2注4			μs
				2/fsam + 0.5注4			μs
TI01入力 ハイ,ロウ・レベル幅	tTIH01, tTIL01	VDD = 2.7 ~ 6.0 V		10			μs
				20			μs
TI1, TI2入力周波数	fTI1	VDD = 4.5 ~ 6.0 V		0		4	MHz
				0		275	kHz
TI1, TI2入力 ハイ,ロウ・レベル幅	tTIH1, tTIL1	VDD = 4.5 ~ 6.0 V		100			ns
				1.8			μs
割り込み要求入力 ハイ,ロウ・レベル幅	tINTH, tINTL	INTP0	3.5 V VDD 6.0 V	2/fsam + 0.1注4			μs
			2.7 V VDD < 3.5 V	2/fsam + 0.2注4			μs
				2/fsam + 0.5注4			μs
		INTP1-INTP6, KR0-KR7	VDD = 2.7 ~ 6.0 V	10			μs
				20			μs
RESETロウ・レベル幅	tRSL	VDD = 2.7 ~ 6.0 V		10			μs
				20			μs

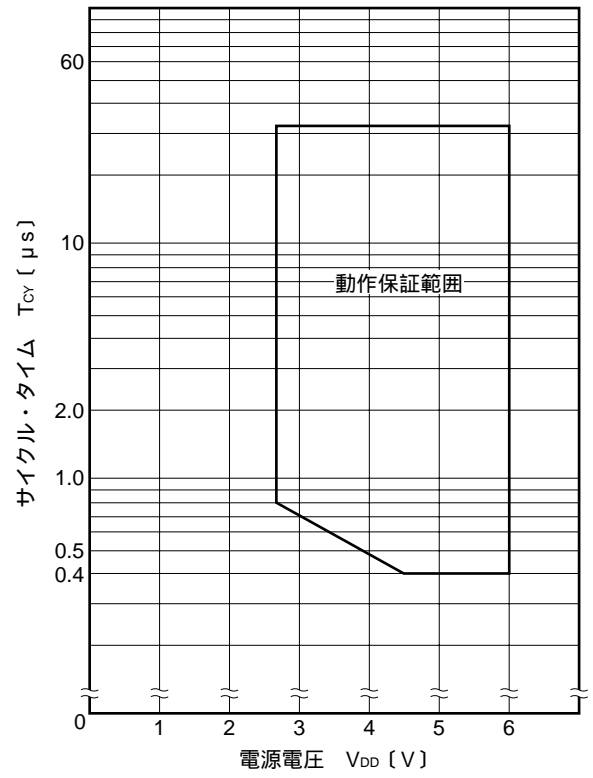
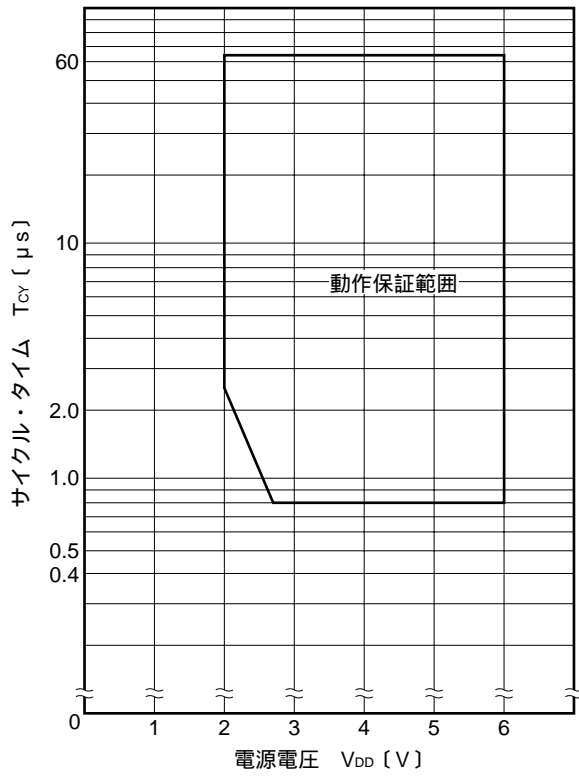
注1 . メイン・システム・クロック fxx = fx/2動作時 (発振モード選択レジスタ (OSMS) を00Hに設定したとき)。

2 . メイン・システム・クロック fxx = fx動作時 (OSMSを01Hに設定したとき)。

★ 3 . 外部クロック使用時の値です。水晶振動子使用時は114 μs (MIN.) です。

4 . サンプリング・クロック選択レジスタ (SCS) のビット 0, 1 (SCS0, SCS1) により, fsam = fxx/2^N, fxx/32, fxx/64, fxx/128の選択が可能です (N = 0-4)。

T_{CY} vs V_{DD} (メイン・システム・クロック $f_{XX} = f_X/2$ 動作時) T_{CY} vs V_{DD} (メイン・システム・クロック $f_{XX} = f_X$ 動作時)



(2) リード/ライト・オペレーション

(a) MCS = 1, PCC2-PCC0 = 000Bのとき (TA = -40 ~ +85, VDD = 4.5 ~ 6.0 V)

項目	略号	条件	MIN.	MAX.	単位
ASTBハイ・レベル幅	tASTH		0.85tcy - 50		ns
アドレス・セットアップ時間	tADS		0.85tcy - 50		ns
アドレス・ホールド時間	tADH		50		ns
アドレス データ入力時間	tADD1			(2.85 + 2n)tcy - 80	ns
	tADD2			(4 + 2n)tcy - 100	ns
RD データ入力時間	tRDD1			(2 + 2n)tcy - 100	ns
	tRDD2			(2.85 + 2n)tcy - 100	ns
リード・データ・ホールド時間	tRDH		0		ns
RDロウ・レベル幅	tRDL1		(2 + 2n)tcy - 60		ns
	tRDL2		(2.85 + 2n)tcy - 60		ns
RD WAIT 入力時間	tRDWT1			0.85tcy - 50	ns
	tRDWT2			2tcy - 60	ns
WR WAIT 入力時間	tWRWT			2tcy - 60	ns
WAITロウ・レベル幅	tWTL		(1.15 + 2n)tcy	(2 + 2n)tcy	ns
ライト・データ・セットアップ時間	tWDS		(2.85 + 2n)tcy - 100		ns
ライト・データ・ホールド時間	tWDH		20		ns
WRロウ・レベル幅	tWRL1		(2.85 + 2n)tcy - 60		ns
ASTB RD 遅延時間	tASTRD		25		ns
ASTB WR 遅延時間	tASTWR		0.85tcy + 20		ns
外部フェッチ時RD ASTB 遅延時間	tRDAST		0.85tcy - 10	1.15tcy + 20	ns
外部フェッチ時RD アドレス・ホールド時間	tRDADH		0.85tcy - 50	1.15tcy + 50	ns
RD ライト・データ出力時間	tRDWD		40		ns
WR ライト・データ出力時間	tWRWD		0	50	ns
WR アドレス・ホールド時間	tWRADH		0.85tcy	1.15tcy + 40	ns
WAIT RD 遅延時間	tWTRD		1.15tcy + 40	3.15tcy + 40	ns
WAIT WR 遅延時間	tWTWR		1.15tcy + 30	3.15tcy + 30	ns

備考1. MCS : 発振モード選択レジスタ (OSMS) のビット0

2. PCC2-PCC0 : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット2-0

3. tcy = Tcy/4

4. nはウェイト数を示します。

(b) MCS = 1, PCC2-PCC0 = 000B以外のとき (TA = -40 ~ +85 , VDD = 2.0 ~ 6.0 V)

(1/2)

項目	略号	条件	MIN.	MAX.	単位
ASTBハイ・レベル幅	t _{ASTH}	V _{DD} = 2.7 ~ 6.0 V	t _{cy} - 80		ns
			t _{cy} - 150		ns
アドレス・セットアップ時間	t _{ADS}	V _{DD} = 2.7 ~ 6.0 V	t _{cy} - 80		ns
			t _{cy} - 150		ns
アドレス・ホールド時間	t _{ADH}	V _{DD} = 2.7 ~ 6.0 V	0.4t _{cy} - 10		ns
			0.37t _{cy} - 40		ns
アドレス データ入力時間	t _{ADD1}	V _{DD} = 2.7 ~ 6.0 V		(3 + 2n)t _{cy} - 160	ns
				(3 + 2n)t _{cy} - 320	ns
	t _{ADD2}	V _{DD} = 2.7 ~ 6.0 V		(4 + 2n)t _{cy} - 200	ns
				(4 + 2n)t _{cy} - 300	ns
RD データ入力時間	t _{RDD1}	V _{DD} = 2.7 ~ 6.0 V		(1.4 + 2n)t _{cy} - 70	ns
				(1.37 + 2n)t _{cy} - 120	ns
	t _{RDD2}	V _{DD} = 2.7 ~ 6.0 V		(2.4 + 2n)t _{cy} - 70	ns
				(2.37 + 2n)t _{cy} - 120	ns
t _{RDH}		0		ns	
RDロウ・レベル幅	t _{RDL1}	V _{DD} = 2.7 ~ 6.0 V	(1.4 + 2n)t _{cy} - 20		ns
			(1.37 + 2n)t _{cy} - 20		ns
	t _{RDL2}	V _{DD} = 2.7 ~ 6.0 V	(2.4 + 2n)t _{cy} - 20		ns
			(2.37 + 2n)t _{cy} - 20		ns
RD WAIT 入力時間	t _{RDWT1}	V _{DD} = 2.7 ~ 6.0 V		t _{cy} - 100	ns
				t _{cy} - 200	ns
	t _{RDWT2}	V _{DD} = 2.7 ~ 6.0 V		2t _{cy} - 100	ns
				2t _{cy} - 200	ns
WR WAIT 入力時間	t _{WRWT}	V _{DD} = 2.7 ~ 6.0 V		2t _{cy} - 100	ns
				2t _{cy} - 200	ns
WAITロウ・レベル幅	t _{WTL}		(1 + 2n)t _{cy}	(2 + 2n)t _{cy}	ns
ライト・データ・セットアップ時間	t _{WDS}	V _{DD} = 2.7 ~ 6.0 V	(2.4 + 2n)t _{cy} - 60		ns
			(2.37 + 2n)t _{cy} - 100		ns
ライト・データ・ホールド時間	t _{WDH}		20		ns
WRロウ・レベル幅	t _{WRL1}	V _{DD} = 2.7 ~ 6.0 V	(2.4 + 2n)t _{cy} - 20		ns
			(2.37 + 2n)t _{cy} - 20		ns

備考1 . MCS : 発振モード選択レジスタ (OSMS) のビット 0

2 . PCC2-PCC0 : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット 2 - 0

3 . t_{cy} = T_{cy}/4

4 . nはウエイト数を示します。

(b) MCS = 1, PCC2-PCC0 = 000B以外のとき (TA = -40 ~ +85 , VDD = 2.0 ~ 6.0 V)

(2/2)

項目	略号	条件	MIN.	MAX.	単位
ASTB \overline{RD} 遅延時間	tASTRD	VDD = 2.7 ~ 6.0 V	0.4tcy - 30		ns
			0.37tcy - 50		ns
ASTB \overline{WR} 遅延時間	tASTWR	VDD = 2.7 ~ 6.0 V	1.4tcy - 30		ns
			1.37tcy - 50		ns
外部フェッチ時 \overline{RD} ASTB 遅延時間	trDAST		tcy - 10	tcy + 20	ns
外部フェッチ時 \overline{RD} アドレス・ホールド時間	trDADH		tcy - 50	tcy + 50	ns
\overline{RD} ライト・データ出力時間	trDWD	VDD = 2.7 ~ 6.0 V	0.4tcy - 20		ns
			0.37tcy - 40		ns
\overline{WR} ライト・データ出力時間	tWRWD	VDD = 2.7 ~ 6.0 V	0	60	ns
			0	120	ns
\overline{WR} アドレス・ホールド時間	tWRADH	VDD = 2.7 ~ 6.0 V	tcy	tcy + 60	ns
			tcy	tcy + 120	ns
WAIT \overline{RD} 遅延時間	tWTRD	VDD = 2.7 ~ 6.0 V	0.6tcy + 180	2.6tcy + 180	ns
			0.63tcy + 350	2.63tcy + 350	ns
WAIT \overline{WR} 遅延時間	tWTWR	VDD = 2.7 ~ 6.0 V	0.6tcy + 120	2.6tcy + 120	ns
			0.63tcy + 240	2.63tcy + 240	ns

備考1 . MCS : 発振モード選択レジスタ (OSMS) のビット0

2 . PCC2-PCC0 : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット2-0

3 . tcy = Tcy/4

4 . nはウェイト数を示します。

(3) シリアル・インタフェース (TA = -40 ~ +85 , VDD = 2.0 ~ 6.0 V)

(a) シリアル・インタフェース・チャンネル0

(i) 3線式シリアル/Oモード (SCK0...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	tkCY1	4.5 V VDD 6.0 V	800			ns
		2.7 V VDD < 4.5 V	1600			ns
			3200			ns
SCK0ハイ, ロウ・レベル幅	tkH1,	VDD = 4.5 ~ 6.0 V	tkCY1/2 - 50			ns
	tkL1		tkCY1/2 - 100			ns
SIOセットアップ時間(対SCK0)	tSIK1	4.5 V VDD 6.0 V	100			ns
		2.7 V VDD < 4.5 V	150			ns
			300			ns
SIOホールド時間(対SCK0)	tKSH		400			ns
SCK0 SO0出力遅延時間	tKSO1	C = 100 pF ^注			300	ns

注 Cは, SO0出力ラインの負荷容量です。

(ii) 3線式シリアル/Oモード (SCK0...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	tkCY2	4.5 V VDD 6.0 V	800			ns
		2.7 V VDD < 4.5 V	1600			ns
			3200			ns
SCK0ハイ, ロウ・レベル幅	tkH2,	4.5 V VDD 6.0 V	400			ns
	tkL2	2.7 V VDD < 4.5 V	800			ns
			1600			ns
SIOセットアップ時間(対SCK0)	tSIK2		100			ns
SIOホールド時間(対SCK0)	tKSI2		400			ns
SCK0 SO0出力遅延時間	tKSO2	C = 100 pF ^注			300	ns
SCK0立ち上がり, 立ち下がり時間	tr2,	外部デバイス拡張機能使用時			160	ns
	tf2	外部デバイス拡張機能未使用時			1000	ns

注 Cは, SO0出力ラインの負荷容量です。

(iii) 2線式シリアル/Oモード ($\overline{\text{SCK0}}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
$\overline{\text{SCK0}}$ サイクル・タイム	t_{KCY3}	$R = 1\text{ k} \Omega, C = 100\text{ pF}$ 注	$V_{\text{DD}} = 2.7 \sim 6.0\text{ V}$	1600			ns
				3200			ns
$\overline{\text{SCK0}}$ ハイ・レベル幅	t_{KH3}		$V_{\text{DD}} = 2.7 \sim 6.0\text{ V}$	$t_{\text{KCY3}}/2 - 160$			ns
				$t_{\text{KCY3}}/2 - 190$			ns
$\overline{\text{SCK0}}$ ロウ・レベル幅	t_{KL3}		$V_{\text{DD}} = 4.5 \sim 6.0\text{ V}$	$t_{\text{KCY3}}/2 - 50$			ns
				$t_{\text{KCY3}}/2 - 100$			ns
SB0, SB1セットアップ時間 (対 $\overline{\text{SCK0}}$)	t_{SIK3}		$4.5\text{ V} < V_{\text{DD}} < 6.0\text{ V}$	300			ns
			$2.7\text{ V} < V_{\text{DD}} < 4.5\text{ V}$	350			ns
				400			ns
SB0, SB1ホールド時間 (対 $\overline{\text{SCK0}}$)	t_{KSI3}			600			ns
$\overline{\text{SCK0}}$ SB0, SB1出力遅延時間	t_{KSO3}		0		300	ns	

注 R, Cは, $\overline{\text{SCK0}}$, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(iv) 2線式シリアル/Oモード ($\overline{\text{SCK0}}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
$\overline{\text{SCK0}}$ サイクル・タイム	t_{KCY4}	$V_{\text{DD}} = 2.7 \sim 6.0\text{ V}$	1600			ns	
			3200			ns	
$\overline{\text{SCK0}}$ ハイ・レベル幅	t_{KH4}	$V_{\text{DD}} = 2.7 \sim 6.0\text{ V}$	650			ns	
			1300			ns	
$\overline{\text{SCK0}}$ ロウ・レベル幅	t_{KL4}	$V_{\text{DD}} = 2.7 \sim 6.0\text{ V}$	800			ns	
			1600			ns	
SB0, SB1セットアップ時間 (対 $\overline{\text{SCK0}}$)	t_{SIK4}		100			ns	
SB0, SB1ホールド時間 (対 $\overline{\text{SCK0}}$)	t_{KSI4}		$t_{\text{KCY4}}/2$			ns	
$\overline{\text{SCK0}}$ SB0, SB1出力遅延時間	t_{KSO4}	$R = 1\text{ k} \Omega, C = 100\text{ pF}$ 注	$V_{\text{DD}} = 4.5 \sim 6.0\text{ V}$	0		300	ns
				0		500	ns
$\overline{\text{SCK0}}$ 立ち上がり, 立ち下がり時間	t_{R4}	外部デバイス拡張機能使用時			160	ns	
	t_{F4}	外部デバイス拡張機能未使用時			1000	ns	

注 R, Cは, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(v) I²Cバス・モード (SCL...内部クロック出力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCLサイクル・タイム	t _{KCY5}	R = 1 k , C = 100 pF ^注	V _{DD} = 2.7 ~ 6.0 V	10			μs
				20			μs
SCLハイ・レベル幅	t _{KH5}		V _{DD} = 2.7 ~ 6.0 V	t _{KCY5} - 160			ns
				t _{KCY5} - 190			ns
SCLロウ・レベル幅	t _{KL5}		V _{DD} = 4.5 ~ 6.0 V	t _{KCY5} - 50			ns
				t _{KCY5} - 100			ns
SDA0, SDA1セットアップ 時間(対SCL)	t _{SIK5}		V _{DD} = 2.7 ~ 6.0 V	200			ns
				300			ns
SDA0, SDA1ホールド時間 (対SCL)	t _{KSI5}			0			ns
SCL SDA0, SDA1出力 遅延時間	t _{KSO5}		V _{DD} = 4.5 ~ 6.0 V	0		300	ns
				0		500	ns
SCL SDA0, SDA1 または SCL SDA0, SDA1	t _{KSB}			200			ns
SDA0, SDA1 SCL	t _{SBK}			400			ns
SDA0, SDA1ハイ・レベル幅	t _{SBH}			500			ns

注 R, Cは, SCL, SDA0, SDA1出力ラインの負荷抵抗, 負荷容量です。

(vi) I²Cバス・モード (SCL...外部クロック入力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCLサイクル・タイム	t _{KCY6}			1000			ns
SCLハイ,ロウ・レベル幅	t _{KH6} , t _{KL6}			400			ns
SDA0, SDA1セットアップ 時間(対SCL)	t _{SIK6}			200			ns
SDA0, SDA1ホールド時間 (対SCL)	t _{KSI6}			0			ns
SCL SDA0, SDA1出力 遅延時間	t _{KSO6}	R = 1 k , C = 100 pF ^注	V _{DD} = 4.5 ~ 6.0 V	0		300	ns
				0		500	ns
SCL SDA0, SDA1 または SCL SDA0, SDA1	t _{KSB}			200			ns
SDA0, SDA1 SCL	t _{SBK}			400			ns
SDA0, SDA1ハイ・レベル幅	t _{SBH}			500			ns
SCL立ち上がり, 立ち下がり時間	t _{R6} , t _{F6}	外部デバイス拡張機能使用時 外部デバイス拡張機能未使用時				160	ns
						1000	ns

注 R, Cは, SDA0, SDA1出力ラインの負荷抵抗, 負荷容量です。

(b) シリアル・インタフェース・チャンネル1

(i) 3線式シリアル/Oモード (SCK1...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK1サイクル・タイム	t _{KCY7}	4.5 V V _{DD} 6.0 V	800			ns
		2.7 V V _{DD} < 4.5 V	1600			ns
			3200			ns
SCK1ハイ, ロウ・レベル幅	t _{KH7} ,	V _{DD} = 4.5 ~ 6.0 V	t _{KCY7} /2 - 50			ns
	t _{KL7}		t _{KCY7} /2 - 100			ns
SI1セットアップ時間(対SCK1)	t _{SIK7}	4.5 V V _{DD} 6.0 V	100			ns
		2.7 V V _{DD} < 4.5 V	150			ns
			300			ns
SI1ホールド時間(対SCK1)	t _{KS17}		400			ns
SCK1 SO1出力遅延時間	t _{KSO7}	C = 100 pF ^注			300	ns

注 Cは, SO1出力ラインの負荷容量です。

(ii) 3線式シリアル/Oモード (SCK1...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
SCK1サイクル・タイム	t _{KCY8}	4.5 V V _{DD} 6.0 V	800			ns	
		2.7 V V _{DD} < 4.5 V	1600			ns	
			3200			ns	
SCK1ハイ, ロウ・レベル幅	t _{KH8} ,	4.5 V V _{DD} 6.0 V	400			ns	
		t _{KL8}	2.7 V V _{DD} < 4.5 V	800			ns
				1600			ns
SI1セットアップ時間(対SCK1)	t _{SIK8}		100			ns	
SI1ホールド時間(対SCK1)	t _{KS18}		400			ns	
SCK1 SO1出力遅延時間	t _{KSO8}	C = 100 pF ^注			300	ns	
SCK1立ち上がり, 立ち下がり時間	t _{r8} ,	外部デバイス拡張機能使用時			160	ns	
	t _{f8}	外部デバイス拡張機能未使用時			1000	ns	

注 Cは, SO1出力ラインの負荷容量です。

(iii) 自動送受信機能付き 3 線式シリアルI/Oモード ($\overline{\text{SCK1}}$...内部クロック出力)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCK1}}$ サイクル・タイム	t _{KCY9}	4.5 V V _{DD} 6.0 V	800			ns
		2.7 V V _{DD} < 4.5 V	1600			ns
			3200			ns
$\overline{\text{SCK1}}$ ハイ, ロウ・レベル幅	t _{KH9} ,	V _{DD} = 4.5 ~ 6.0 V	t _{KCY9} /2 - 50			ns
	t _{KL9}		t _{KCY9} /2 - 100			ns
SI1 セットアップ時間 (対 $\overline{\text{SCK1}}$)	t _{SIK9}	4.5 V V _{DD} 6.0 V	100			ns
		2.7 V V _{DD} < 4.5 V	150			ns
			300			ns
SI1 ホールド時間 (対 $\overline{\text{SCK1}}$)	t _{KS19}		400			ns
$\overline{\text{SCK1}}$ SO1 出力遅延時間	t _{KSO9}	C = 100 pF ^注			300	ns
$\overline{\text{SCK1}}$ STB	t _{SBD}		t _{KCY9} /2 - 100		t _{KCY9} /2 + 100	ns
ストローブ信号ハイ・レベル幅	t _{SBW}	V _{DD} = 2.7 ~ 6.0 V	t _{KCY9} - 30		t _{KCY9} + 30	ns
			t _{KCY9} - 60		t _{KCY9} + 60	ns
ビジィ信号セットアップ時間 (対ビジィ信号検出タイミング)	t _{BYS}		100			ns
ビジィ信号ホールド時間 (対ビジィ信号検出タイミング)	t _{BYH}	4.5 V V _{DD} 6.0 V	100			ns
		2.7 V V _{DD} < 4.5 V	150			ns
			200			ns
ビジィ・インアクティブ $\overline{\text{SCK1}}$	t _{SPS}				2t _{KCY9}	ns

注 Cは, SO1出力ラインの負荷容量です。

(iv) 自動送受信機能付き 3 線式シリアルI/Oモード ($\overline{\text{SCK1}}$...外部クロック入力)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位	
$\overline{\text{SCK1}}$ サイクル・タイム	t _{KCY10}	4.5 V V _{DD} 6.0 V	800			ns	
		2.7 V V _{DD} < 4.5 V	1600			ns	
			3200			ns	
$\overline{\text{SCK1}}$ ハイ, ロウ・レベル幅	t _{KH10} ,	4.5 V V _{DD} 6.0 V	400			ns	
		t _{KL10}	2.7 V V _{DD} < 4.5 V	800			ns
				1600			ns
SI1 セットアップ時間 (対 $\overline{\text{SCK1}}$)	t _{SIK10}		100			ns	
SI1 ホールド時間 (対 $\overline{\text{SCK1}}$)	t _{KS10}		400			ns	
$\overline{\text{SCK1}}$ SO1 出力遅延時間	t _{KSO10}	C = 100 pF ^注			300	ns	
$\overline{\text{SCK1}}$ 立ち上がり, 立ち下がり時間	t _{R10} ,	外部デバイス拡張機能使用時			160	ns	
		t _{F10}	外部デバイス拡張機能未使用時		1000	ns	

注 Cは, SO1出力ラインの負荷容量です。

★ (c) シリアル・インタフェース・チャンネル2

(i) 3線式シリアル/Oモード (SCK2...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK2サイクル・タイム	tkCY11	4.5 V V _{DD} 6.0 V	800			ns
		2.7 V V _{DD} < 4.5 V	1600			ns
			3200			ns
SCK2ハイ, ロウ・レベル幅	t _{KH11} ,	V _{DD} = 4.5 ~ 6.0 V	t _{KCY11} /2 - 50			ns
	t _{KL11}		t _{KCY11} /2 - 100			ns
SI2セットアップ時間(対SCK2)	t _{SIK11}	4.5 V V _{DD} 6.0 V	100			ns
		2.7 V V _{DD} < 4.5 V	150			ns
			300			ns
SI2ホールド時間(対SCK2)	t _{KSH11}		400			ns
SCK2 SO2出力遅延時間	t _{KSO11}	C = 100 pF ^注			300	ns

注 Cは, SO2出力ラインの負荷容量です。

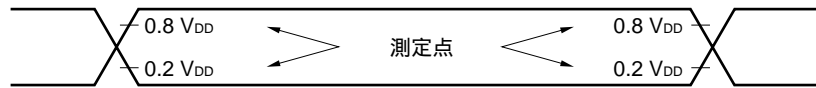
(ii) UARTモード(専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		4.5 V V _{DD} 6.0 V			78125	bps
		2.7 V V _{DD} < 4.5 V			39063	bps
					19531	bps

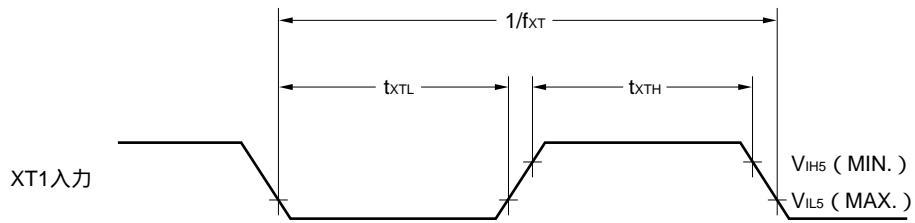
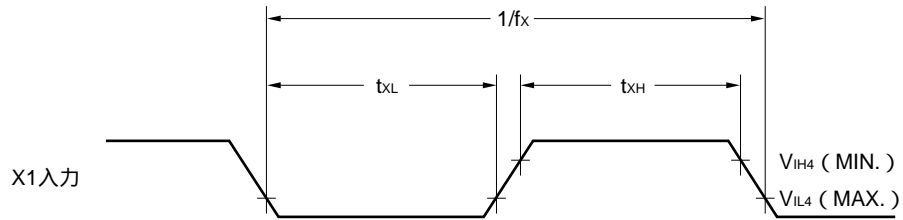
(iii) UARTモード(外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ASCKサイクル・タイム	tkCY12	4.5 V V _{DD} 6.0 V	800			ns	
		2.7 V V _{DD} < 4.5 V	1600			ns	
			3200			ns	
ASCKハイ, ロウ・レベル幅	t _{KH12} ,	4.5 V V _{DD} 6.0 V	400			ns	
		t _{KL12}	2.7 V V _{DD} < 4.5 V	800			ns
				1600			ns
転送レート		4.5 V V _{DD} 6.0 V			39063	bps	
		2.7 V V _{DD} < 4.5 V			19531	bps	
					9766	bps	
ASCK立ち上がり, 立ち下がり時間	t _{RI2} ,	V _{DD} = 4.5 ~ 6.0 V, 外部デバイス拡張機能未使用時			1000	ns	
	t _{FI2}				160	ns	

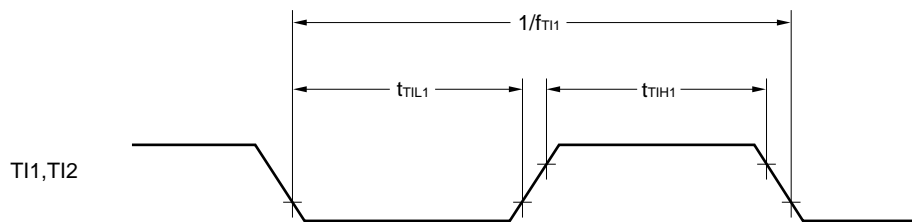
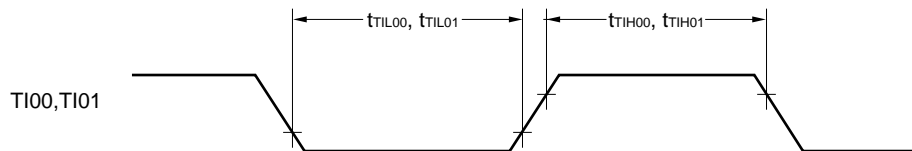
ACタイミング測定点 (X1, XT1入力を除く)



クロック・タイミング

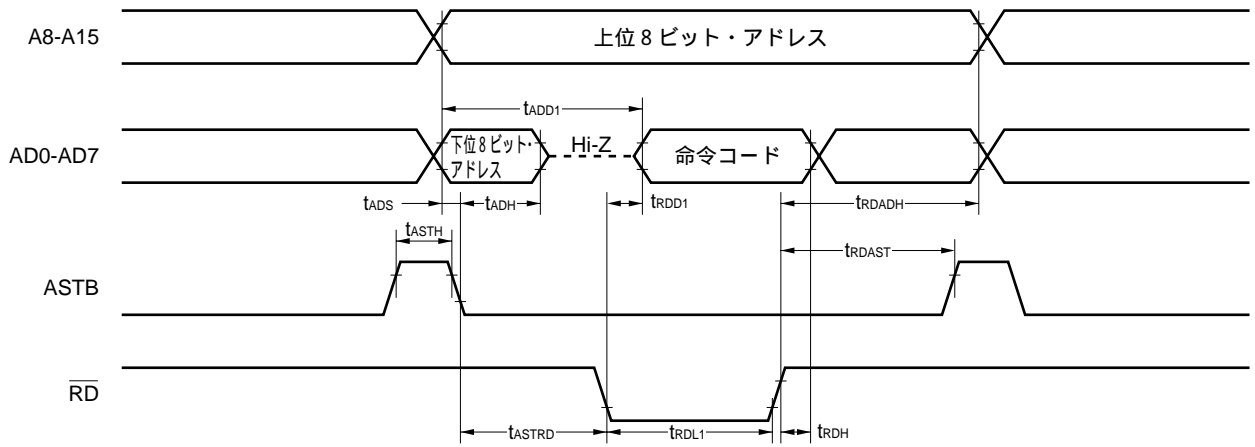


T1タイミング

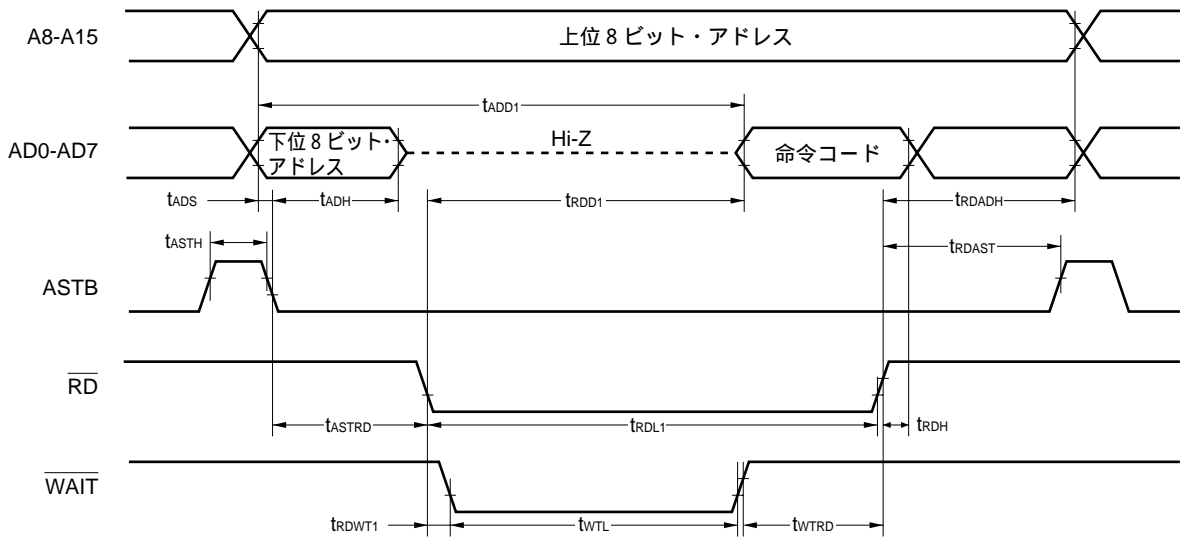


リード/ライト・オペレーション

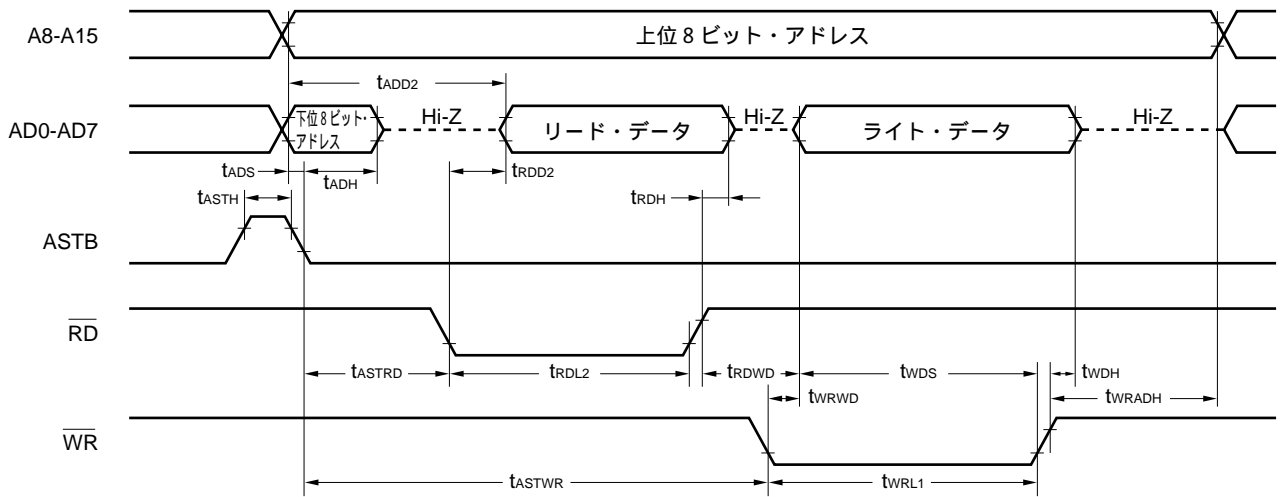
外部フェッチ（ノー・ウエイト時）：



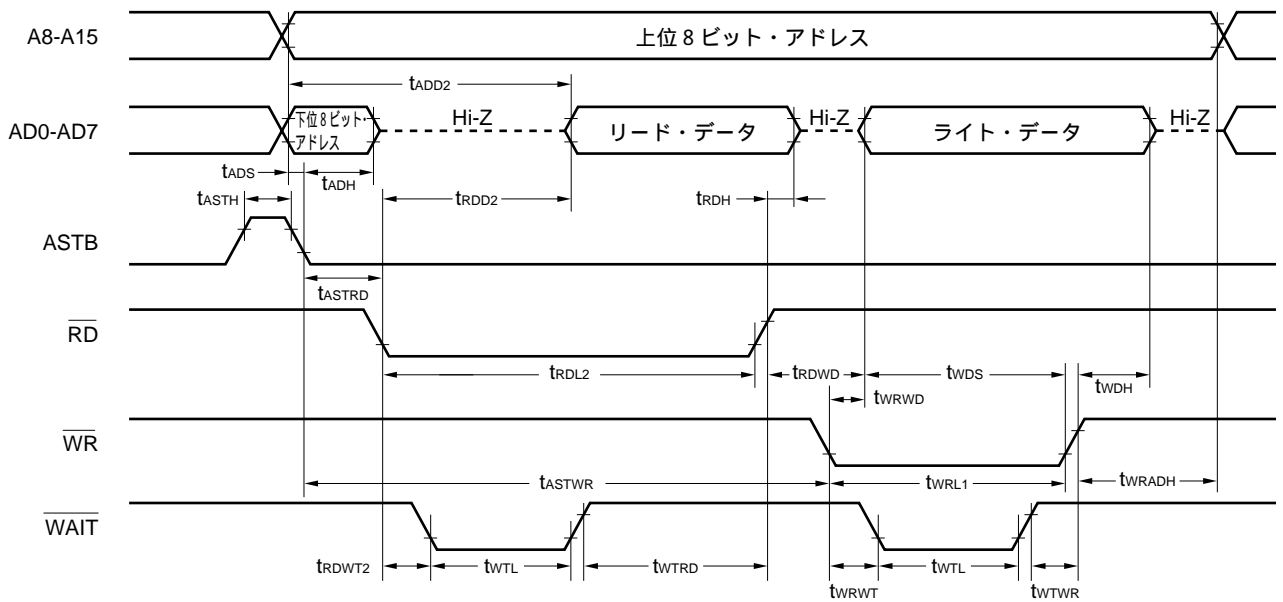
外部フェッチ（ウエイト挿入時）：



外部データ・アクセス（ノー・ウエイト時）：

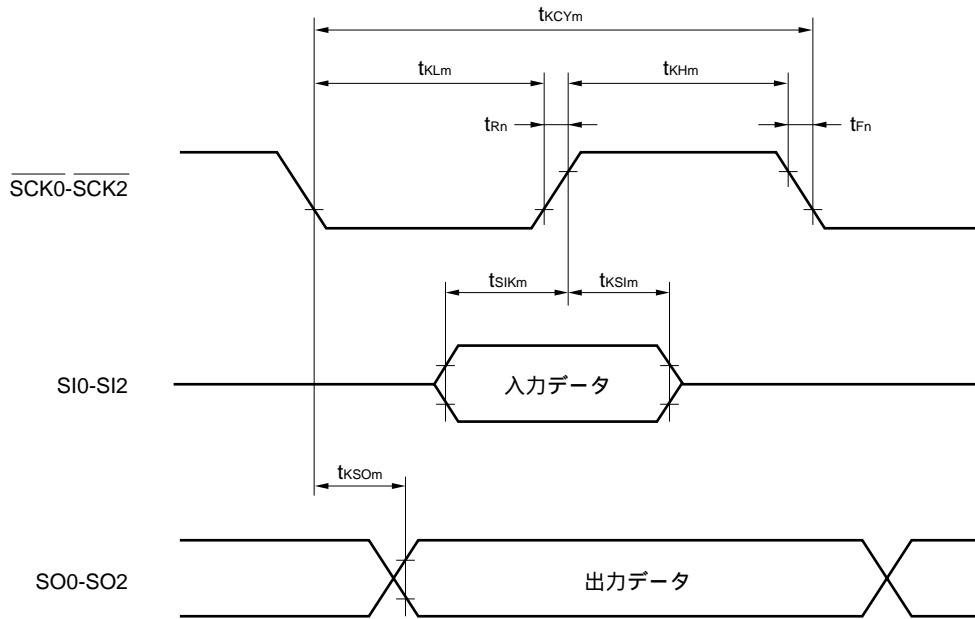


外部データ・アクセス（ウエイト挿入時）：



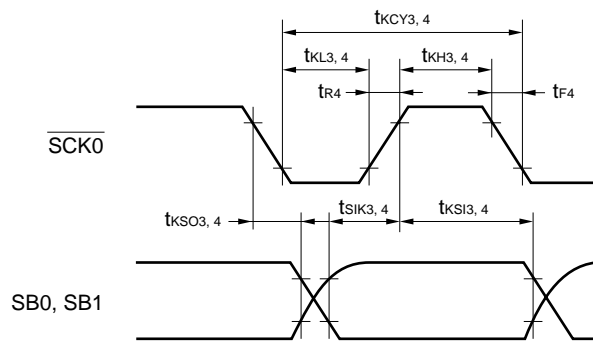
シリアル転送タイミング

3線式シリアルI/Oモード :

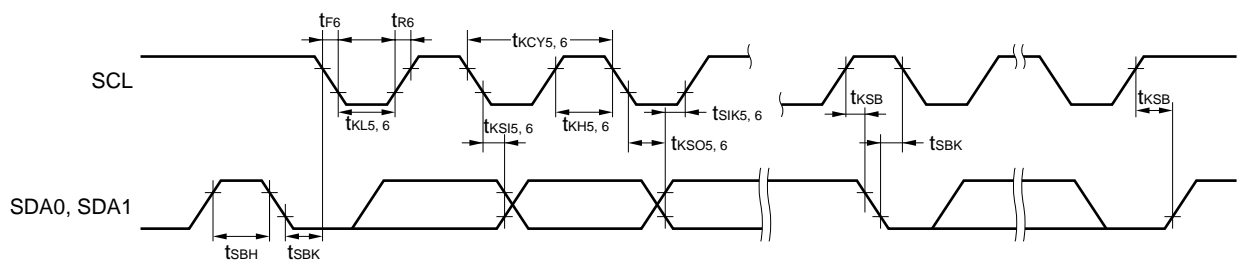


備考 m = 1, 2, 7, 8, 11
n = 2, 8

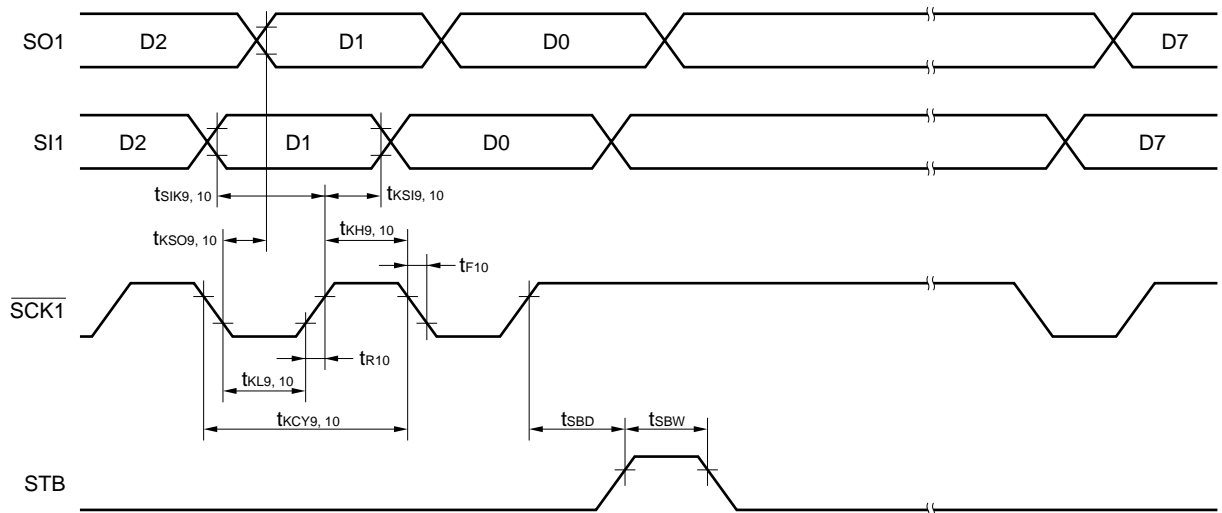
2線式シリアルI/Oモード :



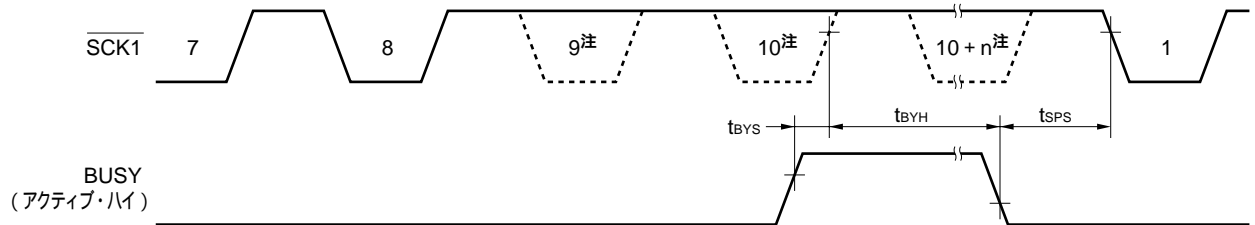
I²Cバス・モード :



自動送受信機能付き 3 線式シリアル I/O モード :

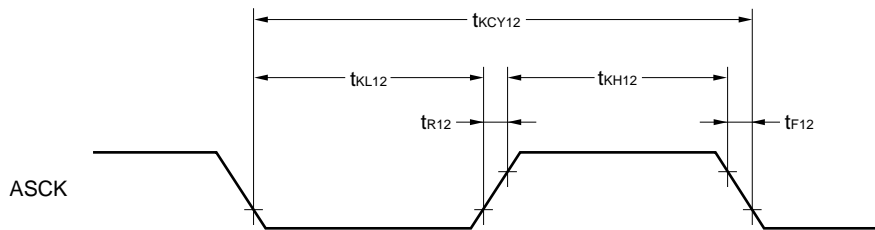


自動送受信機能付き 3 線式シリアル I/O モード (ビジー処理) :



注 ここでは実際にはロウ・レベルになりませんが、タイミング規定のためこのように表記してあります。

UARTモード (外部クロック入力) :



A/Dコンバータ特性 (TA = -40 ~ +85 , AVDD = VDD = 2.7 ~ 6.0 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
総合誤差 ^注		2.7 V AVREF0 AVDD			1.4	%
変換時間	tCONV		19.1		200	μs
サンプリング時間	tsAMP		12/fxx			μs
アナログ入力電圧	VIAN		AVSS		AVREF0	V
基準電圧	AVREF0		2.7		AVDD	V
AVREF0-AVSS間抵抗	RAIREF0		4			k

注 量子化誤差 (± 1/2LSB) を含みません。フルスケール値に対する比率で表しています。

備考 fxx : メイン・システム・クロック周波数 (fxまたはfx/2)

fx : メイン・システム・クロック発振周波数

D/Aコンバータ特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 6.0 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					8	bit
総合誤差		R = 2 M ^{注1}			1.2	%
		R = 4 M ^{注1}			0.8	%
		R = 10 M ^{注1}			0.6	%
セットリング・タイム		C = 30 pF ^{注1}	4.5 V AVREF1 6.0 V		10	μs
			2.7 V AVREF1 < 4.5 V		15	μs
			2.0 V AVREF1 < 2.7 V		20	μs
出力抵抗	Ro	注2		10		k
アナログ基準電圧	AVREF1		2.0		VDD	V
AVREF1-AVSS間抵抗	RAIREF1	DACS0, DACS1 = 55H ^{注2}	4	8		k

注1 . R, CはD/Aコンバータ出力端子の負荷抵抗, 負荷容量です。

2 . D/Aコンバータ 1チャンネル分の値です。

備考 DACS0, DACS1 : D/A変換値設定レジスタ 0 , 1

データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

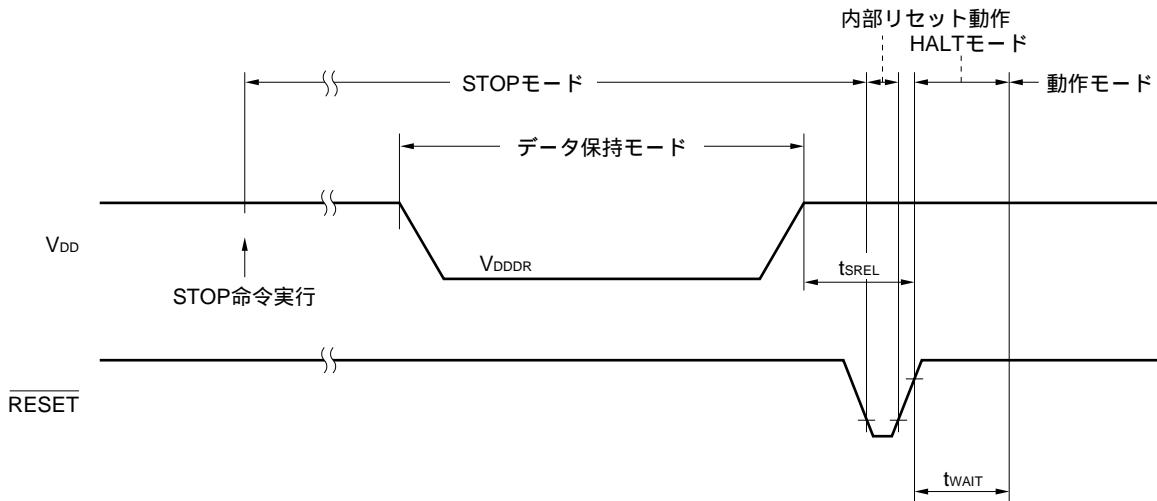
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.8		6.0	V
データ保持電源電流	I _{DDDR}	V _{DDDR} = 1.8 V サブシステム・クロック停止, フィードバック抵抗切断時		0.1	10	μA
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間	t _{WAIT}	RESETによる解除		2 ¹⁷ /f _x		ms
		割り込み要求による解除		注		ms

注 発振安定時間選択レジスタ(OSTS)のビット0-2(OSTS0-OSTS2)により, 2¹²/f_{xx}, 2¹⁴/f_{xx}-2¹⁷/f_{xx}の選択が可能です。

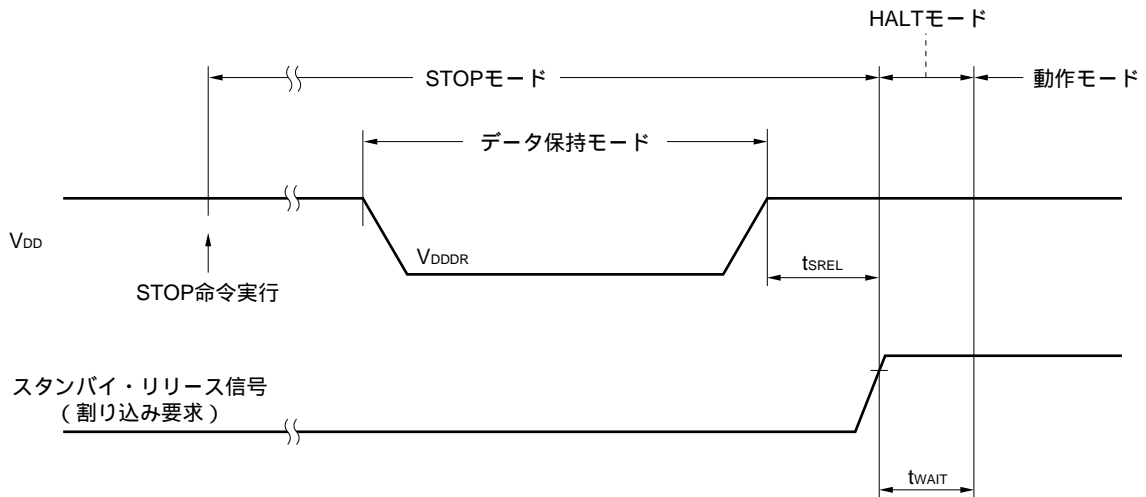
備考 f_{xx} : メイン・システム・クロック周波数 (f_xまたはf_x/2)

f_x : メイン・システム・クロック発振周波数

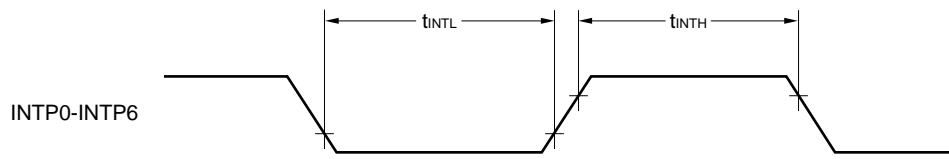
データ保持タイミング (RESETによるSTOPモード解除)



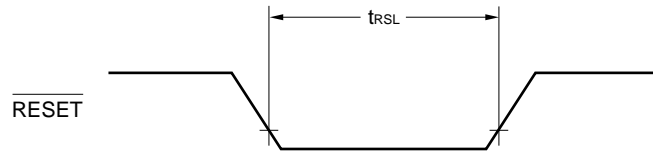
データ保持タイミング (スタンバイ・リリース信号: 割り込み要求信号によるSTOPモード解除)



割り込み要求入力タイミング



$\overline{\text{RESET}}$ 入力タイミング



PROMプログラミング特性

DC特性

(1) PROM書き込みモード ($T_A = 25 \pm 5$, $V_{DD} = 6.5 \pm 0.25$ V, $V_{PP} = 12.5 \pm 0.3$ V)

項 目	略号	略号注	条 件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH}	V_{IH}		$0.7 V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL}	V_{IL}		0		$0.3 V_{DD}$	V
ハイ・レベル出力電圧	V_{OH}	V_{OH}	$I_{OH} = -1$ mA	$V_{DD} - 1.0$			V
ロウ・レベル出力電圧	V_{OL}	V_{OL}	$I_{OL} = 1.6$ mA			0.4	V
入力リーク電流	I_{LI}	I_{LI}	0 $V_{IN} = V_{DD}$	- 10		+ 10	μA
V_{PP} 電源電圧	V_{PP}	V_{PP}		12.2	12.5	12.8	V
V_{DD} 電源電圧	V_{DD}	V_{CC}		6.25	6.5	6.75	V
V_{PP} 電源電流	I_{PP}	I_{PP}	$\overline{PGM} = V_{IL}$			50	mA
V_{DD} 電源電流	I_{DD}	I_{CC}				50	mA

(2) PROM読み出しモード ($T_A = 25 \pm 5$, $V_{DD} = 5.0 \pm 0.5$ V, $V_{PP} = V_{DD} \pm 0.6$ V)

項 目	略号	略号注	条 件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH}	V_{IH}		$0.7 V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL}	V_{IL}		0		$0.3 V_{DD}$	V
ハイ・レベル出力電圧	V_{OH1}	V_{OH1}	$I_{OH} = -1$ mA	$V_{DD} - 1.0$			V
	V_{OH2}	V_{OH2}	$I_{OH} = -100$ μA	$V_{DD} - 0.5$			V
ロウ・レベル出力電圧	V_{OL}	V_{OL}	$I_{OL} = 1.6$ mA			0.4	V
入力リーク電流	I_{LI}	I_{LI}	0 $V_{IN} = V_{DD}$	- 10		+ 10	μA
出力リーク電流	I_{LO}	I_{LO}	0 $V_{OUT} = V_{DD}$, $\overline{OE} = V_{IH}$	- 10		+ 10	μA
V_{PP} 電源電圧	V_{PP}	V_{PP}		$V_{DD} - 0.6$	V_{DD}	$V_{DD} + 0.6$	V
V_{DD} 電源電圧	V_{DD}	V_{CC}		4.5	5.0	5.5	V
V_{PP} 電源電流	I_{PP}	I_{PP}	$V_{PP} = V_{DD}$			100	μA
V_{DD} 電源電流	I_{DD}	I_{CCA1}	$\overline{CE} = V_{IL}$, $V_{IN} = V_{IH}$			50	mA

注 対応するμPD27C1001Aの略号です。

AC特性

(1) PROM書き込みモード

(a) ページ・プログラム・モード ($T_A = 25 \pm 5$, $V_{DD} = 6.5 \pm 0.25$ V, $V_{PP} = 12.5 \pm 0.3$ V)

項目	略号	略号注	条件	MIN.	TYP.	MAX.	単位
アドレス・セットアップ時間(対 \overline{OE})	tAS	tAS		2			μs
\overline{OE} セット時間	toES	toES		2			μs
\overline{CE} セットアップ時間(対 \overline{OE})	tCES	tCES		2			μs
入力データ・セットアップ時間(対 \overline{OE})	tDS	tDS		2			μs
アドレス・ホールド時間(対 \overline{OE})	tAH	tAH		2			μs
	tAHL	tAHL		2			μs
	tAHV	tAHV		0			μs
入力データ・ホールド時間(対 \overline{OE})	tDH	tDH		2			μs
\overline{OE} データ出力フロート遅延時間	tDF	tDF		0		250	ns
V_{PP} セットアップ時間(対 \overline{OE})	tVPS	tVPS		1.0			ms
V_{DD} セットアップ時間(対 \overline{OE})	tVDS	tVCS		1.0			ms
プログラム・パルス幅	tpW	tpW		0.095	0.1	0.105	ms
\overline{OE} 有効データ遅延時間	toE	toE				1	μs
データ・ラッチ中の \overline{OE} パルス幅	tLW	tLW		1			μs
PGMセット時間	tpGMS	tpGMS		2			μs
\overline{CE} ホールド時間	tCEH	tCEH		2			μs
\overline{OE} ホールド時間	toEH	toEH		2			μs

(b) バイト・プログラム・モード ($T_A = 25 \pm 5$, $V_{DD} = 6.5 \pm 0.25$ V, $V_{PP} = 12.5 \pm 0.3$ V)

項目	略号	略号注	条件	MIN.	TYP.	MAX.	単位
アドレス・セットアップ時間(対PGM)	tAS	tAS		2			μs
\overline{OE} セット時間	toES	toES		2			μs
\overline{CE} セットアップ時間(対PGM)	tCES	tCES		2			μs
入力データ・セットアップ時間(対PGM)	tDS	tDS		2			μs
アドレス・ホールド時間(対 \overline{OE})	tAH	tAH		2			μs
入力データ・ホールド時間(対PGM)	tDH	tDH		2			μs
\overline{OE} データ出力フロート遅延時間	tDF	tDF		0		250	ns
V_{PP} セットアップ時間(対PGM)	tVPS	tVPS		1.0			ms
V_{DD} セットアップ時間(対PGM)	tVDS	tVCS		1.0			ms
プログラム・パルス幅	tpW	tpW		0.095	0.1	0.105	ms
\overline{OE} 有効データ遅延時間	toE	toE				1	μs
\overline{OE} ホールド時間	toEH	-		2			μs

注 対応するμPD27C1001Aの略号です。

(2) PROM読み出しモード ($T_A = 25 \pm 5$, $V_{DD} = 5.0 \pm 0.5 V$, $V_{PP} = V_{DD} \pm 0.6 V$)

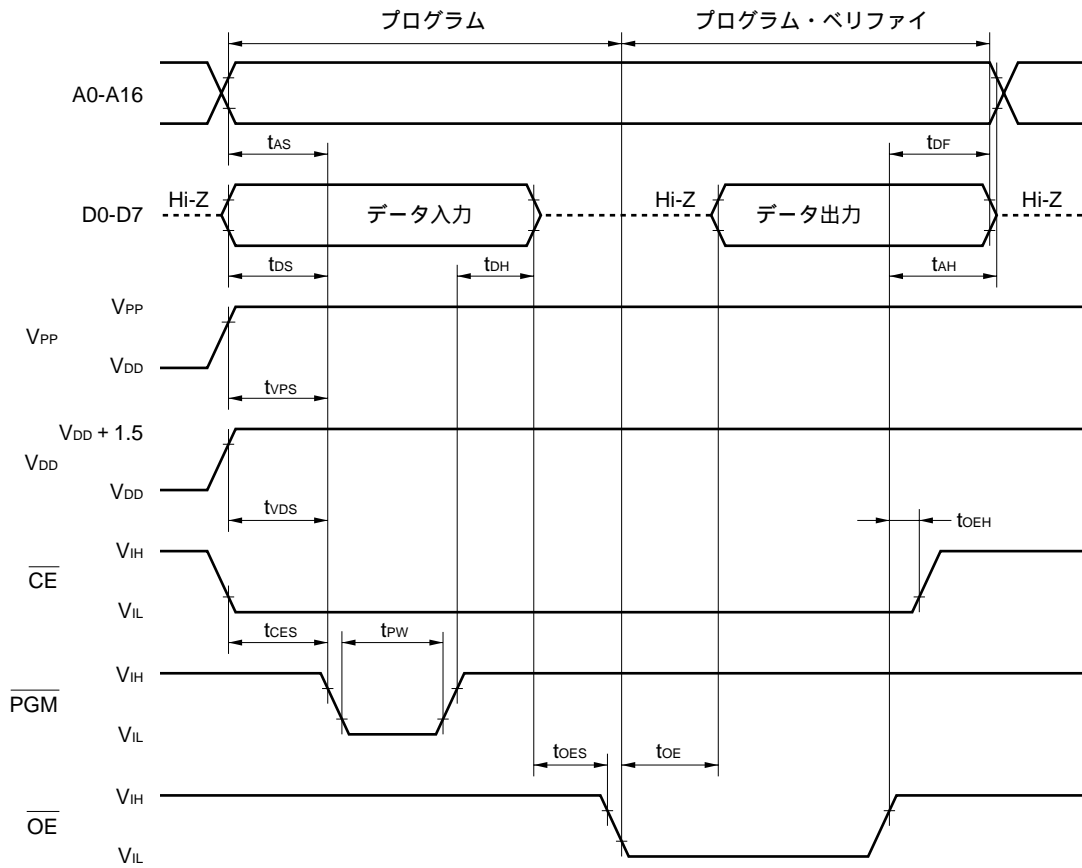
項 目	略号	略号注	条 件	MIN.	TYP.	MAX.	単位
アドレス データ出力遅延時間	t _{ACC}	t _{ACC}	$\overline{CE} = \overline{OE} = V_{IL}$			800	ns
\overline{CE} データ出力遅延時間	t _{CE}	t _{CE}	$\overline{OE} = V_{IL}$			800	ns
\overline{OE} データ出力遅延時間	t _{OE}	t _{OE}	$\overline{CE} = V_{IL}$			200	ns
\overline{OE} データ出力フロート遅延時間	t _{DF}	t _{DF}	$\overline{CE} = V_{IL}$	0		60	ns
アドレス データ・ホールド時間	t _{OH}	t _{OH}	$\overline{CE} = \overline{OE} = V_{IL}$	0			ns

注 対応する μPD27C1001Aの略号です。

(3) PROMプログラミング・モード設定 ($T_A = 25$, $V_{SS} = 0 V$)

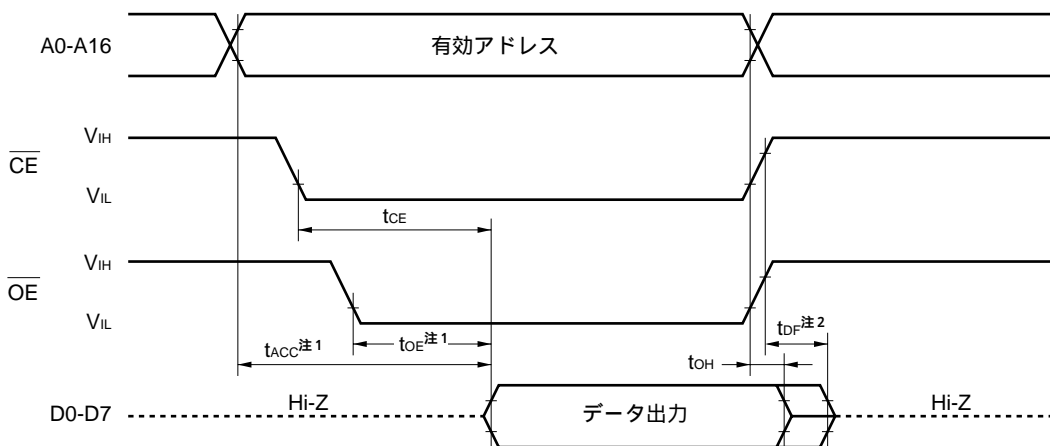
項 目	略号	条 件	MIN.	TYP.	MAX.	単位
PROMプログラミング・モード・セットアップ時間	t _{SMA}		10			μs

PROM書き込みモード・タイミング (バイト・プログラム・モード)



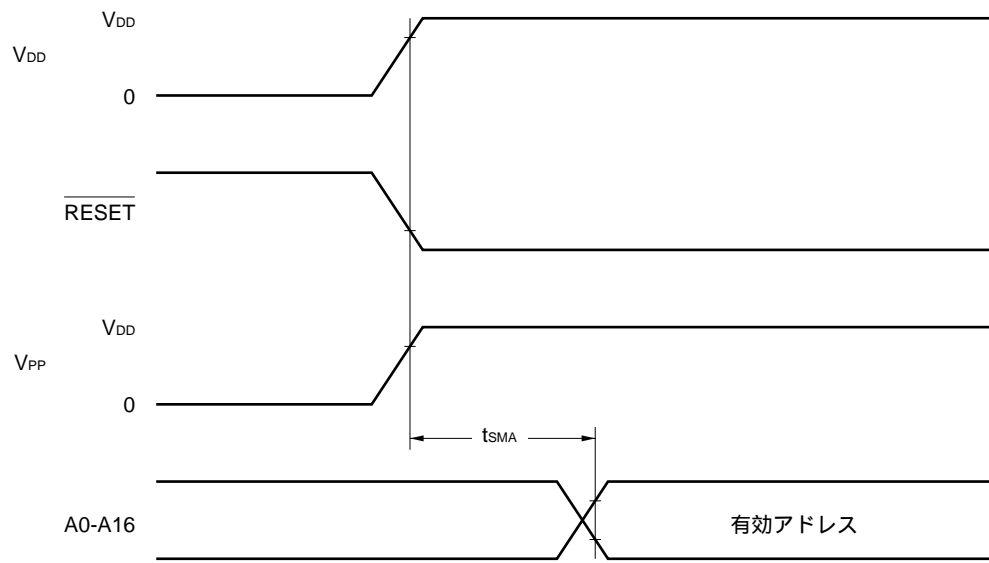
- 注意 1 . V_{DD} は V_{PP} より前に印加し、 V_{PP} のあとから切断するようにしてください。
- 2 . V_{PP} はオーバーシュートを含めて+13.5V以上にならないようにしてください。
- 3 . V_{PP} に+12.5Vが印加されている間に抜き差しした場合、信頼性上、悪影響を受ける可能性があります。

PROM読み出しモード・タイミング



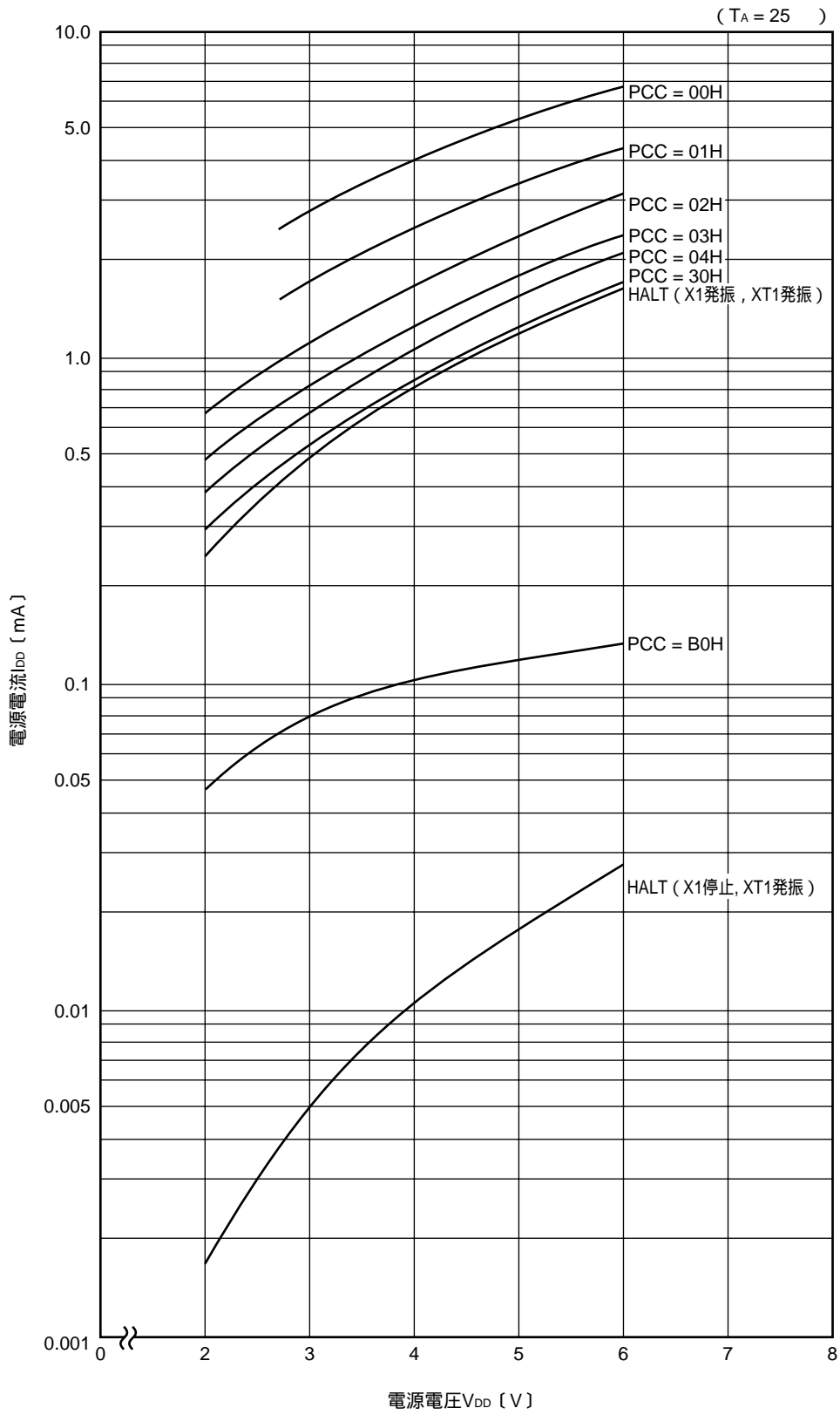
- 注 1 . t_{ACC} の範囲内でリードしたい場合、 \overline{OE} 入力の \overline{CE} の立ち下がりからの遅れ時間は最大 $t_{ACC} - t_{OE}$ としてください。
- 2 . t_{DF} は \overline{OE} 、 \overline{CE} のどちらか最初に V_{IH} となった状態からの時間です。

PROMプログラミング・モード設定タイミング

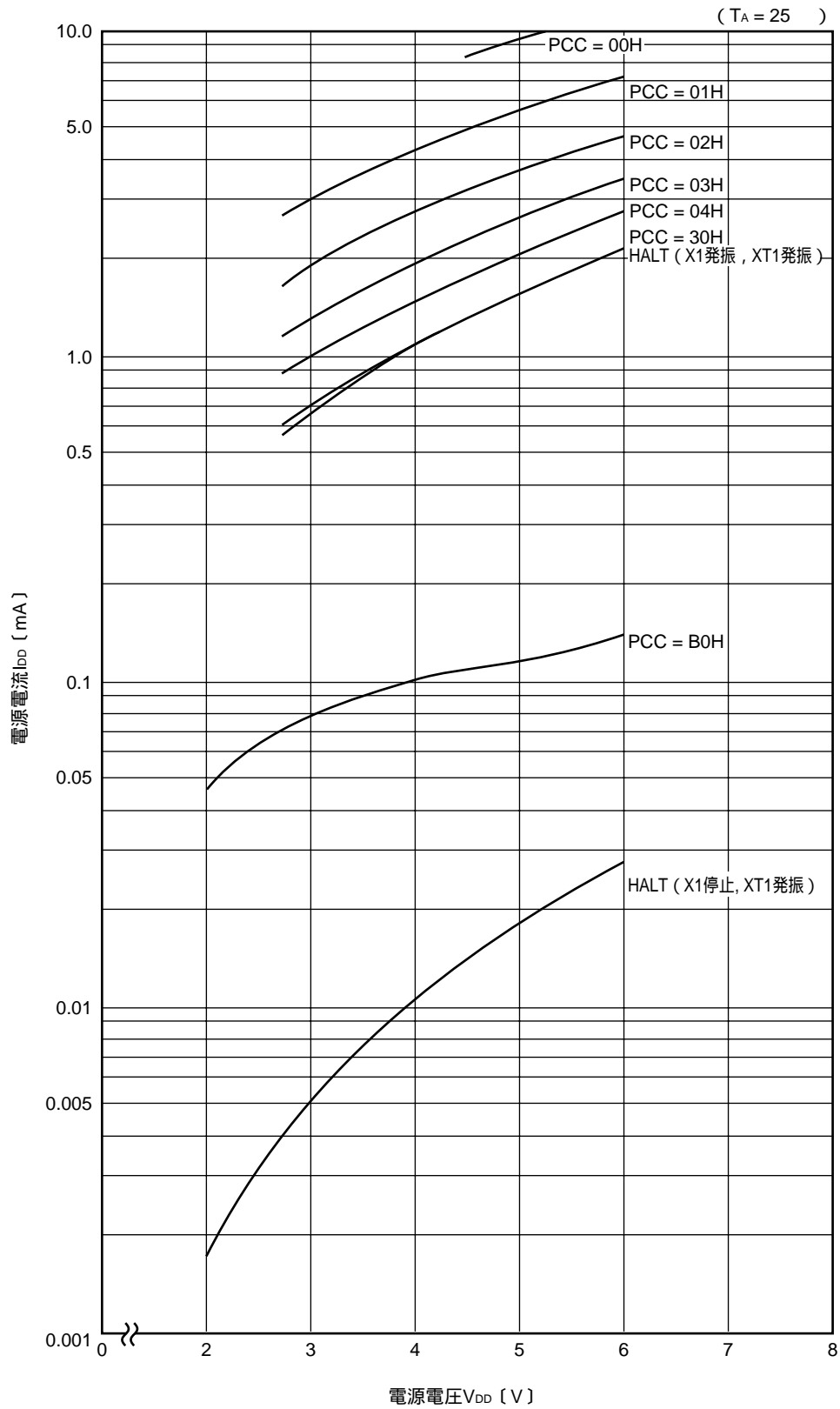


10. 特性曲線 (参考値)

I_{DD} vs V_{DD} ($f_x = 5.0$ MHz, $f_{xx} = 2.5$ MHz)

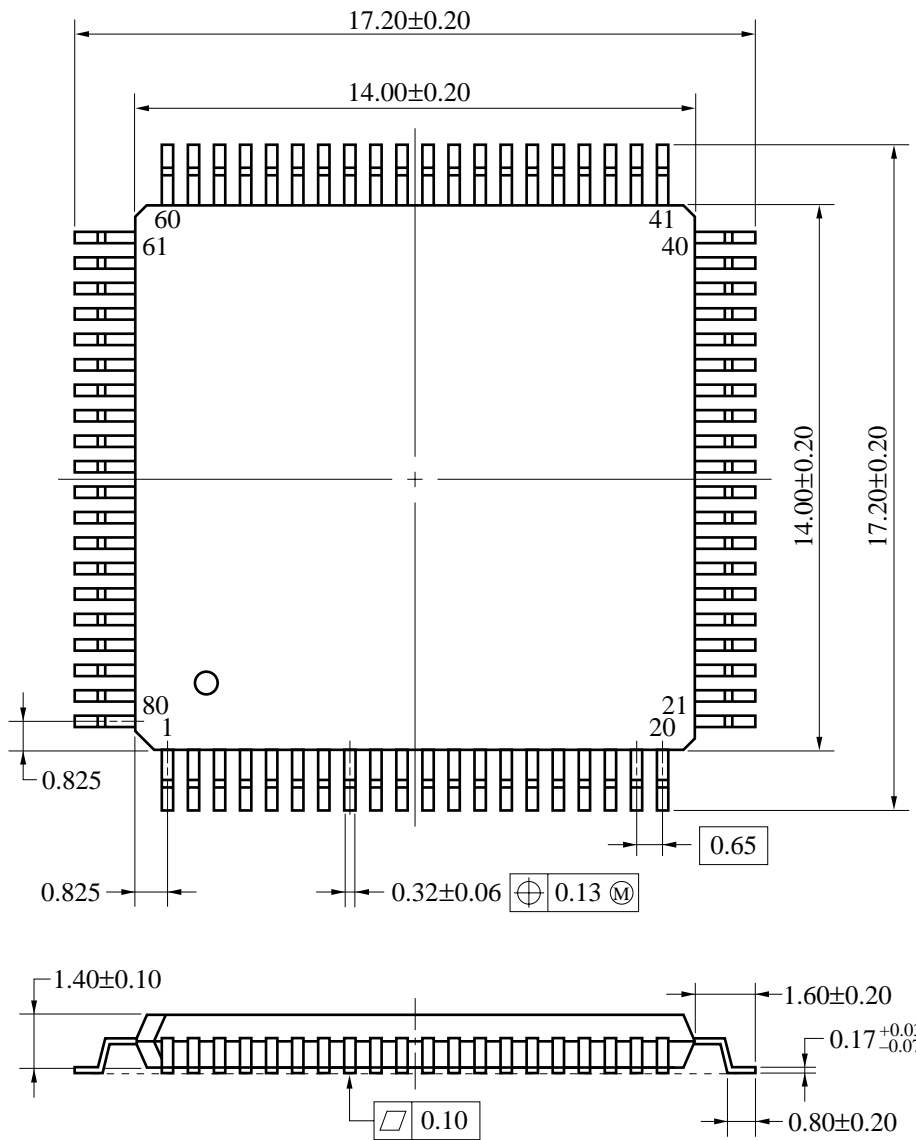


I_{DD} vs V_{DD} (f_x = f_{xx} = 5.0 MHz)

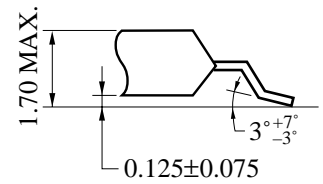


11. 外形図

80ピン・プラスチック QFP (14×14) 外形図 (単位: mm)



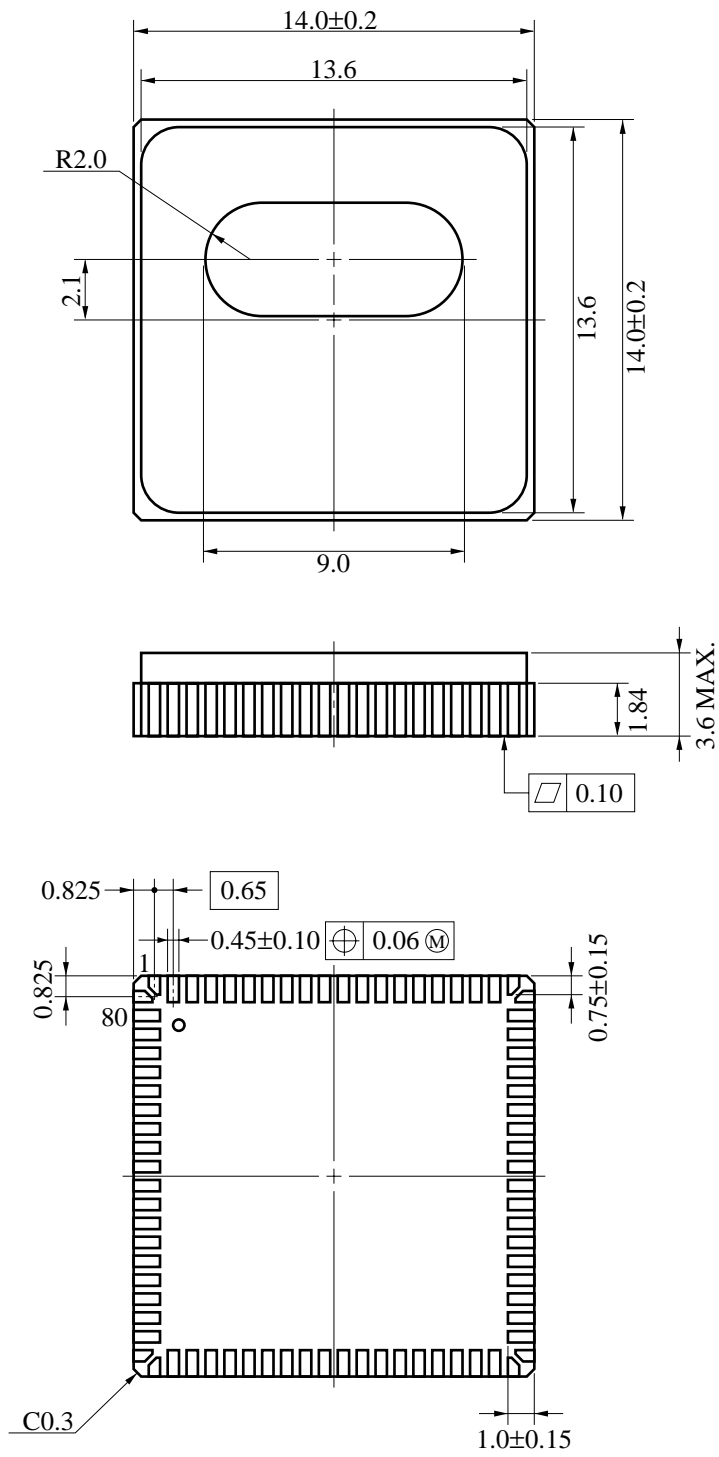
端子先端形状詳細図



P80GC-65-8BT

備考 ES品の外形や材質は、量産品と同じです。

80ピン・セラミック WQFN 外形図 (単位 : mm)



X80KW-65A-1

★ 12. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「**半導体デバイス実装マニュアル**」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表12 - 1 表面実装タイプの半田付け条件

μPD78P058YGC-8BT : 80ピン・プラスチックQFP (14 mm)

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内， 制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：2回以内， 制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	VP15-107-2
ウェーブ・ ソルダーリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回， 予備加熱温度：120℃MAX.（パッケージ表面温度）， 制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	WS60-107-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

★ 付録A . 開発ツール

μPD78P058Yを使用するシステム開発のために、次のような開発ツールを用意しています。

(5) 開発ツールを使用する際の注意も参照してください。

(1) 言語処理用ソフトウェア

RA78K/0	78K/0シリーズ共通のアセンブラ・パッケージ
CC78K/0	78K/0シリーズ共通のCコンパイラ・パッケージ
DF78054	μPD78054サブシリーズと共通のデバイス・ファイル
CC78K/0-L	78K/0シリーズ共通のCコンパイラ・ライブラリ・ソース・ファイル

(2) PROM書き込み用ツール

PG-1500	PROMプログラマ
PA-78P054GC PA-78P054KK-T	PG-1500に接続するプログラマ・アダプタ
PG-1500コントローラ	PG-1500用コントロール・プログラム

(3) デバッグ用ツール

・インサーキット・エミュレータ IE-78K0-NSを使用する場合

IE-78K0-NS ^注	78K/0シリーズ共通のインサーキット・エミュレータ
IE-70000-MC-PS-B	IE-78K0-NS用電源ユニット
IE-70000-98-IF-C ^注	ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときのインタフェース・アダプタ
IE-70000-CD-IF ^注	ホスト・マシンとしてPC-9800シリーズのノート型パソコンを使用するときのPCカードとインタフェース・ケーブル
IE-70000-PC-IF-C ^注	ホスト・マシンとしてIBM PC/AT TM およびその互換機を使用するときのインタフェース・アダプタ
IE-780308-NS-EM1 ^注	μPD780308サブシリーズと共通のエミュレーション・ボード
NP-80GC	80ピン・プラスチックQFP (GC-8BTタイプ)用エミュレーション・プローブ
EV-9200GC-80	80ピン・プラスチックQFP (GC-8BTタイプ)を実装できるように作られたターゲット・システムの基板とNP-80GCを接続するための変換ソケット
ID78K0-NS ^注	IE-78K0-NS用統合デバッグ
SM78K0	78K/0シリーズ共通のシステム・シミュレータ
DF78054	μPD78054サブシリーズと共通のデバイス・ファイル

注 開発中

・インサーキット・エミュレータ IE-78001-R-Aを使用する場合

IE-78001-R-A ^注	78K/0シリーズ共通のインサーキット・エミュレータ
IE-70000-98-IF-B IE-70000-98-IF-C ^注	ホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときのインタフェース・アダプタ
IE-70000-PC-IF-B IE-70000-PC-IF-C ^注	ホスト・マシンとしてIBM PC/ATおよびその互換機を使用するときのインタフェース・アダプタ
IE-78000-R-SV3	ホスト・マシンとしてEWSを使用するときのインタフェース・アダプタとケーブル
IE-780308-NS-EM1 ^注 IE-780308-R-EM	μPD780308サブシリーズと共通のエミュレーション・ボード
IE-78K0-R-EX1 ^注	IE-780308-NS-EM1をIE-78001-R-A上で使用するときに必要なエミュレーション・プローブ変換ボード
EP-78230GC-R	80ピン・プラスチックQFP（GC-8BTタイプ）用エミュレーション・プローブ
EV-9200GC-80	80ピン・プラスチックQFP（GC-8BTタイプ）を実装できるように作られたターゲット・システムの基板とEP-78230GC-Rを接続するための変換ソケット
ID78K0	IE-78001-R-A用統合ディバugga
SM78K0	78K/0シリーズ共通のシステム・シミュレータ
DF78054	μPD78054サブシリーズと共通のデバイス・ファイル

注 開発中

（４）リアルタイムOS

RX78K/0	78K/0シリーズ用リアルタイムOS
MX78K0	78K/0シリーズ用OS

(5) 開発ツールを使用する際の注意

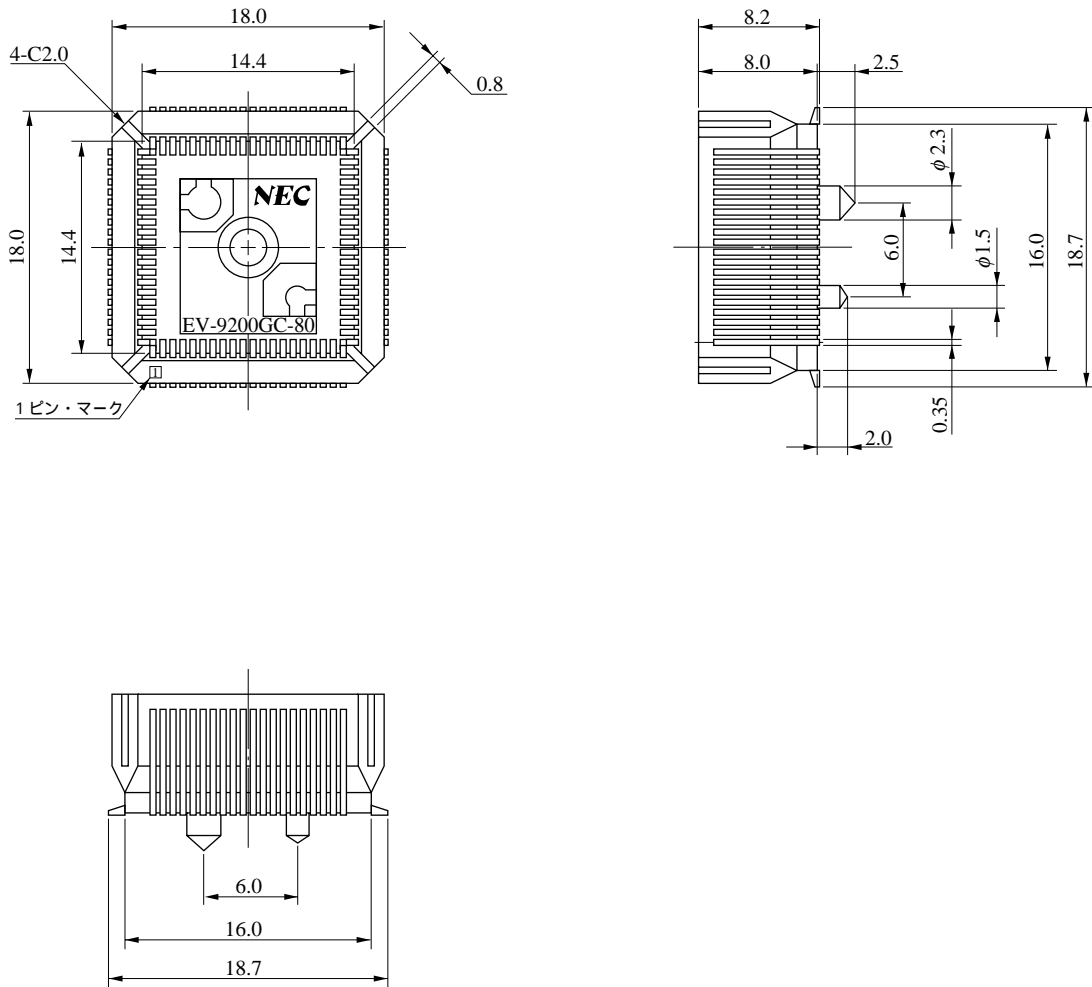
- ・ ID78K0-NS, ID78K0, SM78K0は , DF78054と組み合わせて使用します。
- ・ CC78K/0, RX78K/0は , RA78K/0およびDF78054と組み合わせて使用します。
- ・ NP-80GCは , 株式会社内藤電誠町田製作所 (TEL (044) 822-3813) の製品です。ご購入の際はNEC特約店にご相談ください。
- ・ 3rdパーティ製開発ツールについては , 78K/0シリーズ **セレクション・ガイド** (U11126J) を参照してください。
- ・ 各ソフトウェアに対応するホスト・マシンとOSは次のとおりです。

ホスト・マシン [OS] ソフトウェア	PC	EWS
		PC-9800シリーズ [Windows™] IBM PC/ATおよびその互換機 [日本語 / 英語Windows]
RA78K/0	注	
CC78K/0	注	
PG-1500コントローラ	注	-
ID78K0-NS		-
ID78K0		
SM78K0		-
RX78K/0	注	
MX78K0	注	

注 DOSベースのソフトウェアです。

変換ソケット (EV-9200GC-80) の外形図と基板取り付け推奨パターン

図A - 1 EV-9200GC-80外形図 (参考) (単位: mm)



EV-9200GC-80-G0

★ 付録B . 関連資料

デバイスの資料

資 料 名	資 料 番 号		
	和 文	英 文	
μ PD78052Y, 78053Y, 78054Y, 78055Y, 78056Y, 78058Y データ・シート	U10906J	U10906E	
μ PD78P058Y データ・シート	この資料	U10907E	
μ PD78054 , 78054Yサブシリーズ ユーザーズ・マニュアル	U11747J	IEU-1356	
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E	
78K/0シリーズ インストラクション・セット	U10904J	-	
78K/0シリーズ インストラクション活用表	U10903J	-	
μ PD78054Yサブシリーズ 特殊機能レジスタ活用表	U10087J	-	
78K/0シリーズ アプリケーション・ノート	基礎編 ()	U10182J	U10182E

開発ツールの資料 (ユーザーズ・マニュアル) (1/2)

資 料 名	資 料 番 号		
	和 文	英 文	
RA78K0 アセンブラ・パッケージ	操作編	U11802J	U11802E
	アセンブリ言語編	U11801J	U11801E
	構造化アセンブリ言語編	U11789J	U11789E
RA78Kシリーズ 構造化アセンブラ・プリプロセッサ	U12323J	EEU-1402	
CC78K0 Cコンパイラ	操作編	U11517J	U11517E
	言語編	U11518J	U11518E
CC78K/0 Cコンパイラ アプリケーション・ノート	プログラミング・ノウハウ編	EEA-618	EEA-1208
CC78Kシリーズ ライブラリ・ソース・ファイル	U12322J	U12322E	
PG-1500 PROMプログラマ	U11940J	U11940E	
PG-1500コントローラ PC-9800シリーズ (MS-DOS™) ベース	EEU-704	EEU-1291	
PG-1500コントローラ IBM PCシリーズ (PC DOS™) ベース	EEU-5008	U10540E	
IE-78K0-NS	作成予定	作成予定	
IE-78001-R-A	作成予定	作成予定	
IE-780308-NS-EM1	作成予定	作成予定	
IE-780308-R-EM	U11362J	U11362E	
EP-78230	EEU-985	EEU-1515	

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

開発ツールの資料(ユーザズ・マニュアル)(2/2)

資 料 名		資 料 番 号	
		和 文	英 文
SM78K0 システム・シミュレータ Windowsベース	レファレンス編	U10181J	U10181E
SM78Kシリーズ システム・シミュレータ	外部部品ユーザオープン インタフェース仕様編	U10092J	U10092E
ID78K0-NS 統合ディバッガ	レファレンス編	U12900J	作成予定
ID78K0 総合ディバッガ EWSベース	レファレンス編	U11151J	-
ID78K0 総合ディバッガ PCベース	レファレンス編	U11539J	U11539E
ID78K0 総合ディバッガ Windowsベース	ガイド編	U11649J	U11649E

組み込み用ソフトウェアの資料(ユーザズ・マニュアル)

資 料 名		資 料 番 号	
		和 文	英 文
78K/0シリーズ リアルタイムOS	基礎編	U11537J	U11537E
	インストール編	U11536J	U11536E
78K/0シリーズ用OS MX78K0	基礎編	U12257J	U12257E

その他の資料

資 料 名		資 料 番 号	
		和 文	英 文
IC PACKAGE MANUAL		C10943X	
半導体デバイス 実装マニュアル		C10535J	C10535E
NEC半導体デバイスの品質水準		C11531J	C11531E
NEC半導体デバイスの信頼性品質管理		C10983J	C10983E
静電気放電(ESD)破壊対策ガイド		C11892J	C11892E
半導体品質/信頼性ハンドブック		C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカー編		U11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

{ × ㉔ }

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

注意：本製品はI²Cバス・インタフェース回路を内蔵しています。

日本電気株式会社のI²Cバス対応部品をご購入いただくことにより、これらの部品をI²Cシステムに使用する実施権がフィリップス社I²C特許に基づき許諾されることとなります。ただし、これらのI²Cシステムはフィリップス社によって設定されたI²C標準規格に合致しているものとします。

Purchase of NEC I²C components conveys a license under the Philips I²C Patent Rights to use these components in an I²C system, provided that the system conforms to the I²C Standard Specification as defined by Philips.

FIPは、日本電気株式会社の登録商標です。

IEBus, QTOPは、日本電気株式会社の商標です。

MS-DOSおよびWindowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/AT, PC DOSは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD78P058YKK-T

ユーザ判定品 : μ PD78P058YGC-8BT

文書による当社の承諾なしに本資料の転載複製を禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3454-1111 (大代表)
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2170 名古屋 (052)222-2190
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 札幌 (011)251-5599	太田支店 太田 (0276)46-4011	福井支店 福井 (0776)22-1866
東北支社 仙台 (022)267-8740	宇都宮支店 宇都宮 (028)621-2281	富山支店 富山 (0764)31-8461
岩手支店 盛岡 (019)651-4344	小山支店 小山 (0285)24-5011	三重支店 津 (0592)25-7341
郡山支店 郡山 (0249)23-5511	長野支社 松本 (0263)35-1662	京都支社 京都 (075)344-7824
いわき支店 いわき (0246)21-5511	甲府支店 甲府 (0552)24-4141	神戸支社 神戸 (078)333-3854
長岡支店 長岡 (0258)36-2155	埼玉支社 大宮 (048)649-1415	中国支社 広島 (082)242-5504
土浦支店 土浦 (0298)23-6161	立川支社 立川 (0425)26-5981	鳥取支店 鳥取 (0857)27-5311
水戸支店 水戸 (029)226-1717	千葉支社 千葉 (043)238-8116	岡山支店 岡山 (086)225-4455
神奈川支社 横浜 (045)682-4524	静岡支社 静岡 (054)254-4794	松山支店 松山 (089)945-4149
群馬支店 高崎 (0273)26-1255	北陸支社 金沢 (076)232-7303	九州支社 福岡 (092)261-2806

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7923	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3383	