

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



8ビット・シングルチップ・マイクロコンピュータ

μ PD78P018Fは、78K/0シリーズの中の μ PD78018Fサブシリーズの製品で、 μ PD78018Fの内蔵マスクROMを、ワン・タイムPROMまたはEPROMに置き換えたものです。

ユーザによるプログラムの書き込みが可能のため、システム開発時の評価用や多品種少量生産、早期立ち上げに最適です。

注意 μ PD78P018FDW, 78P018FKK-Sは、お客様の装置の量産製品に使用されることを意図した信頼性を保持しておりません。実験または試作時の機能評価用のみご使用ください。

詳しい機能説明などは次のユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD78018F, 78018FYサブシリーズ ユーザズ・マニュアル : U10659J

78K/0シリーズ ユーザズ・マニュアル 命令編 : U12326J

特 徴

マスクROM製品とピン・コンパチブル (V_{PP} 端子を除く)

内部PROM : 60 Kバイト^{注1}

- ・ μ PD78P018FDW, 78P018FKK-S : 再プログラム可能 (システム評価に最適)
- ・ μ PD78P018FCW, 78P018FGC-AB8, 78P018FGK-8A8 : 一度だけプログラム可能 (少量生産に最適)

内部高速RAM : 1024バイト^{注1}

内部拡張RAM : 1024バイト^{注2}

内部バッファRAM : 32バイト

マスクROM製品と同じ電源電圧で動作可能 : $V_{DD} = 1.8 \sim 5.5$ V (A/Dコンバータを除く)

QTOPTMマイコン対応

注1 . メモリ・サイズ切り替えレジスタ (IMS) により、内部PROM, 内部高速RAM容量の変更可能。

注2 . 内部拡張RAMサイズ切り替えレジスタ (IXS) により、内部拡張RAM容量の変更可能。

備考1 . QTOPマイコンとは、NECの書き込みサービス (書き込みから捺印、スクリーニング、検査) によりトータル・サポートされたワン・タイムPROM内蔵マイコンの総称です。

備考2 . PROM製品とマスクROM製品の違いについては、1. μ PD78P018FとマスクROM製品の違いを参照してください。

本資料では、ワン・タイムPROM製品とEPROM製品の共通する部分をPROMという表記で代表しています。

本資料の内容は、後日変更する場合があります。

オーダ情報

オーダ名称	パッケージ	内部ROM
μ PD78P018FCW	64ピン・プラスチック・シュリンクDIP (750 mil)	ワン・タイムPROM
μ PD78P018FDW	64ピン・セラミック・シュリンクDIP (窓付き) (750 mil)	EPROM
μ PD78P018FGC-AB8	64ピン・プラスチックQFP (14 mm)	ワン・タイムPROM
μ PD78P018FGK-8A8	64ピン・プラスチックLQFP (12 mm)	"
μ PD78P018FKK-S	64ピン・セラミックWQFN (14 mm)	EPROM

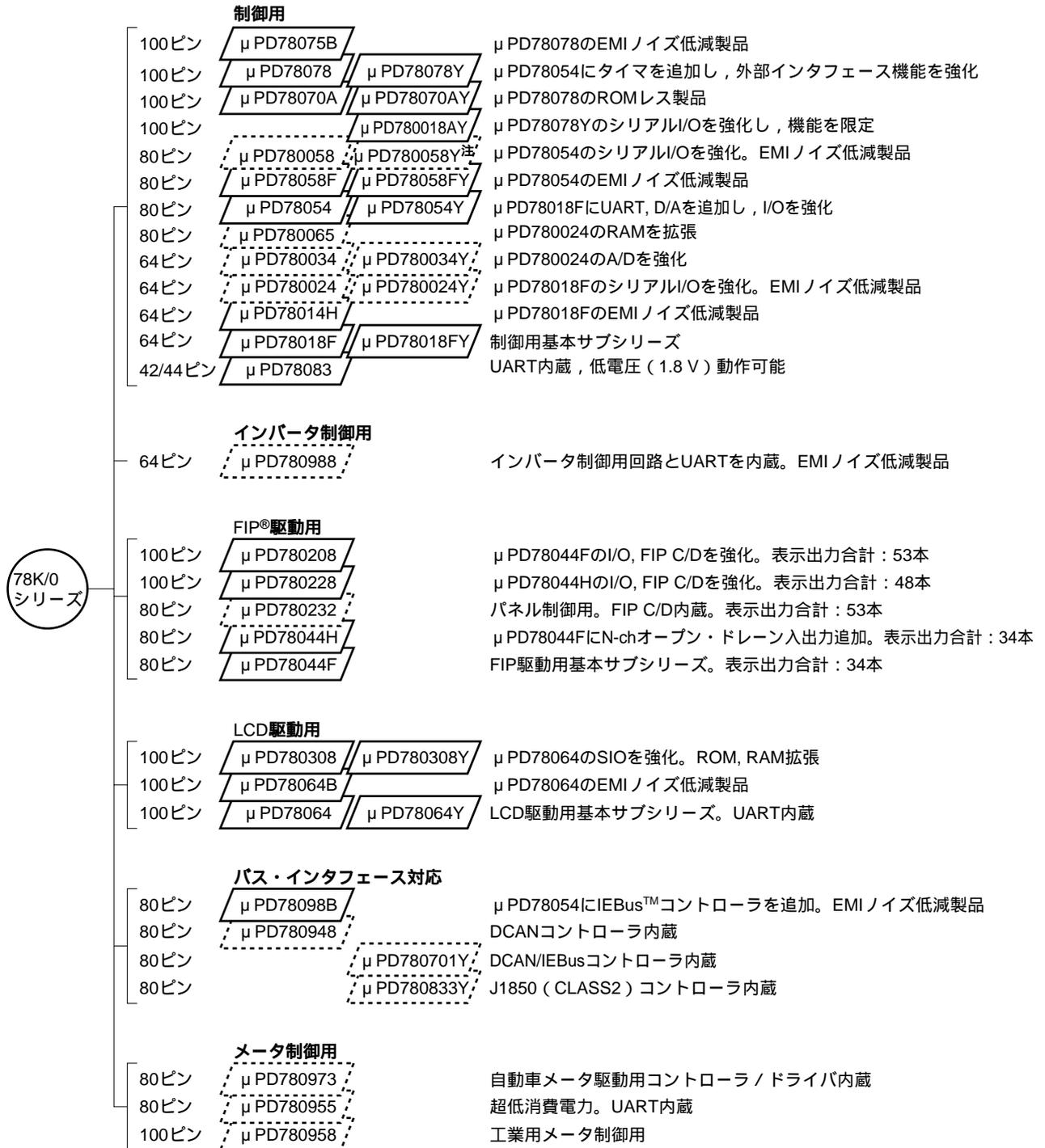
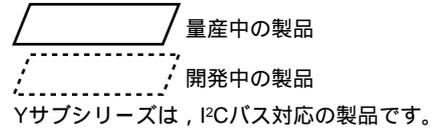
品質水準

オーダ名称	パッケージ	品質水準
μ PD78P018FCW	64ピン・プラスチック・シュリンクDIP (750 mil)	標準(一般電子機器用)
μ PD78P018FDW	64ピン・セラミック・シュリンクDIP (窓付き) (750 mil)	適用外(機能評価用)
μ PD78P018FGC-AB8	64ピン・プラスチックQFP (14 mm)	標準(一般電子機器用)
μ PD78P018FGK-8A8	64ピン・プラスチックLQFP (12 mm)	"
μ PD78P018FKK-S	64ピン・セラミックWQFN (14 mm)	適用外(機能評価用)

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」
(資料番号 C11531J)をご覧ください。

★ 78K/0シリーズの展開

78K/0シリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



注 計画中

各サブシリーズ間の主な機能の違いを次に示します。

サブシリーズ名		機能	ROM容量	タイマ				8-bit	10-bit	8-bit	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張
				8-bit	16-bit	時計	WDT	A/D	A/D	D/A				
制御用	μ PD78075B	32 K-40 K	4ch	1ch	1ch	1ch	8ch	-	2ch	3ch(UART:1ch)	88本	1.8 V		
	μ PD78078	48 K-60 K									61本	2.7 V		
	μ PD78070A	-												
	μ PD780058	24 K-60 K	2ch	-	-	-	-	-	-	3ch(時分割UART:1ch)	68本	1.8 V		
	μ PD78058F	48 K-60 K								3ch(UART:1ch)	69本	2.7 V		
	μ PD78054	16 K-60 K									2.0 V			
	μ PD780065	40 K-48 K									2.7 V			
	μ PD780034	8 K-32 K								-	8ch	51本		1.8 V
	μ PD780024									8ch	-	53本		
	μ PD78014H				2ch	53本								
	μ PD78018F	8 K-60 K												
	μ PD78083	8 K-16 K	-	-			1ch(UART:1ch)	33本	-					
インバータ 制御用	μ PD780988	16 K-60 K	3ch	注	-	1ch	-	8ch	-	3ch(UART:2ch)	47本	4.0 V		
FIP 駆動用	μ PD780208	32 K-60 K	2ch	1ch	1ch	1ch	8ch	-	-	2ch	74本	2.7 V	-	
	μ PD780228	48 K-60 K	3ch	-	-						1ch	72本		4.5 V
	μ PD780232	16 K-24 K				4ch	2ch	40本						
	μ PD78044H	32 K-48 K	2ch	1ch	1ch	8ch	1ch	68本	2.7 V					
	μ PD78044F	16 K-40 K					2ch							
LCD 駆動用	μ PD780308	48 K-60 K	2ch	1ch	1ch	1ch	8ch	-	-	3ch(時分割UART:1ch)	57本	2.0 V	-	
	μ PD78064B	32 K								2ch(UART:1ch)				
	μ PD78064	16 K-32 K												
バス・イン タフェース 対応	μ PD78098B	40 K-60 K	2ch	1ch	1ch	1ch	8ch	-	2ch	3ch(UART:1ch)	69本	2.7 V	-	
	μ PD780948	60 K		2ch					-		79本	4.0 V		
メータ 制御用	μ PD780973	24 K-32 K	3ch	1ch	1ch	1ch	5ch	-	-	2ch(UART:1ch)	56本	4.5 V	-	
	μ PD780955	40 K	6ch		-		1ch			2ch(UART:2ch)	50本	2.2 V		
	μ PD780958	48 K-60 K	4ch	2ch						-	2ch(UART:1ch)	69本		

注 16ビット・タイマ：2チャンネル

10ビット・タイマ：1チャンネル

機能概要

項目		機能
内部メモリ	PROM	60 Kバイト ^{注1}
	高速RAM	1024バイト ^{注1}
	拡張RAM	1024バイト ^{注2}
	バッファRAM	32バイト
メモリ空間		64 Kバイト
汎用レジスタ		8ビット×32レジスタ(8ビット×8レジスタ×4バンク)
最小命令実行時間		最小命令実行時間の可変機能内蔵
	メイン・システム・クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs(10.0 MHz動作時)
	サブシステム・クロック選択時	122 μs(32.768 kHz動作時)
命令セット		<ul style="list-style-type: none"> ・16ビット演算 ・乗除算(8ビット×8ビット, 16ビット÷8ビット) ・ビット操作(セット, リセット, テスト, プール演算) ・BCD補正など
I/Oポート		合計 : 53本 <ul style="list-style-type: none"> ・CMOS入力 : 2本 ・CMOS入出力 : 47本 ・N-chオープン・ドレイン入出力(15 V耐圧) : 4本
A/Dコンバータ		<ul style="list-style-type: none"> ・8ビット分解能×8チャンネル ・広い電源電圧範囲で動作可能: V_{DD} = 2.2 ~ 5.5 V
シリアル・インタフェース		<ul style="list-style-type: none"> ・3線式シリアルI/O/SBI/2線式シリアルI/Oモード選択可能 : 1チャンネル ・3線式シリアルI/Oモード(最大32バイト自動送受信機能内蔵) : 1チャンネル
タイマ		<ul style="list-style-type: none"> ・16ビット・タイマ/イベント・カウンタ : 1チャンネル ・8ビット・タイマ/イベント・カウンタ : 2チャンネル ・時計用タイマ : 1チャンネル ・ウォッチドッグ・タイマ : 1チャンネル
タイマ出力		3本(14ビットPWM出力可能1本)
クロック出力		39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz (メイン・システム・クロック: 10.0 MHz動作時) 32.768 kHz(サブシステム・クロック: 32.768 kHz動作時)
ブザー出力		2.4 kHz, 4.9 kHz, 9.8 kHz(メイン・システム・クロック: 10.0 MHz動作時)
ベクタ	マスカブル	内部: 8, 外部: 4
	割り込み	内部: 1
要因	ソフトウェア	1
テスト入力		内部: 1本, 外部: 1本
電源電圧		V _{DD} = 1.8 ~ 5.5 V
動作周囲温度		T _A = -40 ~ +85
パッケージ		<ul style="list-style-type: none"> ・64ピン・プラスチック・シュリンクDIP(750 mil) ・64ピン・セラミック・シュリンクDIP(窓付き)(750 mil) ・64ピン・プラスチックQFP(14 mm) ・64ピン・プラスチックLQFP(12 mm) ・64ピン・セラミックWQFN(14 mm)

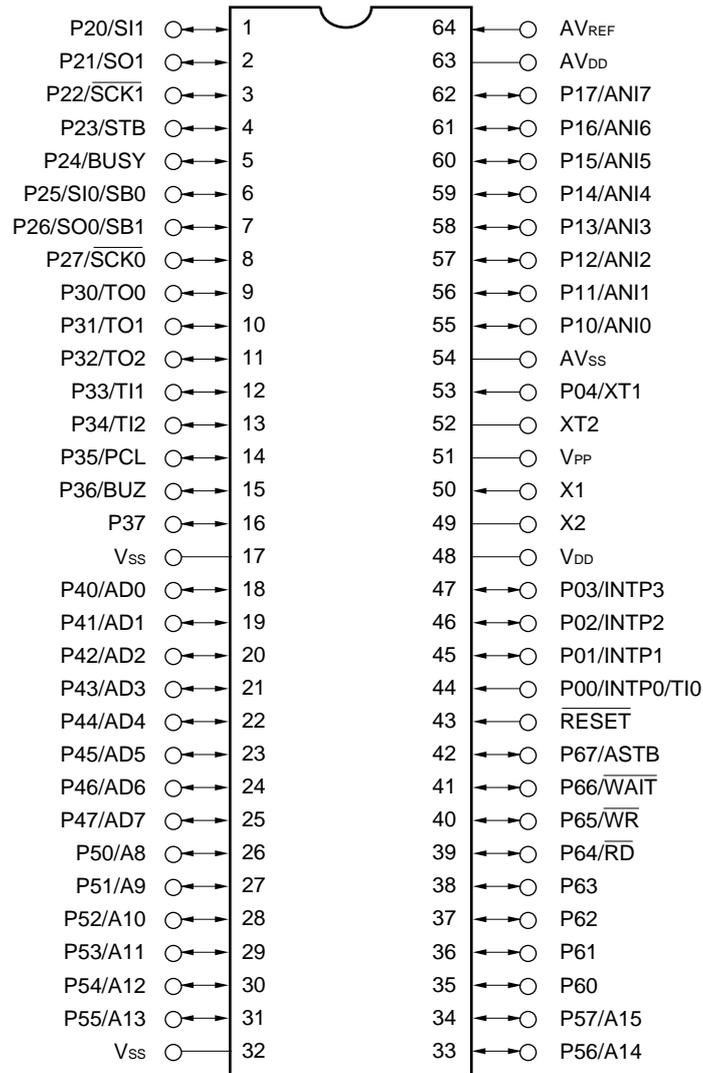
注1. メモリ・サイズ切り替えレジスタ(IMS)により, 内部PROM, 内部高速RAM容量の変更可能。

2. 内部拡張RAMサイズ切り替えレジスタ(IXS)により, 内部拡張RAM容量の変更可能。

端子接続図 (Top View)

(1) 通常動作モード

- ・64ピン・プラスチック・シュリンクDIP (750 mil)
μPD78P018FCW
- ・64ピン・セラミック・シュリンクDIP (窓付き) (750 mil)
μPD78P018FDW

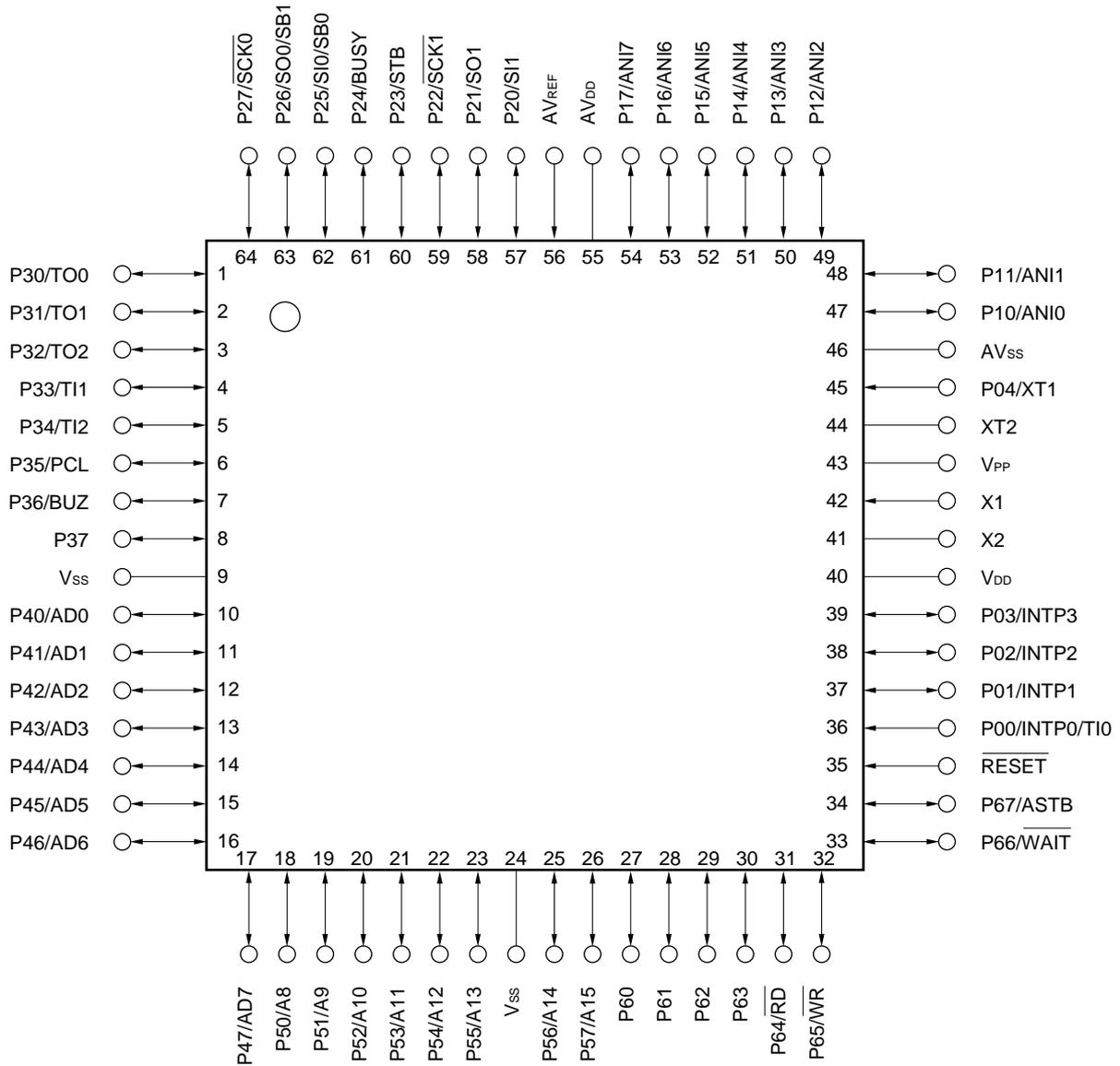


注意 1 . V_{PP}端子はV_{SS}に直接接続してください。

2 . AV_{DD}端子はV_{DD}に接続してください。

3 . AV_{SS}端子はV_{SS}に接続してください。

- ・64ピン・プラスチックQFP (14 mm)
μPD78P018FGC-AB8
- ・64ピン・プラスチックLQFP (12 mm)
μPD78P018FGK-8A8
- ・64ピン・セラミックWQFN (14 mm)
μPD78P018FKK-S

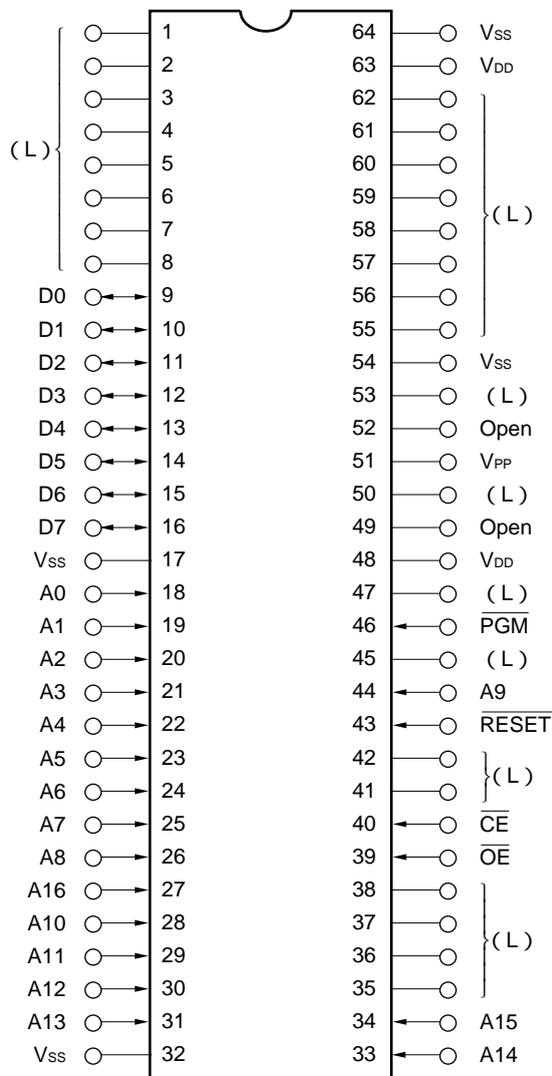


- 注意 1 .** V_{PP}端子はV_{SS}に直接接続してください。
- 2 .** AV_{DD}端子はV_{DD}に接続してください。
- 3 .** AV_{SS}端子はV_{SS}に接続してください。

A8-A15	: Address Bus	PCL	: Programmable Clock
AD0-AD7	: Address/Data Bus	$\overline{\text{RESET}}$: Reset
ANI0-ANI7	: Analog Input	$\overline{\text{RD}}$: Read Strobe
ASTB	: Address Strobe	SB0, SB1	: Serial Bus
AV _{DD}	: Analog Power Supply	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$: Serial Clock
AV _{REF}	: Analog Reference Voltage	SI0, SI1	: Serial Input
AV _{SS}	: Analog Ground	SO0, SO1	: Serial Output
BUSY	: Busy	STB	: Strobe
BUZ	: Buzzer Clock	TI0-TI2	: Timer Input
INTP0-INTP3	: Interrupt from Peripherals	TO0-TO2	: Timer Output
P00-P04	: Port0	V _{DD}	: Power Supply
P10-P17	: Port1	V _{PP}	: Programming Power-Supply
P20-P27	: Port2	V _{SS}	: Ground
P30-P37	: Port3	$\overline{\text{WAIT}}$: Wait
P40-P47	: Port4	$\overline{\text{WR}}$: Write Strobe
P50-P57	: Port5	X1, X2	: Crystal (Main System Clock)
P60-P67	: Port6	XT1, XT2	: Crystal (Subsystem Clock)

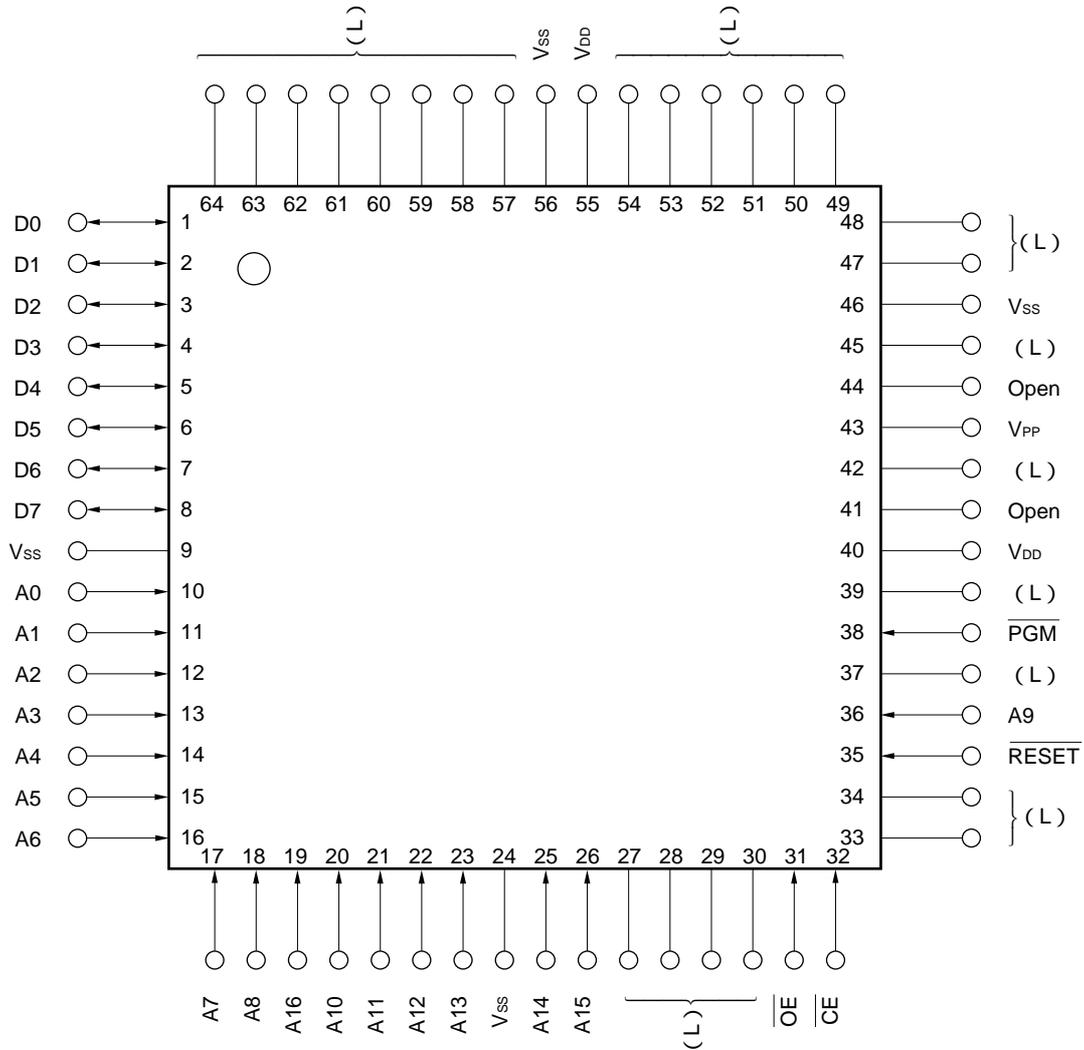
(2) PROMプログラミング・モード

- ・64ピン・プラスチック・シュリンクDIP (750 mil)
μPD78P018FCW
- ・64ピン・セラミック・シュリンクDIP (窓付き) (750 mil)
μPD78P018FDW



- 注意 1 .(L) : 個別にプルダウン抵抗を介して、V_{SS}に接続してください。
- 2 . V_{SS} : グランドに接続してください。
 - 3 . RESET : ロウ・レベルにしてください。
 - 4 . Open : 何も接続しないでください。

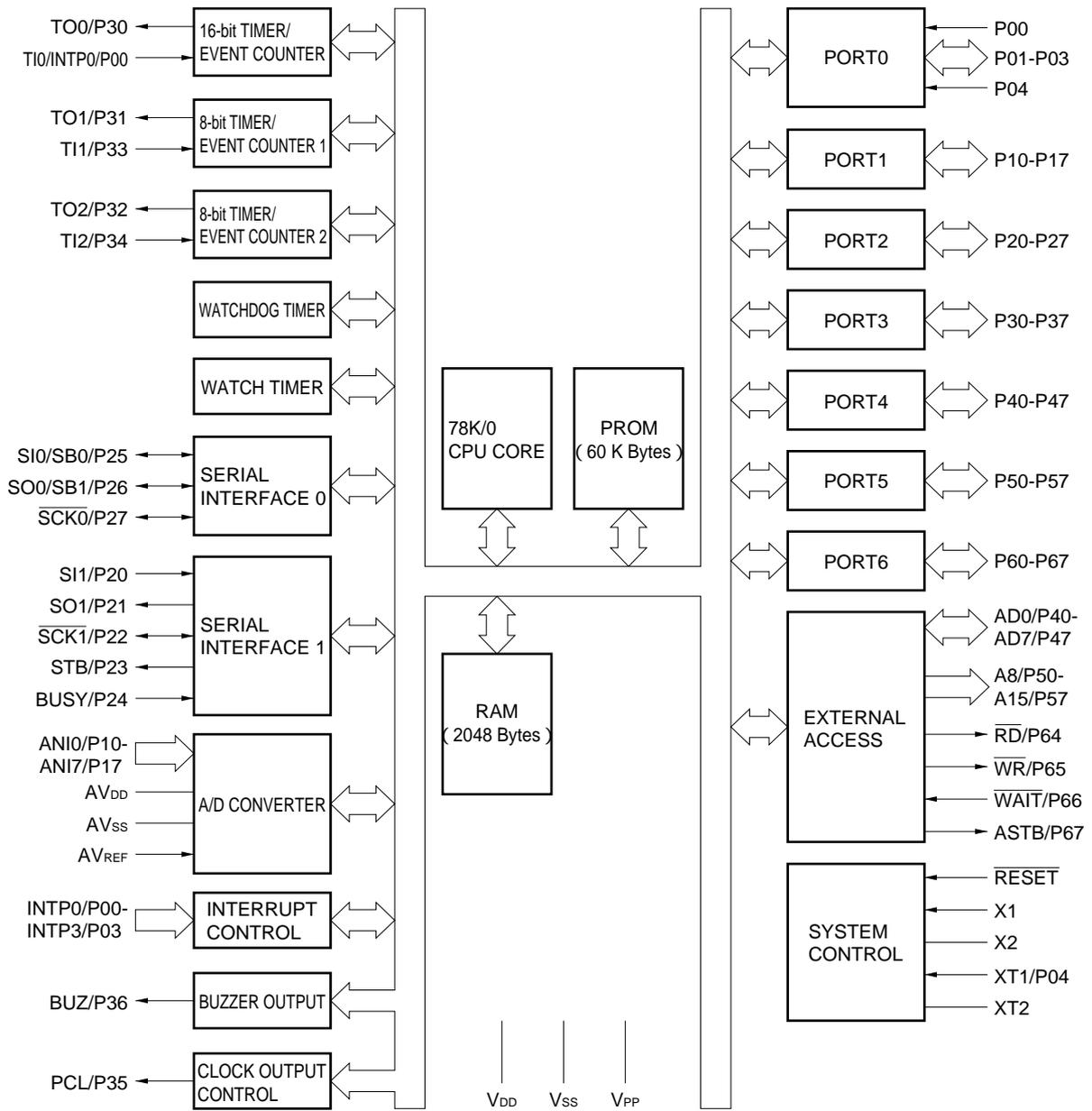
- 64ピン・プラスチックQFP (14 mm)
μPD78P018FGC-AB8
- 64ピン・プラスチックLQFP (12 mm)
μPD78P018FGK-8A8
- 64ピン・セラミックWQFN (14 mm)
μPD78P018FKK-S



- 注意 1 .(L) : 個別にプルダウン抵抗を介して, V_{SS}に接続してください。
- 2 . V_{SS} : グランドに接続してください。
- 3 . $\overline{\text{RESET}}$: ロウ・レベルにしてください。
- 4 . Open : 何も接続しないでください。

A0-A16	: Address Bus	$\overline{\text{RESET}}$: Reset
$\overline{\text{CE}}$: Chip Enable	V _{DD}	: Power Supply
D0-D7	: Data Bus	V _{PP}	: Programming Power Supply
$\overline{\text{OE}}$: Output Enable	V _{SS}	: Ground
$\overline{\text{PGM}}$: Program		

ブロック図



目 次

1 . μPD78P018FとマスクROM製品の違い ...	13
2 . 端子機能一覧 ...	14
2.1 通常動作モード時の端子 ...	14
2.2 PROMプログラミング・モード時の端子 ...	16
2.3 端子の入出力回路と未使用端子の処理 ...	17
3 . メモリ・サイズ切り替えレジスタ (IMS) ...	19
4 . 内部拡張RAMサイズ切り替えレジスタ (IXS) ...	20
5 . PROMプログラミング ...	21
5.1 動作モード ...	21
5.2 PROM書き込みの手順 ...	23
5.3 PROM読み出しの手順 ...	27
6 . 消去方法 (μPD78P018FDW, 78P018FKK-S) ...	28
7 . 消去用窓のシールについて (μPD78P018FDW, 78P018FKK-S) ...	28
8 . ワン・タイムPROM製品のスクリーニングについて ...	28
9 . 電気的特性 ...	29
★ 10 . 特性曲線 (参考値) ...	58
11 . 外形図 ...	59
12 . 半田付け推奨条件 ...	64
付録A . 開発ツール ...	66
付録B . 関連資料 ...	72

1. μPD78P018FとマスクROM製品の違い

μPD78P018Fは、一度だけ書き込み可能なワン・タイムPROMまたはプログラムの書き込み、消去、再書き込み可能なEPROMを内蔵した製品です。

メモリ・サイズ切り替えレジスタ（IMS）、内部拡張RAMサイズ切り替えレジスタ（IXS）の設定により、PROM仕様、P60-P63端子のマスク・オプション以外の機能をマスクROM製品（μPD78011F, 78012F, 78013F, 78014F, 78015F, 78016F, 78018F）と同一にすることができます。

表1-1にμPD78P018FとマスクROM製品の違いを示します。

表1-1 μPD78P018FとマスクROM製品の違い

項目	μPD78P018F	マスクROM製品
内部ROM構造	ワン・タイムPROMまたはEPROM	マスクROM
内部ROM容量	60 Kバイト	μPD78011F: 8 Kバイト μPD78012F: 16 Kバイト μPD78013F: 24 Kバイト μPD78014F: 32 Kバイト μPD78015F: 40 Kバイト μPD78016F: 48 Kバイト μPD78018F: 60 Kバイト
内部高速RAM容量	1024バイト	μPD78011F: 512バイト μPD78012F: 512バイト μPD78013F: 1024バイト μPD78014F: 1024バイト μPD78015F: 1024バイト μPD78016F: 1024バイト μPD78018F: 1024バイト
内部拡張RAM容量	1024バイト	μPD78011F: なし μPD78012F: なし μPD78013F: なし μPD78014F: なし μPD78015F: 512バイト μPD78016F: 512バイト μPD78018F: 1024バイト
メモリ・サイズ切り替えレジスタ（IMS）による内部ROM，内部高速RAM容量の変更	可 ^{注1}	不可
内部拡張RAMサイズ切り替えレジスタ（IXS）による内部拡張RAM容量の変更	可 ^{注2}	不可
IC端子	なし	あり
V _{PP} 端子	あり	なし
P60-P63端子のマスク・オプション	ブルアップ抵抗を内蔵するマスク・オプションはありません。	マスク・オプションにより、ブルアップ抵抗を内蔵できます。
電气的特性，半田付け推奨条件	個別の製品のデータ・シートを参照してください。	

注1. RESET入力により、内部PROMは60 Kバイト、内部高速RAMは1024バイトとなります。

2. RESET入力により、内部拡張RAMは1024バイトとなります。

注意 PROM製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でPROM製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品でなく）で十分な評価をしてください。

2. 端子機能一覧

2.1 通常動作モード時の端子

(1) ポート端子 (1/2)

端子名称	入出力	機 能		リセット時	兼用端子
P00	入力	ポート 0。	入力専用。	入力	INTP0/TI0
P01	入出力	5 ビット入出力ポート。	1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入力	INTP1
P02					INTP2
P03					INTP3
P04 ^{注1}	入力		入力専用。	入力	XT1
P10-P17	入出力	ポート 1。 8 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 ^{注2}		入力	ANI0-ANI7
P20	入出力	ポート 2。 8 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	SI1
P21					SO1
P22					SCK1
P23					STB
P24					BUSY
P25					SI0/SB0
P26					SO0/SB1
P27					SCK0
P30	入出力	ポート 3。 8 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	TO0
P31					TO1
P32					TO2
P33					TI1
P34					TI2
P35					PCL
P36					BUZ
P37					-
P40-P47	入出力	ポート 4。 8 ビット入出力ポート。 8 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 立ち下がりエッジの検出により、テスト入力フラグ (KRIF) を 1 にセット。		入力	AD0-AD7

注 1 . P04/XT1端子を入力ポートとして使用するときは、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット 6 (FRC) に 1 を設定してください (サブシステム・クロック発振回路の内蔵フィードバック抵抗を使用しないでください)。

2 . P10/ANI0-P17/ANI7端子をA/Dコンバータのアナログ入力として使用する時、ポート 1 を入力モードにしてください。なお、内蔵プルアップ抵抗は自動的に使用されなくなります。

(1) ポート端子 (2/2)

端子名称	入出力	機能		リセット時	兼用端子
P50-P57	入出力	ポート 5。 8 ビット入出力ポート。 LEDを直接駆動可能。 1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	A8-A15
P60	入出力	ポート 6。 8 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。	N-chオープン・ドレイン入出力ポート。 LEDを直接駆動可能。	入力	-
P61					
P62					
P63					
P64			入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		\overline{RD}
P65					\overline{WR}
P66					\overline{WAIT}
P67					ASTB

(2) ポート以外の端子 (1/2)

端子名称	入出力	機能		リセット時	兼用端子
INTP0	入力	有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がり両エッジ) 指定可能な外部割り込み要求入力。		入力	P00/TI0
INTP1					P01
INTP2					P02
INTP3		立ち下がりエッジ検出外部割り込み要求入力。	P03		
SI0	入力	シリアル・インタフェースのシリアル・データ入力。		入力	P25/SB0
SI1					P20
SO0	出力	シリアル・インタフェースのシリアル・データ出力。		入力	P26/SB1
SO1					P21
SB0	入出力	シリアル・インタフェースのシリアル・データ入力 / 出力。		入力	P25/SI0
SB1					P26/SO0
$\overline{SCK0}$	入出力	シリアル・インタフェースのシリアル・クロック入力 / 出力。		入力	P27
$\overline{SCK1}$					P22
STB	出力	シリアル・インタフェース自動送受信用ストロープ出力。		入力	P23
BUSY	入力	シリアル・インタフェース自動送受信用ビジー入力。		入力	P24
TI0	入力	16ビット・タイマ (TM0) への外部カウント・クロック入力。		入力	P00/INTP0
TI1		8ビット・タイマ (TM1) への外部カウント・クロック入力。			P33
TI2		8ビット・タイマ (TM2) への外部カウント・クロック入力。			P34
TO0	出力	16ビット・タイマ (TM0) 出力 (14ビットPWM出力と兼用)。		入力	P30
TO1		8ビット・タイマ (TM1) 出力。			P31
TO2		8ビット・タイマ (TM2) 出力。			P32
PCL	出力	クロック出力 (メイン・システム・クロック, サブシステム・クロックのトリミング用)。		入力	P35
BUZ	出力	ブザー出力。		入力	P36

(2) ポート以外の端子 (2/2)

端子名称	入出力	機能	リセット時	兼用端子
AD0-AD7	入出力	外部にメモリを拡張する場合の、下位アドレス/データ・バス。	入力	P40-P47
A8-A15	出力	外部にメモリを拡張する場合の、上位アドレス・バス。	入力	P50-P57
RD	出力	外部メモリのリード動作ストロブ信号出力。	入力	P64
WR		外部メモリのライト動作ストロブ信号出力。		P65
WAIT	入力	外部メモリ・アクセス時のウエイト挿入。	入力	P66
ASTB	出力	外部メモリをアクセスするために、ポート4、ポート5に出力されるアドレス情報を外部でラッチするストロブ出力。	入力	P67
ANI0-ANI7	入力	A/Dコンバータのアナログ入力。	入力	P10-P17
AVREF	入力	A/Dコンバータの基準電圧入力。	-	-
AVDD	-	A/Dコンバータのアナログ電源。V _{DD} に接続してください。	-	-
AVSS	-	A/Dコンバータのグランド電位。V _{SS} に接続してください。	-	-
RESET	入力	システム・リセット入力。	-	-
X1	入力	メイン・システム・クロック発振用クリスタル接続。	-	-
X2	-		-	-
XT1	入力	サブシステム・クロック発振用クリスタル接続。	入力	P04
XT2	-		-	-
V _{DD}	-	正電源。	-	-
V _{PP}	-	プログラム書き込み/ベリファイ時の高電圧印加。通常動作モード時は、V _{SS} に直接接続してください。	-	-
V _{SS}	-	グランド電位。	-	-

2.2 PROMプログラミング・モード時の端子

端子名称	入出力	機能
RESET	入力	PROMプログラミング・モード設定。 V _{PP} 端子に+5Vまたは+12.5V、RESET端子にロウ・レベルを印加すると、PROMプログラミング・モードになります。
V _{PP}	入力	PROMプログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加。
A0-A16	入力	アドレス・バス。
D0-D7	入出力	データ・バス。
CE	入力	PROMイネーブル入力/プログラム・パルス入力。
OE	入力	PROMへのリード・ストロブ入力。
PGM	入力	PROMプログラミング・モード時のプログラム/プログラム・インヒビット入力。
V _{DD}	-	正電源。
V _{SS}	-	グランド電位。

2.3 端子の入出力回路と未使用端子の処理

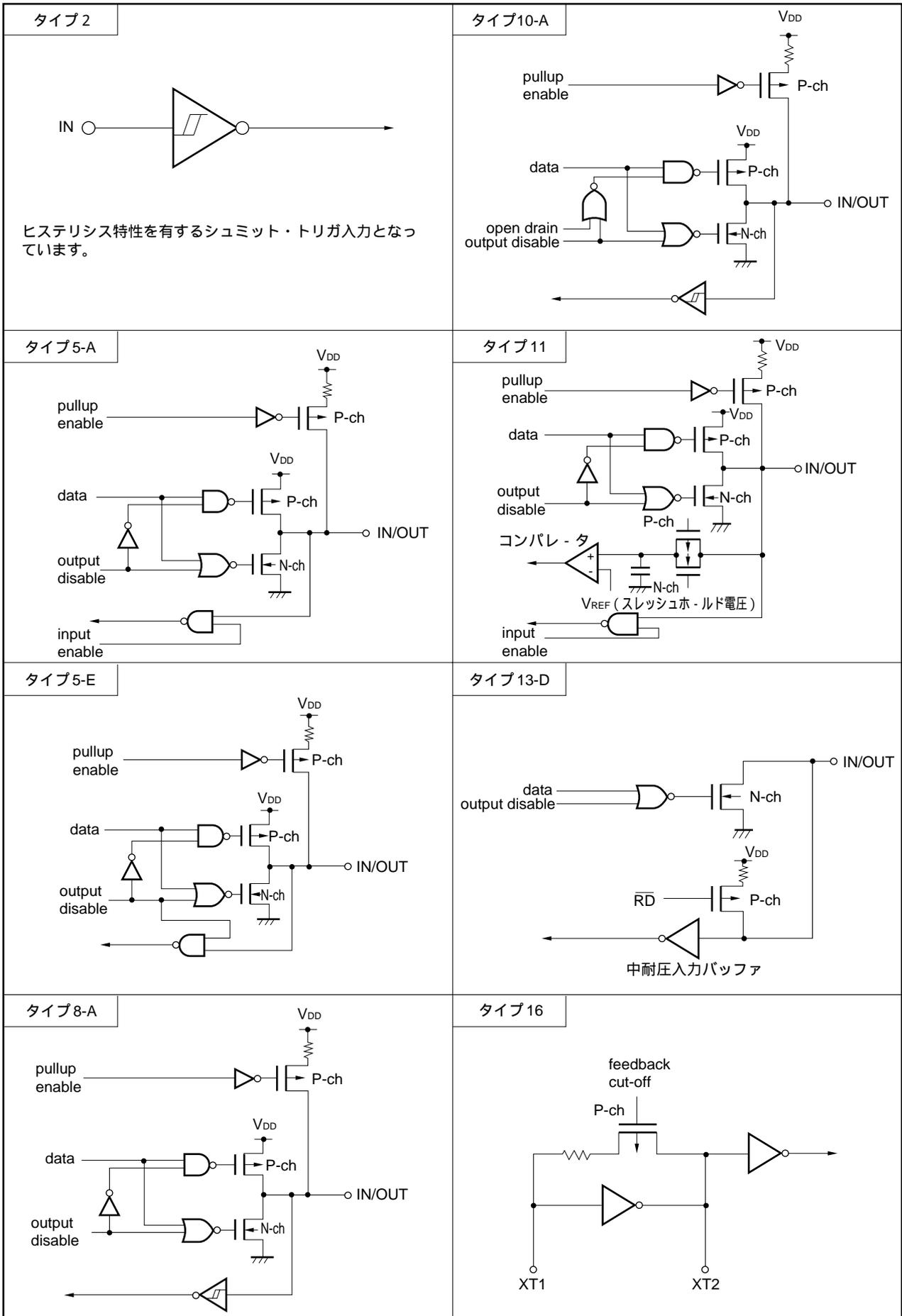
各端子の入出力回路タイプと、未使用端子の処理を表 2 - 1 に示します。

また、各タイプの入出力回路の構成は、図 2 - 1 を参照してください。

表 2 - 1 各端子の入出力回路タイプ

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法	
P00/INTP0/TI0	2	入力	V _{SS} に接続してください。	
P01/INTP1	8-A	入出力	個別に抵抗を介して、V _{SS} に接続してください。	
P02/INTP2				
P03/INTP3				
P04/XT1	16	入力	V _{DD} に接続してください。	
P10/ANI0-P17/ANI7	11	入出力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。	
P20/SI1	8-A			
P21/SO1	5-A			
P22/SCK1	8-A			
P23/STB	5-A			
P24/BUSY	8-A			
P25/SI0/SB0	10-A			
P26/SO0/SB1				
P27/SCK0				
P30/TO0	5-A			
P31/TO1				
P32/TO2				
P33/TI1	8-A			
P34/TI2				
P35/PCL	5-A			
P36/BUZ				
P37				
P40/AD0-P47/AD7	5-E			個別に抵抗を介して、V _{DD} に接続してください。
P50/A8-P57/A15	5-A			個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P60-P63	13-D			個別に抵抗を介して、V _{DD} に接続してください。
P64/RD	5-A	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。		
P65/WR				
P66/WAIT				
P67/ASTB				
RESET	2	入力	-	
XT2	16	-	オープンにしてください。	
AV _{REF}	-		V _{SS} に接続してください。	
AV _{DD}			V _{DD} に接続してください。	
AV _{SS}			V _{SS} に接続してください。	
V _{PP}			V _{SS} に直接接続してください。	

図 2 - 1 端子の入出力回路一覧



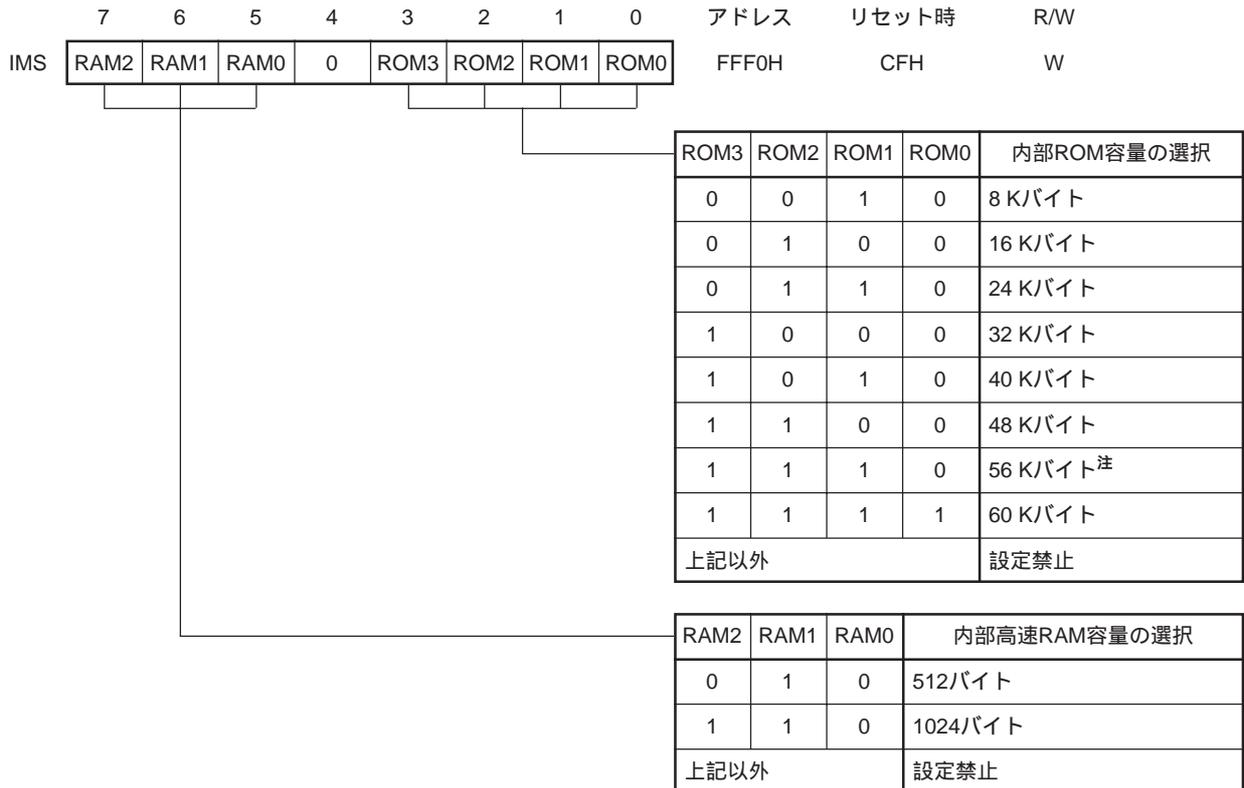
3. メモリ・サイズ切り替えレジスタ (IMS)

ソフトウェアにより内部メモリの一部を使用しないようにするためのレジスタです。IMSの設定により、内部メモリ (ROM, RAM) の異なるマスクROM製品と同一のメモリ・マップにできます。

IMSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、CFHになります。

図3 - 1 メモリ・サイズ切り替えレジスタのフォーマット



注 外部デバイス拡張機能を使用する場合、内部ROM容量を56 Kバイト以下に設定してください。

マスクROM製品と同一のメモリ・マップにするIMSの設定値を表3 - 1に示します。

表3 - 1 メモリ・サイズ切り替えレジスタの設定値

対象のマスクROM製品	IMSの設定値
μ PD78011F	42H
μ PD78012F	44H
μ PD78013F	C6H
μ PD78014F	C8H
μ PD78015F	CAH
μ PD78016F	CCH
μ PD78018F	CFH

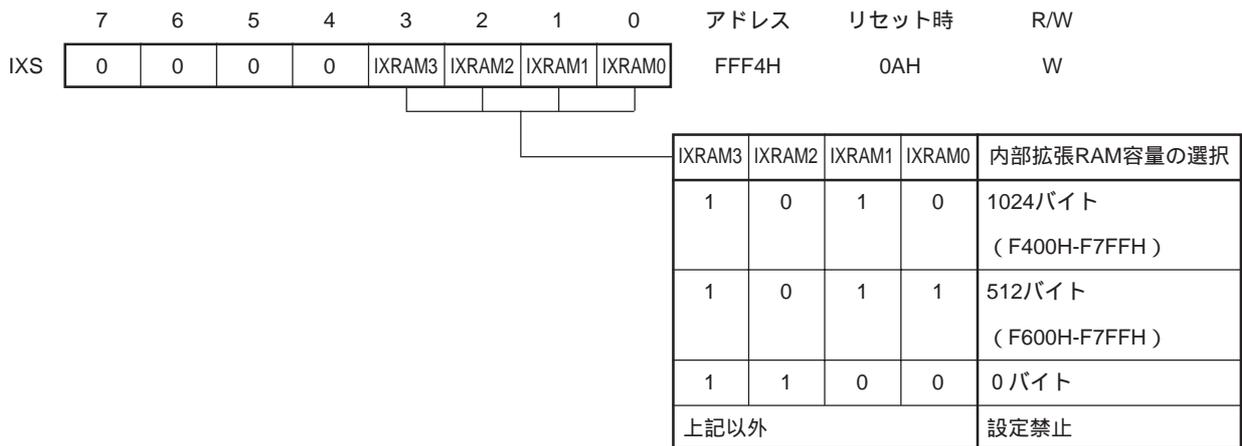
4. 内部拡張RAMサイズ切り替えレジスタ (IXS)

ソフトウェアにより内部拡張RAMの一部を使用しないようにするためのレジスタです。IXSの設定により、内部拡張RAMの異なるマスクROM製品と同一のメモリ・マップにできます。

IXSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、0AHになります。

図4 - 1 内部拡張RAMサイズ切り替えレジスタのフォーマット



マスクROM製品と同一のメモリ・マップにするIXSの設定値を表4 - 1に示します。

表4 - 1 内部拡張RAMサイズ切り替えレジスタの設定値

対象のマスクROM製品	IXSの設定値
μ PD78011F	0CH ^注
μ PD78012F	
μ PD78013F	
μ PD78014F	
μ PD78015F	0BH
μ PD78016F	
μ PD78018F	0AH

注 「MOV IXS, #0CH」が記述されたμPD78P018F用のプログラムをμPD78011F, 78012F, 78013F, 78014Fで実行しても、動作に影響を与えません。

5 . PROMプログラミング

μPD78P018Fは、プログラム・メモリとして60 Kバイト構成のPROMを内蔵しています。プログラミングをするときは、V_{PP}端子、 $\overline{\text{RESET}}$ 端子でPROMプログラミング・モードに設定します。その他、使用しない端子の処理については、端子接続図 (Top View) (2) PROMプログラミング・モードを参照してください。

注意 プログラムの書き込みは、0000H-EFFFH番地の範囲で行ってください (最終アドレスEFFFH番地を指定してください)。書き込みアドレスを指定できないIPROMプログラマでは書き込みできません。

5.1 動作モード

V_{PP}端子に +5 Vまたは +12.5 V、 $\overline{\text{RESET}}$ 端子にロウ・レベルを印加すると、PROMプログラミング・モードになります。このモードは $\overline{\text{CE}}$ 端子、 $\overline{\text{OE}}$ 端子、 $\overline{\text{PGM}}$ 端子の設定により、表5 - 1のような動作モードになります。

また、読み出しモードに設定することにより、PROMの内容を読み出すことができます。

表5 - 1 PROMプログラミングの動作モード

端子	$\overline{\text{RESET}}$	V _{PP}	V _{DD}	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{PGM}}$	D0-D7
動作モード							
ページ・データ・ラッチ	L	+12.5 V	+6.5 V	H	L	H	データ入力
ページ書き込み				H	H	L	ハイ・インピーダンス
バイト書き込み				L	H	L	データ入力
プログラム・ベリファイ				L	L	H	データ出力
プログラム・インヒビット				x	H	H	ハイ・インピーダンス
				x	L	L	
読み出し		+5 V	+5 V	L	L	H	データ出力
出力ディスエーブル				L	H	x	ハイ・インピーダンス
スタンバイ				H	x	x	ハイ・インピーダンス

x : LまたはH

(1) 読み出しモード

$\overline{CE} = L$, $\overline{OE} = L$ に設定することにより、読み出しモードになります。

(2) 出力ディスエーブル・モード

$\overline{OE} = H$ にすることにより、データ出力がハイ・インピーダンスになり出力ディスエーブル・モードになります。

したがって、データ・バスに複数のμPD78P018Fを接続した場合、 \overline{OE} 端子を制御することで任意の1個のデバイスよりデータを読み出すことができます。

(3) スタンバイ・モード

$\overline{CE} = H$ にすることによりスタンバイ・モードになります。

このモードでは、 \overline{OE} の状態に関係なくデータ出力がハイ・インピーダンスになります。

(4) ページ・データ・ラッチ・モード

ページ書き込みモードの初期に $\overline{CE} = H$, $\overline{PGM} = H$, $\overline{OE} = L$ にすることにより、ページ・データ・ラッチ・モードになります。

このモードでは、1ページ4バイトのデータが内部のアドレス/データ・ラッチ回路にラッチされます。

(5) ページ書き込みモード

ページ・データ・ラッチ・モードにより1ページ4バイトのアドレスとデータをラッチ後、 $\overline{CE} = H$, $\overline{OE} = H$ の状態では \overline{PGM} 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を印加することによりページ書き込みが実行されます。その後、 $\overline{CE} = L$, $\overline{OE} = L$ にすることにより、プログラム・ベリファイができます。

1回のプログラム・パルスでプログラムされない場合にはX回(X=10)の書き込みとベリファイを繰り返し実行します。

(6) バイト書き込みモード

$\overline{CE} = L$, $\overline{OE} = H$ の状態では \overline{PGM} 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を印加することによりバイト書き込みが実行されます。その後、 $\overline{OE} = L$ にすることにより、プログラム・ベリファイができます。

1回のプログラム・パルスでプログラムされない場合にはX回(X=10)の書き込みとベリファイを繰り返し実行します。

(7) プログラム・ベリファイ・モード

$\overline{CE} = L$, $\overline{PGM} = H$, $\overline{OE} = L$ にすることにより、プログラム・ベリファイ・モードになります。

書き込みを行ったのち、正しく書き込まれたかどうかこのモードで確認してください。

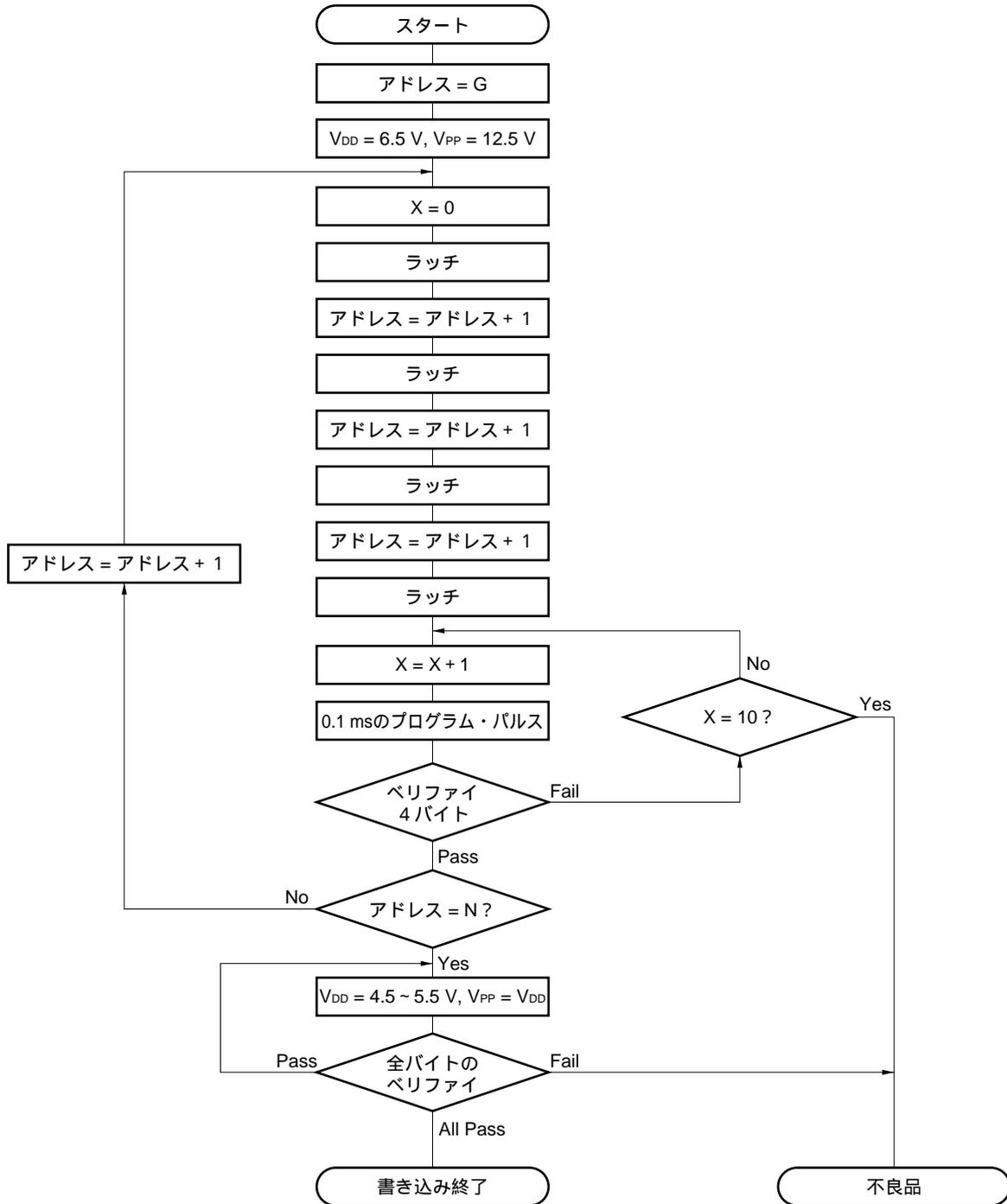
(8) プログラム・インヒビット・モード

プログラム・インヒビット・モードは、複数のμPD78P018Fの \overline{OE} 端子、 V_{PP} 端子、D0-D7端子がパラレルに接続されている状態でその中の1個のデバイスに書き込みを行う場合に使用します。

書き込みを行う場合に、上記ページ書き込みモードあるいはバイト書き込みモードを使用します。このとき、 \overline{PGM} 端子をハイ・レベルにしたデバイスには書き込みが行われません。

5.2 PROM書き込みの手順

図5 - 1 ページ・プログラム・モード・フロー・チャート



G = 開始アドレス

N = プログラムの最終アドレス

図5-2 ページ・プログラム・モード・タイミング

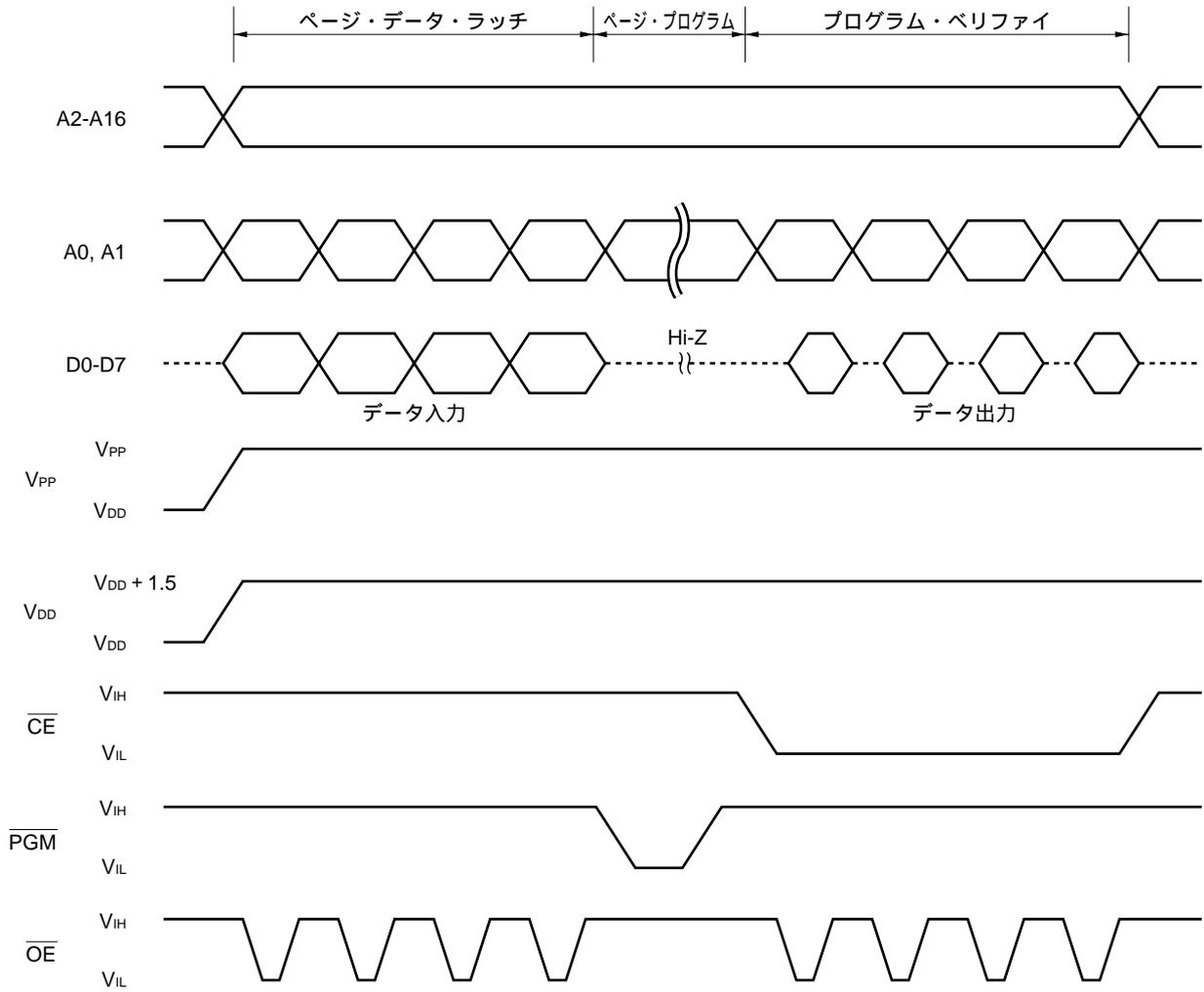
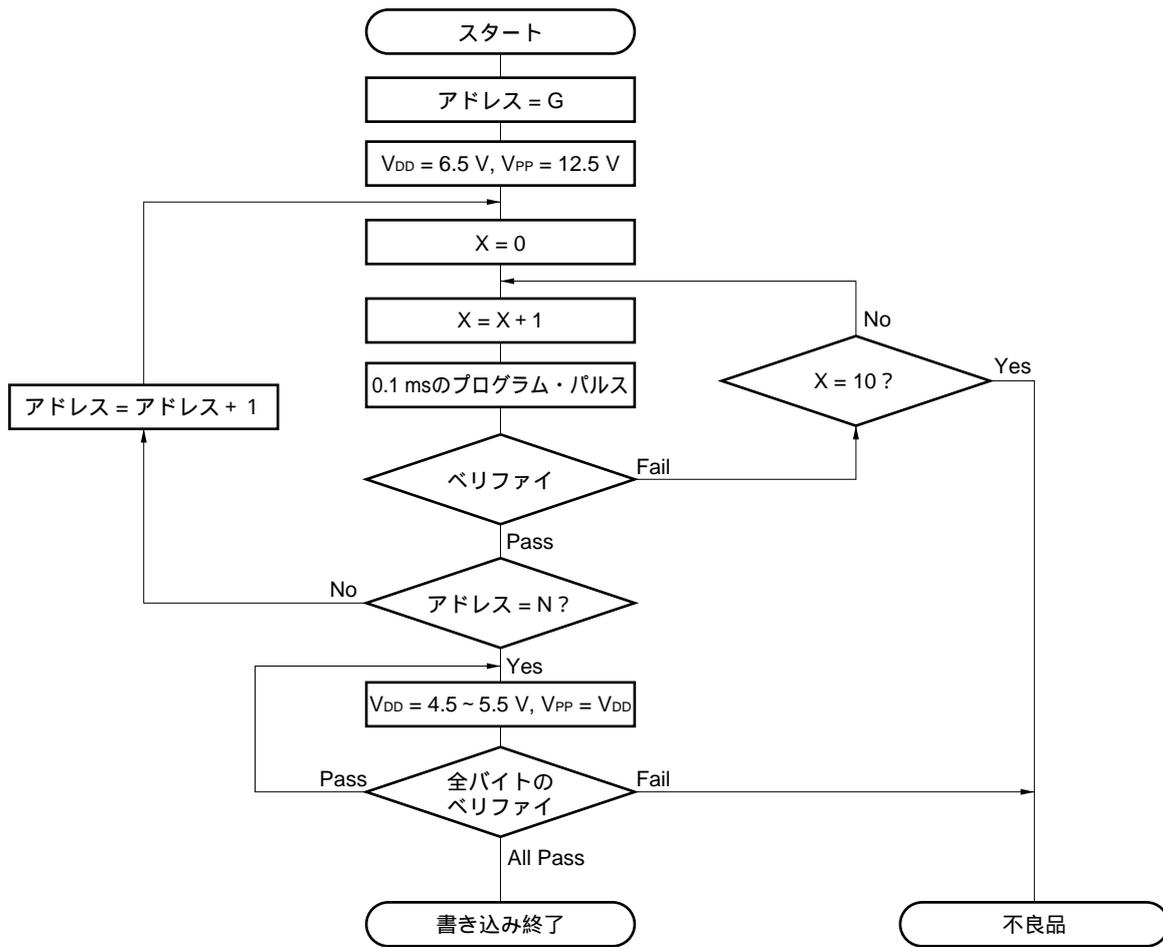


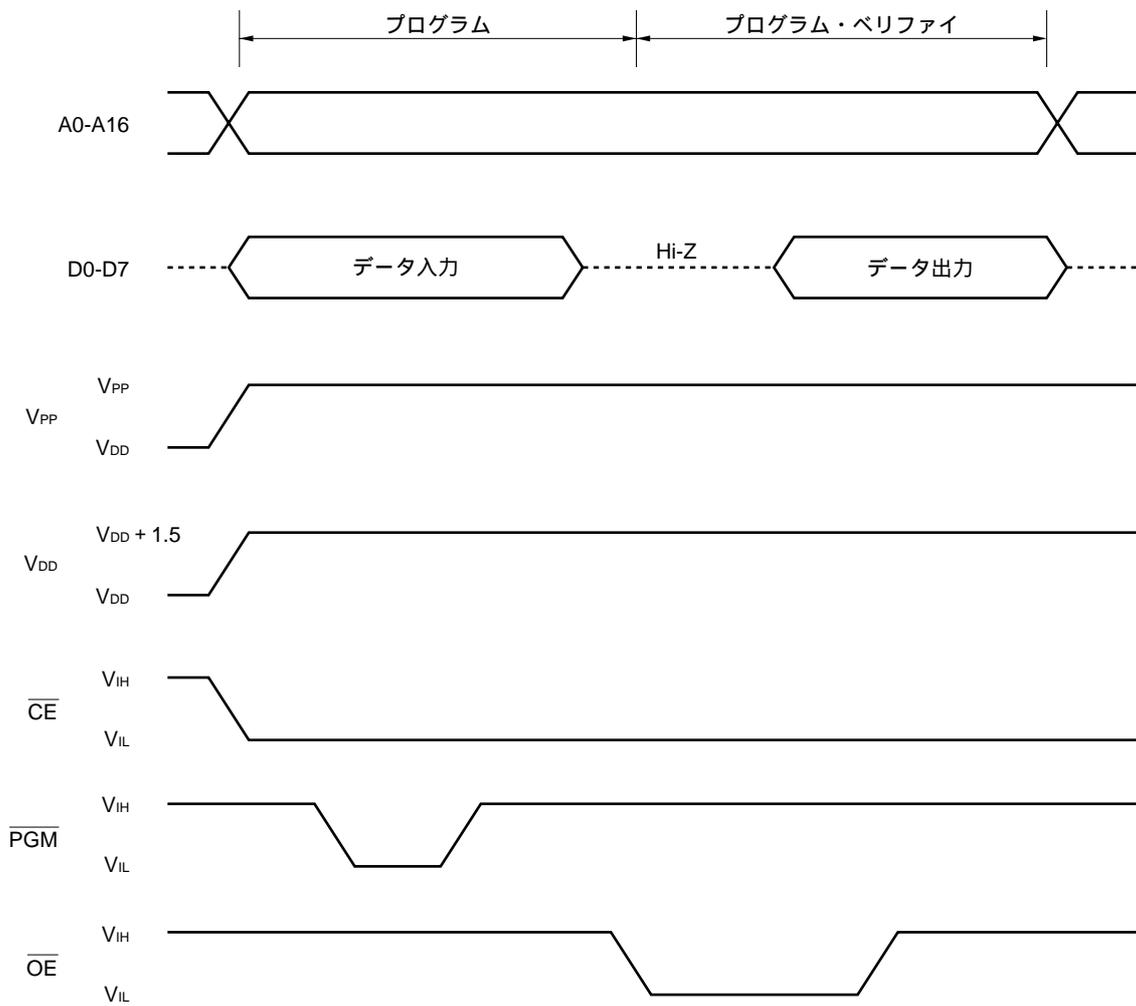
図5-3 バイト・プログラム・モード・フロー・チャート



G = 開始アドレス

N = プログラムの最終アドレス

図5 - 4 バイト・プログラム・モード・タイミング



- 注意 1 . V_{DD}はV_{PP}より前に印加し, V_{PP}のあとから切断するようにしてください。
- 2 . V_{PP}はオーバシュートを含めて +13.5 V以上にならないようにしてください。
- 3 . V_{PP}に +12.5 Vが印加されている間に抜き差しした場合, 信頼性上, 悪影響を受ける可能性があります。

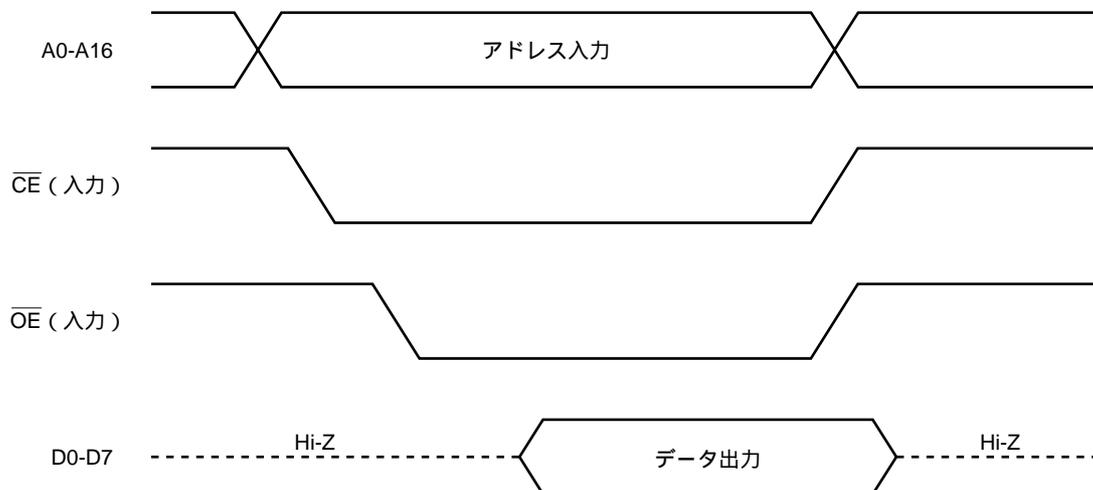
5.3 PROM読み出しの手順

次に示す手順によって、PROMの内容を外部データ・バス（D0-D7）に読み出すことができます。

- (1) $\overline{\text{RESET}}$ 端子をロウ・レベルに固定、 V_{PP} 端子に +5 Vを供給、その他、使用しない端子については端子接続図（Top View）(2) PROMプログラミング・モードに示すように処理する。
- (2) V_{DD} 、 V_{PP} 端子に +5 Vを供給。
- (3) 読み出そうとするデータのアドレスをA0-A16端子に入力。
- (4) リード・モード。
- (5) データをD0-D7端子に出力。

上述の(2)-(5)のタイミングを図5 - 5に示します。

図5 - 5 PROMの読み出しタイミング



6. 消去方法 (μPD78P018FDW, 78P018FKK-S)

μPD78P018FDW, 78P018FKK-Sは、プログラム・メモリに書き込まれたデータの内容を消去 (FFH) して、再書き込みをすることができます。

データの内容を消去する場合は、約400 nmより短い波長の光を消去用窓部に照射します。通常は、254 nmの波長の紫外線を照射します。データの内容を完全に消去するために必要な照射量は、次のとおりです。

- ・紫外線強度 × 消去時間：30 W・s/cm²以上
- ・消去時間：40分以上 (12mW/cm²の紫外線ランプ使用の場合。ただし、紫外線ランプの性能劣化、消去用窓部の汚れなどにより長くなる場合があります。)

なお、消去の場合は、紫外線ランプを消去用窓部から2.5 cm以内の位置に設置してください。また、紫外線ランプにフィルタが付いている場合は、そのフィルタを取り外してから照射してください。

7. 消去用窓のシールについて (μPD78P018FDW, 78P018FKK-S)

EPROM内容の消去用ランプ以外の光による誤消去防止、およびEPROM以外の内部回路が光によって誤動作するのを防止するため、EPROM内容消去時以外は保護用シールを消去用窓に張っておいてください。

8. ワン・タイムPROM製品のスクリーニングについて

ワン・タイムPROM製品 (μPD78P018FCW, 78P018FGC-AB8, 78P018FGK-8A8) は、その構造上、当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと、下記の条件で高温保管後、PROMのベリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125	24時間

なお、NECでは、QTOPマイコンの名称でワン・タイムPROMの書き込みから捺印、スクリーニング、ベリファイを有料で行うサービスを実施しています。詳細につきましては、販売員にご相談ください。

9 . 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件		定格	単位
電源電圧	V _{DD}			- 0.3 ~ + 7.0	V
	V _{PP}			- 0.3 ~ + 13.5	V
	AV _{DD}			- 0.3 ~ V _{DD} + 0.3	V
	AV _{REF}			- 0.3 ~ V _{DD} + 0.3	V
	AV _{SS}			- 0.3 ~ + 0.3	V
入力電圧	V _{I1}	P00-P04, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, X1, X2, XT2, RESET		- 0.3 ~ V _{DD} + 0.3	V
	V _{I2}	P60-P63	オープン・ドレイン	- 0.3 ~ + 16	V
	V _{I3}	A9	PROMプログラミング・モード	- 0.3 ~ + 13.5	V
出力電圧	V _O			- 0.3 ~ V _{DD} + 0.3	V
アナログ入力電圧	V _{AN}	P10-P17	アナログ入力端子	AV _{SS} - 0.3 ~ AV _{REF} + 0.3	V
ハイ・レベル 出力電流	I _{OH}	1 端子		- 10	mA
		P10-P17, P20-P27, P30-P37 合計		- 15	mA
		P01-P03, P40-P47, P50-P57, P60-P67 合計		- 15	mA
ロウ・レベル 出力電流	I _{OL} 注	1 端子	ピーク値	30	mA
			実効値	15	mA
		P40-P47, P50-P55 合計	ピーク値	100	mA
			実効値	70	mA
		P01-P03, P56, P57, P60-P67 合計	ピーク値	100	mA
			実効値	70	mA
		P01-P03, P64-P67 合計	ピーク値	50	mA
			実効値	20	mA
		P10-P17, P20-P27, P30-P37 合計	ピーク値	50	mA
			実効値	20	mA
動作周囲温度	T _A			- 40 ~ + 85	
保存温度	T _{stg}			- 65 ~ + 150	

注 実効値は [実効値] = [ピーク値] × √デューティで計算してください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

容量 (TA = 25 , V_{DD} = V_{SS} = 0V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
入力容量	C _{IN}	f = 1 MHz 被測定端子以外は 0V				15	pF
入出力容量	C _{IO}	f = 1 MHz 被測定端子以外は 0V	P01-P03, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67			15	pF
			P60-P63			20	pF

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

メイン・システム・クロック発振回路特性 (T_A = - 40 ~ + 85 , V_{DD} = 1.8 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (f _x) 注1	2.7 V V _{DD} 5.5 V	1		10	MHz
			1.8 V V _{DD} < 2.7 V	1		5	
		発振安定時間注2	V _{DD} が発振電圧範囲のMIN.に達したあと			4	ms
水晶振動子		発振周波数 (f _x) 注1	2.7 V V _{DD} 5.5 V	1		10	MHz
			1.8 V V _{DD} < 2.7 V	1		5	
		発振安定時間注2	V _{DD} = 4.5 ~ 5.5 V				10
					30		
外部クロック		X1入力周波数 (f _x) 注1		1.0		10.0	MHz
		X1入力ハイ、ロウ・レベル幅 (t _{xH} , t _{xL})		45		500	

注1 . 発振回路の特性だけを示すものです。命令実行時間については、AC特性を参照してください。

2 . リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意1 . メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2 . メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

サブシステム・クロック発振回路特性 (TA = - 40 ~ + 85 , VDD = 1.8 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (fXT) 注1		32	32.768	35	kHz
		発振安定時間注2	VDD = 4.5 ~ 5.5 V		1.2	2	s
							10
外部クロック		XT1入力周波数 (fXT) 注1		32		100	kHz
		XT1入力ハイ、ロウ・レベル幅 (tXTH, tXTL)		5		15	μs

注1．発振回路の特性だけを示すものです。命令実行時間については、AC特性を参照してください。

2．VDDが発振電圧範囲のMIN.に達したあと、発振が安定するのに必要な時間です。

注意1．サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は、常にVSSと同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2．サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっており、ノイズによる誤動作がメイン・システム・クロックよりも起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

推奨発振回路定数

メイン・システム・クロック：セラミック発振子 (T_A = -40 ~ +85)

メーカー	品名	周波数 (MHz)	推奨回路定数		発振電圧範囲		備考
			C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)	
TDK	CCR4.0MC3	4.00	内蔵	内蔵	1.8	5.5	コンデンサ内蔵, 表面実装タイプ
	FCR4.0MC5	4.00	内蔵	内蔵	1.8	5.5	コンデンサ内蔵, 挿入タイプ
	CCR4.19MC3	4.19	内蔵	内蔵	1.8	5.5	コンデンサ内蔵, 表面実装タイプ
	FCR4.19MC5	4.19	内蔵	内蔵	1.8	5.5	コンデンサ内蔵, 挿入タイプ
	CCR5.00MC3	5.00	内蔵	内蔵	1.8	5.5	コンデンサ内蔵, 表面実装タイプ
	FCR5.00MC5	5.00	内蔵	内蔵	1.8	5.5	コンデンサ内蔵, 挿入タイプ
	CCR8.00MC	8.00	内蔵	内蔵	2.7	5.5	コンデンサ内蔵, 表面実装タイプ
	FCR8.00MC5	8.00	内蔵	内蔵	2.7	5.5	コンデンサ内蔵, 挿入タイプ
	CCR8.38MC	8.38	内蔵	内蔵	2.7	5.5	コンデンサ内蔵, 表面実装タイプ
	FCR8.38MC5	8.38	内蔵	内蔵	2.7	5.5	コンデンサ内蔵, 挿入タイプ
	CCR10.00MC	10.00	内蔵	内蔵	2.7	5.5	コンデンサ内蔵, 表面実装タイプ
	FCR10.00MC5	10.00	内蔵	内蔵	2.7	5.5	コンデンサ内蔵, 挿入タイプ
村田製作所	CSA4.00MG	4.00	30	30	1.8	5.5	挿入タイプ
	CST4.00MGW	4.00	内蔵	内蔵	1.8	5.5	コンデンサ内蔵, 挿入タイプ
	CSA4.19MG	4.19	30	30	1.8	5.5	挿入タイプ
	CST4.19MGW	4.19	内蔵	内蔵	1.8	5.5	コンデンサ内蔵, 挿入タイプ
	CSA5.00MG	5.00	30	30	1.8	5.5	挿入タイプ
	CST5.00MGW	5.00	内蔵	内蔵	1.8	5.5	コンデンサ内蔵, 挿入タイプ
	CSA8.00MTZ	8.00	30	30	2.7	5.5	挿入タイプ
	CST8.00MTW	8.00	内蔵	内蔵	2.7	5.5	コンデンサ内蔵, 挿入タイプ
	CSA8.38MTZ	8.38	30	30	2.7	5.5	挿入タイプ
	CST8.38MTW	8.38	内蔵	内蔵	2.7	5.5	コンデンサ内蔵, 挿入タイプ
	CSA10.00MTZ	10.00	30	30	2.7	5.5	挿入タイプ
	CST10.00MTW	10.00	内蔵	内蔵	2.7	5.5	コンデンサ内蔵, 挿入タイプ

注意 発振回路定数および発振電圧範囲は、安定して発振する条件を示しています。発振周波数精度は保証していません。アプリケーションで発振周波数精度が必要な場合、実装回路で発振周波数を調整する必要があります。詳細については、ご使用になる発振子のメーカーに直接お問い合わせください。

メイン・システム・クロック：セラミック発振子 ($T_A = -20 \sim +80$)

メーカー	品名	周波数 (MHz)	推奨回路定数		発振電圧範囲		備考
			C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)	
京セラ	PBRC4.00A	4.00	33	33	1.8	5.5	表面実装タイプ
	PBRC4.00B	4.00	内蔵	内蔵	1.8	5.5	コンデンサ内蔵, 表面実装タイプ
	KBR-4.00MSA	4.00	33	33	1.8	5.5	挿入タイプ
	KBR-4.00MKS	4.00	内蔵	内蔵	1.8	5.5	コンデンサ内蔵, 挿入タイプ
	PBRC5.00A	5.00	33	33	1.8	5.5	表面実装タイプ
	PBRC5.00B	5.00	内蔵	内蔵	1.8	5.5	コンデンサ内蔵, 表面実装タイプ
	KBR-5.00MSA	5.00	33	33	1.8	5.5	挿入タイプ
	KBR-5.00MKS	5.00	内蔵	内蔵	1.8	5.5	コンデンサ内蔵, 挿入タイプ
	KBR-8M	8.00	33	33	2.7	5.5	挿入タイプ
	KBR-10M	10.00	33	33	2.7	5.5	挿入タイプ

注意 発振回路定数および発振電圧範囲は、安定して発振する条件を示しています。発振周波数精度は保証していません。アプリケーションで発振周波数精度が必要な場合、実装回路で発振周波数を調整する必要があります。詳細については、ご使用になる発振子のメーカーに直接お問い合わせください。

DC特性 (TA = - 40 ~ + 85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル 入力電圧	VIH1	P10-P17, P21, P23, P30-P32, P35-P37, P40-P47, P50-P57, P64-P67	VDD = 2.7 ~ 5.5 V	0.7 VDD		VDD	V	
				0.8 VDD		VDD	V	
	VIH2	P00-P03, P20, P22, P24-P27, P33, P34, $\overline{\text{RESET}}$	VDD = 2.7 ~ 5.5 V	0.8 VDD		VDD	V	
				0.85 VDD		VDD	V	
	VIH3	P60-P63 (N-chオープン・ドレイン)	VDD = 2.7 ~ 5.5 V	0.7 VDD		15	V	
				0.8 VDD		15	V	
	VIH4	X1, X2	VDD = 2.7 ~ 5.5 V	VDD - 0.5		VDD	V	
				VDD - 0.2		VDD	V	
	VIH5	XT1/P04, XT2	4.5 V VDD 5.5 V	0.8 VDD		VDD	V	
			2.7 V VDD < 4.5 V	0.9 VDD		VDD	V	
			1.8 V VDD < 2.7 V ^注	0.9 VDD		VDD	V	
	ロウ・レベル 入力電圧	VIL1	P10-P17, P21, P23, P30-P32, P35-P37, P40-P47, P50-P57, P64-P67	VDD = 2.7 ~ 5.5 V	0		0.3 VDD	V
					0		0.2 VDD	V
		VIL2	P00-P03, P20, P22, P24-P27, P33, P34, $\overline{\text{RESET}}$	VDD = 2.7 ~ 5.5 V	0		0.2 VDD	V
					0		0.15 VDD	V
VIL3		P60-P63	4.5 V VDD 5.5 V	0		0.3 VDD	V	
			2.7 V VDD < 4.5 V	0		0.2 VDD	V	
				0		0.1 VDD	V	
VIL4		X1, X2	VDD = 2.7 ~ 5.5 V	0		0.4	V	
				0		0.2	V	
VIL5		XT1/P04, XT2	4.5 V VDD 5.5 V	0		0.2 VDD	V	
			2.7 V VDD < 4.5 V	0		0.1 VDD	V	
			1.8 V VDD < 2.7 V ^注	0		0.1 VDD	V	
ハイ・レベル 出力電圧		VOH1	VDD = 4.5 ~ 5.5 V, IOH = - 1 mA	VDD - 1.0			V	
			IOH = - 100 μA	VDD - 0.5			V	
ロウ・レベル 出力電圧		VOL1	P50-P57, P60-P63	VDD = 4.5 ~ 5.5 V, IOL = 15 mA	0.4	2.0	V	
	P01-P03, P10-P17, P20-P27, P30-P37, P40-P47, P64-P67		VDD = 4.5 ~ 5.5 V, IOL = 1.6 mA		0.4	V		
	VOL2	SB0, SB1, $\overline{\text{SCK0}}$	VDD = 4.5 ~ 5.5 V, オープン・ドレ ーン, プルアップ時 (R = 1 k)		0.2 VDD	V		
	VOL3	IOL = 400 μA			0.5	V		

注 XT1/P04をP04として使用する場合は, XT2にP04の逆相を入力してください。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = - 40 ~ + 85 , V_{DD} = 1.8 ~ 5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル 入力リーク電流	I _{LH1}	V _{IN} = V _{DD}	P00-P03, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P60-P67, $\overline{\text{RESET}}$			3	μA
	I _{LH2}		X1, X2, XT1/P04, XT2			20	μA
	I _{LH3}	V _{IN} = 15 V	P60-P63			80	μA
ロウ・レベル 入力リーク電流	I _{LIL1}	V _{IN} = 0 V	P00-P03, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, $\overline{\text{RESET}}$			- 3	μA
	I _{LIL2}		X1, X2, XT1/P04, XT2			- 20	μA
	I _{LIL3}		P60-P63			- 3 ^注	μA
ハイ・レベル 出力リーク電流	I _{LOH}	V _{OUT} = V _{DD}				3	μA
ロウ・レベル 出力リーク電流	I _{LOL}	V _{OUT} = 0 V				- 3	μA
ソフトウェア・ プルアップ抵抗	R	V _{IN} = 0 V, P01-P03, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67		15	40	90	k

注 P60-P63は、ポート6 (P6)、ポート・モード・レジスタ6 (PM6) に対して読み出し命令を実行したときの3クロック間 (ノー・ウエイト時) のみ、ロウ・レベル入力リーク電流が - 200 μA (MAX.) 流れます。読み出し命令実行時の3クロック間以外では - 3 μA (MAX.) です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = - 40 ~ + 85 , V_{DD} = 1.8 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD1}	10.00 MHz水晶発振動作モード	V _{DD} = 5.0 V ± 10 % ^{注2}		12.0	24.0	mA
			V _{DD} = 3.0 V ± 10 % ^{注3}		1.4	2.8	mA
	I _{DD2}	10.00 MHz水晶発振HALTモード	V _{DD} = 5.0 V ± 10 % ^{注2}		4.0	8.0	mA
			V _{DD} = 3.0 V ± 10 % ^{注3}		1.4	2.8	mA
	I _{DD3}	32.768 kHz水晶発振動作 モード ^{注4}	V _{DD} = 5.0 V ± 10 %		150	300	μA
			V _{DD} = 3.0 V ± 10 %		100	200	μA
			V _{DD} = 2.0 V ± 10 %		60	120	μA
	I _{DD4}	32.768 kHz水晶発振HALT モード ^{注4}	V _{DD} = 5.0 V ± 10 %		25	50	μA
			V _{DD} = 3.0 V ± 10 %		5	15	μA
			V _{DD} = 2.0 V ± 10 %		2.5	10	μA
	I _{DD5}	XT1 = V _{DD} STOPモード フィードバック抵抗使用時	V _{DD} = 5.0 V ± 10 %		2.0	30	μA
			V _{DD} = 3.0 V ± 10 %		1.0	10	μA
V _{DD} = 2.0 V ± 10 %				0.5	10	μA	
I _{DD6}	XT1 = V _{DD} STOPモード フィードバック抵抗非使用時	V _{DD} = 5.0 V ± 10 %		0.1	30	μA	
		V _{DD} = 3.0 V ± 10 %		0.05	10	μA	
		V _{DD} = 2.0 V ± 10 %		0.05	10	μA	

注1. V_{DD}端子に流れる電流です。内蔵プルアップ抵抗, ポートおよびA/Dコンバータに流れる電流は含みません。

2. 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき)。
3. 低速モード動作時 (PCCを04Hに設定したとき)。
4. メイン・システム・クロックの動作を停止させたとき。

AC特性

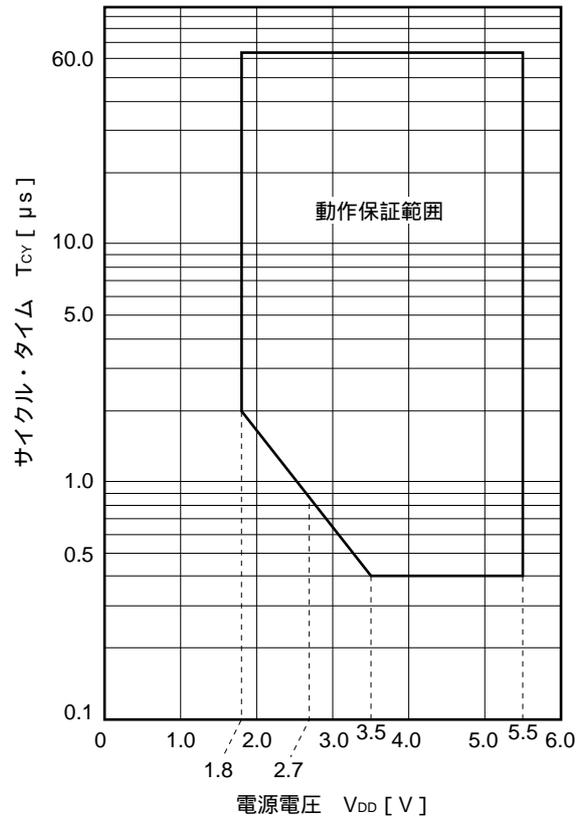
(1) 基本動作 (TA = - 40 ~ + 85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	TCY	メイン・システム・クロックで 動作	3.5 V VDD 5.5 V	0.4		64	μs
			2.7 V VDD < 3.5 V	0.8		64	μs
			1.8 V VDD < 2.7 V	2.0		64	μs
		サブシステム・クロックで動作		40 ^{注1}	122	125	μs
T10入力ハイ, ロウ・レベル幅	tTIH0, tTIL0	3.5 V VDD 5.5 V		2f _{sam} +0.1 ^{注2}			μs
		2.7 V VDD < 3.5 V		2f _{sam} +0.2 ^{注2}			μs
		1.8 V VDD < 2.7 V		2f _{sam} +0.5 ^{注2}			μs
T11, T12入力周波数	fTI1	VDD = 4.5 ~ 5.5 V		0		4	MHz
				0		275	kHz
T11, T12入力ハイ, ロウ・レベル幅	tTIH1, tTIL1	VDD = 4.5 ~ 5.5 V		100			ns
				1.8			μs
割り込み要求入力ハイ, ロウ・レベル幅	tINTH, tINTL	INTP0	3.5 V VDD 5.5 V	2f _{sam} +0.1 ^{注2}			μs
			2.7 V VDD < 3.5 V	2f _{sam} +0.2 ^{注2}			μs
			1.8 V VDD < 2.7 V	2f _{sam} +0.5 ^{注2}			μs
		INTP1-INTP3, KR0-KR7		VDD = 2.7 ~ 5.5 V	10		
			20			μs	
RESETロウ・レベル幅	tRSL	VDD = 2.7 ~ 5.5 V		10			μs
				20			μs

注1 . 外部クロック使用時の値です。水晶振動子使用時は114 μs (MIN.) です。

2 . サンプルング・クロック選択レジスタ (SCS) のビット0, 1 (SCS0, SCS1) により , f_{sam} = f_x/2^{N+1}, f_x/64, f_x/128 の選択が可能です (N = 0-4)。

T_{CY} vs V_{DD} (メイン・システム・クロック動作時)



(2) リード/ライト・オペレーション (TA = - 40 ~ + 85 , VDD = 2.7 ~ 5.5 V)

項 目	略 号	条 件	MIN.	MAX.	単位
ASTBハイ・レベル幅	tASTH		0.5 tcy		ns
アドレス・セットアップ時間	tADS		0.5 tcy - 30		ns
アドレス・ホールド時間	tADH		50		ns
アドレス データ入力時間	tADD1			(2.5 + 2n) tcy - 50	ns
	tADD2			(3 + 2n) tcy - 100	ns
RD データ入力時間	trDD1			(1 + 2n) tcy - 25	ns
	trDD2			(2.5 + 2n) tcy - 100	ns
リード・データ・ホールド時間	trDH		0		ns
RDロウ・レベル幅	trDL1		(1.5 + 2n) tcy - 20		ns
	trDL2		(2.5 + 2n) tcy - 20		ns
RD WAIT 入力時間	trDWT1			0.5 tcy	ns
	trDWT2			1.5 tcy	ns
WR WAIT 入力時間	tWRWT			0.5 tcy	ns
WAITロウ・レベル幅	tWTL		(0.5 + 2n) tcy + 10	(2 + 2n) tcy	ns
ライト・データ・セットアップ時間	tWDS		100		ns
ライト・データ・ホールド時間	tWDH	負荷抵抗 5 k	20		ns
WRロウ・レベル幅	tWRL		(2.5 + 2n) tcy - 20		ns
ASTB RD 遅延時間	tASTRD		0.5 tcy - 30		ns
ASTB WR 遅延時間	tASTWR		1.5 tcy - 30		ns
外部フェッチ時RD ASTB 遅延時間	trDAST		tcy - 10	tcy + 40	ns
外部フェッチ時RD アドレス・ホールド時間	trDADH		tcy	tcy + 50	ns
RD ライト・データ出力時間	trDWD	VDD = 4.5 ~ 5.5 V	0.5tcy + 5	0.5tcy + 30	ns
			0.5tcy + 15	0.5tcy + 90	ns
WR ライト・データ出力時間	tWRWD	VDD = 4.5 ~ 5.5 V	5	30	ns
			15	90	ns
WR アドレス・ホールド時間	tWRADH	VDD = 4.5 ~ 5.5 V	tcy	tcy + 60	ns
			tcy	tcy + 100	ns
WAIT RD 遅延時間	tWTRD		0.5 tcy	2.5 tcy + 80	ns
WAIT WR 遅延時間	tWTWR		0.5 tcy	2.5 tcy + 80	ns

備考 1 . tcy = Tcy/4

2 . n はウエイト数を示します。

(3) シリアル・インタフェース (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

(a) シリアル・インタフェース・チャンネル0

(i) 3線式シリアルI/Oモード (SCK0...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	tkCY1	4.5 V VDD 5.5 V	800			ns
		2.7 V VDD < 4.5 V	1600			ns
		2.0 V VDD < 2.7 V	3200			ns
			4800			ns
SCK0ハイ, ロウ・レベル幅	tkH1,	VDD = 4.5 ~ 5.5 V	tkCY1/2 - 50			ns
	tkL1		tkCY1/2 - 100			ns
SIOセットアップ時間 (対SCK0)	tSIK1	4.5 V VDD 5.5 V	100			ns
		2.7 V VDD < 4.5 V	150			ns
		2.0 V VDD < 2.7 V	300			ns
			400			ns
SIOホールド時間 (対SCK0)	tKSI1		400			ns
SCK0 SO0出力遅延時間	tKSO1	C = 100 pF ^注			300	ns

注 Cは, SCK0, SO0出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK0...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	tkCY2	4.5 V VDD 5.5 V	800			ns
		2.7 V VDD < 4.5 V	1600			ns
		2.0 V VDD < 2.7 V	3200			ns
			4800			ns
SCK0ハイ, ロウ・レベル幅	tkH2,	4.5 V VDD 5.5 V	400			ns
	tkL2	2.7 V VDD < 4.5 V	800			ns
		2.0 V VDD < 2.7 V	1600			ns
			2400			ns
SIOセットアップ時間 (対SCK0)	tSIK2	VDD = 2.0 ~ 5.5 V	100			ns
			150			ns
SIOホールド時間 (対SCK0)	tKSI2		400			ns
SCK0 SO0出力遅延時間	tKSO2	C = 100 pF ^注 VDD = 2.0 ~ 5.5 V			300	ns
					500	ns
SCK0立ち上がり, 立ち下がり時間	tr2,	外部デバイス拡張機能使用時			160	ns
	tF2	外部デバイス拡張機能未使用時	16ビット・タイマ出力機能使用時		700	ns
			16ビット・タイマ出力機能未使用時		1000	ns

注 Cは, SO0出力ラインの負荷容量です。

(iii) SBIモード (SCK0...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	tkCY3	4.5 V V _{DD} 5.5 V	800			ns
		2.0 V V _{DD} < 4.5 V	3200			ns
			4800			ns
SCK0ハイ, ロウ・レベル幅	tkH3,	V _{DD} = 4.5 ~ 5.5 V	tkCY3/2 - 50			ns
	tkL3		tkCY3/2 - 150			ns
SB0, SB1セットアップ時間 (対SCK0)	tsIK3	4.5 V V _{DD} 5.5 V	100			ns
		2.0 V V _{DD} < 4.5 V	300			ns
			400			ns
SB0, SB1ホールド時間(対SCK0)	tkSI3		tkCY3/2			ns
SCK0 SB0, SB1 出力遅延時間	tkSO3	R = 1 k , C = 100 pF ^注	V _{DD} = 4.5 ~ 5.5 V	0	250	ns
				0	1000	ns
SCK0 SB0, SB1	tkSB		tkCY3			ns
SB0, SB1 SCK0	tsBK		tkCY3			ns
SB0, SB1ハイ・レベル幅	tsBH		tkCY3			ns
SB0, SB1ロウ・レベル幅	tsBL		tkCY3			ns

注 R, C は, SCK0, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(iv) SBIモード (SCK0...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	tkCY4	4.5 V V _{DD} 5.5 V	800			ns
		2.0 V V _{DD} < 4.5 V	3200			ns
			4800			ns
SCK0ハイ, ロウ・レベル幅	tkH4,	4.5 V V _{DD} 5.5 V	400			ns
	tkL4	2.0 V V _{DD} < 4.5 V	1600			ns
			2400			ns
SB0, SB1セットアップ時間 (対SCK0)	tsIK4	4.5 V V _{DD} 5.5 V	100			ns
		2.0 V V _{DD} < 4.5 V	300			ns
			400			ns
SB0, SB1ホールド時間(対SCK0)	tkSI4		tkCY4/2			ns
SCK0 SB0, SB1 出力遅延時間	tkSO4	R = 1 k , C = 100 pF ^注	V _{DD} = 4.5 ~ 5.5 V	0	300	ns
				0	1000	ns
SCK0 SB0, SB1	tkSB		tkCY4			ns
SB0, SB1 SCK0	tsBK		tkCY4			ns
SB0, SB1ハイ・レベル幅	tsBH		tkCY4			ns
SB0, SB1ロウ・レベル幅	tsBL		tkCY4			ns
SCK0立ち上がり, 立ち下がり時間	tr4,	外部デバイス拡張機能使用時			160	ns
	tf4	外部デバイス拡張機能未使用時	16ビット・タイマ出力機能使用時		700	ns
			16ビット・タイマ出力機能未使用時		1000	ns

注 R, C は, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(v) 2線式シリアル/Oモード ($\overline{\text{SCK0}}$...内部クロック出力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
$\overline{\text{SCK0}}$ サイクル・タイム	tkcy5	R = 1 k 注 C = 100 pF	2.7 V V_{DD} 5.5 V	1600			ns
			2.0 V $V_{DD} < 2.7$ V	3200			ns
				4800			ns
$\overline{\text{SCK0}}$ ハイ・レベル幅	tkH5		$V_{DD} = 2.7 \sim 5.5$ V	tkcy5/2 - 160			ns
				tkcy5/2 - 190			ns
$\overline{\text{SCK0}}$ ロウ・レベル幅	tkL5		$V_{DD} = 4.5 \sim 5.5$ V	tkcy5/2 - 50			ns
				tkcy5/2 - 100			ns
SB0, SB1セットアップ時間 (対 $\overline{\text{SCK0}}$)	tsik5		4.5 V V_{DD} 5.5 V	300			ns
			2.7 V $V_{DD} < 4.5$ V	350			ns
			2.0 V $V_{DD} < 2.7$ V	400			ns
				500			ns
SB0, SB1ホールド時間 (対 $\overline{\text{SCK0}}$)	tkSI5		600			ns	
$\overline{\text{SCK0}}$ SB0, SB1出力遅延時間	tkSO5		0		300	ns	

注 R, C は, $\overline{\text{SCK0}}$, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(vi) 2線式シリアル/Oモード ($\overline{\text{SCK0}}$...外部クロック入力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
$\overline{\text{SCK0}}$ サイクル・タイム	tkcy6	2.7 V V_{DD} 5.5 V		1600			ns
		2.0 V $V_{DD} < 2.7$ V		3200			ns
				4800			ns
$\overline{\text{SCK0}}$ ハイ・レベル幅	tkH6	2.7 V V_{DD} 5.5 V		650			ns
		2.0 V $V_{DD} < 2.7$ V		1300			ns
				2100			ns
$\overline{\text{SCK0}}$ ロウ・レベル幅	tkL6	2.7 V V_{DD} 5.5 V		800			ns
		2.0 V $V_{DD} < 2.7$ V		1600			ns
				2400			ns
SB0, SB1セットアップ時間 (対 $\overline{\text{SCK0}}$)	tsik6	$V_{DD} = 2.0 \sim 5.5$ V		100			ns
				150			ns
SB0, SB1ホールド時間 (対 $\overline{\text{SCK0}}$)	tkSI6			tkcy6/2			ns
$\overline{\text{SCK0}}$ SB0, SB1出力遅延時間	tkSO6	R = 1 k , C = 100 pF注	4.5 V V_{DD} 5.5 V	0		300	ns
			2.0 V $V_{DD} < 4.5$ V	0		500	ns
				0		800	ns
$\overline{\text{SCK0}}$ 立ち上がり, 立ち下がり時間	tr6, tf6	外部デバイス拡張機能使用時				160	ns
		外部デバイス拡張機能未使用時	16ビット・タイマ出力機能使用時			700	ns
			16ビット・タイマ出力機能未使用時			1000	ns

注 R, C は, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(b) シリアル・インタフェース・チャンネル1

(i) 3線式シリアルI/Oモード (SCK1...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK1サイクル・タイム	t _{KCY7}	4.5 V V _{DD} 5.5 V	800			ns
		2.7 V V _{DD} < 4.5 V	1600			ns
		2.0 V V _{DD} < 2.7 V	3200			ns
			4800			ns
SCK1ハイ, ロウ・レベル幅	t _{KH7}	V _{DD} = 4.5 ~ 5.5 V	t _{KCY7} /2 - 50			ns
	t _{KL7}		t _{KCY7} /2 - 100			ns
SI1セットアップ時間 (対SCK1)	t _{SIK7}	4.5 V V _{DD} 5.5 V	100			ns
		2.7 V V _{DD} < 4.5 V	150			ns
		2.0 V V _{DD} < 2.7 V	300			ns
			400			ns
SI1ホールド時間(対SCK1)	t _{KSI7}		400			ns
SCK1 SO1出力遅延時間	t _{KSO7}	C = 100 pF ^注			300	ns

注 Cは, SCK1, SO1出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK1...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK1サイクル・タイム	t _{KCY8}	4.5 V V _{DD} 5.5 V	800			ns
		2.7 V V _{DD} < 4.5 V	1600			ns
		2.0 V V _{DD} < 2.7 V	3200			ns
			4800			ns
SCK1ハイ, ロウ・レベル幅	t _{KH8} , t _{KL8}	4.5 V V _{DD} 5.5 V	400			ns
		2.7 V V _{DD} < 4.5 V	800			ns
		2.0 V V _{DD} < 2.7 V	1600			ns
			2400			ns
SI1セットアップ時間 (対SCK1)	t _{SIK8}	V _{DD} = 2.0 ~ 5.5 V	100			ns
			150			ns
SCK1 SO1出力遅延時間	t _{KSO8}	C = 100 pF ^注 V _{DD} = 2.0 ~ 5.5 V			300	ns
					500	ns
SCK1立ち上がり, 立ち下がり時間	t _{RS} , t _{FS}	外部デバイス拡張機能使用時			160	ns
		外部デバイス拡張機能未使用時	16ビット・タイマ出力機能使用時		700	ns
			16ビット・タイマ出力機能未使用時		1000	ns

注 Cは, SO1出力ラインの負荷容量です。

(iii) 自動送受信機能付き 3 線式シリアルI/Oモード (SCK1...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK1サイクル・タイム	tkcy9	4.5 V V _{DD} 5.5 V	800			ns
		2.7 V V _{DD} < 4.5 V	1600			ns
		2.0 V V _{DD} < 2.7 V	3200			ns
			4800			ns
SCK1ハイ, ロウ・レベル幅	tkH9,	V _{DD} = 4.5 ~ 5.5 V	tkcy9/2 - 50			ns
	tkL9		tkcy9/2 - 100			ns
SI1セットアップ時間 (対SCK1)	tSIK9	4.5 V V _{DD} 5.5 V	100			ns
		2.7 V V _{DD} < 4.5 V	150			ns
		2.0 V V _{DD} < 2.7 V	300			ns
			400			ns
SI1ホールド時間 (対SCK1)	tKSI9		400			ns
SCK1 SO1出力遅延時間	tKSO9	C = 100 pF ^注			300	ns
SCK1 STB	tSBD		tkcy9/2 - 100		tkcy9/2 + 100	ns
ストローク信号 ハイ・レベル幅	tSBW	2.7 V V _{DD} 5.5 V	tkcy9 - 30		tkcy9 + 30	ns
		2.0 V V _{DD} < 2.7 V	tkcy9 - 60		tkcy9 + 60	ns
			tkcy9 - 90		tkcy9 + 90	ns
ビジィ信号セットアップ時間 (対ビジィ信号検出タイミング)	tBYS		100			ns
ビジィ信号ホールド時間 (対ビジィ信号検出タイミング)	tBYH	4.5 V V _{DD} 5.5 V	100			ns
		2.7 V V _{DD} < 4.5 V	150			ns
		2.0 V V _{DD} < 2.7 V	200			ns
			300			ns
ビジィ・インアクティブ SCK1	tSPS				2 tkcy9	ns

注 Cは, SCK1, SO1出力ラインの負荷容量です。

(iv) 自動送受信機能付き 3 線式シリアルI/Oモード ($\overline{\text{SCK1}}$...外部クロック入力)

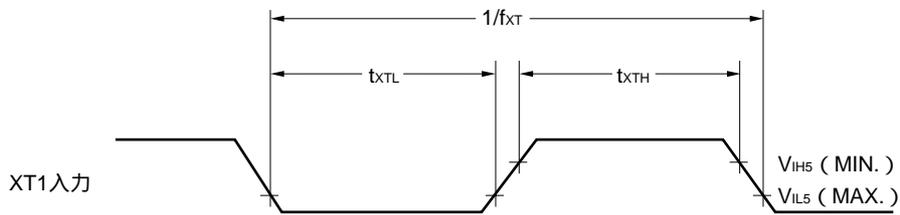
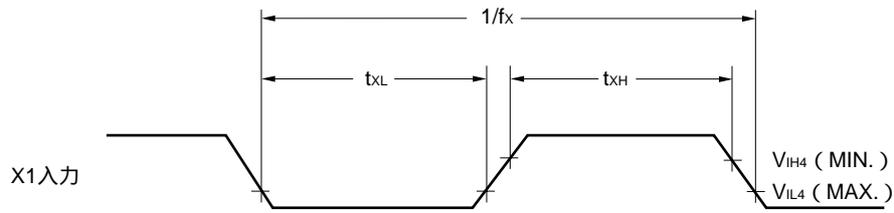
項 目	略 号	条 件		MIN.	TYP.	MAX.	単位
SCK1 サイクル・タイム	t _{KCY10}	4.5 V V_{DD} 5.5 V		800			ns
		2.7 V $V_{DD} < 4.5$ V		1600			ns
		2.0 V $V_{DD} < 2.7$ V		3200			ns
				4800			ns
$\overline{\text{SCK1}}$ ハイ, ロウ・レベル幅	t _{KH10} ,	4.5 V V_{DD} 5.5 V		400			ns
		2.7 V $V_{DD} < 4.5$ V		800			ns
	t _{KL10}	2.0 V $V_{DD} < 2.7$ V		1600			ns
				2400			ns
SI1 セットアップ時間 (対 $\overline{\text{SCK1}}$)	t _{SIK10}	$V_{DD} = 2.0 \sim 5.5$ V		100			ns
				150			ns
SI1 ホールド時間 (対 $\overline{\text{SCK1}}$)	t _{KSI10}			400			ns
SCK1 SO1 出力遅延時間	t _{KSO10}	C = 100 pF ^注	$V_{DD} = 2.0 \sim 5.5$ V			300	ns
						500	ns
SCK1 立ち上がり, 立ち下がり時間	t _{R10} ,	外部デバイス拡張機能使用時				160	ns
	t _{F10}	外部デバイス拡張機能未使用時				1000	ns

注 C は, SO1 出力ラインの負荷容量です。

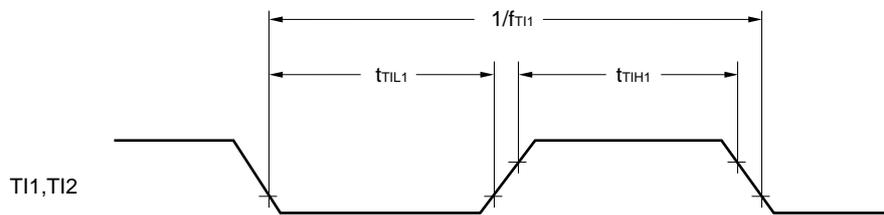
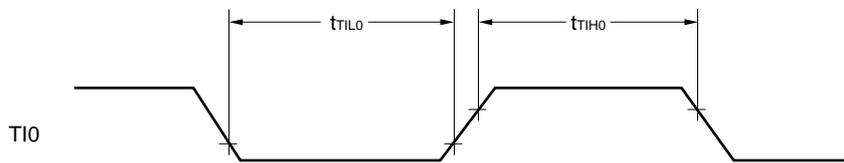
ACタイミング測定点 (X1, XT1入力を除く)



クロック・タイミング

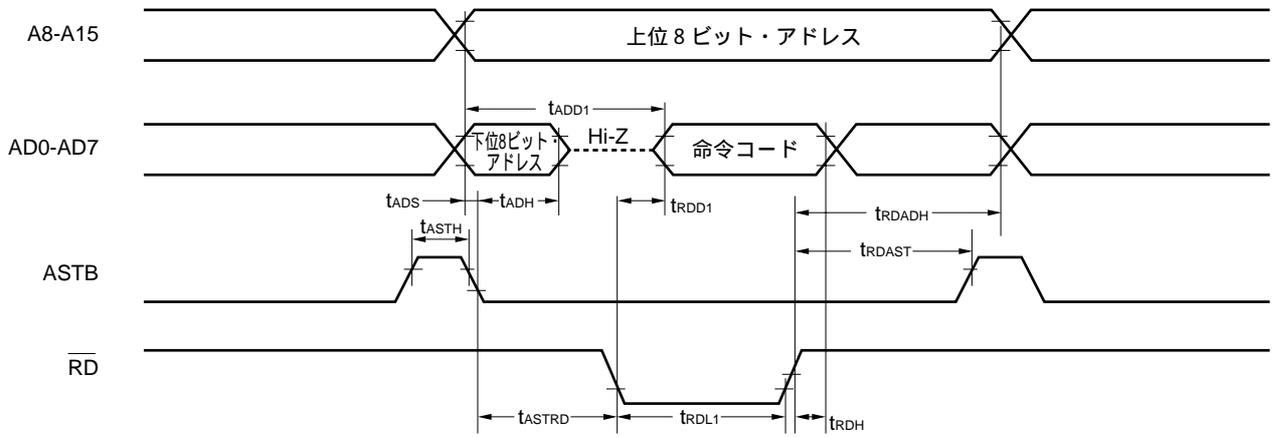


T1タイミング

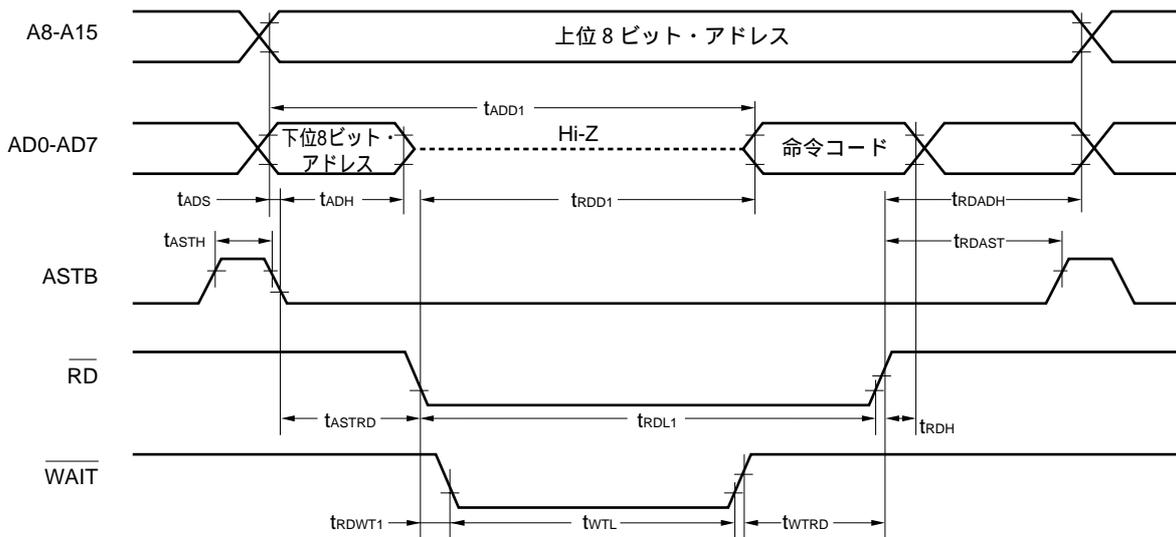


リード/ライト・オペレーション

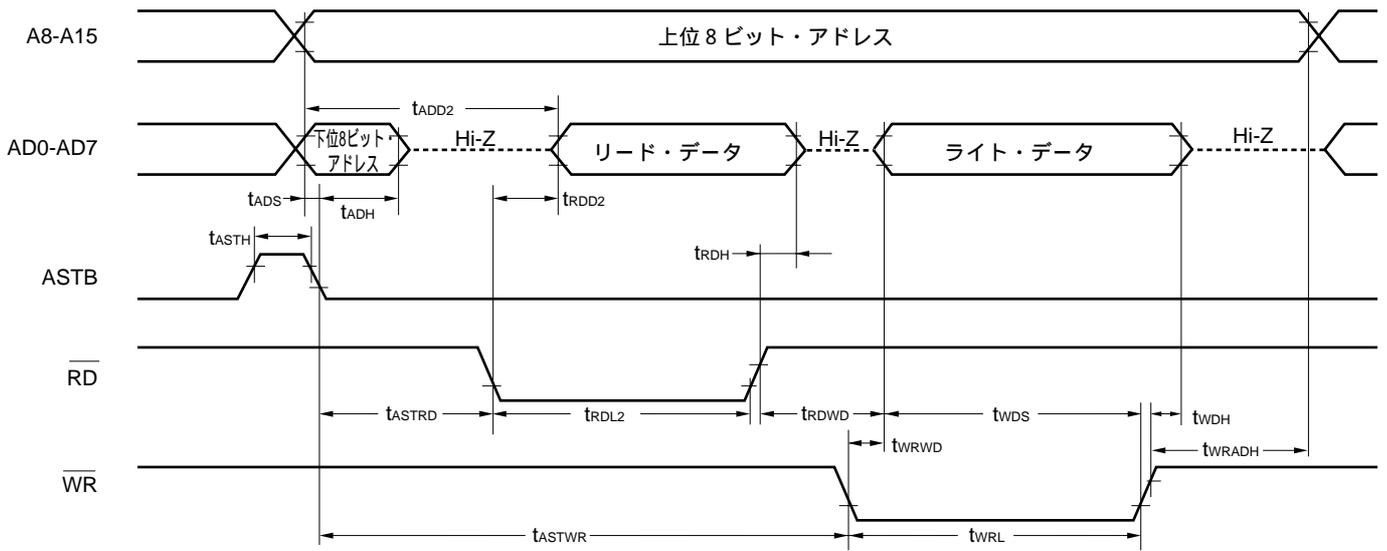
外部フェッチ（ノー・ウエイト時）：



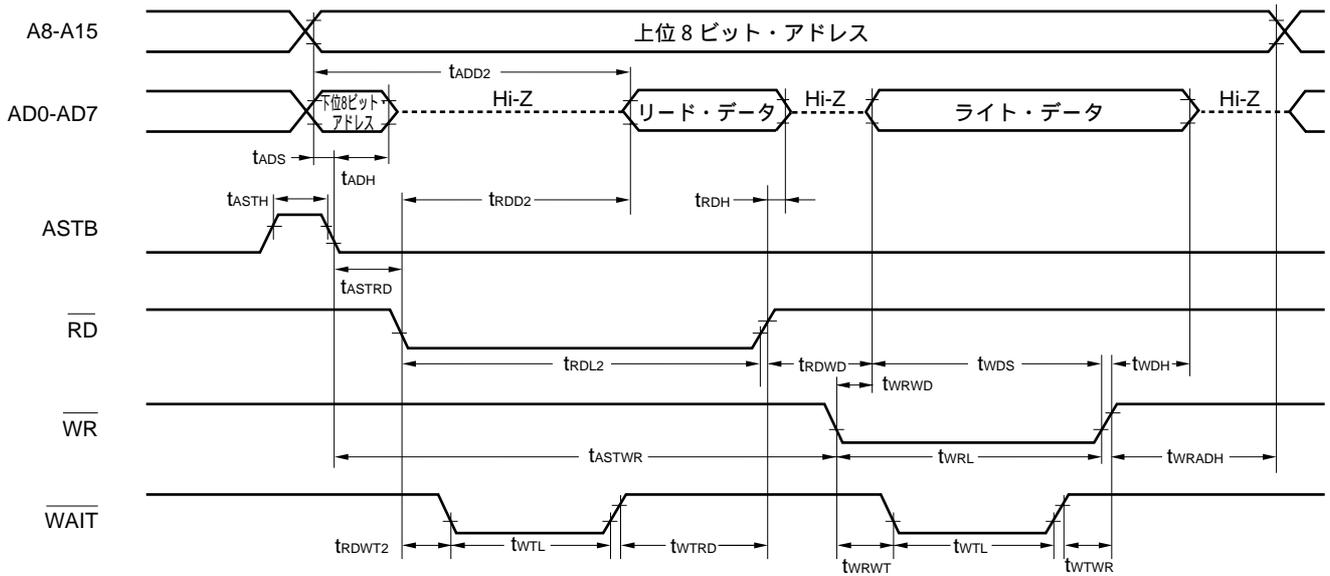
外部フェッチ（ウエイト挿入時）：



外部データ・アクセス（ノー・ウエイト時）：

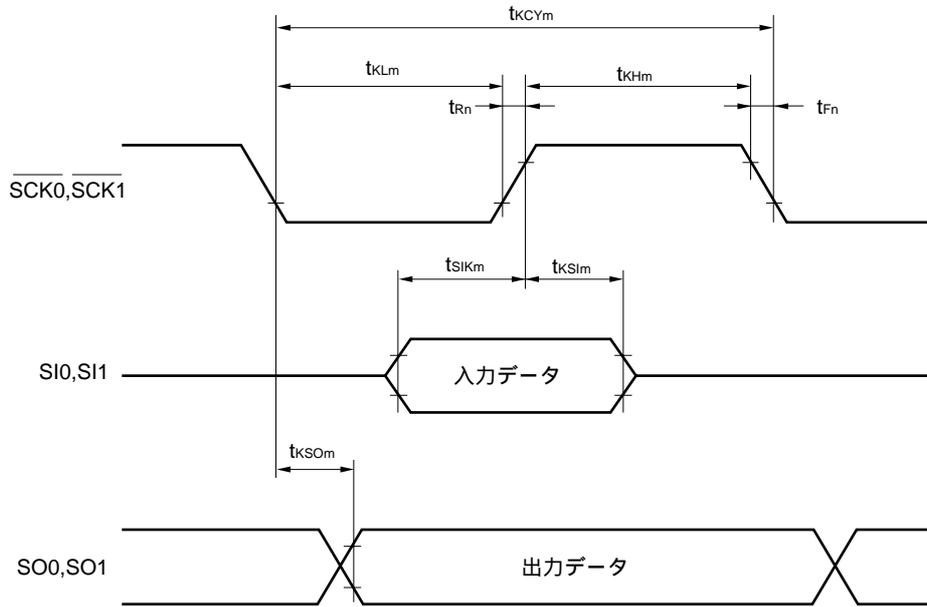


外部データ・アクセス（ウエイト挿入時）：



シリアル転送タイミング

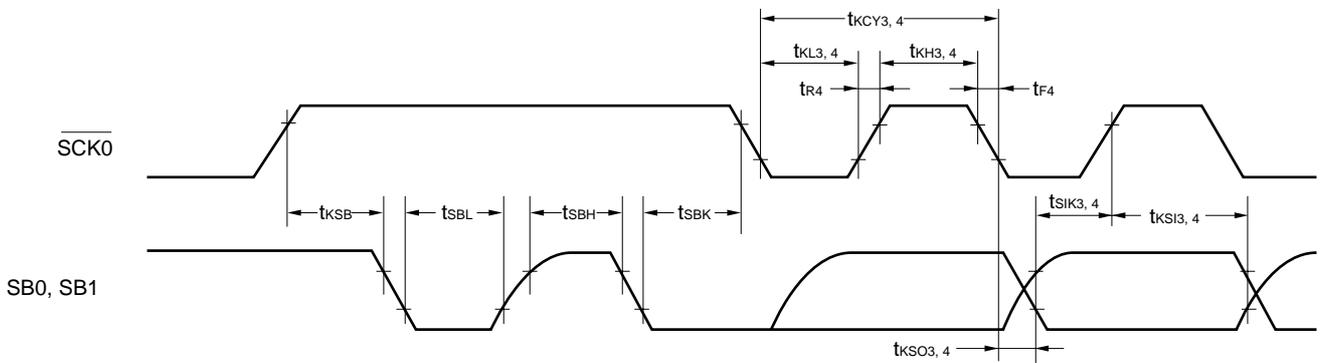
3線式シリアル/Oモード :



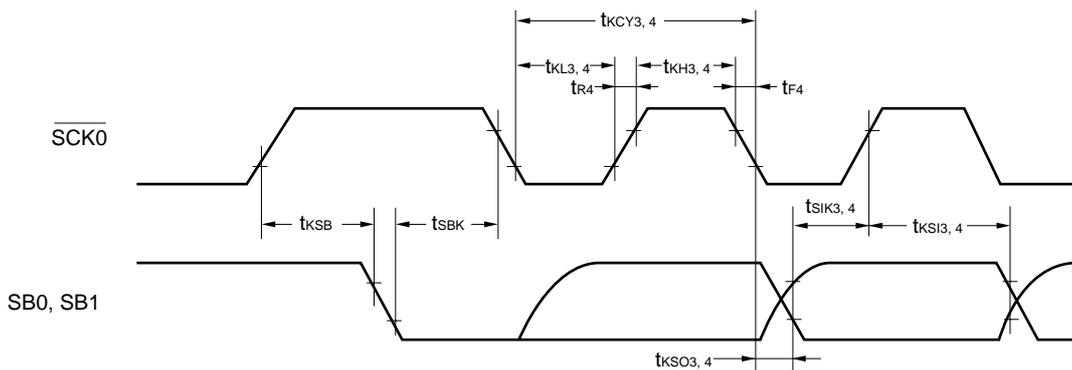
$m = 1, 2, 7, 8$

$n = 2, 8$

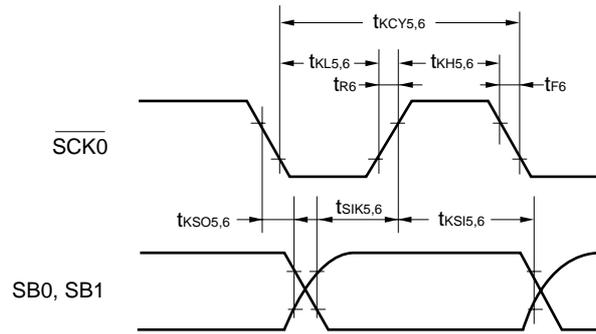
SBIモード (バス・リリース信号転送) :



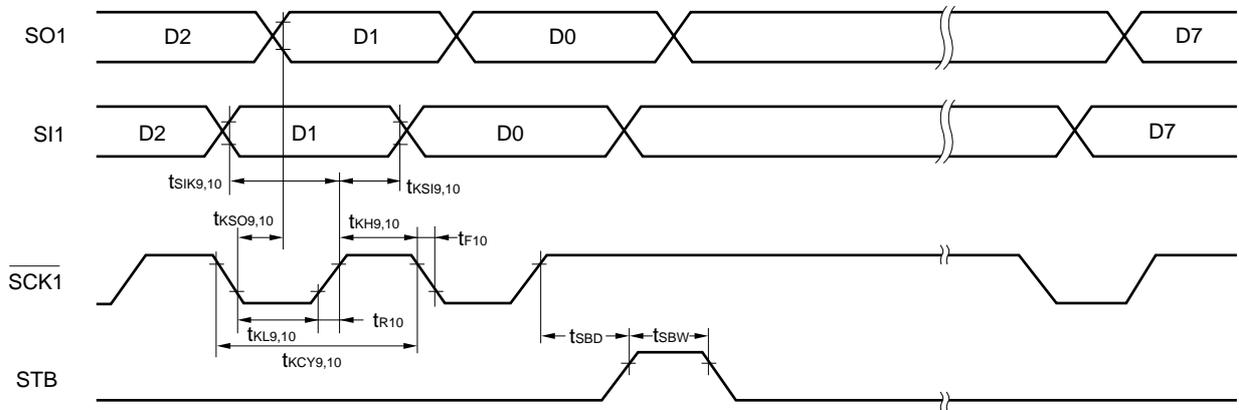
SBIモード (コマンド信号転送) :



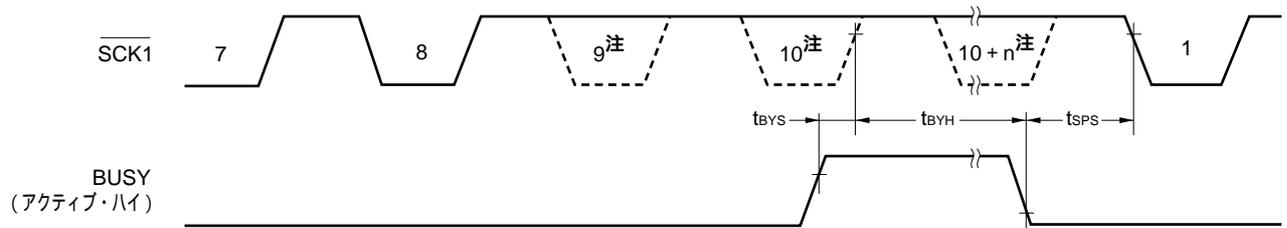
2線式シリアルI/Oモード :



自動送受信機能付き 3線式シリアルI/Oモード :



自動送受信機能付き 3線式シリアルI/Oモード (ビジー処理) :



注 ここでは実際にはロウ・レベルになりませんが、タイミング規定のためこのように表記してあります。

A/Dコンバータ特性 (TA = - 40 ~ + 85 , AVDD = VDD = 2.2 ~ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
総合誤差 ^注		2.7 V AVREF AVDD			0.6	%
		2.2 V AVREF < 2.7 V			1.4	%
変換時間	tCONV	2.7 V AVREF AVDD	19.1		200	μs
		2.2 V AVREF < 2.7 V	38.2		200	μs
サンプリング時間	tsAMP		24/fx			μs
アナログ入力電圧	VIAN		AVSS		AVREF	V
基準電圧	AVREF		2.2		AVDD	V
AVREF抵抗	RAIREF		4	14		k

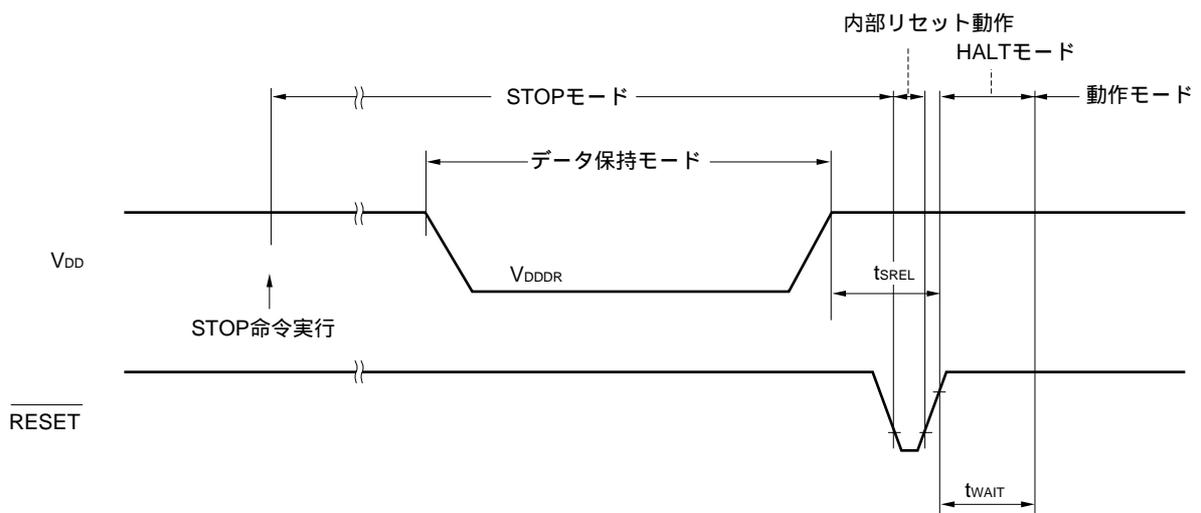
注 量子化誤差 (± 1/2 LSB) を含みません。フルスケール値に対する比率で表します。

データ・メモリSTOPモード低電源電圧データ保持特性 (TA = - 40 ~ + 85)

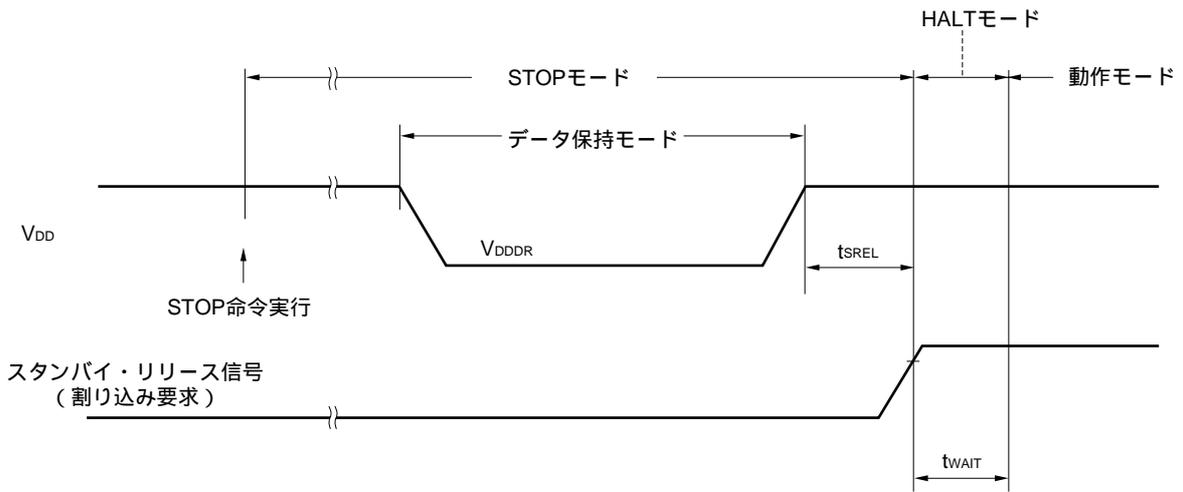
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.8		5.5	V
データ保持電源電流	IDDDR	VDDDR = 1.8 V サブシステム・クロック停止, フィードバック抵抗切断時		0.1	10	μA
リリース信号セット時間	tsREL		0			μs
発振安定ウエイト時間	tWAIT	RESETによる解除		2 ¹³ /fx		ms
		割り込み要求による解除		注		ms

注 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により, 2¹³/fx, 2¹⁵/fx-2¹⁸/fxの選択が可能です。

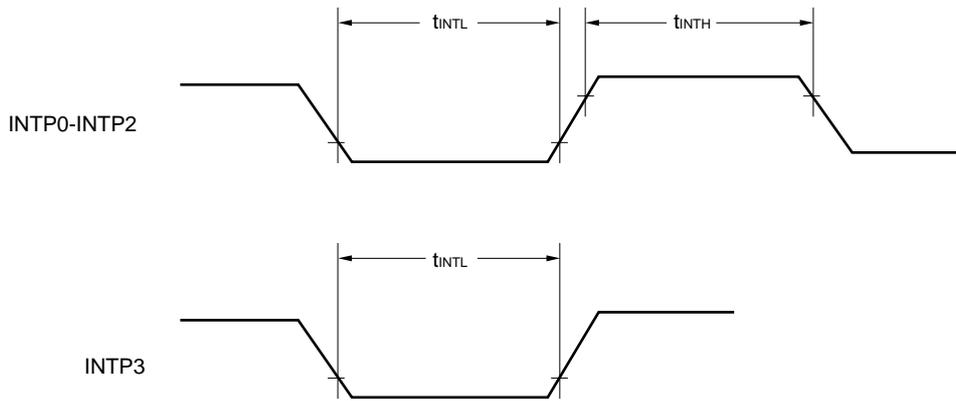
データ保持タイミング (RESETによるSTOPモード解除)



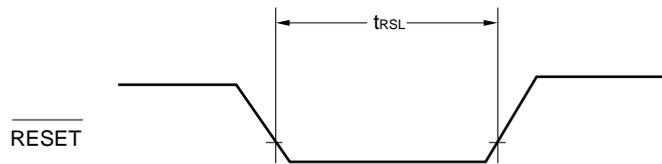
データ保持タイミング (スタンバイ・リリース信号：割り込み要求信号によるSTOPモード解除)



割り込み要求入力タイミング



RESET入力タイミング



PROMプログラミング特性

DC特性

(1) PROM書き込みモード ($T_A = 25 \pm 5$, $V_{DD} = 6.5 \pm 0.25$ V, $V_{PP} = 12.5 \pm 0.3$ V)

項目	略号	略号注	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH}	V_{IH}		$0.7 V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL}	V_{IL}		0		$0.3 V_{DD}$	V
ハイ・レベル出力電圧	V_{OH}	V_{OH}	$I_{OH} = -1$ mA	$V_{DD} - 1.0$			V
ロウ・レベル出力電圧	V_{OL}	V_{OL}	$I_{OL} = 1.6$ mA			0.4	V
入力リーク電流	I_{LI}	I_{LI}	0 $V_{IN} V_{DD}$	-10		+10	μA
V_{PP} 電源電圧	V_{PP}	V_{PP}		12.2	12.5	12.8	V
V_{DD} 電源電圧	V_{DD}	V_{CC}		6.25	6.5	6.75	V
V_{PP} 電源電流	I_{PP}	I_{PP}	$\overline{PGM} = V_{IL}$			50	mA
V_{DD} 電源電流	I_{DD}	I_{CC}				50	mA

注 対応する μPD27C1001Aの略号です。

(2) PROM読み出しモード ($T_A = 25 \pm 5$, $V_{DD} = 5.0 \pm 0.5$ V, $V_{PP} = V_{DD} \pm 0.6$ V)

項目	略号	略号注	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH}	V_{IH}		$0.7 V_{DD}$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL}	V_{IL}		0		$0.3 V_{DD}$	V
ハイ・レベル出力電圧	V_{OH1}	V_{OH1}	$I_{OH} = -1$ mA	$V_{DD} - 1.0$			V
	V_{OH2}	V_{OH2}	$I_{OH} = -100$ μA	$V_{DD} - 0.5$			V
ロウ・レベル出力電圧	V_{OL}	V_{OL}	$I_{OL} = 1.6$ mA			0.4	V
入力リーク電流	I_{LI}	I_{LI}	0 $V_{IN} V_{DD}$	-10		+10	μA
出力リーク電流	I_{LO}	I_{LO}	0 $V_{OUT} V_{DD}$, $\overline{OE} = V_{IH}$	-10		+10	μA
V_{PP} 電源電圧	V_{PP}	V_{PP}		$V_{DD} - 0.6$	V_{DD}	$V_{DD} + 0.6$	V
V_{DD} 電源電圧	V_{DD}	V_{CC}		4.5	5.0	5.5	V
V_{PP} 電源電流	I_{PP}	I_{PP}	$V_{PP} = V_{DD}$			100	μA
V_{DD} 電源電流	I_{DD}	I_{CCA1}	$\overline{CE} = V_{IL}$, $V_{IN} = V_{IH}$			50	mA

注 対応する μPD27C1001Aの略号です。

AC特性

(1) PROM書き込みモード

(a) ページ・プログラム・モード ($T_A = 25 \pm 5$, $V_{DD} = 6.5 \pm 0.25 V$, $V_{PP} = 12.5 \pm 0.3 V$)

項目	略号	略号注	条件	MIN.	TYP.	MAX.	単位
アドレス・セットアップ時間 (対 \overline{OE})	tAS	tAS		2			μs
\overline{OE} セット時間	toES	toES		2			μs
\overline{CE} セットアップ時間 (対 \overline{OE})	tCES	tCES		2			μs
入力データ・セットアップ時間 (対 \overline{OE})	tDS	tDS		2			μs
アドレス・ホールド時間 (対 \overline{OE})	tAH	tAH		2			μs
	tAHL	tAHL		2			μs
	tAHV	tAHV		0			μs
入力データ・ホールド時間 (対 \overline{OE})	tDH	tDH		2			μs
\overline{OE} データ出力フロート遅延時間	tDF	tDF		0		250	ns
V_{PP} セットアップ時間 (対 \overline{OE})	tVPS	tVPS		1.0			ms
V_{DD} セットアップ時間 (対 \overline{OE})	tVDS	tVCS		1.0			ms
プログラム・パルス幅	tpw	tpw		0.095	0.1	0.105	ms
\overline{OE} 有効データ遅延時間	toE	toE				1	μs
データ・ラッチ中の \overline{OE} パルス幅	tLW	tLW		1			μs
\overline{PGM} セット時間	tPGMS	tPGMS		2			μs
\overline{CE} ホールド時間	tCEH	tCEH		2			μs
\overline{OE} ホールド時間	toEH	toEH		2			μs

注 対応するμPD27C1001Aの略号です。

(b) バイト・プログラム・モード ($T_A = 25 \pm 5$, $V_{DD} = 6.5 \pm 0.25 V$, $V_{PP} = 12.5 \pm 0.3 V$)

項目	略号	略号注	条件	MIN.	TYP.	MAX.	単位
アドレス・セットアップ時間 (対 \overline{PGM})	tAS	tAS		2			μs
\overline{OE} セット時間	toES	toES		2			μs
\overline{CE} セットアップ時間 (対 \overline{PGM})	tCES	tCES		2			μs
入力データ・セットアップ時間 (対 \overline{PGM})	tDS	tDS		2			μs
アドレス・ホールド時間 (対 \overline{OE})	tAH	tAH		2			μs
入力データ・ホールド時間 (対 \overline{PGM})	tDH	tDH		2			μs
\overline{OE} データ出力フロート遅延時間	tDF	tDF		0		250	ns
V_{PP} セットアップ時間 (対 \overline{PGM})	tVPS	tVPS		1.0			ms
V_{DD} セットアップ時間 (対 \overline{PGM})	tVDS	tVCS		1.0			ms
プログラム・パルス幅	tpw	tpw		0.095	0.1	0.105	ms
\overline{OE} 有効データ遅延時間	toE	toE				1	μs
\overline{OE} ホールド時間	toEH	-		2			μs

注 対応するμPD27C1001Aの略号です。

(2) PROM読み出しモード ($T_A = 25 \pm 5$, $V_{DD} = 5.0 \pm 0.5 V$, $V_{PP} = V_{DD} \pm 0.6 V$)

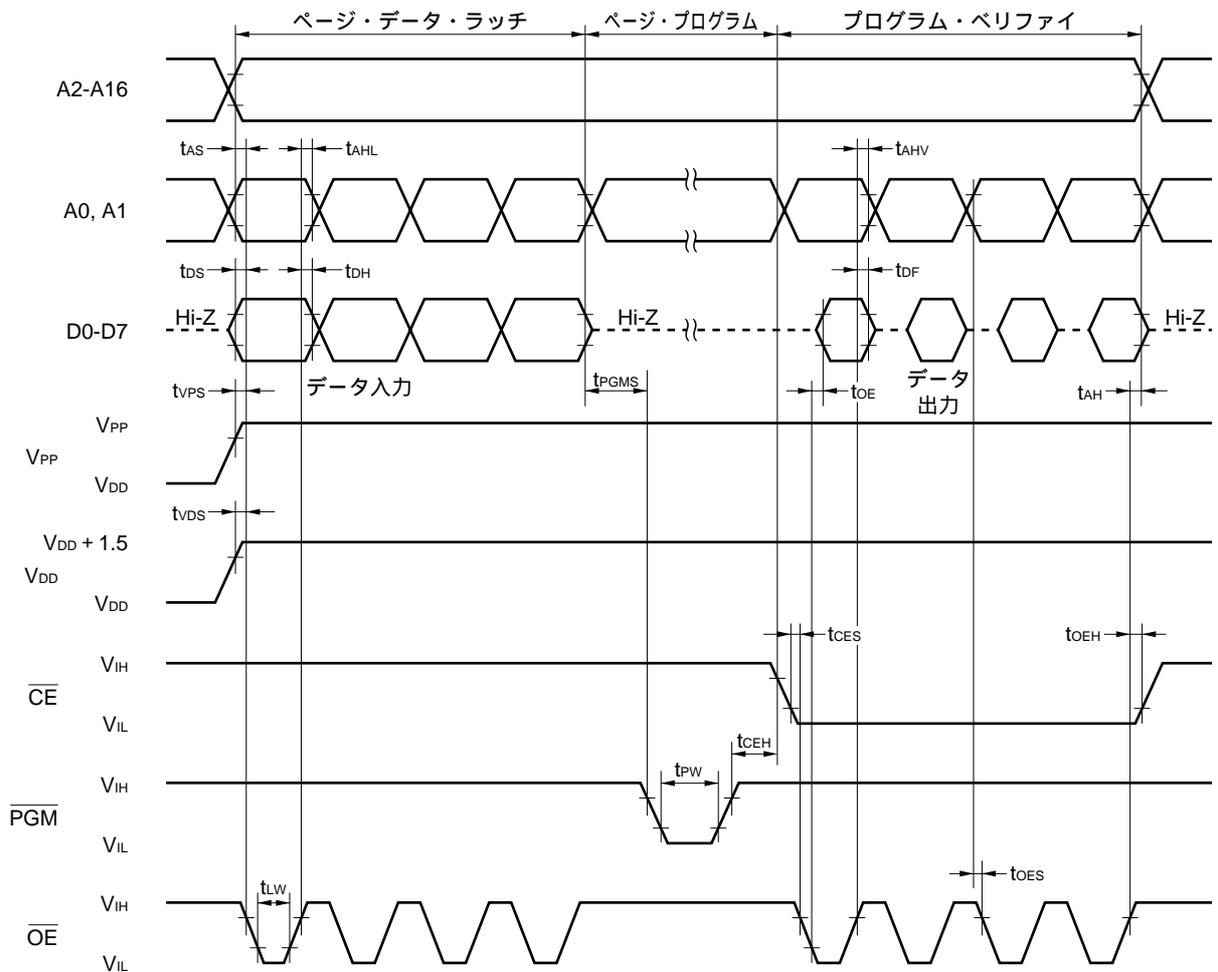
項目	略号	略号注	条件	MIN.	TYP.	MAX.	単位
アドレス データ出力時間	t_{ACC}	t_{ACC}	$\overline{CE} = \overline{OE} = V_{IL}$			800	ns
\overline{CE} データ出力遅延時間	t_{CE}	t_{CE}	$\overline{OE} = V_{IL}$			800	ns
\overline{OE} データ出力遅延時間	t_{OE}	t_{OE}	$\overline{CE} = V_{IL}$			200	ns
\overline{OE} データ出力フロート遅延時間	t_{DF}	t_{DF}	$\overline{CE} = V_{IL}$	0		60	ns
アドレス データ・ホールド時間	t_{OH}	t_{OH}	$\overline{CE} = \overline{OE} = V_{IL}$	0			ns

注 対応する μPD27C1001Aの略号です。

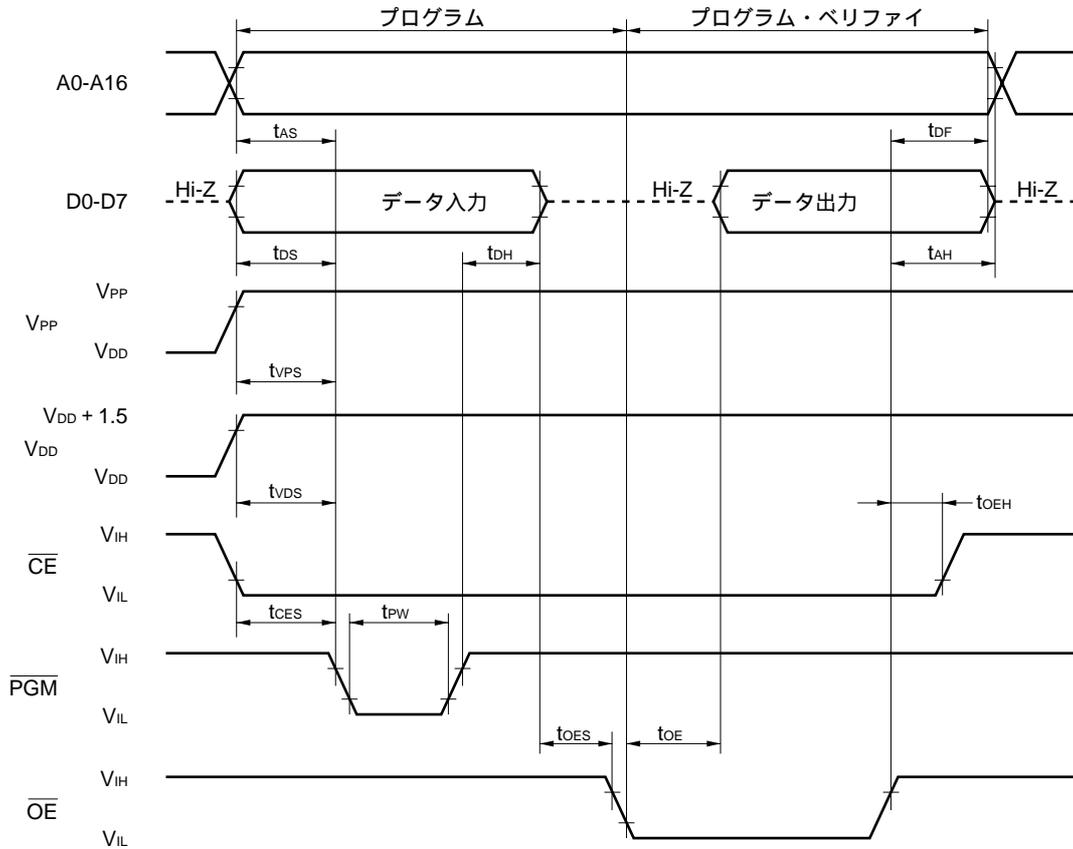
(3) PROMプログラミング・モード設定 ($T_A = 25$, $V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
PROMプログラミング・モード・ セットアップ時間	t_{SMA}		10			μs

PROM書き込みモード・タイミング (ページ・プログラム・モード)

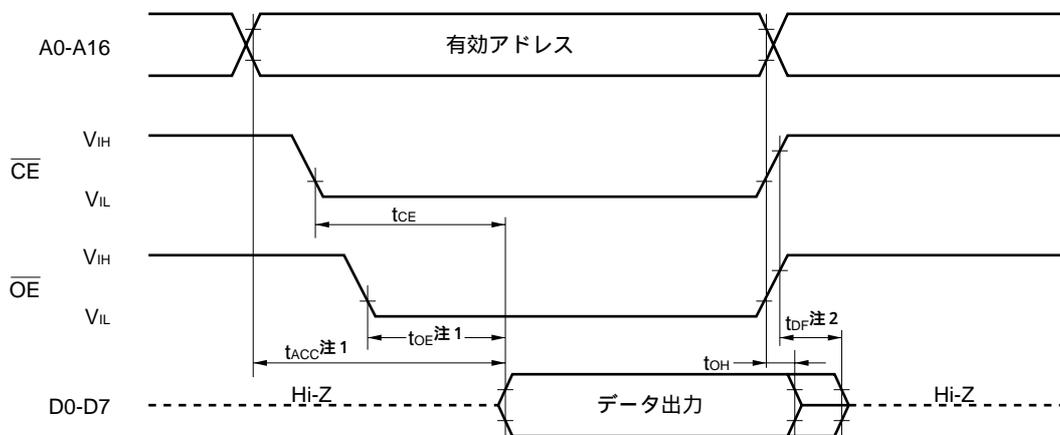


PROM書き込みモード・タイミング (バイト・プログラム・モード)



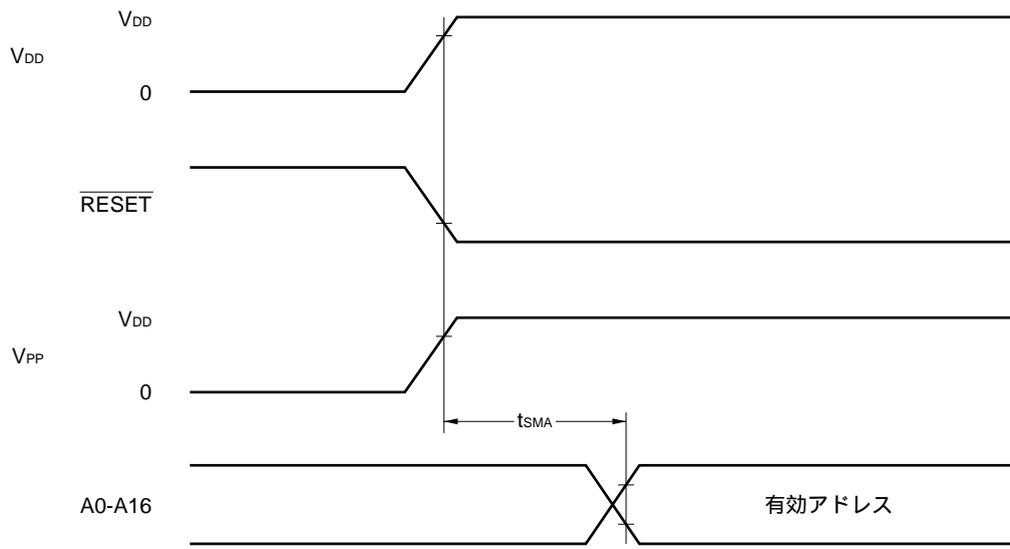
- 注意 1 . VDDはVPPより前に印加し, VPPのあとから切断するようにしてください。
- 2 . VPPはオーバーシュートを含めて +13.5 V以上にならないようにしてください。
- 3 . VPPに +12.5 Vが印加されている間に抜き差しした場合, 信頼性上, 悪影響を受ける可能性があります。

PROM読み出しモード・タイミング



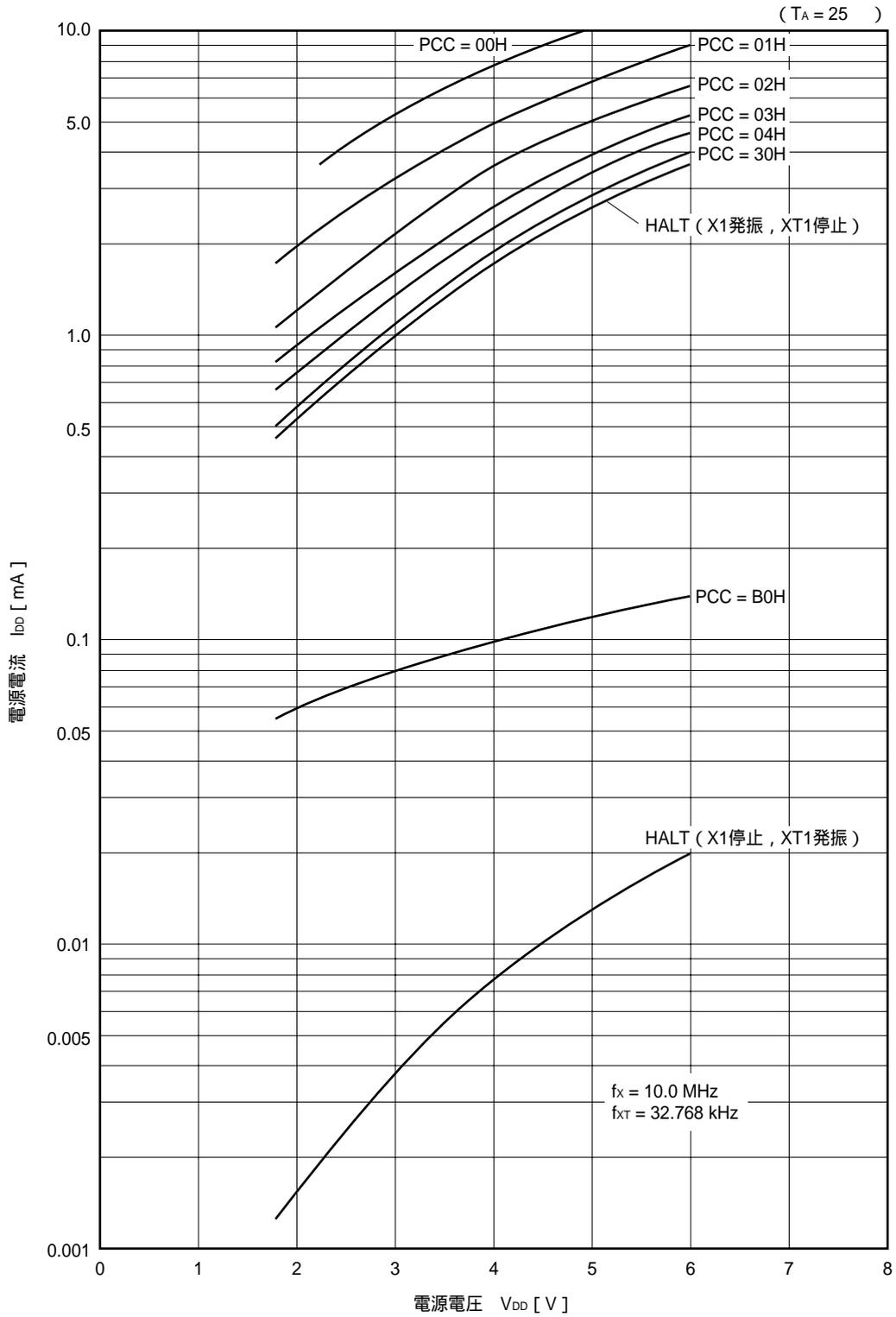
- 注 1 . tACCの範囲内でリードしたい場合, OE入力のCEの立ち下がりからの遅れ時間は最大tACC - tOEとしてください。
- 2 . tDFはOE, CEのどちらか最初にVIHとなった状態からの時間です。

PROMプログラミング・モード設定タイミング



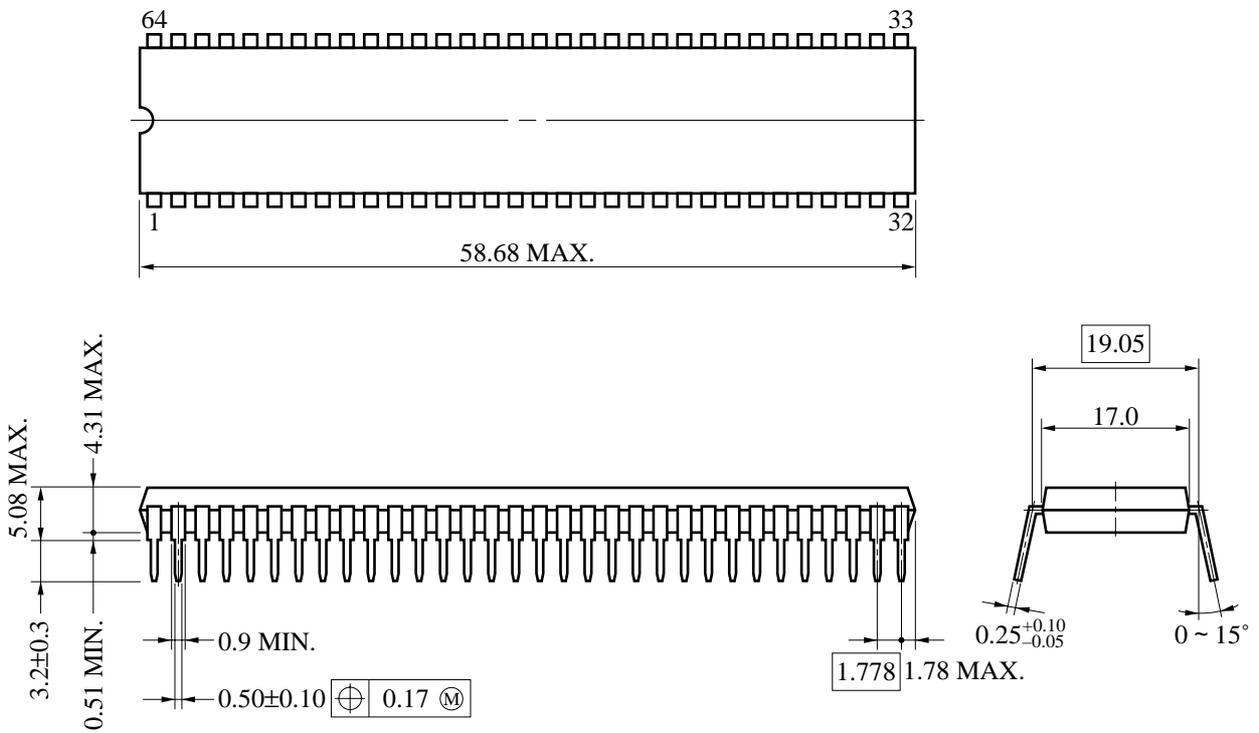
★ 10. 特性曲線 (参考値)

I_{DD} vs V_{DD} (メイン・システム・クロック : 10.0 MHz)



11. 外形図

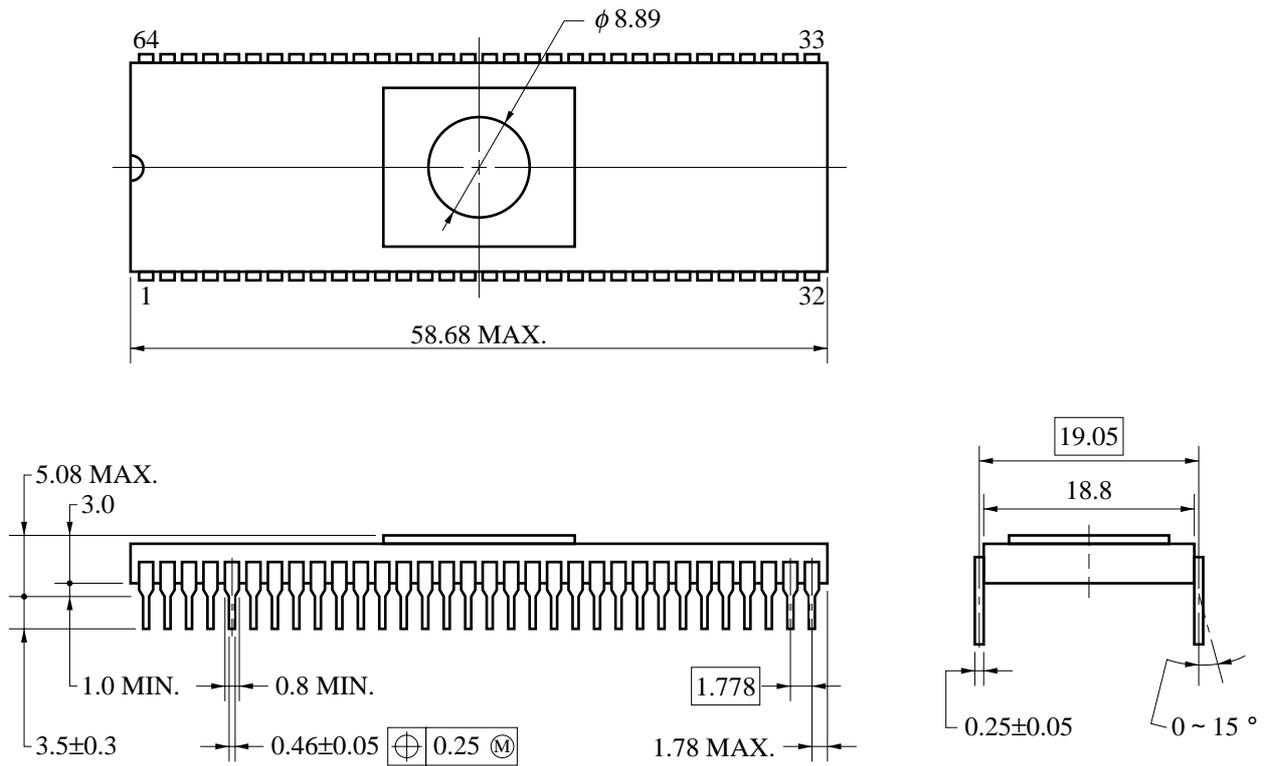
64ピン・プラスチック・シュリンク DIP (750 mil) 外形図 (単位 : mm)



P64C-70-750A,C-1

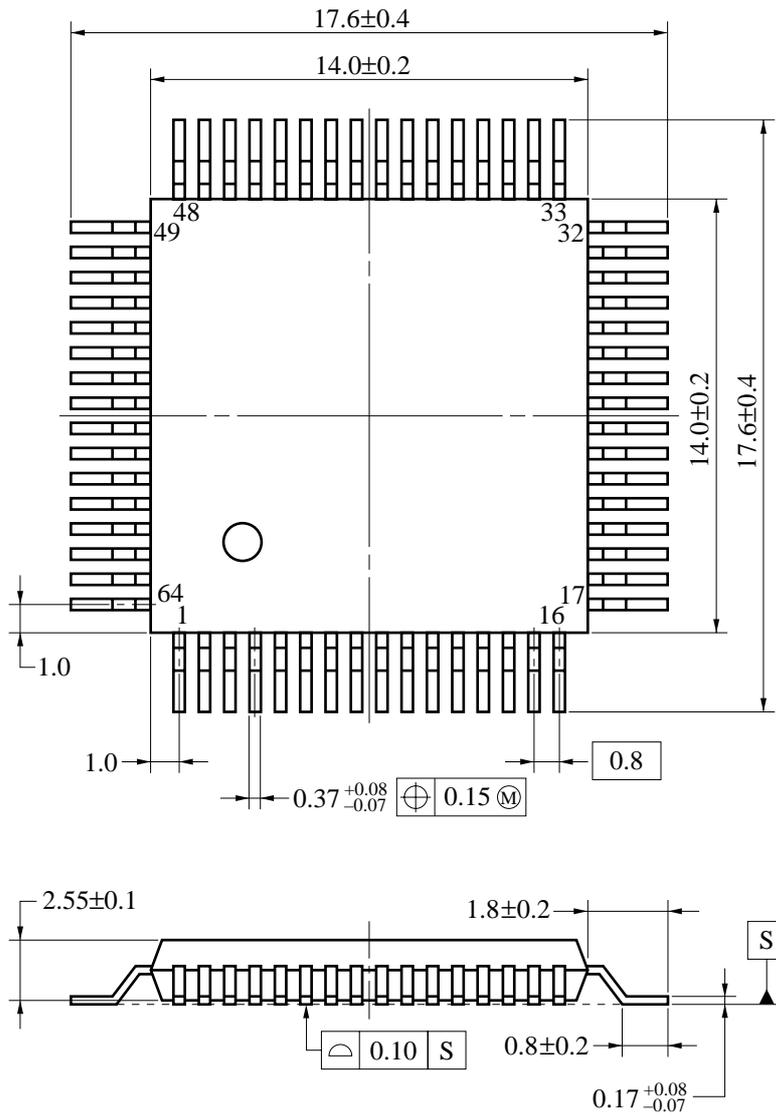
備考 ES品の外形や材質は、量産品と同じです。

64ピン・セラミック・シュリンク DIP (750 mil) 外形図 (単位 : mm)

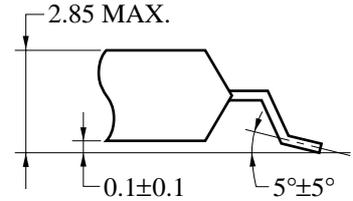


P64DW-70-750A-1

64ピン・プラスチック QFP (14) 外形図 (単位 : mm)



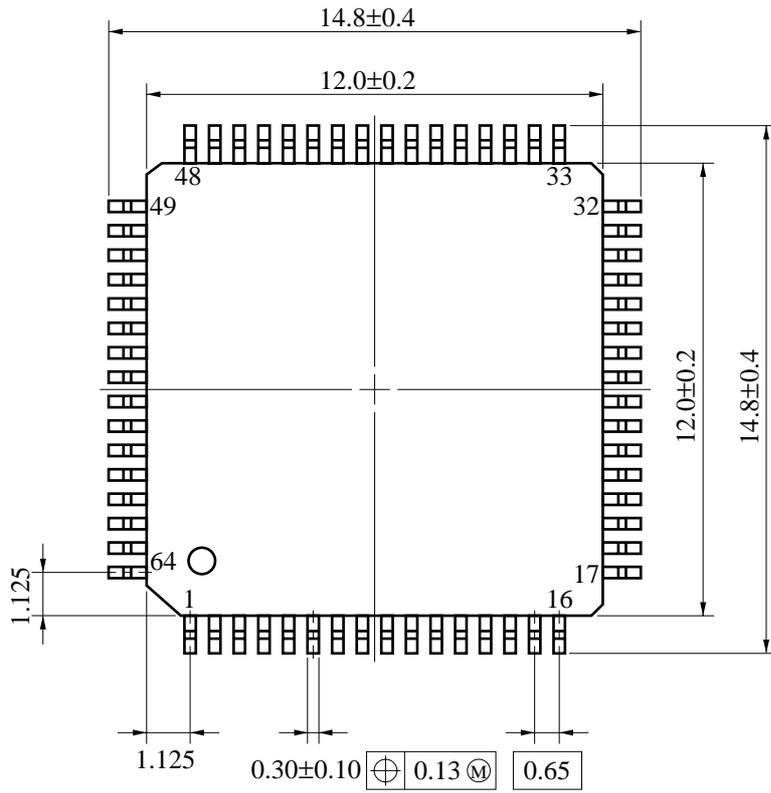
端子先端形状詳細図



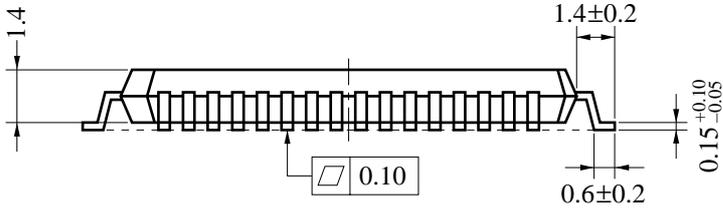
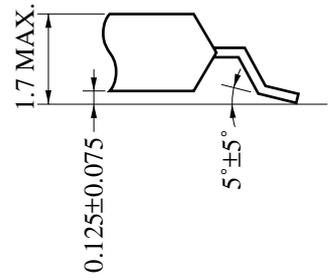
P64GC-80-AB8-4

備考 ES品の外形や材質は、量産品と同じです。

64ピン・プラスチック LQFP (12) 外形図 (単位 : mm)



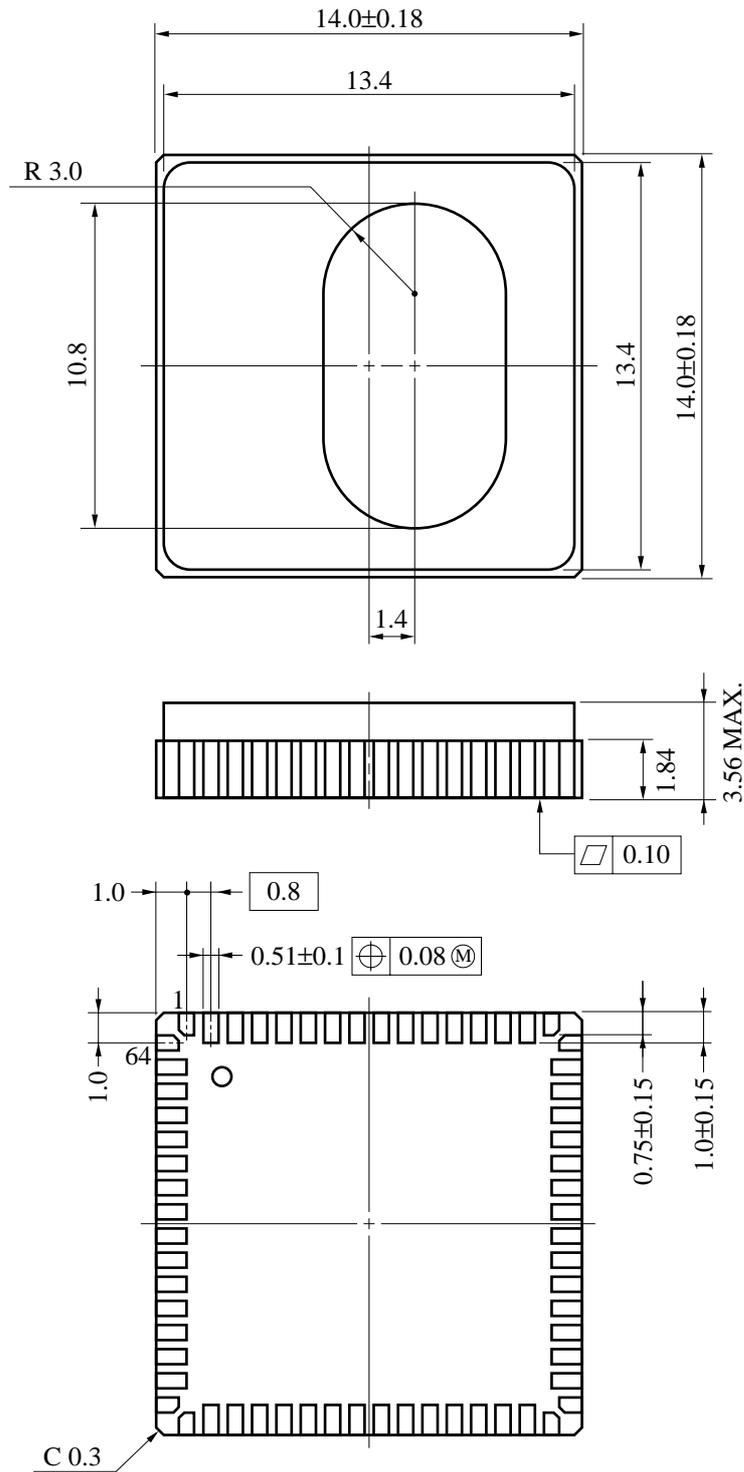
端子先端形状詳細図



P64GK-65-8A8-1

備考 ES品の外形や材質は、量産品と同じです。

64ピン・セラミック WQFN 外形図 (単位: mm)



X64KW-80A1

12. 半田付け推奨条件

μPD78P018Fの半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表12 - 1 表面実装タイプの半田付け条件

(1) μPD78P018FGC-AB8 : 64ピン・プラスチックQFP (14 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上) ，回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上) ，回数：3回以内	VP15-00-3
ウエーブ・ ソルダリング	半田槽温度：260 ，時間：10秒以内，回数：1回， 予備加熱温度：120 MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：300 以下，時間：3秒以内 (デバイスの一辺当たり)	-

(2) μPD78P018FGK-8A8 : 64ピン・プラスチックLQFP (12 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上) ，回数：2回以内， 制限日数：7日間 ^注 (以降は125 プリベーク10時間必要) <留意事項> 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上) ，回数：2回以内， 制限日数：7日間 ^注 (以降は125 プリベーク10時間必要) <留意事項> 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングができません。	VP15-107-2
ウエーブ・ ソルダリング	半田槽温度：260 ，時間：10秒以内，回数：1回， 予備加熱温度：120 MAX. (パッケージ表面温度) ， 制限日数：7日間 ^注 (以降は125 プリベーク10時間必要)	WS60-107-1
端子部分加熱	端子温度：300 以下，時間：3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で、保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱は除く)。

表12 - 2 挿入タイプの半田付け条件

μPD78P018FCW : 64ピン・プラスチック・シュリンクDIP (750 mil)

μPD78P018FDW : 64ピン・セラミック・シュリンクDIP (窓付き) (750 mil)

半田付け方式	半田付け条件
ウェーブ・ソルダリング (端子のみ)	半田槽温度 : 260 以下, 時間 : 10秒以内
端子部分加熱	端子温度 : 300 以下, 時間 : 3 秒以内 (1 端子当たり)

注意 ウェーブ・ソルダリングは端子のみとし、噴流半田が直接本体に接触しないようにしてください。

★ 付録A . 開発ツール

μPD78P018Fを使用するシステム開発のために次のような開発ツールを用意しています。

(5) 開発ツールを使用する際の注意も参照してください。

(1) 言語処理用ソフトウェア

RA78K/0	78K/0シリーズ共通のアセンブラ・パッケージ
CC78K/0	78K/0シリーズ共通のCコンパイラ・パッケージ
DF78014	μPD78018Fサブシリーズ用デバイス・ファイル
CC78K/0-L	78K/0シリーズ共通のCコンパイラ・ライブラリ・ソース・ファイル

(2) PROM書き込み用ツール

PG-1500	PROMプログラマ
PA-78P018CW PA-78P018GC PA-78P018GK PA-78P018KK-S	PG-1500に接続するプログラマ・アダプタ
PG-1500コントローラ	PG-1500用コントロール・プログラム

(3) デバッグ用ツール

・インサーキット・エミュレータ IE-78K0-NSを使用する場合

IE-78K0-NS	78K/0シリーズ共通のインサーキット・エミュレータ
IE-70000-MC-PS-B	IE-78K0-NS用電源ユニット
IE-70000-98-IF-C	ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときに必要なインタフェース・アダプタ(Cバス対応)
IE-70000-CD-IF-A	ホスト・マシンとしてPC-9800シリーズのノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブル(PCMCIAソケット対応)
IE-70000-PC-IF-C	ホスト・マシンとしてIBM PC/AT™互換機を使用するときに必要なインタフェース・アダプタ(ISAバス対応)
IE-70000-PCI-IF	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタ
IE-78018-NS-EM1	μPD78018Fサブシリーズ用エミュレーション・ボード
NP-64CW	64ピン・プラスチック・シュリンクDIP(CWタイプ)用エミュレーション・プローブ
NP-64GC	64ピン・プラスチックQFP(GC-AB8タイプ)用エミュレーション・プローブ
NP-64GK	64ピン・プラスチックLQFP(GK-8A8タイプ)用エミュレーション・プローブ
TGK-064SBW	64ピン・プラスチックLQFP(GK-8A8タイプ)を実装できるように作られたターゲット・システムの基板と、NP-64GKを接続するための変換アダプタ
EV-9200GC-64	64ピン・プラスチックQFP(GC-AB8タイプ)用に作られたターゲット・システムの基板上に実装するソケット
ID78K0-NS	IE-78K0-NS用統合デバッグ
SM78K0	78K/0シリーズ共通のシステム・シミュレータ
DF78014	μPD78018Fサブシリーズ用デバイス・ファイル

・インサーキット・エミュレータ IE-78001-R-Aを使用する場合

IE-78001-R-A	78K/0シリーズ共通のインサーキット・エミュレータ
IE-70000-98-IF-C	ホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なインタフェース・アダプタ（Cバス対応）
IE-70000-PC-IF-C	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なインタフェース・アダプタ（ISAバス対応）
IE-78000-R-SV3	ホスト・マシンとしてEWSを使用するときに必要なインタフェース・アダプタとケーブル
IE-70000-PCI-IF	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタ
IE-78018-NS-EM1	μPD78018Fサブシリーズ用エミュレーション・ボード
IE-78K0-R-EX1	IE-78018-NS-EM1をIE-78001-R-A上で使用するときに必要なエミュレーション・プロンプト変換ボード
EP-78240CW-R	64ピン・プラスチック・シュリンクDIP（CWタイプ）用エミュレーション・プロンプト
EP-78240GC-R	64ピン・プラスチックQFP（GC-AB8タイプ）用エミュレーション・プロンプト
EP-78012GK-R	64ピン・プラスチックLQFP（GK-8A8タイプ）用エミュレーション・プロンプト
TGK-064SBW	64ピン・プラスチックLQFP（GK-8A8タイプ）を実装できるように作られたターゲット・システムの基板と、EP-78012GK-Rを接続するための変換アダプタ
EV-9200GC-64	64ピン・プラスチックQFP（GC-AB8タイプ）用に作られたターゲット・システムの基板上に実装するソケット
ID78K0	IE-78001-R-A用統合ディバガ
SM78K0	78K/0シリーズ共通のシステム・シミュレータ
DF78014	μPD78018Fサブシリーズ用デバイス・ファイル

(4) リアルタイムOS

RX78K/0	78K/0シリーズ用リアルタイムOS
MX78K0	78K/0シリーズ用OS

(5) 開発ツールを使用する際の注意

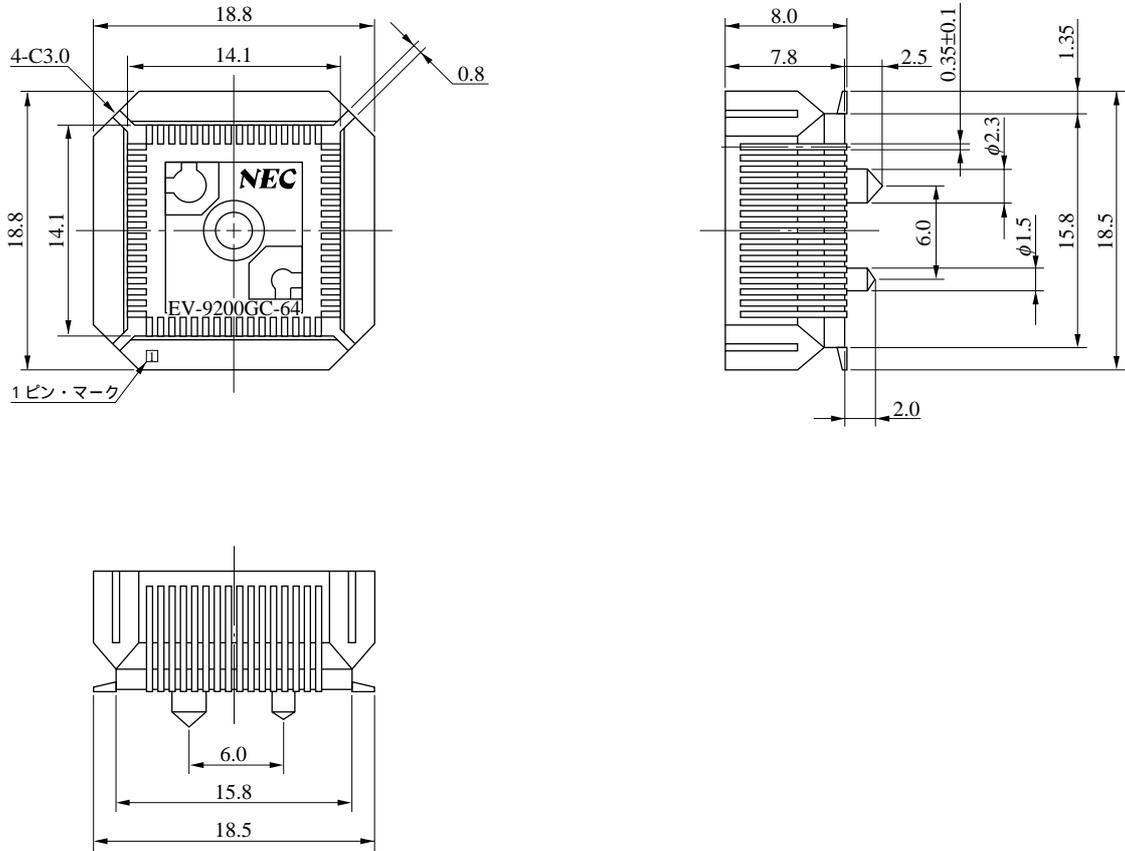
- ・ ID78K0-NS, ID78K0, SM78K0は , DF78014と組み合わせて使用します。
- ・ CC78K/0, RX78K/0は , RA78K/0およびDF78014と組み合わせて使用します。
- ・ NP-64CW, NP-64GC, NP-64GKは , 株式会社内藤電誠町田製作所 (TEL (044) 822-3813) の製品です。ご購入の際はNEC特約店にご相談ください。
- ・ TGK-064SBWは , 東京エレテック株式会社の製品です。
 問い合わせ先 : 大丸興業株式会社 東京電子コンポーネンツ部 (TEL (03) 3820-7112)
 大阪電子コンポーネンツ部 (TEL (06) 244-6672)
- ・ 3rdパーティ製開発ツールについては , 78K/0シリーズ **セレクション・ガイド** (U11126J) を参照してください。
- ・ 各ソフトウェアに対応するホスト・マシンとOSは次のとおりです。

ホスト・マシン [OS] ソフトウェア	PC	EWS
		PC-9800シリーズ [Windows™] IBM PC/AT互換機 日本語 / 英語Windows]
RA78K/0	注	
CC78K/0	注	
PG-1500コントローラ	注	-
ID78K0-NS		-
ID78K0		
SM78K0		-
RX78K/0	注	
MX78K0	注	

注 DOSベースのソフトウェアです。

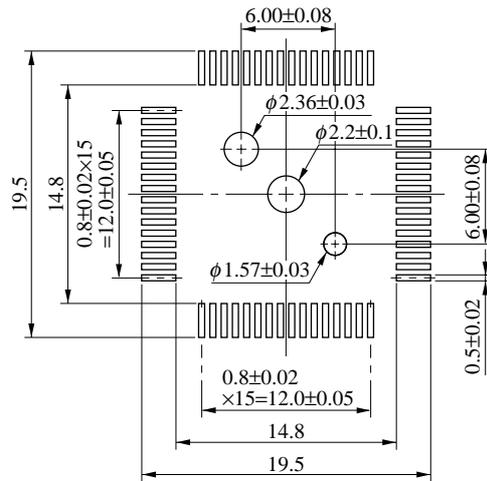
変換ソケット (EV-9200GC-64) の外形図と基板取り付け推奨パターン

図 A - 1 EV-9200GC-64 外形図 (参考) (単位 : mm)



EV-9200GC-64-G0

図A - 2 EV-9200GC-64 基板取り付け推奨パターン(参考)(単位: mm)

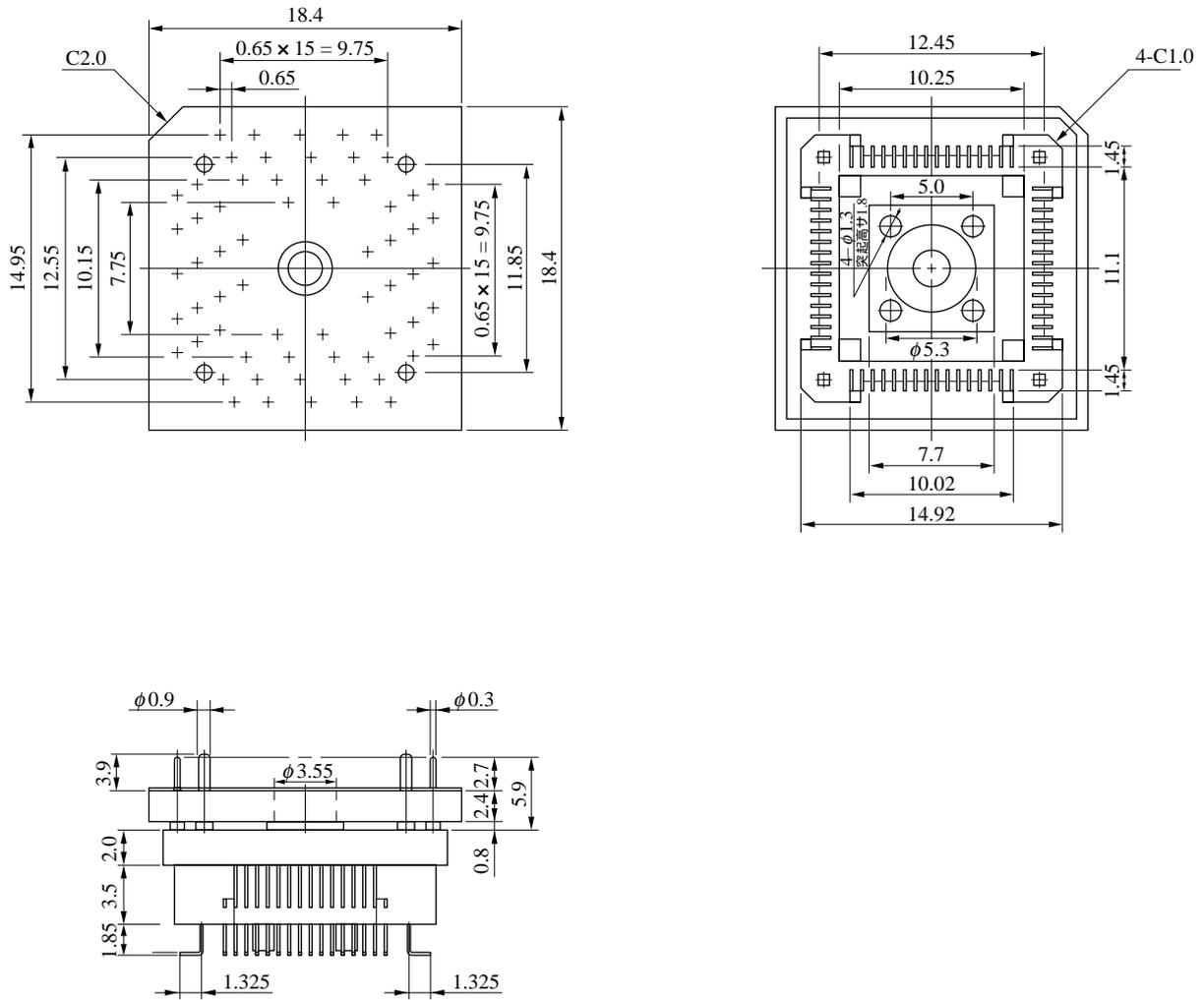


EV-9200GC-64-P1

注意 EV-9200用のマウント・パッド寸法と、対象製品のマウント・パッド寸法(QFP用)は、その一部が異なる場合があります。QFP用の推奨マウント・パッド寸法は、「半導体デバイス 実装マニュアル, C10535J」をご参照ください。

変換アダプタ (TGK-064SBW) の外形図

図A - 3 TGK-064SBW 外形図 (参考) (単位: mm)



注: 東京エレクトック (株) 製

TGK-064SBW-G1

★ 付録B . 関連資料

デバイスの関連資料

資 料 名	資 料 番 号		
	和 文	英 文	
μ PD78011F, 78012F, 78013F, 78014F, 78015F, 78016F, 78018F データ・シート	U10280J	U10280E	
μ PD78P018F データ・シート	この資料	U10955E	
μ PD78018F, 78018FYサブシリーズ ユーザーズ・マニュアル	U10659J	U10659E	
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E	
78K/0シリーズ インストラクション活用表	U10903J	-	
78K/0シリーズ インストラクション・セット	U10904J	-	
μ PD78018Fサブシリーズ 特殊機能レジスタ活用表	IEM-5594	-	
78K/0シリーズ アプリケーション・ノート	基礎編 (I)	U12704J	U12704E
	浮動小数点演算プログラム編	U13482J	IEA-1289

開発ツールの資料 (ユーザーズ・マニュアル) (1/2)

資 料 名	資 料 番 号		
	和 文	英 文	
RA78K0 アセンブラ・パッケージ	操作編	U11802J	U11802E
	アセンブリ言語編	U11801J	U11801E
	構造化アセンブリ言語編	U11789J	U11789E
RA78Kシリーズ 構造化アセンブラ・プリプロセッサ	U12323J	EEU-1402	
CC78K0 Cコンパイラ	操作編	U11517J	U11517E
	言語編	U11518J	U11518E
CC78K/0 Cコンパイラ アプリケーション・ノート	プログラミング・ノウハウ編	U13034J	U13034E
PG-1500 PROMプログラマ	U11940J	U11940E	
PG-1500コントローラ PC-9800シリーズ (MS-DOS™) ベース	EEU-704	EEU-1291	
PG-1500コントローラ IBM PCシリーズ (PC DOS™) ベース	EEU-5008	U10540E	
IE-78K0-NS	作成予定	作成予定	
IE-78001-R-A	作成予定	作成予定	
IE-78K0-R-EX1	作成予定	作成予定	
IE-78018-NS-EM1	U13289J	作成予定	
EP-78240	EEU-986	U10332E	
EP-78012GK-R	EEU-5012	EEU-1538	

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

開発ツールの資料 (ユーザーズ・マニュアル) (2/2)

資 料 名		資 料 番 号	
		和 文	英 文
SM78K0 システム・シミュレータ Windowsベース	レファレンス編	U10181J	U10181E
SM78Kシリーズ システム・シミュレータ	外部部品ユーザオープン インタフェース仕様編	U10092J	U10092E
ID78K0-NS 統合ディバッガ Windowsベース	レファレンス編	U12900J	U12900E
ID78K0 統合ディバッガ EWSベース	レファレンス編	U11151J	-
ID78K0 統合ディバッガ PCベース	レファレンス編	U11539J	U11539E
ID78K0 統合ディバッガ Windowsベース	ガイド編	U11649J	U11649E

組み込み用ソフトウェアの資料 (ユーザーズ・マニュアル)

資 料 名		資 料 番 号	
		和 文	英 文
78K/0シリーズ リアルタイムOS	基礎編	U11537J	U11537E
	インストール編	U11536J	U11536E
78K/0シリーズ用OS MX78K0	基礎編	U12257J	U12257E

その他の資料

資 料 名		資 料 番 号	
		和 文	英 文
NEC IC Package Manual (CD-ROM)		-	C13388E
半導体デバイス 実装マニュアル		C10535J	C10535E
NEC半導体デバイスの品質水準		C11531J	C11531E
NEC半導体デバイスの信頼性品質管理		C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド		C11892J	C11892E
半導体 品質 / 信頼性ハンドブック		C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編		U11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

{ × ㇀ }

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

FIPは、日本電気株式会社の登録商標です。

IEBus, QTOPは、日本電気株式会社の商標です。

MS-DOSおよびWindowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/AT, PC DOSは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

