

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

8ビット・シングルチップ・マイクロコンピュータ

μ PD78P014 は、78K/0 シリーズの中の μ PD78014 サブシリーズの製品で、 μ PD78014 の内蔵マスク ROM を、ワン・タイム PROM または EPROM に置き換えたものです。

ユーザによるプログラムの書き込みが可能のため、システム開発時の評価用や多品種少量生産、早期立ち上げに最適です。

詳しい機能説明などは次のユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD78014, 78014Y シリーズ ユーザズ・マニュアル: IEU-780

特 徴

- マスク ROM 製品とピン・コンパチブル (V_{pp} 端子を除く)
- 内部 PROM: 32 K バイト^注
 - μ PD78P014DW : 再プログラム可能 (システム評価に最適)
 - μ PD78P014CW, 78P014GC-AB8 : 一度だけプログラム可能 (少量生産に最適)
- 内部高速 RAM: 1024 バイト^注
- バッファ RAM: 32 バイト
- マスク ROM 製品と同じ電源電圧範囲で動作可能 (2.7~6.0 V)
- QTOPTMマイコン対応

★

注 メモリ・サイズ切り替えレジスタにより、内部 PROM、内部高速 RAM 容量の変更可能。

備考 QTOP マイコンとは、NEC が提供する「プログラム書き込みから捺印、スクリーニング、ベリファイまでトータル・サポートされたワン・タイム PROM 内蔵シングルチップ・マイコン」の総称です。

マスク ROM 製品とは、以下の点が異なります。

- メモリ・サイズ切り替えレジスタの設定により、マスク ROM 製品と同一のメモリ・マッピングが可能です。
- P60-P63 端子にはマスク・オプションによるプルアップ抵抗の内蔵機能はありません。

オーダ情報

オーダ名称	パッケージ	内部 ROM
μ PD78P014CW	64 ピン・プラスチック・シュリンク DIP (750 mil)	ワン・タイム PROM
μ PD78P014DW	64 ピン・セラミック・シュリンク DIP (窓付き) (750 mil)	EPROM
μ PD78P014GC-AB8	64 ピン・プラスチック QFP (\square 14 mm)	ワン・タイム PROM

本資料では、ワン・タイム PROM 製品と EPROM 製品の共通する部分を PROM という表記で代表しています。

本資料の内容は、後日変更する場合があります。

品質水準

標準 (一般電子機器用)

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(IEI-620) をご覧ください。

★ 78K/0 シリーズの展開



機能概要

項	目	機	能
内部メモリ		<ul style="list-style-type: none"> • PROM : 32 K バイト注 • RAM 内部高速 RAM : 1024 バイト注 バッファ RAM : 32 バイト 	
メモリ空間		64 K バイト	
汎用レジスタ		8 ビット × 32 レジスタ (8 ビット × 8 レジスタ × 4 バンク)	
インストラクション・サイクル	メイン・システム・クロック選択時	命令実行時間の可変機能内蔵	
	サブシステム・クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs (10.0 MHz 動作時)	
命令セット		<ul style="list-style-type: none"> • 16 ビット演算 • 乗除算 (8 ビット × 8 ビット, 16 ビット ÷ 8 ビット) • ビット操作 (セット, リセット, テスト, ブール演算) • BCD 補正 など 	
I/O ポート		合計 : 53 本	<ul style="list-style-type: none"> • CMOS 入力 : 2 本 • CMOS 入出力 : 47 本 • N-ch オープン・ドレイン入出力 (15 V 耐圧) : 4 本
A/D コンバータ		<ul style="list-style-type: none"> • 8 ビット分解能 × 8 チャンネル • 広い電源電圧範囲で動作可能 : $V_{DD} = 2.7 \sim 6.0$ V 	
シリアル・インタフェース		<ul style="list-style-type: none"> • 3 線式 / SBI/2 線式モード選択可能 : 1 チャンネル • 3 線式モード (最大 32 バイト自動送受信機能内蔵) : 1 チャンネル 	
タイマ		<ul style="list-style-type: none"> • 16 ビット・タイマ/イベント・カウンタ : 1 チャンネル • 8 ビット・タイマ/イベント・カウンタ : 2 チャンネル • 時計用タイマ : 1 チャンネル • ウォッチドッグ・タイマ : 1 チャンネル 	
タイマ出力		3 本 (14 ビット PWM 出力可能 : 1 本)	
クロック出力		39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz (メイン・システム・クロック 10.0 MHz 動作時) 32.768 kHz (サブシステム・クロック 32.768 kHz 動作時)	
ブザー出力		2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック 10.0 MHz 動作時)	
ベクタ割り込み	マスカブル割り込み	内部 : 8 本, 外部 : 4 本	
	ノンマスカブル割り込み	内部 : 1 本	
	ソフトウェア割り込み	内部 : 1 本	
テスト入力		内部 : 1 本, 外部 : 1 本	
動作電源電圧範囲		$V_{DD} = 2.7 \sim 6.0$ V	
動作温度範囲		-40 ~ +85 °C	
パッケージ		<ul style="list-style-type: none"> • 64 ピン・プラスチック・シュリンク DIP (750 mil) • 64 ピン・プラスチック QFP (□14 mm) • 64 ピン・セラミック・シュリンク DIP (窓付き) (750 mil) 	

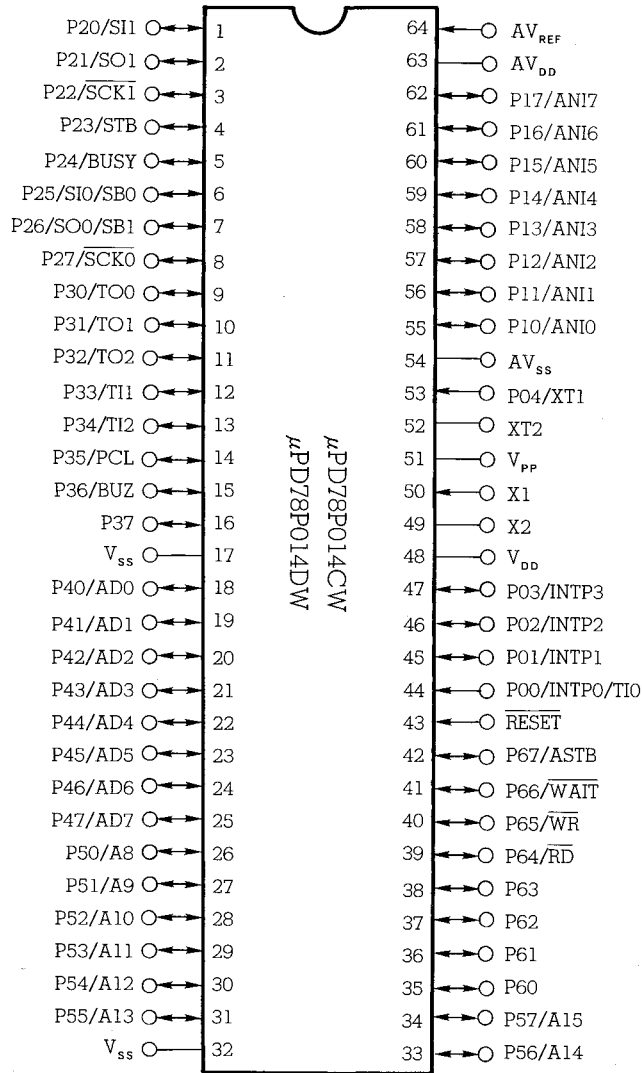
注 メモリ・サイズ切り替えレジスタにより、内部 PROM, 内部高速 RAM 容量の変更可能。

端子接続図 (Top View)

(1) 通常動作モード

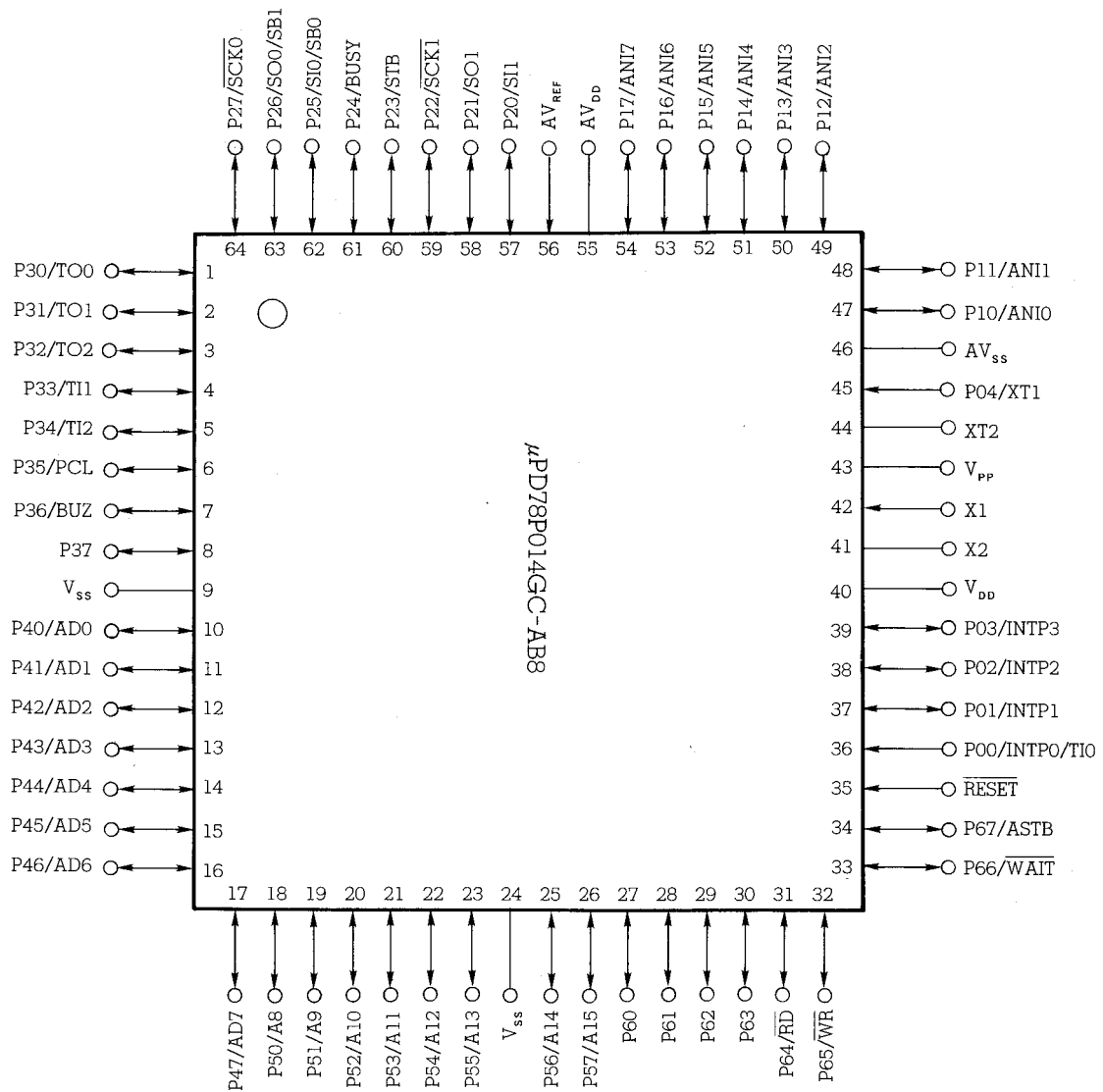
64ピン・プラスチック・シュリンク DIP (750 mil)

64ピン・セラミック・シュリンク DIP (窓付き) (750 mil)



- 注意 1. V_{PP} 端子は V_{SS} に直接接続してください。
- 2. AV_{DD} 端子は V_{DD} に接続してください。
- 3. AV_{SS} 端子は V_{SS} に接続してください。

64ピン・プラスチックQFP (□14mm)



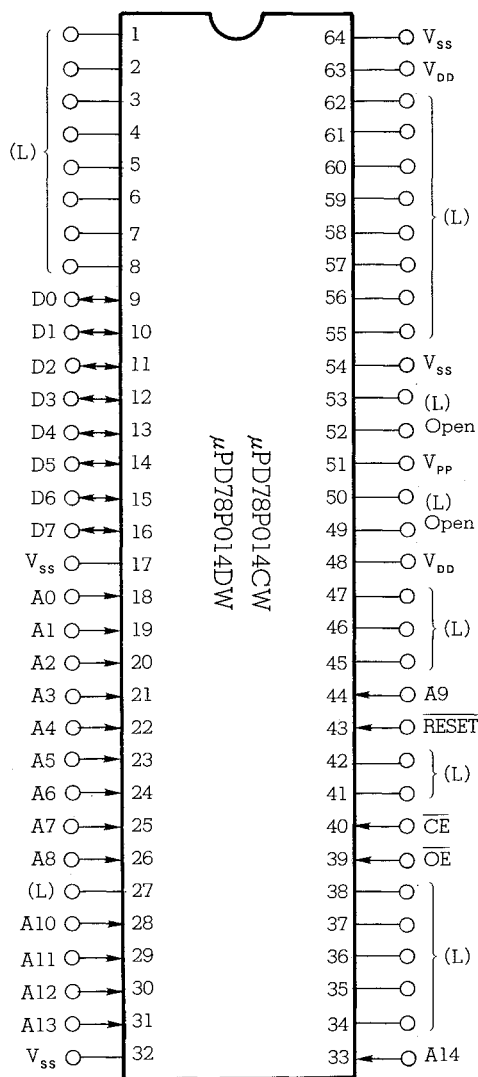
- 注意 1. V_{PP} 端子は V_{SS} に直接接続してください。
2. AV_{DD} 端子は V_{DD} に接続してください。
3. AV_{SS} 端子は V_{SS} に接続してください。

P00-P04	: Port0	AD0-AD7	: Address/Data Bus
P10-P17	: Port1	A8-A15	: Address Bus
P20-P27	: Port2	\overline{RD}	: Read Strobe
P30-P37	: Port3	\overline{WR}	: Write Strobe
P40-P47	: Port4	\overline{WAIT}	: Wait
P50-P57	: Port5	ASTB	: Address Strobe
P60-P67	: Port6	X1, X2	: Crystal (Main System Clock)
INTP0-INTP3	: Interrupt From Peripherals	XT1, XT2	: Crystal (Subsystem Clock)
TI0-TI2	: Timer Input	\overline{RESET}	: Reset
TO0-TO2	: Timer Output	ANIO-ANI7	: Analog Input
SB0, SB1	: Serial Bus	AV_{DD}	: Analog Power Supply
SI0, SI1	: Serial Input	AV_{SS}	: Analog Ground
SO0, SO1	: Serial Output	AV_{REF}	: Analog Reference Voltage
$\overline{SCK0}$, $\overline{SCK1}$: Serial Clock	V_{DD}	: Power Supply
PCL	: Programmable Clock	V_{PP}	: Programming Power Supply
BUZ	: Buzzer Clock	V_{SS}	: Ground
STB	: Strobe		
BUSY	: Busy		

(2) PROM プログラミング・モード

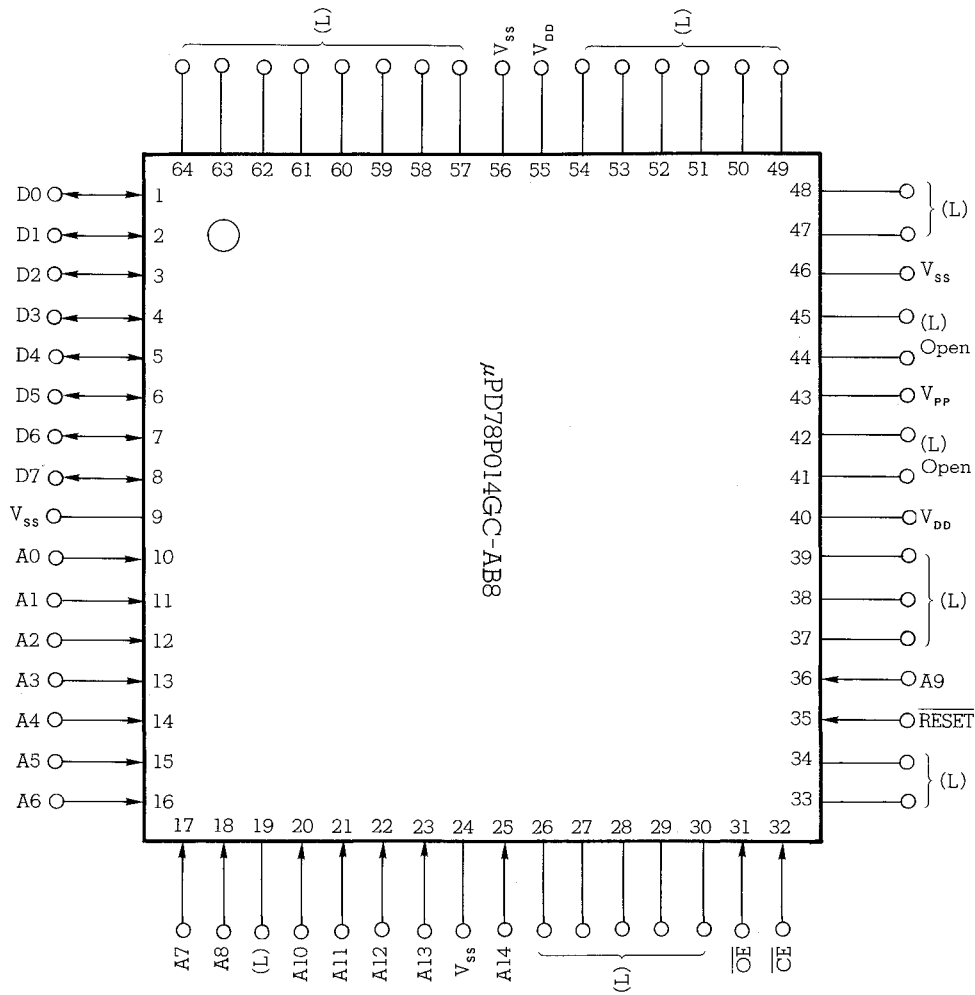
64ピン・プラスチック・シュリンク DIP (750 mil)

64ピン・セラミック・シュリンク DIP (窓付き) (750 mil)



- 注意1. (L) : 個別にプルダウン抵抗を介して V_{SS} に接続してください。
- 2. V_{SS} : グランドに接続してください。
- 3. \overline{RESET} : ロウ・レベルにしてください。
- 4. Open : 何も接続しないでください。

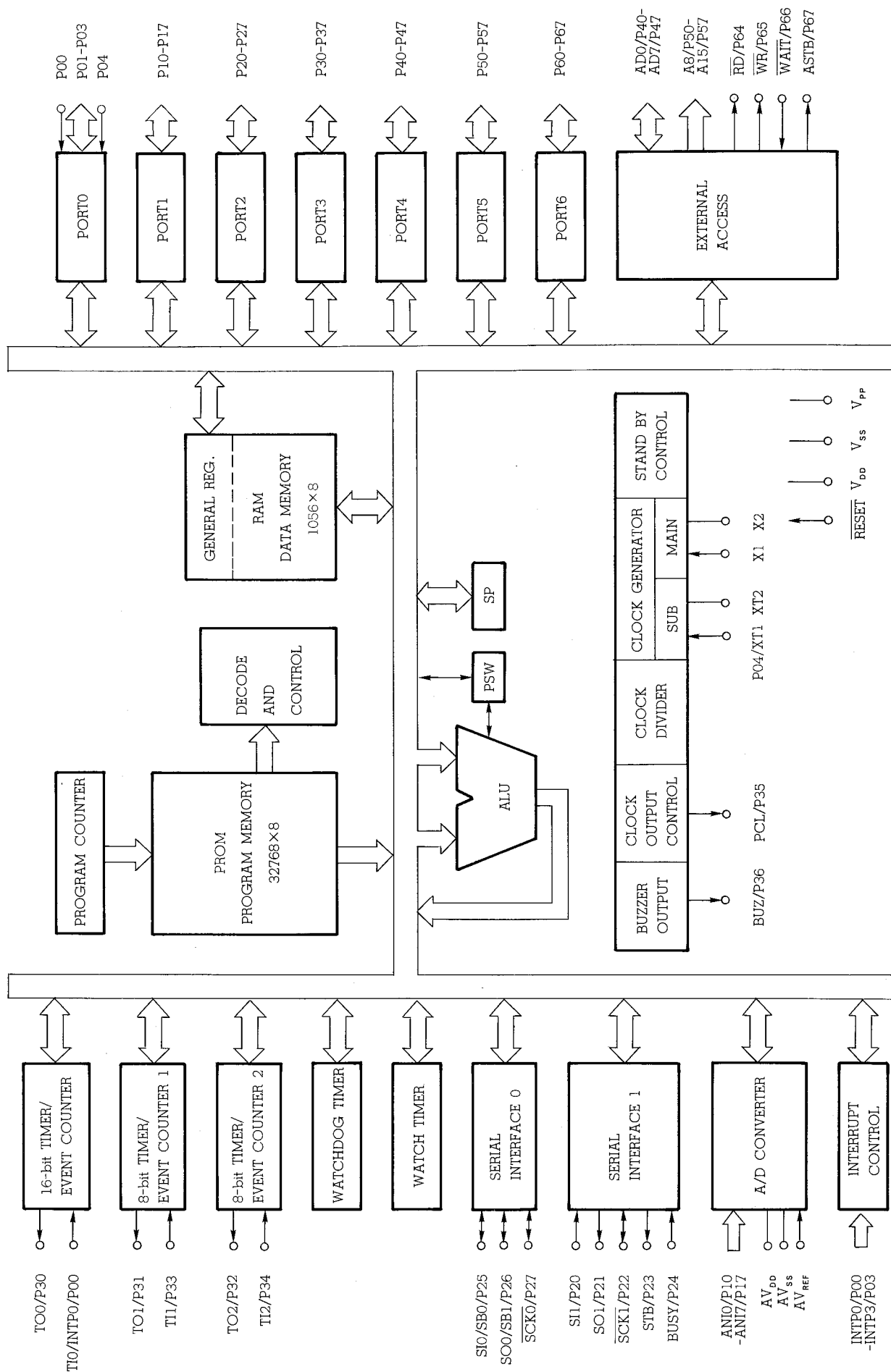
64ピン・プラスチックQFP (□14mm)



- 注意1. (L) : 個別にプルダウン抵抗を介して V_{SS} に接続してください。
2. V_{SS} : グランドに接続してください。
 3. \overline{RESET} : ロウ・レベルにしてください。
 4. Open : 何も接続しないでください。

A0-A14	: Address Bus	\overline{RESET}	: Reset
D0-D7	: Data Bus	V_{DD}	: Power Supply
\overline{CE}	: Chip Enable	V_{PP}	: Programming Power Supply
\overline{OE}	: Output Enable	V_{SS}	: Ground

ブロック図



目 次

1. μ PD78P014 とマスク ROM 製品の違い … 11
 2. 端子機能一覧 … 12
 - 2.1 通常動作モード時の端子 … 12
 - 2.2 PROM プログラミング・モード時の端子 … 15
 - 2.3 端子の入出力回路と未使用端子の処理 … 16
 3. メモリ・サイズ切り替えレジスタ (IMS) … 18
 4. PROM プログラミング … 19
 - 4.1 動作モード … 19
 - 4.2 PROM 書き込みの手順 … 20
 - 4.3 PROM 読み出しの手順 … 22
 5. 消去方法 (μ PD78P014DW のみ) … 23
 6. 消去用窓のシールについて (μ PD78P014DW のみ) … 23
 7. ワン・タイム PROM 製品のスクリーニングについて … 23
 8. 電気的特性 … 24
 9. 特性曲線 (参考値) … 48
 10. 外形図 … 52
 11. 半田付け推奨条件 … 54
- 付録A. 開発ツール … 55
- 付録B. 関連資料 … 57

1. μPD78P014 とマスク ROM 製品の違い

μPD78P014 は、一度だけ書き込み可能なワン・タイム PROM またはプログラムの書き込み、消去、再書き込みが可能な EPROM を内蔵した製品です。

メモリ・サイズ切り替えレジスタの設定により、PROM 仕様、P60-P63 端子のマスク・オプション以外の機能をマスク ROM 製品と同一にすることができます。

表 1-1 に μPD78P014 とマスク ROM 製品の違いを示します。

表 1-1 μPD78P014 とマスク ROM 製品の違い

項 目	μPD78P014	マスク ROM 製品
IC 端子	な し	あ り
V _{pp} 端子	あ り	な し
P60-P63 端子のマスク・オプション	プルアップ抵抗を内蔵するマスク・オプションはありません。	マスク・オプションにより、プルアップ抵抗を内蔵できます。

注意 μPD78P014 は、メモリ・サイズ切り替えレジスタにより、内部 PROM、内部高速 RAM 容量を変更することができます。

RESET 入力により、内部 PROM は 32 K バイト、内部高速 RAM は 1 K バイトとなります。

2. 端子機能一覧

2.1 通常動作モード時の端子

(1) ポート端子 (1/2)

端子名称	入出力	機 能		リセット時	兼用端子
P00	入 力	ポート 0。 5 ビット入出力ポート。	入力専用。	入 力	INTP0/TI0
P01	入出力		1 ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗を使用可能。	入 力	INTP1
P02					INTP2
P03					INTP3
P04 ^{注1}	入 力		入力専用。	入 力	XT1
P10-P17	入出力	ポート 1。 8 ビット入出力ポート。 1 ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗を使用可能。 ^{注2}		入 力	ANIO-ANI7
P20	入出力	ポート 2。 8 ビット入出力ポート。 1 ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗を使用可能。		入 力	SI1
P21					SO1
P22					SCK1
P23					STB
P24					BUSY
P25					SIO/SB0
P26					SO0/SB1
P27					SCK0
P30	入出力	ポート 3。 8 ビット入出力ポート。 1 ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗を使用可能。		入 力	TO0
P31					TO1
P32					TO2
P33					TI1
P34					TI2
P35					PCL
P36					BUZ
P37					—
P40-P47	入出力	ポート 4。 8 ビット入出力ポート。 8 ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗を使用可能。 立ち下がりがエッジの検出により、テスト入力フラグ (KRIF) を 1 にセット。		入 力	AD0-AD7

注 1. P04/XT1 端子を入力ポートとして使用するとき、プロセッサ・クロック・コントロール・レジスタのビット 6 (FRC) に 1 を設定してください (サブシステム・クロック発振回路の内蔵フィードバック抵抗を使用しないでください)。

2. P10/ANIO-P17/ANI7 端子を A/D コンバータのアナログ入力として使用するとき、プルアップ抵抗が自動的に使用されなくなります。

(1) ポート端子 (2/2)

端子名称	入出力	機能		リセット時	兼用端子
P50-P57	入出力	ポート 5。 8 ビット入出力ポート。 LED を直接駆動可能。 1 ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗を使用可能。		入 力	A8-A15
P60	入出力	ポート 6。 8 ビット入出力ポート。 1 ビット単位で入力/出力の指定可能。	N-ch オープン・ドレイン入出力ポート。 LED を直接駆動可能。	入 力	—
P61					
P62			入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗を使用可能。		\overline{RD}
P63					\overline{WR}
P64					\overline{WAIT}
P65					ASTB
P66					
P67					

(2) ポート以外の端子 (1/2)

端子名称	入出力	機能	リセット時	兼用端子
INTPO	入 力	有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み入力。	入 力	P00/TIO
INTP1				P01
INTP2				P02
INTP3				P03
SIO	入 力	シリアル・インタフェースのシリアル・データ入力。	入 力	P25/SB0
SI1				P20
SO0	出 力	シリアル・インタフェースのシリアル・データ出力。	入 力	P26/SB1
SO1				P21
SB0	入出力	シリアル・インタフェースのシリアル・データ入力/出力。	入 力	P25/SIO
SB1				P26/SO0
SCK0	入出力	シリアル・インタフェースのシリアル・クロック入力/出力。	入 力	P27
SCK1				P22
STB	出 力	シリアル・インタフェース自動送受信用ストロブ出力。	入 力	P23
BUSY	入 力	シリアル・インタフェース自動送受信用ビジィ入力。	入 力	P24
TIO	入 力	16ビット・タイマ (TM0) への外部カウント・クロック入力。	入 力	P00/INTPO
TI1		8ビット・タイマ (TM1) への外部カウント・クロック入力。		P33
TI2		8ビット・タイマ (TM2) への外部カウント・クロック入力。		P34
TO0	出 力	16ビット・タイマ (TM0) 出力 (14ビット PWM 出力と兼用)。	入 力	P30
TO1		8ビット・タイマ (TM1) 出力。		P31
TO2		8ビット・タイマ (TM2) 出力。		P32
PCL	出 力	クロック出力 (メイン・システム・クロック, サブシステム・クロックのトリミング用)。	入 力	P35
BUZ	出 力	ブザー出力。	入 力	P36
AD0-AD7	入出力	外部にメモリを拡張する場合の, 下位アドレス/データ・バス。	入 力	P40-P47
A8-A15	出 力	外部にメモリを拡張する場合の, 上位アドレス・バス。	入 力	P50-P57
\overline{RD}	出 力	外部メモリのリード動作用ストロブ信号出力。	入 力	P64
\overline{WR}		外部メモリのライト動作用ストロブ信号出力。		P65
\overline{WAIT}	入 力	外部メモリ・アクセス時のウエイト挿入。	入 力	P66
ASTB	出 力	外部メモリをアクセスするために, ポート 4, ポート 5 に出力されるアドレス情報を外部でラッチするストロブ出力。	入 力	P67

(2) ポート以外の端子 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
ANIO-ANI7	入 力	A/D コンバータのアナログ入力。	入 力	P10-P17
AV _{REF}	入 力	A/D コンバータの基準電圧入力。	—	—
AV _{DD}	—	A/D コンバータのアナログ電源。V _{DD} に接続。	—	—
AV _{SS}	—	A/D コンバータのグランド電位。V _{SS} に接続。	—	—
RESET	入 力	システム・リセット入力。	—	—
X1	入 力	メイン・システム・クロック発振用クリスタル接続。	—	—
X2	—		—	—
XT1	入 力	サブシステム・クロック発振用クリスタル接続。	入 力	P04
XT2	—		—	—
V _{DD}	—	正電源。	—	—
V _{PP}	—	プログラム書き込み/ベリファイ時の高電圧印加。通常動作モード時は、V _{SS} に直接接続。	—	—
V _{SS}	—	グランド電位。	—	—

2.2 PROM プログラミング・モード時の端子

端子名称	入出力	機 能
RESET	入 力	PROM プログラミング・モード設定。 V _{PP} 端子に+5V または+12.5V, RESET 端子にロウ・レベルを印加すると、PROM プログラミング・モードになります。
V _{PP}	入 力	PROM プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加。
A0-A14	入 力	アドレス・バス。
D0-D7	入出力	データ・バス。
CE	入 力	PROM イネーブル入力/プログラム・パルス入力。
OE	入 力	PROM へのリード・ストロブ入力。
V _{DD}	—	正電源。
V _{SS}	—	グランド電位。

2.3 端子の入出力回路と未使用端子の処理

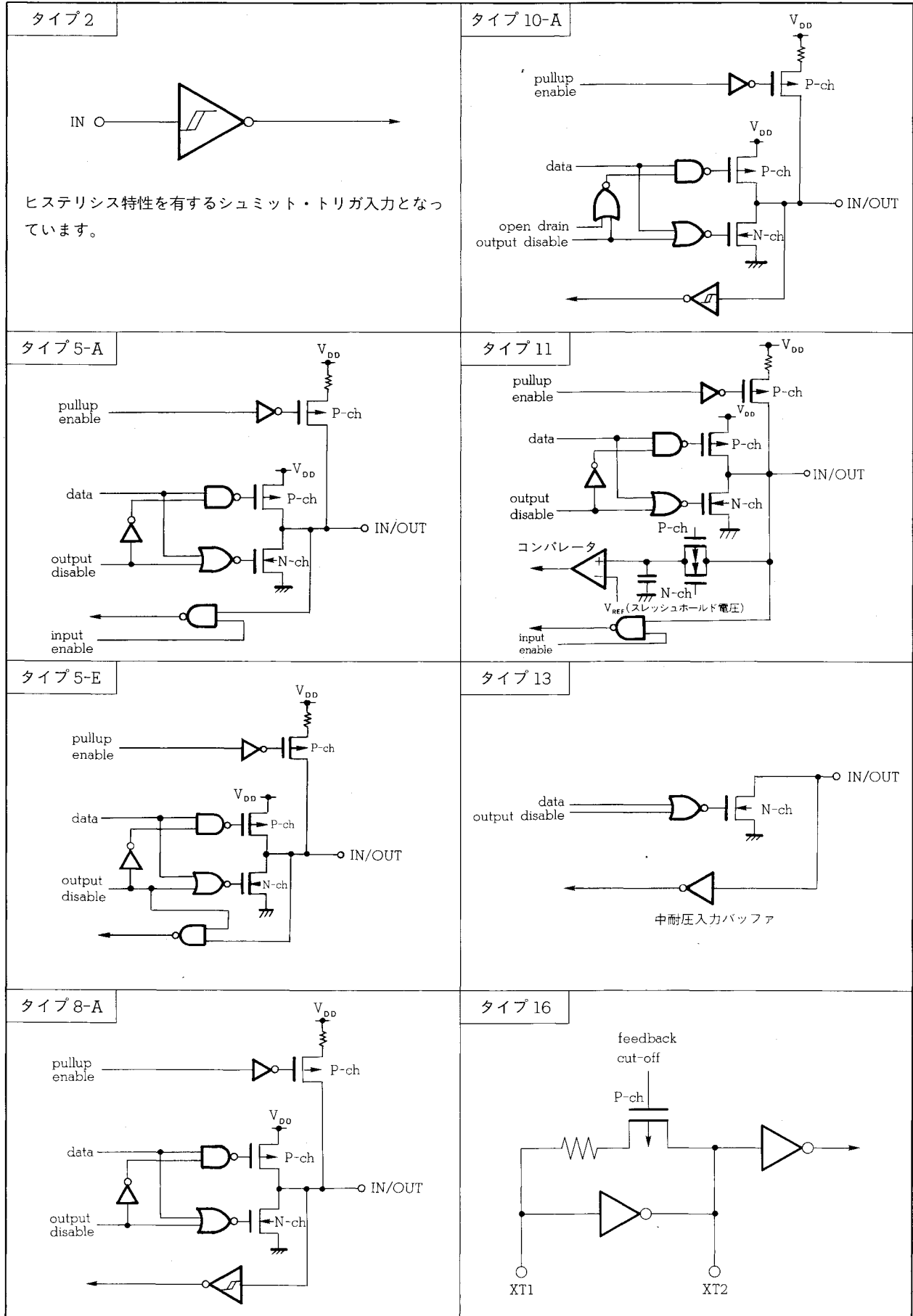
各端子の入出力回路タイプと、未使用端子の処理を表 2-1 に示します。

また、各タイプの入出力回路の構成は、図 2-1 を参照してください。

表 2-1 各端子の入出力回路タイプ

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/INTPO/TIO	2	入 力	V_{SS} に接続
P01/INTP1	8-A	入出力	入力時： V_{SS} に接続 出力時：オープン
P02/INTP2			
P03/INTP3			
P04/XT1	16	入 力	V_{SS} に接続
P10/ANI0-P17/ANI7	11	入出力	入力時： V_{DD} または V_{SS} に接続 出力時：オープン
P20/SI1	8-A	入出力	入力時： V_{DD} または V_{SS} に接続 出力時：オープン
P21/SO1	5-A		
P22/ $\overline{SCK1}$	8-A		
P23/STB	5-A		
P24/BUSY	8-A		
P25/SI0/SB0	10-A		
P26/SO0/SB1			
P27/ $\overline{SCK0}$			
P30/TO0	5-A	入出力	入力時： V_{DD} または V_{SS} に接続 出力時：オープン
P31/TO1			
P32/TO2			
P33/TI1	8-A		
P34/TI2			
P35/PCL	5-A		
P36/BUZ			
P37			
P40/AD0-P47/AD7	5-E	入出力	入力時： V_{DD} または V_{SS} に接続 出力時：オープン
P50/A8-P57/A15	5-A	入出力	入力時： V_{DD} または V_{SS} に接続 出力時：オープン
P60-P63	13		
P64/ \overline{RD}	5-A		
P65/ \overline{WR}			
P66/ \overline{WAIT}			
P67/ASTB			
RESET	2	入 力	—
XT2	16	—	オープン
AV_{REF}	—		V_{SS} に接続
AV_{DD}			V_{DD} に接続
AV_{SS}			V_{SS} に接続
V_{PP}			V_{SS} に直接接続

図 2-1 端子の入出力回路一覧



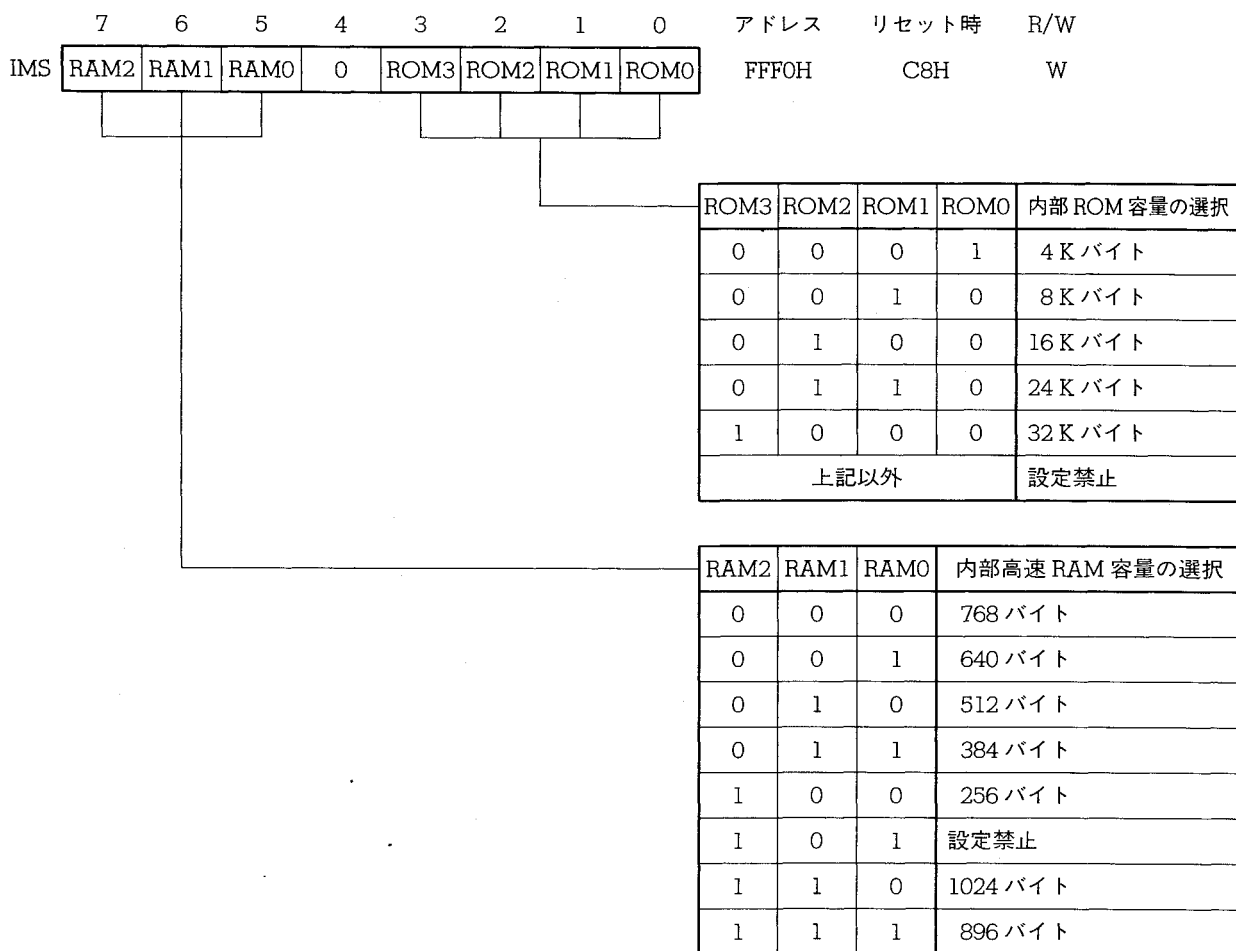
3. メモリ・サイズ切り替えレジスタ (IMS)

ソフトウェアにより内部メモリの一部を使用しないようにするためのレジスタです。メモリ・サイズ切り替えレジスタ (IMS) を設定することにより、内部メモリ (ROM, RAM) の異なるマスク ROM 製品のメモリ・マッピングと同一のメモリ・マッピングにすることができます。

IMS は、8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、C8H になります。

図 3-1 メモリ・サイズ切り替えレジスタのフォーマット



マスク ROM 製品と同一のメモリ・マップにする IMS の設定値を表 3-1 に示します。

表 3-1 メモリ・サイズ切り替えレジスタの設定例

対象のマスク ROM 製品	IMS の設定値	対象のマスク ROM 製品	IMS の設定値
μPD78001B	82H	μPD78012B	44H
μPD78002B	64H	μPD78013	C6H
μPD78011B	42H	μPD78014	C8H

4. PROM プログラミング

μPD78P014 は、プログラム・メモリとして 32 K バイト構成の PROM を内蔵しています。プログラミングをするときは、 V_{pp} 端子、 $\overline{\text{RESET}}$ 端子で PROM プログラミング・モードに設定します。その他、使用しない端子の処理は、端子接続図 (2) PROM プログラミング・モードを参照してください。

4.1 動作モード

V_{pp} 端子に +5 V または +12.5 V、 $\overline{\text{RESET}}$ 端子にロウ・レベルを印加すると、PROM プログラミング・モードになります。このモードは $\overline{\text{CE}}$ 端子、 $\overline{\text{OE}}$ 端子の設定により、表 4-1 のような動作モードになります。

また、読み出しモードに設定することにより、PROM の内容を読み出すことができます。

表 4-1 PROM プログラミングの動作モード

動作モード	端子 $\overline{\text{RESET}}$	V_{pp}	V_{DD}	$\overline{\text{CE}}$	$\overline{\text{OE}}$	D0-D7
プログラム書き込み	L	+12.5 V	+6 V	L	H	データ入力
プログラム・ベリファイ				H	L	データ出力
プログラム・インヒビット				H	H	ハイ・インピーダンス
読み出し	L	+5 V	+5 V	L	L	データ出力
出力ディスエーブル				L	H	ハイ・インピーダンス
スタンバイ				H	L/H	ハイ・インピーダンス

4.2 PROM 書き込みの手順

PROM の書き込み手順は次のようになっており、高速書き込みが可能です。

- (1) RESET 端子をロウ・レベルに固定。V_{pp} 端子に +5 V を供給。その他、使用しない端子は端子接続図 (2) PROM プログラミング・モードに示すように処理する。
- (2) V_{DD} 端子に +6 V, V_{pp} 端子には +12.5 V を供給。
- (3) 初期アドレスを供給。
- (4) 書き込みデータを供給。
- (5) \overline{CE} 端子に 1 ms のプログラム・パルス (アクティブ・ロウ) を供給。
- (6) ベリファイ・モード。書き込めていれば (8) へ、書き込めていなければ (4) - (6) を繰り返す。25 回繰り返して書き込めなければ、(7) へ。
- (7) 不良デバイスとして書き込み動作を中止する。
- (8) 書き込みデータを供給し、((4) - (6) で繰り返した回数) × 3 ms のプログラム・パルス を供給 (追加書き込み)。
- (9) アドレスをインクリメント。
- (10) (4) - (9) を最終アドレスまで繰り返す。

上述の (2) - (8) のタイミングを図 4-1 に示します。

図 4-1 PROM の書き込み/ベリファイ・タイミング

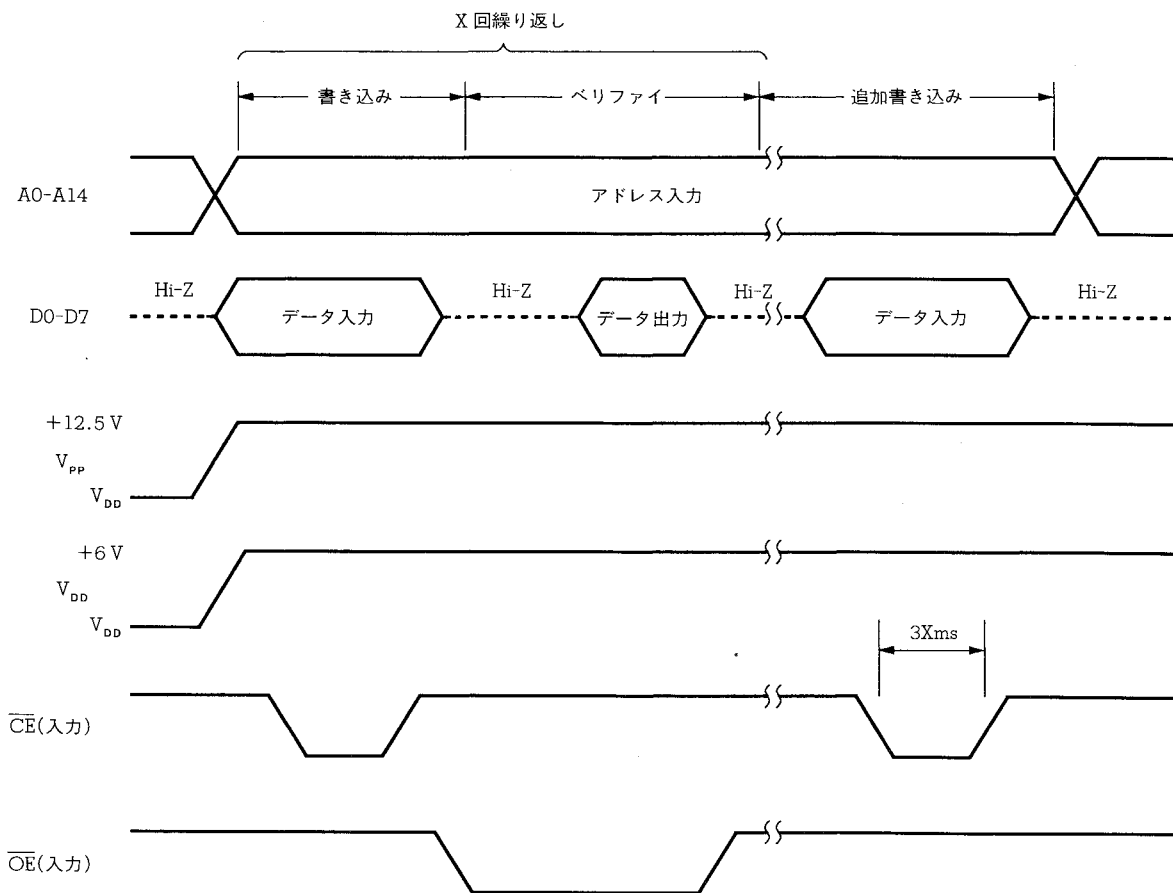
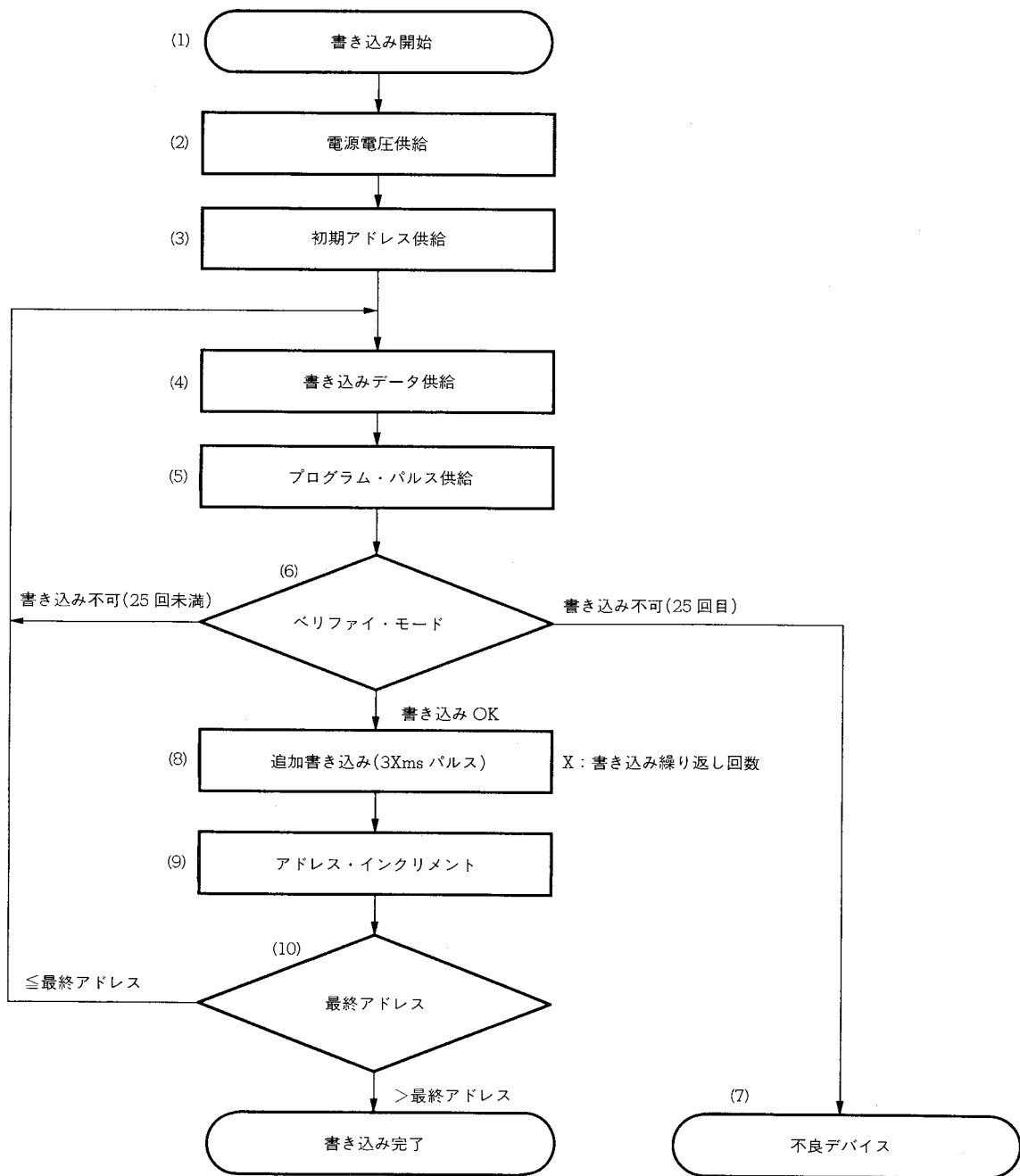


図 4-2 書き込み手順フロー・チャート



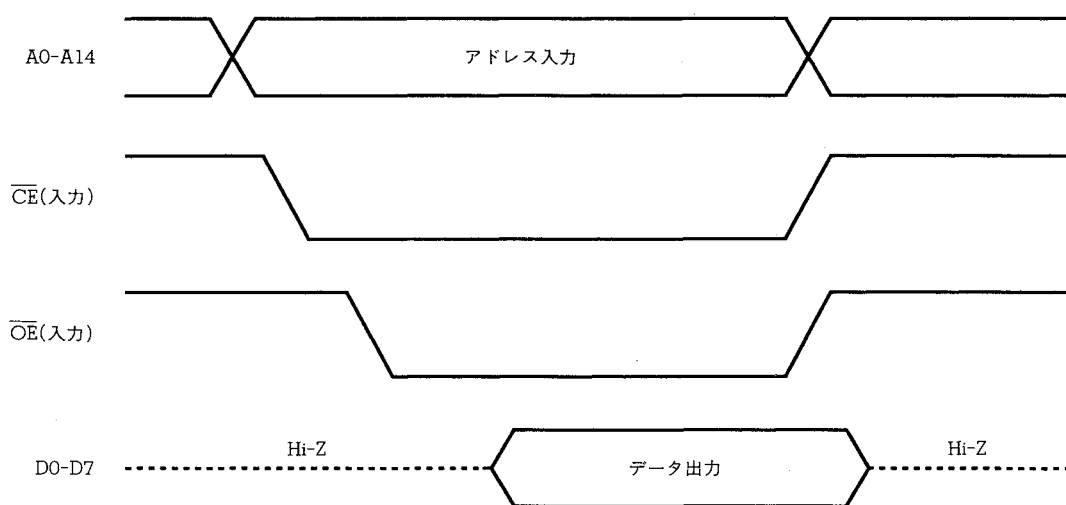
4.3 PROM 読み出しの手順

次に示す手順によって、PROM の内容を外部データ・バス (D0-D7) に読み出すことができます。

- (1) RESET 端子をロウ・レベルに固定, V_{pp} 端子に +5V を供給, その他, 使用しない端子は端子接続図 (2) PROM プログラミング・モードに示すように処理する。
- (2) V_{DD} , V_{pp} 端子に +5V を供給。
- (3) 読み出そうとするデータのアドレスを A0-A14 端子に入力。
- (4) リード・モード。
- (5) データを D0-D7 端子に出力。

上述の (2) - (5) のタイミングを図 4-3 に示します。

図 4-3 PROM の読み出しタイミング



5. 消去方法 (μPD78P014DW のみ)

μPD78P014DW は、プログラム・メモリに書き込まれたデータの内容を消去 (FFH) して、再書き込みをすることができます。

データの内容を消去する場合は、約 400 nm より短い波長の光を消去用窓部に照射して行います。通常は、254 nm の波長の紫外線を照射します。データの内容を完全に消去するために必要な照射量は、次のとおりです。

- 紫外線強度×消去時間：15 W・s/cm² 以上
- 消去時間：15～20 分 (12,000 μW/cm² の紫外線ランプ使用の場合。ただし、紫外線ランプの性能劣化、消去用窓部の汚れなどにより長くなる場合があります。)

なお、消去の場合は、紫外線ランプを消去用窓部から 2.5 cm 以内の位置に設置してください。また、紫外線ランプにフィルタが付いている場合は、そのフィルタを取り外してから照射を行ってください。

6. 消去用窓のシールについて (μPD78P014DW のみ)

EPROM 内容の消去用ランプ以外の光による誤消去防止、および EPROM 以外の内部回路が光によって誤動作するのを防止するため、EPROM 内容消去時以外は保護用シールを消去用窓に張っておいてください。

7. ワン・タイム PROM 製品のスクリーニングについて

ワン・タイム PROM 製品 (μPD78P014CW, μPD78P014GC-AB8) は、その構造上、当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと、下記の条件で高温保管後、PROM のベリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125 °C	24時間

なお、NEC では、QTOP マイコンの名称でワン・タイム PROM の書き込みから捺印、スクリーニング、ベリファイを有料で行うサービスを実施しております。詳細につきましては、販売員にご相談ください。

★

8. 電気的特性

絶対最大定格 (T_a=25 °C)

項目	略号	条件		定格	単位
電源電圧	V _{DD}			-0.3~+7.0	V
	V _{PP}			-0.3~+13.5	V
	AV _{DD}			-0.3~V _{DD} +0.3	V
	AV _{REF}			-0.3~V _{DD} +0.3	V
	AV _{SS}			-0.3~+0.3	V
入力電圧	V _{I1}	P00-P04, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67, X1, X2, XT2		-0.3~V _{DD} +0.3	V
	V _{I2}	P60-P63	オープン・ドレイン	-0.3~+16	V
	V _{I3}	A9	PROMプログラミング・モード時	-0.3~+13.5	V
出力電圧	V _O			-0.3~V _{DD} +0.3	V
アナログ入力電圧	V _{AN}	P10-P17	アナログ入力端子	AV _{SS} -0.3~AV _{REF} +0.3	V
ハイ・レベル出力電流	I _{OH}	1 端子		-10	mA
		P10-P17, P20-P27, P30-P37 合計		-15	mA
		P01-P03, P40-P47, P50-P57, P60-P67 合計		-15	mA
ロウ・レベル出力電流	I _{OL} 注	1 端子	ピーク値	30	mA
			実効値	15	mA
		P40-P47, P50-P55 合計	ピーク値	100	mA
			実効値	70	mA
		P01-P03, P56, P57, P60-P67 合計	ピーク値	100	mA
			実効値	70	mA
		P01-P03, P64-P67 合計	ピーク値	50	mA
			実効値	20	mA
		P10-P17, P20-P27, P30-P37 合計	ピーク値	50	mA
			実効値	20	mA
動作温度	T _{opt}			-40~+85	°C
保存温度	T _{stg}			-65~+150	°C

注 実効値は [実効値]=[ピーク値]×√デューティ で計算してください。

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

メイン・システム・クロック発振回路特性 ($T_a = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 2.7 \sim 6.0 \text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数(f_x) ^{注1}	V_{DD} = 発振電圧範囲	1		10	MHz
		発振安定時間 ^{注2}	V_{DD} が発振電圧範囲の MIN. に達したあと			4	ms
水晶振動子		発振周波数(f_x) ^{注1}		1	8.38	10	MHz
		発振安定時間 ^{注2}	$V_{DD} = 4.5 \sim 6.0 \text{ V}$			10 30	ms
外部 クロック		X1 入力周波数(f_x) ^{注1}		1.0		10.0	MHz
		X1 入力ハイ、ロウ・レベル幅 (t_{XH} , t_{XL})		42.5		500	ns

注 1. 発振回路の特性だけを示すものです。命令実行時間は、AC 特性を参照してください。

2. リセットまたは STOP モード解除後、発振が安定するのに必要な時間です。

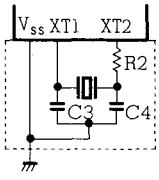
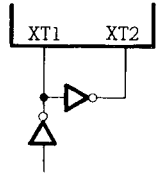
注意 1. メイン・システム・クロックの発振回路を使用する場合は、配線容量などの影響を避けるために、図中の

の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。
- 大電流が流れるグラウンド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2. メイン・システム・クロックを停止させ、サブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

サブシステム・クロック発振回路特性 ($T_a = -40 \sim +85^\circ\text{C}$, $V_{DD} = 2.7 \sim 6.0\text{V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}	$V_{DD} = 4.5 \sim 6.0\text{V}$		1.2	2	s
外部 クロック		XT1 入力周波数 (f_{XT}) ^{注1}		32		100	kHz
		XT1 入力ハイ、ロウ・レベル幅 (t_{XTH} , t_{XTL})		5		15	μs

注 1. 発振回路の特性だけを示すものです。命令実行時間は、AC 特性を参照してください。

2. V_{DD} が発振電圧範囲の MIN. に達したあと、発振が安定するのに必要な時間です。

注意 1. サブシステム・クロックの発振回路を使用する場合は、配線容量などの影響を避けるために、図中の の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2. サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっており、ノイズに対する誤動作がメイン・システム・クロック発振回路よりも起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

推奨発振回路定数

メイン・システム・クロック：セラミック発振子 ($T_a = -40 \sim +85^\circ\text{C}$)

メーカー	品名	周波数 (MHz)	推奨回路定数			発振電圧範囲	
			C1 (pF)	C2 (pF)	R1 (kΩ)	MIN. (V)	MAX. (V)
村田製作所	CSB1000J	1.00	100	100	6.8	2.8	6.0
	CSB××××J	1.01-1.25	100	100	4.7	2.8	6.0
	CSA×.×××MK	1.26-1.79	100	100	0	2.8	6.0
	CSA×.××MG093	1.80-2.44	100	100	0	2.7	6.0
	CST×.××MG093		内蔵	内蔵	0	2.7	6.0
	CSA×.××MG	2.45-4.18	30	30	0	2.7	6.0
	CST×.××MGW		内蔵	内蔵	0	2.7	6.0
	CSA×.××MGU	4.19-6.00	30	30	0	2.7	6.0
	CST×.××MGWU		内蔵	内蔵	0	2.7	6.0
	CSA×.××MT	6.01-10.0	30	30	0	3.0	6.0
CST×.××MTW	内蔵		内蔵	0	3.0	6.0	

備考 ×.××, ×.×××, ××××は周波数を示します。

サブシステム・クロック：水晶振動子 ($T_a = -40 \sim +60^\circ\text{C}$)

メーカー	品名	周波数 (kHz)	推奨回路定数			発振電圧範囲	
			C3 (pF)	C4 (pF)	R2 (kΩ)	MIN. (V)	MAX. (V)
大真空	DT-38 (1TA632E00, 負荷容量 6.3 pF)	32.768	10	10	100	2.7	6.0

容量 ($T_a = 25^\circ\text{C}$, $V_{DD} = V_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
入力容量	C_{IN}	$f = 1\text{MHz}$ 被測定端子以外は 0V			15	pF	
入出力容量	C_{IO}	$f = 1\text{MHz}$ 被測定端子以外は 0V	P01-P03, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67			15	pF
			P60-P63			20	pF

備考 特に指定のないかぎり、兼用端子の特性は、ポート端子の特性と同じです。

DC 特性 ($T_a = -40 \sim +85^\circ\text{C}$, $V_{DD} = 2.7 \sim 6.0\text{V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル 入力電圧	V_{IH1}	P10-P17, P21, P23, P30-P32, P35-P37, P40-P47, P50-P57, P64-P67		$0.7V_{DD}$		V_{DD}	V
	V_{IH2}	P00-P03, P20, P22, P24-P27, P33, P34, $\overline{\text{RESET}}$		$0.8V_{DD}$		V_{DD}	V
	V_{IH3}	P60-P63	オープン・ドレイン	$0.7V_{DD}$		15	V
	V_{IH4}	X1, X2		$V_{DD}-0.5$		V_{DD}	V
	V_{IH5}	XT1/P04, XT2	$V_{DD} = 4.5 \sim 6.0\text{V}$	$V_{DD}-0.5$		V_{DD}	V
				$V_{DD}-0.3$		V_{DD}	V
ロウ・レベル 入力電圧	V_{IL1}	P10-P17, P21, P23, P30-P32, P35-P37, P40-P47, P50-P57, P64-P67		0		$0.3V_{DD}$	V
	V_{IL2}	P00-P03, P20, P22, P24-P27, P33, P34, $\overline{\text{RESET}}$		0		$0.2V_{DD}$	V
	V_{IL3}	P60-P63	$V_{DD} = 4.5 \sim 6.0\text{V}$	0		$0.3V_{DD}$	V
				0		$0.2V_{DD}$	V
	V_{IL4}	X1, X2		0		0.4	V
V_{IL5}	XT1/P04, XT2	$V_{DD} = 4.5 \sim 6.0\text{V}$	0		0.4	V	
			0		0.3	V	
ハイ・レベル 出力電圧	V_{OH1}	$V_{DD} = 4.5 \sim 6.0\text{V}$, $I_{OH} = -1\text{mA}$		$V_{DD}-1.0$			V
		$I_{OH} = -100\mu\text{A}$		$V_{DD}-0.5$			V
ロウ・レベル 出力電圧	V_{OL1}	P50-P57, P60-P63	$V_{DD} = 4.5 \sim 6.0\text{V}$, $I_{OL} = 15\text{mA}$		0.4	2.0	V
		P01-P03, P10-P17, P20-P27, P30-P37, P40-P47, P64-P67	$V_{DD} = 4.5 \sim 6.0\text{V}$, $I_{OL} = 1.6\text{mA}$			0.4	V
	V_{OL2}	SB0, SB1, $\overline{\text{SCK0}}$	$V_{DD} = 4.5 \sim 6.0\text{V}$, オープン・ドレイン, プルアップ時 ($R = 1\text{k}\Omega$)			$0.2V_{DD}$	V
	V_{OL3}	$I_{OL} = 400\mu\text{A}$				0.5	V
ハイ・レベル 入力リーク電流	I_{LIH1}	$V_{IN} = V_{DD}$	P00-P03, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P60-P67, $\overline{\text{RESET}}$			3	μA
	I_{LIH2}		X1, X2, XT1/P04, XT2			20	μA
	I_{LIH3}	$V_{IN} = 15\text{V}$	P60-P63			80	μA
ロウ・レベル 入力リーク電流	I_{LIL1}	$V_{IN} = 0\text{V}$	P00-P03, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P60-P67, $\overline{\text{RESET}}$			-3	μA
	I_{LIL2}		X1, X2, XT1/P04, XT2			-20	μA

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC 特性 (T_a = -40 ~ +85 °C, V_{DD} = 2.7 ~ 6.0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル 出力リーク電流	I _{LOH1}	V _{OUT} = V _{DD}				3	μA
ロウ・レベル 出力リーク電流	I _{LOL}	V _{OUT} = 0 V				-3	μA
ソフトウェア・ プルアップ抵抗	R ₂	V _{IN} = 0 V, P01-P03, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P64-P67	4.5 V ≤ V _{DD} ≤ 6.0 V	15	40	90	kΩ
			2.7 V ≤ V _{DD} < 4.5 V	20		500	kΩ
電源電流 注3	I _{DD1}	8.38 MHz 水晶発振 動作モード	V _{DD} = 5.0 V ± 10 % 注1		9	27	mA
			V _{DD} = 3.0 V ± 10 % 注2		1	3	mA
	I _{DD2}	8.38 MHz 水晶発振 HALT モード	V _{DD} = 5.0 V ± 10 %		1.4	4.2	mA
			V _{DD} = 3.0 V ± 10 %		550	1650	μA
	I _{DD3}	32.768 kHz 水晶発振 動作モード	V _{DD} = 5.0 V ± 10 %		90	180	μA
			V _{DD} = 3.0 V ± 10 %		50	100	μA
	I _{DD4}	32.768 kHz 水晶発振 HALT モード	V _{DD} = 5.0 V ± 10 %		25	50	μA
			V _{DD} = 3.0 V ± 10 %		5	10	μA
	I _{DD5}	XT1 = 0 V STOP モード フィードバック抵抗使用時	V _{DD} = 5.0 V ± 10 %		1	30	μA
			V _{DD} = 3.0 V ± 10 %		0.5	10	μA
	I _{DD6}	XT1 = 0 V STOP モード フィードバック抵抗非使用時	V _{DD} = 5.0 V ± 10 %		0.1	30	μA
			V _{DD} = 3.0 V ± 10 %		0.05	10	μA

注 1. 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタを 00H に設定したとき)。

2. 低速モード動作時 (プロセッサ・クロック・コントロール・レジスタを 04H に設定したとき)。

3. AV_{REF} 電流およびポート電流は含みません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

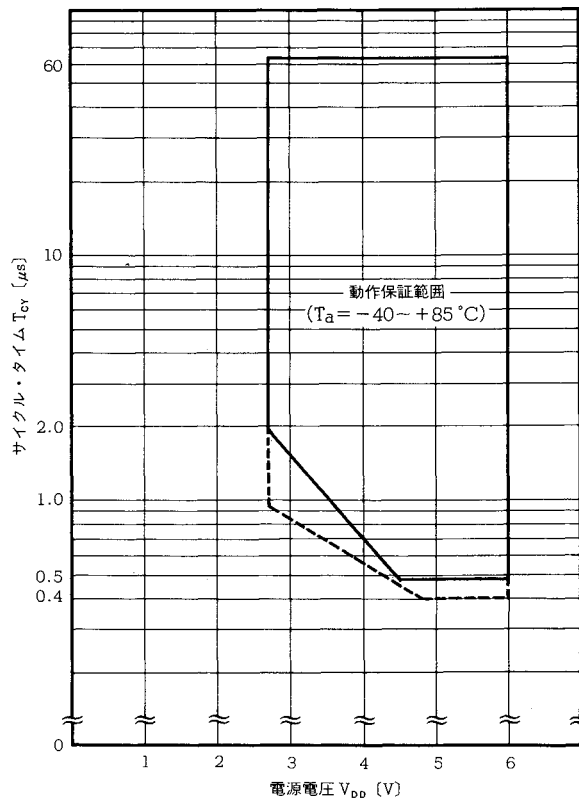
AC 特性

(1) 基本動作 ($T_a = -40 \sim +85^\circ\text{C}$, $V_{DD} = 2.7 \sim 6.0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
サイクル・タイム (最小命令実行時間)	T_{CY}	メイン・システム・クロックで動作	$V_{DD} = 4.5 \sim 6.0\text{V}$	0.48		64	μs
			$T_a = -40 \sim +40^\circ\text{C}$	1.91		64	μs
		サブシステム・クロックで動作	$V_{DD} = 4.75 \sim 6.0\text{V}$	0.4		64	μs
			$T_a = -40 \sim +40^\circ\text{C}$	0.96		64	μs
		サブシステム・クロックで動作	40	122	125	μs	
TI 入力周波数	f_{TI}	$V_{DD} = 4.5 \sim 6.0\text{V}$	0		4	MHz	
			0		275	kHz	
TI 入力 ハイ、ロウ・レベル幅	t_{T1H}	$V_{DD} = 4.5 \sim 6.0\text{V}$	100			ns	
	t_{T1L}		1.8			μs	
割り込み入力 ハイ、ロウ・レベル幅	t_{INTH}	INTP0	$8/f_{sam}$ 注			μs	
	t_{INTL}	INTP1-INTP3	10			μs	
		KR0-KR7	10			μs	
RESETロウ・レベル幅	t_{RSL}		10			μs	

注 サンプルング・クロック選択レジスタのビット 0, 1 (SCS0, SCS1) により, $f_{sam} = f_x / 2^{N+1}$, $f_x / 64$, $f_x / 128$ の選択が可能です ($N = 0 \sim 4$)。

T_{CY} vs V_{DD} (メイン・システム・クロック動作時)



注意 $T_a = -40 \sim +40^\circ\text{C}$ では, 動作保証範囲が破線部まで広がります。

(2) リード/ライト・オペレーション ($T_a = -40 \sim +85^\circ\text{C}$, $V_{DD} = 2.7 \sim 6.0\text{V}$)

項目	略号	条件	MIN.	MAX.	単位
ASTB ハイ・レベル幅	t_{ASTH}		$0.5 t_{CY}$		ns
アドレス・セットアップ時間	t_{ADS}		$0.5 t_{CY} - 30$		ns
アドレス・ホールド時間	t_{ADH}	負荷抵抗 $\geq 5\text{k}\Omega$	10		ns
アドレス→データ入力時間	t_{ADD1}			$(2+2n)t_{CY} - 50$	ns
	t_{ADD2}		5	$(3+2n)t_{CY} - 100$	ns
$\overline{RD} \downarrow$ →データ入力時間	t_{RDD1}			$(1+2n)t_{CY} - 25$	ns
	t_{RDD2}			$(2.5+2n)t_{CY} - 100$	ns
リード・データホールド時間	t_{RDH}		0		ns
\overline{RD} ロウ・レベル幅	t_{RDL1}		$(1.5+2n)t_{CY} - 20$		ns
	t_{RDL2}		$(2.5+2n)t_{CY} - 20$		ns
$\overline{RD} \downarrow$ → $\overline{WAIT} \downarrow$ 入力時間	t_{RDWT1}			$0.5 t_{CY}$	ns
	t_{RDWT2}			$1.5 t_{CY}$	ns
$\overline{WR} \downarrow$ → $\overline{WAIT} \downarrow$ 入力時間	t_{WRWT}			$0.5 t_{CY}$	ns
\overline{WAIT} ロウ・レベル幅	t_{WTL}		$(0.5+2n)t_{CY} + 10$	$(2+2n)t_{CY}$	ns
ライト・データ・セットアップ時間	t_{WDS}		100		ns
ライト・データ・ホールド時間	t_{WDH}		5		ns
\overline{WR} ロウ・レベル幅	t_{WRL1}		$(2.5+2n)t_{CY} - 20$		ns
ASTB \downarrow → $\overline{RD} \downarrow$ 遅延時間	t_{ASTRD}		$0.5 t_{CY} - 30$		ns
ASTB \downarrow → $\overline{WR} \downarrow$ 遅延時間	t_{ASTWR}		$1.5 t_{CY} - 30$		ns
外部フェッチ時 $\overline{RD} \uparrow$ →ASTB \uparrow 遅延時間	t_{RDAST}		$t_{CY} - 10$	$t_{CY} + 40$	ns
外部フェッチ時 $\overline{RD} \uparrow$ →アドレス・ホールド時間	t_{RDADH}		t_{CY}	$t_{CY} + 50$	ns
$\overline{RD} \uparrow$ →ライト・データ出力時間	t_{RDWD}		10		ns
ライト・データ→ $\overline{WR} \downarrow$ 遅延時間	t_{WDWR}	$V_{DD} = 4.5 \sim 6.0\text{V}$	$0.5 t_{CY} - 120$	$0.5 t_{CY}$	ns
			$0.5 t_{CY} - 170$	$0.5 t_{CY}$	ns
$\overline{WR} \uparrow$ →アドレス・ホールド時間	t_{WRADH}	$V_{DD} = 4.5 \sim 6.0\text{V}$	t_{CY}	$t_{CY} + 60$	ns
			t_{CY}	$t_{CY} + 100$	ns
$\overline{WAIT} \uparrow$ → $\overline{RD} \uparrow$ 遅延時間	t_{WTRD}		$0.5 t_{CY}$	$2.5 t_{CY} + 80$	ns
$\overline{WAIT} \uparrow$ → $\overline{WR} \uparrow$ 遅延時間	t_{WTWR}		$0.5 t_{CY}$	$2.5 t_{CY} + 80$	ns

備考 1. $t_{CY} = T_{CY}/4$

2. n はウエイト数を示します。

3. $C_L = 100\text{pF}$ (C_L は P40/AD0-P47/AD7, P50/A8-P57/A15, P64/ \overline{RD} , P65/ \overline{WR} , P66/ \overline{WAIT} , P67/ASTB 端子の負荷容量を示します)。

(3) シリアル・インタフェース ($T_a = -40 \sim +85^\circ\text{C}$, $V_{DD} = 2.7 \sim 6.0\text{V}$)

(a) 3線式シリアル I/O モード ($\overline{\text{SCK}}$ …内部クロック出力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
$\overline{\text{SCK}}$ サイクル・タイム	t_{KCY1}	$V_{DD} = 4.5 \sim 6.0\text{V}$		800			ns
				3200			ns
$\overline{\text{SCK}}$ ハイ, ロウ・レベル幅	t_{KH1}	$V_{DD} = 4.5 \sim 6.0\text{V}$		$t_{\text{KCY1}}/2-50$			ns
	t_{KL1}			$t_{\text{KCY1}}/2-150$			ns
SI セットアップ時間(対 $\overline{\text{SCK}} \uparrow$)	t_{SIK1}			100			ns
SI ホールド時間(対 $\overline{\text{SCK}} \uparrow$)	t_{KS11}			400			ns
$\overline{\text{SCK}} \downarrow \rightarrow \text{SO}$ 出力遅延時間	t_{KS01}	$C = 100\text{pF}$ 注	$V_{DD} = 4.5 \sim 6.0\text{V}$			300	ns
						1000	ns

注 C は, SO 出力ラインの負荷容量です。

(b) 3線式シリアル I/O モード ($\overline{\text{SCK}}$ …外部クロック入力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
$\overline{\text{SCK}}$ サイクル・タイム	t_{KCY2}	$V_{DD} = 4.5 \sim 6.0\text{V}$		800			ns
				3200			ns
$\overline{\text{SCK}}$ ハイ, ロウ・レベル幅	t_{KH2}	$V_{DD} = 4.5 \sim 6.0\text{V}$		400			ns
	t_{KL2}			1600			ns
SI セットアップ時間(対 $\overline{\text{SCK}} \uparrow$)	t_{SIK2}			100			ns
SI ホールド時間(対 $\overline{\text{SCK}} \uparrow$)	t_{KS12}			400			ns
$\overline{\text{SCK}} \downarrow \rightarrow \text{SO}$ 出力遅延時間	t_{KS02}	$C = 100\text{pF}$ 注	$V_{DD} = 4.5 \sim 6.0\text{V}$			300	ns
						1000	ns
★ ★ ★ $\overline{\text{SCK}}$ 立ち上がり, 立ち下がり時間 (シリアル・インタフェース・チャンネル0の場合)	t_{R2} t_{F2}	外部デバイス拡張機能使用時				160	ns
		外部デバイス拡張機能未使用時	16ビット・タイマ出力機能使用時			700	ns
			16ビット・タイマ出力機能未使用時			1000	ns
★ ★ $\overline{\text{SCK}}$ 立ち上がり, 立ち下がり時間 (シリアル・インタフェース・チャンネル1の場合)	t_{R2} t_{F2}	外部デバイス拡張機能使用時				160	ns
		外部デバイス拡張機能未使用時				1000	ns

注 C は, SO 出力ラインの負荷容量です。

(c) SBI モード (\overline{SCK} …内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
\overline{SCK} サイクル・タイム	t_{KCY3}	$V_{DD}=4.5\sim 6.0\text{V}$	800			ns
			3200			ns
\overline{SCK} ハイ,ロウ・レベル幅	t_{KH3} t_{KL3}	$V_{DD}=4.5\sim 6.0\text{V}$	$t_{KCY3}/2-50$			ns
			$t_{KCY3}/2-150$			ns
SBO, SB1 セットアップ時間(対 \overline{SCK} ↑)	t_{SIK3}	$V_{DD}=4.5\sim 6.0\text{V}$	100			ns
			300			ns
SBO, SB1 ホールド時間(対 \overline{SCK} ↑)	t_{KSI3}		$t_{KCY3}/2$			ns
\overline{SCK} ↓→SBO, SB1 出力遅延時間	t_{KSO3}	注 R=1 kΩ, C=100 pF $V_{DD}=4.5\sim 6.0\text{V}$	0		250	ns
			0		1000	ns
\overline{SCK} ↑→SBO, SB1 ↓	t_{KSB}		t_{KCY3}			ns
SBO, SB1 ↓→ \overline{SCK} ↓	t_{SBK}		t_{KCY3}			ns
SBO, SB1 ハイ・レベル幅	t_{SBH}		t_{KCY3}			ns
SBO, SB1 ロウ・レベル幅	t_{SBL}		t_{KCY3}			ns

注 R, C は, SBO, SB1 出力ラインの負荷抵抗, 負荷容量です。

(d) SBI モード (\overline{SCK} …外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
\overline{SCK} サイクル・タイム	t_{KCY4}	$V_{DD}=4.5\sim 6.0\text{V}$	800			ns
			3200			ns
\overline{SCK} ハイ,ロウ・レベル幅	t_{KH4} t_{KL4}	$V_{DD}=4.5\sim 6.0\text{V}$	400			ns
			1600			ns
SBO, SB1 セットアップ時間(対 \overline{SCK} ↑)	t_{SIK4}	$V_{DD}=4.5\sim 6.0\text{V}$	100			ns
			300			ns
SBO, SB1 ホールド時間(対 \overline{SCK} ↑)	t_{KSI4}		$t_{KCY4}/2$			ns
\overline{SCK} ↓→SBO, SB1 出力遅延時間	t_{KSO4}	注 R=1 kΩ, C=100 pF $V_{DD}=4.5\sim 6.0\text{V}$	0		300	ns
			0		1000	ns
\overline{SCK} ↑→SBO, SB1 ↓	t_{KSB}		t_{KCY4}			ns
SBO, SB1 ↓→ \overline{SCK} ↓	t_{SBK}		t_{KCY4}			ns
SBO, SB1 ハイ・レベル幅	t_{SBH}		t_{KCY4}			ns
SBO, SB1 ロウ・レベル幅	t_{SBL}		t_{KCY4}			ns
\overline{SCK} 立ち上がり, 立ち下がり時間	t_{R4} t_{F4}	外部デバイス拡張機能使用時			160	ns
		外部デバイス拡張機能未使用時	16ビット・タイマ出力機能使用時		700	ns
			16ビット・タイマ出力機能未使用時		1000	ns

注 R, C は, SBO, SB1 出力ラインの負荷抵抗, 負荷容量です。



(e) 2線式シリアル I/O モード (SCK…内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK サイクル・タイム	t _{KCY5}	V _{DD} = 4.5 ~ 6.0 V	1600			ns
			3800			ns
SCK ハイ・レベル幅	t _{KH5}	R = 1 kΩ, C = 100 pF ^注	t _{KCY5} /2-50			ns
SCK ロウ・レベル幅	t _{KL5}		t _{KCY5} /2-50			ns
SBO, SB1 セットアップ時間(対 SCK↑)	t _{SIK5}		300			ns
SBO, SB1 ホールド時間(対 SCK↑)	t _{KSI5}		600			ns
SCK↓→SBO, SB1 出力遅延時間	t _{KSO5}	R = 1 kΩ, C = 100 pF ^注 V _{DD} = 4.5 ~ 6.0 V	0		250	ns
			0		1000	ns

注 R, C は, SCK0, SBO, SB1 出力ラインの負荷抵抗, 負荷容量です。

(f) 2線式シリアル I/O モード (SCK…外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK サイクル・タイム	t _{KCY6}	V _{DD} = 4.5 ~ 6.0 V	1600			ns
			3800			ns
SCK ハイ・レベル幅	t _{KH6}		650			ns
SCK ロウ・レベル幅	t _{KL6}		800			ns
SBO, SB1 セットアップ時間(対 SCK↑)	t _{SIK6}		100			ns
SBO, SB1 ホールド時間(対 SCK↑)	t _{KSI6}		t _{KCY6} /2			ns
SCK↓→SBO, SB1 出力遅延時間	t _{KSO6}	R = 1 kΩ, C = 100 pF ^注 V _{DD} = 4.5 ~ 6.0 V	0		300	ns
			0		1000	ns
SCK 立ち上がり, 立ち下がり時間	t _{R6} t _{F6}	外部デバイス拡張機能使用時			160	ns
		外部デバイス拡張機能未使用時	16ビット・タイマ出力機能使用時		700	ns
			16ビット・タイマ出力機能未使用時		1000	ns

注 R, C は, SCK0, SBO, SB1 出力ラインの負荷抵抗, 負荷容量です。

★
★
★

(g) 自動送受信機能付き 3 線式シリアル I/O モード ($\overline{\text{SCK}}$ …内部クロック出力)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単位
$\overline{\text{SCK}}$ サイクル・タイム	t_{KCY7}	$V_{\text{DD}}=4.5\sim 6.0\text{V}$		800			ns
				3200			ns
$\overline{\text{SCK}}$ ハイ、ロウ・レベル幅	t_{KH7}	$V_{\text{DD}}=4.5\sim 6.0\text{V}$		$t_{\text{KCY7}}/2-50$			ns
	t_{KL7}			$t_{\text{KCY7}}/2-150$			ns
SI セットアップ時間(対 $\overline{\text{SCK}}$ ↑)	t_{SIK7}			100			ns
SI ホールド時間(対 $\overline{\text{SCK}}$ ↑)	t_{KSI7}			400			ns
$\overline{\text{SCK}}$ ↓ → SO 出力遅延時間	t_{KS07}	C = 100 pF ^注	$V_{\text{DD}}=4.5\sim 6.0\text{V}$			300	ns
						1000	ns
$\overline{\text{SCK}}$ ↑ → STB ↑	t_{SBD}			400		t_{KCY7}	ns
ストロブ信号ハイ・レベル幅	t_{SBW}			$t_{\text{KCY7}}-30$		$t_{\text{KCY7}}+30$	ns
ビジイ信号セットアップ時間 (対ビジイ信号検出タイミング)	t_{BYS}			100			ns
ビジイ信号ホールド時間 (対ビジイ信号検出タイミング)	t_{BYH}			100			ns
ビジイ・インアクティブ → $\overline{\text{SCK}}$ ↓	t_{SPS}					$2t_{\text{KCY7}}$	ns

注 C は、SO 出力ラインの負荷容量です。

(h) 自動送受信機能付き 3 線式シリアル I/O モード ($\overline{\text{SCK}}$ …外部クロック入力)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単位
$\overline{\text{SCK}}$ サイクル・タイム	t_{KCY8}	$V_{\text{DD}}=4.5\sim 6.0\text{V}$		800			ns
				3200			ns
$\overline{\text{SCK}}$ ハイ、ロウ・レベル幅	t_{KH8}	$V_{\text{DD}}=4.5\sim 6.0\text{V}$		400			ns
	t_{KL8}			1600			ns
SI セットアップ時間(対 $\overline{\text{SCK}}$ ↑)	t_{SIK8}			100			ns
SI ホールド時間(対 $\overline{\text{SCK}}$ ↑)	t_{KSI8}			400			ns
$\overline{\text{SCK}}$ ↓ → SO 出力遅延時間	t_{KS08}	C = 100 pF ^注	$V_{\text{DD}}=4.5\sim 6.0\text{V}$			300	ns
						1000	ns
$\overline{\text{SCK}}$ 立ち上がり, 立ち下がり時間	t_{R8}	外部デバイス拡張機能使用時				160	ns
	t_{F8}	外部デバイス拡張機能未使用時				1000	ns

注 C は、SO 出力ラインの負荷容量です。

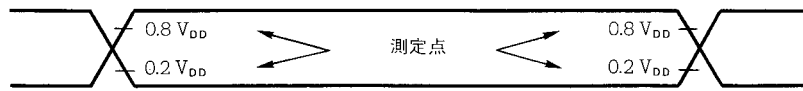
★
★

A/D コンバータ特性 ($T_a = -40 \sim +85^\circ\text{C}$, $AV_{DD} = V_{DD} = 2.7 \sim 6.0\text{V}$, $AV_{SS} = V_{SS} = 0\text{V}$)

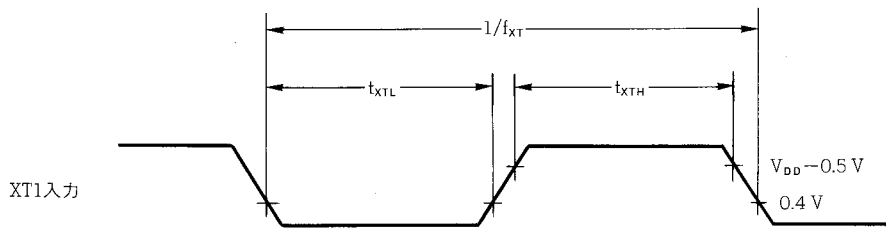
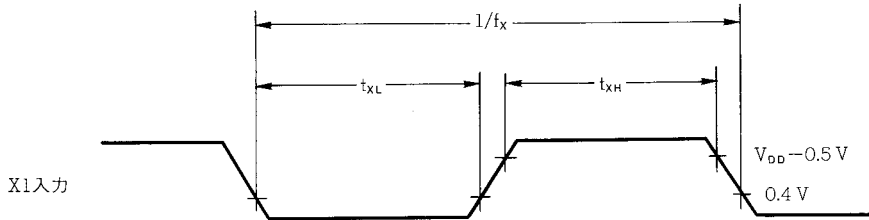
項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
総合誤差 ^注					0.6	%
変換時間	t_{CONV}		19.1		200	μs
サンプリング時間	t_{SAMP}		$24/f_x$			μs
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{REF}	V
基準電圧	AV_{REF}		2.7		AV_{DD}	V
AV_{REF} 電流	I_{REF}			0.5	1.5	mA

注 量子化誤差 ($\pm 1/2\text{LSB}$) を含みません。フルスケール値に対する比率で表します。

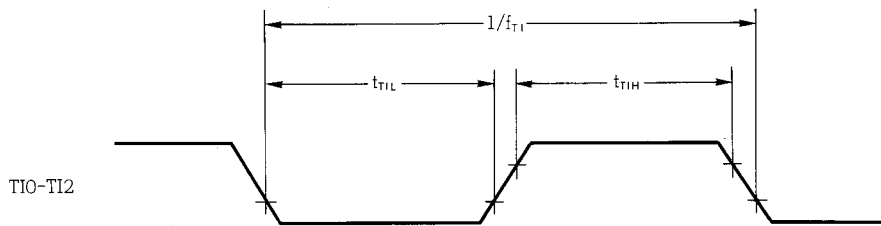
AC タイミング測定点 (X1, XT1 入力を除く)



クロック・タイミング

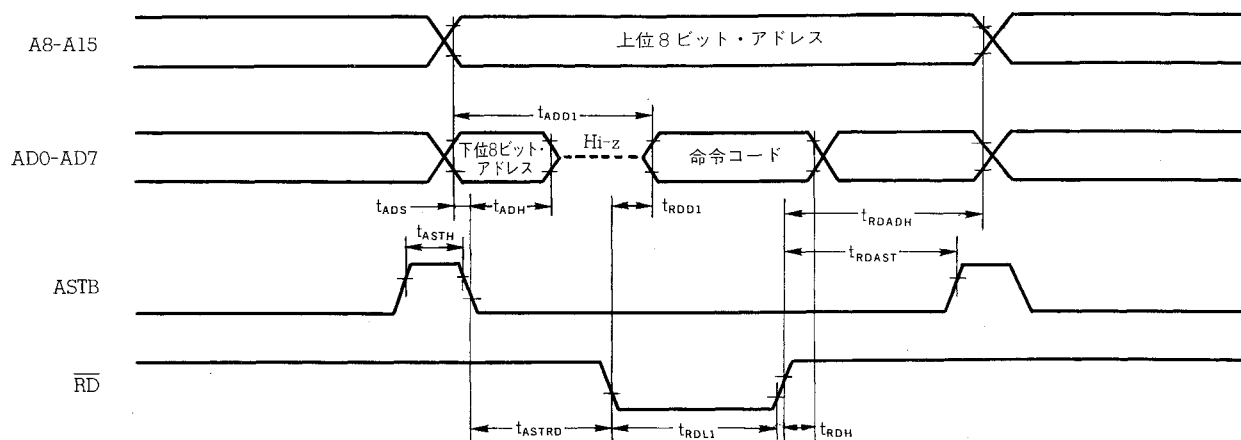


TI タイミング

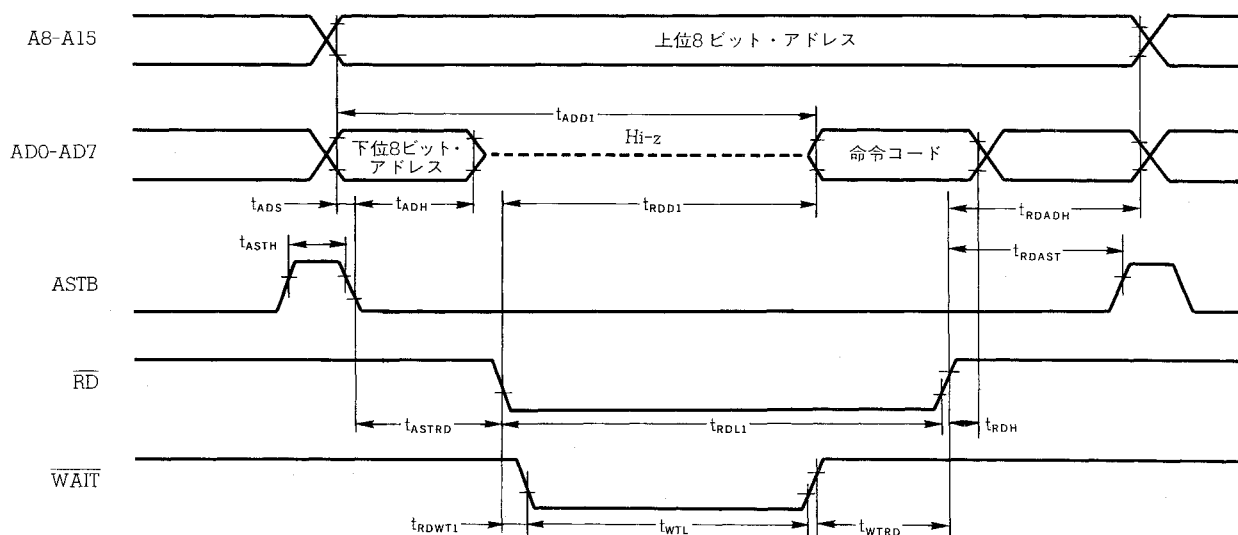


リード/ライト・オペレーション

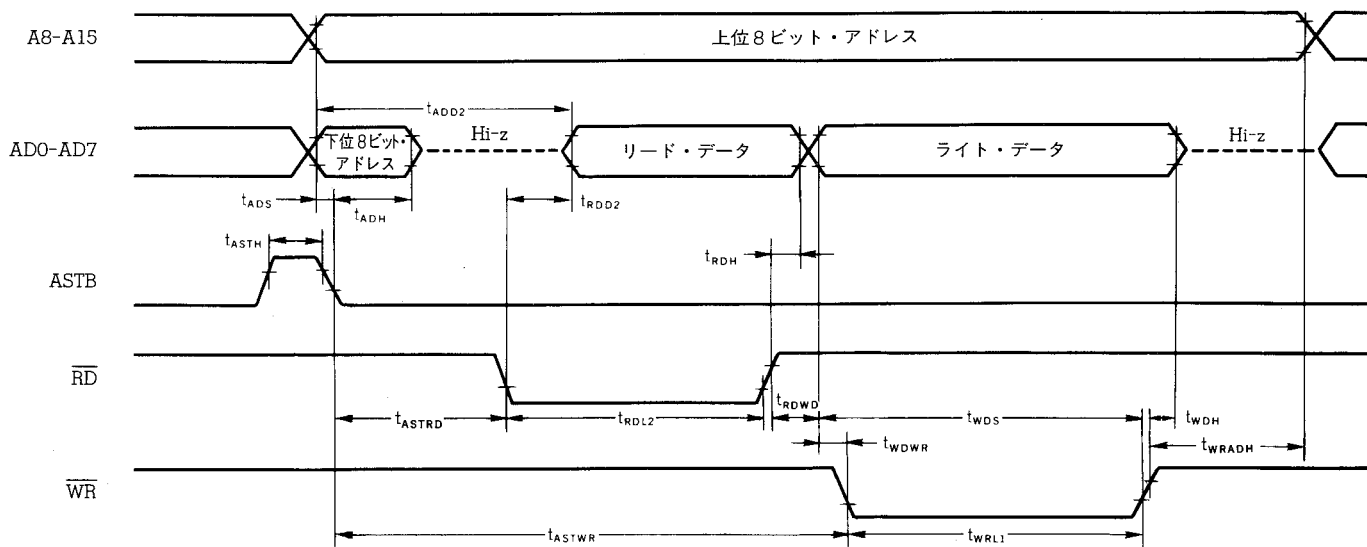
外部フェッチ (ノー・ウエイト時):



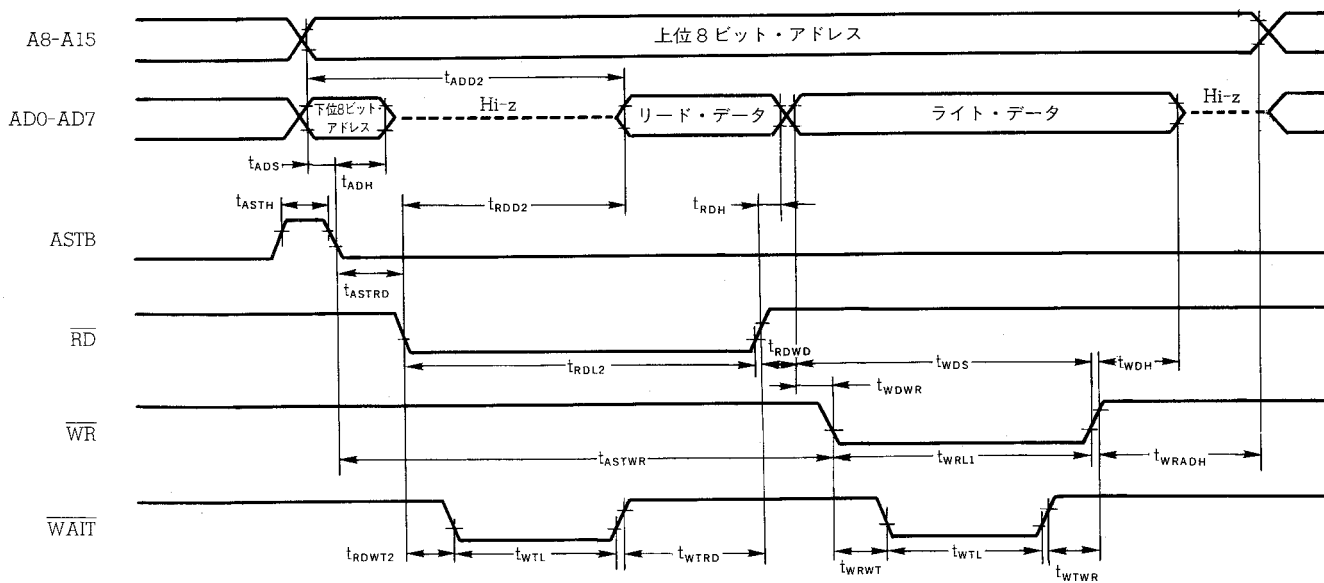
外部フェッチ (ウエイト挿入時):



外部データ・アクセス (ノー・ウエイト時):

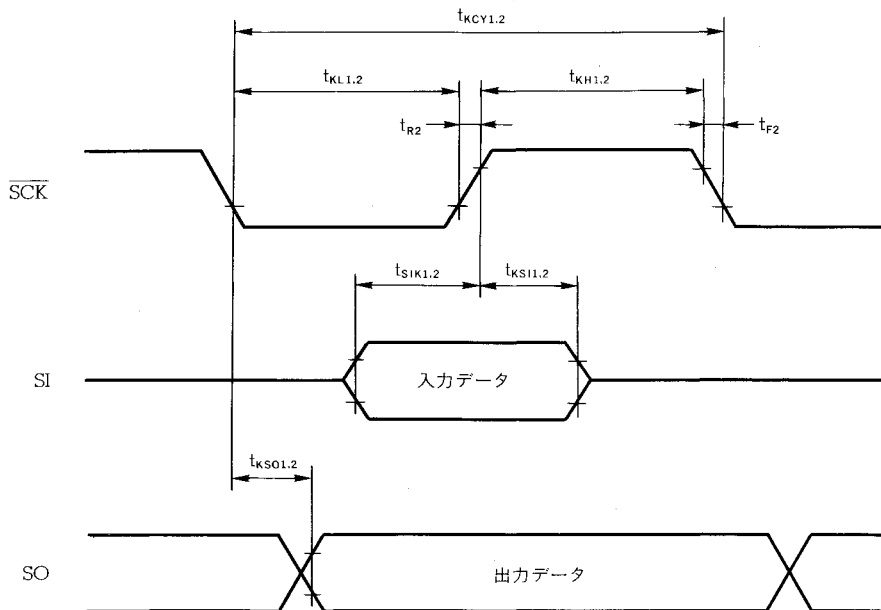


外部データ・アクセス (ウエイト挿入時):

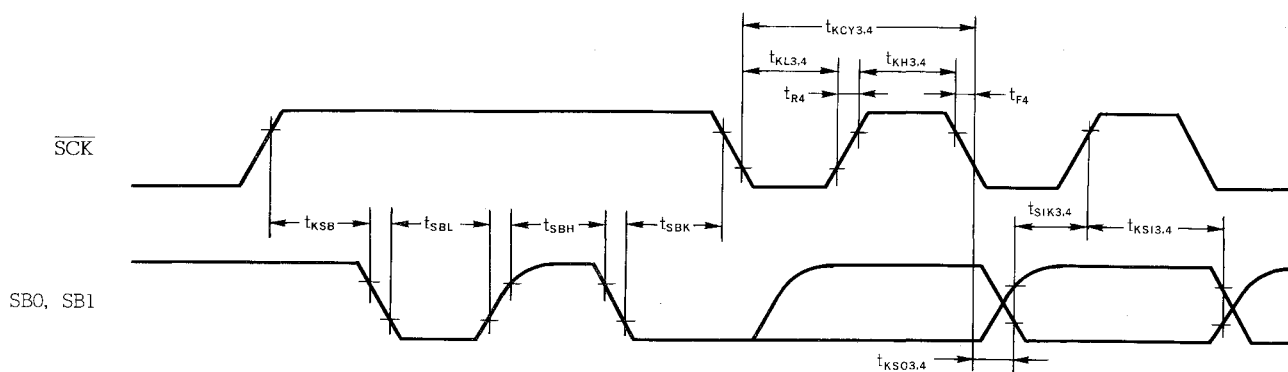


シリアル転送タイミング

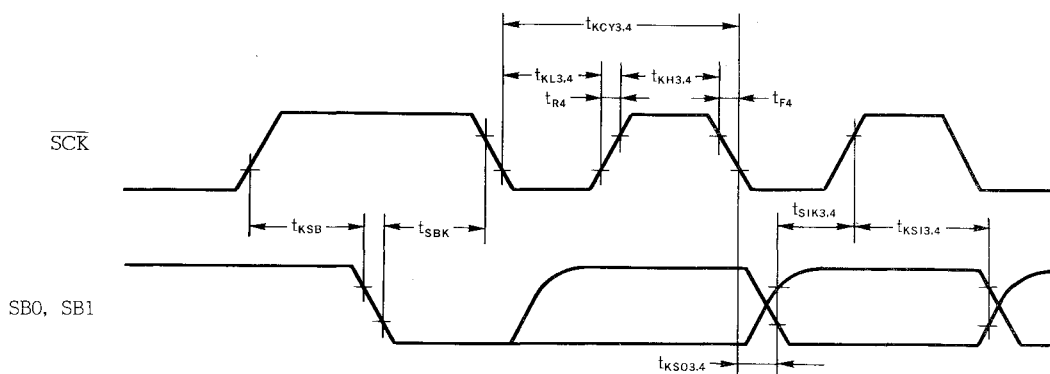
3線式シリアルI/Oモード:



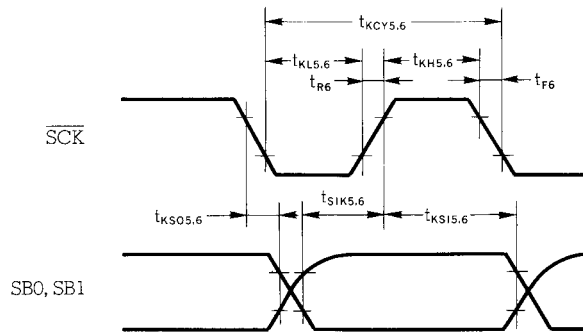
SBIモード (バス・リリース信号転送):



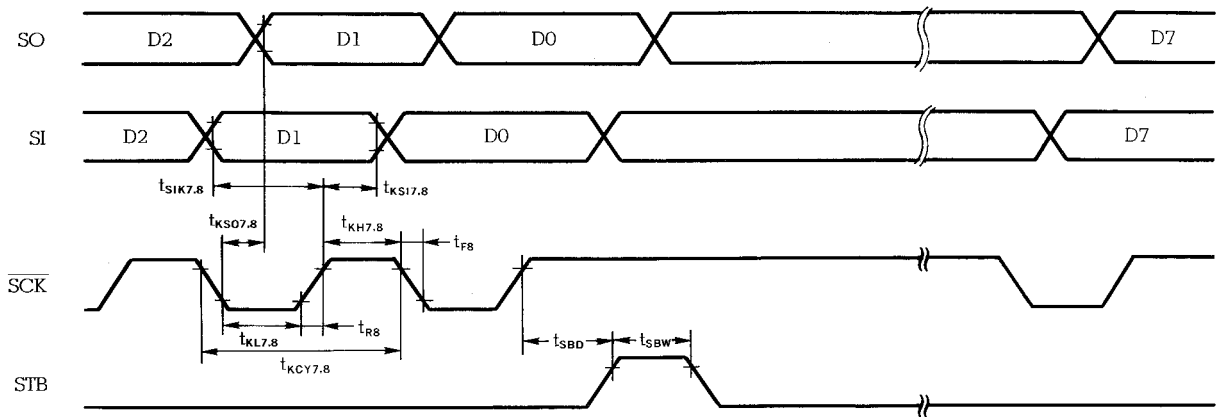
SBIモード (コマンド信号転送):



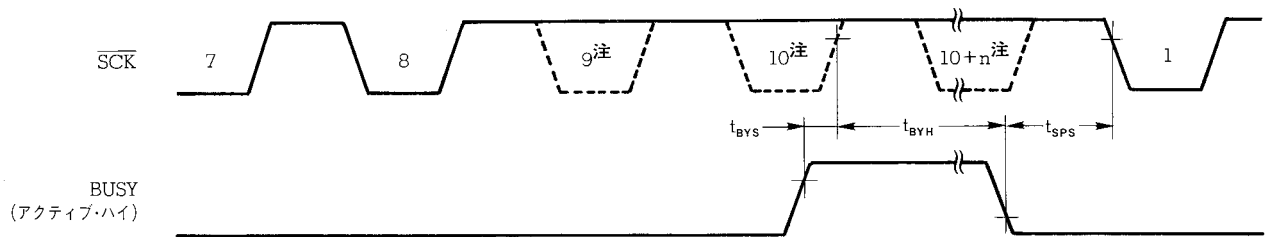
2線式シリアル I/O モード :



自動送受信機能付き 3線式シリアル I/O モード :



自動送受信機能付き 3線式シリアル I/O モード (ビジー処理) :



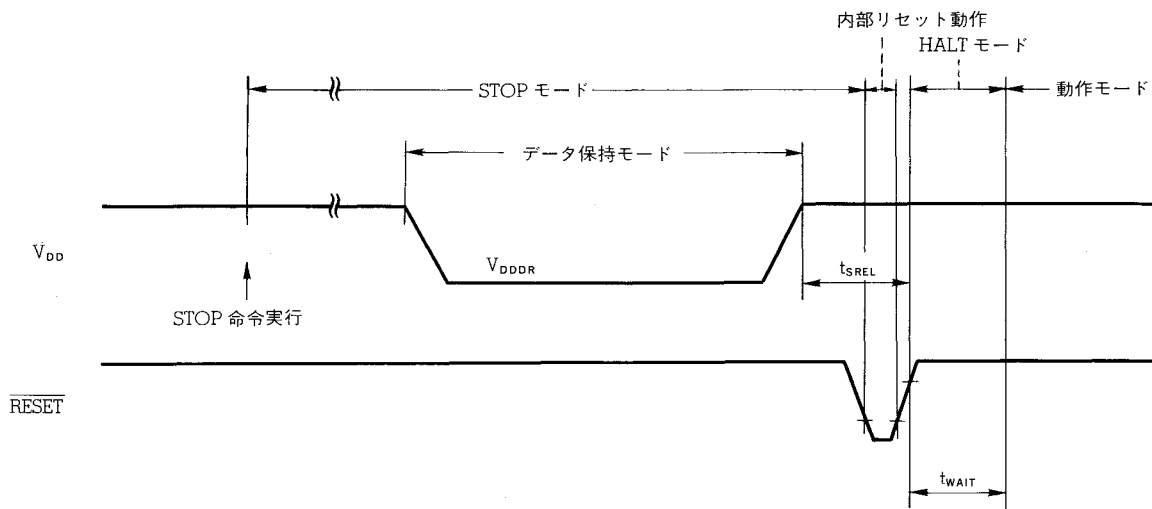
注 ここでは実際にはロウ・レベルになりませんが、タイミング規定のためこのように表記してあります。

データ・メモリ STOP モード低電源電圧データ保持特性 ($T_a = -40 \sim +85^\circ\text{C}$)

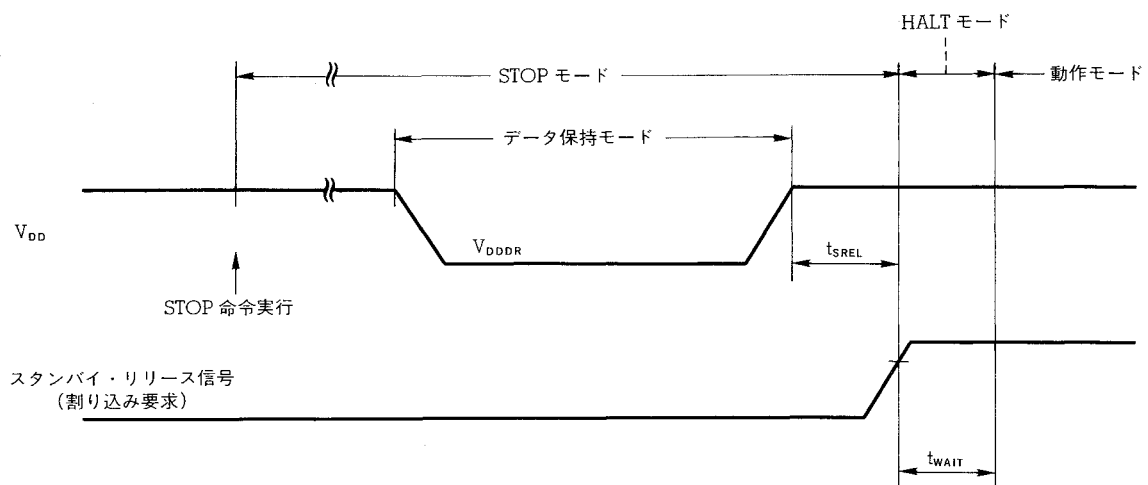
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		2.0		6.0	V
データ保持電源電流	I_{DDDR}	$V_{DDDR} = 2.0\text{V}$ サブシステム・クロック停止, フィード・バック抵抗切断時		0.1	10	μA
リリース信号セット時間	t_{SREL}		0			μs
発振安定ウエイト時間	t_{WAIT}	RESET による解除		$2^{18}/f_x$		ms
		割り込みによる解除		注		ms

注 発振安定時間選択レジスタのビット 0-2 (OSTS0-OSTS2) により, $2^{13}/f_x$, $2^{15}/f_x - 2^{18}/f_x$ の選択が可能です。

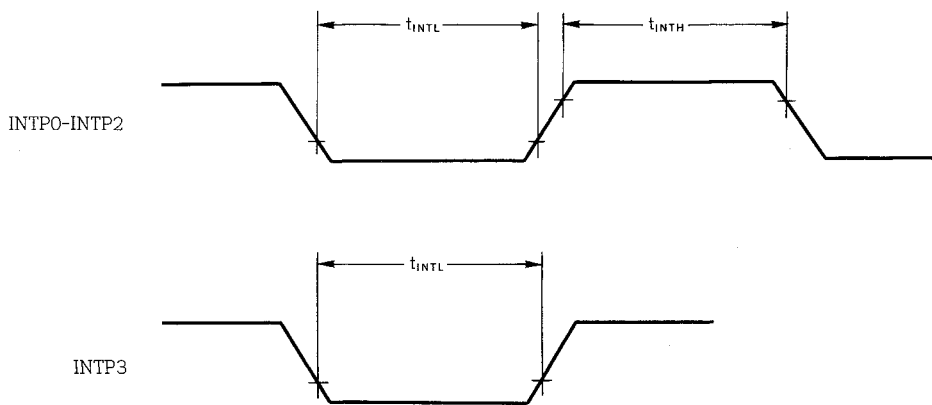
データ保持タイミング (RESET による STOP モード解除)



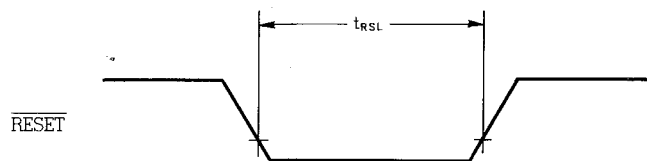
データ保持タイミング (スタンバイ・リリース信号: 割り込み信号による STOP モード解除)



割り込み入カタイミング



RESET入カタイミング



DC プログラミング 特性 ($T_a = 25 \pm 5^\circ\text{C}$, $V_{SS} = 0\text{V}$)

項目	略号	略号注	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH}	V_{IH}		$0.7V_{DDP}$		V_{DDP}	V
ロウ・レベル入力電圧	V_{IL}	V_{IL}		0		$0.3V_{DDP}$	V
入力リーク電流	I_{LIP}	I_{LI}	$0 \leq V_i \leq V_{DDP}$			10	μA
ハイ・レベル出力電圧	V_{OH1}	V_{OH1}	$I_{OH} = -400 \mu\text{A}$	2.4			V
	V_{OH2}	V_{OH2}	$I_{OH} = -100 \mu\text{A}$	$V_{DD} - 0.7$			V
ロウ・レベル出力電圧	V_{OL}	V_{OL}	$I_{OL} = 2.1 \text{mA}$			0.45	V
出力リーク電流	I_{LO}	-	$0 \leq V_o \leq V_{DDP}$, $\overline{OE} = V_{IH}$			10	μA
V_{DDP} 電源電圧	V_{DDP}	V_{CC}	プログラム・メモリ書き込みモード	5.75	6.0	6.25	V
			プログラム・メモリ読み出しモード	4.5	5.0	5.5	V
V_{PP} 電源電圧	V_{PP}	V_{PP}	プログラム・メモリ書き込みモード	12.5	12.5	12.8	V
			プログラム・メモリ読み出しモード	$V_{PP} = V_{DDP}$			
V_{DDP} 電源電流	I_{DD}	I_{CC}	プログラム・メモリ書き込みモード		5	30	mA
			プログラム・メモリ読み出しモード $\overline{CE} = V_{IL}$, $V_i = V_{IH}$		5	30	mA
V_{PP} 電源電流	I_{PP}	I_{PP}	プログラム・メモリ書き込みモード $\overline{CE} = V_{IL}$, $\overline{OE} = V_{IH}$		5	30	mA
			プログラム・メモリ読み出しモード		1	100	μA

注 対応する μPD27C256A の略号です。

プログラム・オペレーション

AC 特性 ($T_a=25\pm 5^\circ\text{C}$, $V_{DD}=6.0\pm 0.25\text{V}$, $V_{PP}=12.5\pm 0.3\text{V}$, $V_{SS}=0\text{V}$)

項 目	略 号	略 号注	条 件	MIN.	TYP.	MAX.	単位
アドレス・セットアップ時間(対 $\overline{\text{CE}}\downarrow$)	t_{SAC}	t_{AS}		2			μs
データ $\rightarrow\overline{\text{OE}}\downarrow$ 遅延時間	t_{DDO}	t_{OES}		2			μs
入力データ・セットアップ時間(対 $\overline{\text{CE}}\downarrow$)	t_{SIDC}	t_{DS}		2			μs
アドレス・ホールド時間(対 $\overline{\text{CE}}\uparrow$)	t_{HCA}	t_{AH}		2			μs
入力データ・ホールド時間(対 $\overline{\text{CE}}\uparrow$)	t_{HCID}	t_{DH}		2			μs
出力データ・ホールド時間(対 $\overline{\text{OE}}\uparrow$)	t_{HOOD}	t_{DF}		0		130	ns
V_{PP} セットアップ時間(対 $\overline{\text{CE}}\downarrow$)	t_{SVPC}	t_{VPS}		1			ms
V_{DDP} セットアップ時間(対 $\overline{\text{CE}}\downarrow$)	t_{SVDC}	t_{VDS}		1			ms
初期プログラム・パルス幅	t_{WL1}	t_{PW}		0.95	1.0	1.05	ms
追加プログラム・パルス幅	t_{WL2}	t_{OPW}		2.85		78.75	ms
$\overline{\text{OE}}\downarrow\rightarrow$ データ出力時間	t_{DOOD}	t_{OE}				1	μs

注 対応する μPD27C256A の略号です。

リード・オペレーション

AC 特性 ($T_a=25\pm 5^\circ\text{C}$, $V_{DD}=5.0\pm 0.5\text{V}$, $V_{PP}=V_{DD}$, $V_{SS}=0\text{V}$)

項 目	略 号	略 号注	条 件	MIN.	TYP.	MAX.	単位
アドレス \rightarrow データ出力時間	t_{DAOD}	t_{ACC}				200	ns
$\overline{\text{CE}}\downarrow\rightarrow$ データ出力時間	t_{DCOD}	t_{CE}				200	ns
$\overline{\text{OE}}\downarrow\rightarrow$ データ出力時間	t_{DOOD}	t_{OE}				75	ns
データ・ホールド時間(対 $\overline{\text{OE}}\uparrow$)	t_{HCOD}	t_{DF}		0		60	ns
データ・ホールド時間(対アドレス)	t_{HAOD}	t_{OH}		0			ns

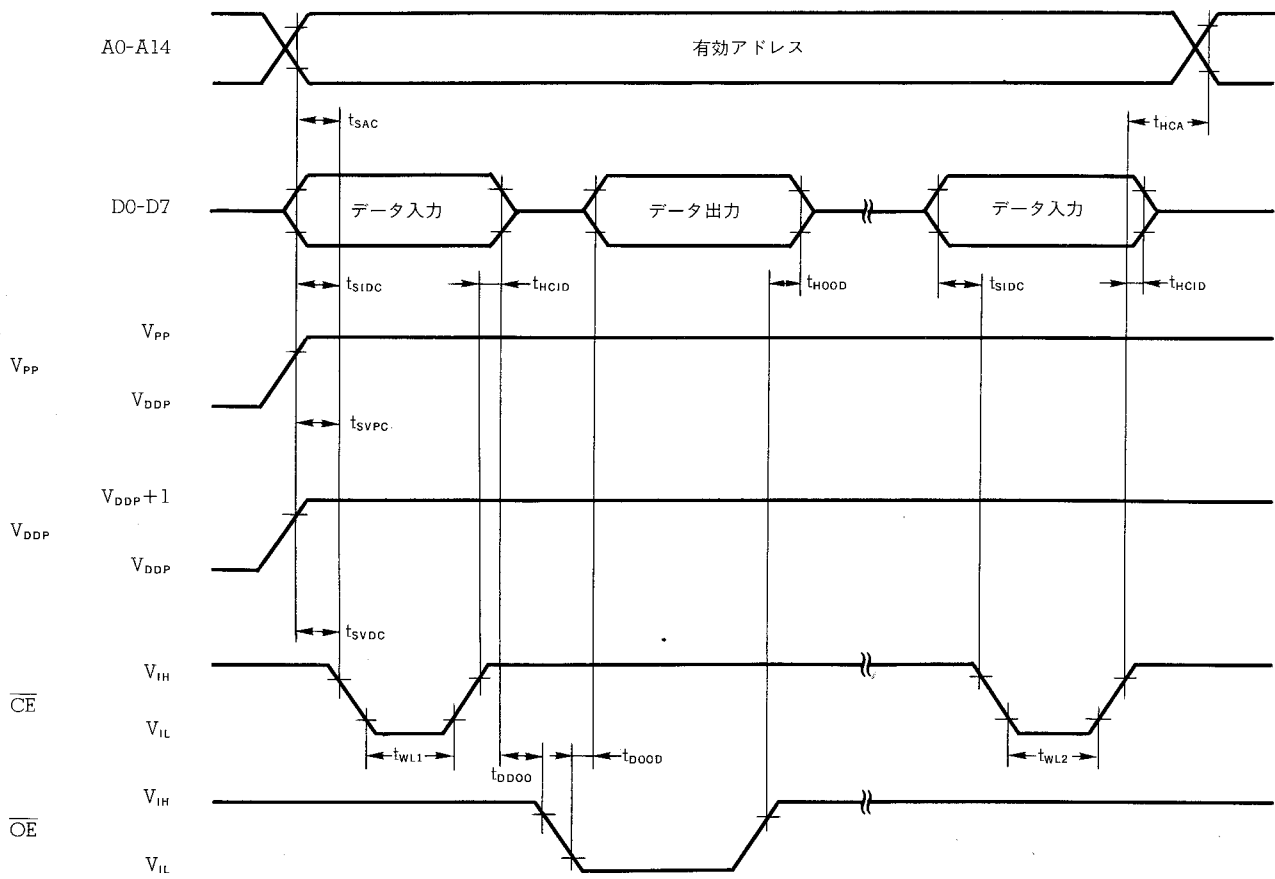
注 対応する μPD27C256A の略号です。

PROM モード設定

AC 特性 ($T_a=25\pm 5^\circ\text{C}$, $V_{SS}=0\text{V}$)

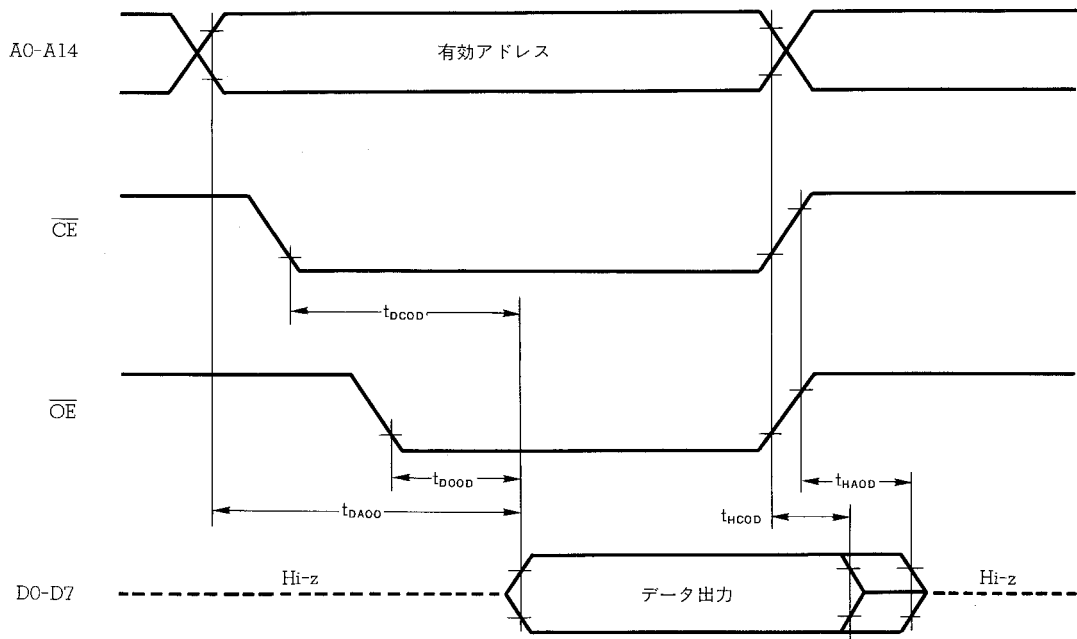
項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
PROM モード・セットアップ時間	t_{SMA}		10			μs

PROM 書き込みモード・タイミング

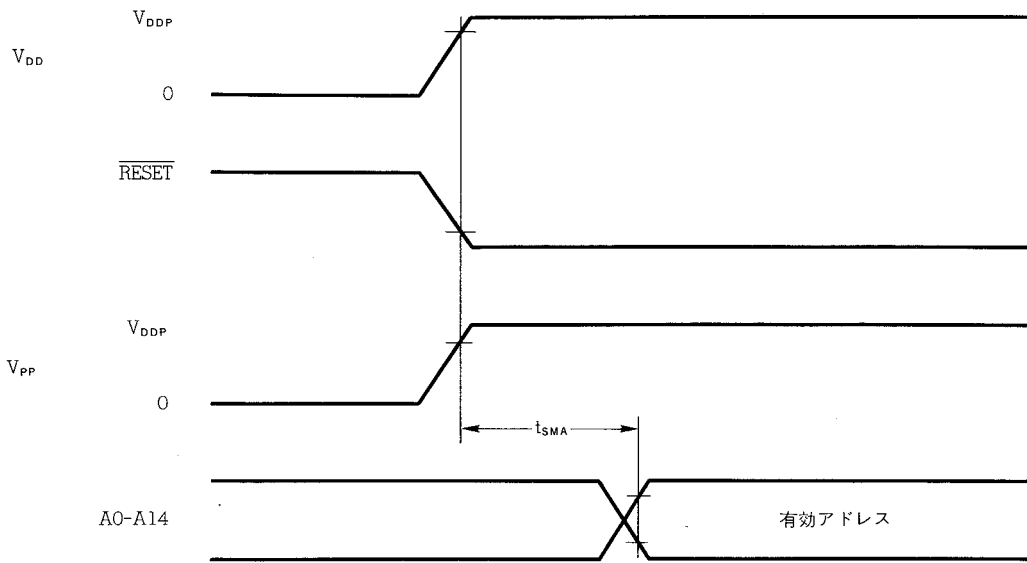


- 注意 1. V_{DDP} は V_{PP} より前に印加し, V_{PP} の後から切断するようにしてください。
 2. V_{PP} はオーバーシュートを含めて+13V以上にならないようにしてください。

PROM 読み出しモード・タイミング

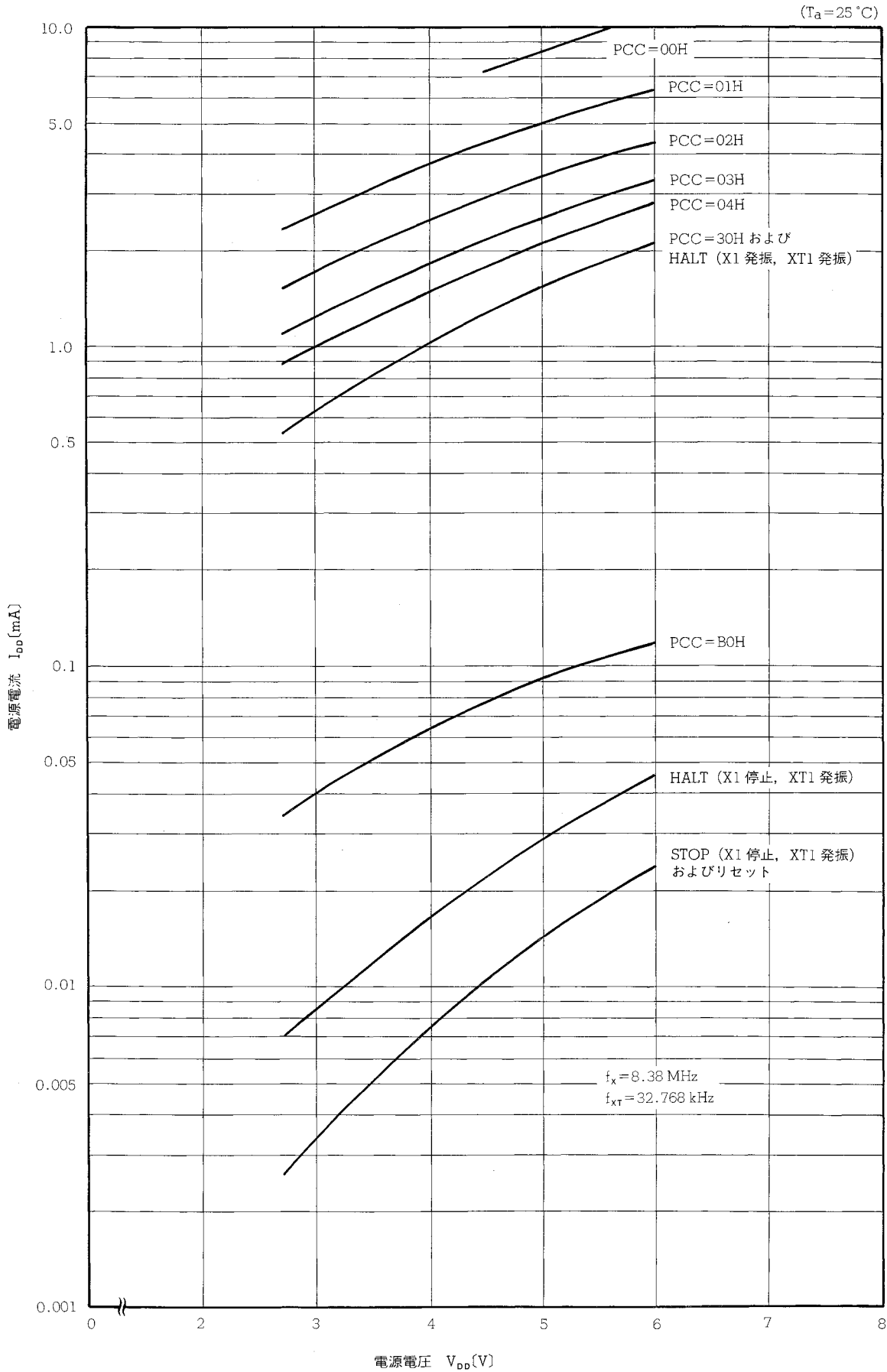


PROM モード設定タイミング



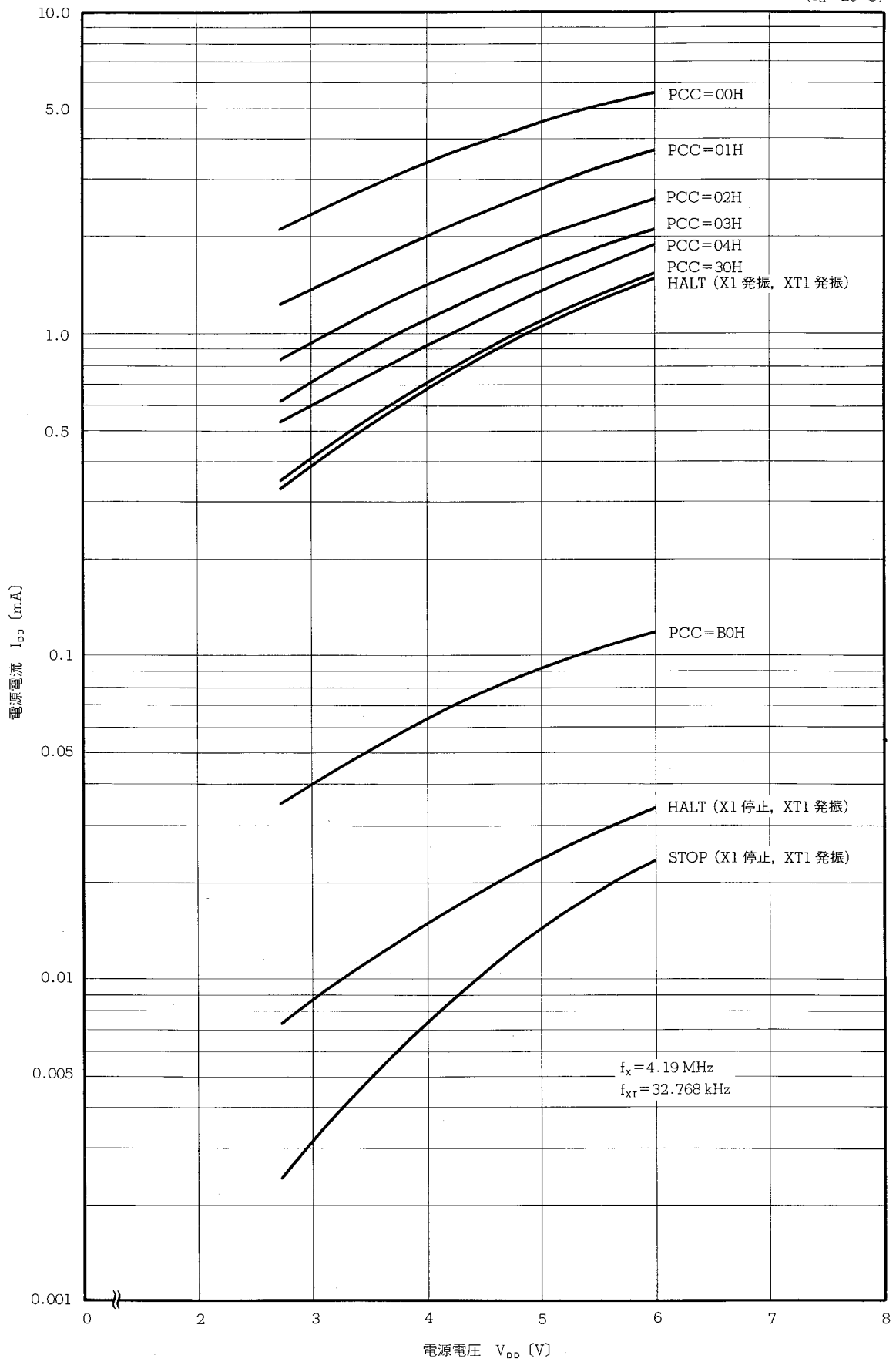
9. 特性曲線 (参考値)

I_{DD} vs V_{DD} (メイン・システム・クロック : 8.38 MHz)

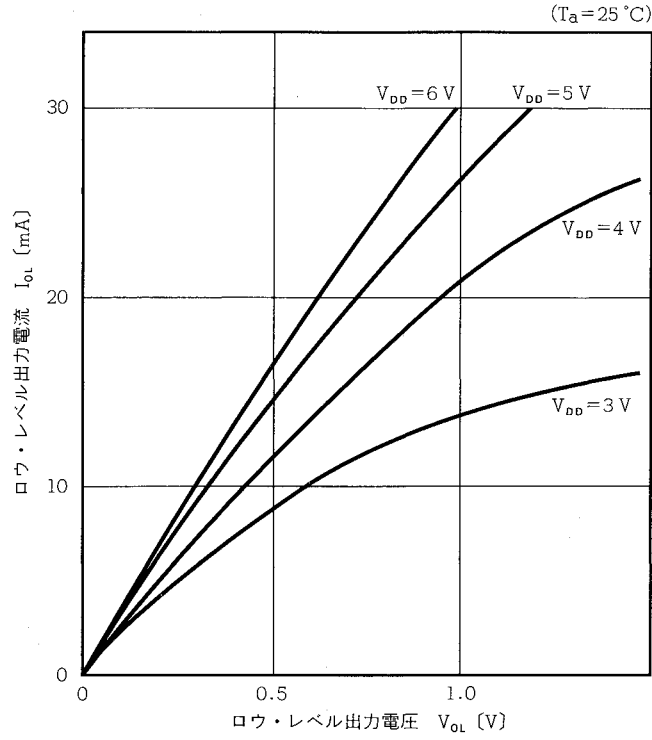


I_{DD} vs V_{DD} (メイン・システム・クロック : 4.19 MHz)

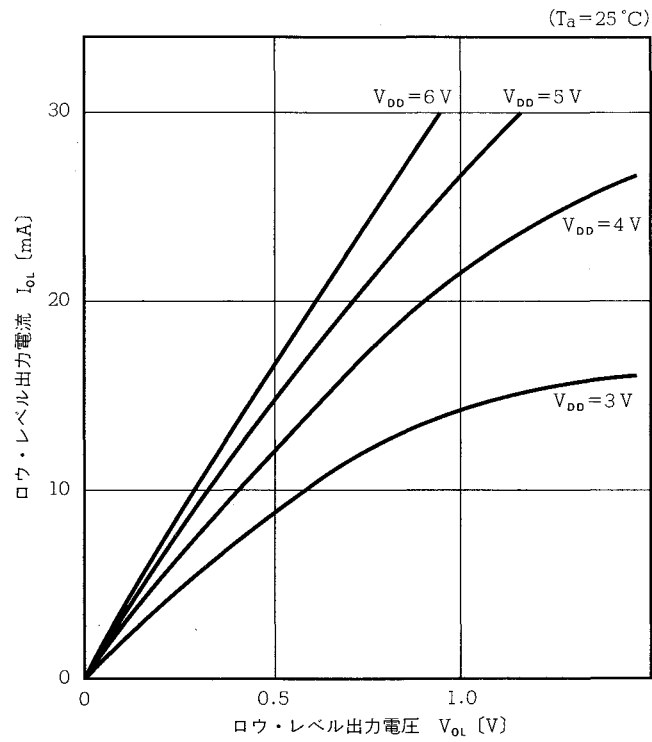
($T_a=25^\circ\text{C}$)



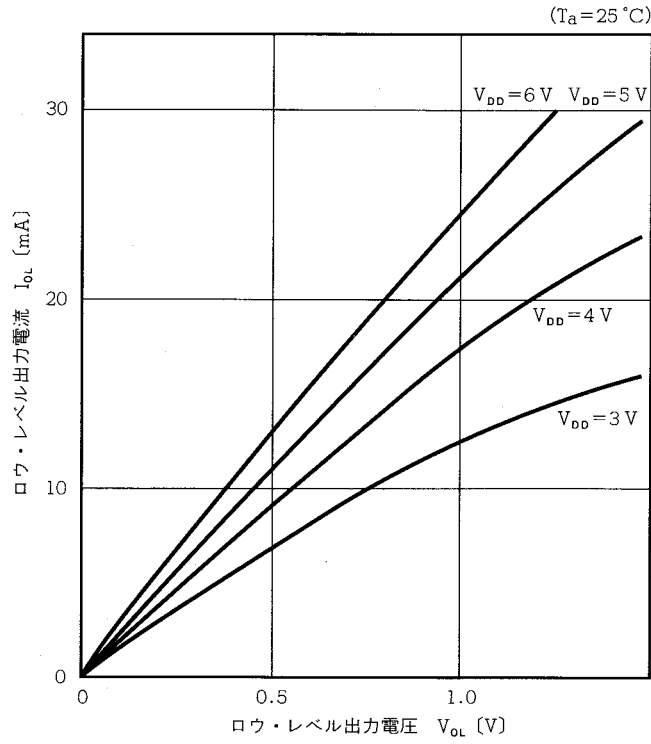
V_{OL} vs I_{OL} (ポート 0, 2-5, P64-P67)



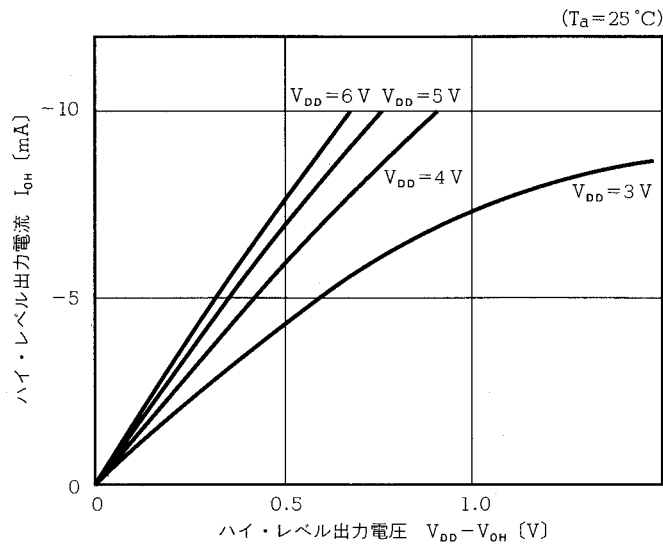
V_{OL} vs I_{OL} (ポート 1)



V_{OL} vs I_{OL} (P60-P63)

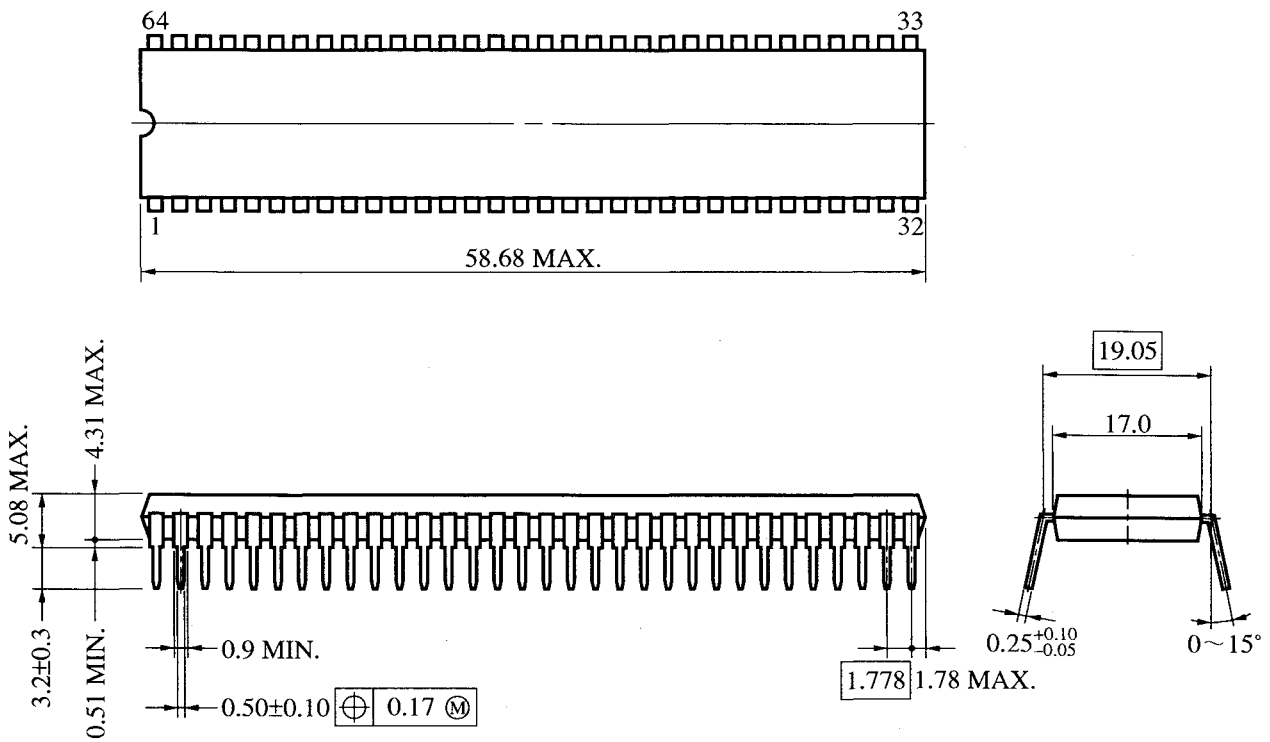


V_{OH} vs I_{OH} (ポート 0-5, P64-P67)



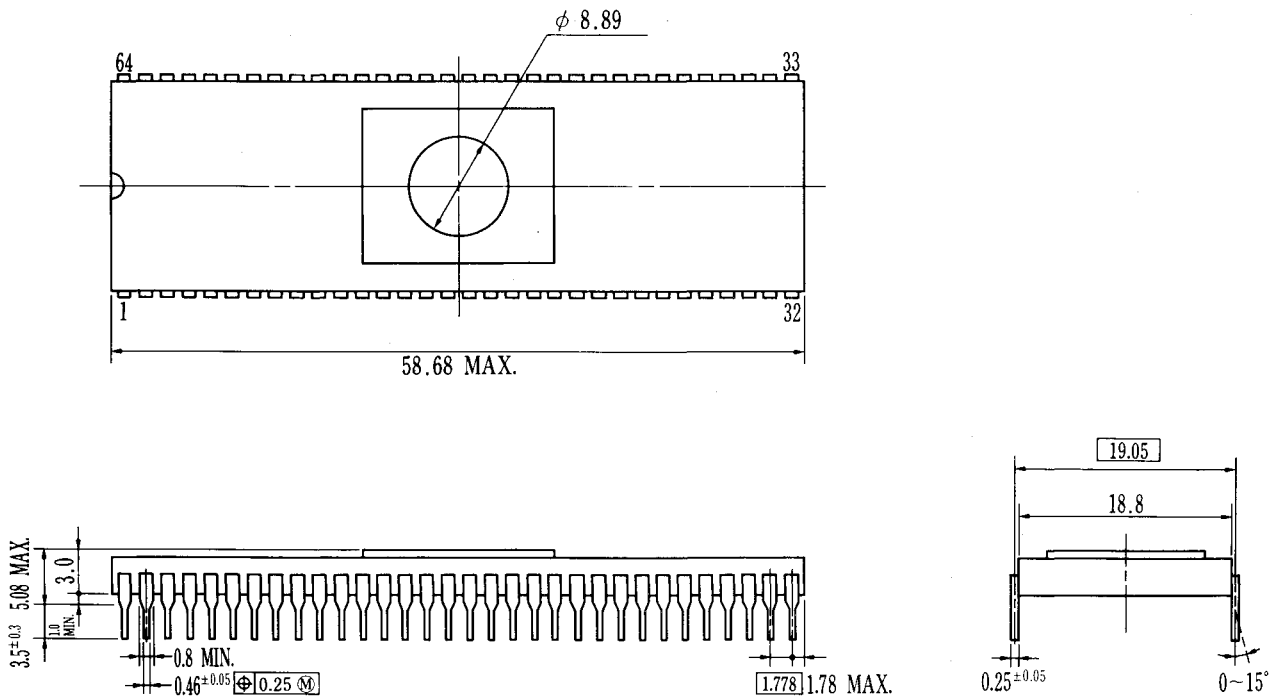
10. 外形図

64ピン・プラスチック・シュリンク DIP (750 mil) 外形図 (単位: mm)



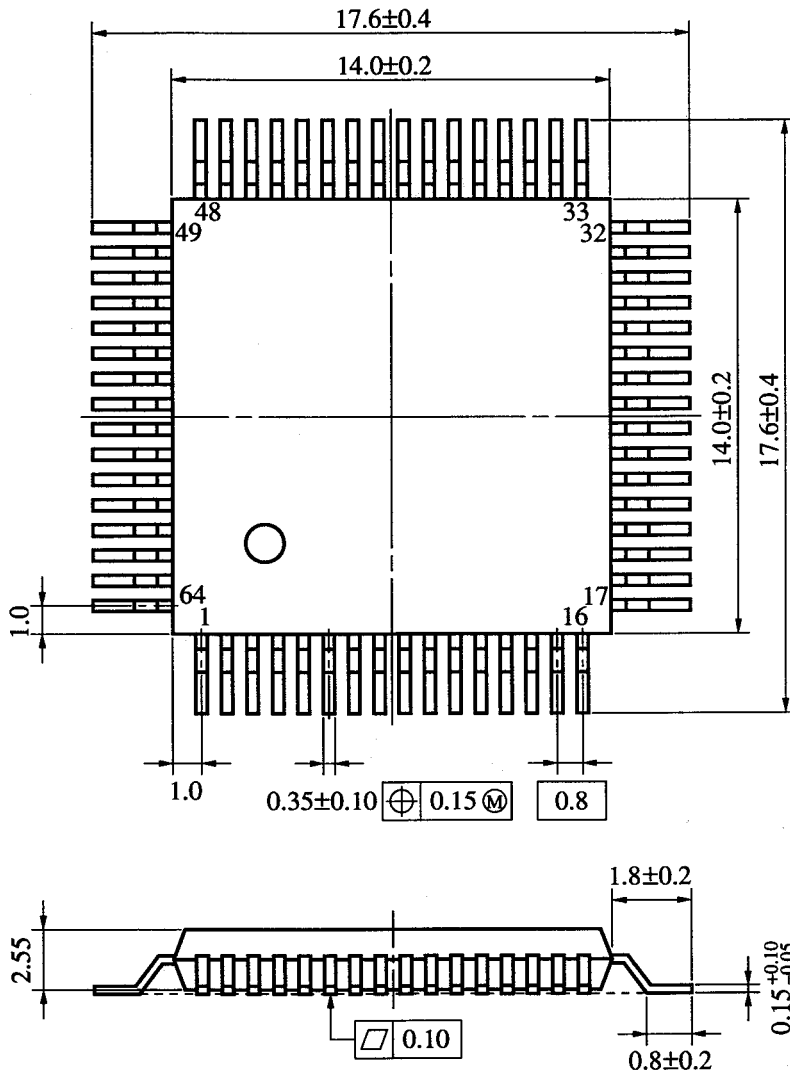
P64C-70-750A,C-1

64ピン・セラミック・シュリンク DIP (750 mil) 外形図 (単位: mm)

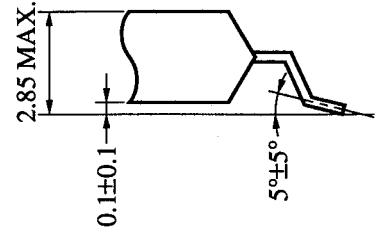


P64DW-70-750A

64ピン・プラスチック QFP (□14) 外形図 (単位: mm)



端子先端形状詳細図



P64GC-80-AB8-3

11. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表 11-1 表面実装タイプの半田付け条件

μPD78P014GC-AB8 : 64ピン・プラスチック QFP (□14 mm)

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：230℃, 時間：30秒以内 (210℃以上), 回数：1回, 制限日数：2日間 ^注 (以降は125℃プリベーク20時間必要)	IR30-202-1
VPS	パッケージ・ピーク温度：215℃, 時間：40秒以内 (200℃以上), 回数：1回, 制限日数：2日間 ^注 (以降は125℃プリベーク20時間必要)	VP15-202-1
端子部分加熱	端子温度：300℃以下, 時間：3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で、保管条件は25℃, 65% RH以下。

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。

表 11-2 挿入タイプの半田付け条件

μPD78P014CW : 64ピン・プラスチック・シュリンク DIP (750 mil)

μPD78P014DW : 64ピン・セラミック・シュリンク DIP (窓付き) (750 mil)

半田付け方式	半 田 付 け 条 件
ウェーブ・ソルダーリング (端子のみ)	半田槽温度：260℃以下, 時間：10秒以内
端子部分加熱	端子温度：300℃以下, 時間：3秒以内 (1端子当たり)

★

注意 ウェーブ・ソルダーリングは端子のみとし、噴流半田が直接本体に接触しないようにしてください。

付録 A. 開発ツール

μPD78P014 を使用するシステム開発のために次のような開発ツールを用意しています。

言語処理用ソフトウェア

RA78K/0 ^{注1, 2, 3}	78K/0 シリーズ共通のアセンブラ・パッケージ
CC78K/0 ^{注1, 2, 3}	78K/0 シリーズ共通の C コンパイラ・パッケージ
DF78014 ^{注1, 2, 3}	μPD78014 サブシリーズ用デバイス・ファイル
CC78K/0-L ^{注1, 2, 3}	78K/0 シリーズ共通の C コンパイラ・ライブラリ・ソース・ファイル

★

PROM 書き込み用ツール

PG-1500	PROM プログラマ
PA-78P014CW PA-78P014GC	PG-1500 に接続するプログラマ・アダプタ
PG-1500 コントローラ ^{注1, 2}	PG-1500 用コントロール・プログラム

ディバグ用ツール

IE-78000-R	78K/0 シリーズ共通のインサーキット・エミュレータ
IE-78000-R-BK	78K/0 シリーズ共通のブレーク・ボード
IE-78014-R-EM	μPD78002, 78014 サブシリーズ評価用エミュレーション・ボード
EP-78240CW-R EP-78240GC-R	μPD78244 サブシリーズと共通のエミュレーション・プローブ
EV-9200GC-64	64ピン・プラスチック QFP 用に作られたユーザ・システムの基板に実装するソケット
SD78K/0 ^{注1, 2}	IE-78000-R 用スクリーン・ディバग्ガ
SM78K/0 ^{注3, 4, 5, 6}	78K/0 シリーズ共通のシステム・シミュレータ
DF78014 ^{注1, 2, 3, 4, 5}	μPD78014 サブシリーズ用デバイス・ファイル

★

リアルタイム OS

RX78K/0 ^{注1, 2, 3}	78K/0 シリーズ共通のリアルタイム OS
MX78K/0 ^{注1, 2, 3, 6}	78K/0 シリーズ共通の OS

★

ファジィ推論開発支援システム

FE9000 ^{注1} /FE9200 ^{注5}	ファジィ知識データ作成ツール
FT9080 ^{注1} /FT9085 ^{注2}	トランスレータ
FI78K0 ^{注1, 2}	ファジィ推論モジュール
FD78K0 ^{注1, 2}	ファジィ推論デバッガ

注 1. PC-9800 シリーズ (MS-DOSTM) ベース

2. IBM PC/ATTM (PC DOSTM) ベース

★ 3. HP9000 シリーズ 300TM, HP9000 シリーズ 700TM (HP-UXTM) ベース, SPARCstationTM (SunOSTM) ベース, EWS-4800 シリーズ (EWS-UJ/V) ベース

4. PC-9800 シリーズ (MS-DOS+WindowsTM) ベース

5. IBM PC/AT (PC DOS+Windows) ベース

6. 開発中

備考 1. 3rd パーティ製開発ツールについては、78K/0 シリーズ セレクション・ガイド (IF-357) を参照してください。

★ 2. RA78K/0, CC78K/0, SD78K/0, SM78K/0 は、DF78014 と組み合わせて使用します。

付録 B. 関連資料

★

デバイスの関連資料

資料名	資料番号		
	和文	英文	
μPD78014, 78014Y シリーズ ユーザーズ・マニュアル	IEU-780	IEU-1343	
78K/0 シリーズ ユーザーズ・マニュアル 命令編	IEU-849	IEU-1372	
78K/0 シリーズ インストラクション活用表	IEM-5522	—	
78K/0 シリーズ インストラクション・セット	IEM-5521	—	
μPD78014, 78014Y シリーズ 特殊機能レジスタ活用表	IEM-5527	—	
78K/0 シリーズ アプリケーション・ノート	基礎編 I	IEA-715	IEA-1288
	基礎編 II	IEA-740	IEA-1299
	浮動小数点演算プログラム編	IEA-718	IEA-1289
	電子手帳編	IEA-744	IEA-1301

開発ツールの関連資料 (ユーザーズ・マニュアル)

資料名	資料番号		
	和文	英文	
RA78Kシリーズ アセンブラ・パッケージ	操作編	EEU-809	EEU-1399
	言語編	EEU-815	EEU-1404
RA78Kシリーズ 構造化アセンブラ・プリプロセッサ	EEU-817	EEU-1402	
CC78Kシリーズ C コンパイラ	操作編	EEU-656	EEU-1280
	言語編	EEU-655	EEU-1284
CC78Kシリーズ ライブラリ・ソース・ファイル	EEU-777	—	
PG-1500 PROM プログラム	EEU-651	EEU-1335	
PG-1500 コントローラ	EEU-704	EEU-1291	
IE-78000-R	EEU-810	EEU-1398	
IE-78000-R-BK	EEU-867	EEU-1427	
IE-78014-R-EM	EEU-805	EEU-1400	
SD78K/0 スクリーン・ディバッガ	入門編	EEU-852	EEU-1414
	レファレンス編	EEU-816	EEU-1413

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

組み込み用ソフトウェアの関連資料 (ユーザーズ・マニュアル)

資料名		資料番号	
		和文	英文
78K/0 シリーズ リアルタイム OS	基礎編	EEU-912	-
	インストール編	EEU-911	-
	デバッグ編	EEU-930	-
	テクニカル編	EEU-913	-
ファジィ知識データ作成ツール		EEU-829	EEU-1438
78K/0, 78K/II, 87AD シリーズ ファジィ推論開発支援システム トランスレータ		EEU-862	EEU-1444
78K/0 シリーズ ファジィ推論開発支援システム ファジィ推論モジュール		EEU-858	-
78K/0 シリーズ ファジィ推論開発支援システム ファジィ推論デバッグ		EEU-921	-

その他の関連資料

資料名		資料番号	
		和文	英文
パッケージマニュアル		IEI-635	IEI-1213
半導体デバイス 実装マニュアル		IEI-616	IEI-1207
NEC 半導体デバイスの品質水準		IEI-620	IEI-1209
NEC 半導体デバイスの信頼性品質管理		IEM-5068	-
静電気放電 (ESD) 試験について		MEM-539	-
半導体デバイスの品質保証ガイド		MEI-603	MEI-1202
マイクロコンピュータ関連製品ガイド 社外メーカ編		MEI-604	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

FIP は、日本電気株式会社の登録商標です。

IEBus, QTOP は、日本電気株式会社の商標です。

MS-DOS, Windows は、米国マイクロソフト社の商標です。

PC/AT, PC DOS は、米国 IBM 社の商標です。

HP9000シリーズ 300, HP9000シリーズ 700, HP-UX は、米国ヒューレット・パッカード社の商標です。

SPARCstation は、米国 SPARC International, Inc. の商標です。

SunOS は、米国サン・マイクロシステムズ社の商標です。

本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μPD78P014DW

ユーザ判定品 : μPD78P014CW, μPD78P014GC-AB8

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- この製品を使用したことにより、第三者の工業所有権等にかかわる問題が発生した場合、当社製品の構造製法に直接かかわるもの以外につきましては、当社はその責を負いませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.6

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部	半導体第二販売事業部	半導体第三販売事業部	〒108-01	東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111	(大代表)		
中部支社	半導体販売部		〒460	名古屋市中区栄四丁目14番5号 (松下中日ビル)	名古屋 (052)242-2755			
関西支社	半導体第一販売部	半導体第二販売部	半導体第三販売部	〒540	大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208		
北海道支社	札幌	(011)231-0161	小島支店	小島	(0285)24-5011	富山支店	富山	(0764)31-8461
東北支社	仙台	(022)261-5511	長野支店	長野	(0262)35-1444	三重支店	津	(0592)25-7341
岩手支店	盛岡	(0196)51-4344	松本支店	松本	(0263)35-1666	京都支社	京都	(075)344-7824
山形支店	山形	(0236)23-5511	諏訪支店	諏訪	(0266)53-5350	神戸支社	神戸	(078)332-3311
郡山支店	郡山	(0249)23-5511	甲府支店	甲府	(0552)24-4141	中国支社	広島	(082)242-5504
いわき支店	いわき	(0246)21-5511	埼玉支社	大宮	(048)641-1411	鳥取支店	鳥取	(0857)27-5311
長岡支店	長岡	(0258)36-2155	立川支社	立川	(0425)26-5981	岡山支店	岡山	(086)225-4455
土浦支店	土浦	(0298)23-6161	千葉支社	千葉	(043)238-8116	四国支社	高松	(0878)36-1200
水戸支店	水戸	(0292)26-1717	静岡支社	静岡	(054)255-2211	新居浜支店	新居浜	(0897)32-5001
神奈川支社	横浜	(045)324-5511	沼津支店	沼津	(0559)63-4455	松山支店	松山	(0899)45-4111
群馬支店	高崎	(0273)26-1255	浜松支店	浜松	(053)452-2711	九州支社	福岡	(092)271-7700
太田支店	太田	(0276)46-4011	北陸支社	金沢	(0762)23-1621	北九州支店	北九州	(093)541-2887
宇都宮支店	宇都宮	(0286)21-2281	福井支店	福井	(0776)22-1866			

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部	〒210	川崎市幸区塚越三丁目484番地	川崎 (044)548-7923	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
マイクロコンピュータ技術部				
半導体販売技術本部	〒108-01	東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
東日本販売技術部				
半導体販売技術本部	〒460	名古屋市中区栄四丁目14番5号 (松下中日ビル)	名古屋 (052)242-2762	
中部販売技術部				
半導体販売技術本部	〒540	大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	
西日本販売技術部				