

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

8ビット・シングルチップ・マイクロコンピュータ(A/Dコンバータ付き)

μ PD78C14Aは16ビットALU, ROM, RAM, A/Dコンバータ, 多機能タイマ/イベント・カウンタ, 汎用シリアル・インタフェースなどを1チップに集積し, さらに外部に48Kバイトまでのメモリ(ROM/RAM)を拡張できるCMOS 8ビット・マイクロコンピュータです。 μ PD78C14AはCMOS構造のため低消費電力で動作できますが, スタンバイ機能を用いることにより, さらに低い消費電力でデータ保持等ができます。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

87ADシリーズ μ PD78C18 ユーザーズ・マニュアル: IEU-738

特 徴

- 159種の豊富なインストラクション: 87ADシリーズ命令セット
: 乗除算命令, 16ビット演算命令
- インストラクション・サイクル: 0.8 μ s (15 MHz動作時)
- 内蔵ROM: 16384W \times 8
- 内蔵RAM: 256W \times 8
- メモリ(ROM/RAM)を最大64Kバイトまで直接アドレス可能
- 高分解能8ビットA/Dコンバータ: 8アナログ入力
- 汎用シリアル・インタフェース: アシンクロナス, シンクロナス, I/Oインタフェース・モード
- 多機能16ビット・タイマ/イベント・カウンタ
- 2個の8ビット・タイマ
- I/Oライン
入出力ポート : 40(PA, PB, PCはマスク・オプションでプルアップ抵抗接続可能)
エッジ検出入力: 4
- 割り込み機能(外部3, 内部8)
ノンマスクابل割り込み: 1
マスクابل割り込み : 10
- ゼロクロス検出機能(2入力)
- スタンバイ機能: HALTモード, ハードウェア/ソフトウェアSTOPモード
- CMOS
- 単電源

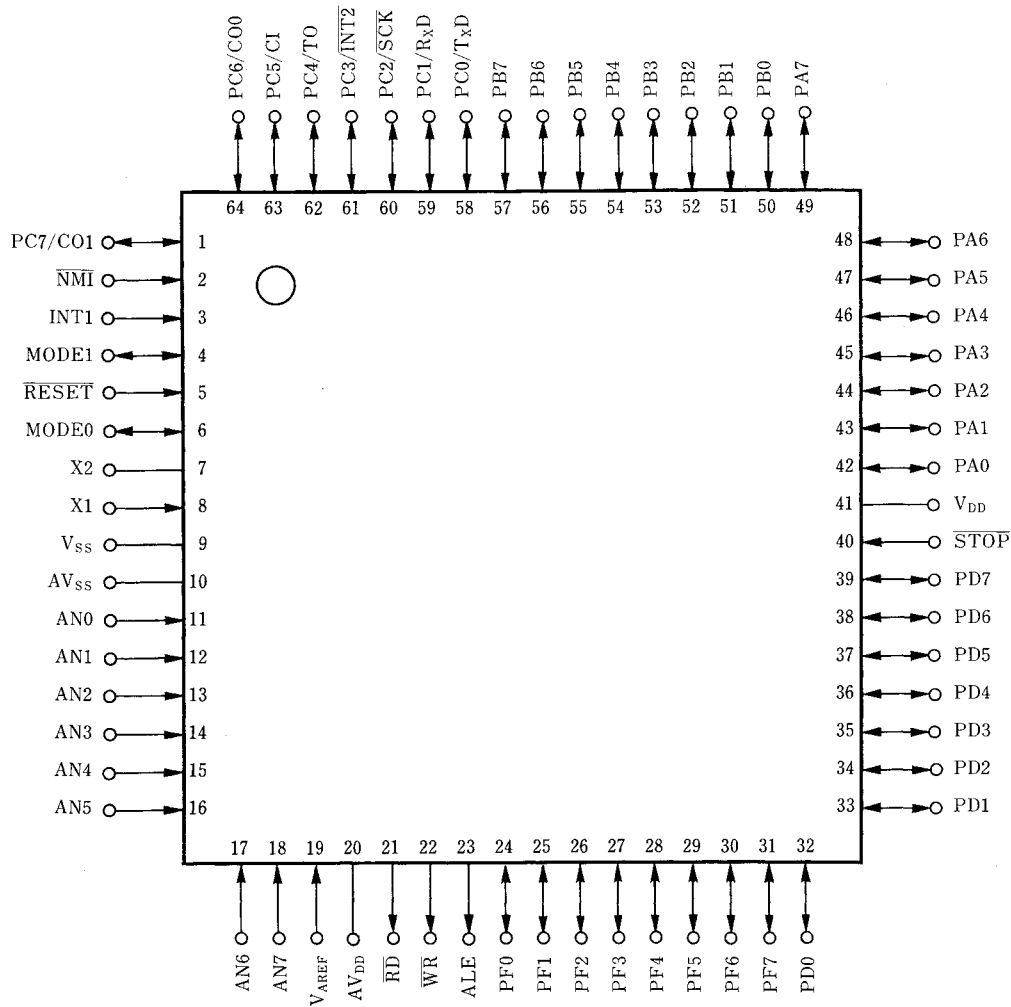
オーダ情報

オーダ名称	パッケージ
μ PD78C14AG- $\times\times\times$ -AB8	64ピン・プラスチックQFP(□14mm)

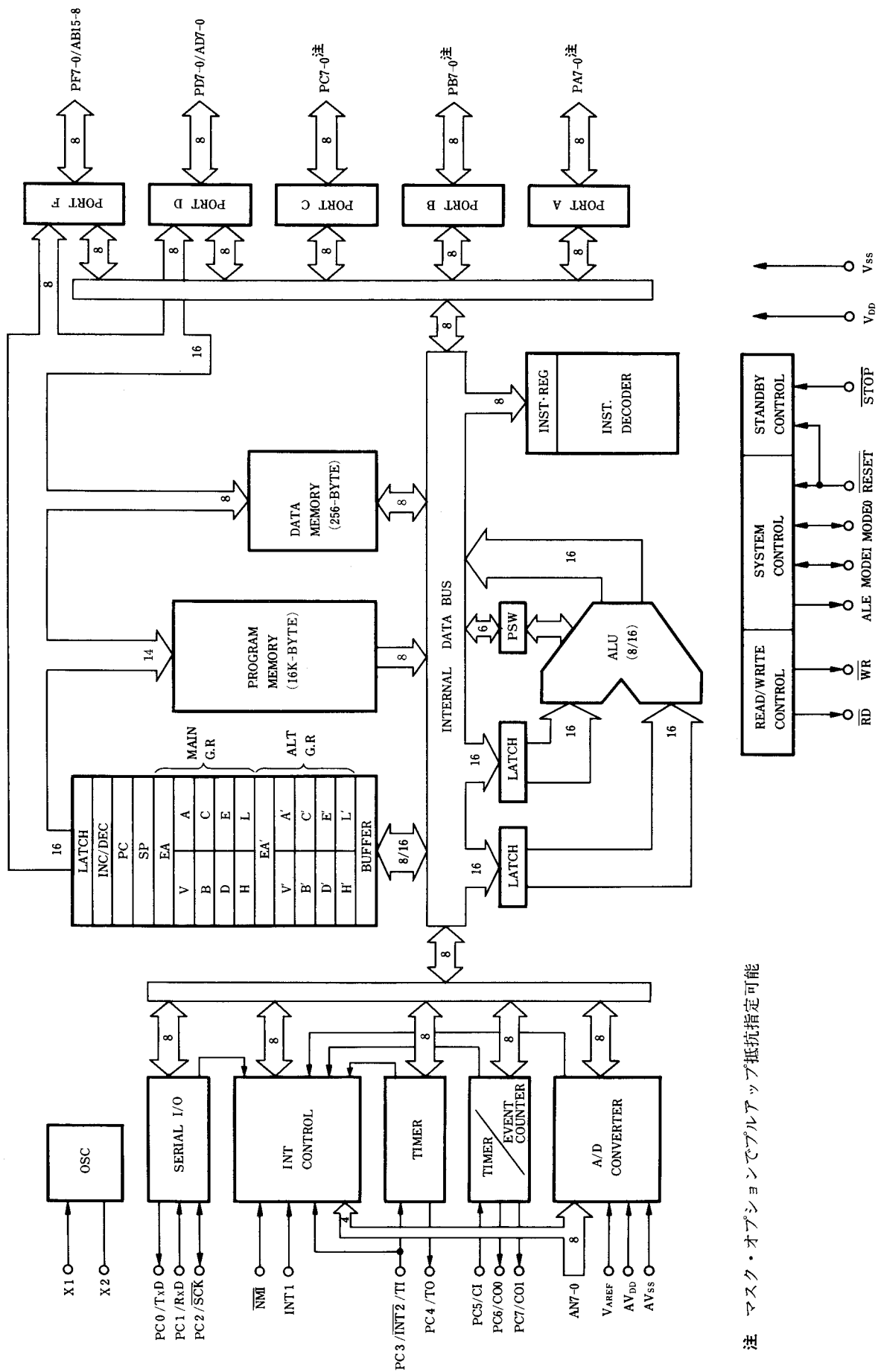
備考 $\times\times\times$ はROMコード番号です。

本資料の内容は, 後日変更する場合があります。

端子接続図 (Top View)



ブロック図



注 マスク・オプションでプルアップ抵抗指定可能

目 次

1. 端子機能 … 6
 - 1.1 端子機能一覧 … 6
 - 1.2 端子の入出力回路 … 8
 - 1.3 端子のマスク・オプション … 14
 - 1.4 未使用端子の処理 … 14

2. 内部ブロック機能 … 15
 - 2.1 レジスタ … 15
 - 2.2 演算論理ユニット(ALU)……16ビット … 16
 - 2.3 プログラム・ステータス・ワード(PSW) … 16
 - 2.4 メモリ … 18
 - 2.5 ポート機能 … 20
 - 2.6 タイマ … 28
 - 2.7 タイマ/イベント・カウンタ … 31
 - 2.8 シリアル・インタフェース … 37
 - 2.9 アナログ/ディジタル・コンバータ … 47
 - 2.10 ゼロクロス検出回路 … 50

3. 割り込み機能 … 52
 - 3.1 割り込み制御回路 … 52
 - 3.2 ノンマスクابل割り込み動作 … 56
 - 3.3 マスクابل割り込み動作 … 58
 - 3.4 SOFTI命令による割り込み動作 … 59

4. スタンバイ機能 … 60
 - 4.1 HALTモード … 60
 - 4.2 HALTモードの解除 … 60
 - 4.3 ソフトウェアSTOPモード … 61
 - 4.4 ソフトウェアSTOPモードの解除 … 62
 - 4.5 ハードウェアSTOPモード … 63
 - 4.6 ハードウェアSTOPモードの解除 … 63
 - 4.7 低電源電圧データ保持モード … 64

5. リセット動作 … 65

6. 命令セット … 66
 - 6.1 オペランドの表現/記述方法 … 66
 - 6.2 命令コードの記号説明 … 67
 - 6.3 命令実行時間について … 68

- 7. モード・レジスタの一覧 … 80
- 8. 電気的特性 … 81
- 9. 特性曲線 (参考値) … 92
- 10. 外形図 … 93
- 11. 半田付け推奨条件 … 94
- 12. μ PD78C14A と μ PD78C14 の違い … 95
- 付録 開発ツール … 96

1. 端子機能

1.1 端子機能一覧

端子名称	入出力	機能	
PA7-0 (Port A)	入出力	8ビットの入出力ポートで、ビット単位で入出力の指定ができます。	
PB7-0 (Port B)	入出力	8ビットの入出力ポートで、ビット単位で入出力の指定ができます。	
PC0/TxD	入出力/出力	Port C 8ビットの入出力ポートで、ビット単位で入出力の指定ができます。	Transmit Data シリアル・データの出力端子です。
PC1/RxD	入出力/入力		Receive Data シリアル・データの入力端子です。
PC2/SCK	入出力/入出力		Serial Clock シリアル・クロックの入出力端子で、内部クロック使用の場合は出力、外部クロック使用の場合は入力になります。
PC3/INT2/TI	入出力/入力/入力		Interrupt Request/Timer Input エッジ・トリガ（立ち下がりエッジ）のマスカブル割り込み入力端子、あるいはタイマの外部クロック入力端子で、さらにAC入力のゼロクロス検出端子としても使用できます。
PC4/TO	入出力/出力		Timer Output タイマのカウンタ時間、内部クロックの1周期を半周期とする方形波が出力されます。
PC5/CI	入出力/入力		Counter Input タイマ/イベント・カウンタへの外部パルス入力端子です。
PC6/CO0 PC7/CO1	入出力/出力		Counter Output0,1 タイマ/イベント・カウンタによるプログラマブルの矩形波の出力です。
PD7-0 /AD7-0	入出力/入出力		Port D 8ビットの入出力ポートで、バイト単位で入出力の指定ができます。
PF7-0 /AB15-8	入出力/出力	Port F 8ビットの入出力ポートで、ビット単位に入出力の指定ができます。	Address Bus 外部メモリを使用する場合に、アドレス・バスになります。
WR (Write Strobe)	出力	外部メモリのライト動作のために出力されるストロブ信号です。外部メモリのデータ・ライト・マシン・サイクル以外ハイ・レベルになります。RESET信号がロウのときおよびハードウェアSTOPモードのとき、出力ハイ・インピーダンスになります。	
RD (Read Strobe)	出力	外部メモリのリード動作のために出力されるストロブ信号です。外部メモリのリード・マシン・サイクル以外ハイ・レベルになります。RESET信号がロウのときおよびハードウェアSTOPモードのとき、出力ハイ・インピーダンスになります。	
ALE (Address Latch Enable)	出力	外部メモリをアクセスするためにPD7-0端子に出力される下位アドレス情報を外部でラッチするためのストロブ信号です。RESET信号がロウのときおよびハードウェアSTOPモードのとき、出力ハイ・インピーダンスになります。	
MODE 0 MODE 1 (Mode)	入出力	MODE0端子を“0”(ロウ・レベル)に、MODE1端子を“1”(ハイ・レベル) ^注 に設定します。 また、MODE0、MODE1の各端子が“1” ^注 に設定されると、ALEに同期して制御信号が出力されます。	
NMI (Non-Maskable Interrupt)	入力	エッジ・トリガ（立ち下がりエッジ）のノンマスカブル割り込み入力端子です。	

注 プルアップしてください。プルアップ抵抗Rは $4 \text{ [k}\Omega\text{]} \leq R \leq 0.4 t_{\text{cyc}} \text{ [k}\Omega\text{]}$ です (t_{cyc} はns単位)。

端子名称	入出力	機能
INT 1 (Interrupt Request)	入力	エッジ・トリガ（立ち上がりエッジ）のマスカブル割り込み入力端子です。さらにAC入力のゼロクロス検出端子として使用できます。
AN7-0 (Analog Input)	入力	A/Dコンバータへの8本のアナログ入力です。AN7-4はエッジ検出（立ち下がりエッジ）入力として使用できます。
VAREF (Reference Voltage)	入力	A/Dコンバータの基準電圧入力端子とA/Dコンバータの動作の制御端子を兼ねています。
AVDD (Analog VDD)		A/Dコンバータの電源端子です。
AVSS (Analog VSS)		A/DコンバータのGND端子です。
X1, X2 (Crystal)		システム・クロック発振用のクリスタル接続端子です。外部よりクロックを供給する場合はX1に入力します。X2にはX1の逆相のクロックを入力します。
RESET (Reset)	入力	ロウ・レベル・アクティブのシステム・リセット入力です。
STOP (Stop)	入力	ハードウェアSTOPモードの制御信号入力端子で、ロウ・レベルを入力すると発振器の発振が停止します。
VDD		正電源供給端子です。
VSS		GND端子です。

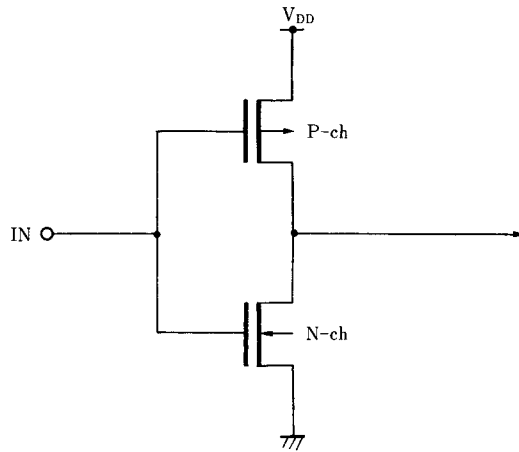
1.2 端子の入出力回路

各端子の入出力回路を一部簡略した形式を用いて、表1-1, (1)~(15)の図に示します。

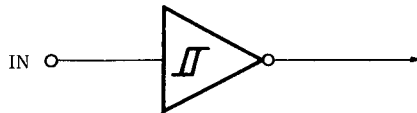
表1-1 端子のType No.

端子名	Type No.	端子名	Type No.
PA0-7	5-A	RESET	2
PB0-7	5-A	\overline{RD}	4
PC0-1	5-A	\overline{WR}	4
PC2/ \overline{SCK}	8-A	ALE	4
PC3/ $\overline{INT2}$	10-A	STOP	2
PC4-7	5-A	MODE0	11
PD0-7	5	MODE1	11
PF0-7	5	AN0-3	7
\overline{NMI}	2	AN4-7	12
INT1	9	V _{AREF}	13

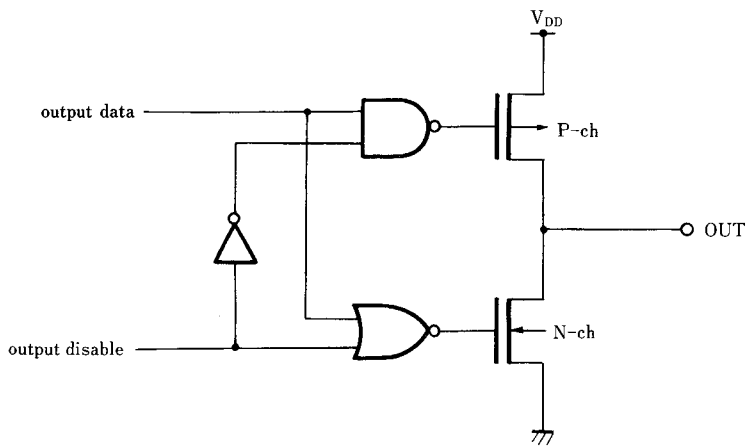
(1) Type 1



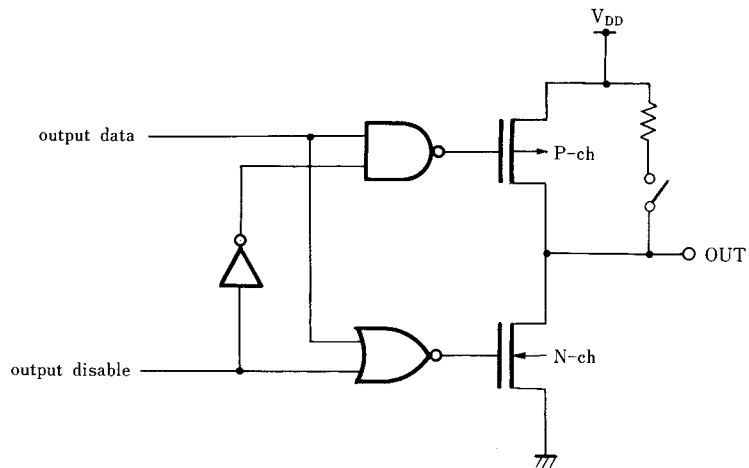
(2) Type 2



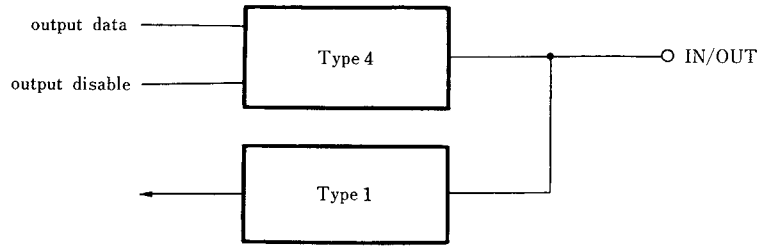
(3) Type 4



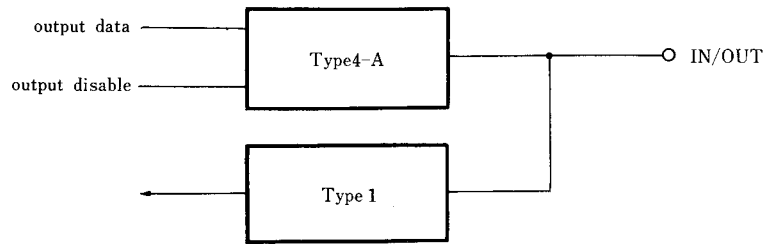
(4) Type 4 -A



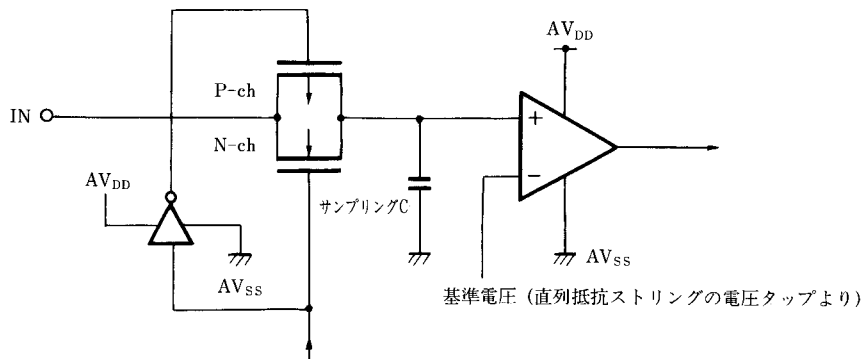
(5) Type 5



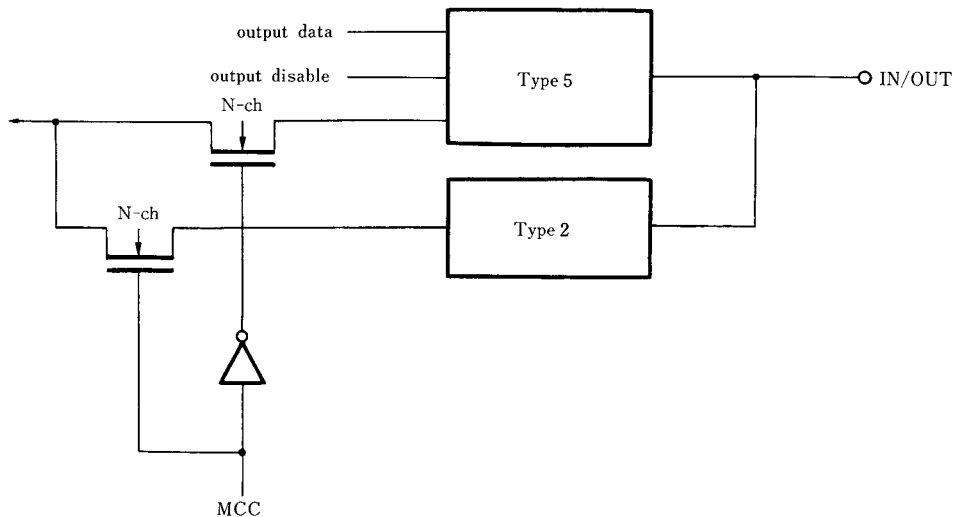
(6) Type 5 - A



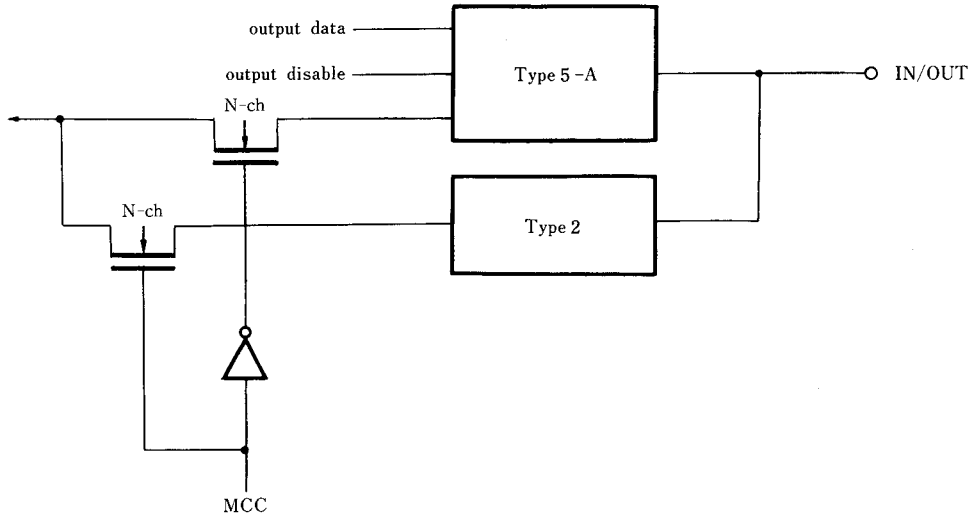
(7) Type 7



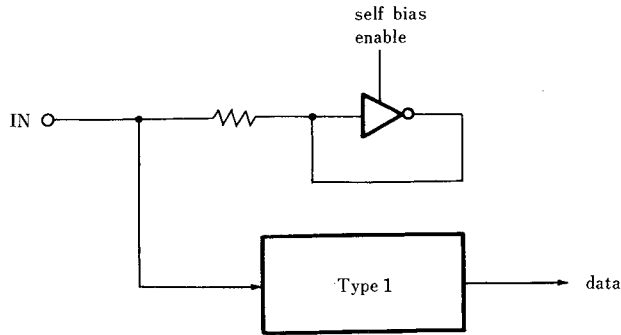
(8) Type 8



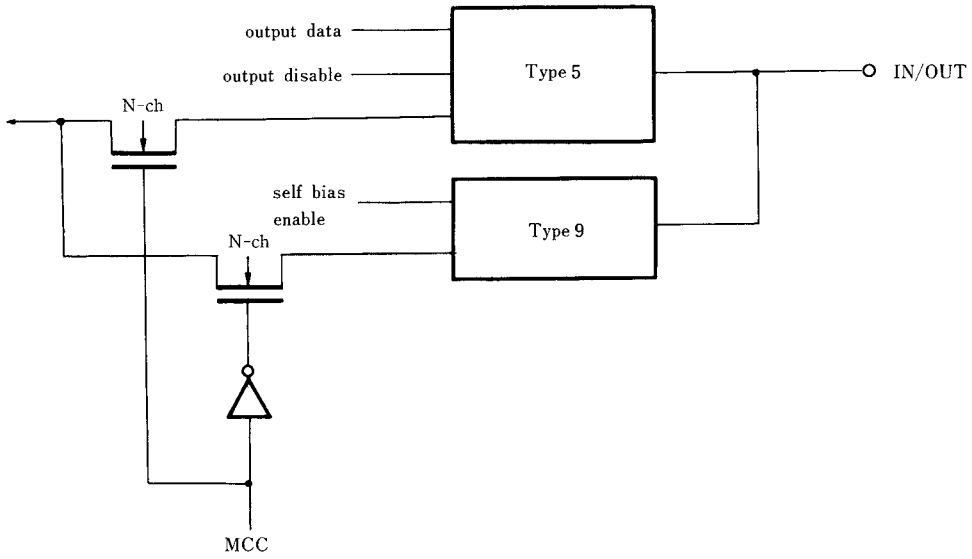
(9) Type 8 -A



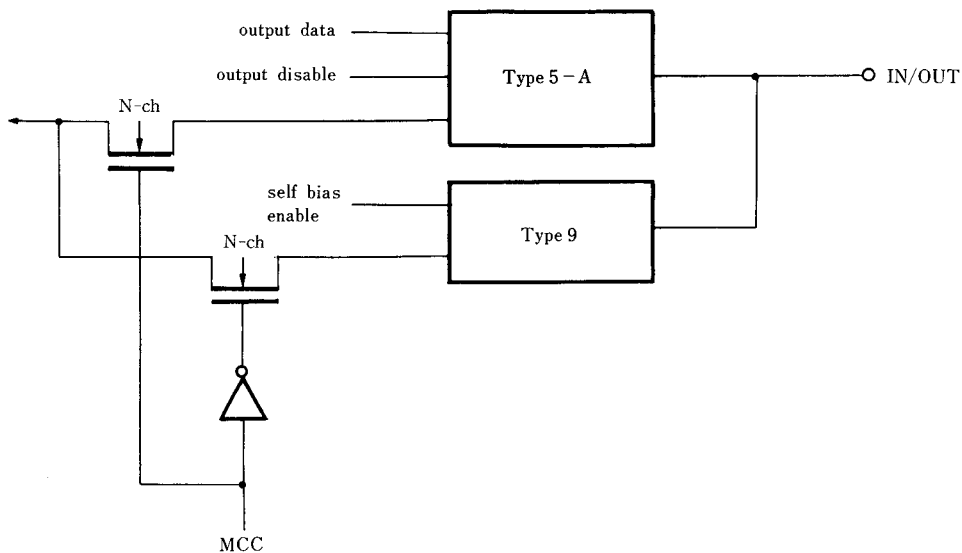
(10) Type 9



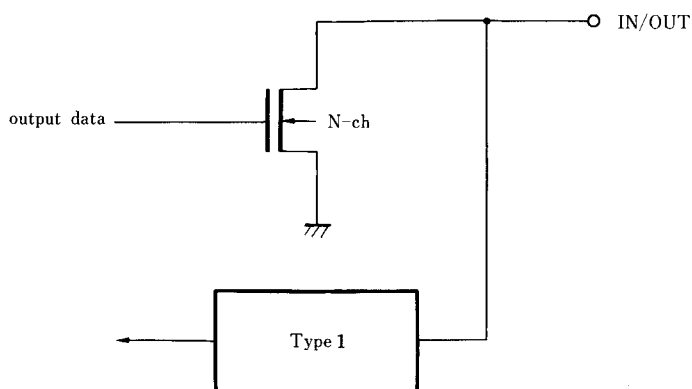
(11) Type10



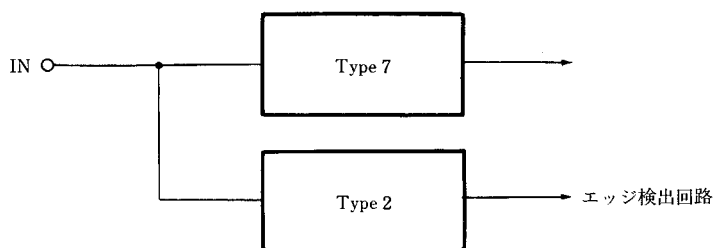
(12) Type10-A



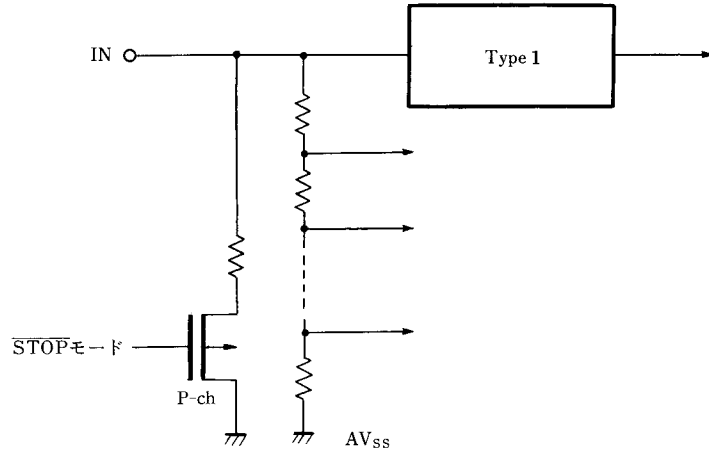
(13) Type11



(14) Type12



(15) Type13



1.3 端子のマスク・オプション

端子には、次のようなマスク・オプションがあり、目的に応じて、ビットごとに選択できます。

端子名称	マ ス ク ・ オ プ シ ョ ン
PA7-0	① プルアップ抵抗を内蔵する ② プルアップ抵抗を内蔵しない
PB7-0	
PC7-0	

注意 PC3 にプルアップ抵抗を内蔵させる場合、ゼロクロス機能は正常に動作しません。

1.4 未使用端子の処理

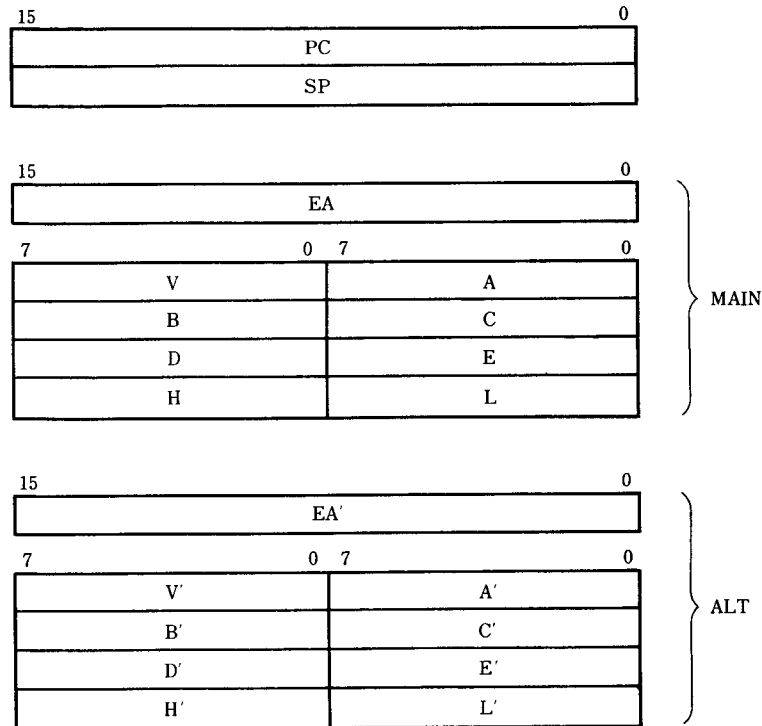
端 子	推奨接続方法
PA7-0 PB7-0 PC7-0 PD7-0 PF7-0	抵抗を介して、V _{SS} またはV _{DD} に接続
\overline{RD} \overline{WR} ALE	オープン
\overline{STOP}	V _{DD} に接続
INT1, \overline{NMI}	V _{SS} またはV _{DD} に接続
AV _{DD}	V _{DD} に接続
V _{AREF} AV _{SS}	V _{SS} に接続
AN7-0	AV _{SS} またはAV _{DD} に接続

2. 内部ブロック機能

2.1 レジスタ

中心になるのは図2-1に示す16個の8ビット・レジスタと4個の16ビット・レジスタです。

図2-1 レジスタ構成



(a) 汎用レジスタ (B, C, D, E, H, L)

2セット (MAIN : B, C, D, E, H, L; ALT : B', C', D', E', H', L') の汎用レジスタがあり、アキュムレータの補助レジスタとしての働きの外に、レジスタ・ペア (BC, DE, HL ; B' C', D' E', H' L') としてデータ・ポインタの機能を持っています。特にDE, D' E', HL, H' L' の4つのレジスタ・ペアはベース・レジスタとしての機能を持っています。

2つのセットを用いると割り込み発生時にレジスタの内容をメモリに退避させることなく、もう一方のレジスタ・セットに退避させ、割り込みサービスを行うことができます。また、もう一方のレジスタ・セットをデータ・ポインタの拡張レジスタとして使用することもできます。DE, HL, D' E', H' L' のレジスタ・ペアに対して1ステップのオートインクリメント/デクリメントと2ステップのオートインクリメントのアドレッシング・モードがあり、処理時間を短縮することができます。EXX命令によりBC, DE, HL同時にALTレジスタと交換できます。また、EXH命令でHLレジスタだけをALTレジスタと交換できます。

(b) ワーキング・レジスタ・ベクタ・レジスタ (V)

メモリ空間上にワーキング領域を設定する場合、メモリ・アドレスの上位8ビットをこのVレジスタで選択し、下位8ビットを命令のイミディエイト・データでアドレスします。従ってVレジスタで指定されるメモリ領域を256W×8構成のワーキング・レジスタとして利用できます。

このようにして、ワーキング・レジスタを指定するのに1バイトのアドレス・フィールドで指定できるため、ソフトウェアのフラグ、パラメータ、カウンタなどの作業領域として使用すると、プログラムの節約が可能となります。EXA命令によりアキュムレータとペアでALTレジスタと交換できます。

(c) アキュームレータ (A)

μPD78C14Aアキュームレータ方式のアーキテクチャになっているため、8ビットの算術、論理演算などの8ビット・データ処理はアキュームレータを中心に行われます。

EXA命令によりベクタ・レジスタ (V) とペアでALTレジスタと交換できます。

(d) 拡張アキュームレータ (EA)

16ビットの算術、論理演算などの16ビット・データ処理はEAを中心に行われます。

EXA命令によりALTレジスタのEA'と交換できます。

(e) プログラム・カウンタ (PC)

次に実行すべきプログラムのアドレス情報を保持している16ビット・レジスタです。通常フェッチする命令のバイト数に応じて自動的にインクリメントされますが、分岐をとまなう命令を実行する際にはイミューティエト・データやレジスタの内容がロードされます。RESET入力により0000Hにクリアされます。

(f) スタック・ポインタ (SP)

スタック・ポインタ (SP) は、メモリのスタック領域 (LIFO形式) の先頭アドレス情報を保持している16ビット・レジスタです。

SPの内容はコール命令、PUSH命令実行時および割り込み発生時にデクリメントされ、リターン命令、POP命令実行時にインクリメントされます。

2.2 演算論理ユニット (ALU)……16ビット

8ビットの算術、論理演算、シフト、ローテーション等のデータ処理、及び16ビットの算術、論理演算、シフト等のデータ処理、8ビットの乗算、16ビット÷8ビットの除算を行います。

2.3 プログラム・ステータス・ワード (PSW)

命令実行の結果によってセット、リセットされる6種類のフラグで構成されており、そのうち3種類 (Z, HC, CY) は命令でテスト可能です。また、PSWの内容は割り込み (外部、内部、SOFTI命令) 発生時に自動的にスタックに退避され、RETI命令で回復します。RESET入力により全ビットがリセット (0) されます。

図 2-2 PSWの構成

7	6	5	4	3	2	1	0
0	Z	SK	HC	L1	L0	0	CY

(a) Z (Zero)

演算結果がゼロのときセット (1) され、ゼロ以外のときリセット (0) されます。

(b) SK (Skip)

スキップ条件が成立したときセット (1) され、成立しなかったときリセット (0) されます。

(c) HC (Half Carry)

8ビット演算の結果、ビット3からのキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されます。

(d) L1

MVI A, byte命令のたてづみが行われたときセット (1) され、それ以外のときリセット (0) されます。

(e) L0

MVI L, byte; LXI H, word命令のたてづみが行われたときセット (1) され、それ以外のときリセット (0) されます。

(f) CY (Carry)

演算の結果、ビット7あるいはビット15からキャリーがあったとき、またはビット7あるいはビット15へのボローがあったときセット（1）され、それ以外のときリセット（0）されます。

35種のALU命令、ローテーション命令、キャリー操作命令を実行すると表2-1のように各種フラグに影響を与えます。

表 2-1 フラグの動作

Operation					D6	D5	D4	D3	D2	D0	
reg. memory		immediate			skip	Z	SK	HC	L1	L0	CY
ADD	ADDW	ADDX	ADI								
ADC	ADCW	ADCX	ACI								
SUB	SUBW	SUBX	SUI								
SBB	SBBW	SBBX	SBI								
DADD					↓	0	↓	0	0	↓	
DADC											
DSUB											
DSBB											
EADD											
ESUB											
ANA	ANAW	ANAX	ANI	ANIW							
ORA	ORAW	ORAX	ORI	ORIW							
XRA	XRAW	XRAX	XRI		↓	0	●	0	0	●	
DAN											
DOR											
DXR											
ADDNC	ADDNCW	ADDNCX	ADINC								
SUBNB	SUBNBW	SUBNBX	SUINB								
GTA	GTAW	GTAX	GTI	GTIW							
LTA	LTAW	LTAX	LTI	LTIW	↓	↓	↓	0	0	↓	
DADDNC											
DSUBNB											
DGT											
DLT											
ONA	ONAW	ONAX	ONI	ONIW							
OFFA	OFFAW	OFFAX	OFFI	OFFIW	↓	↓	●	0	0	●	
DON											
DOFF											
NEA	NEAW	NEAX	NEI	NEIW							
EQA	EQAW	EQAX	EIQ	EQIW	↓	↓	↓	0	0	↓	
DNE											
DEQ											
INR	INRW				↓	↓	↓	0	0	●	
DCR	DCRW										
DAA					↓	0	↓	0	0	↓	
RLL	RLL	SLR	SLL		●	0	●	0	0	↓	
DRLR	DRLL	DSLRL	DSLRL								
SLRC	SLLC				●	↓	●	0	0	↓	
STC					●	0	●	0	0	1	
CLC					●	0	●	0	0	0	
			MVI A, byte		●	0	●	1	0	●	
			MVI L, byte		●	0	●	0	1	●	
			LXI H, word		●	0	●	0	1	●	
			BIT		●	↓	●	0	0	●	
			SKN								
			SKIT								
			SKNIT								
			RETS		●	1	●	0	0	●	
その他の全命令					●	0	●	0	0	●	

↓……………影響を受ける（セットまたはリセット）
 1……………セット
 0……………リセット
 ●……………影響なし

2.4 メモリ

μPD78C14Aは最大64Kバイトのメモリをアドレスできます。メモリ・マップを図2-3に示します。外部メモリ領域と内蔵RAM領域は、プログラム・メモリ、データ・メモリとして自由に利用できます。内蔵メモリ、外部メモリのアクセス・タイミングは同一となっていますので高速処理が可能です。

(a) 割り込みスタート番地

割り込みスタート番地はすべて固定で次のようになっています。

$\overline{\text{NMI}}$	0 0 0 4 H
INTT0/INTT1.....	0 0 0 8 H
INT1/ $\overline{\text{INT2}}$	0 0 1 0 H
INTE0/INTE1.....	0 0 1 8 H
INTEIN/INTAD.....	0 0 2 0 H
INTSR/INTST.....	0 0 2 8 H
SOFTI.....	0 0 6 0 H

(b) コール・アドレス・テーブル

0080H-00BFH番地の64バイト領域(32コール・アドレス分)に、1バイト・コール命令(CALT)のコール・アドレスを格納できます。

(c) メモリ特定領域

0000H-00BFH番地にはリセットのスタート番地、割り込みスタート番地、コール・テーブルが割り付けられていますので、それらを考慮して使用します。0800H-0FFFH番地は、2バイト・コール命令(CALF)で直接アドレスできます。

0000H-3FFFH番地にマスクプログラマブルなROMを内蔵しています。

(d) 内蔵データ・メモリ領域

FF00H-FFFFH番地に256バイトのRAMが内蔵されています。スタンバイ動作時には内蔵データ・メモリ領域256バイト分のRAMの内容が保持されます。

(e) 外部メモリ領域

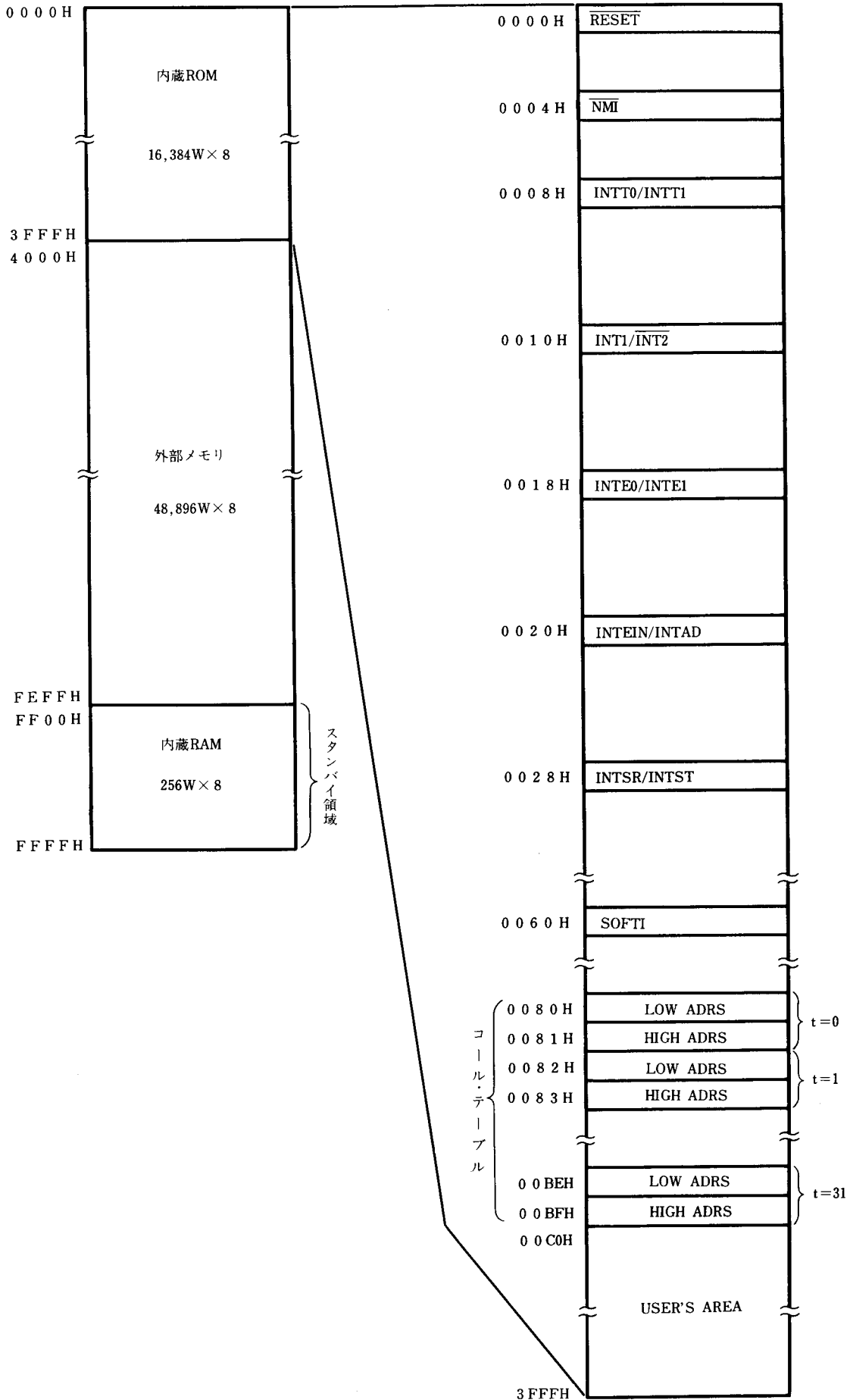
48Kバイト(4000H-FEFFFH番地)の領域に、MEMORY MAPPINGレジスタの設定により、外部メモリを段階的に拡張できます。

外部メモリはPD7-0(マルチプレクスト・アドレス/データ・バス), PF7-0(アドレス・バス), そして $\overline{\text{RD}}$, $\overline{\text{WR}}$, ALE信号を用いてアクセスします。外部メモリにはプログラムとデータのいずれも格納できます。

(f) ワーキング・レジスタ領域

メモリの任意の箇所(Vレジスタで指定)に256バイトのワーキング・レジスタを設置することができ、ワーキング・レジスタ・アドレッシングが可能です。

図 2-3 メモリ・マップ



2.5 ポート機能

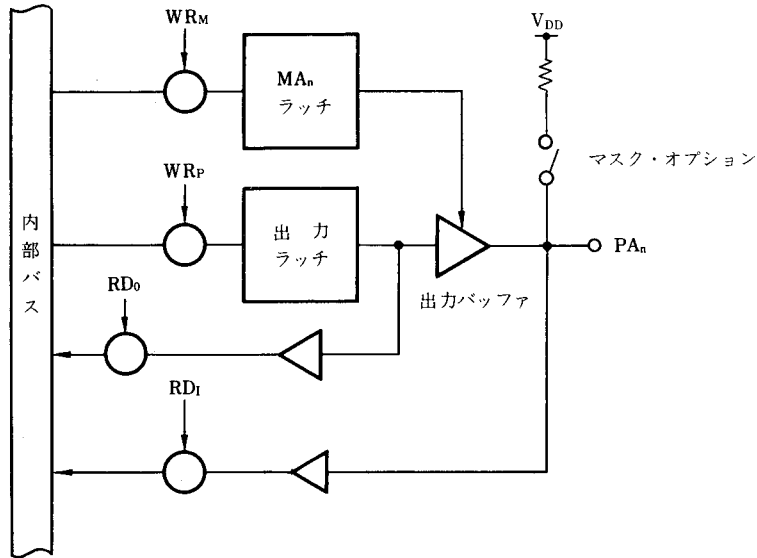
(1) PA7-0 (PortA)

8ビットの入出力ポートで、入出力バッファ、出力ラッチ機能を持っています。ポートAはMODE Aレジスタによりビット単位に入力または出力ポートのいずれかに設定できます。また、ポートAはプルアップ抵抗接続の指定をマスク・オプションによりビット単位に行うことができます。

ポートAは入力ポートに設定された場合およびリセット時には次のようになります。

- ハイ・インピーダンス：プルアップ抵抗なし
- ハイ・レベル ：プルアップ抵抗あり

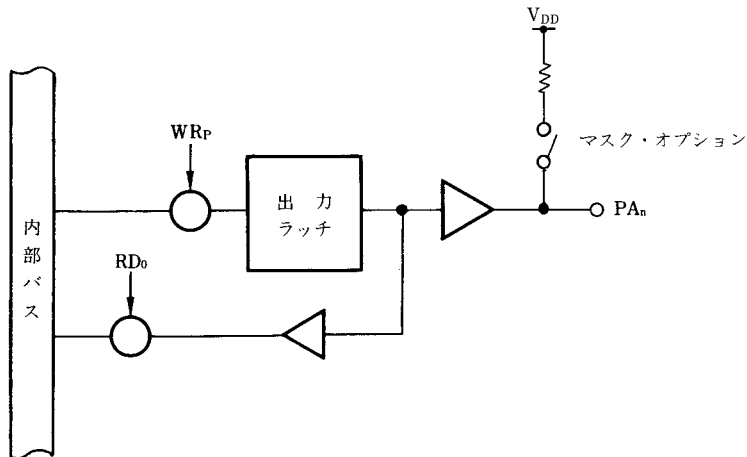
図2-4 ポートA



(a) 出力ポートに指定された場合 (MA_n = 0)

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりが行えます。また、出力ラッチの内容はアキュムレータを介さずに算術、論理演算命令などにより直接ビット・セット/リセットができます。一度出力ラッチに書き込まれたデータは、次にポートAを操作する命令が実行されるか、リセットがかかるまで保持されます。

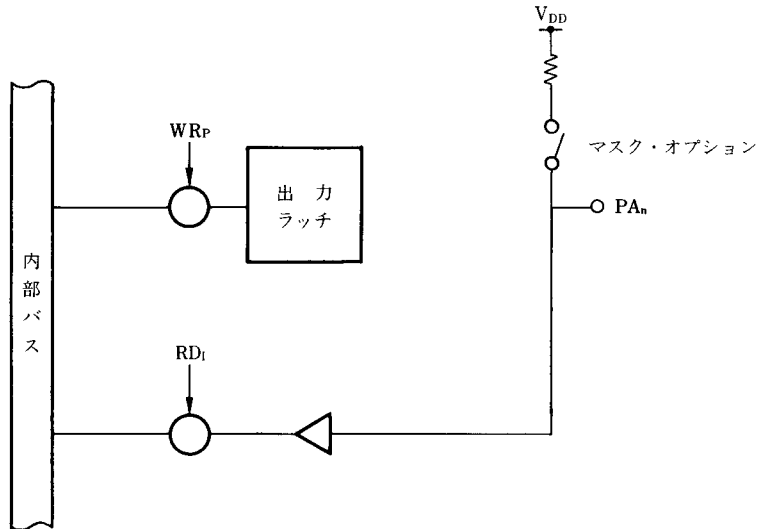
図2-5 出力ポート指定のポートA



(b) 入力ポートに指定された場合 ($MA_n = 1$)

PAラインの内容を転送命令でアキュムレータにロードすることができます。また、PAラインの内容をアキュムレータを介さずに算術、論理演算命令などにより直接ビット単位にテストすることもできます。

図 2-6 入力ポート指定のポート A



実際の命令実行は8ビット単位で行われます。もしポートAリードの命令 (MOV A, PA) が実行された場合、入力に指定されているポートの入力ラインの内容、出力に指定されているポートの出力ラッチの内容がアキュムレータにロードされます。ポートAライトの命令 (MOV PA, Aなど) が実行された場合、入力に指定されているポートおよび出力に指定されているポートの両方の出力ラッチに対して書き込みが行われます。ただし、入力ポートに指定されているビットの出力ラッチの内容はアキュムレータにロードすることはできず、また出力バッファがオフしているため外部端子 (入力端子として働いている) には出力されません。

• MODE Aレジスタ (MA)

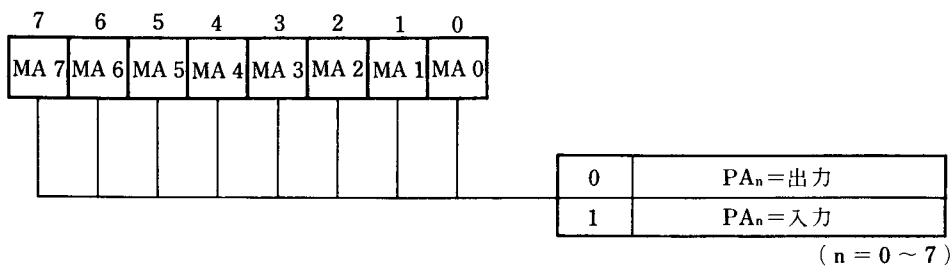
ポートAの入力/出力を指定する8ビットのレジスタです。

ポートAの入力/出力の指定はビット単位に行え、MODE Aレジスタの対応ビットがセット (1) されていれば入力、リセット (0) されていれば出力となります。

RESET入力時およびハードウェアSTOPモード時に全ビットがセットされ、ポートAは入力ポートになり、次のような状態になります。

- ハイ・インピーダンス：プルアップ抵抗なし
- ハイ・レベル ：プルアップ抵抗あり

図 2-7 MODE Aレジスタのフォーマット



(2) PB7-0 (PortB)

ポートAと同様に8ビットの入出力ポートで、入出力バッファ、出力ラッチ機能を持っています。MODE Bレジスタによってビット単位に入力または出力ポートのいずれかに設定できます。また、プルアップ抵抗接続の指定をマスク・オプションによりビット単位に行うことができます。

ポートBは入力ポートに設定された場合およびリセット時には、次のような状態になります。

- ハイ・インピーダンス：プルアップ抵抗なし
- ハイ・レベル ：プルアップ抵抗あり

ポートの動作はポートAと同様でポートの内容は算術演算、論理演算命令によりアキュムレータを介さず直接ビット・セット/リセット、ビット・テストができます。またアキュムレータとの間でデータ転送が可能です。

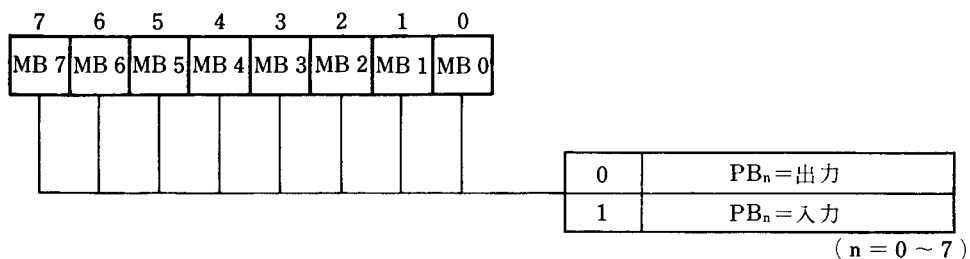
・MODE Bレジスタ (MB)

MODE BレジスタはポートAのMODE Aレジスタと同様に、ポートBの入力/出力をビット単位で指定する8ビットのレジスタです。

$\overline{\text{RESET}}$ 入力時およびハードウェアSTOPモード時に全ビットがセット(1)され、ポートBは入力ポートになり、次のような状態になります。

- ハイ・インピーダンス：プルアップ抵抗なし
- ハイ・レベル ：プルアップ抵抗あり

図2-8 MODE Bレジスタのフォーマット



(3) PC7-0 (PortC)

8ビットの特殊入出力ポートで、ポートAと同様にビット単位に入出力の設定ができる汎用入出力ポートの働きの外に、各種コントロール信号として働きます。それらの切り替えはMODE Cレジスタ、およびMODE CONTROL Cレジスタの指定によりビット単位に行われ、次のようになっています。

表2-2 PC7-0の動作

	MCC _n = 1	MCC _n = 0	
	MC _n = ×	MC _n = 0	MC _n = 1
PC 0	TxD出力	出 力	入 力
PC 1	RxD入力	出 力	入 力
PC 2	$\overline{\text{SCK}}$ 入出力	出 力	入 力
PC 3	$\overline{\text{INT2/TI}}$ 入力	出 力	入 力
PC 4	TO出力	出 力	入 力
PC 5	CI入力	出 力	入 力
PC 6	CO 0出力	出 力	入 力
PC 7	CO 1出力	出 力	入 力

(n = 0 ~ 7)

また、プルアップ抵抗接続の指定をマスク・オプションによりビット単位に行うことができます。

汎用入出力ポートに設定された場合の動作は、ポートAと同様でポートの内容は算術演算、論理演算命令により直接ビット・セット/リセット、ビット・テストができます。また、アキュムレータとの間でデータ転送が可能です。

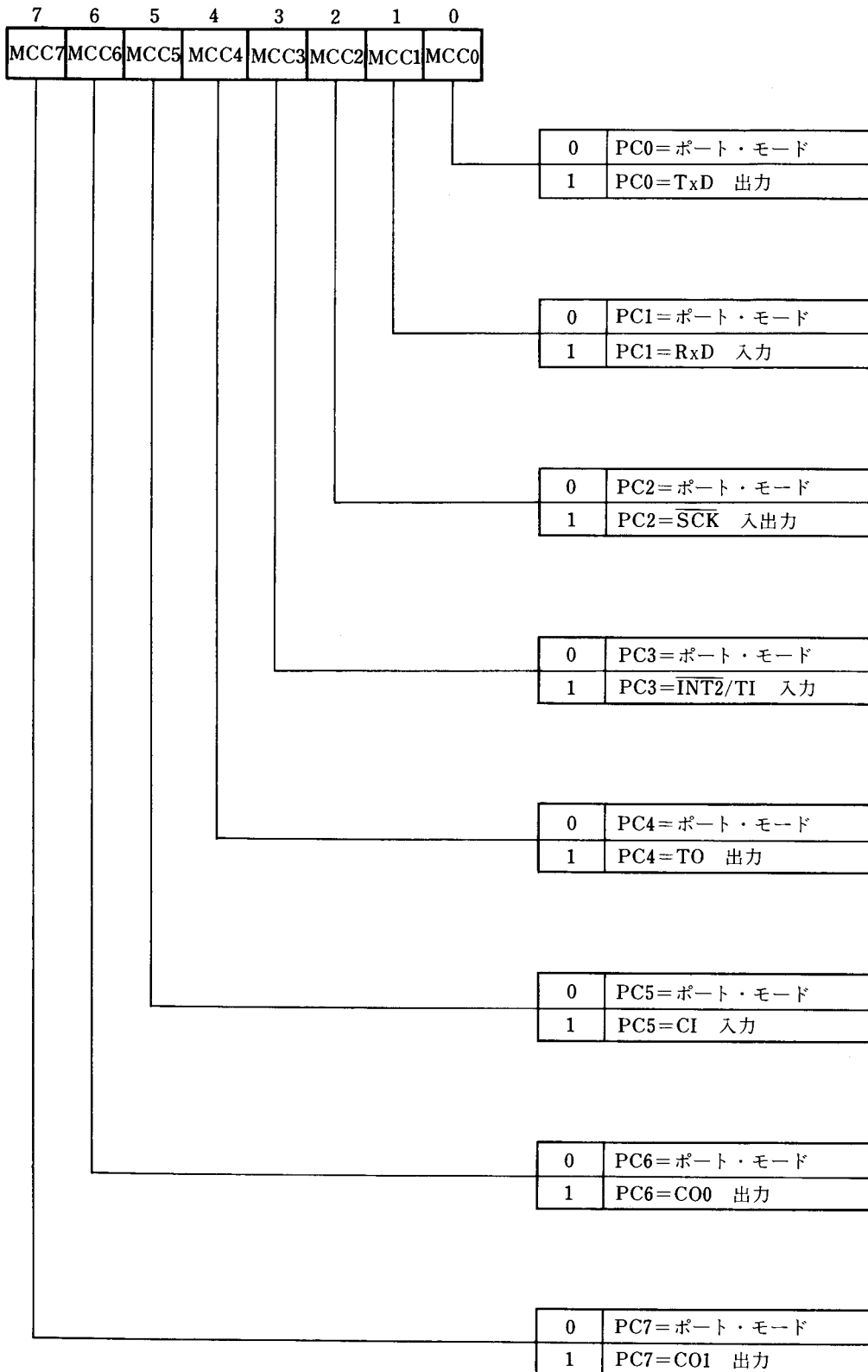
• MODE CONTROL Cレジスタ (MCC)

ポートCのポート/コントロール信号入出力モードの指定をビット単位で行う8ビットのレジスタです。

PC7-0は、MODE CONTROL Cレジスタの対応ビットがセット(1)されていればコントロール信号入出力モード、リセット(0)されていればポート・モードになります。

$\overline{\text{RESET}}$ 入力時およびハードウェアSTOPモード時にMODE CONTROL Cレジスタは全ビットがリセット(0)され、ポート・モードになります。

図 2-9 MODE CONTROL Cレジスタのフォーマット



・MODE Cレジスタ (MC)

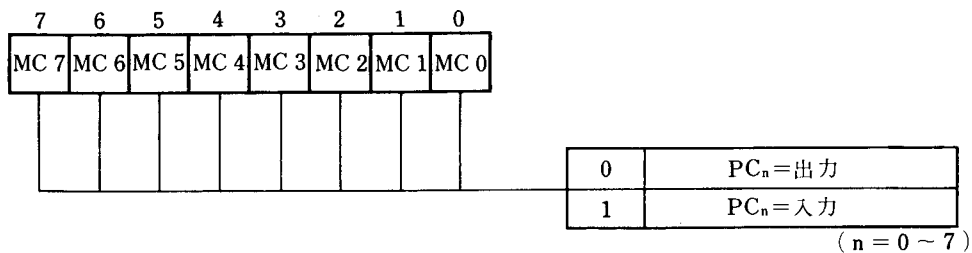
MODE CレジスタはポートAのMODE Aレジスタと同様に、ポートCの入力/出力の指定を、ビット単位で行う8ビットのレジスタです。

MODE CONTROL Cレジスタでコントロール・モードに指定されているビットに対応するMODE Cレジスタの内容は無視されます。

RESET入力時およびハードウェアSTOPモード時にMODE Cレジスタは全ビットがセット(1)され、またMODE CONTROL Cレジスタの全ビットがリセット(0)されるので、ポートCは入力ポートになり、次のような状態になります。

- ハイ・インピーダンス：プルアップ抵抗なし
- ハイ・レベル ：プルアップ抵抗あり

図2-10 MODE Cレジスタのフォーマット



(4) PD7-0 (PortD)

マルチプレクスト・アドレス/データ・バスを兼ねた8ビット汎用入出力ポートです。汎用入出力ポートとしてバイト単位(8ビット単位)で入力/出力の指定ができる外に、外部に拡張メモリを接続する場合にはマルチプレクスト・アドレス/データ・バスとして働きます。それらの切り替えはMEMORY MAPPINGレジスタにより行われます。

汎用入出力ポートに設定された場合の動作は、入力/出力の指定をバイト単位で行うことを除けばポートAと同様でポートの内容は算術演算、論理演算命令によりアキュムレータを介さず直接ビット・セット/リセット、ビット・テストができます。また、アキュムレータとの間でデータ転送が可能です。

(5) PF7-0 (PortF)

アドレス・バスを兼ねた8ビットの汎用入出力ポートです。

汎用入出力ポートとしてビット単位で入力、出力の指定ができる外に、外部に256バイトより大きい外部拡張メモリをアクセスする場合には、外部拡張メモリの大きさに応じてアドレス信号を出力します。

この切り替えはMEMORY MAPPINGレジスタおよびMODE Fレジスタによって行います。

PF 7	PF 6	PF 5	PF 4	PF 3	PF 2	PF 1	PF 0	外部メモリ
ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	256 バイト以内
ポート	ポート	ポート	ポート	AB11	AB10	AB 9	AB 8	4 K バイト以内
ポート	ポート	AB13	AB12	AB11	AB10	AB 9	AB 8	16K バイト以内
AB15	AB14	AB13	AB12	AB11	AB10	AB 9	AB 8	48K バイト以内

汎用入出力ポートに設定された場合の動作はポートAと同様で、ポートの内容は算術演算、論理演算命令によりアキュムレータを介さず直接ビット・セット/リセット、ビット・テストができます。

また、アキュムレータとの間でデータ転送が可能です。

• MEMORY MAPPINGレジスタ (MM)

PD7-0, PF7-0のポート/拡張モードの指定、および内蔵RAMのアクセスを許可するか否かを制御する4ビットのレジスタです。

MEMORY MAPPINGレジスタのビット0, 1, 2 (MM0, MM1, MM2)はPD7-0のポート/拡張モード、入力/出力、そしてPF7-0のアドレス・ラインの指定の制御を行います。

MEMORY MAPPINGレジスタのMM1, 2ビットが“0”のときには、PD7-0, PF7-0ともに汎用入出力ポートになり、PD7-0はMM0で入力/出力の指定、PF7-0はMODE Fレジスタで入力/出力の指定を行います。

また、外部拡張メモリは、図2-11に示すように256バイト、4Kバイト、16Kバイト、48Kバイトの4種類が選べ、PF7-0でアドレス・ラインとして使用しないポートは、汎用入出力ポートとして使用できます。

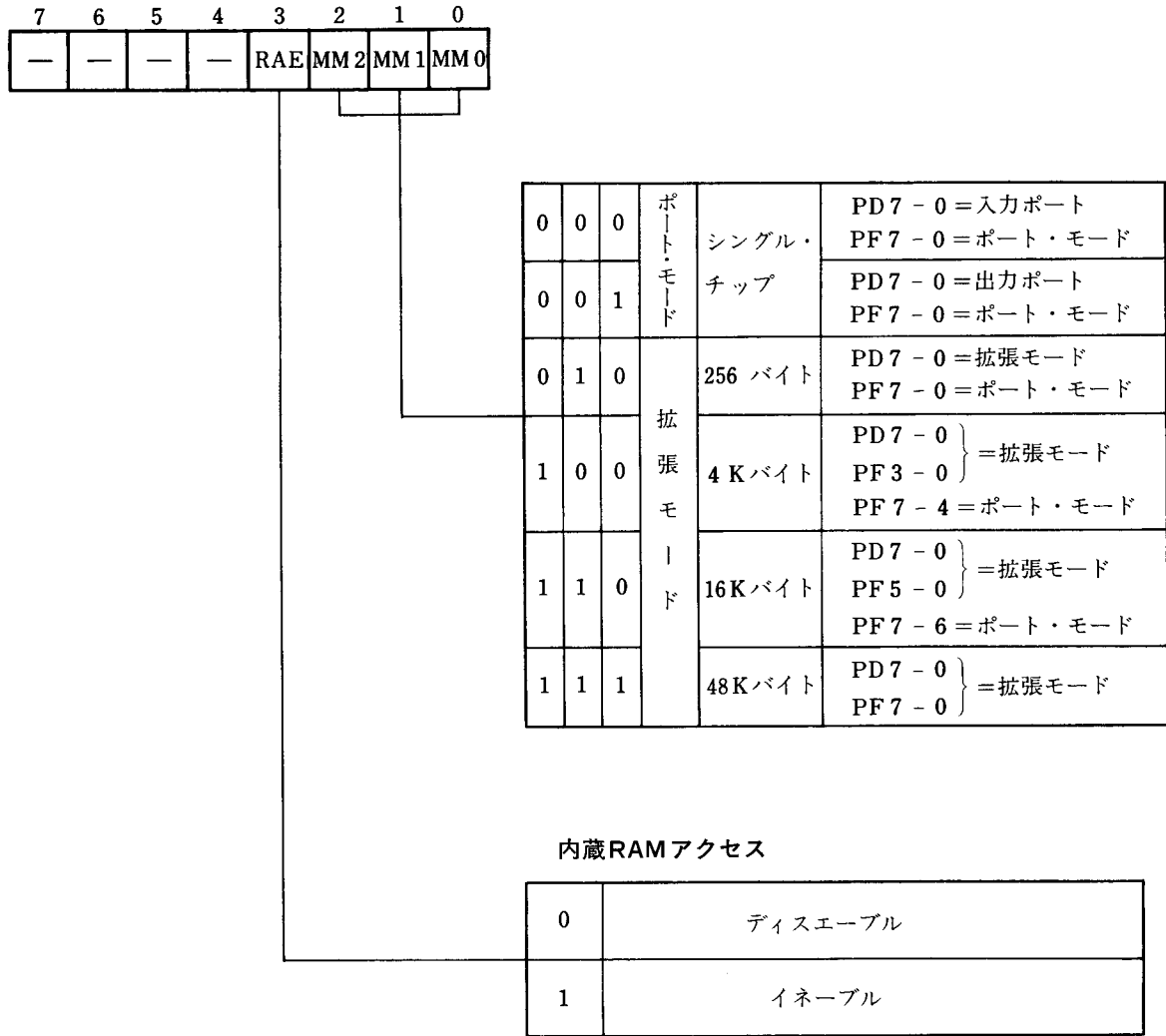
MEMORY MAPPINGレジスタのビット3 (RAE)は内蔵RAMのアクセスを許可するか否かを制御します。

外部拡張時に内蔵RAMを使用せず、その領域を外部に接続したメモリが使用する場合に、RAEビットを“0”にして内蔵RAMのアクセスを禁止します。

$\overline{\text{RESET}}$ 入力時およびハードウェアSTOPモード時にMEMORY MAPPINGレジスタのMM0, 1, 2の各ビットはリセット(0)され、PD7-0は入力ポート(出力ハイ・インピーダンス)になります。

RAEビットは通常動作時に $\overline{\text{RESET}}$ 信号が入力されても、そのときの内容が保持されています。しかし、パワー・オン・リセット時にはRAEビットは不定のため、命令によってRAEビットをイニシャライズしてください。

図 2-11 MEMORY MAPPINGレジスタのフォーマット

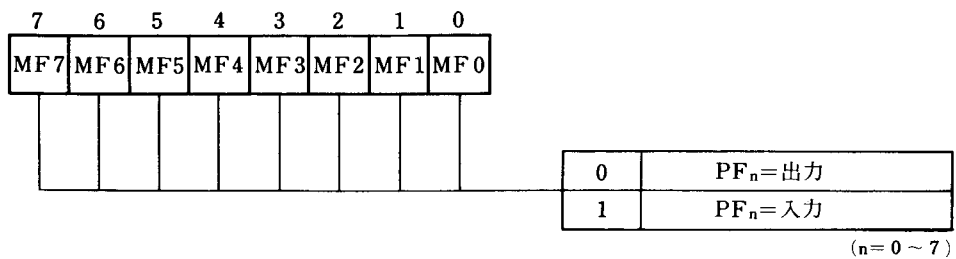


• MODE Fレジスタ (MF)

MODE Fレジスタはポート AのMODE Aレジスタと同様に、ポート Fの入力/出力の指定を行います。ただし、MEMORY MAPPINGレジスタによってアドレス・ラインに指定されているポート Fのビットに対するMODE Fレジスタの内容は出力モードになります。

RESET入力時およびハードウェアSTOPモード時にMODE Fレジスタの全ビットがセット(1)され、ポート Fは入力ポート(出力ハイ・インピーダンス)となります。

図 2-12 MODE Fレジスタのフォーマット



2.6 タイマ

2つの8ビット・タイマ (TIMER 0, TIMER 1) を持つインターバル・タイマで、それぞれ独立にプログラム可能です。また、カスケード接続により16ビット・インターバル・タイマとしても使用可能です。さらに、TI入力をカウントすることもできます。

タイマは図2-13に示すように、TIMER 0, TIMER 1にそれぞれ8ビットのTIMER REG (TM0, 1), 8ビットのCOMPARATOR, 8ビットのUPCOUNTERとTIMER F/Fで構成されています。入力の選択、タイマの動作、TO出力は、タイマ・モード・レジスタ (TMM) によって制御されます。

TIMER 0の入力は、 ϕ_{12} (1 μ s:12MHz動作), ϕ_{384} (32 μ s:12MHz動作) の内部クロックとTI入力があります。また、TIMER 1の入力は、TIMER 0の入力と同様に ϕ_{12} , ϕ_{384} , TI入力の外にTIMER 0の一致信号があります。

TIMER 0, TIMER 1とも同じ動作を行いますので、TIMER 0の動作について説明します。

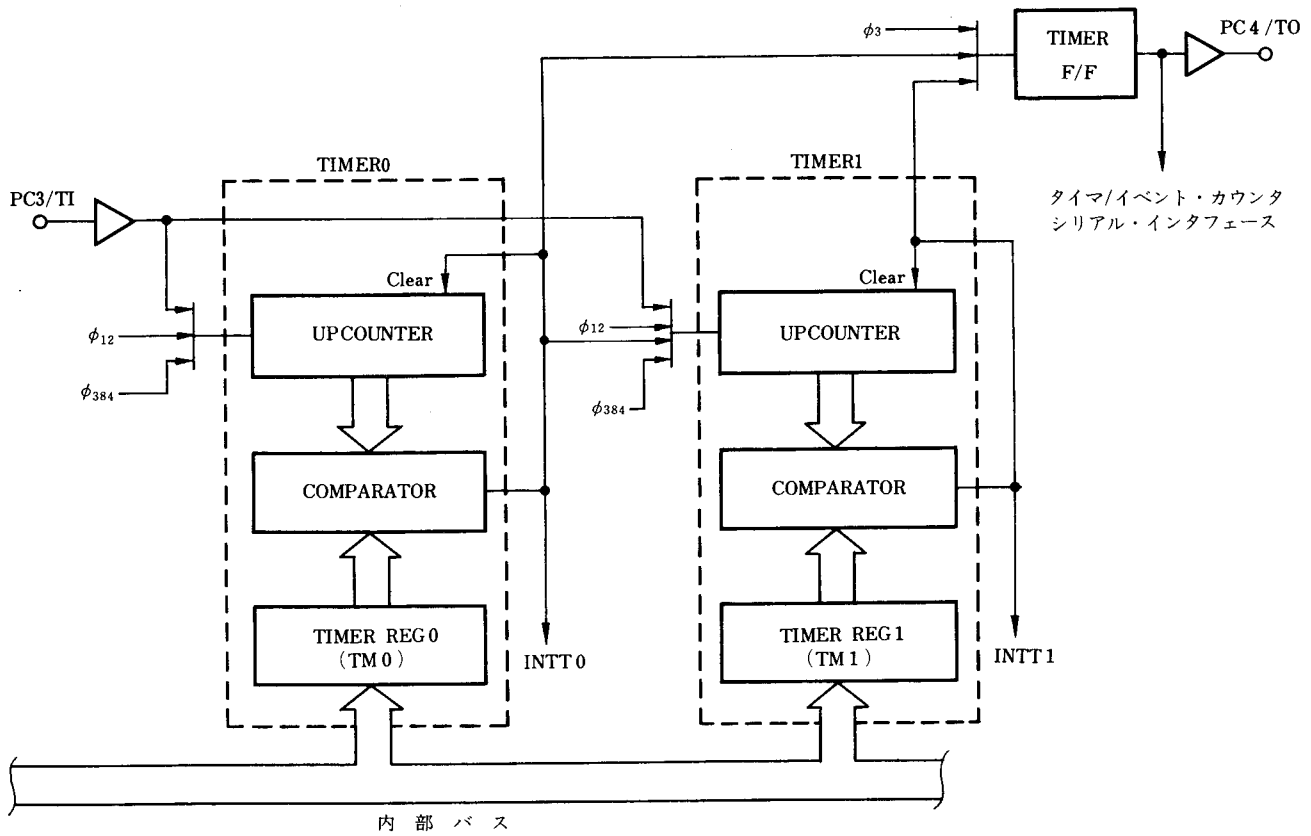
まず、TIMER REG 0にカウント値を設定し、次にTIMER 0の入力およびTIMER 0をスタートさせるデータ (タイマ・モード・レジスタのビット4 = "0") をタイマ・モード・レジスタに設定することにより、TIMER 0をスタートさせます。UPCOUNTERは入力ごとにカウントアップし、COMPARATOR はカウントアップされたUPCOUNTERとTIMER REG 0の内容を常に比較し、一致すると一致信号 (内部割り込み: IN TT 0) を発生します。一致が起こればUPCOUNTERの内容はクリアされ、再び00Hよりカウントアップを開始します。従って、TIMER REG 0に設定されたカウント値によるカウント時間をインターバルとし、くり返し割り込みを発生するインターバル・タイマとして働きます。

なお、割り込みマスク・レジスタ (MKL) のビット1 (MKT 0) をセット (1) することにより内部割り込み (INTT 0) は禁止されます。

TO出力には各タイマのCOMPARATORの一致信号、あるいは ϕ_3 (250ns:12MHz動作時) の内部クロックごとに反転するTIMER F/Fを備えているので、カウント時間あるいは ϕ_3 を半周期とした方形波が得られます。この出力はタイマ/ イベント・カウンタ・モード・レジスタ (ETMM) の設定により、タイマ/ イベント・カウンタの基準時間として使用することができます。

また、シリアル・モード・レジスタ (SMH) の設定により、シリアル・インタフェースのシリアル・クロック (\overline{SCK}) として使用することができます。

図 2-13 タイマのブロック図



備考 1. $\phi_3 = f_{XX} \times \frac{1}{3}$

2. $\phi_{12} = f_{XX} \times \frac{1}{12}$

ただし、 f_{XX} = 発振周波数 (MHz)

3. $\phi_{384} = f_{XX} \times \frac{1}{384}$

(1) タイマ・モード・レジスタ (TMM)

TIMER 0, TIMER 1, およびTIMER F/Fの動作を制御する8ビットのレジスタです (図2-14参照)。

タイマ・モード・レジスタのビット0, 1 (TF0, 1) は, TIMER F/Fの動作モードを制御し, ビット2, 3 (CK00, CK01) は, TIMER 0の入カクロックを制御し, ビット4 (TS0) は, TIMER 0の動作を制御します。また, ビット5, 6 (CK10, CK11) は, TIMER 1の入カクロックを制御し, ビット7 (TS1) は, TIMER 1の動作を制御します。

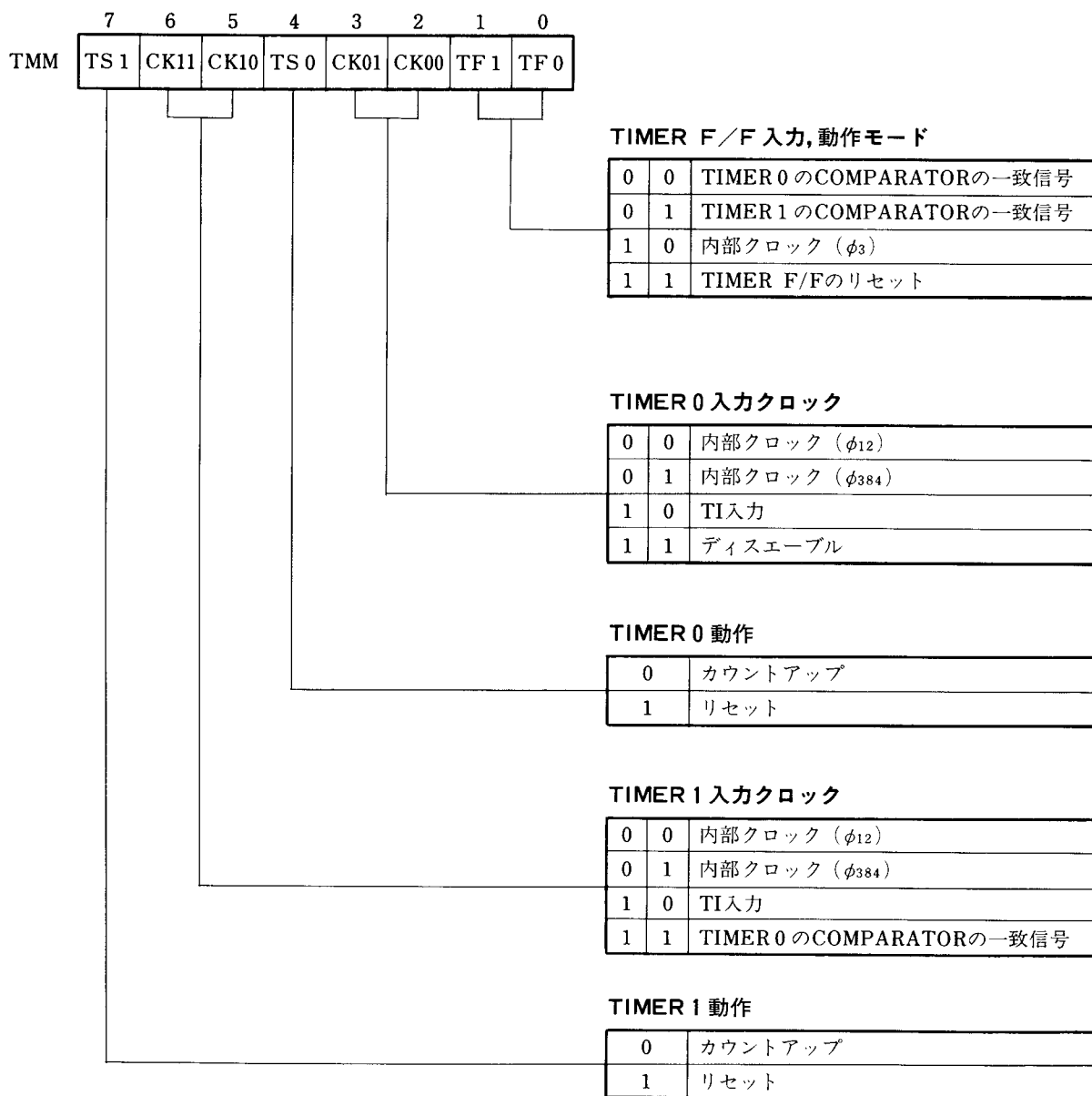
TS0, 1の各ビットは, “1” で各UPCOUNTERを00Hにクリアし, カウントアップを停止させます。

“1” から “0” にしますとUPCOUNTERは, 00Hからカウントアップを開始します。

なお, 内部クロック (ϕ_3) は, 発振周波数を3分周し, 内部クロック (ϕ_{12}) は, 発振周波数を12分周し, 内部クロック (ϕ_{384}) は, 発振周波数を384分周したものです。

RESET入力により, タイマ・モード・レジスタはFFHにセットされ, TIMER 0, TIMER 1ともUPCOUNTERはクリアされ停止状態で, TIMER F/Fはリセットされます。

図2-14 タイマ・モード・レジスタ (TMM) のフォーマット



2.7 タイマ/イベント・カウンタ

μPD78C14Aは以下に示すような動作を行う多機能の16ビット・タイマ/イベント・カウンタを備えています。

- インターバル・タイマ
- 外部イベント・カウンタ
- 周波数測定
- パルス幅測定
- プログラマブル矩形波出力
- ワン・パルス出力

タイマ/イベント・カウンタは16ビットのTIMER/EVENT COUNTER UPCOUNTER (ECNT), TIMER/EVENT COUNTER CAPTURE レジスタ (ECPT), COMPARATOR, TIMER/EVENT COUNTER REG 0, 1 (ETM0, ETM1)と入出力, 割り込み, クリアの各制御回路から構成されています。

ECNTは入力パルスをカウントする16ビットのアップカウンタで, クリア制御回路によってクリアされます。

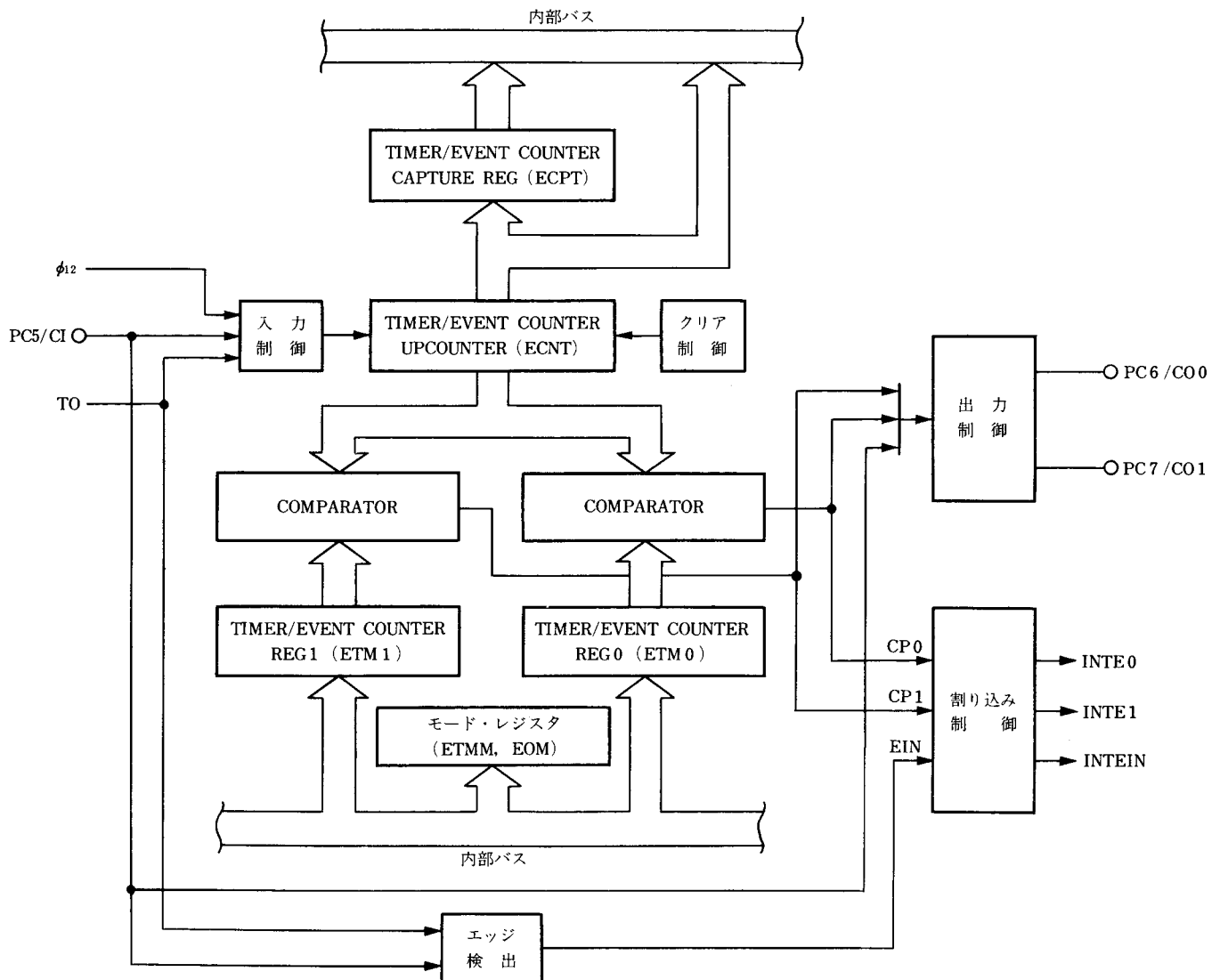
ECPTレジスタはECNTの内容を保持する16ビットのバッファ・レジスタです。ECPTレジスタがECNTの内容をラッチするタイミングは, ECNTへの入力が入部クロックの場合にはCI入力の立ち下がりエッジで, ECNTへの入力が入部クロックの場合にはTO出力の立ち下がりエッジで行います。

ETM0, ETM1レジスタはカウント数を設定する2つの16ビット・レジスタで, 16ビットのデータ転送命令で拡張アキュムレータとデータのやりとりが行えます。

COMPARATORはECNTの内容とETM0, ETM1レジスタの内容を比較し一致を検出するとそれぞれ一致信号を発生します。

割り込み制御回路はタイマ/イベント・カウンタからの割り込みを制御する回路で次の割り込み要因を発生します。ECNTとETM0レジスタの一致信号 (INTE0), ECNTとETM1レジスタの一致信号 (INTE1), CI入力あるいはタイマ出力 (TO) の立ち下がりエッジ (INTEIN) の3種類があります。

図 2-15 タイマ/イベント・カウンタのブロック図



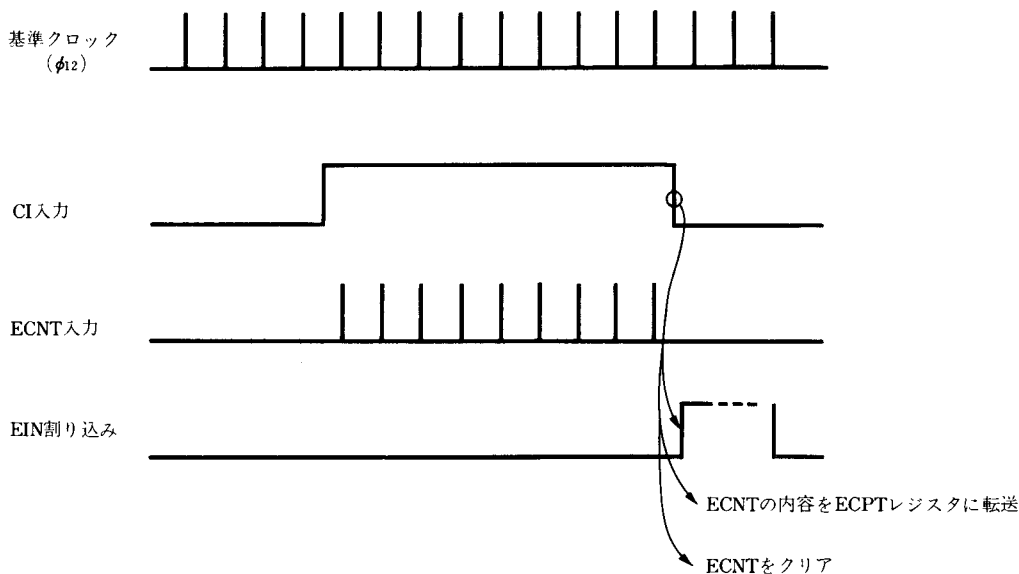
備考 $\phi_{12} = f_{XX} \times \frac{1}{12}$ ただし、 f_{XX} = 発振周波数 (MHz)

次にパルス幅測定を例にあげてその動作について説明します。

この動作は、CIに入力される外部パルスのハイ・レベルの幅を測定するもので、タイマ/イベント・カウンタ・モード・レジスタ (ETMM) に09Hを設定することにより行われます。

ECNTはCIがハイ・レベルの間、内部クロック (ϕ_{12}) のカウントを続けます。CIに入力されている外部パルスが立ち下がると、ECNTの内容をECPTレジスタに転送し、ECNTをクリアするとともに、内部割り込み (INTEIN) が発生します (図2-16参照)。従って、ECPTレジスタの内容と内部クロックの周期により、パルス幅が測定できます。

図 2-16 パルス幅測定



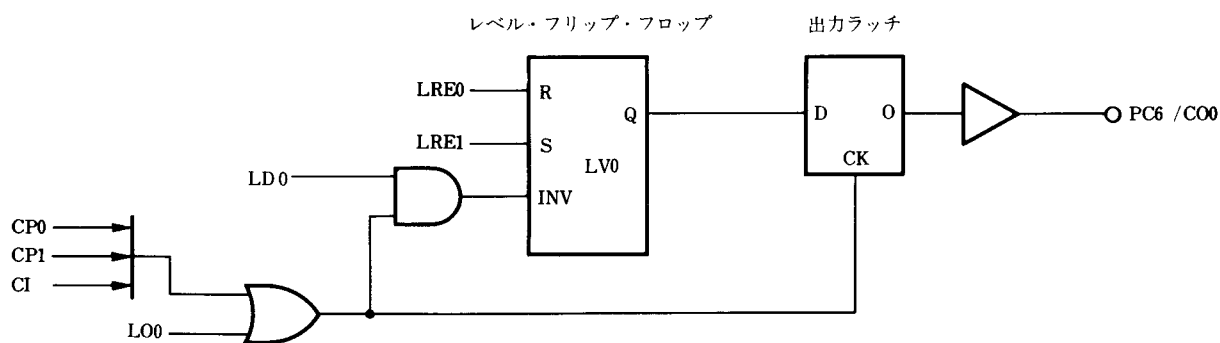
μPD78C14Aはタイマ/イベント・カウンタと連動して、パルス幅および周期を可変できるパルスを出力する出力制御回路を備えています。

出力制御回路の出力にはCO0出力、CO1出力があり、ともに同じ構成ですので、CO0出力について説明します。図2-17にCO0の構成を示します。CO0出力はマスタ・スレーブ型の出力で、初段のレベルF/F(LV0)は次に出力するレベルを保持し、次段の出力ラッチは、LV0のレベルを外部に出力します。

LV0はタイマ/イベント・カウンタ・アウトプット・モード・レジスタ(EOM)の設定により、セット/リセットができます。さらにLV0はレベルの反転端子(INV)を備えており、タイマ/イベント・カウンタ・モード・レジスタの設定による出力タイミングでLV0のレベルを反転することができます。

LV0のレベルを出力ラッチが外部に出力するタイミングは、タイマ/イベント・カウンタ・モード・レジスタの設定による出力タイミングで行います。

図 2-17 出力制御回路



次にCO0端子に矩形波を出力する動作について説明します。

まず、ECNTをクリアした後、ETM0、ETM1レジスタにカウント値(ETM0 < ETM1)を設定し、またLV0の初期状態の指定および、LV0のレベル反転をイネーブルにするためのデータをタイマ/イベント・カウンタ・アウトプット・モード・レジスタに設定します。

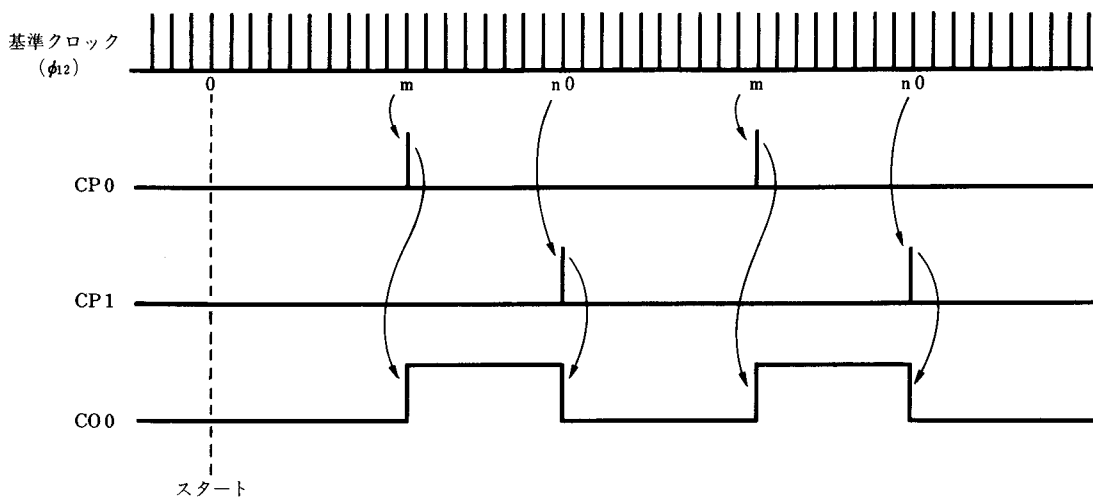
タイマ/イベント・カウンタ・モード・レジスタに、ECNTへの入力を ϕ_{12} (1μs:12MHz動作時)の内部クロック、ECNTのクリア・モードをECNTとETM1レジスタの一致信号、CO0端子への出力タイミングをECNTとETM0レジスタの一致信号あるいはECNTとETM1レジスタの一致信号とするデータを設定することにより、タイマ/イベント・カウンタは動作を開始します。

ECNTは ϕ_{12} の内部クロックごとにカウントアップし、COMPARATORはカウントアップされたECNTとETM0、ETM1レジスタの比較を行い一致を検出すると一致信号(CP0、CP1)を発生します。各一致信号により、LV0のレベルをCO0端子に出力し、LV0のレベルを反転します。

また、ECNTとETM1レジスタの一致信号(CP1)によりECNTがクリアされ、ECNTは再び0000Hよりカウントアップを行い、以上のことを繰り返します(図2-18参照)。

従って、ETM0、ETM1レジスタのカウント値をパルス幅とするプログラマブルな矩形波を出力することができます。

図2-18 矩形波出力



備考 ETM0レジスタ=m (m < n : m, n カウント値)
 ETM1レジスタ=n

(1) タイマ/イベント・カウンタ・モード・レジスタ (ETMM)

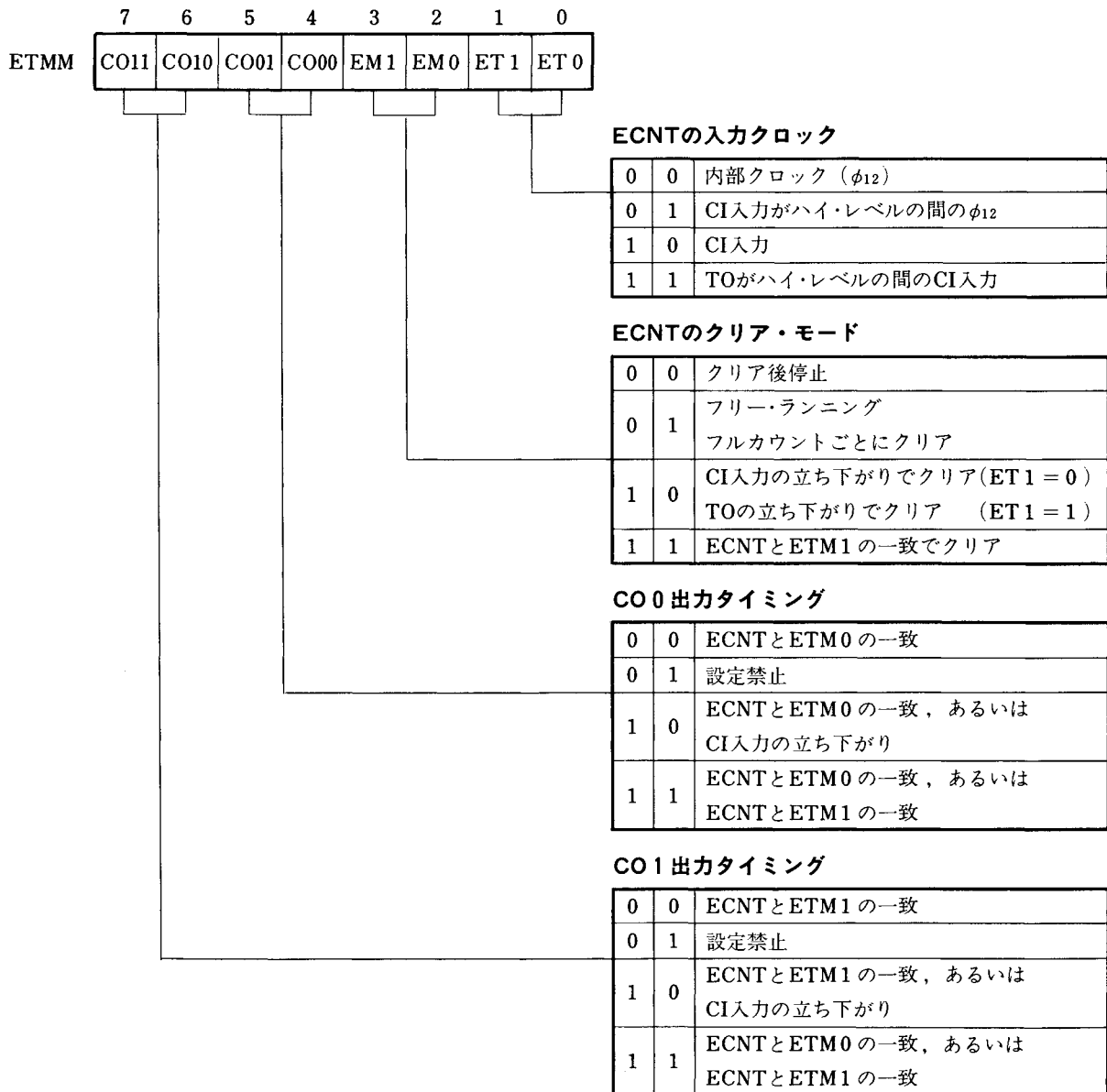
タイマ/イベント・カウンタを制御する8ビットのレジスタです(図2-19参照)。

タイマ/イベント・カウンタ・モード・レジスタのビット0, 1 (ET0, 1)は, TIMER/EVENT COUNTER UPCOUNTER (ECNT)の入力クロックを制御し, ビット2, 3 (EM0, 1)は, ECNTのクリア・モードを制御し, ビット4, 5 (CO0 0, CO0 1)はCOUNTER OUTPUT 0 (CO0)に出力ラッチの内容を出力するタイミングを制御し, ビット6, 7 (CO1 0, CO1 1)はCO1の出力タイミングを制御します。

なお, 内部クロック (ϕ_{12})は, 発振周波数を12分周したものです。

$\overline{\text{RESET}}$ 入力時およびハードウェアSTOPモード時に, タイマ/イベント・カウンタ・モード・レジスタは00Hにリセットされます。

図2-19 タイマ/イベント・カウンタ・モード・レジスタのフォーマット



(2) タイマ/イベント・カウンタ・アウトプット・モード・レジスタ (EOM)

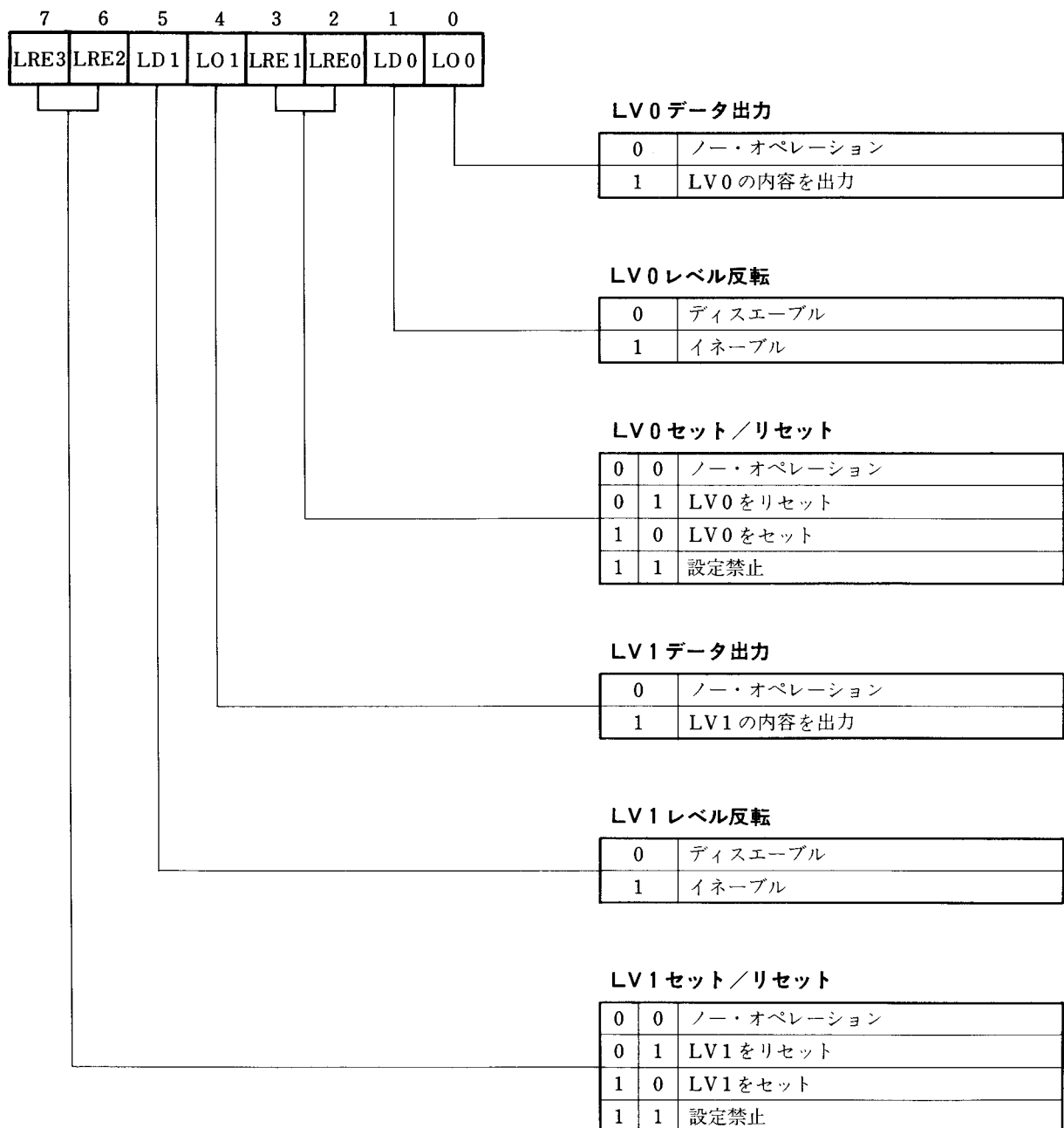
タイマ/イベント・カウンタのCO0, CO1 (Counter Output 0, 1) の動作モードを制御する8ビットのレジスタです。

タイマ/イベント・カウンタ・アウトプット・モード・レジスタのビット0, 4 (LO0, 1) はLV0, 1のレベルをCO0, 1端子へ出力するか否かを制御し、ビット1, 5 (LD0, 1) はLV0, 1のレベルをタイマ/イベント・カウンタ・モード・レジスタで指定される出力タイミングにより反転するか否かを制御し、ビット2, 3, 6, 7 (LRE0, 1, 2, 3) はLV0, 1のセット/リセットを制御します。

LO0, LO1, LRE0, LRE1, LRE2, LRE3の各ビットは、各オペレーション終了後自動的にリセット(0)されます。

RESET入力時およびハードウェアSTOPモード時に、タイマ/イベント・カウンタ・アウトプット・モード・レジスタは、00Hにリセットされます。

図2-20 タイマ/イベント・カウンタ・アウトプット・モード・レジスタ (EOM) のフォーマット



2.8 シリアル・インタフェース

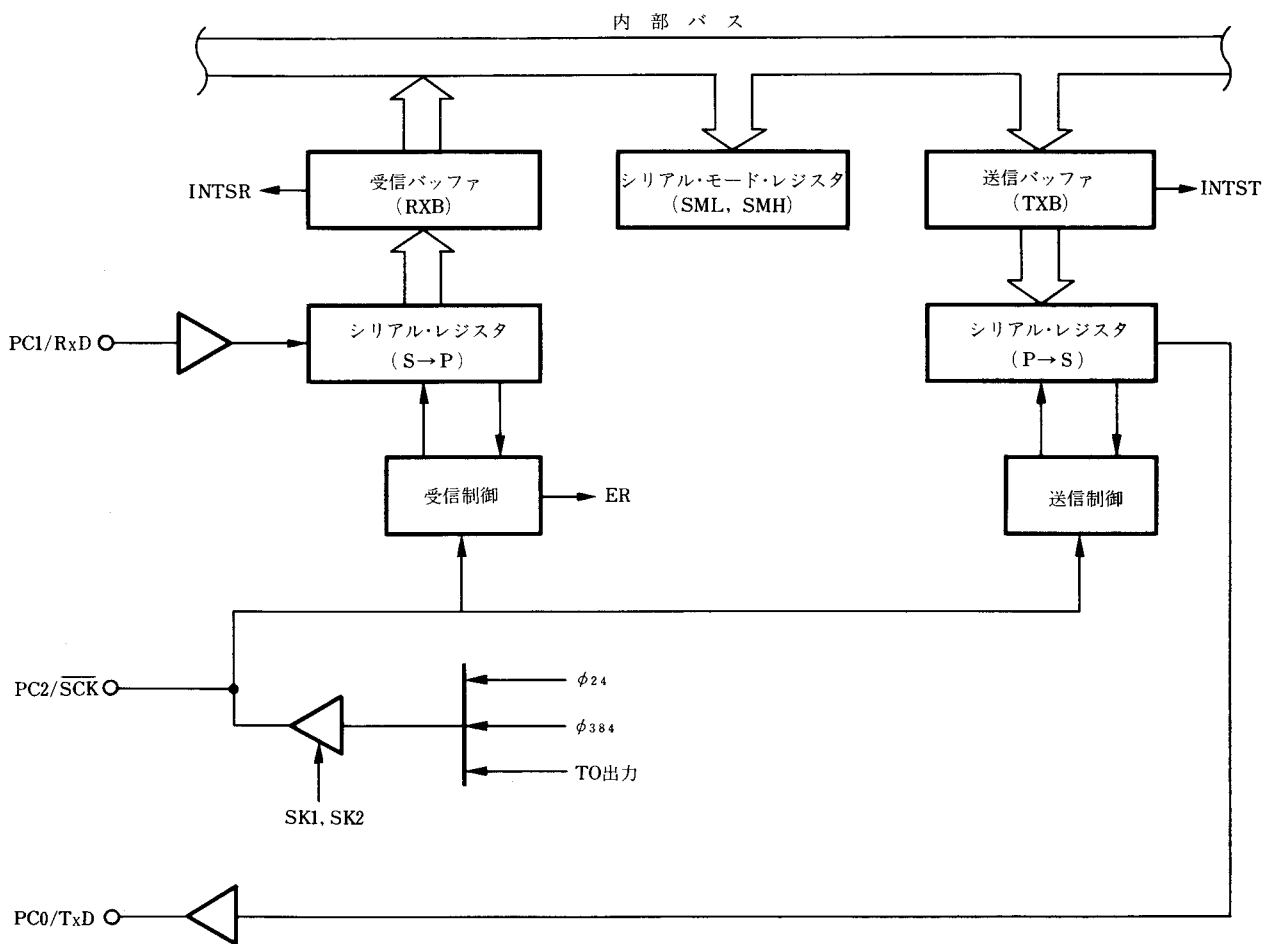
μPD78C14Aはスタート/ストップ・ビットによる送受信方式で、スタート・ビットによってデータのビット同期とキャラクタ同期をとるアシンクロナス(調歩同期)・モード、シリアル・クロックに同期してデータの転送を行うシンクロナス(同期)・モードと、μPD7801, μPD78C06Aなどのシリアル・データ転送の方式と同様に制御されたシリアル・クロックに同期してデータの転送を行うI/Oインタフェース・モードの3種類の動作モードを持つシリアル・インタフェースを備えています。

シリアル・インタフェース部はシリアル・データ入力 (RxD), シリアル・データ出力 (TxD), シリアル・クロック入出力 (\overline{SCK}) の3本の端子と、転送制御部, 送信, 受信用に2つの8ビット・シリアル・レジスタおよび8ビットの送信バッファ, 受信バッファで構成されています(図2-21参照)。

送信, 受信用にそれぞれシリアル・レジスタとバッファを備えているので, 送信, 受信が独立に行えます(全二重ダブルバッファ方式トランスミッタ・レシーバ)。

ただし, シリアル・クロック (\overline{SCK}) が送受信共用のため, シンクロナス・モード, I/Oインタフェース・モードでは, 半二重になります。

図2-21 シリアル・インタフェース・ブロック図



備考 $\phi_{24} = f_{XX} \times \frac{1}{24}$
 $\phi_{384} = f_{XX} \times \frac{1}{384}$ ただし, f_{XX} = 発振周波数 (MHz)

(1) アシクロナス・モード

アシクロナス・モードの場合、クロック・レート、キャラクタ長、ストップ・ビット数、パリティ・イネーブル、奇偶数パリティの指定をシリアル・モード・レジスタ (SML) で制御できます。

送信動作はシリアル・モード・レジスタ (SMH) のビット 2 (TxE) のセット (1) によりイネーブルとなります。

送信バッファに、MOV TXB, A 命令でデータを書き込み、前のデータ転送が終了すると、送信バッファの内容が自動的にシリアル・レジスタへ転送されます。シリアル・レジスタに転送されたデータはスタート・ビット (1 ビット)、パリティ・ビット (奇偶数, ノー・パリティ)、ストップ・ビット (1, 2 ビット) が自動的に付加され、TxD端子より最下位ビット (LSB) から送出されます。

送信バッファがエンプティ (Empty) になると、内部割り込み (INTST) が発生します。

送信データはシリアル・クロック (\overline{SCK}) の $\times 1$, $\times \frac{1}{16}$, $\times \frac{1}{64}$ のいずれかのクロック・レートで、SCKの立ち下がり でTxD端子から送出されます。

送信時の最大データ転送速度は、 \overline{SCK} およびクロック・レートによって12MHz動作時に次のようになります。

クロック・レート \ \overline{SCK}	内 部 ク ロ ッ ク		外 部 ク ロ ッ ク	
	SCK	データ転送速度	\overline{SCK}	データ転送速度
$\times 1$	500kHz	500kbps	660kHz	660kbps
$\times 16$	2 MHz	125kbps	2 MHz	125kbps
$\times 64$		31.25kbps		31.25kbps

TxD端子は、TxEが“0”のとき、あるいはシリアル・レジスタが送信するデータを持たないとき、マーク状態 (1) になります。

なお、割り込みマスク・レジスタ (MKH) のビット 2 (MKST) をセットすることにより内部割り込み (INTST) は禁止されます。

図 2-22 アシクロナス・データ・フォーマット

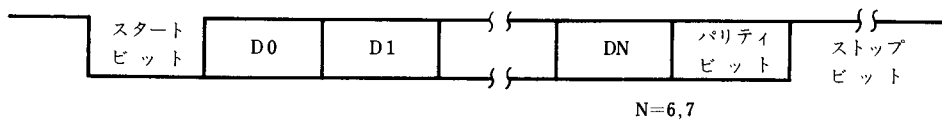
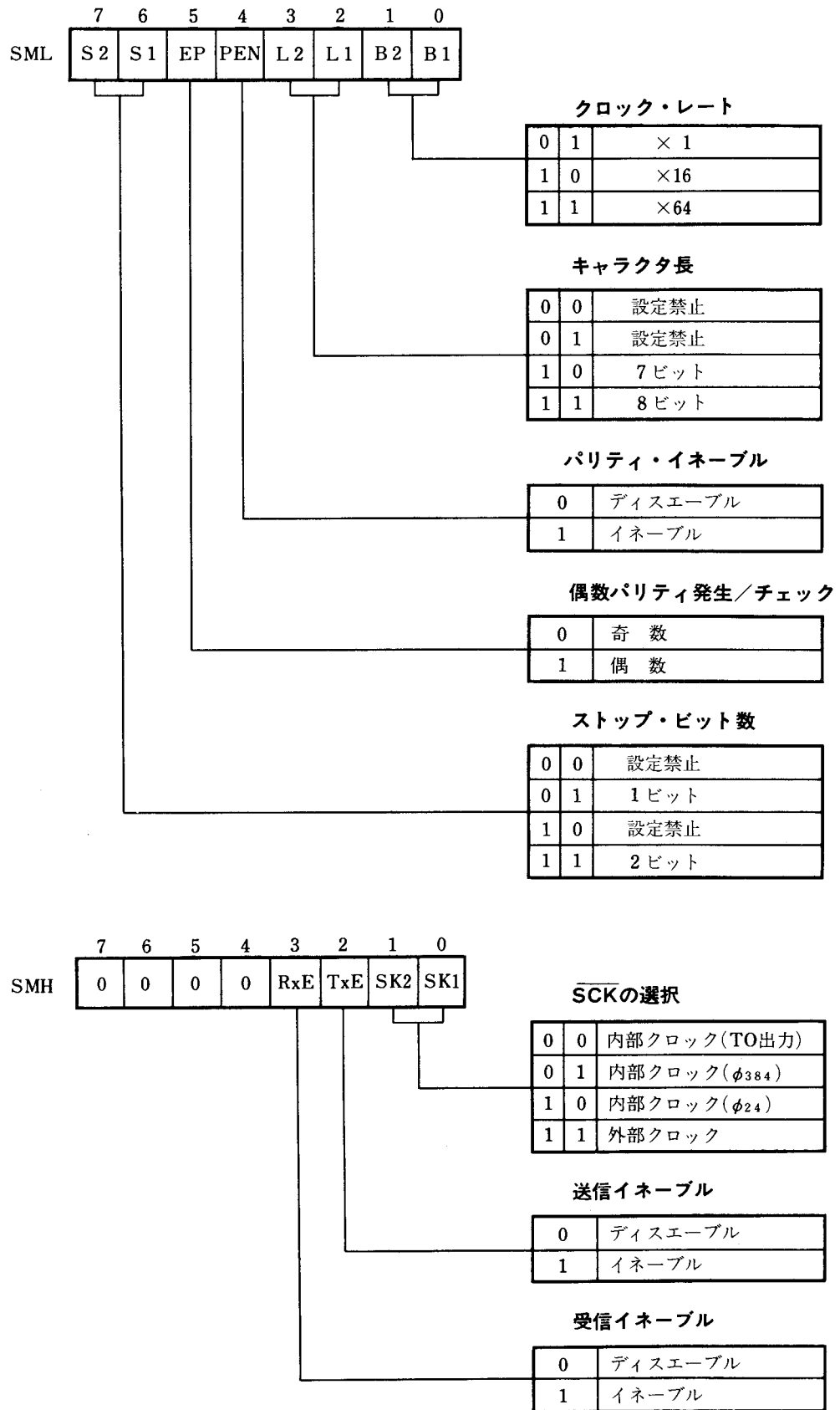


図 2-23 アシクロナス・モード時シリアル・モード・レジスタ・フォーマット



受信動作はシリアル・モード・レジスタ (SMH) のビット 3 (RxE) のセット (1) によりイネーブルとなります。

スタート・ビットはRxD入力のロウ・レベルを検出し、さらに1/2ビット時間後にロウ・レベルを検知することにより確認されます。以後のキャラクタ・ビット、パリティ・ビット、ストップ・ビットの中央でサンプリングをして受信を行います。RxDよりシリアル・レジスタに所定のデータが入力されると、受信バッファにデータが転送されます。受信バッファがフル (Full) になると内部割り込み (INTSR) を発生します。

なお、割り込みマスク・レジスタ (MKH) のビット 1 (MKSР) をセット (1) することにより内部割り込み (INTSR) は禁止されます。

受信時に、奇偶数パリティのチェックを行い (PENビット=1の場合) 不一致のとき (パリティ・エラー)、ストップ・ビットがロウのとき (フレーミング・エラー)、受信バッファがフルのときに次のデータが受信バッファに転送されたとき (オーバラン・エラー) に、エラー・フラグがセット (1) されます。

しかし、エラー割り込み機構は持っていないので、プログラム上でスキップ命令 (SKIT, SKNIT) によりテストします。

シリアル・クロック (SCK) はシリアル・モード・レジスタ (SMH) によって、外部クロック、内部クロックが選択できます。

内部クロックとしてφ₂₄, φ₃₈₄, あるいはTO出力の3種類から選べ、外部へ出力することもできます。また、外部からシリアル・クロックを入力することもできます。

内部クロック (TO出力) をSCKに使用することにより、データ転送速度をプログラムで自由に変えることができます。

受信時の最大データ転送速度は、SCKおよびクロック・レートによって12MHz動作時に次のようになります。

SCK クロック・レート	内 部 ク ロ ッ ク		外 部 ク ロ ッ ク	
	SCK	データ転送速度	SCK	データ転送速度
×1 注2	500kHz	500kbps	660kHz 1 MHz	660kbps 1 Mbps 注1
×16	2 MHz	125kbps	2 MHz	125kbps
×64		31.25kbps		31.25kbps

注1. 660 kbps~1 Mbps の転送速度のデータを受信する場合には、ストップ・ビットが2ビット必要となります。

2. ×1のクロック・レートの場合、RxDとSCKの同期は外部でとる必要があります。

例として、110~9600bpsのデータ転送速度で送受信を行う場合、タイマの入力クロックを内部クロック(φ₁₂)としたときに、タイマのカウント値(C)は次のようになります。

データ 転送速度(bps)	発振周波数 (MHz)	7 . 3 7 2 8		1 1 . 0 5 9 2	
		N	C =	N	C =
9 6 0 0		1 6	2	1 6	3
4 8 0 0			4		6
2 4 0 0			8		1 2
1 2 0 0			1 6		2 4
6 0 0			3 2		4 8
3 0 0			6 4		9 6
1 5 0			1 2 8		1 9 2
1 1 0			1 7 5		2 6 2

(2) シンクロナス・モード

シンクロナス・モードの場合にはキャラクタ長8ビット固定、パリティ・ビットなしでデータ転送を行います。従って、シリアル・モード・レジスタ (SML) の設定は0CHにしてください (図2-24参照)。

送信動作はシリアル・モード・レジスタ (SMH) のビット3 (TxE) のセット (1) によりイネーブルとなります。

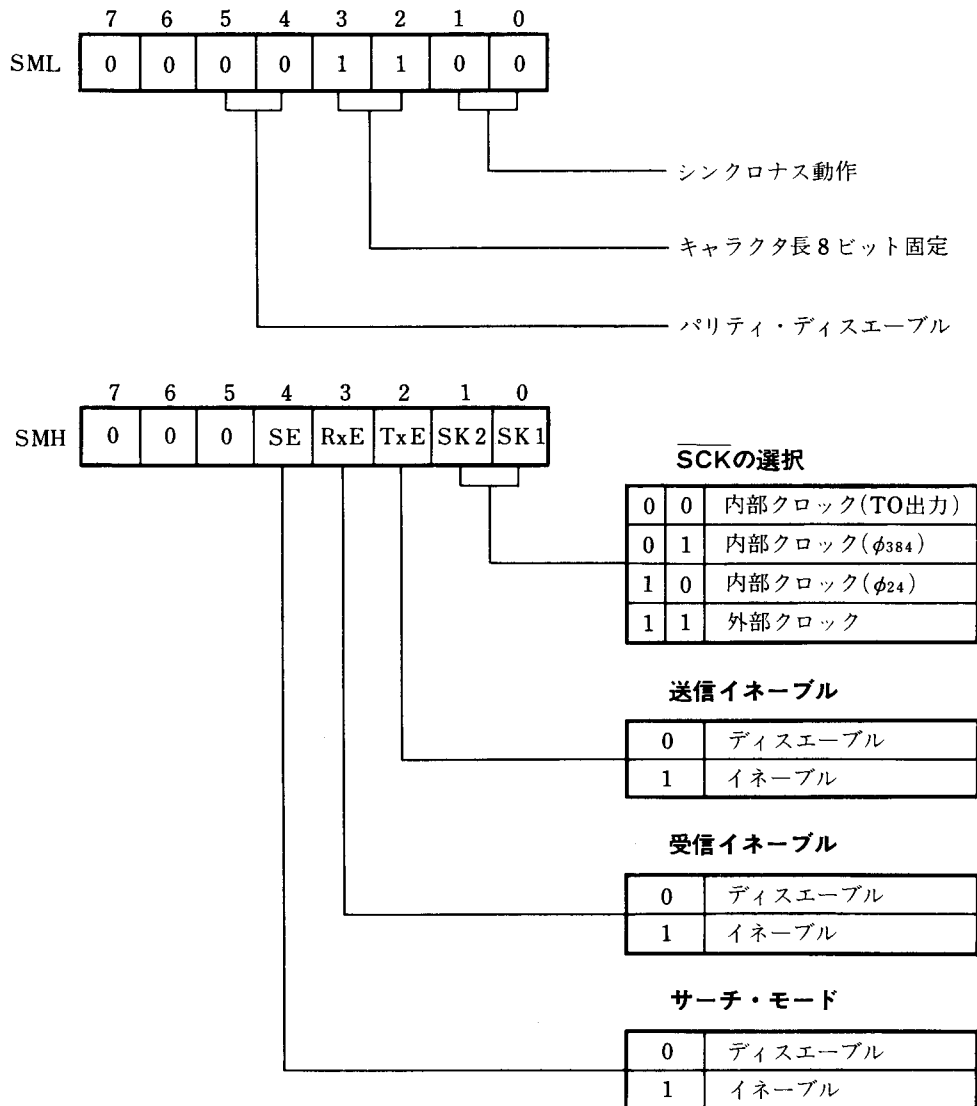
送信バッファに、MOV TXB, A命令でデータを書き込み、前のデータ転送が終了すると、送信バッファの内容が自動的にシリアル・レジスタに転送され、シリアル・データに変換されてTxDより、SCKの立ち下がりエッジに同期して、LSBから送出されます。シリアル・データはSCKと同じレートで送出されます。

送信時のデータ転送速度は、SCKに内部クロックを使用した場合最大500kbps、またSCKに外部クロックを使用した場合最大1 Mbpsです (12MHz動作時)。

送信バッファからシリアル・レジスタにデータが転送され、送信バッファがエンपティになると内部割り込み (INTST) を発生します。

TxD端子は、TxEが“0”のとき、あるいはシリアル・レジスタが送出するデータを持たないときは、マーク状態 (1) になります。

図2-24 シンクロナス・モード時シリアル・モード・レジスタ・フォーマット



シンクロナス・モードには、2種類の受信動作がありシリアル・モード・レジスタ (SMH) のSEビットによって制御できます。

SEビットのセット(1)によりサーチ・モードとなり、RxD端子から1ビット受信するたびに、シリアル・レジスタの内容が、受信バッファに転送されるとともに、内部割り込み (INTSR) が発生します。μPD78C14には、ハードウェアによる同期キャラクタ検出回路を備えていませんので、ソフトウェアで同期キャラクタを検出する必要があります。

同期キャラクタを検出し受信同期がとれたら、SEビットをリセット(0)します。SEビットをリセットすることにより、キャラクタ受信モードになり、8ビットのデータ受信のたびにシリアル・レジスタの内容が受信バッファに転送されるとともに、内部割り込み (INTSR) が発生します。

なお、割り込みマスク・レジスタ (MKH) のMKSРビットをセット(1)することにより、内部割り込み (INTSR) は禁止されます。

シンクロナス・モードでは \overline{SCK} の立ち下がりエッジでTxDよりデータを出力し、 \overline{SCK} の立ち上がりエッジでRxDよりデータを入力します。

\overline{SCK} はシリアル・モード・レジスタ (SMH) の設定により、内部クロックあるいは外部クロックの選択ができます。

受信時のデータ転送速度は、 \overline{SCK} に内部クロックを使用した場合最大500kbps、また \overline{SCK} に外部クロックを使用した場合最大660kbpsです (12MHz動作時)。

(3) I/O インタフェース・モード

このモードは、μCOM-87のシリアル・インタフェースと同一のモードで、外部にI/Oを拡張する場合、あるいはI/Oコントローラ(A/Dコンバータ、液晶コントローラなど)を接続する場合に有効です。

I/O インタフェース・モードの場合にはキャラクタ長8ビット固定、パリティ・ビットなしで、最上位ビット (MSB) よりデータ転送を行います。従って、シリアル・モード・レジスタ (SML) は0 CHに、またシリアル・モード・レジスタ (SMH) のビット5 (IOE) は“1”に設定してください。

このモードは制御された \overline{SCK} (8発のシリアル・クロック) により同期をとるもので、データ転送中以外は \overline{SCK} をハイにしてください。

送信動作はシリアル・モード・レジスタ (SMH) のビット2 (TxE) のセット(1)によりイネーブルとなります。

送信バッファに、MOV TXB, A命令でデータを書き込むと、自動的にシリアル・レジスタに転送され、制御された \overline{SCK} の立ち下がりエッジでTxDよりデータを出力します。送信バッファがエンプティになると、内部割り込み (INTST) を発生します。

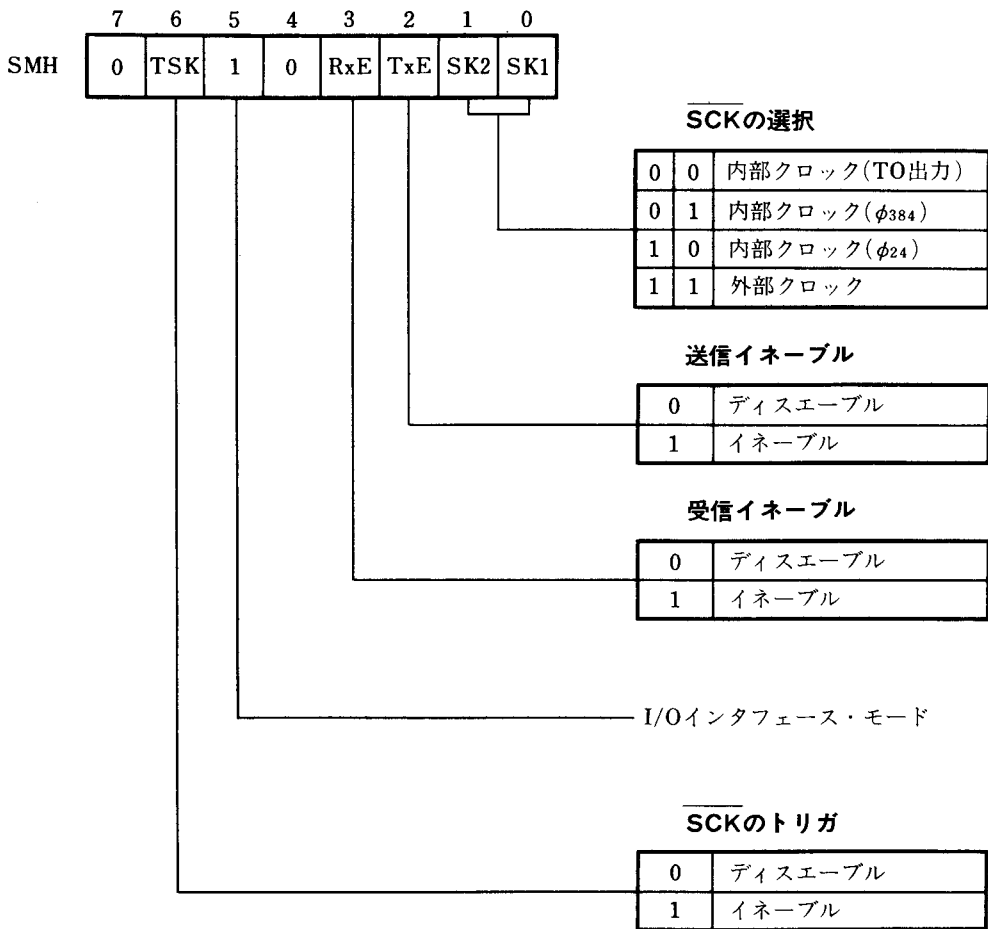
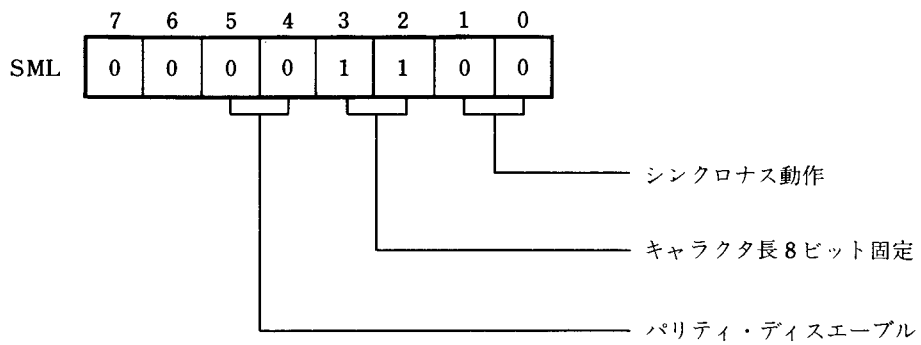
送信時のデータ転送速度は、 \overline{SCK} に内部クロックを使用した場合最大500kbps、また \overline{SCK} に外部クロックを使用した場合最大1 Mbpsです (12MHz動作時)。

受信動作はシリアル・モード・レジスタ (SMH) のビット3 (RxE) のセット(1)によりイネーブルとなり、受信データは制御された \overline{SCK} の立ち上がりエッジでシリアル・レジスタに入力します。シリアル・レジスタが8ビットのデータを受信すると、シリアル・レジスタから受信バッファへデータを転送し、内部割り込み (INTSR) を発生します。

\overline{SCK} には内部クロック、外部クロックがあり、シリアル・モード・レジスタ (SMH) で選択できます。

受信時のデータ転送速度は、 \overline{SCK} に内部クロックを使用した場合最大500kbps、また \overline{SCK} に外部クロックを使用した場合最大660kbpsです (12MHz動作時)。なお、8発目の \overline{SCK} のハイ・レベル幅は6ステート以上必要です。

図 2-25 I/Oインタフェース・モード時シリアル・モード・レジスタ・フォーマット



(4) シリアル・モード・レジスタ (SML, SMH)

シリアル・インタフェースの動作を制御する2つの8ビット・レジスタです (図2-26, 2-27参照)。

シリアル・モード・ロウ・レジスタ(SML)のビット0, 1 (B1, B2)はアシンクロナス・モード, シンクロナス動作の切り換えとアシンクロナス・モード時のクロック・レートを制御し, ビット2, 3 (L1, L2)はキャラクタ長を制御し, ビット4 (PEN)はパリティ・イネーブルを制御し, ビット5 (EP)は奇偶数パリティの制御をし, ビット6, 7 (S1, S2)はストップ・ビット数を制御します。

RESET入力時およびハードウェアSTOPモード時にシリアル・モード・ロウ・レジスタ(SML)は, 48Hにセットされます。

シリアル・モード・ハイ・レジスタ(SMH)のビット0, 1 (SK1, SK2) はシリアル・クロック (\overline{SCK}) として内部クロックを使用するか, 外部クロックを使用するかを制御し, ビット2 (TxE) は送信動作を制御し, ビット3 (RxE) は受信動作を制御し, ビット4 (SE) はシンクロナス・モード時のサーチ・モードにするかを制御します。また, ビット5 (IOE) はシンクロナス・モードにするかI/Oインタフェース・モードにするかを制御し, ビット6 (TSK) はI/Oインタフェース・モードで内部クロックを使用して, データを受信する場合にシリアル・クロックの起動を行います。TSKビットはシリアル・クロック起動後, 自動的にリセット (0) されます。

シリアル・クロック (\overline{SCK}) を内部クロックに指定した場合には, 次式により \overline{SCK} の値が決定されます。

内部クロック (ϕ_{24}) の場合

$$\overline{SCK} = \frac{f_{XX}}{24}$$

内部クロック (ϕ_{384}) の場合

$$\overline{SCK} = \frac{f_{XX}}{384}$$

内部クロック (TO出力) の場合

タイマの入力クロックが ϕ_{12} のとき

$$\overline{SCK} = \frac{f_{XX}}{24 \times C}$$

タイマの入力クロックが ϕ_{384} のとき

$$\overline{SCK} = \frac{f_{XX}}{768 \times C}$$

TIMER F/Fの入力が ϕ_3 のとき

$$\overline{SCK} = \frac{f_{XX}}{6}$$

となります。

ただし, f_{XX} を発振周波数, \overline{SCK} をシリアル・クロック, C をタイマのカウント値とします。

なお, 内部クロック (TO出力) の場合でTIMER F/Fの入力が ϕ_3 のときは, アシンクロナス・モードでクロック・レートが16, 64のときのみ使用できます。

RESET入力時およびハードウェアSTOPモード時にシリアル・モード・ハイ・レジスタ(SMH)は, 00Hにリセットされます。

図 2-26 シリアル・モード・ロウ・レジスタ (SML) のフォーマット

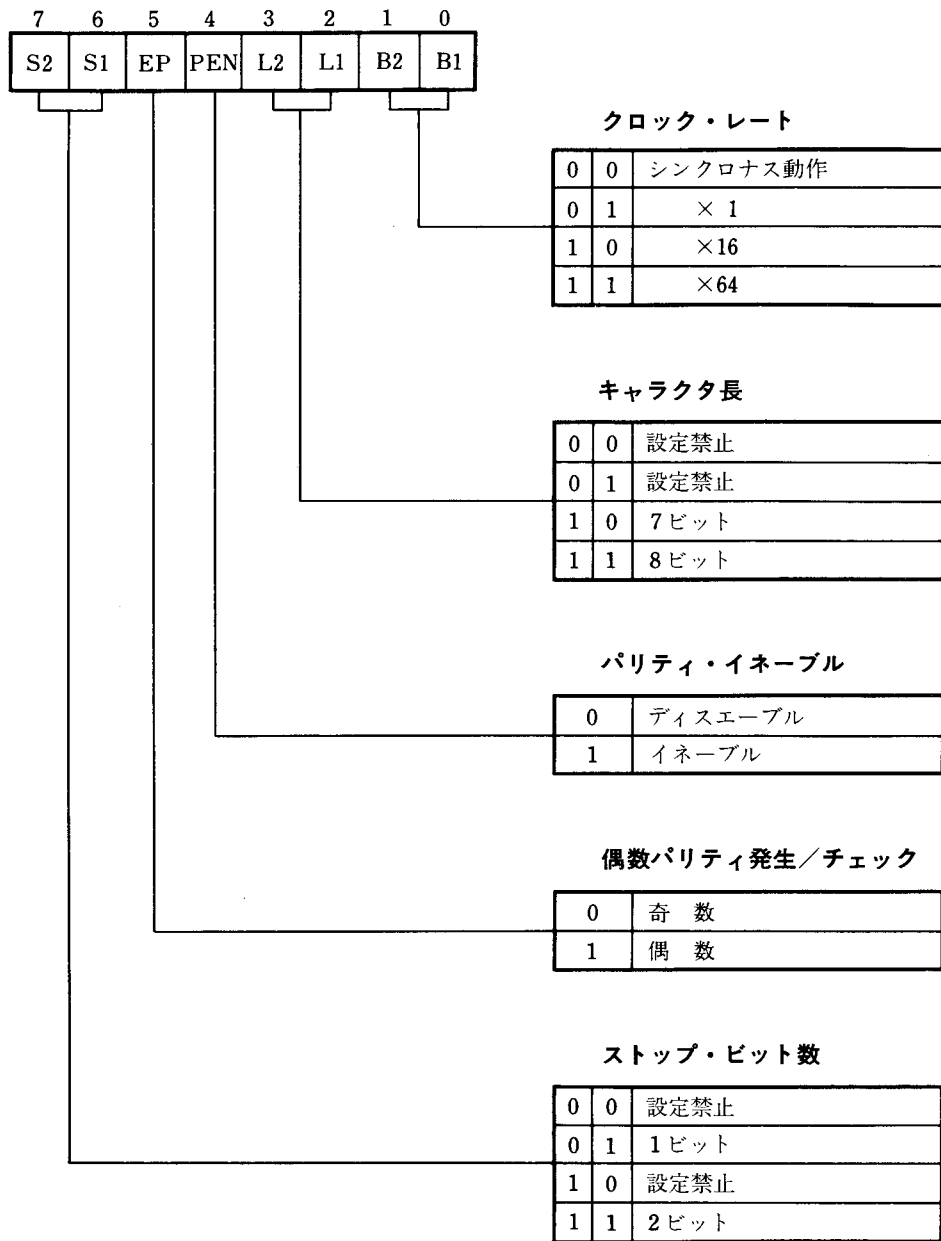
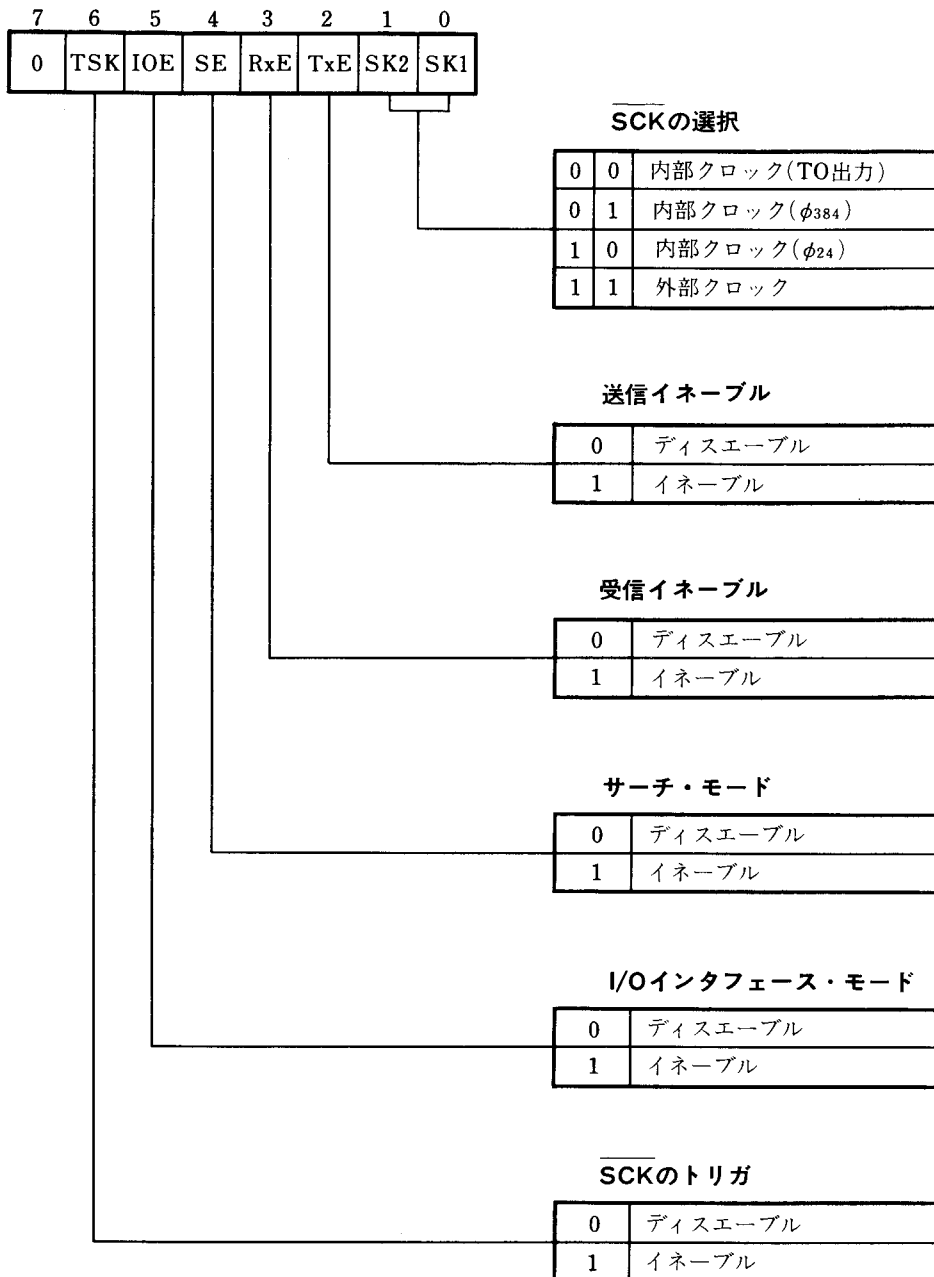


図 2-27 シリアル・モード・ハイ・レジスタ(SMH)のフォーマット



2.9 アナログ/デジタル・コンバータ

μPD78C14Aは8マルチプレクス・アナログ入力(AN7-0)を持つ8ビット高速、高分解能のアナログ/デジタル(A/D)コンバータを内蔵し、変換結果を保持するための4つのConversion Resultレジスタ(CR0-CR3)を備えています。A/Dコンバータは逐次近似方式を採用しています。

A/Dコンバータの動作は、ソフトウェアによってスキャン・モード、セレクト・モードの選択ができます。

セレクト・モードは、1つのアナログ入力の変換値をCR0からCR3に順に格納し、スキャン・モードは、AN0-AN3またはAN4-AN7のアナログ入力の変換値をCR0からCR3に順に格納します。これらのモード切り替えはA/Dチャンネル・モード・レジスタの指定により行います。

セレクト・モードの場合には、A/Dチャンネル・モード・レジスタで1つのアナログ入力を選択し、A/D変換を開始します。変換値はCR0からCR3に順に格納し、4つのCRレジスタに変換値がそろると、内部割り込み(INTAD)が発生します。A/DコンバータはA/Dチャンネル・モード・レジスタが変更されるまでA/D変換を続けて変換値をCR0から順に格納し続けます。

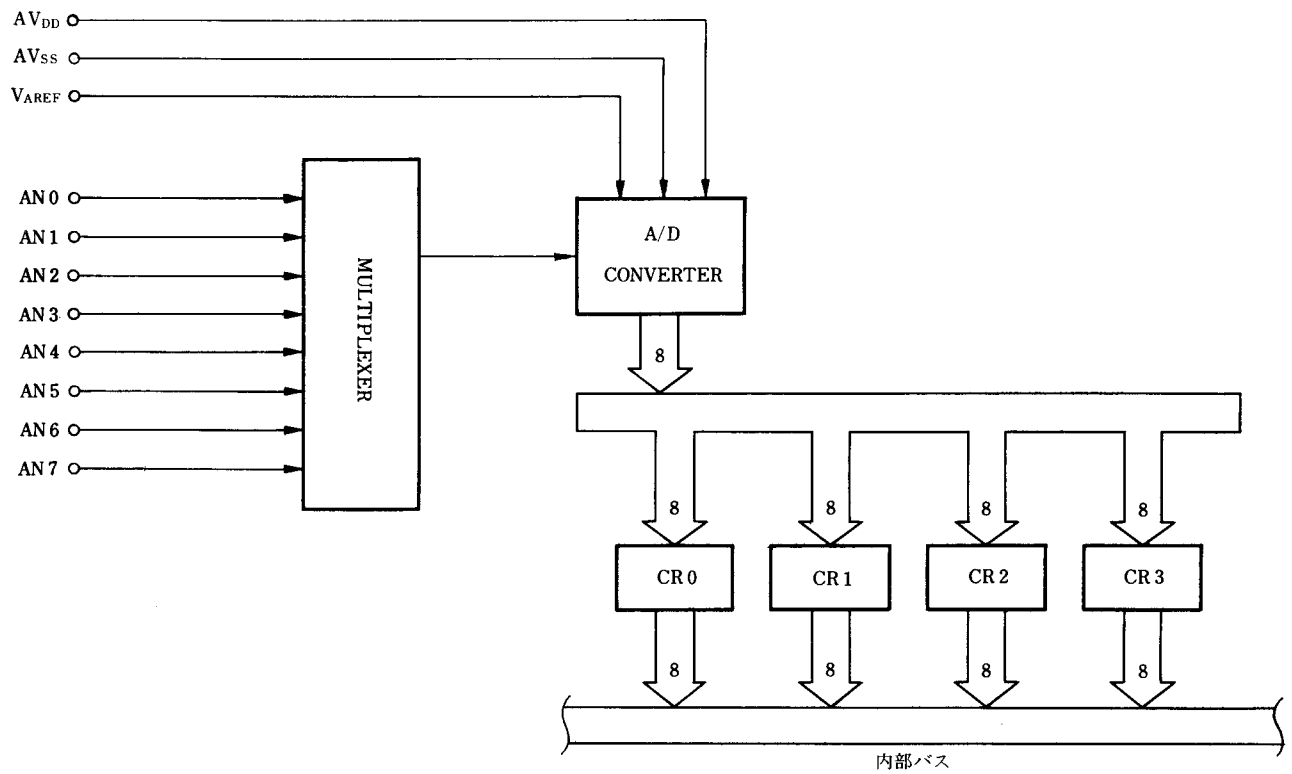
スキャン・モードの場合には、A/Dチャンネル・モード・レジスタでAN0からAN3のアナログ入力(ANI2=0)あるいはAN4からAN7のアナログ入力(ANI2=1)の選択ができます。

A/Dチャンネル・モード・レジスタのビット3(ANI2)を“0”とすると、アナログ入力はAN0→AN1→AN2→AN3→AN0→の順に選択され、各入力のA/D変換値はCR0→CR1→CR2→CR3→CR0→の順に格納します。また、A/Dチャンネル・モード・レジスタのANI2を“1”とすると、アナログ入力はAN4→AN5→AN6→AN7→AN4→の順に選択され、各入力のA/D変換値はCR0→CR1→CR2→CR3→CR0→の順に格納します。スキャン・モードの場合も、セレクト・モードの場合と同様に4つのCRレジスタに変換値がそろると、内部割り込み(INTAD)が発生します。

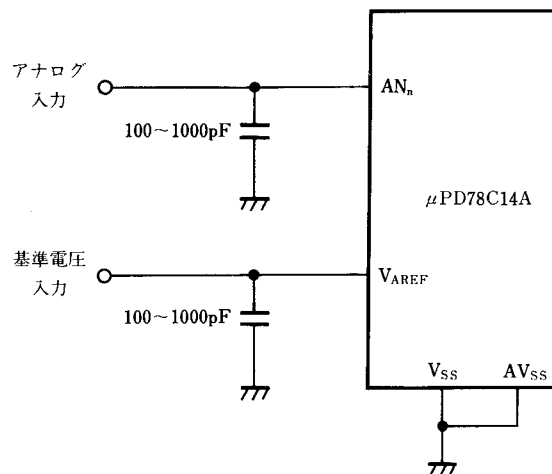
スキャン・モードの場合もA/Dチャンネル・モード・レジスタの変更まで以上の動作をくり返します。

なお、割り込みマスク・レジスタ(MKH)のビット0(MKAD)をセット(1)することにより内部割り込み(INTAD)は禁止されます。

図 2-28 A/Dコンバータ・ブロック図



注意 アナログ入力端子, および基準電圧入力端子にはノイズによる誤動作を防ぐため, キャパシタを接続してください。



(1) A/Dチャンネル・モード・レジスタ (ANM)

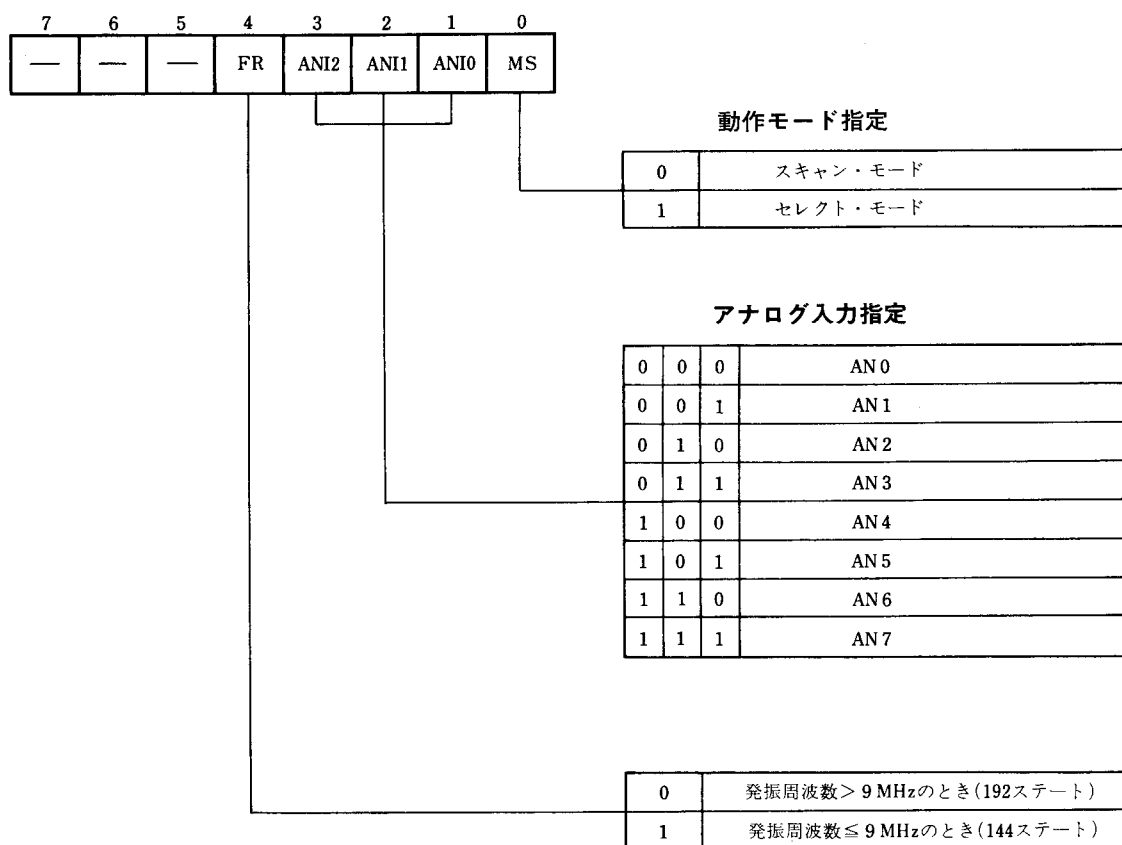
A/Dコンバータの動作を制御する8ビットのレジスタです。

A/Dチャンネル・モード・レジスタのビット0 (MS) は動作モードを制御し、ビット1, 2, 3 (ANI0, 1, 2) はA/D変換する入力を制御し、ビット4 (FR) は発振周波数の変化に対してA/D動作を制御します。

A/Dチャンネル・モード・レジスタは動作モードの指定の書き込みとともに、内容を読み出すことができます。したがって、A/D割り込み発生時にどのアナログ入力のデータかを判別することができます。

RESET入力時およびハードウェアSTOPモード時にA/Dチャンネル・モード・レジスタは00Hとなります。

図2-29 A/Dチャンネル・モード・レジスタのフォーマット



(2) A/Dコンバータの動作制御方法

A/Dコンバータは、V_{AREF} 入力電圧を制御することにより変換動作を停止させることができます。V_{AREF}端子にV_{IHI}以上の電圧を入力するとA/Dコンバータは、変換動作を始め、V_{AREF}=3.4 V~AV_{DD}において変換結果が保証されます。変換動作中にV_{AREF}端子の入力電圧をV_{IL1}以下にするとA/Dコンバータの変換動作は停止します。そのときのCR0-CR3の内容は不定となります。

A/Dコンバータの停止制御のためにV_{AREF}入力電圧を変化させてもA/Dチャンネル・モード・レジスタ(ANM)は影響を受けません。従って、停止状態から動作状態に戻すためにV_{AREF}入力電圧を3.4 V以上に立ち上げると、A/Dコンバータは停止状態に入る直前のモードで、CR0へ変換値を格納する所から動作を再開します。

なお、V_{AREF}入力電圧のレベルを変化させても、AN4-AN7入力のエッジ検出機能は影響を受けません。

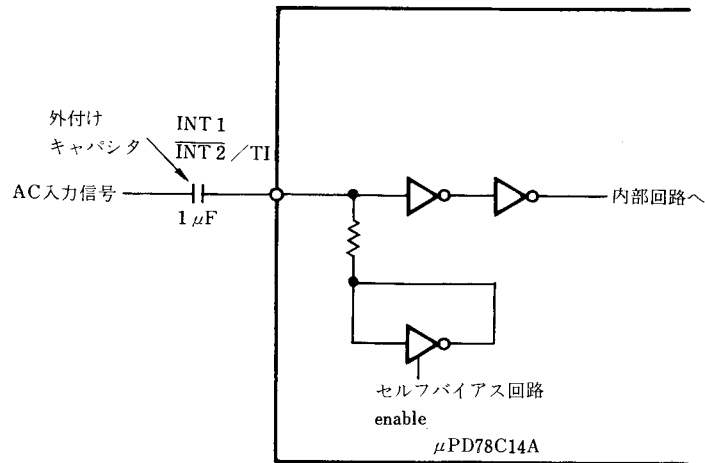
注意 V_{AREF}をロウ・レベルにしたときのAN0-AN7の入力はAV_{SS}~AV_{DD}の範囲内にする必要があります。

2.10 ゼロクロス検出回路

INT 1 端子とINT 2 / TI (PC 3 兼用) 端子はゼロクロス・モード・レジスタの設定によりゼロクロス検出動作を行わせることができます。

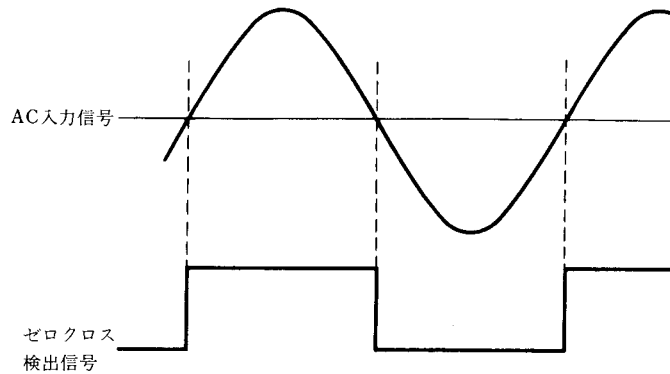
ゼロクロス検出回路はセルフバイアス方式の高利得アンプによって構成されており、その入力をスイッチング・ポイントにバイアスし、入力のわずかな変位にตอบสนองしてデジタル変位を起こします。

図 2-30 ゼロクロス検出回路



ゼロクロス検出回路は外付けキャパシタを通して入力される AC 信号の負から正、正から負に変位するのを検出し、それぞれの変位点で 0 から 1、1 から 0 に変化するデジタル・パルスを生成します。

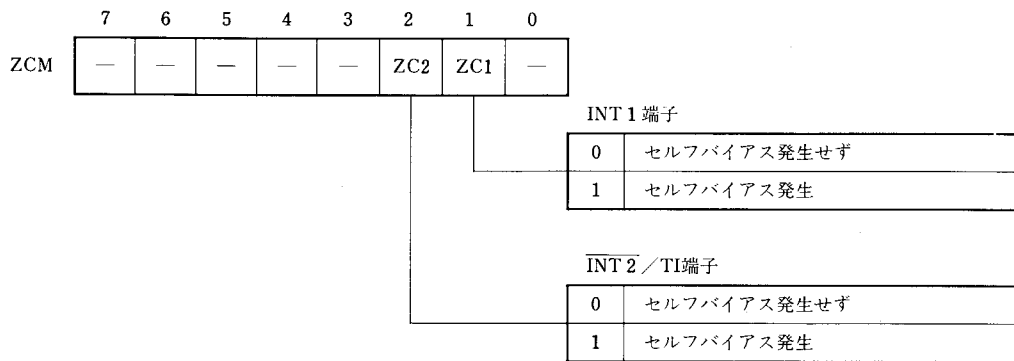
図 2-31 ゼロクロス検出信号



INT1 端子のゼロクロス検出回路で生成されたデジタル・パルスは割り込み制御回路へ送られ、AC 信号の負から正へのゼロクロス点（立ち上がりエッジ）でINTF1 割り込み要求フラグをセットし、INT1 割り込みがイネーブルであれば割り込み処理をスタートさせます。また、 $\overline{\text{INT2}}$ / TI 端子のゼロクロス検出回路で生成されたデジタル・パルスは割り込み制御回路へ送られ、AC 信号の正から負へのゼロクロス点（立ち下がりエッジ）で、INT1 端子と同様に割り込み処理をスタートさせることができます。さらに、 $\overline{\text{INT2}}$ / TI 端子のゼロクロス検出回路で生成されたデジタル・パルスはタイマの入力クロックとしても使用することができます。

INT1 端子と $\overline{\text{INT2}}$ / TI 端子のゼロクロス検出のためのセルフバイアスを制御するゼロクロス・モード・レジスタ(ZCM)のフォーマットを図 2-32 に示します。

図 2-32 ゼロクロス・モード・レジスタのフォーマット



ゼロクロス・モード・レジスタのZC1, ZC2 ビットを“0”にしたときには、各端子のゼロクロス検出のためのセルフバイアスを発生せず、各端子は通常のデジタル入力として応答します。

ZC1, ZC2 ビットを“1”にしたときにはセルフバイアスを発生し、各端子にキャパシタを接続することによってAC入力信号のゼロクロスを検出することができます。ZC1, ZC2 ビットを“1”とした各端子を、外付けキャパシタを介さずに直接ドライブすることができ、この場合各端子はデジタル入力として応答します。ただし、この場合、入力ロード電流が必要であり、外部回路の出力ドライバを考慮する必要があります。従って、ゼロクロス検出を行わず、各端子を単なる割り込み入力、タイマ入力あるいはポート入出力として使用する場合、ゼロクロス・モード・レジスタのZC1, ZC2 ビットを“0”にしてください。

$\overline{\text{RESET}}$ 入力により、ZC1, ZC2 ビットは共に“1”にセットされ、セルフバイアスを発生します。

$\overline{\text{INT2}}$ / TI (PC3 兼用) 端子のゼロクロス検出機能は、MODE CONTROL C レジスタ (MCC) でコントロール・モードに指定した時のみ動作させることができます。ポート・モードではゼロクロス検出機能は動作しません。

注意 ゼロクロス検出回路はその動作点の関係で、ほかのCMOS回路と異なり常時電源電流が流れています。このことはスタンバイ・モード (HALT, ソフトウェア / ハードウェア STOP モード) でも変わりません。従って、ゼロクロス検出回路を動作させた (セルフバイアスを発生; ZC \times = 1) ときは、ゼロクロス検出回路を動作させないときに比べ若干多めの電流が流れることになり、ソフトウェア / ハードウェア STOP モードにおいてその影響が大きくなります。

3. 割り込み機能

割り込みは3種類の外部割り込み要求と8種類の内部割り込み要求があります。これら11種の割り込み要求は6グループに分けられ、6レベルの優先順位と6種類の割り込みアドレスを備えています。

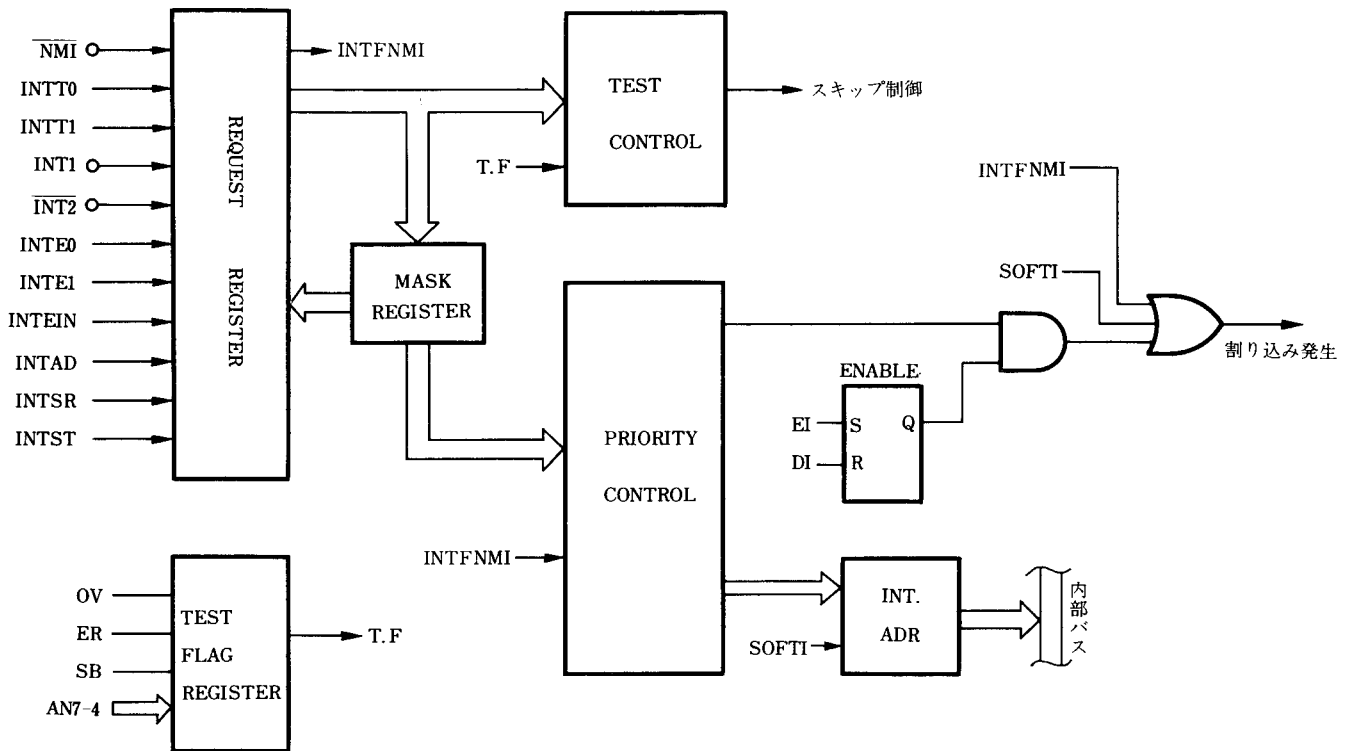
各割り込みソースの優先順位、割り込みアドレスは次のとおりです。

優先順位	割り込みアドレス	割り込み要求	内/外
1	4	$\overline{\text{NMI}}$ (立ち下がリエッジ)	外部
2	8	INTT0 (TIMER0からの一致信号)	内部
		INTT1 (TIMER1からの一致信号)	
3	16	INT1 (立ち上がりエッジ)	外部
		$\overline{\text{INT2}}$ (立ち下がリエッジ)	
4	24	INTE0 (タイマ/イベント・カウンタからの一致信号)	内部
		INTE1 (タイマ/イベント・カウンタからの一致信号)	
5	32	INTEIN (CIおよびTOの立ち下がリエッジ)	内部
		INTAD (A/Dコンバータ割り込み)	
6	40	INTSR (シリアル受信割り込み)	内部
		INTST (シリアル送信割り込み)	

3.1 割り込み制御回路

割り込み制御回路は、REQUEST REGISTER, MASK REGISTER, PRIORITY CONTROL, TEST CONTROL, INTERRUPT ENABLE F/F, TEST FLAG REGISTERで構成されています(図3-1参照)。

図 3-1 割り込み制御回路ブロック図



(a) REQUEST REGISTER

各割り込み要求によってセットされる割り込み要求フラグで構成されています。各フラグは割り込み要求が受け付けられるか、あるいはスキップ命令(SKIT, SKNIT)の実行によってリセットされます。また、 $\overline{\text{RESET}}$ 入力によりすべてのフラグがリセットされます。

割り込み要求フラグには次の11種類があります。

・ INTFNMI

$\overline{\text{NMI}}$ 端子への立ち下がりエッジ入力によってセット(1)されます。このフラグは他の割り込み要求フラグとは異なり、スキップ命令によるテストはできません。

・ INTFT0

TIMER 0のCOMPARATORの一致信号によってセット(1)されます。

・ INTFT1

TIMER 1のCOMPARATORの一致信号によってセット(1)されます。

・ INTF1

INT 1端子への立ち上がりエッジ入力によってセット(1)されます。

・ INTF2

$\overline{\text{INT 2}}$ 端子への立ち下がりエッジ入力によってセット(1)されます。

・ INTFE0

タイマ/イベント・カウンタのECNTとETM0レジスタの内容が一致したときの一致信号によってセット(1)されます。

・ INTFE1

タイマ/イベント・カウンタのECNTとETM1レジスタの内容が一致したときの一致信号によってセット(1)されます。

・ INTFEIN

タイマ/イベント・カウンタのCI入力,あるいはTO(タイマ出力)の立ち下がりエッジによってセット(1)されます。

・ INTFAD

A/Dコンバータの変換値がCR0-CR3の4個のレジスタに転送されたことによってセット(1)されます。

・ INTFSR

シリアル・インタフェースの受信バッファがフルになるとセット(1)されます。

・ INTFST

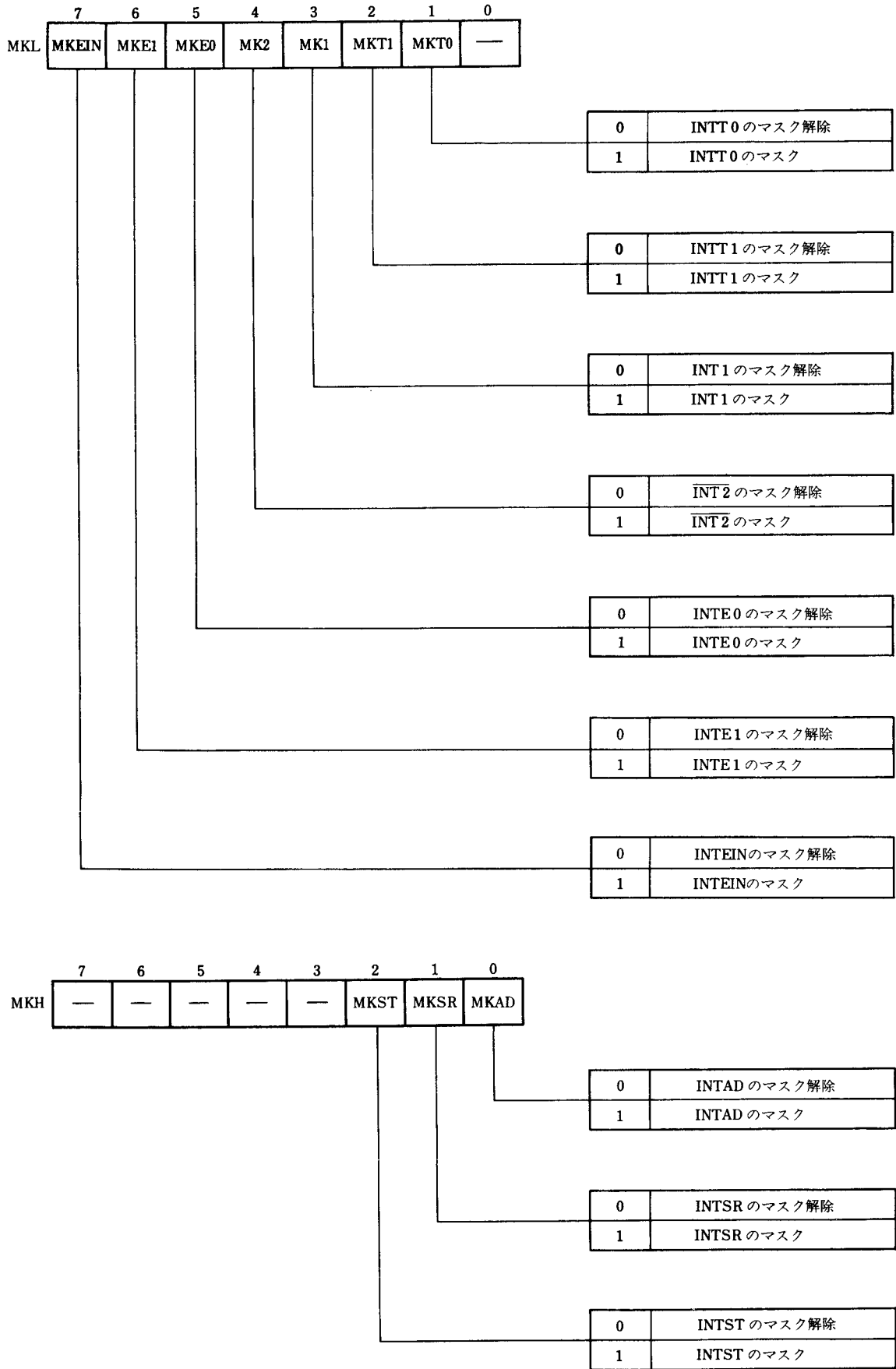
シリアル・インタフェースの送信バッファがエンプティになるとセット(1)されます。

(b) MASK REGISTER

ノンマスクابل割り込み($\overline{\text{NMI}}$)を除く各割り込み要求に対応して10ビットのマスク・レジスタを持っており,命令でビット単位にセット(1),リセット(0)できます。各割り込み要求はマスク・レジスタの該当ビットが“1”でマスクされ,“0”で許可されます。

$\overline{\text{RESET}}$ 入力によりマスク・レジスタの全ビットがセットされ,ノンマスクابل割り込み以外の割り込み要求がマスクされます。また,ハードウェアSTOPモード時にマスク・レジスタの全ビットがセットされます。

図 3-2 マスク・レジスタ (MKL, MKH) のフォーマット



(c) PRIORITY CONTROL 回路

前述の6レベルの優先順位を制御する回路です。複数個の割り込み要求フラグが同時にセットされた場合、優先順位に従って、優先順位の最も高いものを受け付けます。

(d) TEST CONTROL 回路

各割り込みソースに対する割り込み要求フラグ(INTFNMIを除く)、 $\overline{\text{NMI}}$ 端子の状態およびテスト・フラグをテストするスキップ命令(SKIT, SKNIT)を実行する際に動作します。

(e) INTERRUPT ENABLE F/F (IE F/F)

EI命令でセットされ、DI命令でリセットされるフリップ・フロップです。いったん、いずれかの割り込みを受け付けるとリセットされます。また、 $\overline{\text{RESET}}$ 入力によってもリセットされます。このフリップ・フロップがセットされると割り込み許可、リセットされると割り込み禁止となります。

(f) TEST FLAG REGISTER

割り込み要求を起こさない7種類のテスト・フラグで構成され、スキップ命令(SKIT, SKNIT)でテストおよびリセットできます。

• OV

タイマ/イベント・カウンタのECNTがオーバフローしたことによってセット(1)されます。

• ER

シリアル・インタフェースのパリティ・エラー、フレーミング・エラー、およびオーバラン・エラーによってセット(1)されます。

• SB

V_{DD} 端子が一定以下のロウ・レベルから一定以上のハイ・レベルに上がるとセット(1)されます。

• AN7 - AN4

AN7 - AN4端子への立ち下がりエッジによってセット(1)されます。

3.2 ノンマスクابل割り込み動作

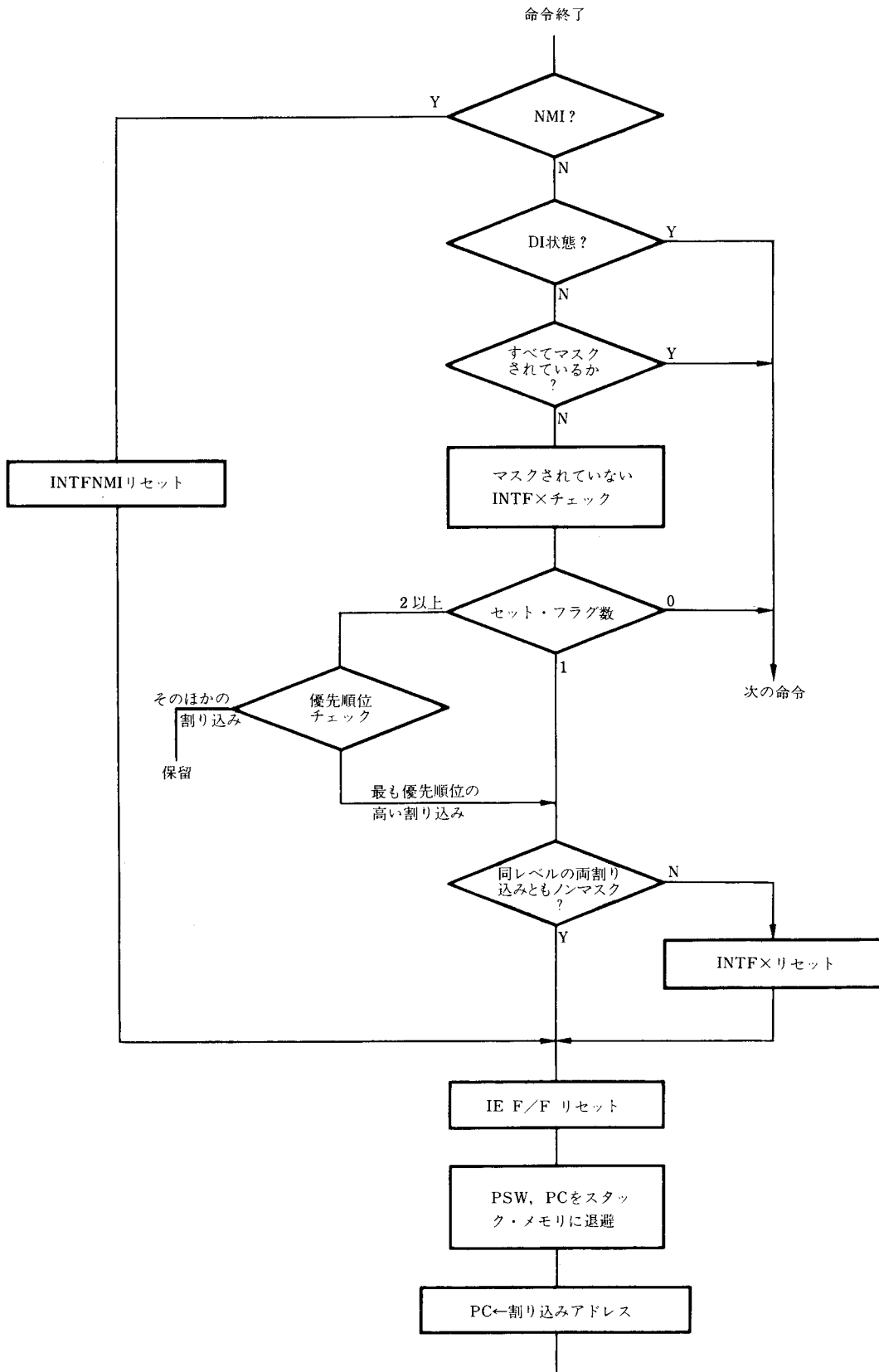
ノンマスクابل割り込みは、 $\overline{\text{NMI}}$ 端子への立ち下がりエッジ入力によって割り込み要求フラグ(INTFNMI)がセットされると、EI/DI状態にかかわらず次の手順で受け付けられます(図3-3参照)。

- (i) 各命令の最後のタイミングでINTFNMIがセットされているかどうかをチェックし、セットされている場合にはノンマスクابل割り込みが受け付けられ、INTFNMIをリセットします。
- (ii) ノンマスクابل割り込みが受け付けられると、IE F/Fがリセットされ、ノンマスクابل割り込みおよびSOFTI命令以外のすべての割り込みが禁止状態(DI状態)になります。
- (iii) PSW, PCの上位バイト, PCの下位バイトの順でスタック・メモリに退避します。
- (iv) 割り込みアドレス(0004H)にジャンプします。

以上の割り込み動作は16ステートで自動的に行われます。

なお、割り込み要求フラグ(INTFNMI)はスキップ命令でテストできませんが、 $\overline{\text{NMI}}$ 端子の状態をスキップ命令(SKIT NMI, SKNIT NMI)でテストすることができます。従って、ノンマスクابل割り込みサービス・ルーチンで、 $\overline{\text{NMI}}$ 端子の状態を何回かスキップ命令でテストすることにより、比較的周期の長いノイズあるいは周期的なノイズを除去することができます。 $\overline{\text{NMI}}$ 端子の状態はスキップ命令によってテストされても、変化しません。

図 3-3 割り込み動作手順



3.3 マスカブル割り込み動作

ノンマスカブル割り込みおよび SOFTI 命令を除く割り込み要求は、EI/DI 命令によって許可/禁止 (IE F/Fのセット/リセット)することができ、またマスク・レジスタによって個別にマスクすることができるマスカブル割り込みです。

マスカブル割り込みの外部割り込みに対しては、一定時間以上のアクティブ・レベル入力により正常な割り込み信号と認められると割り込み要求フラグがセットされ、内部割り込みに対しては、割り込み要求が発生するとただちに割り込み要求フラグがセットされます。いったん割り込み要求フラグがセットされると外部、内部割り込みとも共通に次の手順で処理されます(図3-3参照)。

- (i) EI状態 (IE F/F=1)であれば、各命令の最後のタイミングで割り込み要求フラグがセットされているかどうかチェックし、セットされている場合には割り込みサイクルに入ります。ただし、マスク・レジスタによってマスクされている割り込み要求のチェックは行いません。
- (ii) 同時に複数個の割り込み要求フラグがセットされている場合には、それらの優先順位がチェックされ、最も優先順位の高い割り込み要求が受け付けられ、ほかは保留されます。
- (iii) 割り込み要求が受け付けられた場合、その割り込み要求フラグは自動的にリセットされます。なお、同一優先順位にある2種類の割り込み要求の両方をマスク・レジスタでマスク解除してあるときには割り込み要求フラグはリセットされません。これは後に、ソフトウェアで2種類の区別をするためです。
- (iv) ある割り込み要求が受け付けられると、IE F/Fがリセットされ、ノンマスカブル割り込みと SOFTI 命令以外のすべての割り込みが禁止状態 (DI状態)になります。
- (v) PSW, PCの上位バイト、およびPCの下位バイトの順でスタック・メモリに退避されます。
- (vi) 割り込みアドレスにジャンプします。

以上の割り込み動作は16状態で自動的に行われます。

保留された割り込み要求は、EI命令の実行によって割り込み許可状態になったときに、ほかに優先順位の高い割り込み要求が発生していなければ受け付けられます。

マスカブル割り込みは同一優先順位、同一割り込みアドレスに2種類の割り込み要求を持っています。マスク・レジスタの設定により、両方のマスクを解除した場合、片方のマスクを解除した場合、および両方をマスクした場合が選択できます。

(1) 両方のマスクを解除した場合

2種類の割り込み要求に対応するマスク・レジスタの該当ビットを共に“0”にします。この場合、2種類の割り込み要求フラグの論理和が割り込み要求となります。

同一優先順位的一方あるいは両方の割り込み要求フラグのセットによる割り込み要求が割り込み動作に従って、受け付けられ割り込みアドレスへジャンプしても割り込み要求フラグはリセットされません。従って、割り込みサービス・ルーチンの始めて、割り込み要求フラグをテストするスキップ命令を実行することにより、どちらの割り込み要求かを判断するとともに、割り込み要求フラグをリセットします。

(2) 片方のマスクを解除した場合

同一優先順位にある2種類の割り込み要求のうち、マスクを解除したい割り込み要求に対応するマスク・レジスタの該当ビットを“0”にし、もう一方を“1”にします。この場合、マスクされていない割り込み要求フラグのセットにより割り込み要求が発生し、割り込み要求が割り込み動作に従って受け付けられると、割り込み要求フラグは自動的にリセットされます。

マスクされている割り込み要求フラグがセットされたときには、その割り込み要求は保留されます。保留されている割り込み要求はマスクが解除されたとき、割り込み許可状態ではかに優先順位の高い割り込み要求がなければ受け付けられます。

(3) 両方をマスクした場合

2種類の割り込み要求に対応するマスク・レジスタの該当ビットを共に“1”にします。この場合、割り込み要求フラグがセットされても受け付けられず保留されます。保留されている割り込み要求はマスクが解除されたとき、割り込み許可状態でほかに優先順位の高い割り込み要求がなければ受け付けられます。

3.4 SOFTI命令による割り込み動作

SOFTI命令が実行されると無条件に割り込みアドレス(0060H)にジャンプします。SOFTI命令割り込みはIF F/Fの影響を受けず、またこの命令を実行してもIE F/Fには影響を与えません。

SOFTI命令による割り込みは次の手順で処理されます。

- (i) PSW, PCの上位バイト, PCの下位バイトの順でスタック・メモリに退避させます。
- (ii) 割り込みアドレス(0060H)にジャンプします。

注意 SOFTI命令の直前の命令(算術, 論理演算, 増減, シフト, スキップ, RETSの各命令)によりスキップ条件が成立してもSOFTI命令はスキップされずに実行されます。SOFTI命令の実行により, PSWのSKフラグはセット(1)されたままスタック領域へ退避されます。従って, SOFTIの処理ルーチンよりリターンした場合にPSWのSKフラグはセットされたままとなり, SOFTI命令の次の命令がスキップされます。

μPD78C14AのSOFTI命令は, スタック・メモリに退避するアドレスの内容が次の命令の先頭アドレスである点がμCOM-87と異なりますので注意してください。

4. スタンバイ機能

μPD78C14Aには、プログラム待機中の消費電力を節約するために、3種類のスタンバイ・モード（HALTモード、ソフトウェアSTOPモード、ハードウェアSTOPモード）が用意されています。

4.1 HALTモード

HLT命令を実行すると、マスク解除されている割り込みの割り込み要求フラグがセットされていない限り、いつでもHALTモードに入ります。HALTモードではCPUクロックが停止し、プログラムの実行は停止されますが、その直前のすべてのレジスタ、内蔵RAMの内容は保持されます。HALTモード中でもタイマ、タイマ/イベント・カウンタ、シリアル・インタフェース、A/Dコンバータ、割り込み制御回路などの動作は可能です。

HALTモード中のμPD78C14Aの出力端子の状態は表4-1のようになります。

表4-1 出力端子の状態

出力端子	シングル・チップの場合	外部拡張の場合
PA7-0	データ保持	データ保持
PB7-0	データ保持	データ保持
PC7-0	データ保持	データ保持
PD7-0	データ保持	ハイ・インピーダンス
PF7-0	データ保持	次のアドレス保持注1 データ保持注2
\overline{WR} , \overline{RD}	ハイ・レベル	ハイ・レベル
ALE	ハイ・レベル	ハイ・レベル

- 注1. アドレス出力の端子
- 2. ポート・データ出力の端子

注意 HALTモードの解除に割り込み要求フラグが用いられる関係上、マスク解除されている割り込みの割り込み要求フラグが1つでもセットされている状態では、HALT命令を実行してもHALTモードには入れません。従って、割り込み要求フラグがセットされている（保留割り込みがある）可能性のある箇所ではHALTモードを設定しようとする場合、まず保留割り込みを処理してしまうか、スキップ命令の実行によって割り込み要求フラグをリセットするか、あるいはHALTモードを解除するために使用する割り込み以外のすべての割り込みをマスクするようにしてください。

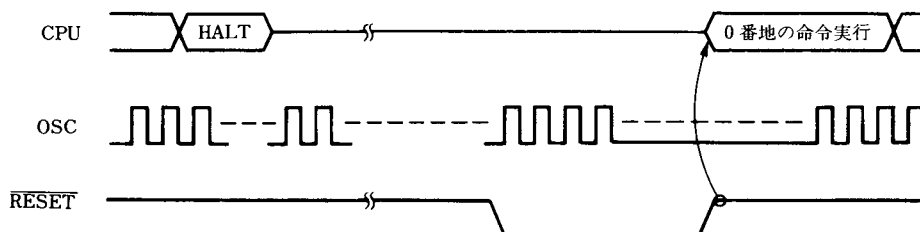
4.2 HALTモードの解除

(1) RESET信号による解除

HALTモード中にRESET信号がハイからロウに下がるとHALTモードが解除され、リセット状態になります。RESET信号がハイに戻ると、CPUは0番地よりプログラムの実行を開始します。

なお、RESET信号入力によってもRAMの内容は保持されていますが、ほかのレジスタ類は不定となります。

図4-1 HALTモードの解除タイミング (RESET信号入力)



(2) 割り込み要求フラグによる解除

HALTモード中、ノンマスクابل割り込み ($\overline{\text{NMI}}$) またはマスク解除されている10種類のマスクابل割り込み (INTT0, INTT1, INT1, $\overline{\text{INT2}}$, INTE0, INTE1, INTEIN, INTAD, INTST, INTSR)の発生により、割り込み要求フラグのどれか1つまたはそれ以上がセットされると、HALTモードは解除されます。

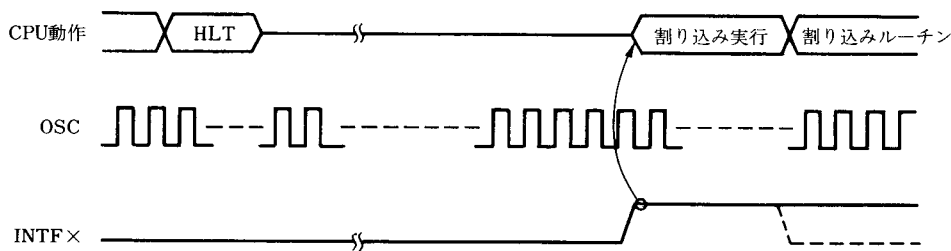
ノンマスクابل割り込みでHALTモードを解除した場合には、割り込み許可/禁止 (EI/DI) 状態にかかわらず、またHLT命令の次の命令を実行せず、割り込みアドレス (0004H) にジャンプします。

マスクابل割り込みでHALTモードを解除した場合には、EI/DI状態によって解除後の動作が異なります。

(i) EI状態のとき

HLT命令の次の命令を実行せず、該当の割り込みアドレスにジャンプします。

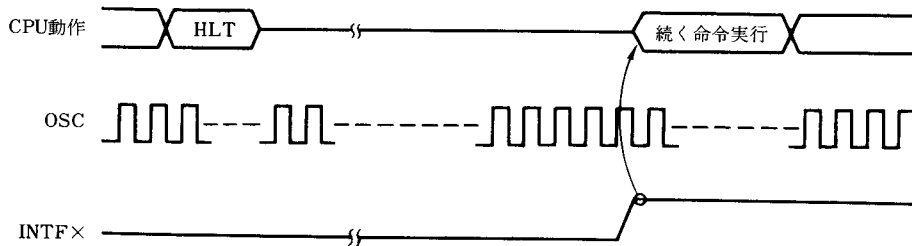
図4-2 HALTモードの解除タイミング (EI状態のとき)



(ii) DI状態のとき

HLT命令の次の命令から実行を再開します(割り込みアドレスにはジャンプしません)。このとき解除に用いられた割り込み要求フラグはセットされたままとなっていますので、必要に応じてスキップ命令でリセットしてください。

図4-3 HALTモードの解除タイミング (DI状態のとき)



4.3 ソフトウェアSTOPモード

STOP命令を実行すると、マスク解除されている外部割り込みの割り込み要求フラグがセットされていない限り、ソフトウェアSTOPモードに入ります。ソフトウェアSTOPモードではすべてのクロックが停止します。ソフトウェアSTOPモードに入るとプログラムの実行は停止され、その直前のすべてのレジスタ、内蔵RAMの内容が保持される (タイマのUPCOUNTERは00Hにクリア) ほかは、ソフトウェアSTOPモードの解除に使用される $\overline{\text{NMI}}$ および $\overline{\text{RESET}}$ 信号が有効なだけで、そのほかのすべての機能が停止します。

ソフトウェアSTOPモード中のμPD78C14Aの出力端子の状態は、HALTモードの場合と同様、表4-1のようになります。

- 注意 1. ソフトウェアSTOPモードを解除時の発振動作安定時間内に、内部割り込みが発生し誤動作を防ぐために、STOP命令実行前に内部割り込みをマスクするようにしてください。
2. ノンマスクابل割り込みの割り込み要求フラグのセットによりソフトウェアSTOPモードを解除したときに、発振動作の安定時間を得るためにTIMER1の一致信号をCPUの動作開始のための信号として使用しています。このため、STOP命令実行前に発振動作の安定時間を考慮したカウント値をTIMER REGに、またタイマ・モード・レジスタをタイマ動作状態に設定する必要があります。

4.4 ソフトウェアSTOPモードの解除

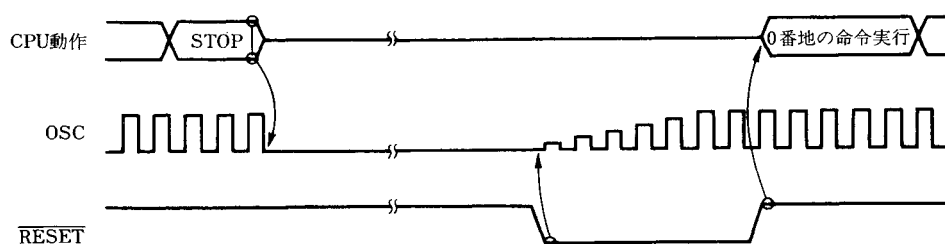
(1) RESET信号による解除

ソフトウェアSTOPモード中にRESET信号がハイからロウに下がると、ソフトウェアSTOPモードが解除され、リセット状態になると同時にクロック発振を開始します。発振動作が安定してからRESET信号をハイにしますと、CPUは0番地よりプログラムの実行を開始します。

RESET信号がハイからロウに下がると、クロック発振を開始しますが、発振動作が安定するまでには時間がかかります。従って、RESET信号のロウ・レベル幅は発振動作の安定時間より長くする必要があります。

なお、RESET信号入力によってもRAMの内容は保持されていますが、ほかのレジスタ類は不定となります。

図4-4 ソフトウェアSTOPモードの解除タイミング (RESET信号入力)



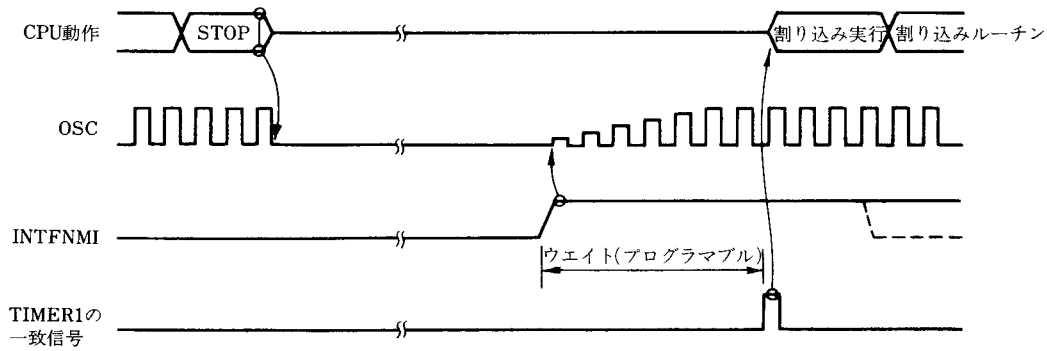
ソフトウェアSTOPモードをRESET信号で解除した場合は、通常のパワー・オン・リセット時と同様に0番地よりプログラムの実行を開始しますので、これらの区別のためにSB(Standby)フラグを使用することができます。SBフラグは、V_{DD}端子が一定以下のロウ・レベルから一定以上のハイ・レベルに上がるとセット(1)され、スキップ命令の実行によってリセット(0)されます。従って、RESET信号入力後に実行するプログラムでSBフラグをスキップ命令でテストすることによって、SBフラグがセットされていればパワー・オン時のスタートで、SBフラグがリセットされていればソフトウェアSTOPモード解除によるスタートです。

(2) 割り込み要求フラグによる解除

ソフトウェアSTOPモード中にノンマスクابل割り込み要求フラグがセットされると、ソフトウェアSTOPモードは解除され、同時にクロック発振を開始します。クロック発振を開始すると、STOP命令実行前の設定に従ってタイマのUPCOUNTERが00Hからカウントアップを始めます。CPUはTIMER1のUPCOUNTERからの一致信号(発振動作の安定時間を考慮したウエイト時間)によって動作を開始します。なお、この場合UPCOUNTERの一致信号は割り込み要求フラグをセットせず、また一致信号発生後のタイマのタイマ・モード・レジスタはFFHにセットされ、タイマは動作を停止します。

発振動作の安定時間経過後、割り込み許可/禁止(EI/DI)状態にかかわらず、またSTOP命令の次の命令を実行せず割り込みアドレス(0004H)にジャンプします。

図4-5 ソフトウェアSTOPモードの解除タイミング



4.5 ハードウェアSTOPモード

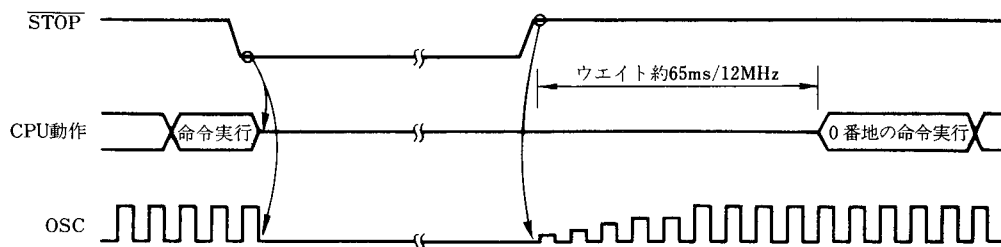
STOP信号がハイからロウに下がるといつでもハードウェアSTOPモードに入ります。ハードウェアSTOPモードではすべてのクロックが停止します。ハードウェアSTOPモードに入るとプログラムの実行は停止され、その直前の内蔵RAMの内容が保持されるほかは、ハードウェアSTOPモードの解除に使用されるSTOP信号が有効なだけで、そのほかのすべての機能が停止し、リセット状態になります。

ハードウェアSTOPモード中のμPD78C14Aの出力端子はすべてハイ・インピーダンスになります。

4.6 ハードウェアSTOPモードの解除

ハードウェアSTOPモード中にSTOP信号がロウからハイに上がると、ハードウェアSTOPモードが解除され、同時にクロック発振を開始します。この後、発振動作の安定時間を考慮したウェイト時間(約65ms/12MHz)を経過すると、CPUは0番地からプログラムの実行を開始します(図4-6参照)。

図4-6 ハードウェアSTOPモードの解除



ハードウェアSTOPモードはRESET信号がハイからロウに下がっても解除されません。RESET信号がロウのとき、STOP信号がロウからハイに上がると、ハードウェアSTOPモードが解除され、クロック発振を開始します。この後、RESET信号がロウからハイに戻ると、発振動作の安定時間をとらずに、CPUは0番地からプログラムの実行を開始します(図4-7参照)。また、ハードウェアSTOPモードが解除された(STOP信号がロウからハイに上がった)直後に、RESET信号がハイからロウに下がった場合にも、プログラムの実行はRESET信号がロウからハイに戻ったときとなります(図4-8参照)。

従って、発振動作の安定時間を考慮してRESET信号をハイに戻すようにしてください。

なお、RESET信号入力によってもRAMの内容は保持されていますが、ほかのレジスタ類は不定となります。

図4-7 ハードウェアSTOPモードの解除タイミング

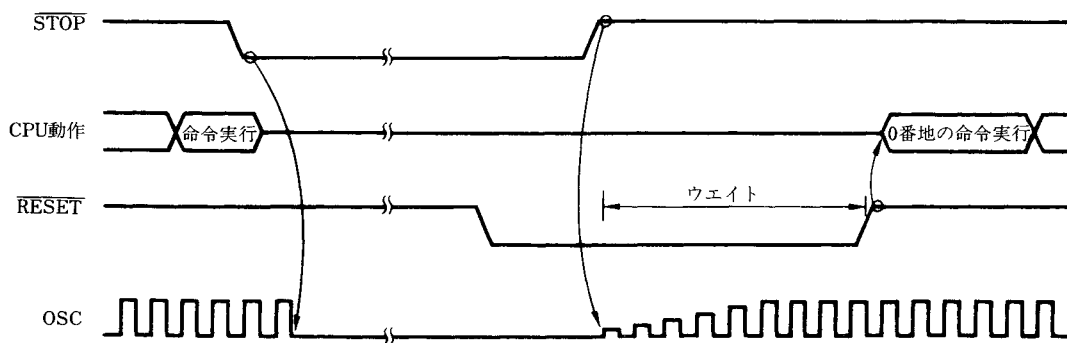
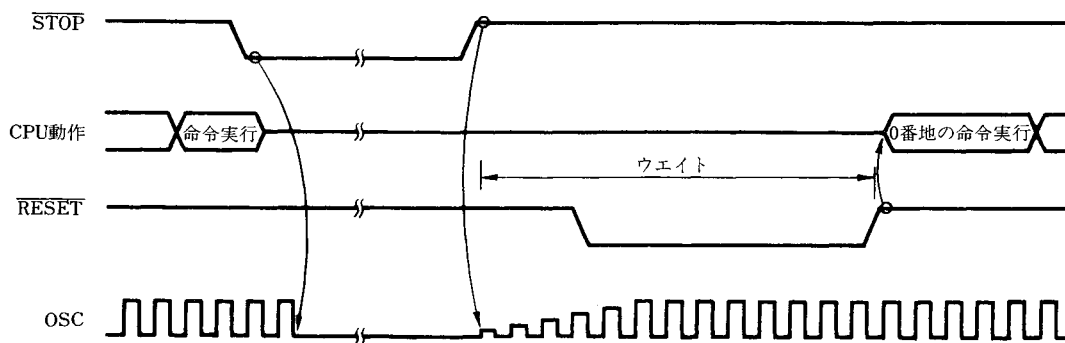


図4-8 ハードウェアSTOPモードの解除タイミング



ハードウェアSTOPモード解除の場合も、ソフトウェアSTOPモードをRESET信号で解除したときと同様に、SBフラグをスキップ命令でテストすることにより、パワー・オンによるスタートか、ハードウェアSTOPモードの解除によるスタートかが区別できます。

4.7 低電源電圧データ保持モード

ソフトウェア/ハードウェアSTOPモードに設定した後、単にV_{DD}電源電圧を2.5Vまで下げることによって低電源電圧データ保持モードに設定でき、ソフトウェア/ハードウェアSTOPモードよりさらに小さな消費電力でRAMの内容を保持することができます。

注意 ソフトウェア/ハードウェアSTOPモードの解除は低電源電圧データ保持モードのままではせず、必ずV_{DD}を通常の動作電圧まで上げてから行ってください。

5. リセット動作

$\overline{\text{RESET}}$ 入力がロウ・レベルが入力されると、システム・リセットがかかり次の状態になります。

- **INTERRUPT ENABLE F/F**がリセットされ、割り込み禁止状態になります。
- 割り込みマスク・レジスタがすべてセット（1）され、割り込みがマスク状態になります。
- 割り込み要求フラグがリセット（0）され、保留割り込みは消滅します。
- **PSW**はすべてリセット（0）されます。
- プログラム・カウンタ（PC）には**0000H**がロードされます。
- **MODE A**レジスタ、**MODE B**レジスタ、**MODE C**レジスタ、および**MODE F**レジスタが**FFH**にセットされ、また**MODE CONTROL C**レジスタ、および**MEMORY MAPPING**レジスタの**MM0, 1, 2**の各ビットがリセット（0）され、ポートA、ポートB、ポートC、ポートD、およびポートFはすべて入力ポート（出力ハイ・インピーダンス）になります。
- テスト・フラグは、**SB**フラグを除いてすべてリセット（0）されます。
- タイマ・モード・レジスタは**FFH**にセットされ、**TIMER F/F**はリセットされます。
- タイマ/イベント・カウンタのモード・レジスタ（**ETMM, EOM**）はリセット（0）されます。
- シリアル・インタフェースのシリアル・モード・ハイ・レジスタ（**SMH**）はリセット（0）され、またシリアル・モード・ロウ・レジスタ（**SML**）は**48H**にセットされます。
- **A/D**コンバータの**A/D**チャンネル・モード・レジスタはリセット（0）されます。
- $\overline{\text{WR}}$, $\overline{\text{RD}}$, **ALE**信号はハイ・インピーダンスになります。
- ゼロクロス・モード・レジスタ（**ZCM**）の**ZC1, ZC2**ビットはセット（1）されます。
- データ・メモリおよび次に示すレジスタの内容は不定となります。
- 内部のタイミング発生器はイニシャライズされます。

スタック・ポインタ（**SP**）

拡張アキュムレータ（**EA, EA'**）、アキュムレータ（**A, A'**）

汎用レジスタ（**B, C, D, E, H, L, B', C', D', E', H', L'**）

各ポートの出力ラッチ

TIMER REG 0, 1（**TM0, TM1**）

TIMER/EVENT COUNTER REG 0, 1（**ETM0, ETM1**）

MEMORY MAPPINGレジスタの**RAE**ビット

テスト・フラグの**SB**フラグ

$\overline{\text{RESET}}$ 入力がハイになるとリセット状態が解除され、**0000H**からプログラムの実行を開始しますが、各種レジスタの内容はプログラムの中で必要に応じてイニシャライズまたは再イニシャライズしてください。

6 命令セット

6.1 オペランドの表現 / 記述方法

表 現 形 式	記 述 方 法
r r1 r2	V, A, B, C, D, E, H, L EAH, EAL, B, C, D, E, H, L A, B, C
sr sr1 sr2 sr3 sr4	PA, PB, PC, PD, PF, MKH, MKL, ANM, SMH, SML, EOM, ETMM, TMM, MM, MCC, MA, MB, MC, MF, TXB, TM0, TM1, ZCM PA, PB, PC, PD, PF, MKH, MKL, ANM, SMH, EOM, TMM, RXB, CR0, CR1, CR2, CR3 PA, PB, PC, PD, PF, MKH, MKL, ANM, SMH, EOM, TMM ETM0, ETM1 ECNT, ECPT
rp rp1 rp2 rp3	SP, B, D, H V, B, D, H, EA SP, B, D, H, EA B, D, H
rpa rpa1 rpa2 rpa3	B, D, H, D+, H+, D-, H- B, D, H B, D, H, D+, H+, D-, H-, D+byte, H+A, H+B, H+EA, H+byte D, H, D++, H++, D+byte, H+A, H+B, H+EA, H+byte
wa	8 bit immediate data
word byte bit	16bit immediate data 8 bit immediate data 3 bit immediate data
f	CY, HC, Z
irf	NMI ^注 , FT0, FT1, F1, F2, FE0, FE1, FEIN, FAD, FSR, FST, ER, OV, AN4, AN5, AN6, AN7, SB

注 NMIはFNMIとも記述できます。

備 考

1. sr~sr4(special register)

PA : PORT A PB : PORT B PC : PORT C PD : PORT D PF : PORT F MA : MODE A MB : MODE B MC : MODE C MCC : MODE CONTROL C MF : MODE F MM : MEMORY MAPPING TM0 : TIMER REG0 TM1 : TIMER REG1 TMM : TIMER MODE ETM0 : TIMER/ EVENT COUNTER REG0 ETM1 : TIMER/ EVENT COUNTER REG1 ECNT : TIMER/ EVENT COUNTER UPCOUNTER ECPT : TIMER/ EVENT COUNTER CAPTURE	ETMM : TIMER/ EVENT COUNTER MODE EOM : TIMER/ EVENT COUNTER OUTPUT MODE ANM : A/D CHANNEL MODE CR0 : A/D CONVERSION RESULT 0~3 CR3 TXB : Tx BUFFER RXB : Rx BUFFER SMH : SERIAL MODE High SML : SERIAL MODE Low MKH : MASK High MKL : MASK Low ZCM : ZERO CROSS MODE
--	--

2. rp~rp3(register pair)

SP : STACK POINTER B : BC D : DE H : HL V : VA EA : EXTENDED ACCUMULATOR

4. f(flag)

CY : CARRY HC : HALF CARRY Z : ZERO

3. rpa~rpa3(rp addressing)

B : (BC) D : (DE) H : (HL) D+ : (DE)+ H+ : (HL)+ D- : (DE)- H- : (HL)- D++ : (DE)++ H++ : (HL)++ D+byte : (DE+byte) H+A : (HL+A) H+B : (HL+B) H+EA : (HL+EA) H+byte : (HL+byte)
--

5. irf (interrupt flag)

NMI : NMI INPUT FT0 : INTFT0 FT1 : INTFT1 F1 : INTF1 F2 : INTF2 FE0 : INTFE0 FE1 : INTFE1 FEIN : INTFEIN FAD : INTFAD FSR : INTFSR FST : INTFST ER : ERROR OV : OVERFLOW AN4 : ANALOG INPUT4~7 AN7 SB : STANDBY
--

6.2 命令コードの記号説明

r

R ₂	R ₁	R ₀	reg
0	0	0	V
0	0	1	A
0	1	0	B
0	1	1	C
1	0	0	D
1	0	1	E
1	1	0	H
1	1	1	L

↑
r
↓

r1

T ₂	T ₁	T ₀	reg
0	0	0	E A H
0	0	1	E A L
0	1	0	B
0	1	1	C
1	0	0	D
1	0	1	E
1	1	0	H
1	1	1	L

rpa

A ₃	A ₂	A ₁	A ₀	addressing
0	0	0	0	—
0	0	0	1	(BC)
0	0	1	0	(DE)
0	0	1	1	(HL)
0	1	0	0	(DE) ⁺
0	1	0	1	(HL) ⁺
0	1	1	0	(DE) ⁻
0	1	1	1	(HL) ⁻
1	0	1	1	(DE+byte)
1	1	0	0	(HL+A)
1	1	0	1	(HL+B)
1	1	1	0	(HL+EA)
1	1	1	1	(HL+byte)

↑ rpa1
↑ rpa
↑ rpa2

sr

S ₅	S ₄	S ₃	S ₂	S ₁	S ₀	Special-reg
0	0	0	0	0	0	PA
0	0	0	0	0	1	PB
0	0	0	0	1	0	PC
0	0	0	0	1	1	PD
0	0	0	1	0	1	PF
0	0	0	1	1	0	MKH
0	0	0	1	1	1	MKL
0	0	1	0	0	0	ANM
0	0	1	0	0	1	SMH
0	0	1	0	1	0	SML
0	0	1	0	1	1	EOM
0	0	1	1	0	0	ETMM
0	0	1	1	0	1	TMM
0	1	0	0	0	0	MM
0	1	0	0	0	1	MCC
0	1	0	0	1	0	MA
0	1	0	0	1	1	MB
0	1	0	1	0	0	MC
0	1	0	1	1	1	MF
0	1	1	0	0	0	TXB
0	1	1	0	0	1	RXB
0	1	1	0	1	0	TM0
0	1	1	0	1	1	TM1
1	0	0	0	0	0	CR0
1	0	0	0	0	1	CR1
1	0	0	0	1	0	CR2
1	0	0	0	1	1	CR3
1	0	1	0	0	0	ZCM

↑ sr
↑ sr1
↑ sr2

rpa3

C ₃	C ₂	C ₁	C ₀	addressing
0	0	1	0	(DE)
0	0	1	1	(HL)
0	1	0	0	(DE) ⁺⁺
0	1	0	1	(HL) ⁺⁺
1	0	1	1	(DE+byte)
1	1	0	0	(HL+A)
1	1	0	1	(HL+B)
1	1	1	0	(HL+EA)
1	1	1	1	(HL+byte)

irf

I ₄	I ₃	I ₂	I ₁	I ₀	INTF
0	0	0	0	0	NMI
0	0	0	0	1	FT0
0	0	0	1	0	FT1
0	0	0	1	1	F1
0	0	1	0	0	F2
0	0	1	0	1	FE0
0	0	1	1	0	FE1
0	0	1	1	1	FEIN
0	1	0	0	0	FAD
0	1	0	0	1	FSR
0	1	0	1	0	FST
0	1	0	1	1	ER
0	1	1	0	0	OV
1	0	0	0	0	AN4
1	0	0	0	1	AN5
1	0	0	1	0	AN6
1	0	0	1	1	AN7
1	0	1	0	0	SB

sr3

U ₀	Special-reg
0	ETM0
1	ETM1

sr4

V ₀	Special-reg
0	ECNT
1	ECPT

rp

P ₂	P ₁	P ₀	reg-pair
0	0	0	SP
0	0	1	BC
0	1	0	DE
0	1	1	HL
1	0	0	EA

↑ rp
↑ rp2
↑ rp3

rp1

Q ₂	Q ₁	Q ₀	reg-pair
0	0	0	VA
0	0	1	BC
0	1	0	DE
0	1	1	HL
1	0	0	EA

f

F ₂	F ₁	F ₀	フラグ
0	0	0	—
0	1	0	CY
0	1	1	HC
1	0	0	Z

6.3 命令実行時間について

ここに示されている1ステートは3クロック・サイクルからなっており、12MHzのクロックを使用した場合、250ns ($= 3 \times \frac{1}{12} \mu\text{s}$)となります。このとき、最小実行時間の4ステート命令は1 μ sの実行時間となります。

命令群	ニモニック	オペランド	命令コード				スタート	オペレーション	スキップ条件
			B1	B2	B3	B4			
8ビット・データ転送命令		r1, A	0 0 0 1 1 T ₂ T ₁ T ₀				4	r1 ← A	
		A, r1	0 0 0 0 1 T ₂ T ₁ T ₀				4	A ← r1	
	*	sr, A	0 1 0 0 1 1 0 1	1 1 S ₃ S ₄ S ₃ S ₂ S ₁ S ₀			10	sr ← A	
	*	A, sr1	0 1 0 0 1 1 0 0	1 1 S ₃ S ₄ S ₃ S ₂ S ₁ S ₀			10	A ← sr1	
		r, word	0 1 1 1 0 0 0 0	0 1 1 0 1 R ₂ R ₁ R ₀	Low Adrs	High Adrs	17	r ← (word)	
		word, r	0 1 1 1 0 0 0 0	0 1 1 1 1 R ₂ R ₁ R ₀	Low Adrs	High Adrs	17	(word) ← r	
	*	r, byte	0 1 1 0 1 R ₂ R ₁ R ₀	← Data →			7	r ← byte	
		sr2, byte	0 1 1 0 0 1 0 0	S ₃ 0 0 0 0 S ₂ S ₁ S ₀	Data		14	sr2 ← byte	
	*	wa, byte	0 1 1 1 0 0 0 1	← Offset →	Data		13	(V.wa) ← byte	
	*	rpa1, byte	0 1 0 0 1 0 A ₁ A ₀	← Data →			10	(rpa1) ← byte	
*	wa	0 1 1 0 0 0 1 1	← Offset →			10	(V.wa) ← A		
*	wa	0 0 0 0 0 0 0 1	← Offset →			10	A ← (V.wa)		
*	rpa2	A ₃ 0 1 1 1 A ₂ A ₁ A ₀	注1 Data			注3 7/13	(rpa2) ← A		
*	rpa2	A ₃ 0 1 0 1 A ₂ A ₁ A ₀	注1 Data			注3 7/13	A ← (rpa2)		
	EXX	0 0 0 1 0 0 0 1				4	{ B ↔ B', C ↔ C', D ↔ D', E ↔ E', H ↔ H', L ↔ L' }		
	EXA	0 0 0 1 0 0 0 0				4	V.A ↔ V', A', EA ↔ EA'		
	EXH	0 1 0 1 0 0 0 0				4	H, L ↔ H', L'		
	BLOCK	0 0 1 1 0 0 0 1				13 (C+1) End if borrow	(DE) ← (HL) +, C ← C - 1		
16ビット転送命令		rp3, EA	1 0 1 1 0 1 P ₁ P ₀			4	rp3L ← EAL, rp3H ← EAH		
		EA, rp3	1 0 1 0 0 1 P ₁ P ₀			4	EAL ← rp3L, EAH ← rp3H		

命令群	ニック	オペランド	命令コード				アドレス		ステート	オペレーション	スキップ条件
			B1	B2	B3	B4	Low Adrs	High Adrs			
16ビットデータ転送命令	DMOV	sr3, EA	01001000	1101001U ₀					14	sr3←EA	
		EA, sr4		1100000V ₀					14	EA←sr4	
	SBCD	word	01110000	00011110	Low Adrs	High Adrs		20	(word)←C, (word+1)←B		
	SDED	word		00101110				20	(word)←E, (word+1)←D		
命令	SHLD	word		00111110				20	(word)←L, (word+1)←H		
	SSPD	word		00001110				20	(word)←SP _L , (word+1)←SP _H		
	STEAX	rpa3	01001000	1001C ₂ C ₁ C ₀	注2 Data			注3 14/20	(rpa3)←EAL, (rpa3+1)←EAH		
	LBCD	word	01110000	00011111	Low Adrs	High Adrs		20	C←(word), B←(word+1)		
命令	LDED	word		00101111				20	E←(word), D←(word+1)		
	LHLD	word		00111111				20	L←(word), H←(word+1)		
	LSPD	word		00001111				20	SP _L ←(word), SP _H ←(word+1)		
	LDEAX	rpa3	01001000	1000C ₂ C ₁ C ₀	注2 Data			注3 14/20	EAL←(rpa3), EAH←(rpa3+1)		
命令	PUSH	rp1	10110Q ₂ Q ₁ Q ₀					13	(SP-1)←rp1 _H , (SP-2)←rp1 _L SP←SP-2		
	POP	rp1	10100Q ₂ Q ₁ Q ₀					10	rp1 _L ←(SP), rp1 _H ←(SP+1) SP←SP+2		
命令	LXI	rp2, word	0P ₂ P ₁ P ₀ 0100	←Low Byte	High Byte			10	rp2←word		
	TABLE		01001000	10101000				17	C←(PC+3+A) B←(PC+3+A+1)		
	ADD	A, r	01100000	11000R ₂ R ₁ R ₀					8	A←A+r	
		r, A		0100					8	r←r+A	
命令	ADC	A, r		1101				8	A←A+r+CY		
		r, A		0101				8	r←r+A+CY		

命令群	オペランド	命令				スタート	オペレーション	スキップ条件
		B1	B2	B3	B4			
ADDNC	A, r	01100000	10100R ₂ R ₁ R ₀			8	A←A+r	No Carry
	r, A		0010			8	r←r+A	No Carry
SUB	A, r		1110			8	A←A-r	
	r, A		0110			8	r←r-A	
SBB	A, r		1111			8	A←A-r-CY	
	r, A		0111			8	r←r-A-CY	
SUBNB	A, r		1011			8	A←A-r	No Borrow
	r, A		0011			8	r←r-A	No Borrow
ANA	A, r		10001R ₂ R ₁ R ₀			8	A←A∧r	
	r, A		0000			8	r←r∧A	
ORA	A, r		1001			8	A←A∨r	
	r, A		0001			8	r←r∨A	
XRA	A, r		10010R ₂ R ₁ R ₀			8	A←A∨r	
	r, A		0001			8	r←r∨A	
GTA	A, r		10101R ₂ R ₁ R ₀			8	A-r-1	No Borrow
	r, A		0010			8	r-A-1	No Borrow
LTA	A, r		1011			8	A-r	Borrow
	r, A		0011			8	r-A	Borrow
NEA	A, r		1110			8	A-r	No Zero
	r, A		0110			8	r-A	No Zero

8ビット演算命令(レジスタ)

命令群	ニモニック	オペランド	命令				スタート	オペレーション	スキップ条件
			B1	B2	B3	B4			
8ビットレジスタ演算命令	EQA	A, r	01100000	11111R ₂ R ₁ R ₀			8	A ← r	Zero
		r, A		01111			8	r ← A	Zero
	ONA	A, r		1100			8	A ∧ r	No Zero
	OFFA	A, r		1101			8	A ∧ r	Zero
8ビット演算命令(メモリ)	ADDX	rpa	01110000	11000A ₂ A ₁ A ₀			11	A ← A + (rpa)	
	ADCX	rpa		1101			11	A ← A + (rpa) + CY	
	ADDNCX	rpa		1010			11	A ← A + (rpa)	No Carry
	SUBX	rpa		1110			11	A ← A - (rpa)	
	SBBX	rpa		1111			11	A ← A - (rpa) - CY	
	SUBNBX	rpa		1011			11	A ← A - (rpa)	No Borrow
	ANAX	rpa		10001A ₂ A ₁ A ₀			11	A ← A ∧ (rpa)	
	ORAX	rpa		1001			11	A ← A ∨ (rpa)	
	XRAX	rpa		10010A ₂ A ₁ A ₀			11	A ← A ⊕ (rpa)	
	GTAX	rpa		10101A ₂ A ₁ A ₀			11	A - (rpa) - 1	No Borrow
	LTAX	rpa		1011			11	A - (rpa)	Borrow
	NEAX	rpa		1110			11	A - (rpa)	No Zero
EQAX	EQAX	rpa		1111			11	A - (rpa)	Zero
		rpa		1100			11	A ∧ (rpa)	No Zero
	ONAX	rpa		1100			11	A ∧ (rpa)	No Zero
	OFFAX	rpa		1101			11	A ∧ (rpa)	Zero

命令群	オペランド	命令コード				スタート	オペレーション	スキップ条件
		B1	B2	B3	B4			
ADI	* A, byte	01000110	← Data →			7	$A \leftarrow A + \text{byte}$	
	r, byte	01110100	01000R ₂ R ₁ R ₀	Data		11	$r \leftarrow r + \text{byte}$	
	sr2, byte	0110	S ₃ 1000S ₂ S ₁ S ₀	↓		20	$sr2 \leftarrow sr2 + \text{byte}$	
ACI	* A, byte	01010110	← Data →			7	$A \leftarrow A + \text{byte} + CY$	
	r, byte	01110100	01010R ₂ R ₁ R ₀	Data		11	$r \leftarrow r + \text{byte} + CY$	
	sr2, byte	0110	S ₃ 1010S ₂ S ₁ S ₀	↓		20	$sr2 \leftarrow sr2 + \text{byte} + CY$	
ADINC	* A, byte	00100110	← Data →			7	$A \leftarrow A + \text{byte}$	No Carry
	r, byte	01110100	00100R ₂ R ₁ R ₀	Data		11	$r \leftarrow r + \text{byte}$	No Carry
	sr2, byte	0110	S ₃ 0100S ₂ S ₁ S ₀	↓		20	$sr2 \leftarrow sr2 + \text{byte}$	No Carry
SUI	* A, byte	01100110	← Data →			7	$A \leftarrow A - \text{byte}$	
	r, byte	01110100	01100R ₂ R ₁ R ₀	Data		11	$r \leftarrow r - \text{byte}$	
	sr2, byte	0110	S ₃ 1100S ₂ S ₁ S ₀	↓		20	$sr2 \leftarrow sr2 - \text{byte}$	
SBI	* A, byte	01110110	← Data →			7	$A \leftarrow A - \text{byte} - CY$	
	r, byte	01110100	01110R ₂ R ₁ R ₀	Data		11	$r \leftarrow r - \text{byte} - CY$	
	sr2, byte	0110	S ₃ 1110S ₂ S ₁ S ₀	↓		20	$sr2 \leftarrow sr2 - \text{byte} - CY$	
SUINB	* A, byte	00110110	← Data →			7	$A \leftarrow A - \text{byte}$	No Borrow
	r, byte	01110100	00110R ₂ R ₁ R ₀	Data		11	$r \leftarrow r - \text{byte}$	No Borrow
	sr2, byte	0110	S ₃ 0110S ₂ S ₁ S ₀	↓		20	$sr2 \leftarrow sr2 - \text{byte}$	No Borrow
ANI	* A, byte	00000111	← Data →			7	$A \leftarrow A \wedge \text{byte}$	
	r, byte	01110100	00001R ₂ R ₁ R ₀	Data		11	$r \leftarrow r \wedge \text{byte}$	

イニテイト・データ演算命令

命令群	ニック	オペランド	命令				スタート	オペレーション	スキップ条件
			B1	B2	B3	B4			
ANI	*	sr2, byte	01100100	S ₃ 0001S ₂ S ₁ S ₀	Data		20	sr2←sr2∧byte	
		A, byte	00010111	←Data			7	A←A∨byte	
ORI		r, byte	01110100	00011R ₂ R ₁ R ₀	Data		11	r←r∨byte	
		sr2, byte	0110	S ₃ 0011S ₂ S ₁ S ₀	↓		20	sr2←sr2∨byte	
XRI	*	A, byte	00010110	←Data			7	A←A∨byte	
		r, byte	01110100	00010R ₂ R ₁ R ₀	Data		11	r←r∨byte	
		sr2, byte	0110	S ₃ 0010S ₂ S ₁ S ₀	↓		20	sr2←sr2∨byte	
		A, byte	00100111	←Data			7	A-byte-1	No Borrow
GTI		r, byte	01110100	00101R ₂ R ₁ R ₀	Data		11	r-byte-1	No Borrow
		sr2, byte	0110	S ₃ 0101S ₂ S ₁ S ₀	↓		14	sr2-byte-1	No Borrow
LTI	*	A, byte	00110111	←Data			7	A-byte	Borrow
		r, byte	01110100	00111R ₂ R ₁ R ₀	Data		11	r-byte	Borrow
		sr2, byte	0110	S ₃ 0111S ₂ S ₁ S ₀	↓		14	sr2-byte	Borrow
		A, byte	01100111	←Data			7	A-byte	No Zero
NEI		r, byte	01110100	01101R ₂ R ₁ R ₀	Data		11	r-byte	No Zero
		sr2, byte	0110	S ₃ 1101S ₂ S ₁ S ₀	↓		14	sr2-byte	No Zero
EQI	*	A, byte	01110111	←Data			7	A-byte	Zero
		r, byte	01110100	01111R ₂ R ₁ R ₀	Data		11	r-byte	Zero
		sr2, byte	0110	S ₃ 1111S ₂ S ₁ S ₀	↓		14	sr2-byte	Zero

イミデータ演算命令

命令群	ニック	オペランド	命令				スタート	オペレーション	スキップ条件
			B1	B2	B3	B4			
ONI	*	A,byte	01000111	←Data→			7	A^byte	No Zero
		r,byte	01110100	01001R ₂ R ₁ R ₀	Data		11	r^byte	No Zero
		sr2,byte	0110	S ₃ 1001S ₂ S ₁ S ₀			14	sr2^byte	No Zero
OFFI	*	A,byte	01010111	←Data→			7	A^byte	Zero
		r,byte	01110100	01011R ₂ R ₁ R ₀	Data		11	r^byte	Zero
		sr2,byte	0110	S ₃ 1011S ₂ S ₁ S ₀			14	sr2^byte	Zero
ADDW		wa	01110100	11000000	offset		14	A←A+(V.wa)	
ADCW		wa		1101			14	A←A+(V.wa)+CY	
ADDNCW		wa		1010			14	A←A+(V.wa)	No Carry
SUBW		wa		1110			14	A←A-(V.wa)	
SBBW		wa		1111			14	A←A-(V.wa)-CY	
SUBNBW		wa		1011			14	A←A-(V.wa)	No Borrow
ANAW		wa		10001000			14	A←A^(V.wa)	
ORAW		wa		1001			14	A←A∨(V.wa)	
XRAW		wa		10010000			14	A←A⊕(V.wa)	
GTAW		wa		10101000			14	A-(V.wa)-1	No Borrow
LTAW		wa		1011			14	A-(V.wa)	Borrow
NEAW		wa		1110			14	A-(V.wa)	No Zero
EQAW		wa		1111			14	A-(V.wa)	Zero
ONAW		wa		1100			14	A^(V.wa)	No Zero

命令群: イントライト・データ演算命令 / フォーミング・レジスタ演算命令

命令群	オペランド	命令コード				スタート	オペレーション	スキップ条件
		B1	B2	B3	B4			
OFFAW	wa	01110100	11011000	Offset		14	$A \wedge (V.wa)$	Zero
ANIW *	wa,byte	0000101	← Offset →	Data		19	$(V.wa) \leftarrow (V.wa) \wedge \text{byte}$	
ORIW *	wa,byte	0001				19	$(V.wa) \leftarrow (V.wa) \vee \text{byte}$	
GTIW *	wa,byte	0010				13	$(V.wa) - \text{byte} - 1$	No Borrow
LTIW *	wa,byte	0011				13	$(V.wa) - \text{byte}$	Borrow
NEIW *	wa,byte	0110				13	$(V.wa) - \text{byte}$	No Zero
EQIW *	wa,byte	0111				13	$(V.wa) - \text{byte}$	Zero
ONIW *	wa,byte	0100				13	$(V.wa) \wedge \text{byte}$	No Zero
OFFIW *	wa,byte	0101				13	$(V.wa) \wedge \text{byte}$	Zero
EADD	EA, r2	01110000	010000R ₁ R ₀			11	$EA \leftarrow EA + r2$	
DADD	EA, rp3	0100	110001P ₁ P ₀			11	$EA \leftarrow EA + rp3$	
DADC	EA, rp3		1101			11	$EA \leftarrow EA + rp3 + CY$	
DADDNC	EA, rp3		1010			11	$EA \leftarrow EA + rp3$	No Carry
ESUB	EA, r2	0000	011000R ₁ R ₀			11	$EA \leftarrow EA - r2$	
DSUB	EA, rp3	0100	111001P ₁ P ₀			11	$EA \leftarrow EA - rp3$	
DSBB	EA, rp3		1111			11	$EA \leftarrow EA - rp3 - CY$	
DSUBNB	EA, rp3		1011			11	$EA \leftarrow EA - rp3$	No Borrow
DAN	EA, rp3		100011P ₁ P ₀			11	$EA \leftarrow EA \wedge rp3$	
DOR	EA, rp3		1001			11	$EA \leftarrow EA \vee rp3$	
DXR	EA, rp3		100101P ₁ P ₀			11	$EA \leftarrow EA \vee rp3$	

ワーキング・レジスタ演算命令

16ビット演算命令

命令群	ニック	オペランド	命令コード				スタート	オペレーション	スキップ条件
			B1	B2	B3	B4			
16ビット演算命令	DGT	EA, rp3	01110100	101011P ₁ P ₀		B4	11	EA ← rp3 - 1	No Borrow
	DLT	EA, rp3		1011			11	EA ← rp3	Borrow
	DNE	EA, rp3		1110			11	EA ← rp3	No Zero
	DEQ	EA, rp3		1111			11	EA ← rp3	Zero
	DON	EA, rp3		1100			11	EA ∧ rp3	No Zero
	DOFF	EA, rp3		1101			11	EA ∧ rp3	Zero
	MUL	r2		01001000	001011R ₁ R ₀		32	EA ← A × r2	
	DIV	r2			0011		59	EA ← EA ÷ r2, r2 ← 余り	
	INR	r2		010000R ₁ R ₀			4	r2 ← r2 + 1	Carry
	INRW*	wa		00100000	← Offset →		16	(V.wa) ← (V.wa) + 1	Carry
増減命令	INX	rp	00P ₁ P ₀ 0010				7	rp ← rp + 1	
		EA	10101000				7	EA ← EA + 1	
	DCR	r2	010100R ₁ R ₀				4	r2 ← r2 - 1	Borrow
命令	DCRW*	wa	00110000	← Offset →			16	(V.wa) ← (V.wa) - 1	Borrow
	DCX	rp	00P ₁ P ₀ 0011				7	rp ← rp - 1	
		EA	10101001				7	EA ← EA - 1	
その他の演算命令	DAA		01100001				4	Decimal Adjust Accumulator	
	STC		01001000	00101011			8	CY ← 1	
	CLC			00101010			8	CY ← 0	
	NEGA			00111010			8	A ← \bar{A} + 1	

命令群	ニモニック	オペランド	命令				スタート	オペレーション	スキップ条件
			B1	B2	B3	B4			
ローレシヨン・シフト命令	RLD		01001000	00111000			17	Rotate Left Digit	
	RRD			1001			17	Rotate Right Digit	
	RLL	r2		01R ₁ R ₀			8	$r_{2m+1} \leftarrow r_{2m}, r_{20} \leftarrow CY, CY \leftarrow r_{27}$	
	RLR	r2		00R ₁ R ₀			8	$r_{2m-1} \leftarrow r_{2m}, r_{27} \leftarrow CY, CY \leftarrow r_{20}$	
	SLL	r2		001001R ₁ R ₀			8	$r_{2m+1} \leftarrow r_{2m}, r_{20} \leftarrow 0, CY \leftarrow r_{27}$	
	SLR	r2		00R ₁ R ₀			8	$r_{2m-1} \leftarrow r_{2m}, r_{27} \leftarrow 0, CY \leftarrow r_{20}$	
	SLLC	r2		000001R ₁ R ₀			8	$r_{2m+1} \leftarrow r_{2m}, r_{20} \leftarrow 0, CY \leftarrow r_{27}$	Carry
	SLRC	r2		00R ₁ R ₀			8	$r_{2m-1} \leftarrow r_{2m}, r_{27} \leftarrow 0, CY \leftarrow r_{20}$	Carry
	DRLL	EA			10110100		8	$EA_{n+1} \leftarrow EA_n, EA_0 \leftarrow CY, CY \leftarrow EA_{15}$	
	DRLR	EA			0000		8	$EA_{n-1} \leftarrow EA_n, EA_{15} \leftarrow CY, CY \leftarrow EA_0$	
DSSL	EA			10100100		8	$EA_{n+1} \leftarrow EA_n, EA_0 \leftarrow 0, CY \leftarrow EA_{15}$		
DSLRL	EA			0000		8	$EA_{n-1} \leftarrow EA_n, EA_{15} \leftarrow 0, CY \leftarrow EA_0$		
ジャンプ命令	JMP	word	01010100	Low Adrs	High Adrs		10	PC ← word	
	JB		00100001				4	PC _H ← B, PC _L ← C	
	JR	word	11 ← jdisp1				10	PC ← PC + 1 + jdisp1	
	JRE	word	0100111 ← jdisp				10	PC ← PC + 2 + jdisp	
コール命令	JEA		01001000	00101000			8	PC ← EA	
	CALL	word	01000000	Low Adrs	High Adrs		16	$(SP-1) \leftarrow (PC+3)_H, (SP-2) \leftarrow (PC+3)_L$ PC ← word, SP ← SP - 2	
	CALB		01001000	00101001			17	$(SP-1) \leftarrow (PC+2)_H, (SP-2) \leftarrow (PC+2)_L$ PC _H ← B, PC _L ← C, SP ← SP - 2	
	CALF	word	011111 ← fa				13	$(SP-1) \leftarrow (PC+2)_H, (SP-2) \leftarrow (PC+2)_L$ PC _{15-11} ← 00001, PC_{10-0} ← fa, SP ← SP - 2}}	

命令群	命令	命令コード				スタート	オペレーション	スキップ条件
		B1	B2	B3	B4			
コアム命令	CALT	1 0 0 ← ta →				16	$(SP-1) \leftarrow (PC+1)_H, (SP-2) \leftarrow (PC+1)_L$ $PC_L \leftarrow (128+2ta), PC_H \leftarrow (129+2ta), SP \leftarrow SP-2$	
	SOFTI	0 1 1 1 0 0 1 0				16	$(SP-1) \leftarrow PSW, (SP-2) \leftarrow (PC+1)_H, (SP-3) \leftarrow (PC+1)_L, PC \leftarrow 0060H, SP \leftarrow SP-3$	
リターン命令	RET	1 0 1 1 1 0 0 0				10	$PC_L \leftarrow (SP), PC_H \leftarrow (SP+1), SP \leftarrow SP+2$	
	RETS	1 0 0 1				10	$PC_L \leftarrow (SP), PC_H \leftarrow (SP+1), SP \leftarrow SP+2$ $PC \leftarrow PC+n'$	無条件スキップ
スキップ命令	RETI	0 1 1 0 0 0 1 0				13	$PC_L \leftarrow (SP), PC_H \leftarrow (SP+1), PSW \leftarrow (SP+2), SP \leftarrow SP+3$	
	BIT	0 1 0 1 1 B ₂ B ₁ B ₀	← Offset →			10	Skip if (V.wa) bit = 1	(V.wa)bit = 1
スキップ命令	SK	0 1 0 0 1 0 0 0	0 0 0 0 1 F ₂ F ₁ F ₀			8	Skip if f = 1	f = 1
	SKN		0 0 0 1			8	Skip if f = 0	f = 0
スキップ命令	SKIT		0 1 0 I ₄ I ₃ I ₂ I ₁ I ₀			8	Skip if irf = 1, then reset irf	irf = 1
	SKNIT		0 1 1 I ₄ I ₃ I ₂ I ₁ I ₀			8	Skip if irf = 0 Reset irf, if irf = 1	irf = 0
CPU制御命令	NOP	0 0 0 0 0 0 0 0				4	No Operation	
	EI	1 0 1 0 1 0 1 0				4	Enable Interrupt	
	DI	1 0 1 1 1 0 1 0				4	Disable Interrupt	
	HLT	0 1 0 0 1 0 0 0	0 0 1 1 1 0 1 1			12	Set Halt Mode	
	STOP	0 1 0 0 1 0 0 0	1 0 1 1 1 0 1 1			12	Set Stop Mode	

注1. B2 (Data) は rpa2=D+byte, H+byte の場合です。
 注2. B3 (Data) は rpa3=D+byte, H+byte の場合です。
 注3. スタートの項でラッシュされる場合のアイドル・スタートは実行スタートとは異なります。
 備考 各命令がスキップされる場合のアイドル・スタートは実行スタートとは異なります。

1 バイト命令	: 4 スタート
2 バイト命令 (*印付き)	: 7 スタート
2 バイト命令	: 8 スタート
3 バイト命令 (*印付き)	: 10 スタート
3 バイト命令	: 11 スタート
4 バイト命令	: 14 スタート

7. モード・レジスタの一覧

モード・レジスタ名		Read / Write	機 能
MA	MODE Aレジスタ	W	ポートAの入力/出力の指定をビット単位に行います。
MB	MODE Bレジスタ	W	ポートBの入力/出力の指定をビット単位に行います。
MCC	MODE CONTROL Cレジスタ	W	ポートCのポート/コントロール・モードの指定をビット単位に行います。
MC	MODE Cレジスタ	W	ポート・モードになっているポートCの入力/出力の指定をビット単位に行います。
MM	MEMORY MAPPING レジスタ	W	ポートD, ポートFのポート/拡張モードの指定を行います。
MF	MODE Fレジスタ	W	ポート・モードになっているポートFの入力/出力の指定をビット単位に行います。
TMM	タイマ・モード・レジスタ	R/W	タイマの動作モードを指定します。
ETMM	タイマ/イベント・カウンタ・ モード・レジスタ	W	タイマ/イベント・カウンタの動作モードを指定します。
EOM	タイマ/イベント・カウンタ・ アウトプット・モード・レジスタ	R/W	CO0, CO1の出力レベルを制御します。
SML	シリアル・モード・レジスタ	W	シリアル・インタフェースの動作モードを指定します。
SMH		R/W	
MKL	割り込みマスク・レジスタ	R/W	割り込み要求の許可/禁止を指定します。
MKH			
ANM	A/D チャンネル・モード・レジスタ	R/W	A/D コンバータの動作モードを指定します。
ZCM	ゼロクロス・モード・レジスタ	W	ゼロクロス検出回路の動作を指定します。

★

8. 電気的特性

絶対最大定格 ($T_A = 25^\circ\text{C}$)

項 目	略 号	条 件	定 格	単 位
電 源 電 圧	V_{DD}		$-0.5 \sim +7.0$	V
	AV_{DD}		$AV_{SS} \sim V_{DD} + 0.5$	V
	AV_{SS}		$-0.5 \sim +0.5$	V
入 力 電 圧	V_I		$-0.5 \sim V_{DD} + 0.5$	V
出 力 電 圧	V_O		$-0.5 \sim V_{DD} + 0.5$	V
ロウ・レベル出力電流	I_{OL}	全出力端子	4.0	mA
		全出力端子合計	100	mA
ハイ・レベル出力電流	I_{OH}	全出力端子	-2.0	mA
		全出力端子合計	-50	mA
A/Dコンバータ基準入力電圧	V_{AREF}		$-0.5 \sim AV_{DD} + 0.3$	V
動 作 周 囲 温 度	T_A		$-40 \sim +85$	$^\circ\text{C}$
保 存 温 度	T_{stg}		$-65 \sim +150$	$^\circ\text{C}$

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。
 つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない
 状態で、製品をご使用ください。

★

発振器特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = AV_{DD} = +5.0\text{V} \pm 10\%$, $V_{SS} = AV_{SS} = 0\text{V}$,
 $V_{DD} - 0.8\text{V} \leq AV_{DD} \leq V_{DD}$, $3.4\text{V} \leq V_{AREF} \leq AV_{DD}$)

発振子	推奨回路	項目	条件	MIN.	MAX.	単位
注1 セラミック 発振子 または 注2 水晶振動子		発振周波数 (f_{XX})	A/Dコンバータ 使用しない	4	15	MHz
			A/Dコンバータ 使用する	5.8	15	MHz
外部 クロック		X1入力周波数 (f_X)	A/Dコンバータ 使用しない	4	15	MHz
			A/Dコンバータ 使用する	5.8	15	MHz
		X1入力立ち上がり, 立ち下がり時間 (t_r, t_f)		0	20	ns
		X1入力ハイ, ロウ・レベル幅 ($t_{\phi H}, t_{\phi L}$)		20	250	ns

注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。

2. の範囲に他の信号線を通さないでください。

注1. セラミック発振子および外付け容量として下表のものを推奨します。

	メーカー	品名	推奨定数	
			C1 [pF]	C2 [pF]
15 MHz品	村田製作所	CSA15.0MX3	22	22
		CSA12.0MT	30	30
		CST12.0MT	内蔵	内蔵
		CSA10.0MT	30	30
		CST10.0MT	内蔵	内蔵
		CSA6.00MG	30	30
		CST6.00MG	内蔵	内蔵
	TDK	FCR12.0MC	内蔵	内蔵
12 MHz品	村田製作所	CSA12.0MT18	30	30
		CST12.0MT18	内蔵	内蔵

2. 水晶振動子を用いる場合は, 外付け容量として次のものを推奨します。

$$C1 = C2 = 10\text{ pF}$$

容量 ($T_A = 25^\circ\text{C}$, $V_{DD} = V_{SS} = 0\text{V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入 力 容 量	C_I	$f_c = 1\text{MHz}$ 被測定端子以外は0V			10	pF
出 力 容 量	C_O				20	pF
入 出 力 容 量	C_{IO}				20	pF

DC特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = AV_{DD} = +5.0\text{V} \pm 10\%$, $V_{SS} = AV_{SS} = 0\text{V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ロウ・レベル入力電圧	V_{IL1}	RESET, STOP, NMI, SCK, INT1, TI, AN4-AN7 以外	0		0.8	V
	V_{IL2}	RESET, STOP, NMI, SCK, INT1, TI, AN4-AN7	0		$0.2V_{DD}$	V
ハイ・レベル入力電圧	V_{IH1}	RESET, STOP, NMI, SCK, INT1, TI, AN4-AN7, X1, X2以外	2.2		V_{DD}	V
	V_{IH2}	RESET, STOP, NMI, SCK, INT1, TI, AN4-AN7, X1, X2	$0.8V_{DD}$		V_{DD}	V
ロウ・レベル出力電圧	V_{OL}	$I_{OL} = 2.0\text{mA}$			0.45	V
ハイ・レベル出力電圧	V_{OH}	$I_{OH} = -1.0\text{mA}$	$V_{DD} - 1.0$			V
		$I_{OH} = -100\mu\text{A}$	$V_{DD} - 0.5$			V
入 力 電 流	I_I	INT1 ^{注1} , TI(PC3) ^{注2} ; $0\text{V} \leq V_I \leq V_{DD}$			± 200	μA
入 力 リーク電流	I_{LI}	INT1, TI(PC3)以外; $0\text{V} \leq V_I \leq V_{DD}$			± 10	μA
出 力 リーク電流	I_{LO}	$0\text{V} \leq V_O \leq V_{DD}$			± 10	μA
AV _{DD} 電 源 電 流	AI _{DD1}	動作モード $f_{XX} = 15\text{MHz}$		0.5	1.3	mA
	AI _{DD2}	STOPモード		10	20	μA
V _{DD} 電 源 電 流 ^{注4}	I _{DD1}	動作モード $f_{XX} = 15\text{MHz}$		16	30	mA
	I _{DD2}	HALTモード $f_{XX} = 15\text{MHz}$		8	15	mA
データ保持電圧	V_{DDDR}	ハードウェア/ソフトウェア STOP モード	2.5			V
データ保持電流 ^{注4}	I _{DDDR}	ハードウェア/ソフトウェア ^{注3} STOPモード	$V_{DDDR} = 2.5\text{V}$	1	15	μA
			$V_{DDDR} = 5\text{V} \pm 10\%$	10	50	μA
プルアップ抵抗	R_L	ポートA, B, C $3.5\text{V} \leq V_{DD} \leq 5.5\text{V}; V_I = 0\text{V}$	22	50	150	k Ω

注1. ZCMレジスタによってセルフバイアスを発生するとした場合

2. MCCレジスタによってコントロール・モードにした場合で、ZCMレジスタによってセルフバイアスを発生するとした場合

3. セルフバイアスを発生していないとき

4. 内蔵プルアップ抵抗に流れる電流は含みません。

AC特性 (T_A = -40 ~ +85 °C, V_{DD} = AV_{DD} = +5.0 V ± 10%, V_{SS} = AV_{SS} = 0 V)

リード/ライト・オペレーション:

項 目	略 号	条 件	MIN.	MAX.	単 位
X1 入力サイクル・タイム	t _{CYC}		66	250	ns
アドレス・セットアップ時間(対ALE↓)	t _{AL}		30		ns
アドレス・ホールド時間(対ALE↓)	t _{LA}	f _{XX} =15 MHz, C _L =100 pF	35		ns
アドレス → RD↓遅延時間	t _{AR}		100		ns
RD↓→アドレス・フロート時間	t _{AFR}	C _L =100 pF		20	ns
アドレス→データ入力時間	t _{AD}			250	ns
ALE ↓ → データ入力時間	t _{LDR}	f _{XX} =15 MHz, C _L =100 pF		135	ns
RD ↓ → データ入力時間	t _{RD}			120	ns
ALE ↓ → RD ↓ 遅延時間	t _{LR}		15		ns
データ・ホールド時間(対RD↑)	t _{RDH}	C _L =100 pF	0		ns
RD ↑ → ALE ↑ 遅延時間	t _{RL}	f _{XX} =15 MHz, C _L =100 pF	80		ns
RD ロウ・レベル幅	t _{RR}	データ・リード時 f _{XX} =15 MHz, C _L =100 pF	215		ns
		OPコード・フェッチ時 f _{XX} =15 MHz, C _L =100 pF	415		ns
ALE ハイ・レベル幅	t _{LL}	f _{XX} =15 MHz, C _L =100 pF	90		ns
M _I セットアップ時間(対ALE↓)	t _{ML}	f _{XX} =15 MHz	30		ns
M _I ホールド時間(対ALE↓)	t _{LM}		35		ns
IO/M セットアップ時間(対ALE↓)	t _{IL}		30		ns
IO/M ホールド時間(対ALE↓)	t _{LI}		35		ns
アドレス → WR↓遅延時間	t _{AW}		f _{XX} =15 MHz, C _L =100 pF	100	
ALE ↓ → データ出力時間	t _{LDW}			180	ns
WR ↓ → データ出力時間	t _{WD}	C _L =100 pF		100	ns
ALE ↓ → WR ↓ 遅延時間	t _{LW}	f _{XX} =15 MHz, C _L =100 pF	15		ns
データ・セットアップ時間(対WR↑)	t _{DW}		165		ns
データ・ホールド時間(対WR↑)	t _{WDH}		60		ns
WR ↑ → ALE ↑ 遅延時間	t _{WL}		80		ns
WR ロウ・レベル幅	t _{WW}		215		ns

シリアル・オペレーション

項 目	略 号	条 件	MIN.	MAX.	単 位
SCK サイクル・タイム	t _{CYK}	SCK入力	注1	800	ns
			注2	400	ns
		SCK出力		1.6	μs
SCK ロウ・レベル幅	t _{KKL}	SCK入力	注1	335	ns
			注2	160	ns
		SCK出力		700	ns
SCK ハイ・レベル幅	t _{KKH}	SCK入力	注1	335	ns
			注2	160	ns
		SCK出力		700	ns
RxD セットアップ時間(対SCK↑)	t _{RXK}	注1	80		ns
RxD ホールド時間(対SCK↑)	t _{KRX}	注1	80		ns
SCK ↓ → TxD 遅延時間	t _{KTX}	注1		210	ns

注1. アシクロナス・モードでクロック・レートが×1, シンクロナス・モード, I/Oインタフェース・モードの場合
 2. アシクロナス・モードでクロック・レートが×16, ×64の場合

備考 表中の数値はf_{xx} = 15 MHz, C_L = 100 pFのときの値です。



ゼロクロス特性:

項 目	略 号	条 件	MIN.	MAX.	単 位
ゼロクロス検出入力	V _{ZX}	AC結合	1	1.8	VAC _{P-P}
ゼロクロス正確度	A _{ZX}	60 Hz正弦波		±135	mV
ゼロクロス検出入力周波数	f _{ZX}		0.05	1	kHz

その他のオペレーション

項 目	略 号	条 件	MIN.	MAX.	単 位
TI ハイ, ロウ・レベル幅	t _{TIH} , t _{TIL}		6		t _{CYC}
CI ハイ, ロウ・レベル幅	t _{CI1H} , t _{CI1L}	◦ イベント・カウンタ・モード ◦ 周波数測定モード	6		t _{CYC}
	t _{CI2H} , t _{CI2L}	◦ パルス幅測定モード ◦ ECNTのラッチ, クリア入力 ◦ INTEINのセット入力	48		t _{CYC}
NMI ハイ, ロウ・レベル幅	t _{NIH} , t _{NIL}		10		μs
INT1 ハイ, ロウ・レベル幅	t _{I1H} , t _{I1L}		36		t _{CYC}
INT2 ハイ, ロウ・レベル幅	t _{I2H} , t _{I2L}		36		t _{CYC}
RESET ハイ, ロウ・レベル幅	t _{RSH} , t _{RSL}		10		μs

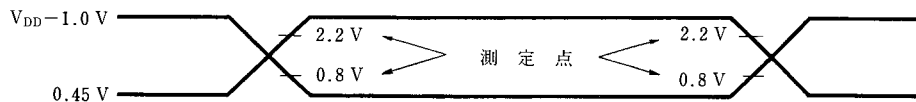
A/Dコンバータ特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = +5.0\text{V} \pm 10\%$, $V_{SS} = AV_{SS} = 0\text{V}$,
 $V_{DD} - 0.5\text{V} \leq AV_{DD} \leq V_{DD}$, $3.4\text{V} \leq V_{AREF} \leq AV_{DD}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分 解 能			8			Bits
絶 対 確 度 ^注		$3.4\text{V} \leq V_{AREF} \leq AV_{DD}$, $66\text{ns} \leq t_{CYC} \leq 170\text{ns}$			$\pm 0.8\%$	FSR
		$4.0 \leq V_{AREF} \leq AV_{DD}$, $66\text{ns} \leq t_{CYC} \leq 170\text{ns}$			$\pm 0.6\%$	FSR
		$T_A = -10 \sim +70^\circ\text{C}$, $4.0 \leq V_{AREF} \leq AV_{DD}$, $66\text{ns} \leq t_{CYC} \leq 170\text{ns}$			$\pm 0.4\%$	FSR
変 換 時 間	t_{CONV}	$66\text{ns} \leq t_{CYC} \leq 110\text{ns}$	576			t_{CYC}
		$110\text{ns} \leq t_{CYC} \leq 170\text{ns}$	432			t_{CYC}
サンプリング時間	t_{SAMP}	$66\text{ns} \leq t_{CYC} \leq 110\text{ns}$	96			t_{CYC}
		$110\text{ns} \leq t_{CYC} \leq 170\text{ns}$	72			t_{CYC}
アナログ入力電圧	V_{IAN}		0		V_{AREF}	V
アナログ入力インピーダンス	R_{AN}			50		MΩ
基 準 電 圧	V_{AREF}		3.4		AV_{DD}	V
V_{AREF} 電 流	I_{AREF1}	動作モード		1.5	3.0	mA
	I_{AREF2}	STOPモード		0.7	1.5	mA
AV_{DD} 電 源 電 流	AI_{DD1}	動作モード $f_{XX}=15\text{MHz}$		0.3	1.3	mA
	AI_{DD2}	STOPモード		10	20	μA

★

注 量子化誤差 ($\pm 1/2\text{LSB}$) は含みません。

ACタイミング測定点



t_{CYC}依存のAC特性計算式

項 目	計 算 式	MIN./MAX.	単 位
t _{AL}	2 T-100	MIN.	ns
t _{LA}	T-30	MIN.	ns
t _{AR}	3 T-100	MIN.	ns
t _{AD}	7 T-220	MAX.	ns
t _{LDR}	5 T-200	MAX.	ns
t _{RD}	4 T-150	MAX.	ns
t _{LR}	T-50	MIN.	ns
t _{RL}	2 T-50	MIN.	ns
t _{RR}	4 T-50 (データ・リード時)	MIN.	ns
	7 T-50 (OPコード・フェッチ時)		
t _{LL}	2 T-40	MIN.	ns
t _{ML}	2 T-100	MIN.	ns
t _{LM}	T-30	MIN.	ns
t _{IL}	2 T-100	MIN.	ns
t _{LI}	T-30	MIN.	ns
t _{AW}	3 T-100	MIN.	ns
t _{LDW}	T+110	MAX.	ns
t _{LW}	T-50	MIN.	ns
t _{DW}	4 T-100	MIN.	ns
t _{WDH}	2 T-70	MIN.	ns
t _{WL}	2 T-50	MIN.	ns
t _{WW}	4 T-50	MIN.	ns
t _{CYK}	6 T (SCK入力) ^{注1} / 12 T (SCK入力) ^{注2}	MIN.	ns
	24 T (SCK出力)		
t _{KKL}	2.5 T+5 (SCK入力) ^{注1} / 5 T+5 (SCK入力) ^{注2}	MIN.	ns
	12 T-100 (SCK出力)		
t _{KKH}	2.5 T+5 (SCK入力) ^{注1} / 5 T+5 (SCK入力) ^{注2}	MIN.	ns
	12 T-100 (SCK出力)		

★
★
★

注1. アシンクロナス・モードでクロック・レートが×16, ×64の場合

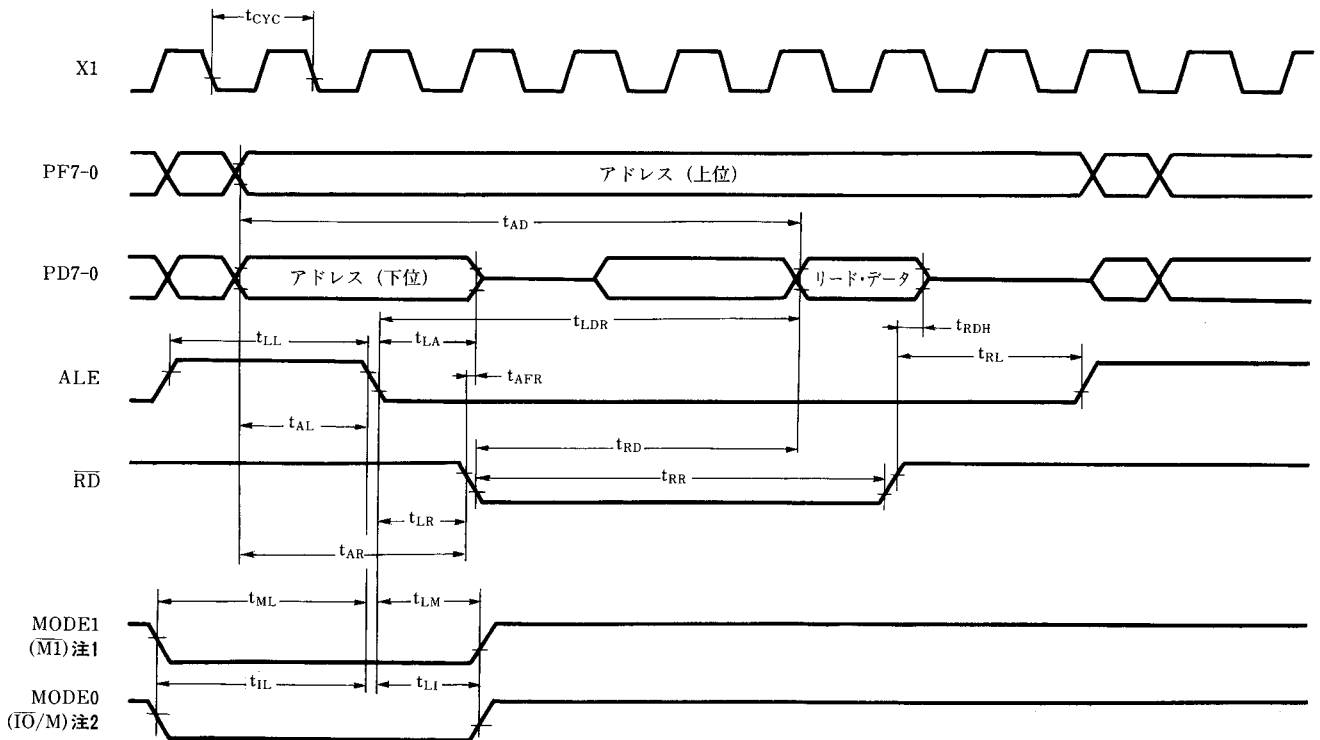
2. アシンクロナス・モードでクロック・レートが×1, シンクロナス・モード, I/Oインタフェース・モードの場合

備考1. T=t_{CYC}=1/f_{XX}

2. この表に示されていない項目は発振周波数 (f_{XX}) に依存しません。

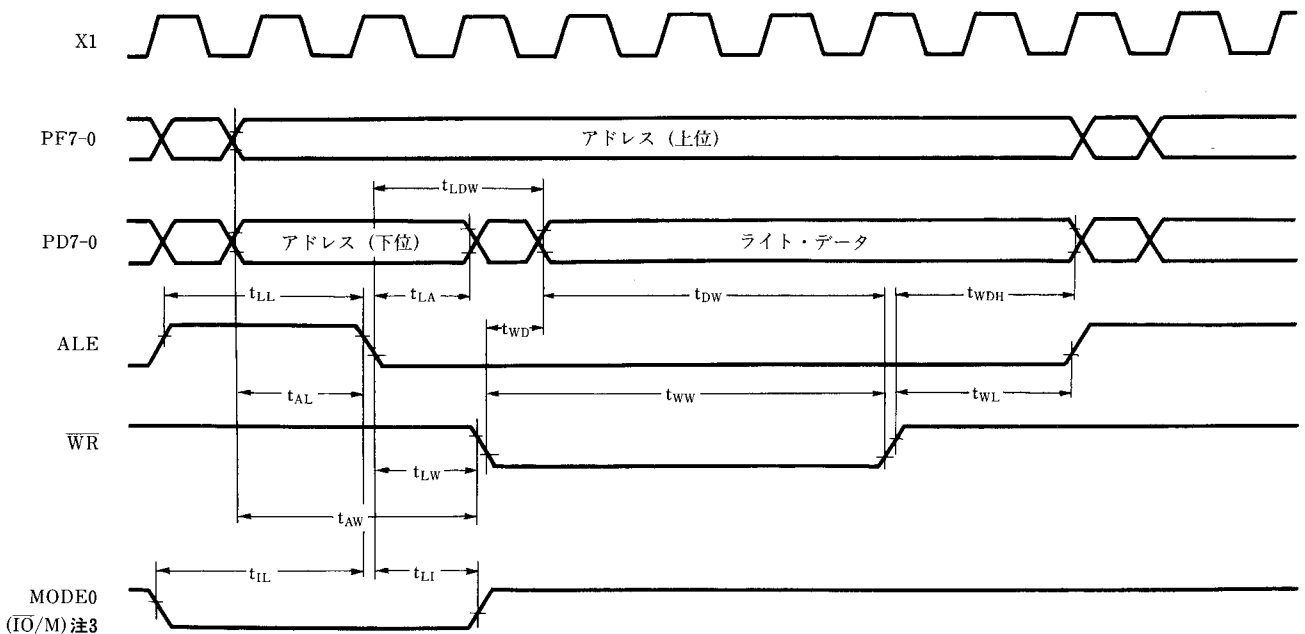
タイミング波形

リード・オペレーション



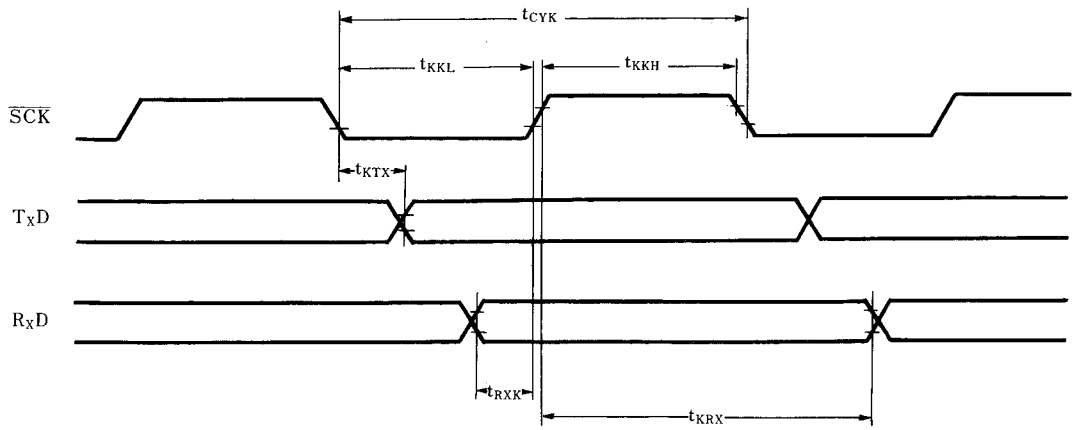
- 注 1. \overline{MI} 信号は、MODE1端子がプルアップされているとき、第1 OP コード・フェッチ・サイクルで、MODE1 端子に出力されます。
2. $\overline{IO/M}$ 信号は、MODE0端子がプルアップされているとき、sr~sr2レジスタ・リード・サイクルで MODE0端子に出力されます。

ライト・オペレーション

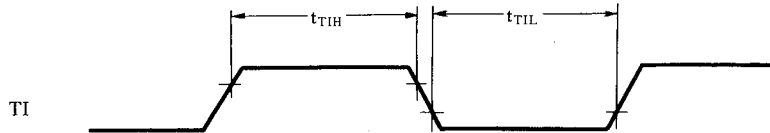


- 注 3. $\overline{IO/M}$ 信号は、MODE0端子がプルアップされているとき、sr~sr2レジスタ・ライト・サイクルで MODE0端子に出力されます。

シリアル・オペレーション

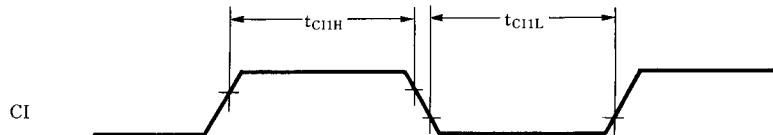


タイマ入カタイミング

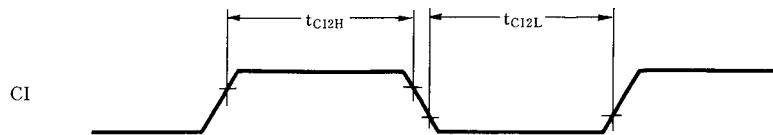


タイマ/イベント・カウンタ入カタイミング

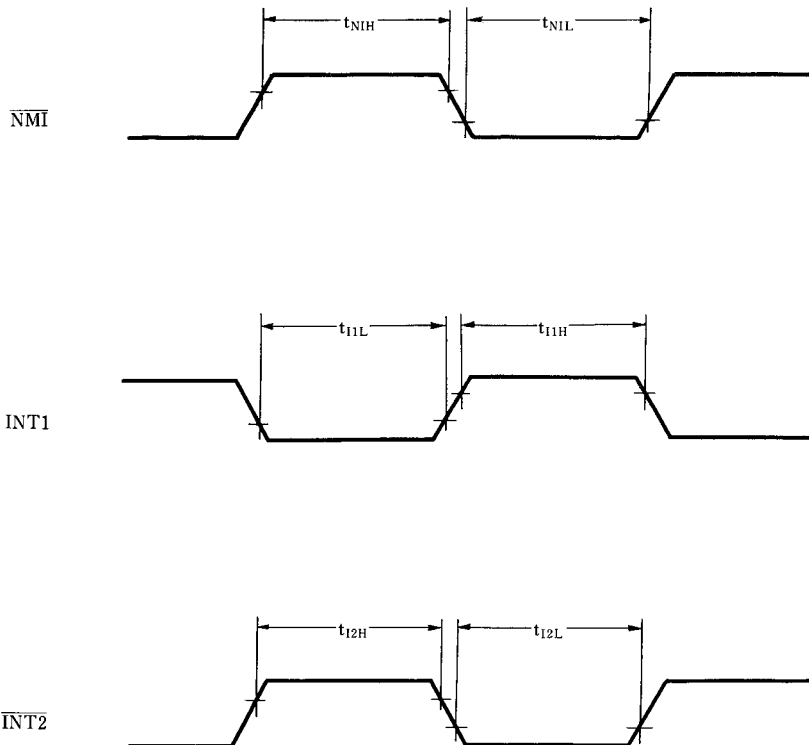
イベント・カウンタ・モード



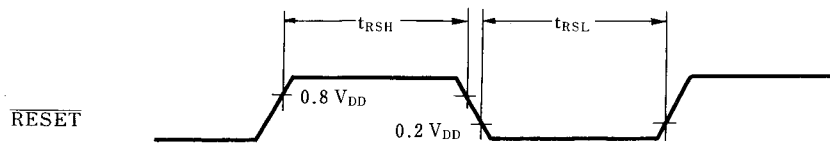
パルス幅測定モード



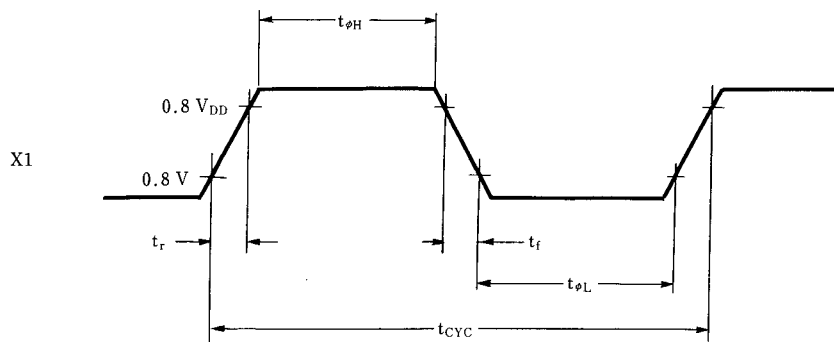
割り込み入カタイミング



リセット入カタイミング



外部クロック・タイミング



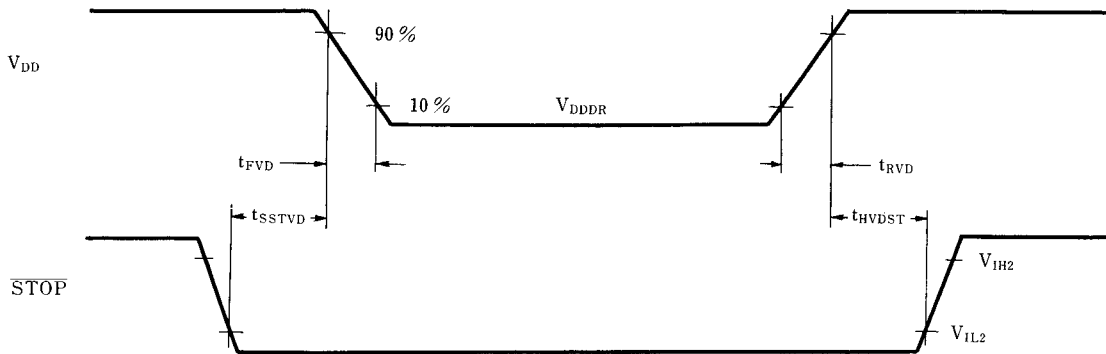
データ・メモリ STOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85^\circ\text{C}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		2.5		5.5	V
データ保持電源電流	I_{DDDR}	$V_{DDDR} = 2.5\text{V}$		1	15	μA
		$V_{DDDR} = 5\text{V} \pm 10\%$		10	50	μA
V_{DD} 立ち上がり, 立ち下がり時間	t_{RVD}, t_{FVD}		200			μs
$\overline{\text{STOP}}$ セットアップ時間 (対 V_{DD})	t_{SSTVD}		$12T + 0.5$			μs
$\overline{\text{STOP}}$ 保持時間 (対 V_{DD})	t_{HVDST}		$12T + 0.5$			μs

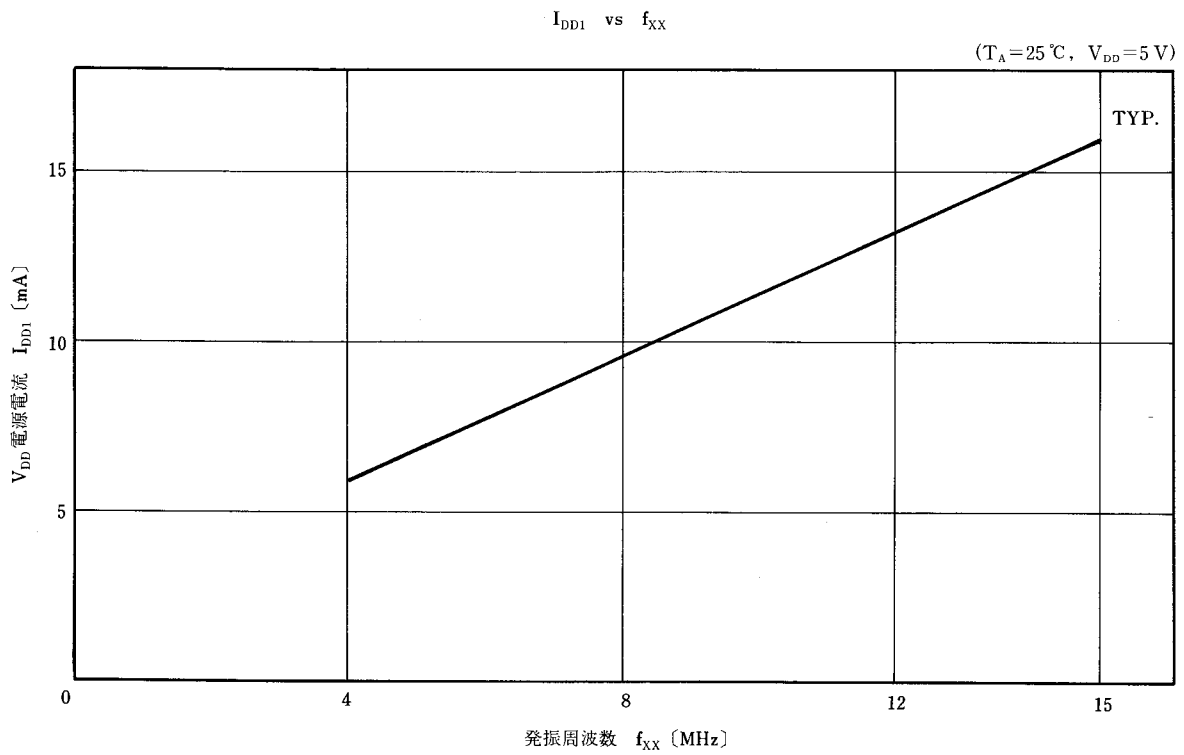
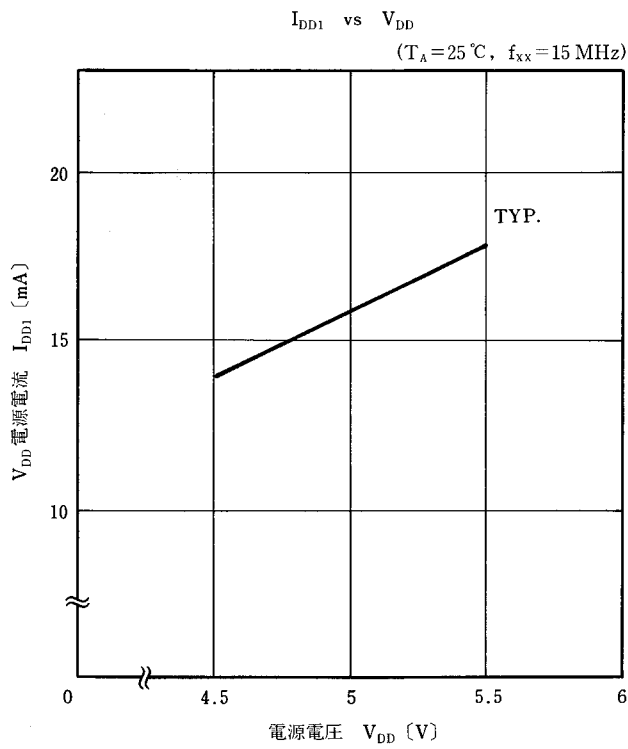
★

備考 $T = t_{CYC} = 1/f_{XX}$

データ保持タイミング

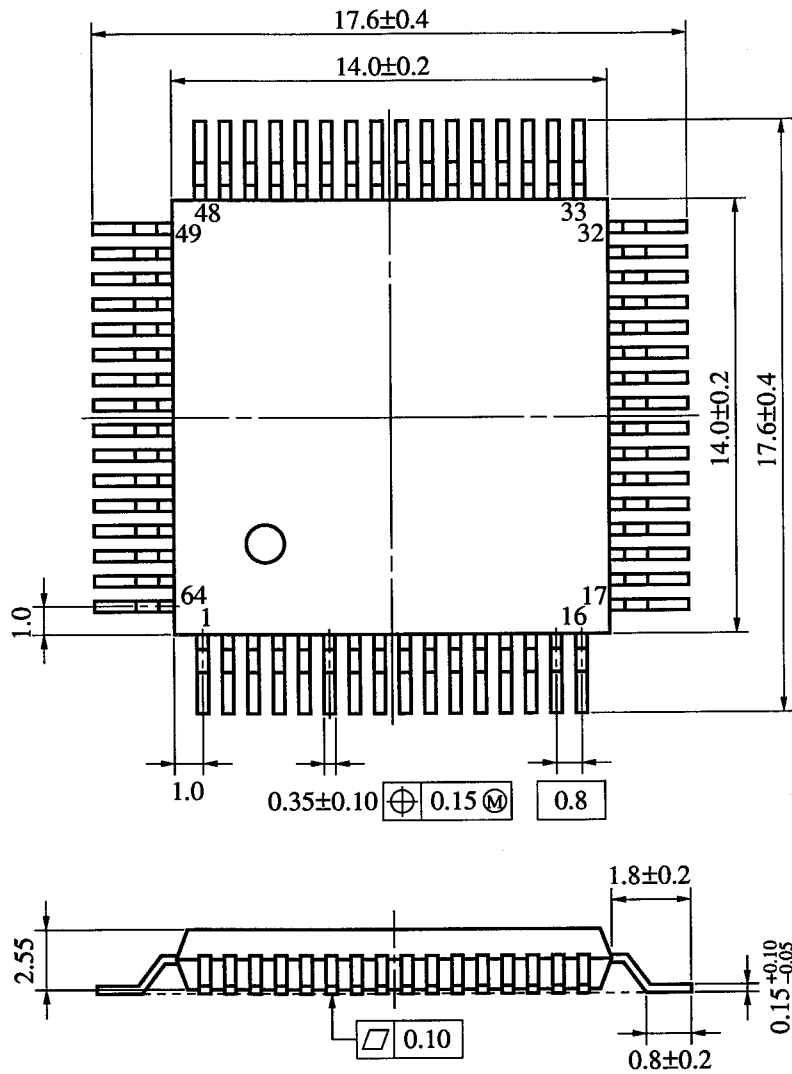


9. 特性曲線 (参考値)

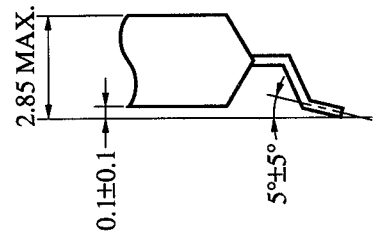


10. 外形図

64ピン・プラスチック QFP (□14) 外形図 (単位: mm)



端子先端形状詳細図



P64GC-80-AB8-3

★ 11. 半田付け推奨条件

μPD78C14Aの半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表11-1 表面実装タイプの半田付け条件

μPD78C14AG-XXX-AB8 : 64ピン・プラスチックQFP (□14 mm)

(1) K, E, P規格品

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内 (210℃以上)，回数：2回以内 <留意事項> (1) 2回目のリフロは、1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 (2) 1回目のリフロ後の水によるフラックス洗浄はお避けください。	IR35-00-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内 (200℃以上)，回数：2回以内 <留意事項> (1) 2回目のリフロは、1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 (2) 1回目のリフロ後の水によるフラックス洗浄はお避けください。	VP15-00-2
ウェーブ・ソルダリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回 予備加熱温度：120℃ MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内 (デバイスの一辺当たり)	—

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱は除く)。

(2) 上記以外

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：230℃，時間：30秒以内 (210℃以上)，回数：1回 制限日数：7日間 ^注 (以降は125℃プリベーク10時間必要)	IR30-107-1
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内 (200℃以上)，回数：1回 制限日数：7日間 ^注 (以降は125℃プリベーク10時間必要)	VP15-107-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内 (デバイスの一辺当たり)	—

注 ドライパック開封後の保管日数で、保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱は除く)。

12. μ PD78C14A と μ PD78C14の違い

項目	品名	μ PD78C14A	μ PD78C14
入出力ポート PA, PB, PC		プルアップ抵抗の内蔵をマスク・オプションでビットごとに選択可能	プルアップ抵抗を内蔵しない
パッケージ		64ピン・プラスチックQFP (\square 14 mm) : 端子間ピッチ0.8 mm	64ピン・プラスチック・シュリンクDIP 64ピン・プラスチックQUIP (ストレート) 64ピン・プラスチックQUIP 64ピン・プラスチックQFP (14×20 mm, 2.05 mm厚) 64ピン・プラスチックQFP (14×20 mm, 2.70 mm厚) 68ピン・プラスチックQFJ

★ 付録 開発ツール

μPD78C14Aを使用するシステム開発のために次のような開発ツールを用意しております。

言語プロセッサ

87ADシリーズ リロケータブル・アセンブラ (RA87)	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。			
	ホスト・マシン	OS	供給媒体	オーダ名称 (品名)
	PC-9800シリーズ	MS-DOS™ Ver.2.11) Ver.5.00A注	3.5インチ2HD	μS5A13RA87
			5インチ2HD	μS5A10RA87
	IBM PC/AT™	PC DOS™ (Ver.3.1)	3.5インチ2HC	μS7B13RA87
5インチ2HC			μS7B10RA87	

PROM書き込み用ツール

ハードウェア	PG-1500	付属ボードおよび別売のプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンまたはホスト・マシンからの操作によりプログラミングできるPROMプログラマです。 また、256 Kビットから4 Mビットまでの代表的なPROMをプログラミングすることもできます。			
	PA-78CP14CW/GF/GQ/ KB/L	μPD78CP14用のPROMプログラマ・アダプタで、PG-1500に接続して使用します。			
		PA-78CP14CW	μPD78CP14CW, 78CP14DW用		
		PA-78CP14GF	μPD78CP14GF-3BE用		
		PA-78CP14GQ	μPD78CP14G-36, 78CP14R用		
		PA-78CP14KB	μPD78CP14KB用		
		PA-78CP14L	μPD78CP14L用		
ソフトウェア	PG-1500コントローラ	PG-1500とホスト・マシンをシリアルおよびパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。			
		ホスト・マシン	OS	供給媒体	オーダ名称 (品名)
		PC-9800シリーズ	MS-DOS Ver.2.11) Ver.5.00A注	3.5インチ2HD	μS5A13PG1500
				5インチ2HD	μS5A10PG1500
		IBM PC/AT	PC DOS (Ver.3.1)	3.5インチ2HD	μS7B13PG1500
5インチ2HC	μS7B10PG1500				

注 Ver.5.00/5.00Aにはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考 アセンブラ、PG-1500コントローラの動作は、上記ホスト・マシンとOS上でのみ保証されます。

ディバグ用ツール

μPD78C14Aのプログラム・ディバグ用ツールとして、インサーキット・エミュレータ (IE-78C11-M) を用意しています。システム構成を次に示します。

ハードウェア	IE-78C11-M	IE-78C11-Mは、87ADシリーズに対応したインサーキット・エミュレータです。パッケージがプラスチックQUIPの場合はIE-78C11-Mのみ、プラスチック・シュリンクDIPの場合はIE-78C11-Mと変換ソケットを組み合わせ使用します。ホスト・マシンと接続して効率的にディバグを行うことができます。			
	EV-9001-64	プラスチック・シュリンクDIP用の変換ソケットです。 IE-78C11-Mと組み合わせ使用します。			
	EV-9200G-64	64ピンWQFN用変換ソケットです。μPD78CP14KBと組み合わせ、64ピン・プラスチックQFPの窓付き製品の代替として使用できます。			
ソフトウェア	IE-78C11-M コントロール・プログラム	IE-78C11-Mとホスト・マシンをRS-232-Cで接続し、ホスト・マシン上でIE-78C11-Mを制御します。			
		ホスト・マシン	OS	供給媒体	オーダ名称 (品名)
		PC-9800シリーズ	MS-DOS Ver.2.11 ┆ Ver.3.30D	3.5インチ2HD	μS5A13IE78C11
				5インチ2HD	μS5A10IE78C11
IBM PC/AT	PC DOS (Ver.3.1)	5インチ2HC	μS7B10IE78C11		

備考 IEコントローラなどの動作は、上記ホスト・マシンとOS上でのみ保証されます。

{ × 毛 }

CMOSデバイスの一般的注意事項

① 静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

② 未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③ 初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

本製品が外国為替および外国貿易管理法の規定による戦略物資等(または役務)に該当するか否かは、ユーザ(仕様を決定した者)が判定してください。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意ください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りの NEC へ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体販売部	〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル)	名古屋 (052)242-2755
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 東北支社 岩手支店 山形支店 郡山支店 いわき支店 長岡支店 土浦支店 水戸支店 神奈川支社 群馬支店 太田支店 宇都宮支店	札幌 (011)231-0161 仙台 (022)261-5511 盛岡 (0196)51-4344 山形 (0236)23-5511 郡山 (0249)23-5511 いわき (0246)21-5511 長岡 (0258)36-2155 土浦 (0298)23-6161 水戸 (0292)26-1717 神奈川 (045)324-5511 高崎 (0273)26-1255 太田 (0276)46-4011 宇都宮 (0286)21-2281	小野支店 (0285)24-5011 長野支店 (0262)35-1444 松本支店 (0263)35-1666 諏訪支店 (0266)53-5350 上野支店 (0552)24-4141 甲府支店 (048)641-1411 埼玉支店 (0425)26-5981 千葉支店 (043)238-8116 静岡支店 (054)255-2211 沼津支店 (0559)63-4455 浜松支店 (053)452-2711 北陸支店 (0762)23-1621 福井支店 (0776)22-1866
富山支店 三重支店 京都支社 神戸支社 中国支社 中島支店 岡山支店 四国支社 新居浜支店 松山支店 九州支社 北九州支店	富山 (0764)31-8461 津 (0592)25-7341 京都 (075)344-7824 神戸 (078)333-3854 広島 (082)242-5504 鳥取 (0857)27-5311 岡山 (086)225-4455 高松 (0878)36-1200 新居浜 (0897)32-5001 松山 (0899)45-4111 福岡 (092)271-7700 北九州 (093)541-2887	

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目4番48号地	川崎 (044)548-7924	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル)	名古屋 (052)242-2762	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	