

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD78C10A, 78C11A, 78C12A

8ビット・シングルチップ・マイクロコンピュータ(A/Dコンバータ付き)

μ PD78C11Aは16ビットALU, ROM, RAM, A/Dコンバータ, 多機能タイマ/イベント・カウンタ, 汎用シリアル・インタフェースなどを1チップに集積し, さらに外部に60Kバイトまでのメモリ(RAM/ROM)を拡張できるCMOS 8ビット・マイクロコンピュータです。 μ PD78C10Aは μ PD78C11AからROMを除いた製品で, 64Kバイトまでの外部メモリを直接アドレス可能です。 μ PD78C12Aは μ PD78C11Aの内蔵ROM容量を拡大した製品で, 外部に56Kバイトまでのメモリ(RAM/ROM)を拡張できます。 μ PD78C10A, 78C11A, 78C12AはCMOS構造のため低消費電力で動作できますが, スタンバイ機能を用いることにより, さらに低い消費電力でデータ保持等ができます。

システム開発時の評価や試作用, そして応用セットの早期立ち上げと多品種少量生産用として最適なPROM内蔵品 μ PD78CP14, 78CP18も用意しています。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

87ADシリーズ μ PD78C18 ユーザーズ・マニュアル: IEU-738

特 徴

- 159種の豊富なインストラクション: 87ADシリーズ命令セット
乗除算命令, 16ビット演算命令
- インストラクション・サイクル: 0.8 μ s (15 MHz 動作時)
- 内蔵ROM: 4 096 W \times 8 (μ PD78C11A), 8192W \times 8 (μ PD78C12A)
なし (μ PD78C10A)
- 内蔵RAM: 256 W \times 8
- 高精度8ビットA/Dコンバータ: 8アナログ入力
- 汎用シリアル・インタフェース: アシンクロナス, シンクロナス, I/Oインタフェース・モード
- 多機能16ビット・タイマ/イベント・カウンタ
- 2個の8ビット・タイマ
- I/Oライン: 32 (μ PD78C10A), 44 (μ PD78C11A, 78C12A)
- 割り込み機能(外部3, 内部8): ノンマスクابل割り込み \times 1, マスクابل割り込み \times 10
- スタンバイ機能: HALTモード, ハードウェア/ソフトウェアSTOPモード
- ゼロクロス検出機能: 2入力
- マスク・オプションによるプルアップ抵抗内蔵可能(ポートA, B, C: μ PD78C11A, 78C12Aのみ)

注意 μ PD78C10Aにはマスク・オプションはありません。

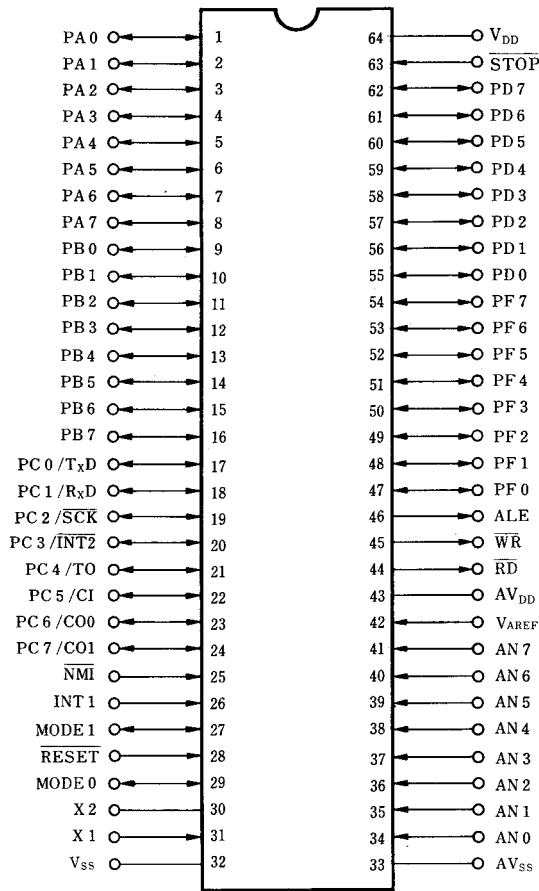
本資料の内容は, 後日変更する場合があります。

オーダ情報

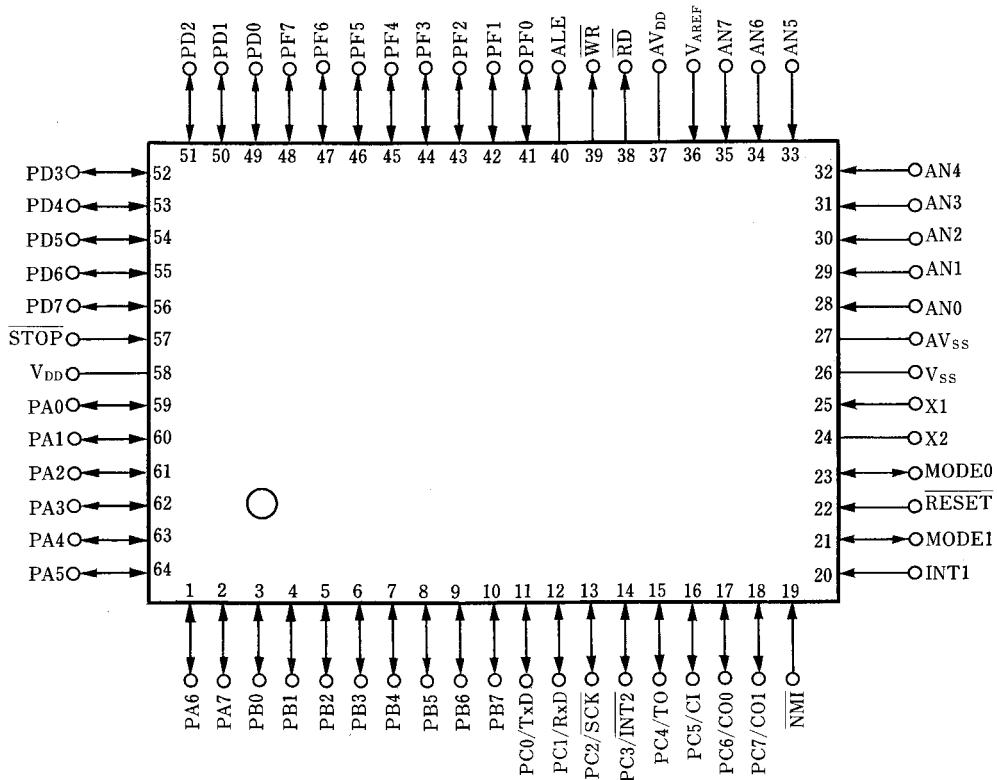
オーダ名称	パッケージ	内蔵ROM
μPD78C10ACW	64ピン・プラスチック・シュリンクDIP(750 mil)	なし
μPD78C10AGF-3BE	64ピン・プラスチックQFP(14×20 mm)	"
μPD78C10AGQ-36	64ピン・プラスチックQUIP	"
μPD78C10AL	68ピン・プラスチックQFJ (□950 mil)	"
μPD78C11ACW-×××	64ピン・プラスチック・シュリンクDIP(750 mil)	マスクROM
μPD78C11AGF-×××-3BE	64ピン・プラスチックQFP(14×20 mm)	"
μPD78C11AGQ-×××-36	64ピン・プラスチックQUIP	"
μPD78C11AGQ-×××-37	64ピン・プラスチックQUIPストレート	"
μPD78C11AL-×××	68ピン・プラスチックQFJ (□950 mil)	"
μPD78C12ACW-×××	64ピン・プラスチック・シュリンクDIP (750 mil)	"
μPD78C12AGF-×××-3BE	64ピン・プラスチックQFP (14×20 mm)	"
μPD78C12AGQ-×××-36	64ピン・プラスチックQUIP	"
μPD78C12AGQ-×××-37	64ピン・プラスチックQUIPストレート	"
μPD78C12AL-×××	68ピン・プラスチックQFJ (□950 mil)	"

端子接続図 (Top View)

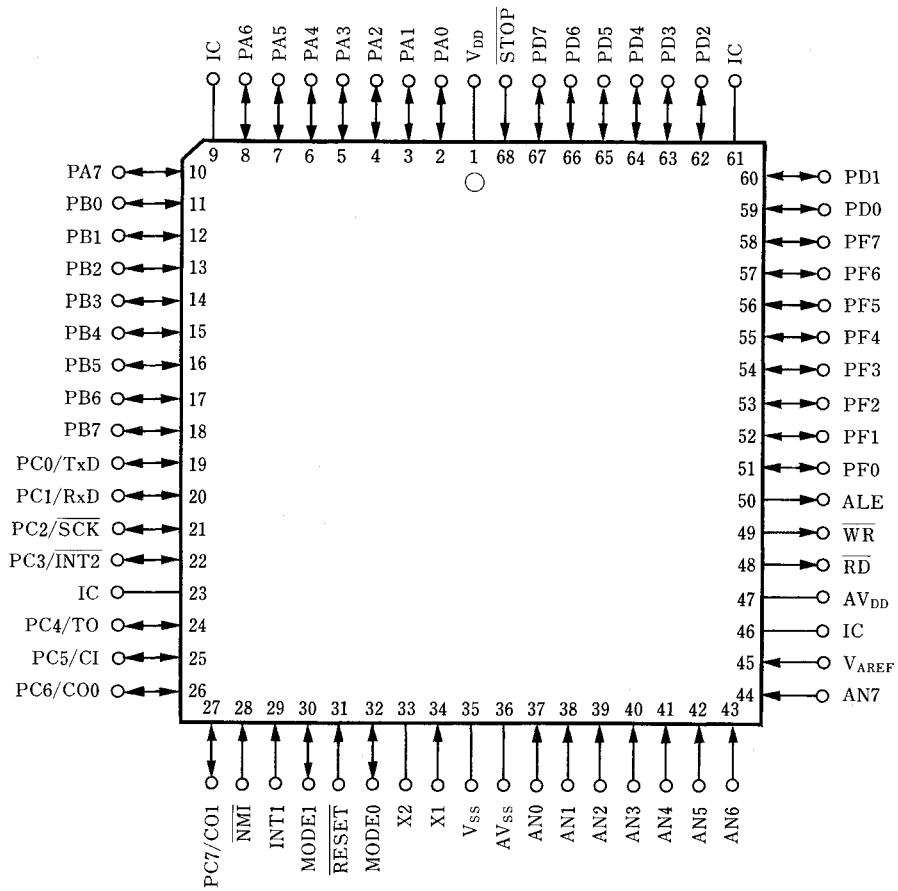
○ μPD78C10ACW, μPD78C10AGQ-36, μPD78C11ACW-×××, μPD78C11AGQ-×××-36/37,
μPD78C12ACW-×××, μPD78C12AGQ-×××-36/37用



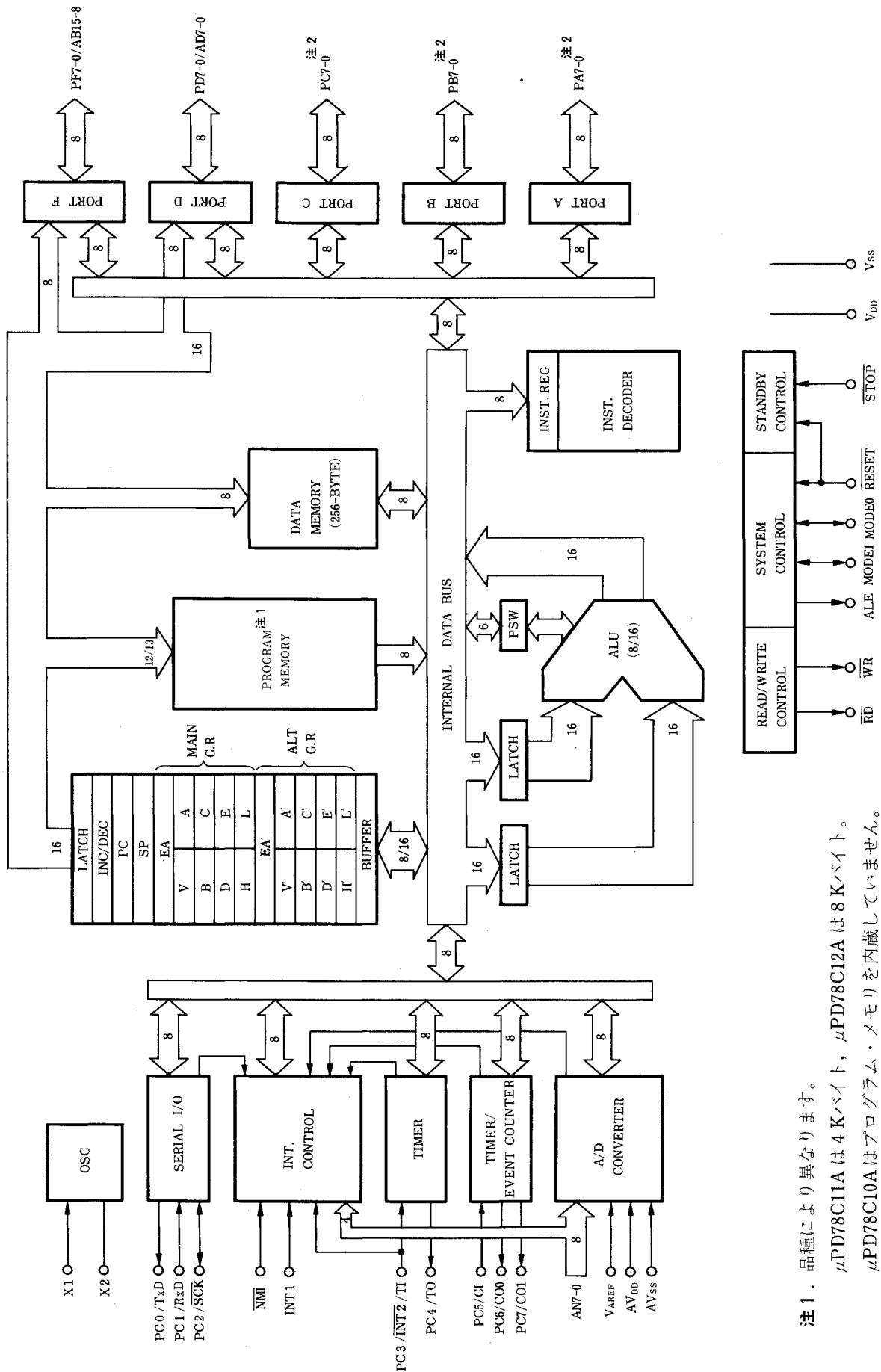
○ μPD78C10AGF-3BE, μPD78C11AGF-×××-3BE, μPD78C12AGF-×××-3BE用



○ μPD78C10AL, μPD78C11AL-×××, μPD78C12AL-×××用



ブロック図



注1. 品種により異なります。

μPD78C11Aは4Kバイト、μPD78C12Aは8Kバイト。

μPD78C10Aはプログラム・メモリを内蔵していません。

2. マスク・オプションでプルアップ抵抗内蔵可能(μPD78C11A, 78C12Aのみ)。

目 次

1. 端子機能 … 7
 - 1.1 端子機能一覧 … 7
 - 1.2 端子の入出力回路 … 9
 - 1.3 端子のマスク・オプション … 14
 - 1.4 未使用端子の処理 … 14
 2. μ PD78C10A と μ PD78C11A, 78C12Aの違いについて … 15
 3. リセット動作 … 17
 4. 命令セット … 20
 - 4.1 オペランドの表現/記述方式 … 20
 - 4.2 命令コードの記号説明 … 21
 - 4.3 命令実行時間について … 22
 5. モード・レジスタの一覧 … 34
 6. 電気的特性 … 35
 7. 特性曲線 (参考値) … 47
 8. 87ADシリーズ 製品間の違い … 50
 9. 外形図 … 54
 10. 半田付け推奨条件 … 60
- 付録 開発ツール … 62

1. 端子機能

1.1 端子機能一覧

端子名称	入出力	機能														
PA7-0 (Port A)	入出力	8ビットの入出力ポートで、ビット単位で入出力の指定ができます。														
PB7-0 (Port B)	入出力	8ビットの入出力ポートで、ビット単位で入出力の指定ができます。														
PC0/TxD	入出力/出力	Port C 8ビットの入出力ポートで、ビット単位で入出力の指定ができます。	Transmit Data シリアル・データの出力端子です。													
PC1/RxD	入出力/入力		Receive Data シリアル・データの入力端子です。													
PC2/SCK	入出力/入出力		Serial Clock シリアル・クロックの入出力端子で、内部クロック使用の場合は出力、外部クロック使用の場合は入力になります。													
PC3/INT2/TI	入出力/入力/入力		Interrupt Request/Timer Input エッジ・トリガ(立ち下がりエッジ)のマスク割込み入力端子、あるいはタイマの外部クロック入力端子で、さらにAC入力のゼロクロス検出端子としても使用できます。													
PC4/TO	入出力/出力		Timer Output タイマのカウント時間、内部クロックの1周期を半周期とする方形波が出力されます。													
PC5/CI	入出力/入力		Counter Input タイマ/イベント・カウンタへの外部パルス入力端子です。													
PC6/CO0 PC7/CO1	入出力/出力		Counter Output0,1 タイマ/イベント・カウンタによるプログラマブルの矩形波の出力です。													
PD7-0 AD7-0	入出力/入出力	Port D 8ビットの入出力ポートで、バイト単位で入出力の指定ができます(μPD78C11A)。	Address/Data Bus 外部メモリを使用する場合に、マルチプレクスト・アドレス/データ・バスになります。													
PF7-0 AB15-8	入出力/出力	Port F 8ビットの入出力ポートで、ビット単位で入出力の指定ができます。	Address Bus 外部メモリを使用する場合に、アドレス・バスになります。													
WR (Write Strobe)	出力	外部メモリのライト動作のために出力されるストロブ信号です。外部メモリのデータ・ライト・マシン・サイクル以外ハイ・レベルになります。RESET信号がロウのときおよびハードウェアSTOPモードのとき、出力ハイ・インピーダンスになります。														
RD (Read Strobe)	出力	外部メモリのリード動作のために出力されるストロブ信号です。外部メモリのリード・マシン・サイクル以外ハイ・レベルになります。RESET信号がロウのときおよびハードウェアSTOPモードのとき、出力ハイ・インピーダンスになります。														
ALE (Address Latch Enable)	出力	外部メモリをアクセスするためにPD7-0端子に出力される下位アドレス情報を外部でラッチするためのストロブ信号です。RESET信号がロウのときおよびハードウェアSTOPモードのとき、出力ハイ・インピーダンスになります。														
MODE 0 MODE 1 (Mode)	入出力	μPD78C11A, 78C12AはMODE0端子を"0"(ロウ・レベル)に、MODE1端子を"1"(ハイ・レベル ^注)に設定します。 μPD78C10AはMODE0, MODE1端子の設定により、外部に設置するメモリの大きさを4Kバイト, 16Kバイト, あるいは64Kバイトのいずれかを選択できます。														
		<table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>MODE 0</th> <th>MODE 1</th> <th>外部メモリ</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">4 Kバイト</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">16 Kバイト</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">64 Kバイト</td> </tr> </tbody> </table>	MODE 0	MODE 1	外部メモリ	0	0	4 Kバイト	1	0	16 Kバイト	1	1	64 Kバイト		
MODE 0	MODE 1	外部メモリ														
0	0	4 Kバイト														
1	0	16 Kバイト														
1	1	64 Kバイト														
		また、MODE0, MODE1の各端子が"1" ^注 に設定されると、ALEに同期して制御信号が出力されます。														
NMI (Non-Maskable Interrupt)	入力	エッジ・トリガ(立ち下がりエッジ)のノンマスク割込み入力端子です。														

注 プルアップしてください。プルアップ抵抗Rは $4[k\Omega] \leq R \leq 0.4 t_{CYC}[k\Omega]$ です(t_{CYC} はns単位)。

端子名称	入出力	機能
INT 1 (Interrupt Request)	入力	エッジ・トリガ（立ち上がりエッジ）のマスカブル割り込み入力端子です。さらにAC入力のゼロクロス検出端子として使用できます。
AN7-0 (Analog Input)	入力	A/Dコンバータへの8本のアナログ入力です。AN7-4はエッジ検出（立ち下がりエッジ）入力として使用できます。
V _{AREF} (Reference Voltage)	入力	A/Dコンバータの基準電圧入力端子とA/Dコンバータの動作の制御端子を兼ねています。
A _{VDD} (Analog V _{DD})		A/Dコンバータの電源端子です。
A _{VSS} (Analog V _{SS})		A/DコンバータのGND端子です。
X1, X2 (Crystal)		システム・クロック発振用のクリスタル接続端子です。外部よりクロックを供給する場合は X1 に入力します。X2にはX1の逆相のクロックを入力します。
RESET (Reset)	入力	ロウ・レベル・アクティブのシステム・リセット入力です。
STOP (Stop)	入力	ハードウェアSTOPモードの制御信号入力端子で、ロウ・レベルを入力すると発振器の発振が停止します。
V _{DD}		正電源供給端子です。
V _{SS}		GND端子です。

★

備考 μPD78C11A, 78C12Aは、マスク・オプションでポートA, B, Cにプルアップ抵抗を内蔵できます。

1.2 端子の入出力回路

各端子の入出力回路を一部簡略した形式を用いて、表1-1, 1-2, (1)~(15)の図に示します。

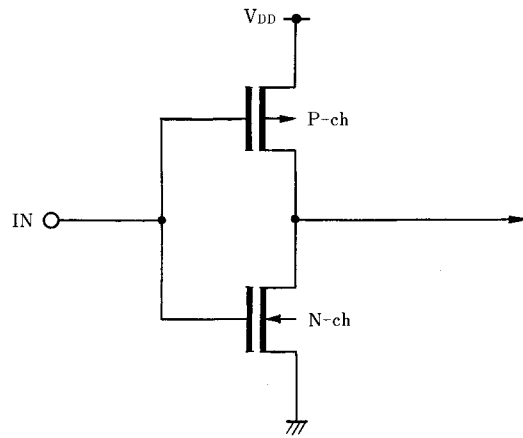
表1-1 端子の Type No. (μPD78C10A)

端子名	Type No.	端子名	Type No.
PA7-0	5	RESET	2
PB7-0	5	RD	4
PC1-0	5	WR	4
PC2/SCK	8	ALE	4
PC3/INT2	10	STOP	2
PC7-4	5	MODE0	11
PD7-0	5	MODE1	11
PF7-0	5	AN3-0	7
NMI	2	AN7-4	12
INT1	9	V _{AREF}	13

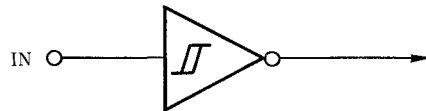
表1-2 端子の Type No. (μPD78C11A, 78C12A)

端子名	Type No.	端子名	Type No.
PA7-0	5-A	RESET	2
PB7-0	5-A	RD	4
PC1-0	5-A	WR	4
PC2/SCK	8-A	ALE	4
PC3/INT2	10-A	STOP	2
PC7-4	5-A	MODE0	11
PD7-0	5	MODE1	11
PF7-0	5	AN3-0	7
NMI	2	AN7-4	12
INT1	9	V _{AREF}	13

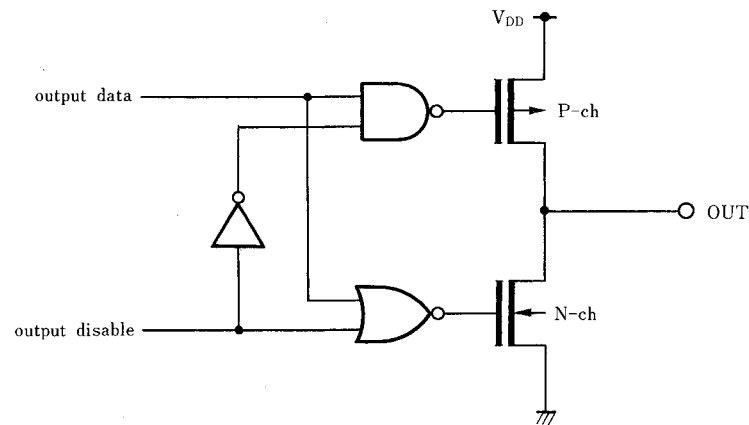
(1) Type 1



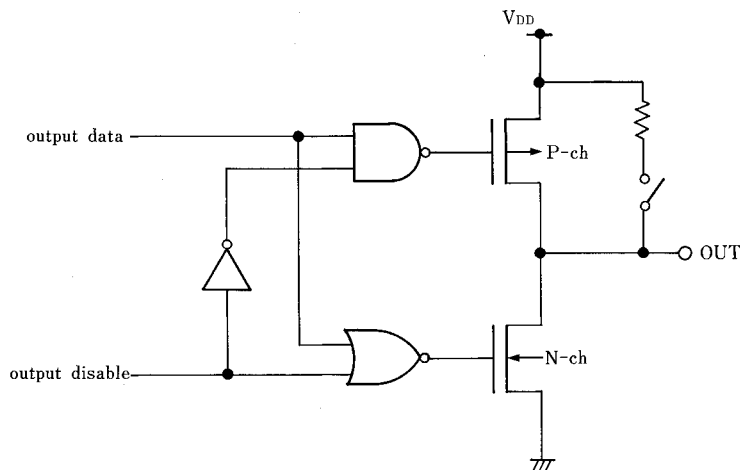
(2) Type 2



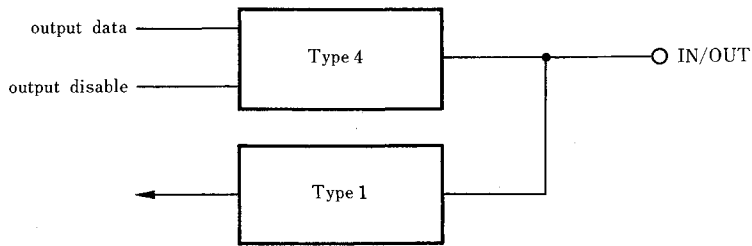
(3) Type 4



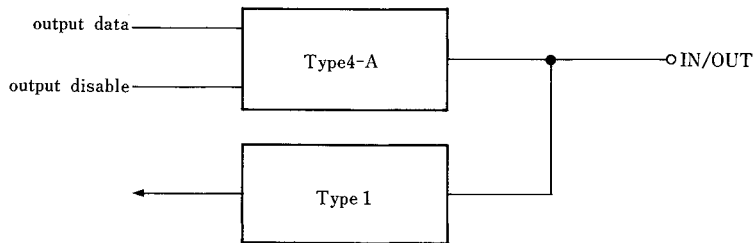
(4) Type 4 -A



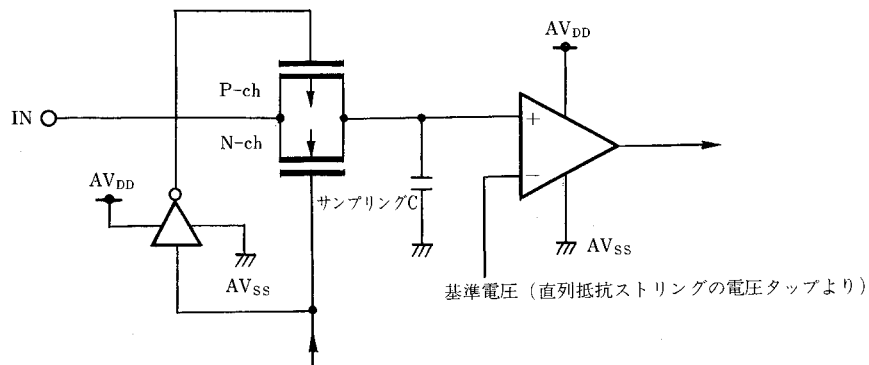
(5) Type 5



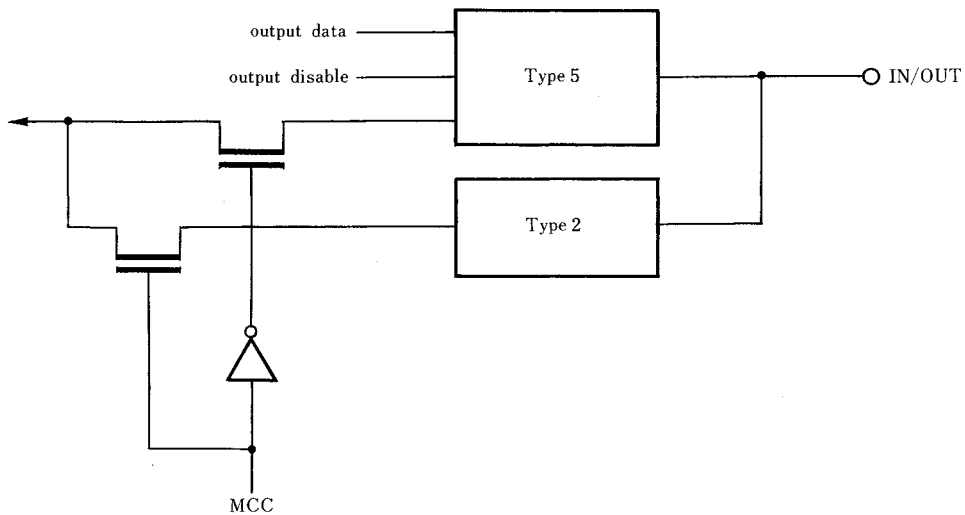
(6) Type 5-A



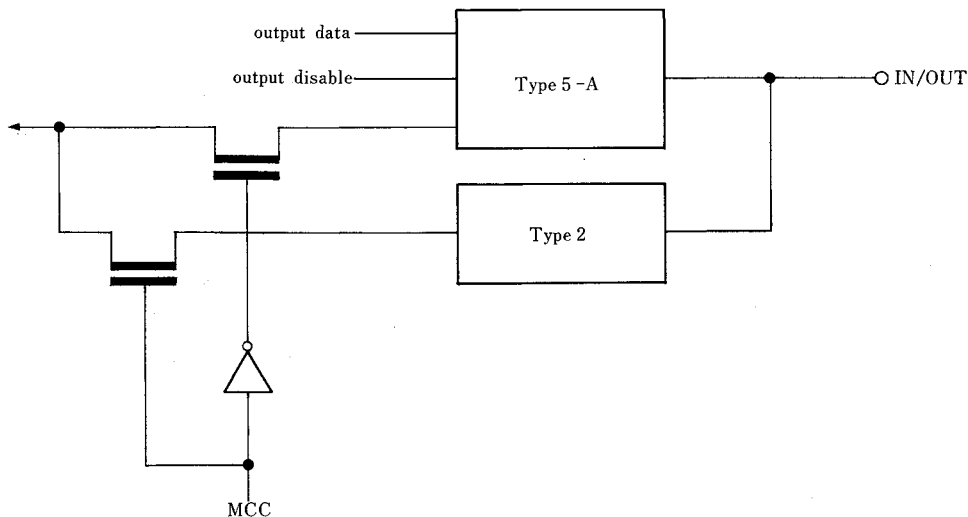
(7) Type 7



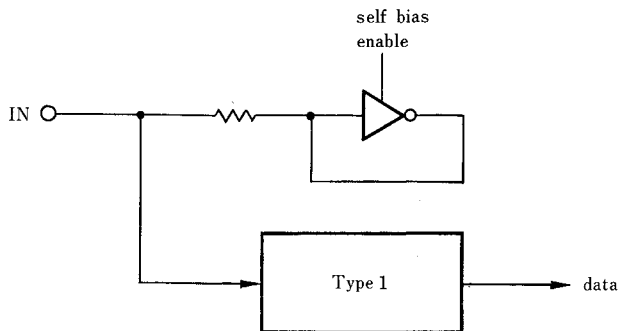
(8) Type 8



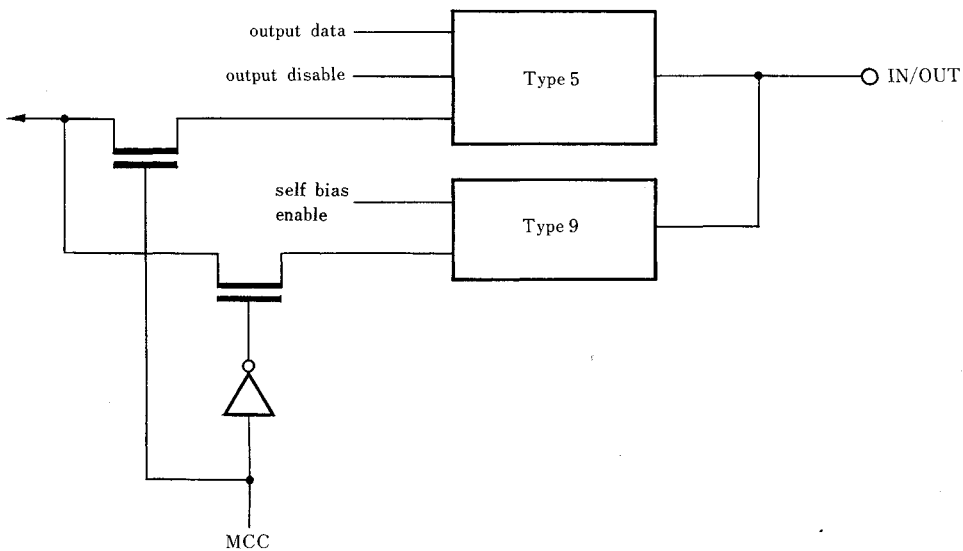
(9) Type 8-A



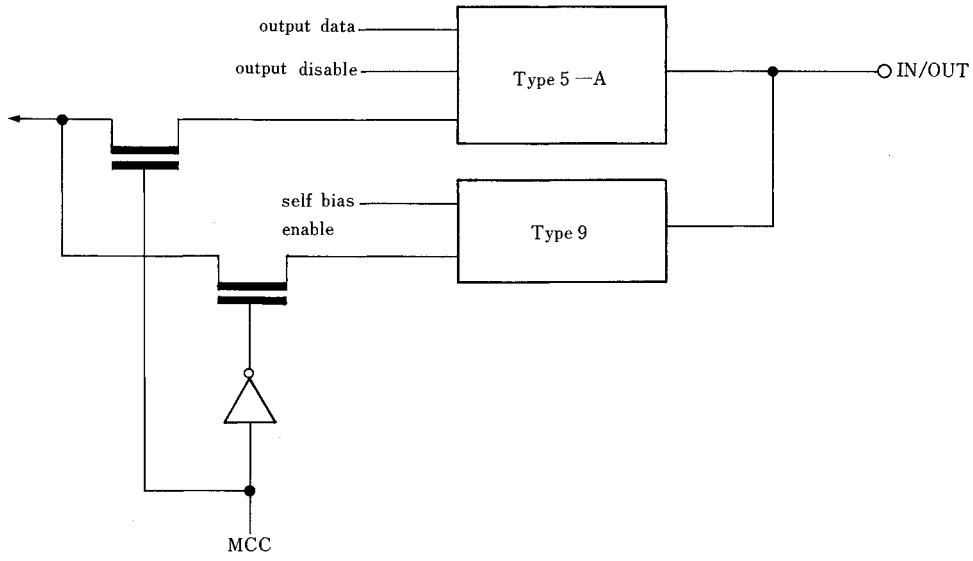
(10) Type 9



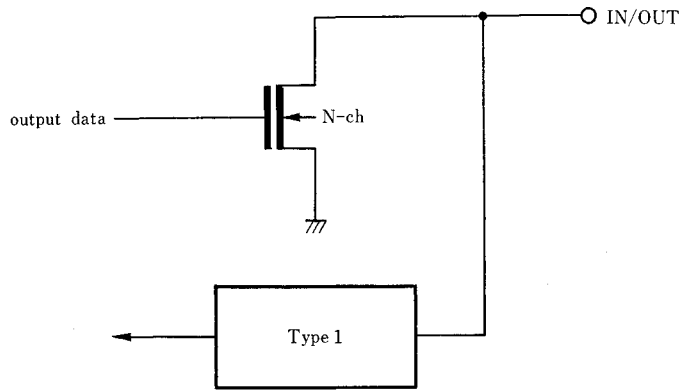
(11) Type10



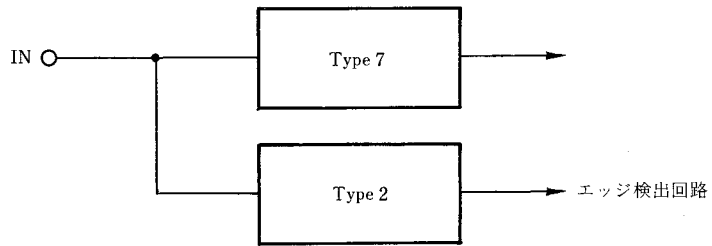
(12) Type10-A



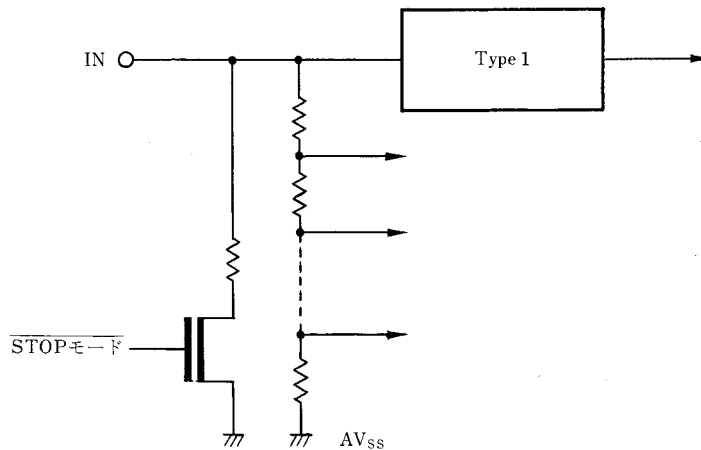
(13) Type11



(14) Type12



(15) Type13



1.3 端子のマスク・オプション

μ PD78C11A, 78C12Aの端子には、次のようなマスク・オプションがあり、目的に応じて、ビットごとに選択できます。

端子名称	マスク・オプション
PA7-0	① プルアップ抵抗を内蔵する ② プルアップ抵抗を内蔵しない
PB7-0	
PC7-0	

- 注意 1. PC3 にプルアップ抵抗を内蔵させる場合、ゼロクロス機能は正常に動作しません。
 2. μ PD78C10A にはマスク・オプションはありません。

1.4 未使用端子の処理

端子	推奨接続方法
PA7-0	抵抗を介して、 V_{SS} または V_{DD} に接続
PB7-0	
PC7-0	
PD7-0	
PF7-0	
\overline{RD}	オープン
\overline{WR}	
ALE	
\overline{STOP}	V_{DD} に接続
INT1, \overline{NMI}	V_{SS} または V_{DD} に接続
AV_{DD}	V_{DD} に接続
V_{AREF}	V_{SS} に接続
AV_{SS}	
AN7-0	AV_{SS} または AV_{DD} に接続

2. μPD78C10A と μPD78C11A, 78C12Aの違いについて

μPD78C10AとμPD78C11A, 78C12Aの違いはマスクプログラマブルなROMを内蔵しているか否かで、それによってメモリ・マップが次のように異なってきます。

(1) μPD78C10A

μPD78C10A は ROM を内蔵していませんので、内蔵 RAM 領域(FF00H-FFFFH 番地)を除くすべてのメモリを外部に設置できます。外部に設置するメモリの大きさは、MODE0, MODE1 端子の設定により、4 K バイト (0000H-0FFFH番地), 16Kバイト(0000H-3FFFH番地), および64Kバイト(0000H-FEFFF番地)のいずれかを選択し、次表あるいは図2-1のようになります。

オペレーション・モード	制 御 端 子		外 部 メ モ リ	内 蔵 RAM
	MODE 1	MODE 0		
4 Kバイト・アクセス	0	0	4 Kバイト(0000H-0FFFH番地)	FF00H-FFFFH番地
16Kバイト・アクセス	0	1	16Kバイト(0000H-3FFFH番地)	FF00H-FFFFH番地
64Kバイト・アクセス	1	1	64Kバイト(0000H-FEFFF番地)	FF00H-FFFFH番地

外部メモリはPD7-0 (マルチプレクスト・アドレス/データ・バス), PF7-0 (アドレス・バス), そしてRD, WR, ALE信号を用いてアクセスします。4 Kバイト, あるいは16Kバイトの外部メモリをアクセスする場合には, アドレス・ラインとして使用しないPF7-0を汎用の入出力ポートとして使用できます。

外部に設置するメモリの大きさは, MODE0, MODE1端子の設定により行い, MEMORY MAPPINGレジスタのMM2, MM1, MM0の各ビットは“0”にしておいてください。

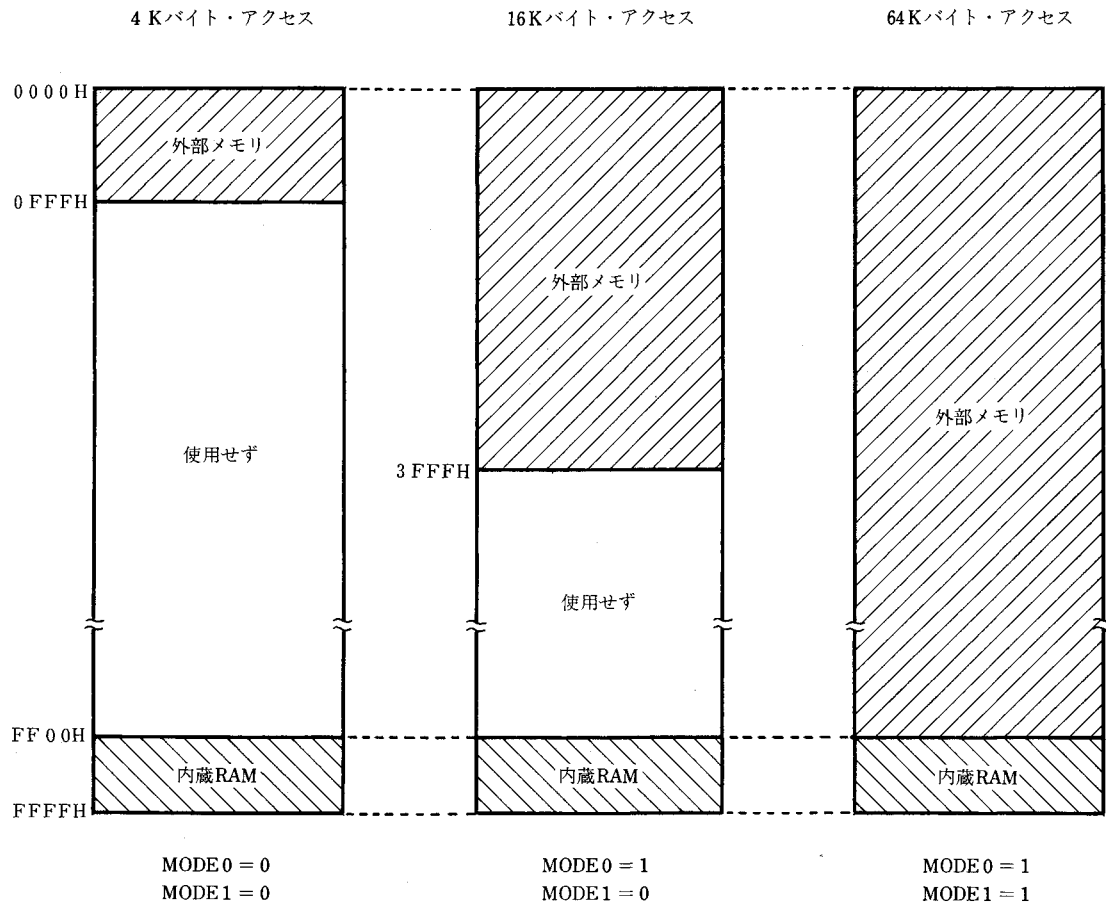
(2) μPD78C11A, 78C12A

μPD78C11A は0000H-0FFFH 番地にマスクプログラマブルな ROM と, FF00H-FFFFH 番地に RAM を内蔵しており, 外部には最大60Kバイト (1000H-FEFFF番地) までのメモリを段階的に拡張することができます。μPD78C12Aは0000H-1FFFH番地にマスクプログラマブルなROMと, FF00H-FFFFH番地にRAMを内蔵しており, 外部には最大56Kバイト (2000H-FEFFF番地) までのメモリを段階的に拡張することができます。外部に拡張するメモリの大きさはMEMORY MAPPINGレジスタの設定により, 外部メモリなし, 256バイト, 4 Kバイト, 16 Kバイト, および56 K/60 Kバイト^注のいずれかを選択できます。外部のメモリはPD7-0 (マルチプレクスト・アドレス/データ・バス), PF7-0(アドレス・バス), およびRD, WR, ALE信号を用いてアクセスできます。外部メモリにはプログラムとデータのいずれも格納できます。なおPF7-0は外部メモリの大きさに応じてアドレス・ラインとなり, 残りは汎用の入出力ポートとして使用できます。

PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0	外部メモリ
ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	256バイト以内
ポート	ポート	ポート	ポート	AB11	AB10	AB9	AB8	4 Kバイト以内
ポート	ポート	AB13	AB12	AB11	AB10	AB9	AB8	16 Kバイト以内
AB15	AB14	AB13	AB12	AB11	AB10	AB9	AB8	56 K/60 Kバイト以内 ^注

注 μPD78C11A : 60 Kバイト, μPD78C12A : 56 Kバイト。

図2-1 μPD78C10Aメモリ・マップ



3. リセット動作

RESET 入力にロウ・レベルが入力されると、システム・リセットがかかり次の状態になります。

- INTERRUPT ENABLE F/F がリセットされ、割り込み禁止状態になります。
- 割り込みマスク・レジスタがすべてセット (1) され、割り込みがマスク状態になります。
- 割り込み要求フラグがリセット (0) され、保留割り込みは消滅します。
- PSW はすべてリセット (0) されます。
- プログラム・カウンタ (PC) には 0000H がロードされます。
- MODE A レジスタ, MODE B レジスタ, MODE C レジスタ, および MODE F レジスタが FFH にセットされ、また MODE CONTROL C レジスタ, および MEMORY MAPPING レジスタの MM0, 1, 2 の各ビットがリセット (0) され、ポート A, ポート B, ポート C, ポート D, およびポート F はすべて入力ポート (出力ハイ・インピーダンス) になります。
- テスト・フラグは, SB フラグを除いてすべてリセット (0) されます。
- タイマ・モード・レジスタは FFH にセットされ, TIMER F/F はリセットされます。
- タイマ/イベント・カウンタのモード・レジスタ (ETMM, EOM) はリセット (0) されます。
- シリアル・インタフェースのシリアル・モード・ハイ・レジスタ (SMH) はリセット (0) され, またシリアル・モード・ロウ・レジスタ (SML) は 48H にセットされます。
- A/D コンバータの A/D チャンネル・モード・レジスタはリセット (0) されます。
- WR**, **RD**, ALE 信号はハイ・インピーダンスになります。
- ゼロクロス・モード・レジスタ (ZCM) の ZC1, ZC2 ビットはセット (1) されます。
- 内部のタイミング発生器はイニシャライズされます。
- データ・メモリおよび次に示すレジスタの内容は不定となります。

スタック・ポインタ (SP)

拡張アキュムレータ (EA, EA'), アキュムレータ (A, A')

汎用レジスタ (B, C, D, E, H, L, B', C', D', E', H', L')

各ポートの出力ラッチ

TIMER REG 0, 1 (TM0, TM1)

TIMER/EVENT COUNTER REG 0, 1 (ETM0, ETM1)

MEMORY MAPPING レジスタの RAE ビット

テスト・フラグの SB フラグ

RESET 入力がハイになるとリセット状態が解除され, 0000H からプログラムの実行を開始しますが, 各種レジスタの内容はプログラムの中で必要に応じてイニシャライズまたは再イニシャライズしてください。

表 3-1 に各ハードウェアのリセット後の状態を, 表 3-2 に各端子のリセット後の状態を示します。

表 3-1 各ハードウェアのリセット後の状態

ハードウェア			リセット後の状態
内部データ・メモリ	パワーオン・リセット時		以前の内容を保持
	通常動作中のリセット	CPU が書き込み動作中	不定
		上記以外のアドレスデータ	以前の内容を保持
	入力時	CPU が書き込み以外の動作中	
スタンバイ・モード時におけるリセット入力時			
拡張アキュムレータ (EA, EA')			不定
アキュムレータ (A, A')			
汎用レジスタ (B, C, D, E, H, L, B', C', D', E', H', L')			
ワーキング・レジスタ・ベクタ・レジスタ (V, V)			
プログラム・カウンタ (PC)			0000H
スタック・ポインタ (SP)			不定
ポート	モード・レジスタ (MA, MB, MC, MF)		FFH
	MCC レジスタ		00H
	MM レジスタ (MM0-MM2 ビット)		0
各ポートの出力ラッチ			不定
割り込み	INTERRUPT ENABLE F/F		0
	要求フラグ		0
	マスク・レジスタ		FFH
テスト・フラグ (SB フラグ以外)			0
スタンバイ・フラグ (SB)	パワーオン・リセット時		1
	スタンバイ・モード時		以前の内容を保持
	通常動作中のリセット入力時		RESET 入力直前の内容を保持
タイマ	タイマ・モード・レジスタ (TMM)		FFH
	タイマ F/F		0
	タイマ・レジスタ (TM0, TM1)		不定
タイマ/イベント・カウンタ	タイマ/イベント・カウンタ・モード・レジスタ (ETMM)		00H
	タイマ/イベント・カウンタ・アウトプット・モード・レジスタ (EOM)		
	タイマ/イベント・カウンタ・レジスタ (ETM0, ETM1)		不定
	タイマ/イベント・カウンタ・キャプチャ・レジスタ (ECPT)		
	タイマ/イベント・カウンタ (ECNT)		
シリアル・インタフェース	シリアル・モード・ハイ・レジスタ (SMH)		00H
	シリアル・モード・ロウ・レジスタ (SML)		48H
A/D チャンネル・モード・レジスタ (ANM)			00H
MM レジスタ (MM3; RAE ビット)			不定
ゼロクロス・モード・レジスタ (ZC1, ZC2 ビット)			1

表 3-2 各端子のリセット後の状態

端 子	リセット後の状態
WR	ハイ・インピーダンス
$\overline{\text{RD}}$	
ALE	
全ポート (PA, PB, PC, PD, PF)	

4. 命令セット

4.1 オペランドの表現 / 記述方式

表現形式	記述方式
r r1 r2	V, A, B, C, D, E, H, L EAH, EAL, B, C, D, E, H, L A, B, C
sr sr1 sr2 sr3 sr4	PA, PB, PC, PD, PF, MKH, MKL, ANM, SMH, SML, EOM, ETMM, TMM, MM, MCC, MA, MB, MC, MF, TXB, TM0, TM1, ZCM PA, PB, PC, PD, PF, MKH, MKL, ANM, SMH, EOM, TMM, RXB, CR0, CR1, CR2, CR3 PA, PB, PC, PD, PF, MKH, MKL, ANM, SMH, EOM, TMM ETM0, ETM1 ECNT, ECPT
rp rp1 rp2 rp3	SP, B, D, H V, B, D, H, EA SP, B, D, H, EA B, D, H
rpa rpa1 rpa2 rpa3	B, D, H, D+, H+, D-, H- B, D, H B, D, H, D+, H+, D-, H-, D+byte, H+A, H+B, H+EA, H+byte D, H, D++, H++, D+byte, H+A, H+B, H+EA, H+byte
wa	8 bit immediate data
word byte bit	16bit immediate data 8 bit immediate data 3 bit immediate data
f	CY, HC, Z
irf	NMI ^注 , FT0, FT1, F1, F2, FE0, FE1, FEIN, FAD, FSR, FST, ER, OV, AN4, AN5, AN6, AN7, SB

注 NMIはFNMIとも記述できます。

備考

1. sr~sr4(special register)

PA : PORT A	ETMM : TIMER/ EVENT
PB : PORT B	COUNTER MODE
PC : PORT C	EOM : TIMER/ EVENT
PD : PORT D	COUNTER OUTPUT MODE
PF : PORT F	ANM : A/D CHANNEL MODE
MA : MODE A	CR0 : A/D CONVERSION
MB : MODE B	RESULT 0~3
MC : MODE C	CR3
MCC : MODE CONTROL C	TXB : Tx BUFFER
MF : MODE F	RXB : Rx BUFFER
MM : MEMORY MAPPING	SMH : SERIAL MODE High
TM0 : TIMER REG0	SML : SERIAL MODE Low
TM1 : TIMER REG1	MKH : MASK High
TMM : TIMER MODE	MKL : MASK Low
ETM0 : TIMER/ EVENT	ZCM : ZERO CROSS MODE
COUNTER REG0	
ETM1 : TIMER/ EVENT	
COUNTER REG1	
ECNT : TIMER/ EVENT	
COUNTER UPCOUNTER	
ECPT : TIMER/ EVENT	
COUNTER CAPTURE	

2. rp~rp3(register pair)

SP : STACK POINTER
B : BC
D : DE
H : HL
V : VA
EA : EXTENDED ACCUMULATOR

3. rpa~rpa3(rp addressing)

B	: (BC)
D	: (DE)
H	: (HL)
D+	: (DE)+
H+	: (HL)+
D-	: (DE)-
H-	: (HL)-
D++	: (DE)++
H++	: (HL)++
D+byte	: (DE+byte)
H+A	: (HL+A)
H+B	: (HL+B)
H+EA	: (HL+EA)
H+byte	: (HL+byte)

4. f(flag)

CY : CARRY
HC : HALF CARRY
Z : ZERO

5. irf (interrupt flag)

NMI : NMI INPUT
FT0 : INTFT0
FT1 : INTFT1
F1 : INTF1
F2 : INTF2
FE0 : INTFE0
FE1 : INTFE1
FEIN : INTFEIN
FAD : INTFAD
FSR : INTFSR
FST : INTFST
ER : ERROR
OV : OVERFLOW
AN4 : ANALOG INPUT4~7
AN7
SB : STANDBY

4.2 命令コードの記号説明

r

R ₂	R ₁	R ₀	reg
0	0	0	V
0	0	1	A
0	1	0	B
0	1	1	C
1	0	0	D
1	0	1	E
1	1	0	H
1	1	1	L

r2

r

r1

T ₂	T ₁	T ₀	reg
0	0	0	EAH
0	0	1	EAL
0	1	0	B
0	1	1	C
1	0	0	D
1	0	1	E
1	1	0	H
1	1	1	L

rpa

A ₃	A ₂	A ₁	A ₀	addressing
0	0	0	0	—
0	0	0	1	(BC)
0	0	1	0	(DE)
0	0	1	1	(HL)
0	1	0	0	(DE) ⁺
0	1	0	1	(HL) ⁺
0	1	1	0	(DE) ⁻
0	1	1	1	(HL) ⁻
1	0	1	1	(DE+byte)
1	1	0	0	(HL+A)
1	1	0	1	(HL+B)
1	1	1	0	(HL+EA)
1	1	1	1	(HL+byte)

rpa1

rpa

rpa2

sr

S ₅	S ₄	S ₃	S ₂	S ₁	S ₀	Special-reg
0	0	0	0	0	0	PA
0	0	0	0	0	1	PB
0	0	0	0	1	0	PC
0	0	0	0	1	1	PD
0	0	0	1	0	1	PF
0	0	0	1	1	0	MKH
0	0	0	1	1	1	MKL
0	0	1	0	0	0	ANM
0	0	1	0	0	1	SMH
0	0	1	0	1	0	SML
0	0	1	0	1	1	EOM
0	0	1	1	0	0	ETMM
0	0	1	1	0	1	TMM
0	1	0	0	0	0	MM
0	1	0	0	0	1	MCC
0	1	0	0	1	0	MA
0	1	0	0	1	1	MB
0	1	0	1	0	0	MC
0	1	0	1	1	1	MF
0	1	1	0	0	0	TXB
0	1	1	0	0	1	RXB
0	1	1	0	1	0	TM0
0	1	1	0	1	1	TM1
1	0	0	0	0	0	CR0
1	0	0	0	0	1	CR1
1	0	0	0	1	0	CR2
1	0	0	0	1	1	CR3
1	0	1	0	0	0	ZCM

sr1

sr2

sr

rpa3

C ₃	C ₂	C ₁	C ₀	addressing
0	0	1	0	(DE)
0	0	1	1	(HL)
0	1	0	0	(DE) ⁺⁺
0	1	0	1	(HL) ⁺⁺
1	0	1	1	(DE+byte)
1	1	0	0	(HL+A)
1	1	0	1	(HL+B)
1	1	1	0	(HL+EA)
1	1	1	1	(HL+byte)

irf

I ₄	I ₃	I ₂	I ₁	I ₀	INTF
0	0	0	0	0	NMI
0	0	0	0	1	FT0
0	0	0	1	0	FT1
0	0	0	1	1	F1
0	0	1	0	0	F2
0	0	1	0	1	FE0
0	0	1	1	0	FE1
0	0	1	1	1	FEIN
0	1	0	0	0	FAD
0	1	0	0	1	FSR
0	1	0	1	0	FST
0	1	0	1	1	ER
0	1	1	0	0	OV
1	0	0	0	0	AN4
1	0	0	0	1	AN5
1	0	0	1	0	AN6
1	0	0	1	1	AN7
1	0	1	0	0	SB

sr3

U ₀	Special-reg
0	ETM0
1	ETM1

sr4

V ₀	Special-reg
0	ECNT
1	ECPT

rp

P ₂	P ₁	P ₀	reg-pair
0	0	0	SP
0	0	1	BC
0	1	0	DE
0	1	1	HL
1	0	0	EA

rp

rp2

rp3

rp1

Q ₂	Q ₁	Q ₀	reg-pair
0	0	0	VA
0	0	1	BC
0	1	0	DE
0	1	1	HL
1	0	0	EA

f

F ₂	F ₁	F ₀	フラグ
0	0	0	—
0	1	0	CY
0	1	1	HC
1	0	0	Z

4.3 命令実行時間について

ここに示されている1ステートは3クロック・サイクルからなっており、15 MHzのクロックを使用した場合、 $200\text{ ns}(=3 \times \frac{1}{15}\mu\text{s})$ となります。このとき、最小実行時間の4ステート命令は $0.8\ \mu\text{s}$ の実行時間となります。

命令群	メモニック	オペランド	命令コード			スタート	オペレーション	スキップ条件
			B1	B2	B3 B4			
8ビット・データ転送命令		r1, A	00011T ₂ T ₁ T ₀		B4	4	r1←A	
		A, r1	00001T ₂ T ₁ T ₀			4	A←r1	
	*	sr, A	01001101	11S ₅ S ₄ S ₃ S ₂ S ₁ S ₀		10	sr←A	
	*	A, sr1	01001100	11S ₅ S ₄ S ₃ S ₂ S ₁ S ₀		10	A←sr1	
		r, word	01110000	01101R ₂ R ₁ R ₀	Low Adrs	17	r←(word)	
		word, r	01111000	01111R ₂ R ₁ R ₀	Low Adrs	17	(word)←r	
	*	r, byte	01101R ₂ R ₁ R ₀	←Data→		7	r←byte	
		sr2, byte	01100100	S ₃ 0000S ₂ S ₁ S ₀	Data	14	sr2←byte	
	*	wa, byte	01110001	←Offset→	Data	13	(V.wa)←byte	
	*	rpa1, byte	010010A ₁ A ₀	←Data→		10	(rpa1)←byte	
	wa	01100011	←Offset→		10	(V.wa)←A		
*	wa	0000001	←Offset→		10	A←(V.wa)		
*	rpa2	A ₃ 0111A ₂ A ₁ A ₀	Data注1		7/13注3	(rpa2)←A		
*	rpa2	A ₃ 0101A ₂ A ₁ A ₀	Data注1		7/13注3	A←(rpa2)		
	EXX	00010001			4	{ B↔B', C↔C', D↔D', E↔E', H↔H', L↔L',		
	EXA	00010000			4	V,A↔V',A', EA↔EA'		
	EXH	01010000			4	H,L↔H',L'		
	BLOCK	00110001			13 (C+1) End if borrow	(DE) ⁺ ←(HL) ⁺ , C←C-1		
16ビット転送命令		rp3, EA	101101P ₁ P ₀			4	rp3L←EAL, rp3H←EAH	
	DMOV	EA, rp3	101001P ₁ P ₀			4	EAL←rp3L, EAH←rp3H	

命令群	ニック	オペランド	命令コード				ステータス	オペレーション	スキップ条件
			B1	B2	B3	B4			
MOV	sr3, EA		01001000	1101001U ₀			14	sr3←EA	
		EA, sr4		1100000V ₀			14	EA←sr4	
	word		01110000	00011110	Low Adrs	High Adrs	20	(word)←C, (word+1)←B	
		word		00101110			20	(word)←E, (word+1)←D	
16ビット	SHLD	word		00111110			20	(word)←L, (word+1)←H	
		word		00001110			20	(word)←SP _L , (word+1)←SP _H	
		rpas3	01001000	1001C ₂ C ₁ C ₀	Data ^{注2}		14/20 ^{注3}	(rpas3)←EAL, (rpas3+1)←EAH	
		word	01110000	00011111	Low Adrs	High Adrs	20	C←(word), B←(word+1)	
データ転送命令	LDED	word		00101111			20	E←(word), D←(word+1)	
		word		00111111			20	L←(word), H←(word+1)	
		word		00001111			20	SP _L ←(word), SP _H ←(word+1)	
		rpas3	01001000	1000C ₂ C ₁ C ₀	Data ^{注2}		14/20 ^{注3}	EAL←(rpas3), EAH←(rpas3+1)	
命令	PUSH	rp1	10110Q ₂ Q ₁ Q ₀			13	(SP-1)←rp1 _H , (SP-2)←rp1 _L SP←SP-2		
		rp1	10100Q ₂ Q ₁ Q ₀			10	rp1 _L ←(SP), rp1 _H ←(SP+1) SP←SP+2		
		rp2, word	0P ₂ P ₁ 0100	←Low Byte →	High Byte		10	rp2←word	
8ビットレジスタ演算命令	TABLE	A, r	01001000	10101000			17	C←(PC+3+A) B←(PC+3+A+1)	
		r, A	01100000	11000R ₂ R ₁ R ₀			8	A←A+r	
		A, r		0100			8	r←r+A	
		r, A		1101			8	A←A+r+CY	
命令	ADC			0101			8	r←r+A+CY	

命令群	オペランド	命令コード				ステート	オペレーション	スキップ条件
		B1	B2	B3	B4			
ADDNC	A, r	01100000	10100R ₂ R ₁ R ₀			8	A←A+r	No Carry
	r, A		0010			8	r←r+A	No Carry
SUB	A, r		1110			8	A←A-r	
	r, A		0110			8	r←r-A	
SBB	A, r		1111			8	A←A-r-CY	
	r, A		0111			8	r←r-A-CY	
SUBNB	A, r		1011			8	A←A-r	No Borrow
	r, A		0011			8	r←r-A	No Borrow
ANA	A, r		10001R ₂ R ₁ R ₀			8	A←A∧r	
	r, A		0000			8	r←r∧A	
ORA	A, r		1001			8	A←A∨r	
	r, A		0001			8	r←r∨A	
XRA	A, r		10010R ₂ R ₁ R ₀			8	A←A∨r	
	r, A		0001			8	r←r∨A	
GTA	A, r		10101R ₂ R ₁ R ₀			8	A-r-1	No Borrow
	r, A		0010			8	r-A-1	No Borrow
LTA	A, r		1011			8	A-r	Borrow
	r, A		0011			8	r-A	Borrow
NEA	A, r		1110			8	A-r	No Zero
	r, A		0110			8	r-A	No Zero

8 ビット演算命令 (レジスタ)

命令群	ニモニック	オペランド	命令コード				スタート	オペレーション	スキップ条件
			B1	B2	B3	B4			
8ビット演算命令	EQA	A, r	01100000	11111R ₂ R ₁ R ₀			8	A-r	Zero
		r, A		0111			8	r-A	Zero
	ONA	A, r		1100			8	A^r	No Zero
	OFFA	A, r		1101			8	A^r	Zero
8ビット演算命令(メモリ)	ADDX	rpa	01110000	11000A ₂ A ₁ A ₀			11	A←A+(rpa)	
	ADCX	rpa		1101			11	A←A+(rpa)+CY	
	ADDNCX	rpa		1010			11	A←A+(rpa)	No Carry
	SUBX	rpa		1110			11	A←A-(rpa)	
	SBBX	rpa		1111			11	A←A-(rpa)-CY	
	SUBNBX	rpa		1011			11	A←A-(rpa)	No Borrow
	ANAX	rpa		10001A ₂ A ₁ A ₀			11	A←A^(rpa)	
	ORAX	rpa		1001			11	A←A∨(rpa)	
	XRAX	rpa		10010A ₂ A ₁ A ₀			11	A←A∨(rpa)	
	GTAX	rpa		10101A ₂ A ₁ A ₀			11	A-(rpa)-1	No Borrow
	LTAX	rpa		1011			11	A-(rpa)	Borrow
	NEAX	rpa		1110			11	A-(rpa)	No Zero
	EQAX	rpa		1111			11	A-(rpa)	Zero
	ONAX	rpa		1100			11	A^(rpa)	No Zero
OFFAX	rpa		1101			11	A^(rpa)	Zero	

命令群	オペランド	命令コード				ステート	オペレーション	スキップ条件
		B1	B2	B3	B4			
ADI	* A, byte	01000110	←Data→			7	A←A+byte	
	r, byte	01110100	01000R ₂ R ₁ R ₀	Data		11	r←r+byte	
	sr2, byte	0110	S ₃ 1000S ₂ S ₁ S ₀			20	sr2←sr2+byte	
ACI	* A, byte	01010110	←Data→			7	A←A+byte+CY	
	r, byte	01110100	01010R ₂ R ₁ R ₀	Data		11	r←r+byte+CY	
	sr2, byte	0110	S ₃ 1010S ₂ S ₁ S ₀			20	sr2←sr2+byte+CY	
ADINC	* A, byte	00100110	←Data→			7	A←A+byte	No Carry
	r, byte	01110100	00100R ₂ R ₁ R ₀	Data		11	r←r+byte	No Carry
	sr2, byte	0110	S ₃ 0100S ₂ S ₁ S ₀			20	sr2←sr2+byte	No Carry
SUI	* A, byte	01100110	←Data→			7	A←A-byte	
	r, byte	01110100	01100R ₂ R ₁ R ₀	Data		11	r←r-byte	
	sr2, byte	0110	S ₃ 1100S ₂ S ₁ S ₀			20	sr2←sr2-byte	
SBI	* A, byte	01110110	←Data→			7	A←A-byte-CY	
	r, byte	01110100	01110R ₂ R ₁ R ₀	Data		11	r←r-byte-CY	
	sr2, byte	0110	S ₃ 1110S ₂ S ₁ S ₀			20	sr2←sr2-byte-CY	
SUI NB	* A, byte	00110110	←Data→			7	A←A-byte	No Borrow
	r, byte	01110100	00110R ₂ R ₁ R ₀	Data		11	r←r-byte	No Borrow
	sr2, byte	0110	S ₃ 0110S ₂ S ₁ S ₀			20	sr2←sr2-byte	No Borrow
ANI	* A, byte	00000111	←Data→			7	A←A^byte	
	r, byte	01110100	00001R ₂ R ₁ R ₀	Data		11	r←r^byte	

イニテイト・データ演算命令

命令群	オペランド	命令				スタート	オペレーション	スキップ条件
		B1	B2	B3	B4			
ANI	sr2, byte	01100100	S ₃ 0001S ₂ S ₁ S ₀	Data		20	sr2←sr2∧byte	
	* A, byte	00010111	←Data			7	A←A∨byte	
ORI	r, byte	01110100	00011R ₂ R ₁ R ₀	Data		11	r←r∨byte	
	sr2, byte	0110	S ₃ 0011S ₂ S ₁ S ₀	↓		20	sr2←sr2∨byte	
* XRI	A, byte	00010110	←Data			7	A←A∨byte	
	r, byte	01110100	00010R ₂ R ₁ R ₀	Data		11	r←r∨byte	
sr2, byte	0110	S ₃ 0010S ₂ S ₁ S ₀	↓			20	sr2←sr2∨byte	
	* A, byte	00100111	←Data			7	A←byte-1	No Borrow
GTI	r, byte	01110100	00101R ₂ R ₁ R ₀	Data		11	r←byte-1	No Borrow
	sr2, byte	0110	S ₃ 0101S ₂ S ₁ S ₀	↓		14	sr2←byte-1	No Borrow
* LTI	A, byte	00110111	←Data			7	A←byte	Borrow
	r, byte	01110100	00111R ₂ R ₁ R ₀	Data		11	r←byte	Borrow
sr2, byte	0110	S ₃ 0111S ₂ S ₁ S ₀	↓			14	sr2←byte	Borrow
	* A, byte	01100111	←Data			7	A←byte	No Zero
NEI	r, byte	01110100	01101R ₂ R ₁ R ₀	Data		11	r←byte	No Zero
	sr2, byte	0110	S ₃ 1101S ₂ S ₁ S ₀	↓		14	sr2←byte	No Zero
* EQI	A, byte	01110111	←Data			7	A←byte	Zero
	r, byte	01110100	01111R ₂ R ₁ R ₀	Data		11	r←byte	Zero
sr2, byte	0110	S ₃ 1111S ₂ S ₁ S ₀	↓			14	sr2←byte	Zero

イニテールデータ演算命令

命令群	オペランド	命令				アドレス		スタート	オペレーション	スキップ条件
		B1	B2	B3	B4					
* ONI	A, byte	01000111	←Data→				7	A^byte	No Zero	
	r, byte	01110100	01001R ₂ R ₁ R ₀	Data			11	r^byte	No Zero	
	sr2, byte	0110	S ₃ 1001S ₂ S ₁ S ₀				14	sr2^byte	No Zero	
* OFFI	A, byte	01010111	←Data→				7	A^byte	Zero	
	r, byte	01110100	01011R ₂ R ₁ R ₀	Data			11	r^byte	Zero	
	sr2, byte	0110	S ₃ 1011S ₂ S ₁ S ₀				14	sr2^byte	Zero	
ADDW	wa	01110100	11000000	offset			14	A←A+(V.wa)		
ADCW	wa		1101				14	A←A+(V.wa)+CY		
ADDNCW	wa		1010				14	A←A+(V.wa)	No Carry	
SUBW	wa		1110				14	A←A-(V.wa)		
SBBW	wa		1111				14	A←A-(V.wa)-CY		
SUBNBW	wa		1011				14	A←A-(V.wa)	No Borrow	
ANAW	wa		10001000				14	A←A^(V.wa)		
ORAW	wa		1001				14	A←A∨(V.wa)		
XRAW	wa		10010000				14	A←A∨(V.wa)		
GTAW	wa		10101000				14	A-(V.wa)-1	No Borrow	
LTAW	wa		1011				14	A-(V.wa)	Borrow	
NEAW	wa		1110				14	A-(V.wa)	No Zero	
EQAW	wa		1111				14	A-(V.wa)	Zero	
ONAW	wa		1100				14	A^(V.wa)	No Zero	

インポート・データ演算命令 フォーミング・レジスタ演算命令

命令群	オペランド	命令コード				スタート	オペレーション	スキップ条件
		B1	B2	B3	B4			
OFFAW	wa	01110100	11011000	Offset		14	$A \wedge (V.wa)$	Zero
* ANIW	wa, byte	0000101	← Offset →	Data		19	$(V.wa) \leftarrow (V.wa) \wedge \text{byte}$	
* ORI	wa, byte	0001				19	$(V.wa) \leftarrow (V.wa) \vee \text{byte}$	
* GTIW	wa, byte	0010				13	$(V.wa) - \text{byte} - 1$	No Borrow
* LTIW	wa, byte	0011				13	$(V.wa) - \text{byte}$	Borrow
* NEIW	wa, byte	0110				13	$(V.wa) - \text{byte}$	No Zero
* EQIW	wa, byte	0111				13	$(V.wa) - \text{byte}$	Zero
* ONIW	wa, byte	0100				13	$(V.wa) \wedge \text{byte}$	No Zero
* OFFIW	wa, byte	0101				13	$(V.wa) \wedge \text{byte}$	Zero
EADD	EA, r2	01110000	010000R _i R ₀			11	$EA \leftarrow EA + r2$	
DADD	EA, rp3	0100	110001P _i P ₀			11	$EA \leftarrow EA + rp3$	
DADC	EA, rp3		1101			11	$EA \leftarrow EA + rp3 + CY$	
DADDNC	EA, rp3		1010			11	$EA \leftarrow EA + rp3$	No Carry
ESUB	EA, r2	0000	011000R _i R ₀			11	$EA \leftarrow EA - r2$	
DSUB	EA, rp3	0100	111001P _i P ₀			11	$EA \leftarrow EA - rp3$	
DSBB	EA, rp3		1111			11	$EA \leftarrow EA - rp3 - CY$	
DSUBNB	EA, rp3		1011			11	$EA \leftarrow EA - rp3$	No Borrow
DAN	EA, rp3		100011P _i P ₀			11	$EA \leftarrow EA \wedge rp3$	
DOR	EA, rp3		1001			11	$EA \leftarrow EA \vee rp3$	
DXR	EA, rp3		100101P _i P ₀			11	$EA \leftarrow EA \vee rp3$	

ワーキング・レジスタ演算命令

16ビット演算命令

命令群	ニモニック	オペランド	命令コード			オペレーション	ステート	スキップ条件
			B1	B2	B3 B4			
16ビット演算命令	DGT	EA, rp3	01110100	101011P ₁ P ₀		EA ← rp3 - 1	11	No Borrow
	DLT	EA, rp3		1011		EA ← rp3	11	Borrow
演算命令	DNE	EA, rp3		1110		EA ← rp3	11	No Zero
	DEQ	EA, rp3		1111		EA ← rp3	11	Zero
乗除算命令	DON	EA, rp3		1100		EA ∧ rp3	11	No Zero
	DOFF	EA, rp3		1101		EA ∧ rp3	11	Zero
乗除算命令	MUL	r2	01001000	001011R ₁ R ₀		EA ← A × r2	32	
	DIV	r2		0011		EA ← EA ÷ r2, r2 ← 余り	59	
増減命令	INR	r2	010000R ₁ R ₀			r2 ← r2 + 1	4	Carry
	INRW	* wa	00100000	← Offset →		(V.wa) ← (V.wa) + 1	16	Carry
減命令	INX	rp	00P ₁ P ₀ 0010			rp ← rp + 1	7	
	DCR	EA	10101000			EA ← EA + 1	7	
減命令	DCR	r2	010100R ₁ R ₀			r2 ← r2 - 1	4	Borrow
	DCRW	* wa	00110000	← Offset →		(V.wa) ← (V.wa) - 1	16	Borrow
命令	DCX	rp	00P ₁ P ₀ 0011			rp ← rp - 1	7	
	DAA	EA	10101001			EA ← EA - 1	7	
その他の演算命令	DAA		01100001			Decimal Adjust Accumulator	4	
	STC		01001000	00101011		CY ← 1	8	
	CLC			00101010		CY ← 0	8	
NEGA				00111010		A ← \bar{A} + 1	8	

命令群	ニック	オペランド	命令コード				スタート	オペレーション	スキップ条件
			B1	B2	B3	B4			
ローテーション	RLD		01001000	00111000			17	Rotate Left Digit	
	RRD			1001			17	Rotate Right Digit	
	RLL	r2		01R ₀			8	$r2_{m+1} \leftarrow r2_m, r2_0 \leftarrow CY, CY \leftarrow r2_7$	
	RLR	r2		00R ₀			8	$r2_{m-1} \leftarrow r2_m, r2_7 \leftarrow CY, CY \leftarrow r2_0$	
	SLL	r2		001001R ₀			8	$r2_{m+1} \leftarrow r2_m, r2_0 \leftarrow 0, CY \leftarrow r2_7$	
	SLR	r2		00R ₀			8	$r2_{m-1} \leftarrow r2_m, r2_7 \leftarrow 0, CY \leftarrow r2_0$	
	SLLC	r2		000001R ₀			8	$r2_{m+1} \leftarrow r2_m, r2_0 \leftarrow 0, CY \leftarrow r2_7$	Carry
	SLRC	r2		00R ₀			8	$r2_{m-1} \leftarrow r2_m, r2_7 \leftarrow 0, CY \leftarrow r2_0$	Carry
	DRLL	EA			10110100		8	$EA_{n+1} \leftarrow EA_n, EA_0 \leftarrow CY, CY \leftarrow EA_{15}$	
	DRLR	EA			0000		8	$EA_{n-1} \leftarrow EA_n, EA_{15} \leftarrow CY, CY \leftarrow EA_0$	
ジャンプ命令	DSL	EA		10100100			8	$EA_{n+1} \leftarrow EA_n, EA_0 \leftarrow 0, CY \leftarrow EA_{15}$	
	DSL	EA		0000			8	$EA_{n-1} \leftarrow EA_n, EA_{15} \leftarrow 0, CY \leftarrow EA_0$	
	JMP	* word	01010100	Low Adrs	High Adrs		10	PC ← word	
	JB		00100001				4	PC _H ← B, PC _L ← C	
	JR	word	11 ← jdisp1				10	PC ← PC + 1 + jdisp1	
	JRE	* word	0100111	jdisp			10	PC ← PC + 2 + jdisp	
	JEA		01001000	00101000			8	PC ← EA	
	CALL	* word	01000000	Low Adrs	High Adrs		16	$(SP-1) \leftarrow (PC+3)_H, (SP-2) \leftarrow (PC+3)_L$ PC ← word, SP ← SP - 2	
	CALB		01001000	00101001			17	$(SP-1) \leftarrow (PC+2)_H, (SP-2) \leftarrow (PC+2)_L$ PC _H ← B, PC _L ← C, SP ← SP - 2	
	CALF	* word	01111	fa			13	$(SP-1) \leftarrow (PC+2)_H, (SP-2) \leftarrow (PC+2)_L$ PC ₁₅₋₁₁ ← 00001, PC ₁₀₋₀ ← fa, SP ← SP - 2	

命令群	ニモニック	オペランド	命令				ステート	オペレーション	スキップ条件
			B1	B2	B3	B4			
コントロール命令	CALT	word	1 0 0 ← ta →				16	$(SP-1) \leftarrow (PC+1)_H, (SP-2) \leftarrow (PC+1)_L$ $PC_L \leftarrow (128+2ta), PC_H \leftarrow (129+2ta), SP \leftarrow SP-2$	
	SOFTI		0 1 1 1 0 0 1 0				16	$(SP-1) \leftarrow PSW, (SP-2) \leftarrow (PC+1)_H, (SP-3) \leftarrow (PC+1)_L, PC \leftarrow 0060H, SP \leftarrow SP-3$	
リターン命令	RET		1 0 1 1 1 0 0 0				10	$PC_L \leftarrow (SP), PC_H \leftarrow (SP+1)$ $SP \leftarrow SP+2$	
	RETS		1 0 0 1				10	$PC_L \leftarrow (SP), PC_H \leftarrow (SP+1), SP \leftarrow SP+2$ $PC \leftarrow PC+n$	無条件スキップ
	RETI		0 1 1 0 0 0 1 0				13	$PC_L \leftarrow (SP), PC_H \leftarrow (SP+1);$ $PSW \leftarrow (SP+2), SP \leftarrow SP+3$	
スキップ命令	BIT	* bit, wa	0 1 0 1 1 B ₂ B ₁ B ₀	← Offset →			10	Skip if (V.wa) bit = 1	(V.wa)bit = 1
	SK	f	0 1 0 0 1 0 0 0	0 0 0 0 1 F ₂ F ₁ F ₀			8	Skip if f = 1	f = 1
	SKN	f		0 0 0 1			8	Skip if f = 0	f = 0
	SKIT	irf		0 1 0 I ₄ I ₃ I ₂ I ₁ I ₀			8	Skip if irf = 1, then reset irf	irf = 1
	SKNIT	irf		0 1 1 I ₄ I ₃ I ₂ I ₁ I ₀			8	Skip if irf = 0 Reset irf, if irf = 1	irf = 0
CPU制御命令	NOP		0 0 0 0 0 0 0 0				4	No Operation	
	EI		1 0 1 0 1 0 1 0				4	Enable Interrupt	
	DI		1 0 1 1 1 0 1 0				4	Disable Interrupt	
	HLT		0 1 0 0 1 0 0 0	0 0 1 1 1 0 1 1			12	Set Halt Mode	
	STOP		0 1 0 0 1 0 0 0	1 0 1 1 1 0 1 1			12	Set Stop Mode	

注1. B2(Data)はrpa2=D+byte, H+byteの場合です。

2. B3(Data)はrpa3=D+byte, H+byteの場合です。

3. ステートの項でスラッシュされる場合はrpa2, rpa3がD+byte, H+A, H+B, H+EA, H+byteの場合です。

備考 各命令がスキップされる場合のアイドル・ステートは実行ステートとは異なり次のようになります。

- 1 バイト命令 : 4ステート 3 バイト命令(*印付き) : 10ステート
- 2 バイト命令(*印付き) : 7ステート 3 バイト命令 : 11ステート
- 2 バイト命令 : 8ステート 4 バイト命令 : 14ステート

5. モード・レジスタの一覧

モード・レジスタ名		Read / Write	機 能
MA	MODE Aレジスタ	W	ポートAの入力/出力の指定をビット単位に行います。
MB	MODE Bレジスタ	W	ポートBの入力/出力の指定をビット単位に行います。
MCC	MODE CONTROL Cレジスタ	W	ポートCのポート/コントロール・モードの指定をビット単位に行います。
MC	MODE Cレジスタ	W	ポート・モードになっているポートCの入力/出力の指定をビット単位に行います。
MM	MEMORY MAPPING レジスタ	W	ポートD, ポートFのポート/拡張モードの指定を行います。
MF	MODE Fレジスタ	W	ポート・モードになっているポートFの入力/出力の指定をビット単位に行います。
TMM	タイマ・モード・レジスタ	R/W	タイマの動作モードを指定します。
ETMM	タイマ/イベント・カウンタ・ モード・レジスタ	W	タイマ/イベント・カウンタの動作モードを指定します。
EOM	タイマ/イベント・カウンタ・ アウトプット・モード・レジスタ	R/W	CO0, CO1の出力レベルを制御します。
SML	シリアル・モード・レジスタ	W	シリアル・インタフェースの動作モードを指定します。
SMH		R/W	
MKL	割り込みマスク・レジスタ	R/W	割り込み要求の許可/禁止を指定します。
MKH			
ANM	A/Dチャンネル・モード・レジスタ	R/W	A/Dコンバータの動作モードを指定します。
ZCM	ゼロクロス・モード・レジスタ	W	ゼロクロス検出回路の動作を指定します。

6. 電気的特性

絶対最大定格 ($T_A = 25^\circ\text{C}$)

項目	略号	条件	定格	単位
電源電圧	V_{DD}		$-0.5 \sim +7.0$	V
	AV_{DD}		$AV_{SS} \sim V_{DD} + 0.5$	V
	AV_{SS}		$-0.5 \sim +0.5$	V
入力電圧	V_I		$-0.5 \sim V_{DD} + 0.5$	V
出力電圧	V_O		$-0.5 \sim V_{DD} + 0.5$	V
ロウ・レベル出力電流	I_{OL}	全出力端子	4.0	mA
		全出力端子合計	100	mA
ハイ・レベル出力電流	I_{OH}	全出力端子	-2.0	mA
		全出力端子合計	-50	mA
A/Dコンバータ 基準入力電圧	V_{AREF}		$-0.5 \sim AV_{DD} + 0.3$	V
動作周囲温度	T_A		$-40 \sim +85$	$^\circ\text{C}$
保存温度	T_{stg}		$-65 \sim +150$	$^\circ\text{C}$

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つ
 まり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、
 製品をご使用ください。

★

発振器特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = AV_{DD} = +5.0 \text{ V} \pm 10\%$, $V_{SS} = AV_{SS} = 0 \text{ V}$,
 $V_{DD} - 0.8 \text{ V} \leq AV_{DD} \leq V_{DD}$, $3.4 \text{ V} \leq V_{AREF} \leq AV_{DD}$)

発振子	推奨回路	項目	条件	MIN.	MAX.	単位
注1 セラミック 発振子 または 注2 水晶振動子		発振周波数 (f_{XX})	A/Dコンバータ 使用しない	4	15	MHz
			A/Dコンバータ 使用する	5.8	15	MHz
外部 クロック		X1 入力周波数 (f_X)	A/Dコンバータ 使用しない	4	15	MHz
			A/Dコンバータ 使用する	5.8	15	MHz
		X1 入力立ち上がり, 立ち下 がり時間 (t_r, t_f)	0	20	ns	
		X1 入力ハイ, ロウ・レベル 幅 ($t_{\phi H}, t_{\phi L}$)	20	250	ns	

注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。

2. の範囲に他の信号線を通さないでください。

注1. セラミック発振子および外付け容量として下表のものを推奨します。

メーカ	品名	推奨定数	
		C1 [pF]	C2 [pF]
村田製作所	CSA7.37MT	30	30
	CST7.37MTW	内蔵	内蔵
	CSA12.0MT	30	30
	CST12.0MTW	内蔵	内蔵
	CSA15.00MX001	15	15
TDK	FCR8.0MC	内蔵	内蔵
	FCR10.0MC		
	FCR12.0MC		
	FCR15.0MC		

2. 水晶振動子を用いる場合は, 外付け容量として次のものを推奨します。

C1 = C2 = 10 pF

容量 ($T_A = 25^\circ\text{C}$, $V_{DD} = V_{SS} = 0\text{V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入 力 容 量	C_i	$f_c = 1\text{MHz}$ 被測定端子以外は0V			10	pF
出 力 容 量	C_o				20	pF
入 出 力 容 量	C_{io}				20	pF

DC特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = AV_{DD} = +5.0 \text{ V} \pm 10 \%$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル入力電圧	V_{IL1}	RESET, STOP, NMI, SCK, INT1, TI, AN4-AN7以外	0		0.8	V	
	V_{IL2}	RESET, STOP, NMI, SCK, INT1, TI, AN4-AN7	0		$0.2V_{DD}$	V	
ハイ・レベル入力電圧	V_{IH1}	RESET, STOP, NMI, SCK, INT1, TI, AN4-AN7, X1, X2以外	2.2		V_{DD}	V	
	V_{IH2}	RESET, STOP, NMI, SCK, INT1, TI, AN4-AN7, X1, X2	$0.8V_{DD}$		V_{DD}	V	
ロウ・レベル出力電圧	V_{OL}	$I_{OL} = 2.0 \text{ mA}$			0.45	V	
ハイ・レベル出力電圧	V_{OH}	$I_{OH} = -1.0 \text{ mA}$	$V_{DD} - 1.0$			V	
		$I_{OH} = -100 \mu\text{A}$	$V_{DD} - 0.5$			V	
入力電流	I_I	^{注1} INT1, ^{注2} TI(PC3); $0 \text{ V} \leq V_I \leq V_{DD}$			± 200	μA	
入力リーク電流	I_{LI}	INT1, TI(PC3)以外; $0 \text{ V} \leq V_I \leq V_{DD}$			± 10	μA	
出力リーク電流	I_{LO}	$0 \text{ V} \leq V_O \leq V_{DD}$			± 10	μA	
AV_{DD} 電源電流	AI_{DD1}	動作モード $f_{XX} = 15 \text{ MHz}$		0.5	1.3	mA	
	AI_{DD2}	STOPモード		10	20	μA	
V_{DD} 電源電流	I_{DD1}	動作モード $f_{XX} = 15 \text{ MHz}$		13	25	mA	
	I_{DD2}	HALTモード $f_{XX} = 15 \text{ MHz}$		7	13	mA	
データ保持電圧	V_{DDDR}	ハードウェア/ソフトウェア STOPモード	2.5			V	
データ保持電流	I_{DDDR}	ハードウェア/ソフトウェア ^{注3} STOPモード	$V_{DDDR} = 2.5 \text{ V}$		1	15	μA
			$V_{DDDR} = 5 \text{ V} \pm 10\%$		10	50	μA
プルアップ抵抗 ^{注4}	R_L	ポート A, B, C	$3.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_I = 0 \text{ V}$	17	27	75	$\text{k}\Omega$

注意 ハードウェア STOP モードの詳細については、87AD シリーズ μ PD78C18 ユーザーズ・マニュアルを参照してください。

- 注1. ZCMレジスタによってセルフバイアスを発生するとした場合
- 2. MCCレジスタによってコントロール・モードにした場合で、ZCMレジスタによってセルフバイアスを発生するとした場合
- 3. セルフバイアスを発生しないとき
- 4. μ PD78C11A, 78C12Aのみ

AC特性 (T_A = -40 ~ +85 °C, V_{DD} = AV_{DD} = +5.0 V ± 10 %, V_{SS} = AV_{SS} = 0 V)

リード/ライト・オペレーション:

項 目	略 号	条 件	MIN.	MAX.	単 位	
X1 入力サイクル・タイム	t _{CYC}		66	250	ns	
アドレス・セットアップ時間(対ALE↓)	t _{AL}	f _{XX} = 15 MHz, C _L = 100 pF	30		ns	
アドレス・ホールド時間(対ALE↓)	t _{LA}		35		ns	
アドレス → \overline{RD} ↓ 遅延時間	t _{AR}		100		ns	
\overline{RD} ↓ → アドレス・フロート時間	t _{AFR}		C _L = 100 pF		20	ns
アドレス → データ入力時間	t _{AD}	f _{XX} = 15 MHz, C _L = 100 pF		250	ns	
ALE ↓ → データ入力時間	t _{LDR}			135	ns	
\overline{RD} ↓ → データ入力時間	t _{RD}			120	ns	
ALE ↓ → \overline{RD} ↓ 遅延時間	t _{LR}			15	ns	
データ・ホールド時間(対 \overline{RD} ↑)	t _{RDH}		C _L = 100 pF	0		ns
\overline{RD} ↑ → ALE ↑ 遅延時間	t _{RL}	f _{XX} = 15 MHz, C _L = 100 pF	80		ns	
\overline{RD} ロウ・レベル幅	t _{RR}	データ・リード時 f _{XX} = 15 MHz, C _L = 100 pF	215		ns	
		OPコード・フェッチ時 f _{XX} = 15 MHz, C _L = 100 pF	415		ns	
ALE ハイ・レベル幅	t _{LL}	f _{XX} = 15 MHz, C _L = 100 pF	90		ns	
\overline{MI} セットアップ時間(対ALE↓)	t _{ML}	f _{XX} = 15 MHz	30		ns	
\overline{MI} ホールド時間(対ALE↓)	t _{LM}		35		ns	
\overline{IO}/M セットアップ時間(対ALE↓)	t _{IL}		30		ns	
\overline{IO}/M ホールド時間(対ALE↓)	t _{LI}		35		ns	
アドレス → \overline{WR} ↓ 遅延時間	t _{AW}		f _{XX} = 15 MHz, C _L = 100 pF	100		ns
ALE ↓ → データ出力時間	t _{LDW}			180	ns	
\overline{WR} ↓ → データ出力時間	t _{WD}	C _L = 100 pF		100	ns	
ALE ↓ → \overline{WR} ↓ 遅延時間	t _{LW}	f _{XX} = 15 MHz, C _L = 100 pF	15		ns	
データ・セットアップ時間(対 \overline{WR} ↑)	t _{DW}		165		ns	
データ・ホールド時間(対 \overline{WR} ↑)	t _{WDH}		60		ns	
\overline{WR} ↑ → ALE ↑ 遅延時間	t _{WL}		80		ns	
\overline{WR} ロウ・レベル幅	t _{WW}			215		ns

シリアル・オペレーション:

項 目	略 号	条 件	MIN.	MAX.	単 位
SCK サイクル・タイム	t _{CYK}	SCK入力	注1	800	ns
			注2	400	ns
		SCK出力		1.6	μs
SCK ロウ・レベル幅	t _{KKL}	SCK入力	注1	335	ns
			注2	160	ns
		SCK出力		700	ns
SCK ハイ・レベル幅	t _{KKH}	SCK入力	注1	335	ns
			注2	160	ns
		SCK出力		700	ns
RxDセットアップ時間(対SCK↑)	t _{RXX}	注1	80	ns	
RxDホールド時間(対SCK↑)	t _{KRX}	注1	80	ns	
SCK ↓ → TxD 遅延時間	t _{KTX}	注1		210	ns

注1. アシンクロナス・モードでクロック・レートが×1, シンクロナス・モード, I/Oインタフェース・モードの場合

2. アシンクロナス・モードでクロック・レートが×16, ×64の場合

備考 表中の数値はf_{XX}=15 MHz, C_L=100 pFのときの値です。

ゼロクロス特性:

項 目	略 号	条 件	MIN.	MAX.	単 位
ゼロクロス検出入力	V _{ZX}	AC結合 60Hz正弦波	1	1.8	VAC _{P-P}
ゼロクロス正確度	A _{ZX}		±135	mV	
ゼロクロス検出入力周波数	f _{ZX}		0.05	1	kHz

その他のオペレーション:

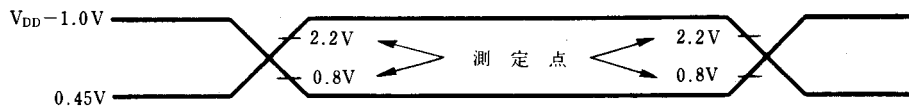
項 目	略 号	条 件	MIN.	MAX.	単 位
TI ハイ, ロウ・レベル幅	t _{TIH} , t _{TIL}		6		t _{CYC}
CI ハイ, ロウ・レベル幅	t _{CI1H} , t _{CI1L}	イベント・カウンタ・モード	6		t _{CYC}
	t _{CI2H} , t _{CI2L}	パルス幅測定モード	48		t _{CYC}
NMI ハイ, ロウ・レベル幅	t _{NIH} , t _{NIL}		10		μs
INT1 ハイ, ロウ・レベル幅	t _{I1H} , t _{I1L}		36		t _{CYC}
INT2 ハイ, ロウ・レベル幅	t _{I2H} , t _{I2L}		36		t _{CYC}
AN4-7 ハイ, ロウ・レベル幅	t _{ANH} , t _{ANL}		36		t _{CYC}
RESET ハイ, ロウ・レベル幅	t _{RSH} , t _{RSL}		10		μs

A/Dコンバータ特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = +5.0 \text{ V} \pm 10 \%$, $V_{SS} = AV_{SS} = 0 \text{ V}$,
 $V_{DD} - 0.5 \text{ V} \leq AV_{DD} \leq V_{DD}$, $3.4 \text{ V} \leq V_{AREF} \leq AV_{DD}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8			Bits
絶対精度 注		$3.4 \text{ V} \leq V_{AREF} \leq AV_{DD}$, $66 \text{ ns} \leq t_{CYC} \leq 170 \text{ ns}$			$\pm 0.8 \%$	FSR
		$4.0 \leq V_{AREF} \leq AV_{DD}$, $66 \text{ ns} \leq t_{CYC} \leq 170 \text{ ns}$			$\pm 0.6 \%$	FSR
		$T_A = -10 \sim +70 \text{ }^\circ\text{C}$, $4.0 \leq V_{AREF} \leq AV_{DD}$, $66 \text{ ns} \leq t_{CYC} \leq 170 \text{ ns}$			$\pm 0.4 \%$	FSR
変換時間	t_{CONV}	$66 \text{ ns} \leq t_{CYC} \leq 110 \text{ ns}$	576			tcyc
		$110 \text{ ns} \leq t_{CYC} \leq 170 \text{ ns}$	432			tcyc
サンプリング時間	t_{SAMP}	$66 \text{ ns} \leq t_{CYC} \leq 110 \text{ ns}$	96			tcyc
		$110 \text{ ns} \leq t_{CYC} \leq 170 \text{ ns}$	72			tcyc
アナログ入力電圧	V_{IAN}	AN0-AN7 (未使用端子も含む)	-0.3		$V_{AREF} + 0.3$	V
アナログ入力インピーダンス	R_{AN}			50		$M\Omega$
基準電圧	V_{AREF}		3.4		AV_{DD}	V
V_{AREF} 電流	I_{AREF1}	動作モード		1.5	3.0	mA
	I_{AREF2}	STOPモード		0.7	1.5	mA
AV_{DD} 電源電流	AI_{DD1}	動作モード $f_{XX} = 15 \text{ MHz}$		0.5	1.3	mA
	AI_{DD2}	STOPモード		10	20	μA

注 量子化誤差 ($\pm 1/2\text{LSB}$) は含みません。

ACタイミング測定点



t_{cyc}依存のAC特性計算式

項目	計 算 式	MIN./MAX.	単 位
t _{AL}	2 T-100	MIN.	ns
t _{LA}	T-30	MIN.	ns
t _{AR}	3 T-100	MIN.	ns
t _{AD}	7 T-220	MAX.	ns
t _{LDR}	5 T-200	MAX.	ns
t _{RD}	4 T-150	MAX.	ns
t _{LR}	T-50	MIN.	ns
t _{RL}	2 T-50	MIN.	ns
t _{RR}	4 T-50 (データ・リード時)	MIN.	ns
	7 T-50 (OPコード・フェッチ時)		
t _{LL}	2 T-40	MIN.	ns
t _{ML}	2 T-100	MIN.	ns
t _{LM}	T-30	MIN.	ns
t _{IL}	2 T-100	MIN.	ns
t _{LI}	T-30	MIN.	ns
t _{AW}	3 T-100	MIN.	ns
t _{LDW}	T+110	MAX.	ns
t _{LW}	T-50	MIN.	ns
t _{DW}	4 T-100	MIN.	ns
t _{WDH}	2 T-70	MIN.	ns
t _{WL}	2 T-50	MIN.	ns
t _{WW}	4 T-50	MIN.	ns
t _{CYK}	12T (SCK入力) ^{注1} /6T (SCK入力) ^{注2}	MIN.	ns
	24T (SCK出力)		
t _{KKL}	5 T+5 (SCK入力) ^{注1} /2.5T+5(SCK入力) ^{注2}	MIN.	ns
	12T-100 (SCK出力)		
t _{KKH}	5 T+5 (SCK入力) ^{注1} /2.5T+5(SCK入力) ^{注2}	MIN.	ns
	12T-100 (SCK出力)		

注1. アシンクロナス・モードでクロック・レートが×1, シンクロナス・モード, I/Oインタフェース・モードの場合

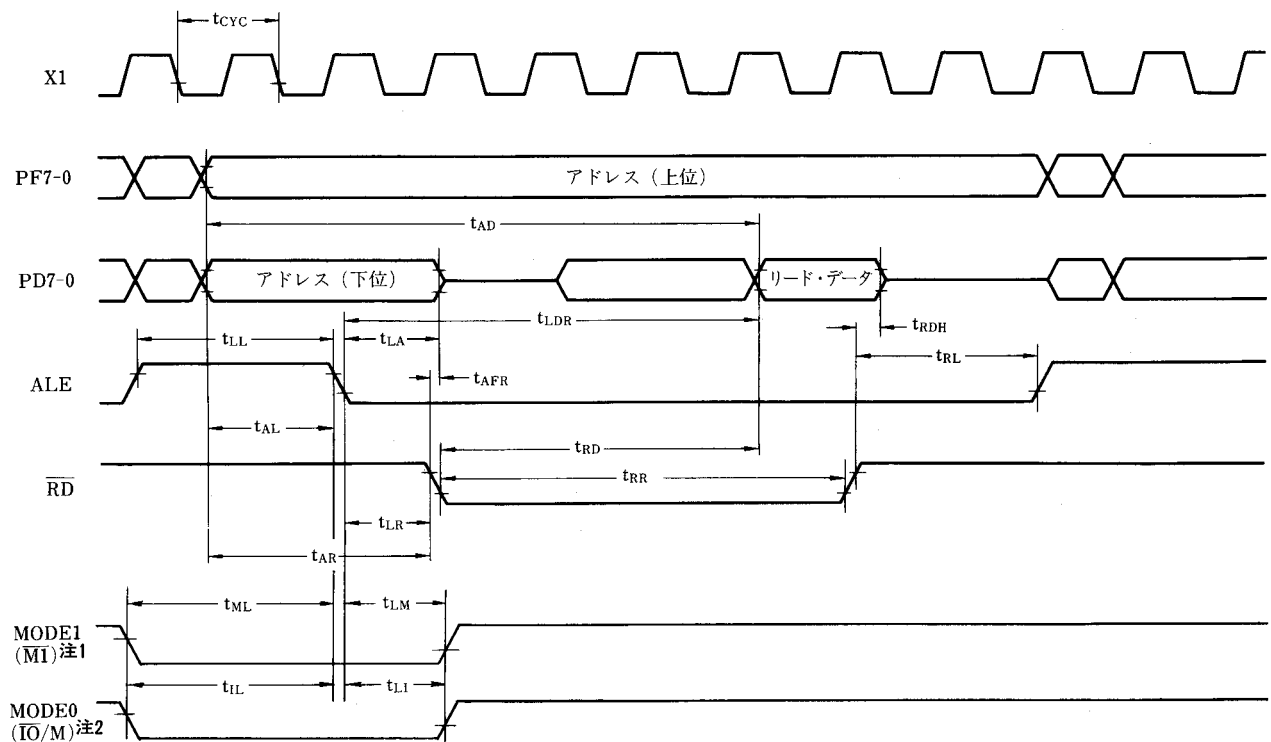
2. アシンクロナス・モードでクロック・レートが×16, ×64の場合

注意1. $T = t_{cyc} = 1/f_{xx}$

2. この表に示されていない項目は発振周波数 (f_{xx}) に依存しません。

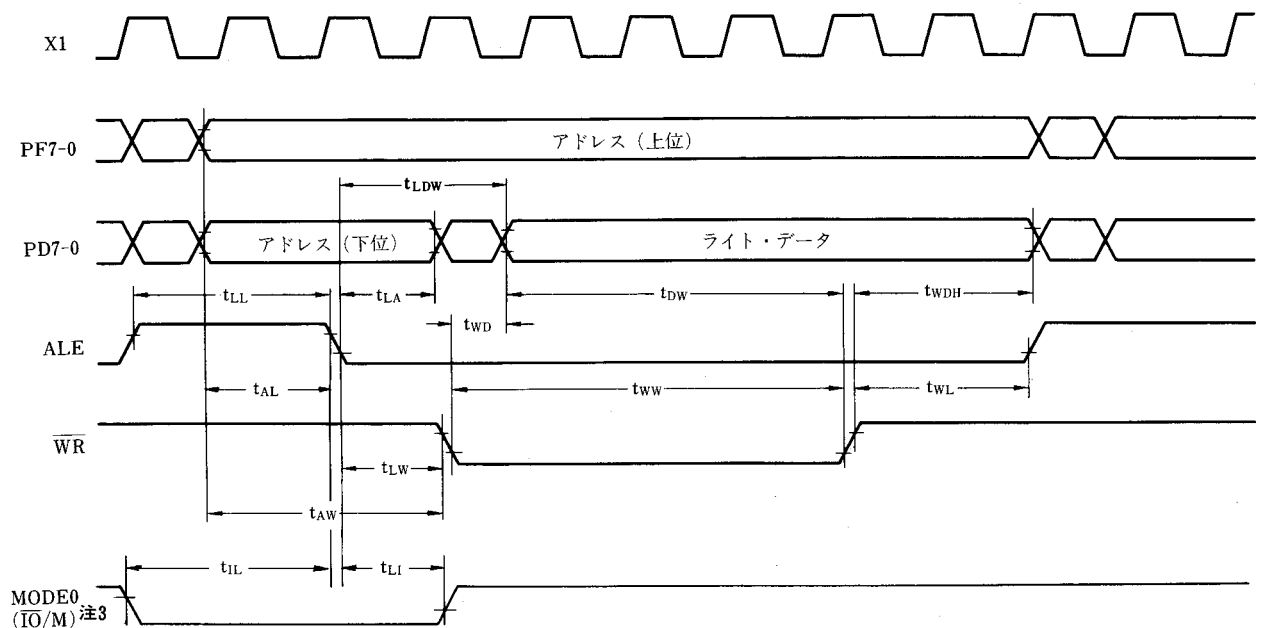
タイミング波形

リード・オペレーション



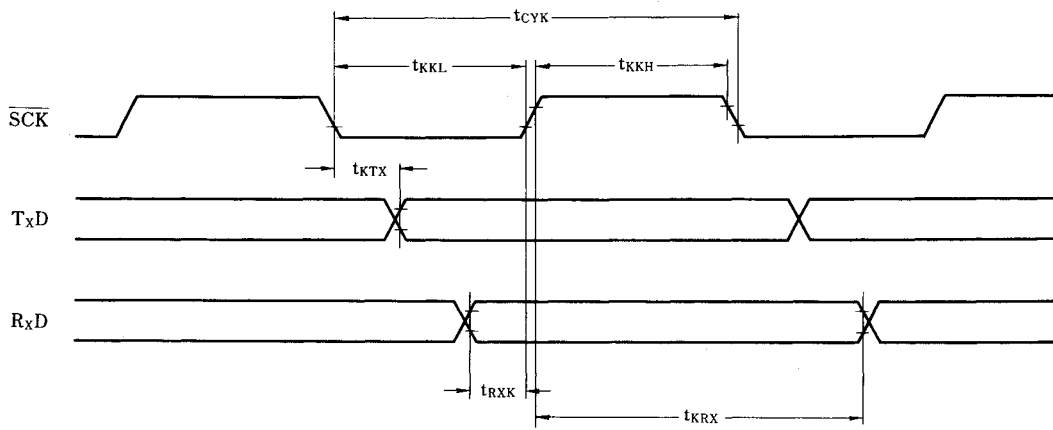
- 注1. \overline{MI} 信号は、MODE1端子がプルアップされているとき、第10Pコード・フェッチ・サイクルで、MODE1端子に出力されます。
- 2. $\overline{IO/M}$ 信号は、MODE0端子がプルアップされているとき、sr~sr2レジスタ・リード・サイクルでMODE0端子に出力されます。

ライト・オペレーション

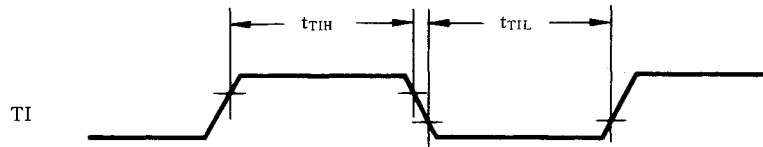


- 注3. $\overline{IO/M}$ 信号は、MODE0端子がプルアップされているとき、sr~sr2レジスタ・ライト・サイクルでMODE0端子に出力されます。

シリアル・オペレーション

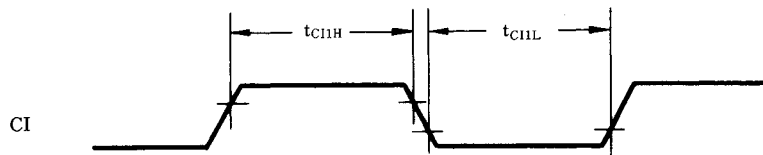


タイマ入力タイミング

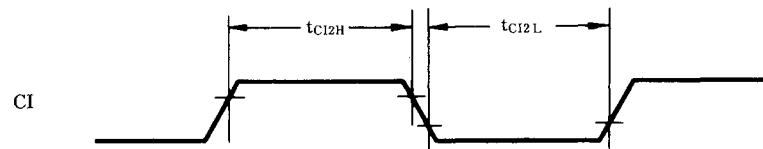


タイマ/イベント・カウンタ入力タイミング

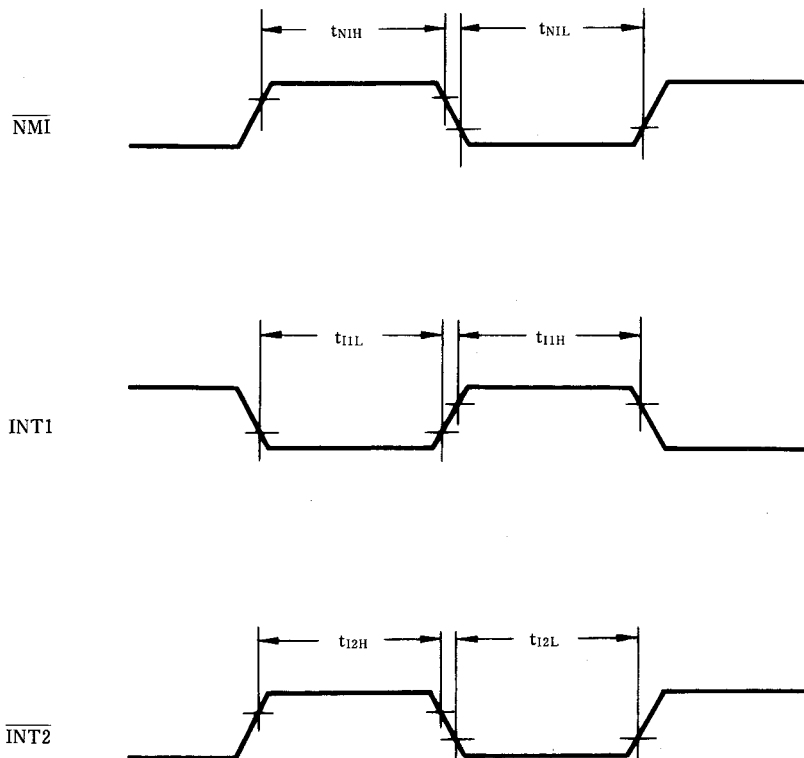
イベント・カウンタ・モード



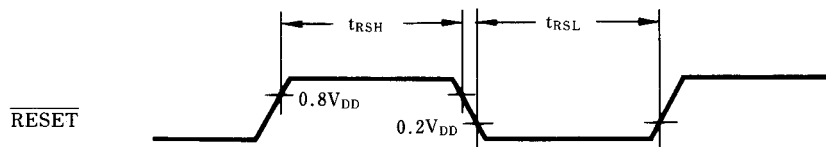
パルス幅測定モード



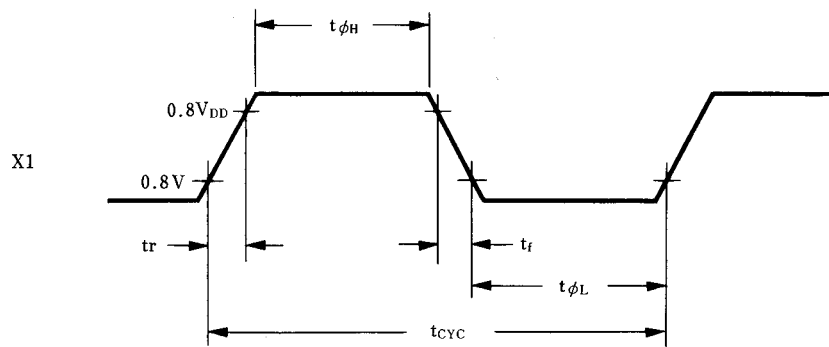
割り込み入カタイミング



リセット入カタイミング



外部クロック・タイミング

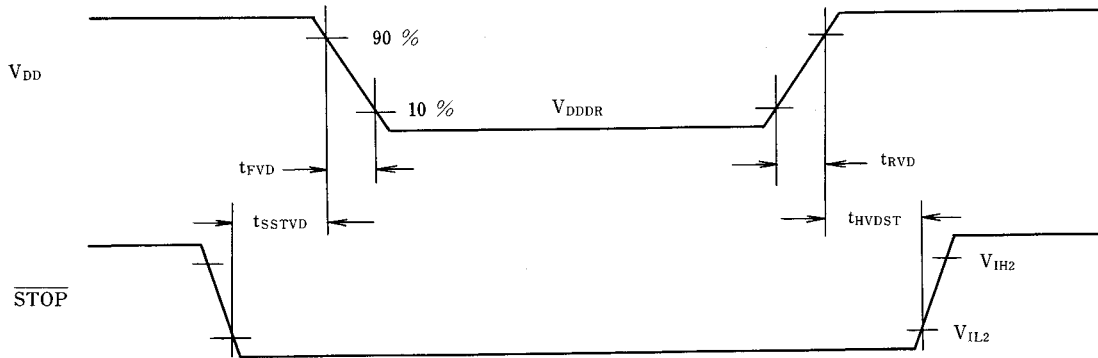


データ・メモリ STOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85^\circ\text{C}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		2.5		5.5	V
データ保持電源電流	I_{DDDR}	$V_{DDDR} = 2.5\text{V}$		1	15	μA
		$V_{DDDR} = 5\text{V} \pm 10\%$		10	50	μA
V_{DD} 立ち上がり, 立ち下がり時間	t_{rVD}, t_{fVD}		200			μs
STOPセットアップ時間(対 V_{DD})	t_{sSTVD}		$12T + 0.5$			μs
STOP保持時間(対 V_{DD})	t_{hVDST}		$12T + 0.5$			μs

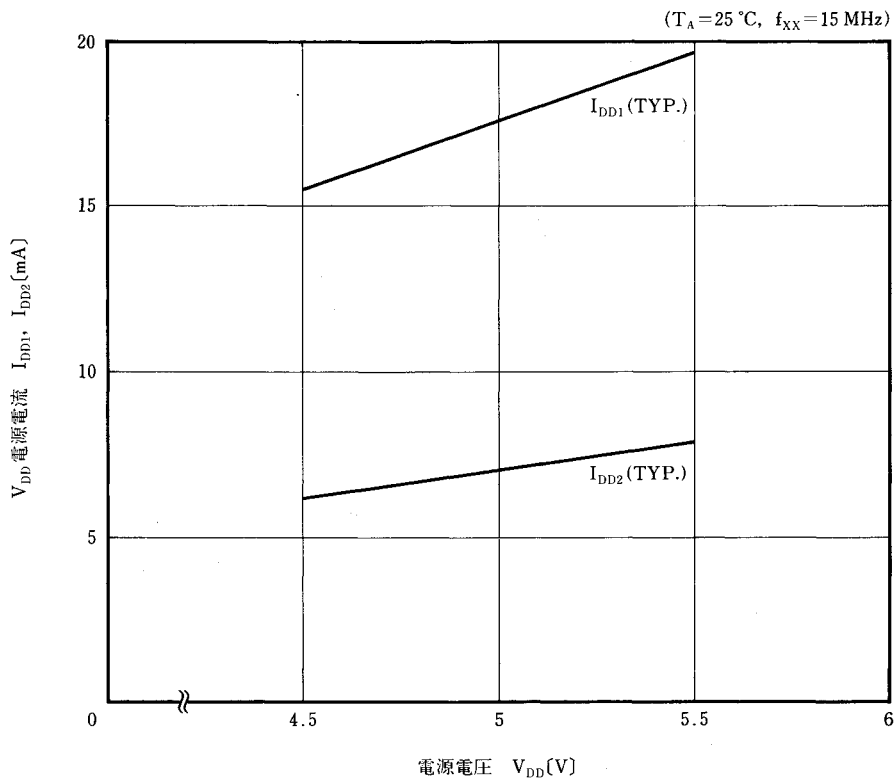
★

データ保持タイミング

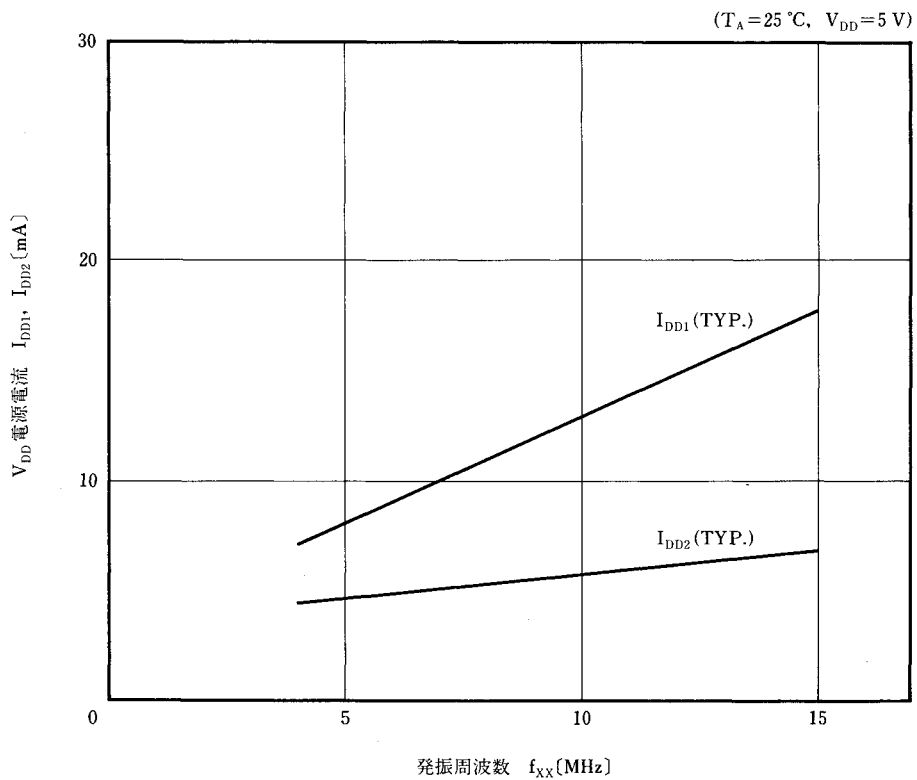


7. 特性曲線 (参考値)

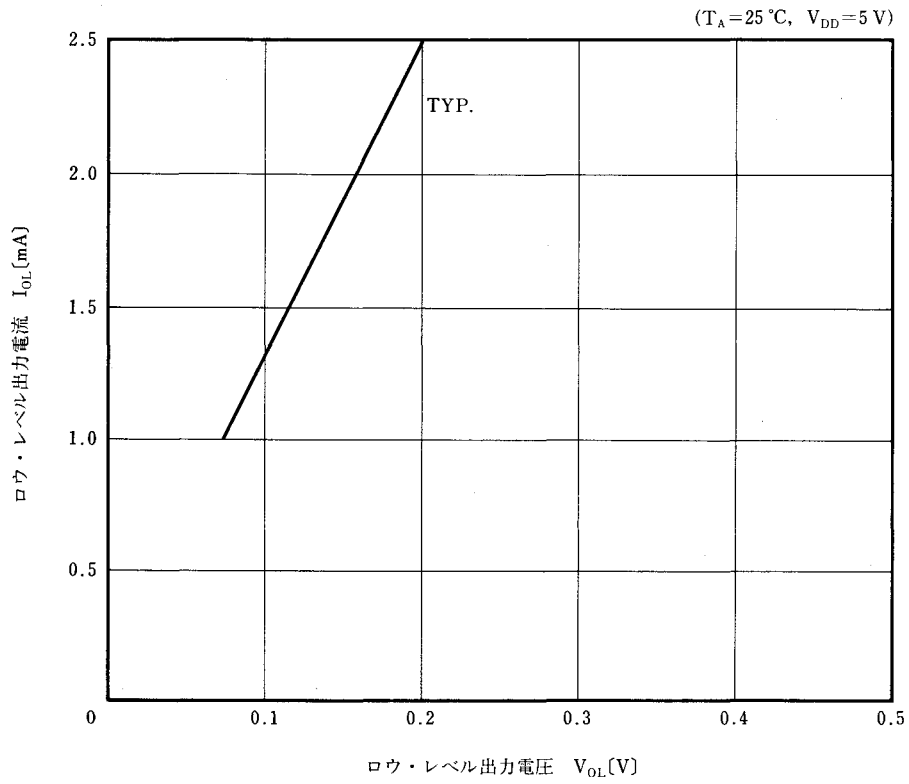
I_{DD1}, I_{DD2} vs V_{DD}



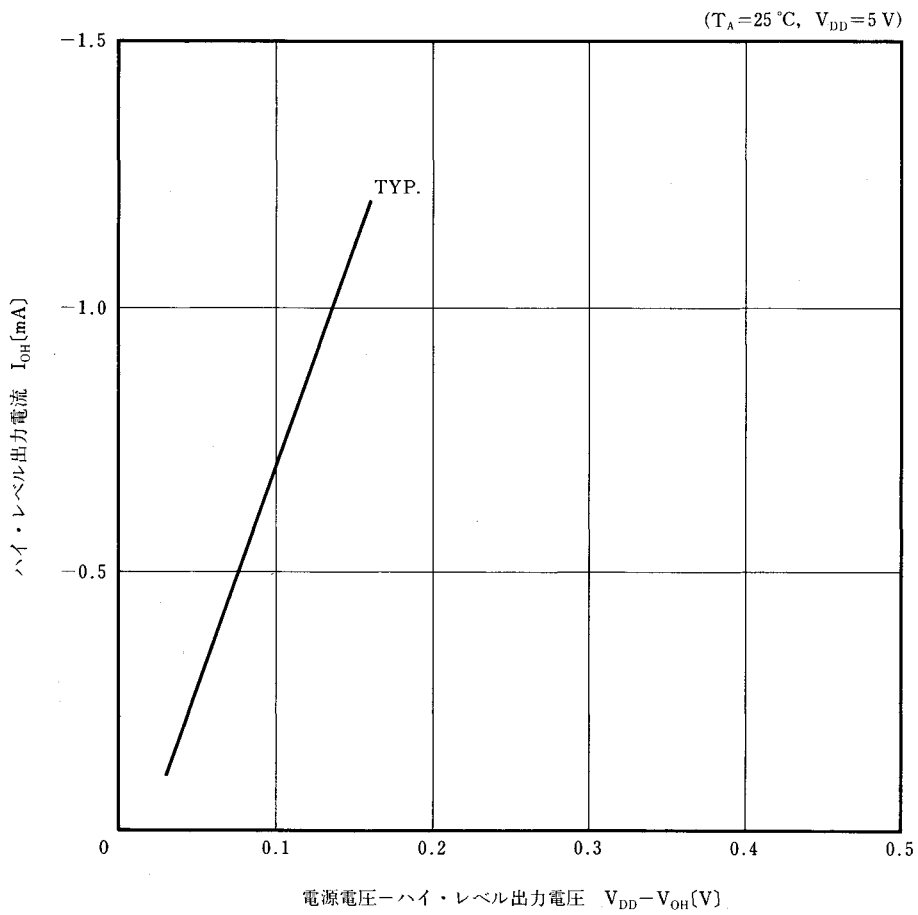
I_{DD1}, I_{DD2} vs f_{XX}



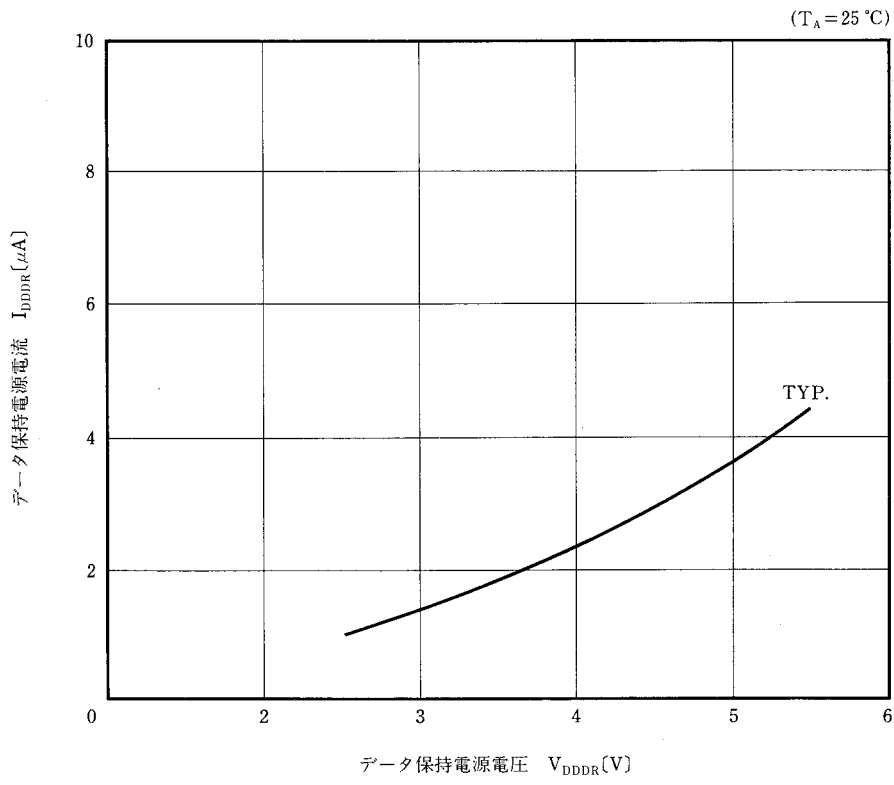
I_{OL} vs V_{OL}



I_{OH} vs V_{OH}



I_{DDDR} vs V_{DDDR}



8. 87ADシリーズ 製品間の違い (1/2)

項目	品名		μ PD7810, 7811 ^{注1}	μ PD7810H, 7811H	μ PD78C10, 78C11 ^{注1}
命令数	158種				159種 (STOP命令追加)
内蔵ROM	ROMレス (μ PD7810) 4K×8ビット (μ PD7811)		ROMレス (μ PD7810H) 4K×8ビット (μ PD7811H)		ROMレス (μ PD78C10) 4K×8ビット (μ PD78C11)
内蔵RAM	256×8ビット				
スペシャルレジスタ数	27				28 (ZCMレジスタ追加)
動作周波数, 電源電圧, 動作温度範囲	10~12 MHz 5V±5% -10~+70°C	4~10 MHz 5V±10% -40~+85°C	4~15 MHz 5V±10% -10~+70°C		4~15 MHz ^{注2} 5V±10% -40~+85°C
スタンバイ機能	低電源電圧(3.2V)で内蔵RAM256バイトの内、32バイトのデータを保持。			HALTモード、ソフトウェアSTOPモード、ハードウェアSTOPモードの3種類。さらに、ソフトウェア/ハードウェアSTOPモード時に低電源電圧(2.5V)で内蔵RAMの全データを保持。	
HLT命令のステート数	11				12
HALTモード	CPUの動作	M3 T2サイクルの繰り返し			停止
	ALE	ハイ・レベル			ロウ・レベル
ゼロクロス検出回路のセルフバイアスの制御	セルフバイアスの制御不可			セルフバイアスの制御可 (ZCMレジスタの指定による)	
NMI, RESETのノイズ除去方法	クロック・サンプリングによる			アナログ・ディレイによる	
A/Dコンバータの動作制御	動作停止不可			動作停止可 (V _{AREF} 端子の操作)	
A/Dコンバータの絶対確度 (単位: FSR)	0.4% (T _A =-10~+50°C) 0.6% (T _A =-40~+85°C)		0.4% (T _A =-10~+70°C) ^{注3}		0.4% (T _A =-10~+70°C, V _{AREF} =4.0V~AV _{DD}) 0.6% (T _A =-40~+85°C, V _{AREF} =4.0V~AV _{DD}) 0.8% (T _A =-40~+85°C, V _{AREF} =3.4V~AV _{DD})
V _{AREF} 電圧範囲	AV _{CC} -0.5V~AV _{CC}			3.4V~AV _{DD}	
アナログ入力電圧範囲	0V~V _{AREF}				
AI _{CC} /AI _{DD1}	6mA Typ.			0.5mA Typ.	
AI _{DD2}	—			10μA Typ.	
I _{AREF} /I _{AREF1}	0.5mA Typ.		2.0mA Typ.		1.5mA Typ.
I _{AREF2}	—			0.7mA Typ.	

注1. μ PD7810, 7811, 78C10, 78C11は保守品です。

2. K, E, P規格品は4~12MHzまで。

3. μ PD7810HG, 7811HGのG規格品, μ PD7810HCW, 7811HCWのK規格品はT_A=0~+70°Cになります。

μPD78C10A, 78C11A, 78C12A	μPD78CP14	μPD78CP18
159種 (STOP命令追加)		
ROMレス (μPD78C10A) 4 K×8ビット (μPD78C11A) 8 K×8ビット (μPD78C12A)	16 K×8ビット (PROM)	32 K×8ビット (PROM)
256×8ビット		1024×8ビット
28 (ZCMレジスタ追加)		
4~15 MHz 5 V±10 % -40~+85 °C	6~15 MHz 5 V±5 % -40~+85 °C	4~15 MHz 5 V±10 % -40~+85 °C
<p>HALTモード, ソフトウェアSTOPモード, ハードウェアSTOPモードの3種類。さらに, ソフトウェア/ハードウェアSTOPモード時に低電源電圧(2.5 V)で内蔵RAMの全データを保持。</p>		
12		
停止		
ロウ・レベル		
セルフバイアスの制御可 (ZCMレジスタの指定による)		
アナログ・ディレイによる		
動作停止可 (V _{AREF} 端子の操作)		
<p>0.4 % (T_A = -10 ~ +70 °C, V_{AREF} = 4.0 V ~ AV_{DD}) 0.6 % (T_A = -40 ~ +85 °C, V_{AREF} = 4.0 V ~ AV_{DD}) 0.8 % (T_A = -40 ~ +85 °C, V_{AREF} = 3.4 V ~ AV_{DD})</p>		
3.4 V ~ AV _{DD}		
-0.3 V ~ V _{AREF} + 0.3 V	0 V ~ V _{AREF}	-0.3 V ~ V _{AREF} + 0.3 V
0.5 mA Typ.		
10 μA Typ.		
1.5 mA Typ.		
0.7 mA Typ.		

87ADシリーズ 製品間の違い (2/2)

品名		μPD7810, 7811 ^{注1}	μPD7810H, 7811H	μPD78C10, 78C11 ^{注1}
RESET 中の動作	RD/WR	ハイ・レベル		ハイ・インピーダンス
	ALE	出力される		
	PD/PF ^{注4}	アドレス・バスに指定された端子には0が出力される。それ以外はハイ・インピーダンス。		
プルアップ抵抗の内蔵 (マスク・オプション)		不可		
デバイス構成		NMOS		CMOS
スタンバイ電流		3.2 mA (-10~+70°C)MAX. 3.5 mA (-40~+85°C)MAX.	3.2 mA MAX.	50 μA MAX. (V _{DD} =5 V±10%)
消費電流		203.2 mA (-10~+70°C)MAX. 223.5 mA (-40~+85°C)MAX.	203.2 mA MAX.	25 mA MAX.
SCK (単位: ns)	サイクル・タイム入力	20T	注5	
	ロウ・レベル幅	10T+80		
	ハイ・レベル幅	10T-80		
バス・ タイミング (単位: ns)	T _{LDW}	T+110		
	T _{WD}	100		
	T _{DW}	4T-100		
ハードウェアSTOP モードの制限事項		—		あり
アシンクロナス・モードの 外部SCK入力時の制限事項		なし		あり
パッケージ		64ピン・プラスチック・シュリンクDIP 64ピン・プラスチックQUIPストレート ^{注7} 64ピン・プラスチックQUIP	64ピン・プラスチック・シュリンクDIP 64ピン・プラスチックQUIPストレート ^{注8} 64ピン・プラスチックQUIP 64ピン・プラスチックQFP (14×20 mm, 2.05 mm厚) 64ピン・プラスチックQFP (14×20 mm, 2.70 mm厚) 68ピン・プラスチックQFJ	
端子接続 ^{注10}		V _{CC} (64ピン), V _{DD} (63ピン)		V _{DD} (64ピン), STOP(63ピン)

注1. μPD7810, 7811, 78C10, 78C11は保守品です。

4. μPD7810, 7810H, 78C10, 78C10Aのとき。

(単位: ns)

5.

		アシンクロナス・モードでクロック・レートが×1, シンクロナス・モード, I/Oインタフェース・モードの場合	アシンクロナス・モードでクロック・ レートが×16, ×64の場合
SCK	サイクル・タイム入力	12T	6T
	ロウ・レベル幅	5T+5	2.5T+5
	ハイ・レベル幅	5T+5	2.5T+5

備考 T=tcyc=1/f_{xx}

μPD78C10A, 78C11A, 78C12A	μPD78CP14	μPD78CP18
ハイ・インピーダンス		
μPD78C11A, 78C12A のみ可能 (ポート A, B, C)	不可	
CMOS		
50 μA MAX.(V _{DD} =5 V±10%)	1 mA MAX.(V _{DD} =5 V±5%)	50 μA MAX.(V _{DD} =5 V±10%)
25 mA MAX.	32 mA MAX.	35 mA MAX.
注5		
T+110		T+130
100		140
4T-100		4T-140
あり注6	なし	
なし		
64ピン・プラスチック・シュリンクDIP 64ピン・プラスチックQUIPストレート注9 64ピン・プラスチックQUIP 64ピン・プラスチックQFP (14×20 mm, 2.70 mm厚) 68ピン・プラスチックQFJ	64ピン・プラスチック・シュリンクDIP 64ピン・プラスチックQUIP 64ピン・プラスチックQFP (14×20 mm, 2.70 mm厚) 68ピン・プラスチックQFJ 64ピン・セラミック窓付きシュリンクDIP 64ピン・セラミック窓付きQUIP 64ピン・セラミックWQFN	64ピン・プラスチック・シュリンクDIP 64ピン・プラスチックQUIP 64ピン・プラスチックQFP (14×20 mm, 2.70 mm厚) 64ピン・セラミック窓付きシュリンクDIP 64ピン・セラミックWQFN
V _{DD} (64ピン), STOP(63ピン)		

注6. K規格品のみ。

7. μPD7811, 7811Hのみ。

8. μPD78C11のみ。

9. μPD78C11A, 78C12Aのみ。

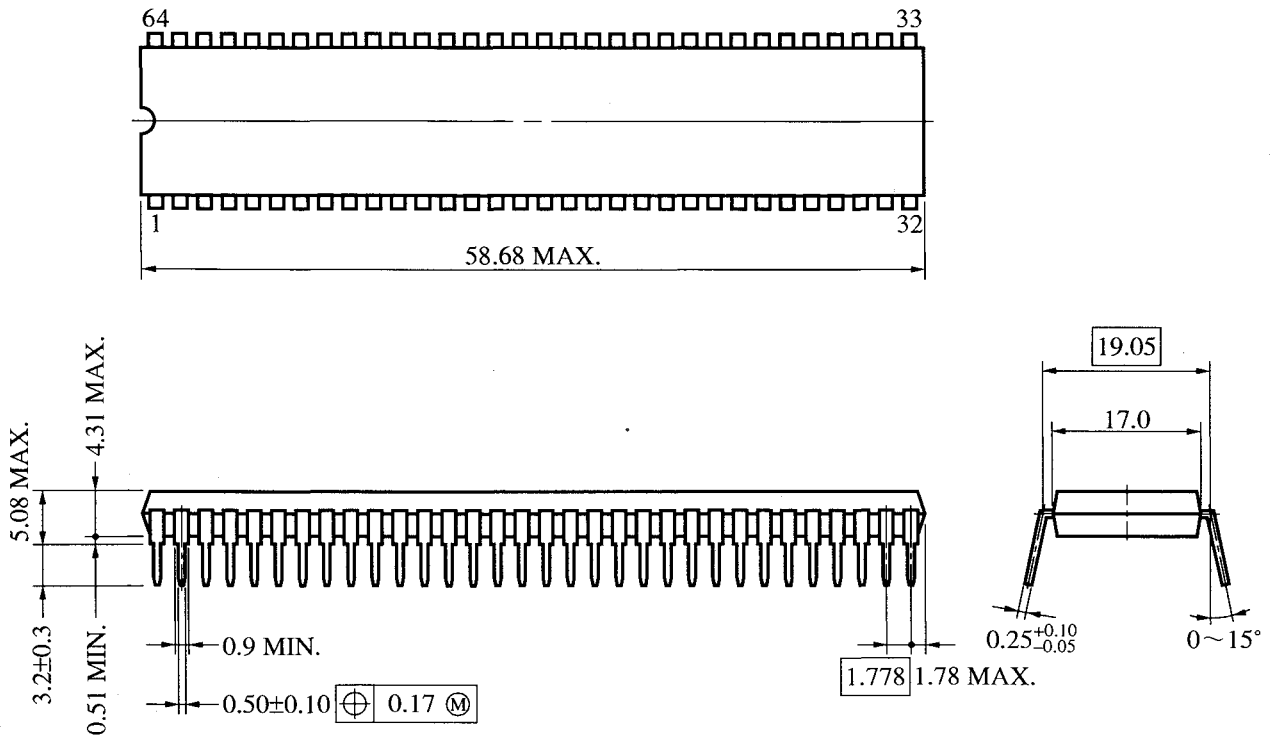
10. ()内は64ピン・プラスチック・シュリンクDIP, 64ピン・プラスチックQUIPストレート, 64ピン・プラスチックQUIPのときの端子番号です。

注意 その他, 発振器の特性, 入出力レベルおよび一部の内部動作のタイミングに違いがありますので, μPD78C10A, 78C11A, 78C12AとμPD7810, 7811, 7810H, 7811H, 78C10, 78C11の直接置き換えを検討する場合にはご注意ください。

★

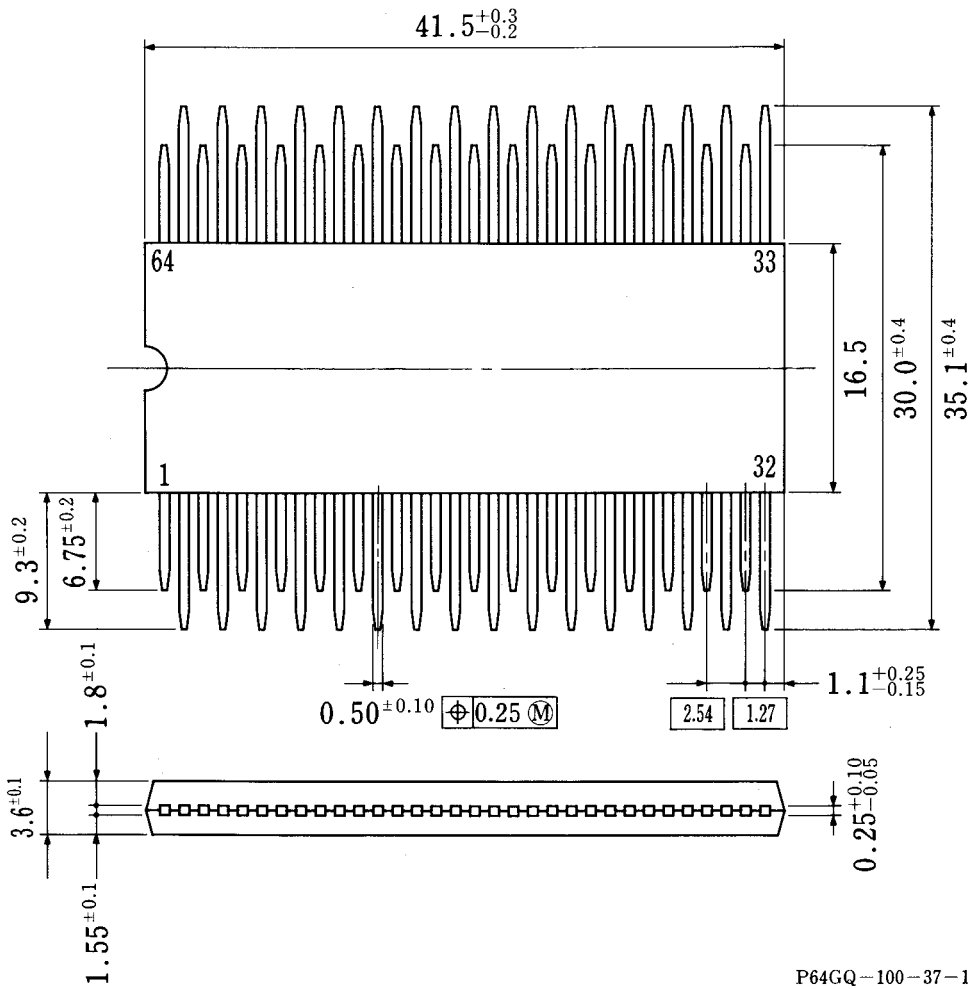
9. 外形図

64ピン・プラスチック・シュリンク DIP (750 mil) 外形図 (単位: mm)

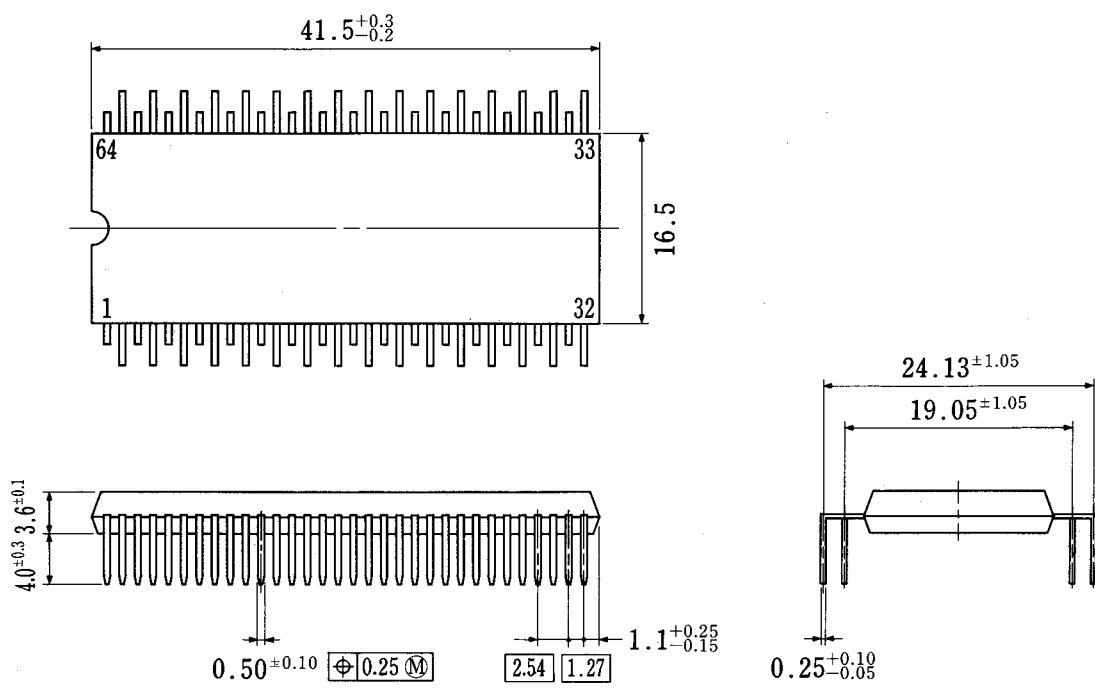


P64C-70-750A,C-1

64ピン・プラスチック QUIP(ストレート) 外形図(単位: mm)

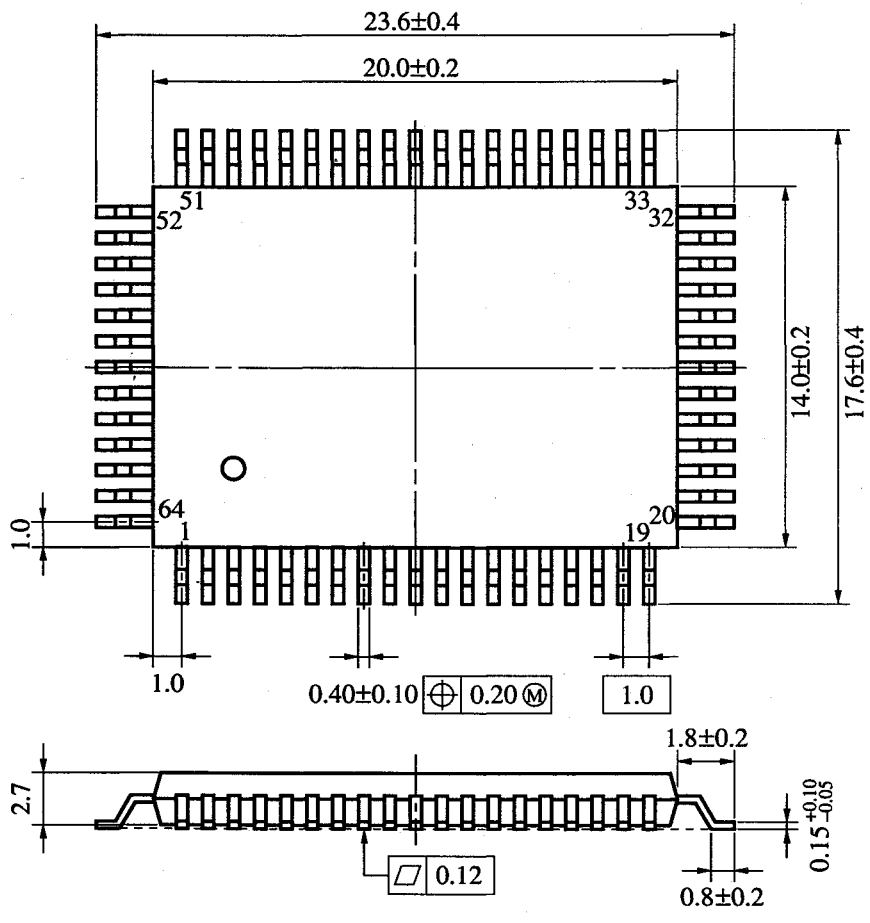


64ピン・プラスチック QUIP 外形図(単位: mm)

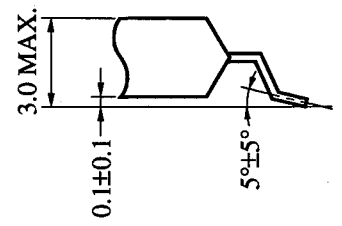


P64GQ-100-36

64ピン・プラスチック QFP (14×20) 外形図 (単位: mm)

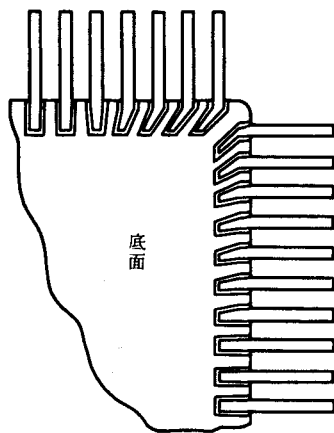
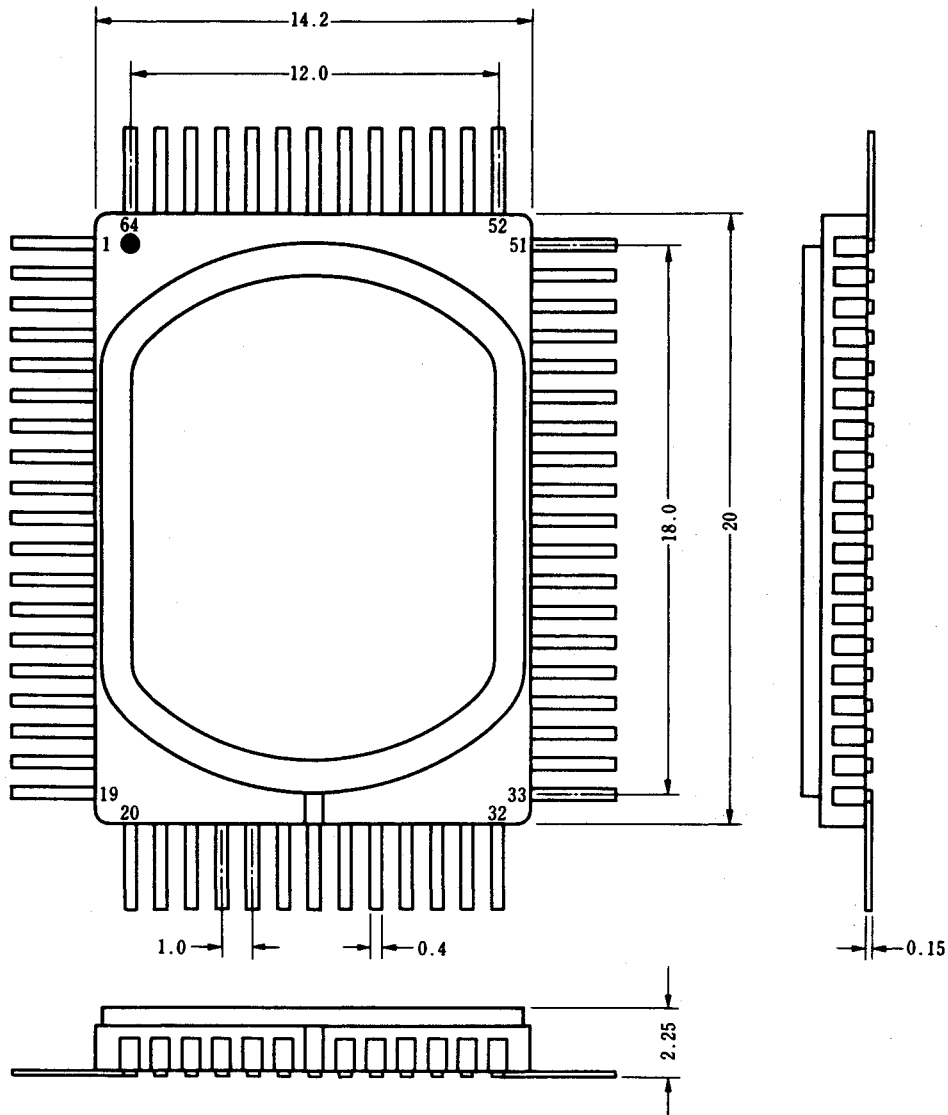


端子先端形状詳細図



P64GF-100-3B8,3BE,3BR-1

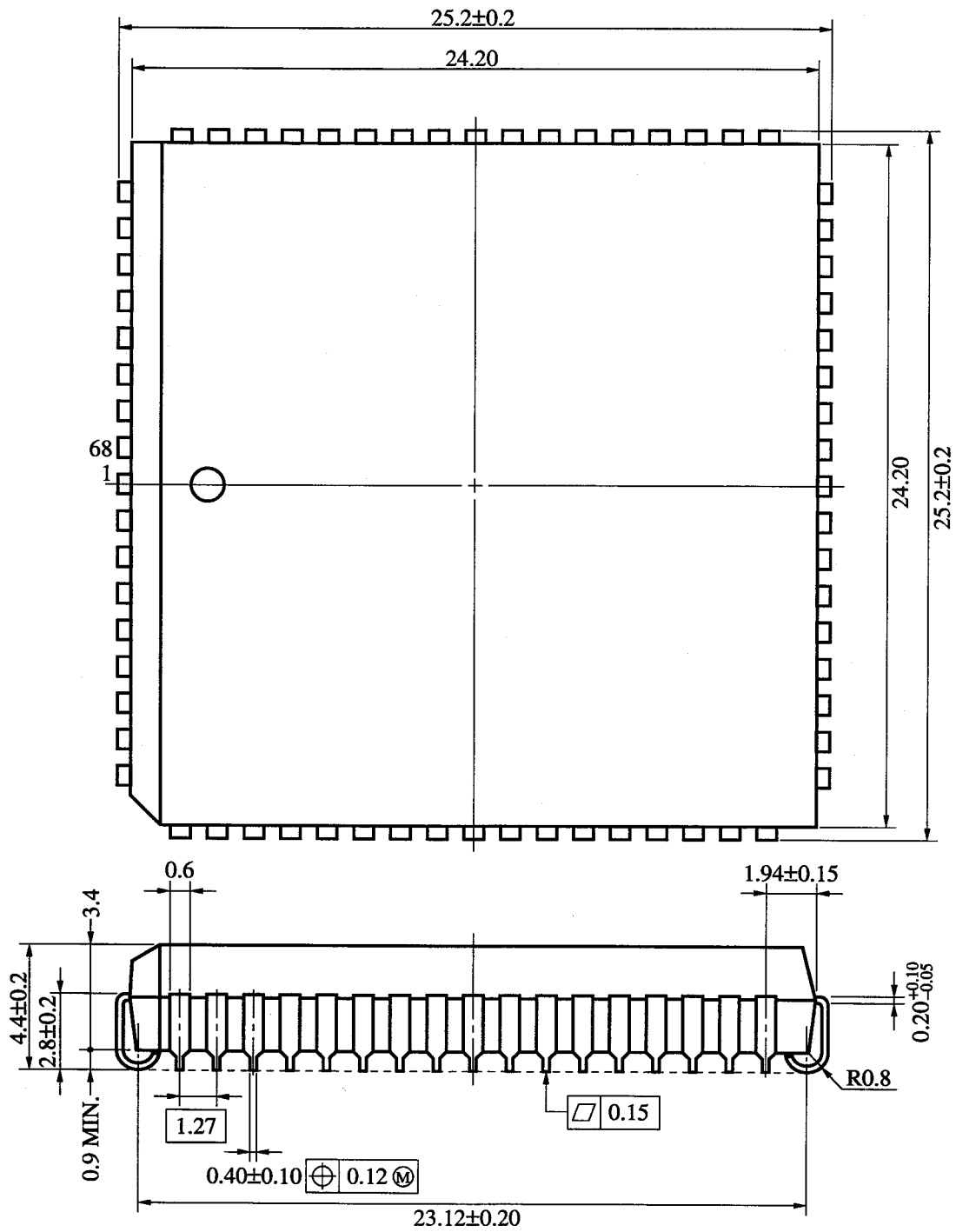
ES用64ピン・セラミックQFP (参考図) (単位: mm)



注意事項

1. メタル・キャップは26ピンと接続されており、V_{SS}(GND)レベルとなりますので注意してください。
2. 底面のリードは斜めに形成されていますので、注意してください。
3. リード先端の切断加工は工程管理されていませんので、リード長は規定していません。

68ピン・プラスチック QFJ (□950 mil) 外形図 (単位: mm)



P68L-50A1-2

★ 10. 半田付け推奨条件

μPD78C10A, 78C11A, 78C12Aの半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表10-1 表面実装タイプの半田付け条件

- (1) μPD78C10AGF-3BE : 64ピン・プラスチックQFP (14×20 mm)
- μPD78C11AGF-XXX-3BE : //
- μPD78C12AGF-XXX-3BE : //

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃, 時間：30秒以内(210℃以上), 回数：2回以内 <留意事項> (1) 2回目のリフロは, 1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 (2) 1回目のリフロ後の水によるフラックス洗浄はお避けください。	IR35-00-2
VPS	パッケージ・ピーク温度：215℃, 時間：40秒以内(200℃以上), 回数：2回以内 <留意事項> (1) 2回目のリフロは, 1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 (2) 1回目のリフロ後の水によるフラックス洗浄はお避けください。	VP15-00-2
ウェーブ・ソルダリング	半田槽温度：260℃以下, 時間：10秒以内, 回数：1回 予備加熱温度：120℃ MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：300℃以下, 時間：3秒以内 (デバイスの一辺当たり)	—

注意 半田付け方式の併用はお避けください (ただし, 端子部分加熱は除く)。

- (2) μPD78C10AL : 68ピン・プラスチックQFJ (□950 mil)
- μPD78C11AL-XXX : //
- μPD78C12AL-XXX : //

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：230℃, 時間：30秒以内 (210℃以上), 回数：1回	IR30-00-1
VPS	パッケージ・ピーク温度：215℃, 時間：40秒以内 (200℃以上), 回数：1回	VP15-00-1
端子部分加熱	端子温度：300℃以下, 時間：3秒以内 (デバイスの一辺当たり)	—

注意 半田付け方式の併用はお避けください (ただし, 端子部分加熱は除く)。

表10-2 挿入タイプの半田付け条件

- (1) μPD78C10ACW : 64ピン・プラスチック・シュリンクDIP (750 mil)
- μPD78C11ACW-XXX : //
- μPD78C12ACW-XXX : //
- μPD78C10AGQ-36 : 64ピン・プラスチックQUIP
- μPD78C11AGQ-XXX-36 : //
- μPD78C12AGQ-XXX-36 : //

半田付け方式	半田付け条件
ウェーブ・ソルダリング (端子のみ)	半田槽温度：260℃以下，時間：10秒以内
端子部分加熱	端子温度：300℃以下，時間：3秒以内（1端子当たり）

注意 ウェーブ・ソルダリングは端子のみとし、噴流半田が直接本体に接触しないようにしてください。

- (2) μPD78C11AGQ-XXX-37 : 64ピン・プラスチックQUIPストレート
- μPD78C12AGQ-XXX-37 : //

半田付け方式	半田付け条件
端子部分加熱	端子温度：300℃以下，時間：3秒以内（1端子当たり）

★ 付録 開発ツール

87ADシリーズ製品を使用するシステム開発のために次のような開発ツールを用意しております。

言語プロセッサ

87ADシリーズ リロケータブル・アセンブラ (RA87)	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。			
	ホスト・マシン	OS	供給媒体	オーダ名称 (品名)
	PC-9800シリーズ	MS-DOS™ Ver.2.11 } Ver.5.00A ^注	3.5インチ2HD	μS5A13RA87
			5インチ2HD	μS5A10RA87
IBM PC/AT™	PC DOS™ (Ver.3.1)	3.5インチ2HC	μS7B13RA87	
		5インチ2HC	μS7B10RA87	

PROM書き込み用ツール

ハードウェア	PG-1500	付属ボードおよび別売のプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンまたはホスト・マシンからの操作によりプログラミングできるPROMプログラマです。 また、256Kビットから4Mビットまでの代表的なPROMをプログラミングすることもできます。			
	PA-78CP14CW/GF/GQ/KB/L	μPD78CP14, 78CP18用のPROMプログラマ・アダプタで、PG-1500に接続して使用します。			
	PA-78CP14CW	μPD78CP14CW, 78CP14DW, 78CP18CW, 78CP18DW用			
	PA-78CP14GF	μPD78CP14GF-3BE, 78CP18GF-3BE用			
	PA-78CP14GQ	μPD78CP14G-36, 78CP14R, 78CP18GQ-36用			
	PA-78CP14KB	μPD78CP14KB, 78CP18KB用			
	PA-78CP14L	μPD78CP14L用			
ソフトウェア	PG-1500コントローラ	PG-1500とホスト・マシンをシリアルおよびパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。			
		ホスト・マシン	OS	供給媒体	オーダ名称 (品名)
		PC-9800シリーズ	MS-DOS Ver.2.11 } Ver.5.00A ^注	3.5インチ2HD	μS5A13PG1500
				5インチ2HD	μS5A10PG1500
IBM PC/AT	PC DOS (Ver.3.1)	5インチ2HC	μS7B10PG1500		

注 Ver.5.00/5.00 Aにはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考 アセンブラ、PG-1500コントローラの動作は、上記ホスト・マシンとOS上でのみ保証されます。

ディバグ用ツール

87ADシリーズ製品のプログラム・ディバグ用ツールとして、インサーキット・エミュレータ (IE-78C11-M) を用意しています。システム構成を次に示します。

ハードウェア	IE-78C11-M	IE-78C11-Mは、87ADシリーズに対応したインサーキット・エミュレータです。パッケージがプラスチック QUIP の場合は IE-78C11-M のみ、プラスチック・シュリンク DIP の場合は IE-78C11-M と変換ソケットを組み合わせて使用します。ホスト・マシンと接続して効率的にディバグを行うことができます。			
	EV-9001-64	プラスチック・シュリンク DIP 用の変換ソケットです。IE-78C11-M と組み合わせて使用します。			
	EV-9200G-64	64ピン LCC ソケットです。μPD78CP14KB, 78CP18KB と組み合わせて、64ピン・プラスチック QFP の窓付き製品の代替として使用できます。			
ソフトウェア	IE-78C11-M コントロール・プログラム (IEコントローラ)	IE-78C11-M とホスト・マシンを RS-232-C で接続し、ホスト・マシン上で IE-78C11-M を制御します。			
		ホスト・マシン	OS	供給媒体	オーダ名称 (品名)
		PC-9800 シリーズ	MS-DOS (Ver. 2.11) } (Ver. 3.30D)	3.5 インチ 2HD	μS5A13IE78C11
				5 インチ 2HD	μS5A10IE78C11
IBM PC/AT	PC DOS (Ver. 3.1)	5 インチ 2HC	μS7B10IE78C11		

備考 IEコントローラの動作は、上記ホスト・マシンと OS 上でのみ保証されます。

[X 毛]

CMOSデバイスの一般的注意事項

① 静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

② 未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③ 初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

MS-DOSは、米国マイクロソフト社の商標です。

PC/AT, PC DOSは、米国IBM社の商標です。

本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

ユーザ判定品：μPD78C11ACW-XXX, 78C11AGF-XXX-3BE, 78C11AGQ-XXX-36, 78C11AGQ-XXX-37,
μPD78C11AL-XXX, 78C12ACW-XXX, 78C12AGF-XXX-3BE, 78C12AGQ-XXX-36,
μPD78C12AGQ-XXX-37, 78C12AL-XXX

非該当品：μPD78C10ACW, 78C10AGF-3BE, 78C10AGQ-36, 78C10AL

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- この製品を使用したことにより、第三者の工業所有権等にかかわる問題が発生した場合、当社製品の構造製法に直接かかわるもの以外につきましては、当社はその責を負いませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
特定水準：航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.6

— お問い合わせは、最寄りの NEC へ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体販売部	〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル)	名古屋 (052)242-2755
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 東北支社 岩手支店 山形支店 郡山支店 いわき支店 長岡支店 土浦支店 水戸支店 神奈川支社 群馬支店 太田支店 宇都宮支店	札幌 (011)231-0161 仙台 (022)261-5511 盛岡 (0196)51-4344 山形 (0236)23-5511 郡山 (0249)23-5511 いわき (0246)21-5511 長岡 (0258)36-2155 土浦 (0298)23-6161 水戸 (0292)26-1717 横濱 (045)324-5511 高崎 (0273)26-1255 太田 (0276)46-4011 宇都宮 (0286)21-2281	小野支店 (0285)24-5011 長野支社 (0262)35-1444 松本支店 (0263)35-1666 諏訪支店 (0266)53-5350 甲府支店 (0552)24-4141 埼玉支社 (048)641-1411 立川支店 (0425)26-5981 千葉支社 (043)238-8116 静岡支社 (054)255-2211 津島支店 (0559)63-4455 浜松支店 (053)452-2711 北陸支社 (0762)23-1621 福井支店 (0776)22-1866
富山支店 三重支店 京都支社 神戸支社 中国支社 鳥取支店 岡山支店 四国支社 新居浜支店 松山支店 九州支社 北九州支店	富山 (0764)31-8461 津 (0592)25-7341 京都 (075)344-7824 神戸 (078)333-3854 広島 (082)242-5504 鳥取 (0857)27-5311 岡山 (086)225-4455 高松 (0878)36-1200 新居浜 (0897)32-5001 松山 (0899)45-4111 福岡 (092)271-7700 北九州 (093)541-2887	

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7924	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル)	名古屋 (052)242-2762	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	