

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD789011, 789012

8ビット・シングルチップ・マイクロコンピュータ

保守/廃止

μ PD789011, 789012は、78K/0Sシリーズ中の μ PD789014サブシリーズ（小型汎用）の製品です。

8ビットCPUのほかに、I/Oポート、タイマ、シリアル・インタフェース、割り込み制御など豊富なハードウェアを内蔵しています。

また、一度だけ書き込み可能なワン・タイムPROM製品 μ PD78P9014や各種開発ツールも用意しております。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD789014サブシリーズ ユーザーズ・マニュアル : U11187J

78K/0Sシリーズ ユーザーズ・マニュアル 命令編 : U11047J

特 徴

ROM, RAM容量

項目 品名	プログラム・メモリ (ROM)	データ・メモリ (内部高速RAM)	パッケージ
μ PD789011	2 Kバイト	128バイト	28ピン・プラスチックSDIP (10.16 mm (400))
μ PD789012	4 Kバイト		28ピン・プラスチックSOP (9.53 mm (375))

高速 (0.4 μ s) と低速 (1.6 μ s) に最小命令実行時間を変更可能 (メイン・システム・クロック : 5.0 MHz動作時)

I/Oポート : 22本

シリアル・インタフェース : 1チャンネル

3線式シリアルI/Oモード / UARTモード選択可能

タイマ : 3チャンネル

・8ビット・タイマ/イベント・カウンタ : 2チャンネル

・ウォッチドッグ・タイマ : 1チャンネル

電源電圧 : $V_{DD} = 1.8 \sim 5.5$ V

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

応用分野

小型家電, リモコン, ゲームなど

★ オーダ情報

オーダ名称	パッケージ
μ PD789011CT-xxx	28ピン・プラスチックSDIP (10.16 mm (400))
μ PD789011GT-xxx	28ピン・プラスチックSOP (9.53 mm (375))
μ PD789012CT-xxx	28ピン・プラスチックSDIP (10.16 mm (400))
μ PD789012GT-xxx	28ピン・プラスチックSOP (9.53 mm (375))

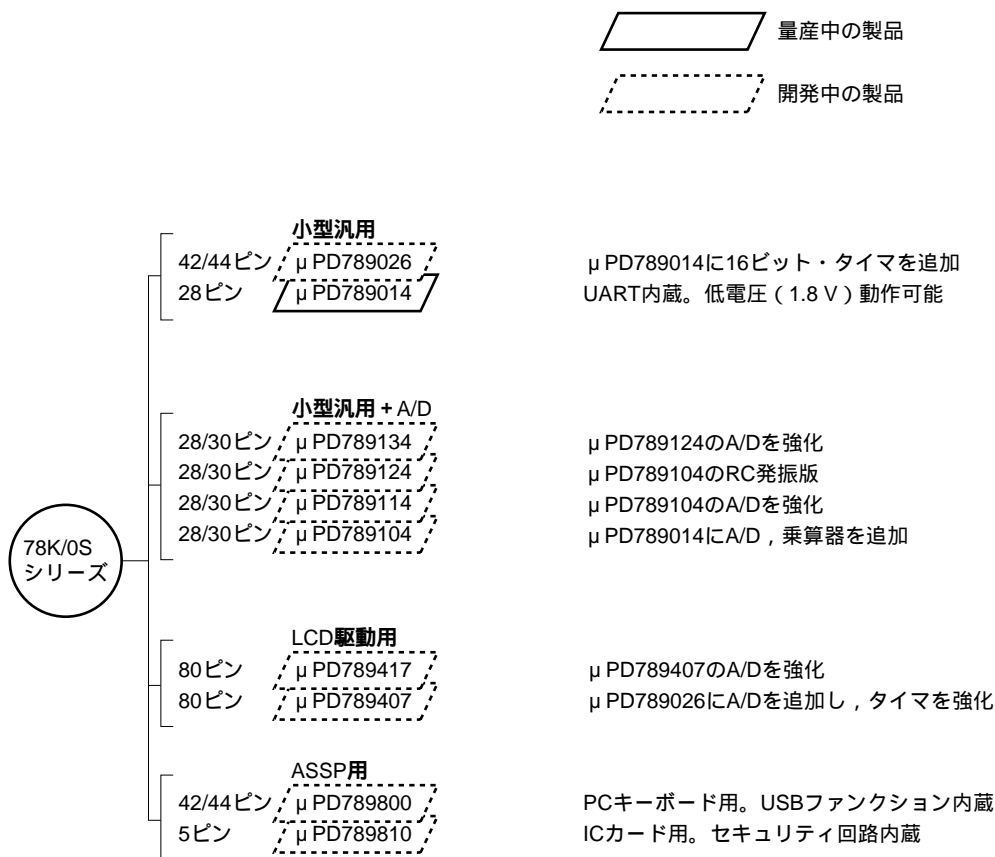
備考 xxxはROMコード番号です。

機能概要

項 目		μ PD789011	μ PD789012
内部メモリ	ROM	2 Kバイト	4 Kバイト
	高速RAM	128バイト	
汎用レジスタ		8ビット×8レジスタ	
最小命令実行時間		0.4 μs/1.6 μs (メイン・システム・クロック : 5.0 MHz動作時)	
命令セット		<ul style="list-style-type: none"> ・ 16ビット演算 ・ ビット操作 (セット, リセット, テスト) など 	
I/Oポート		CMOS入出力 : 22本	
シリアル・インタフェース		3線式シリアルI/Oモード / UARTモード選択可能 : 1チャンネル	
タイマ		<ul style="list-style-type: none"> ・ 8ビット・タイマ / イベント・カウンタ : 2チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 	
タイマ出力		2本	
ベクタ割り込み要因	マスカブル	内部 : 6, 外部 : 3	
	ノンマスカブル	内部 : 1	
電源電圧		V _{DD} = 1.8 ~ 5.5 V	
動作周囲温度		T _A = - 40 ~ + 85	
★	パッケージ	・ 28ピン・プラスチックSDIP (10.16 mm (400))	
★		・ 28ピン・プラスチックSOP (9.53 mm (375))	

78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



各サブシリーズ間の主な機能の違いを次に示します。

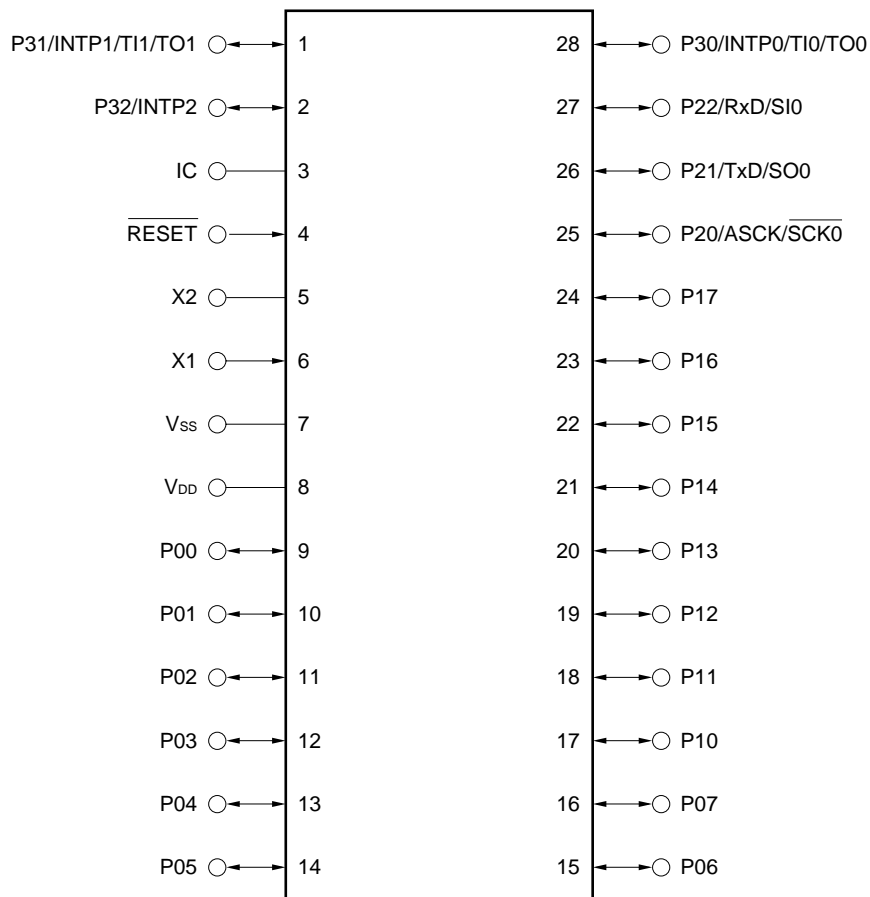
サブシリーズ名	機能	ROM容量	タイマ				8-bit A/D	10-bit A/D	シリアル・インタフェース	I/O	V _{DD} MIN.値	備考
			8-bit	16-bit	時計	WDT						
小型汎用	μ PD789026	4K-16K	1ch	1ch	-	1ch	-	-	1ch (UART : 1ch)	34本	1.8 V	-
	μ PD789014	2K-4K	2ch	-	-	-	-	-	22本	-	-	-
小型汎用 + A/D	μ PD789134	2K-8K	1ch	1ch	-	1ch	-	4ch	1ch (UART : 1ch)	20本	1.8 V	RC発振版
	μ PD789124						4ch	-				-
	μ PD789114						-	4ch				-
	μ PD789104						4ch	-				-
LCD駆動用	μ PD789417	12K-24K	3ch	1ch	1ch	1ch	-	7ch	1ch (UART : 1ch)	43本	1.8 V	-
	μ PD789407						7ch	-				
ASSP用	μ PD789800	8K	2ch	-	-	1ch	-	-	2ch (USB : 1ch)	31本	4.0 V	-
	μ PD789810	6K	-	-	-	-	-	-	-	1本	1.8 V	EEPROM™ 内蔵

目 次

1. 端子接続図 (Top View) ... 6
2. ブロック図 ... 7
3. 端子機能一覧 ... 8
 - 3.1 ポート端子 ... 8
 - 3.2 ポート以外の端子 ... 9
 - 3.3 端子の入出力回路と未使用端子の処理 ... 10
4. メモリ空間 ... 11
5. 周辺ハードウェア機能 ... 12
 - 5.1 ポート ... 12
 - 5.2 クロック発生回路 ... 12
 - 5.3 タイマ ... 13
 - 5.4 シリアル・インタフェース ... 14
6. 割り込み機能 ... 15
7. スタンバイ機能 ... 17
8. リセット機能 ... 17
9. 命令セットの概要 ... 18
 - 9.1 凡 例 ... 18
 - 9.2 オペレーション一覧 ... 20
- ★ 10. 電気的特性 ... 25
11. 外形図 ... 37
- ★ 12. 半田付け推奨条件 ... 39
- 付録A. 開発ツール ... 40
- 付録B. 関連資料 ... 41

1. 端子接続図 (Top View)

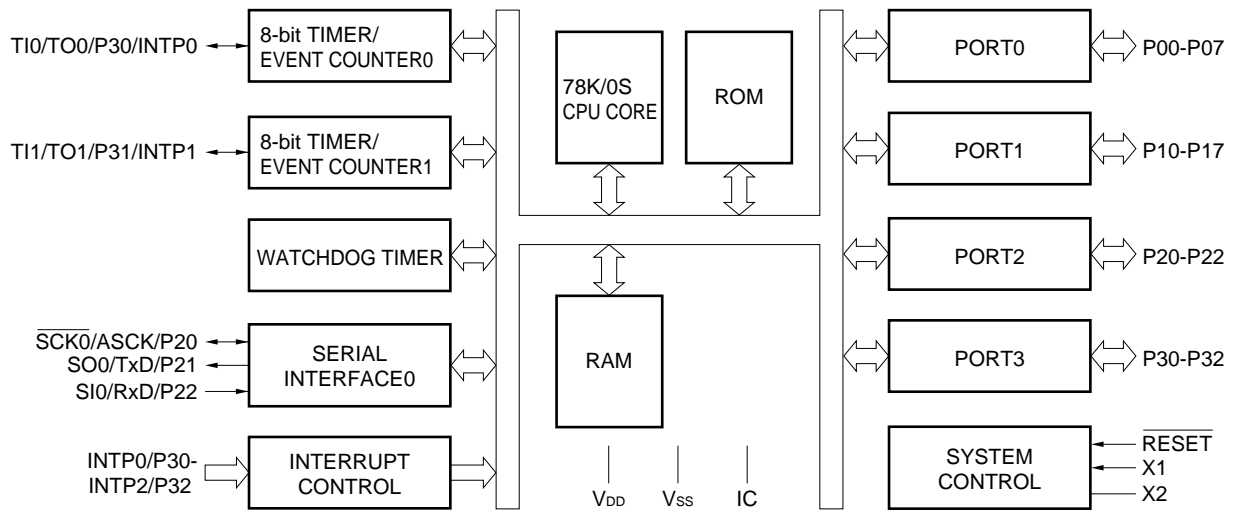
- ★ ・28ピン・プラスチックSDIP (10.16 mm (400))
 μ PD789011CT- x x x
 μ PD789012CT- x x x
- ★ ・28ピン・プラスチックSOP (9.53 mm (375))
 μ PD789011GT- x x x
 μ PD789012GT- x x x



注意 ICはVssに直接接続してください。

ASCK	: Asynchronous Serial Clock	SCK0	: Serial Clock
IC	: Internally Connected	SI0	: Serial Input
INTP0-INTP2	: Interrupt from Peripherals	SO0	: Serial Output
P00-P07	: Port0	TI0, TI1	: Timer Input
P10-P17	: Port1	TO0, TO1	: Timer Output
P20-P22	: Port2	TxD	: Transmit Data
P30-P32	: Port3	VDD	: Power Supply
RESET	: Reset	Vss	: Ground
RxD	: Receive Data	X1, X2	: Crystal

2. ブロック図



3. 端子機能一覧

3.1 ポート端子

端子名称	入出力	機 能	リセット時	兼用端子
P00-P07	入出力	ポート0。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	—
P10-P17	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	—
P20	入出力	ポート2。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	ASCK/SCK $\bar{0}$
P21				TxD/SO0
P22				RxD/SI0
P30	入出力	ポート3。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	INTP0/TI0/TO0
P31				INTP1/TI1/TO1
P32				INTP2

3.2 ポート以外の端子

端子名称	入出力	機能	リセット時	兼用端子
INTP0 ^注	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み入力。	入力	P30/TI0/TO0
INTP1 ^注				P31/TI1/TO1
INTP2 ^注				P32
SI0 ^注	入力	シリアル・インタフェースのシリアル・データ入力。	入力	P22/RxD
SO0	出力	シリアル・インタフェースのシリアル・データ出力。	入力	P21/TxD
SCK0 ^注	入出力	シリアル・インタフェースのシリアル・クロック入力 / 出力。	入力	P20/ASCK
RxD ^注	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力。	入力	P22/SI0
TxD	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力。	入力	P21/SO0
ASCK ^注	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロック入力。	入力	P20/SCK0
TI0 ^注	入力	8ビット・タイマ（TM0）への外部カウント・クロック入力。	入力	P30/INTP0/TO0
TI1 ^注		8ビット・タイマ（TM1）への外部カウント・クロック入力。		P31/INTP1/TO1
TO0	出力	8ビット・タイマ出力。	入力	P30/INTP0/TI0
TO1				P31/INTP1/TI1
RESET	入力	システム・リセット入力。	入力	—
X1	入力	メイン・システム・クロック発振用クリスタル接続。	—	—
X2	—		—	—
V _{DD}	—	正電源。	—	—
IC	—	内部接続されています。V _{SS} に直接接続してください。	—	—
V _{SS}	—	グランド電位。	—	—

★ 注 シュミット・トリガから入力される端子です（図3-1 端子の入出力回路一覧タイプ5-D参照）。

3.3 端子の入出力回路と未使用端子の処理

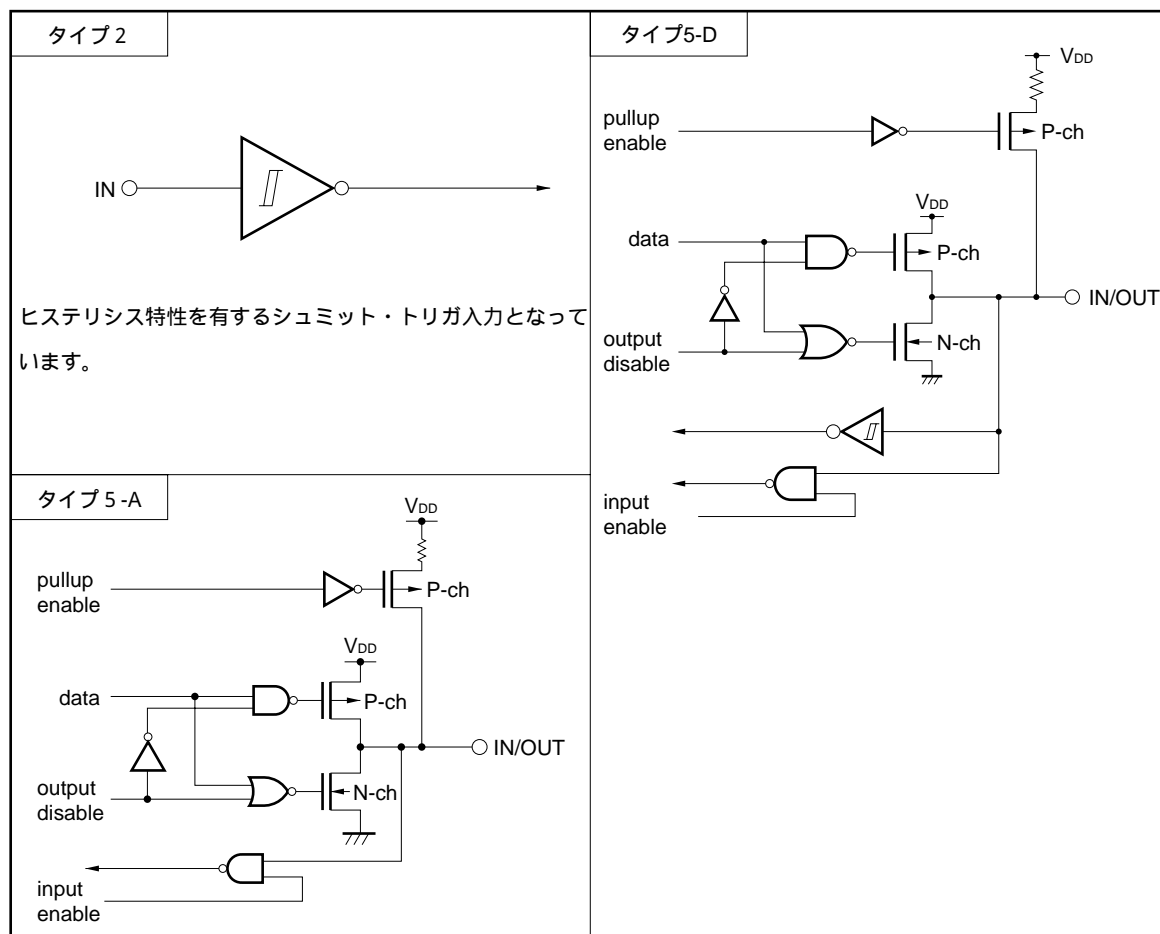
各端子の入出力回路タイプと、未使用端子の処理を表3 - 1に示します。

また、各タイプの入出力回路の構成は、図3 - 1を参照してください。

表3 - 1 各端子の入出力回路タイプ

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P07	5-A	入出力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P10-P17			
P20/ASCK/SCK0	5-D	入出力	個別に抵抗を介して、V _{SS} に接続してください。
P21/TxD/SO0	5-A		
P22/RxD/SI0	5-D		
P30/INTP0/TI0/TO0			
P31/INTP1/TI1/TO1			
P32/INTP2			
RESET	2		
IC	—	—	V _{SS} に直接接続してください。

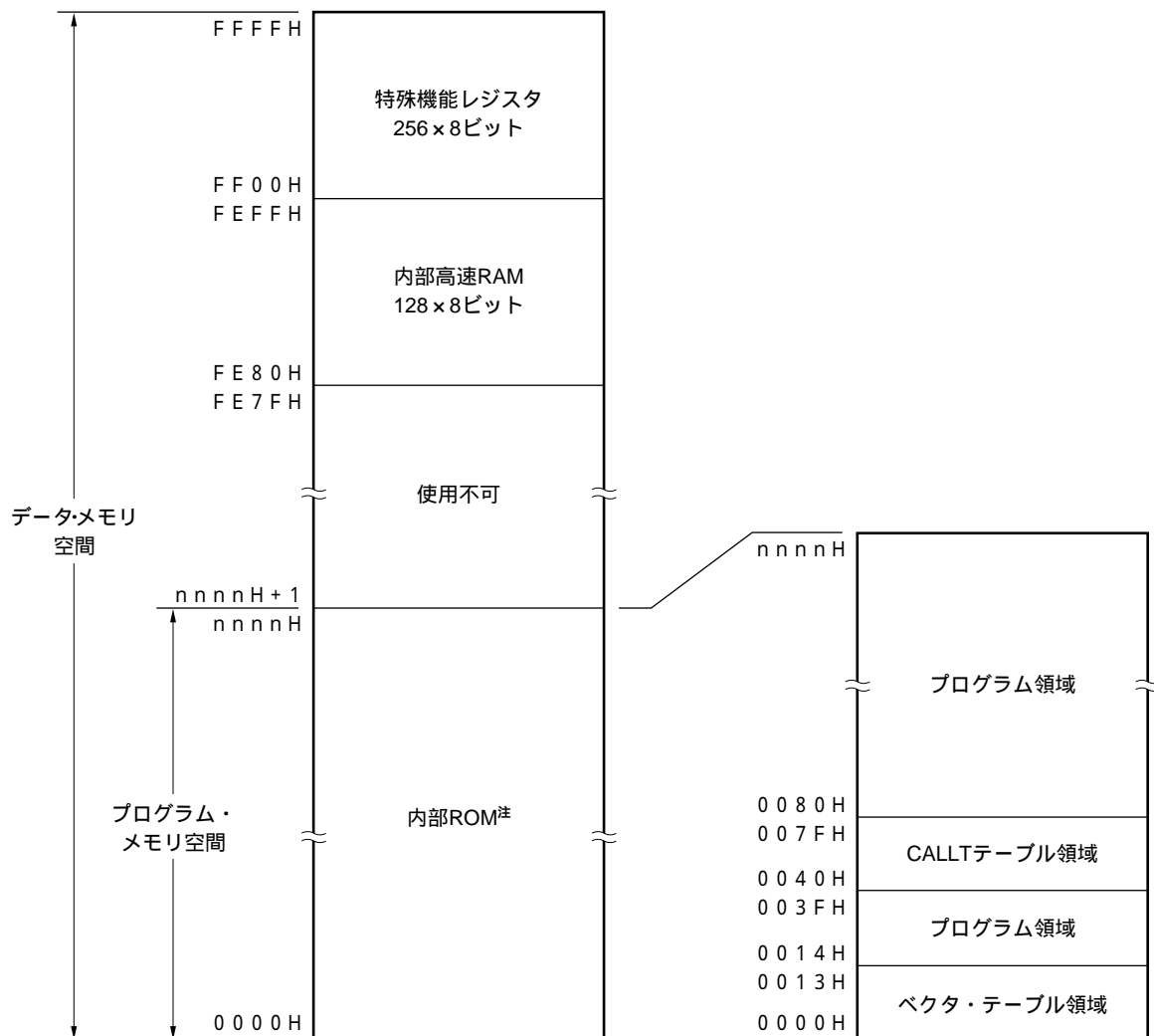
図3 - 1 端子の入出力回路一覧



4. メモリ空間

図4 - 1に , μ PD789011, 789012のメモリ・マップを示します。

図4 - 1 メモリ・マップ



注 内部ROM容量は製品によって異なります(下表参照)。

品名	内部ROM最終アドレス nnnnH
μ PD789011	07FFH
μ PD789012	0FFFH

5. 周辺ハードウェア機能

5.1 ポート

μ PD789011, 789012には、次に示すポートを備えており、多様な制御を行うことができます。

表5 - 1 ポートの機能

名称	端子名称	機能
ポート0	P00-P07	8ビット入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート1	P10-P17	8ビット入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート2	P20-P22	3ビット入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート3	P30-P32	3ビット入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。

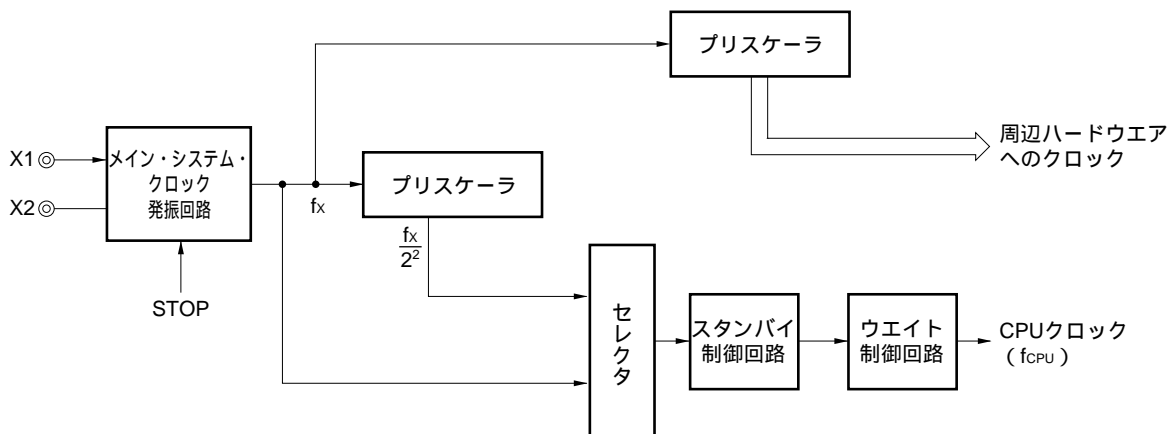
5.2 クロック発生回路

メイン・システム・クロックの発生回路を内蔵しています。

また、最小命令実行時間を変化させることができます。

- ・ 0.4 μs/1.6 μs (メイン・システム・クロック : 5.0 MHz動作時)

図5 - 1 クロック発生回路のブロック図



5.3 タイマ

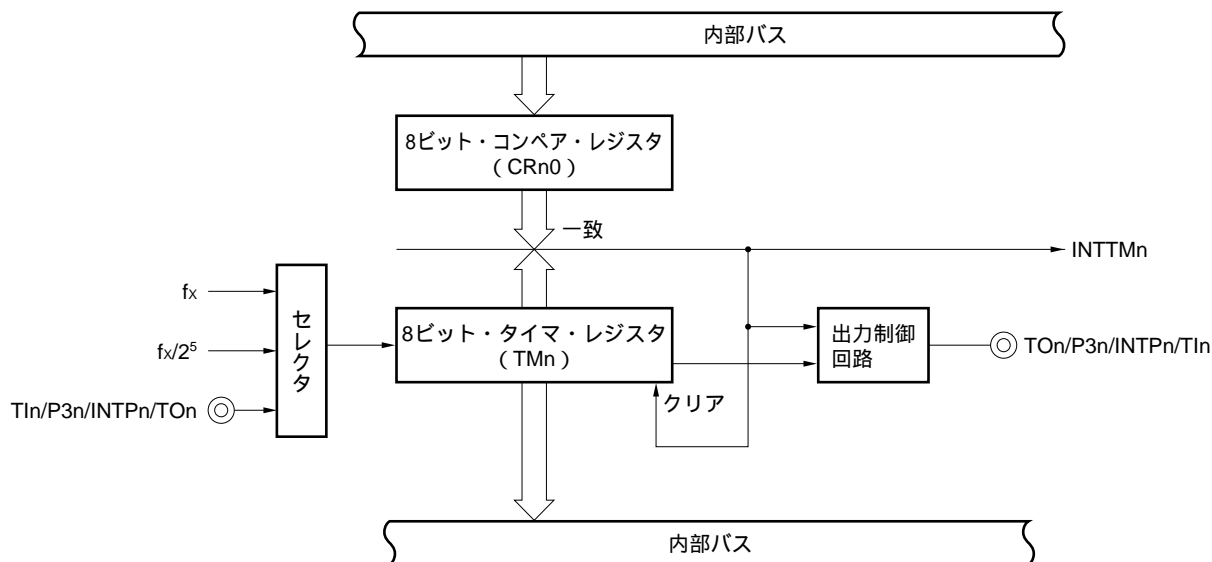
μ PD789011, 789012はタイマを3チャンネル内蔵しています。

- ・8ビット・タイマ/イベント・カウンタ 2チャンネル
- ・ウォッチドッグ・タイマ 1チャンネル

表5-2 タイマの動作

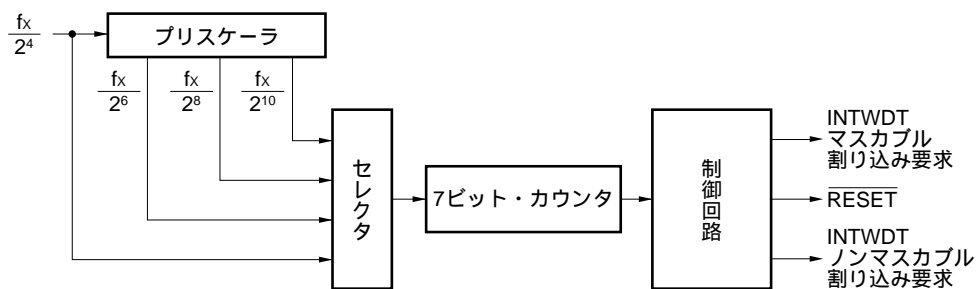
		8ビット・タイマ/イベント・カウンタ	ウォッチドッグ・タイマ
動作	インターバル・タイマ	2チャンネル	1チャンネル
	外部イベント・カウンタ	2チャンネル	-
機能	タイマ出力	2出力	-
	割り込み要因	2	1

図5-2 8ビット・タイマ/イベント・カウンタのブロック図



備考 n = 0, 1

図5-3 ウォッチドッグ・タイマのブロック図



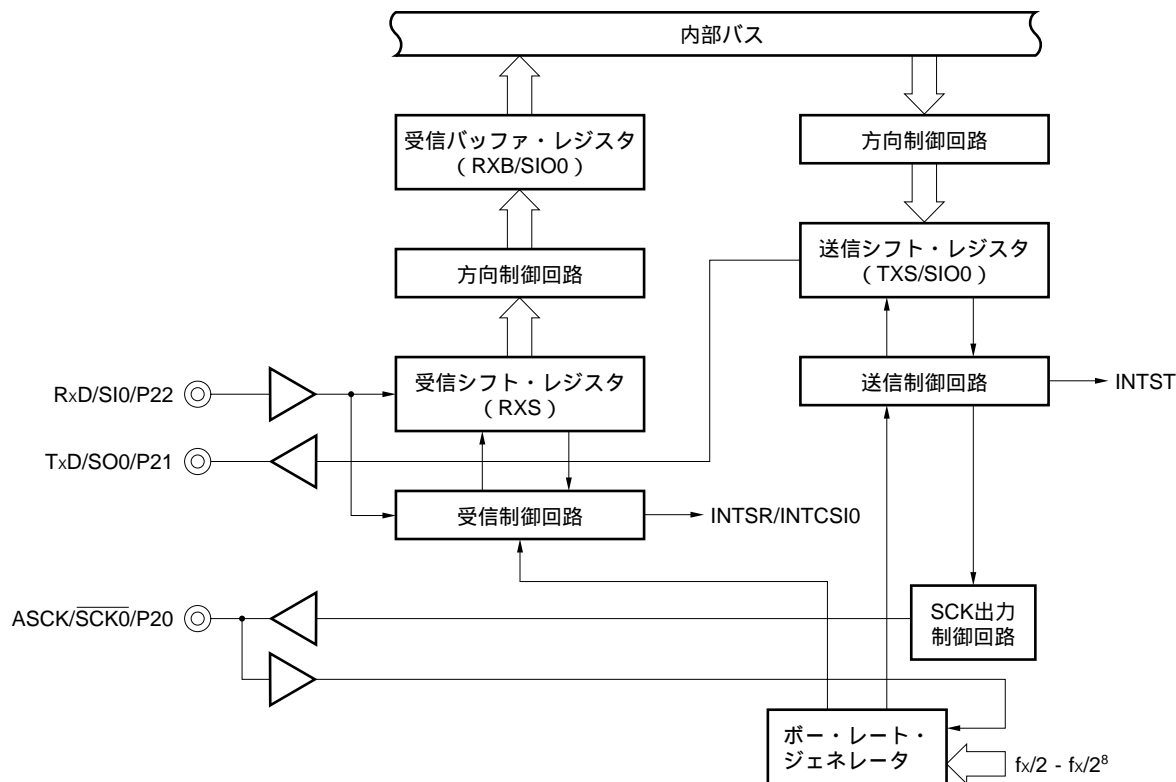
5.4 シリアル・インタフェース

シリアル・インタフェースを1チャンネル内蔵しています。

シリアル・インタフェース・チャンネル0には次の2種類のモードがあります。

- ・3線式シリアルI/Oモード : MSB/LSB先頭切り替え可能
- ・アシンクロナス・シリアル・インタフェース (UART) モード : 専用ポー・レート・ジェネレータ内蔵

図5-4 シリアル・インタフェース・チャンネル0のブロック図



6. 割り込み機能

割り込み機能には、次の2種類、10要因があります。

- ・ ノンマスクابل : 1
- ・ マスクابل : 9

表6 - 1 割り込み要因一覧

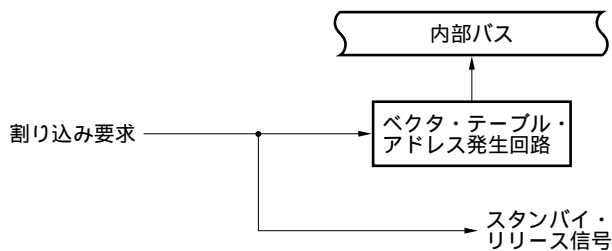
割り込みタイプ	プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}
		名称	トリガ			
ノンマスクابل	-	INTWDT	ウォッチドッグ・タイマのオーバフロー（ウォッチドッグ・タイマ・モード1選択時）	内部	0004H	(A)
マスクابل	0	INTWDT	ウォッチドッグ・タイマのオーバフロー（インターバル・タイマ・モード選択時）			(B)
マスクابل	1	INTP0	端子入力エッジ検出	外部	0006H	(C)
	2	INTP1			0008H	
	3	INTP2			000AH	
	4	INTSR	シリアル・インタフェース・チャンネル0のUART受信終了	内部	000CH	(B)
			INTCSI0			
	5	INTST	シリアル・インタフェース・チャンネル0のUART送信終了		000EH	
	6	INTTM0	8ビット・タイマ/イベント・カウンタ0の一致信号発生		0010H	
7	INTTM1	8ビット・タイマ/イベント・カウンタ1の一致信号発生	0012H			

注1. プライオリティは、複数のマスクابل割り込みが同時に発生している場合に、優先する順位です。0が最高順位、7が最低順位です。

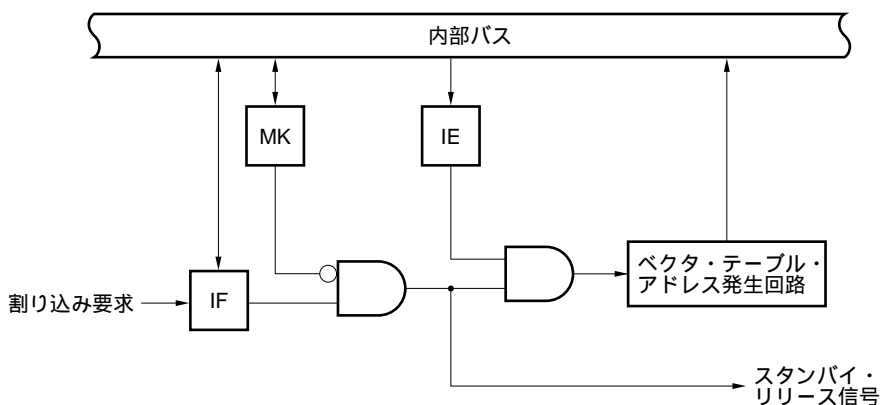
2. 基本構成タイプの(A) - (C)は、それぞれ図6 - 1の(A) - (C)に対応しています。

図6-1 割り込み機能の基本構成

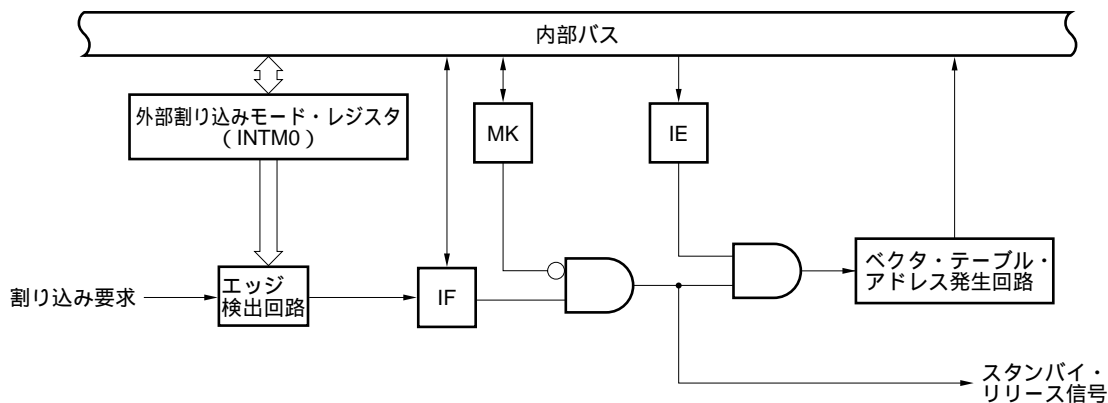
(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み



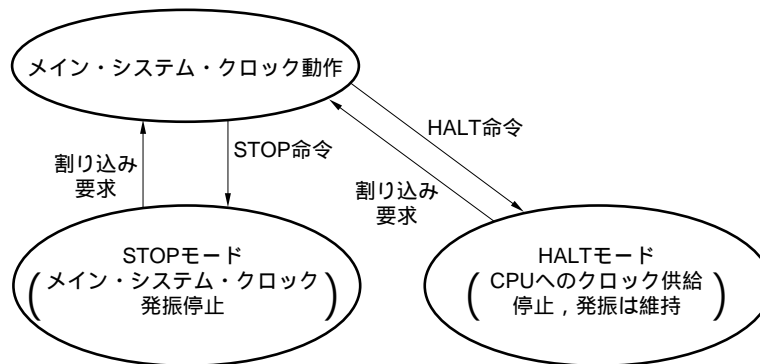
- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- MK : 割り込みマスク・フラグ

7. スタンバイ機能

スタンバイ機能は、消費電流をより低減するための機能で、次の2種類があります。

- ・ HALTモード：CPUの動作クロックを停止させます。通常動作との間欠動作により、平均消費電流を低減できます。
- ・ STOPモード：メイン・システム・クロックの発振を停止させます。メイン・システム・クロックによる動作をすべて停止させ、微小消費電力状態にします。

図7-1 スタンバイ機能



8. リセット機能

次の2種類の方法によってリセットがかかります。

- ・ $\overline{\text{RESET}}$ 端子による外部リセット
- ・ ウォッチドッグ・タイマの暴走時間検出による内部リセット

9. 命令セットの概要

μ PD789011, 789012の命令セットを一覧表にして示します。

9.1 凡 例

9.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および# , ! , \$, []の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・ # : イミーディエト・データ指定
- ・ \$: 相対アドレス指定
- ・ ! : 絶対アドレス指定
- ・ [] : 間接アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も# , ! , \$, []記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（下表の中のカッコ内の名称, R0, R1, R2など）のいずれの形式でも記述可能です。

表9 - 1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0) , A (R1) , C (R2) , B (R3) , E (R4) , D (R5) L (R6) , H (R7)
rp	AX (RP0) , BC (RP1) , DE (RP2) , HL (RP3)
sfr	特殊機能レジスタ略号
saddr	FE20H-FF1FH イミーディエト・データまたはラベル
saddrp	FE20H-FF1FH イミーディエト・データまたはラベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミーディエト・データまたはラベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr5	0040H-007FH イミーディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル

9.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスクブル割り込み処理中フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
—	: 反転データ
addr16	: 16ビット・イミディエト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

9.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

★ 9.2 オペレーション一覧

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOV	r, # byte	3	6	r byte			
	saddr, # byte	3	6	(saddr) byte			
	sfr, # byte	3	6	sfr byte			
	A, r 注1	2	4	A r			
	r, A 注1	2	4	r A			
	A, saddr	2	4	A (saddr)			
	saddr, A	2	4	(saddr) A			
	A, sfr	2	4	A sfr			
	sfr, A	2	4	sfr A			
	A, !addr16	3	8	A (addr16)			
	!addr16, A	3	8	(addr16) A			
	PSW, # byte	3	6	PSW byte	x	x	x
	A, PSW	2	4	A PSW			
	PSW, A	2	4	PSW A	x	x	x
	A, [DE]	1	6	A (DE)			
	[DE], A	1	6	(DE) A			
	A, [HL]	1	6	A (HL)			
	[HL], A	1	6	(HL) A			
	A, [HL + byte]	2	6	A (HL + byte)			
[HL + byte], A	2	6	(HL + byte) A				
XCH	A, X	1	4	A X			
	A, r 注2	2	6	A r			
	A, saddr	2	6	A (saddr)			
	A, sfr	2	6	A (sfr)			
	A, [DE]	1	8	A (DE)			
	A, [HL]	1	8	A (HL)			
	A, [HL + byte]	2	8	A (HL + byte)			
MOVW	rp, # word	3	6	rp word			
	AX, saddrp	2	6	AX (saddrp)			
	saddrp, AX	2	8	(saddrp) AX			
	AX, rp 注3	1	4	AX rp			
	rp, AX 注3	1	4	rp AX			
XCHW	AX, rp 注3	1	8	AX rp			

注1. r = Aを除く。

2. r = A, Xを除く。

3. rp = BC, DE, HLのみ。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
ADD	A, # byte	2	4	A, CY A + byte	x	x	x
	saddr, # byte	3	6	(saddr), CY (saddr) + byte	x	x	x
	A, r	2	4	A, CY A + r	x	x	x
	A, saddr	2	4	A, CY A + (saddr)	x	x	x
	A, !addr16	3	8	A, CY A + (addr16)	x	x	x
	A, [HL]	1	6	A, CY A + (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte)	x	x	x
ADDC	A, # byte	2	4	A, CY A + byte + CY	x	x	x
	saddr, # byte	3	6	(saddr), CY (saddr) + byte + CY	x	x	x
	A, r	2	4	A, CY A + r + CY	x	x	x
	A, saddr	2	4	A, CY A + (saddr) + CY	x	x	x
	A, !addr16	3	8	A, CY A + (addr16) + CY	x	x	x
	A, [HL]	1	6	A, CY A + (HL) + CY	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte) + CY	x	x	x
SUB	A, # byte	2	4	A, CY A - byte	x	x	x
	saddr, # byte	3	6	(saddr), CY (saddr) - byte	x	x	x
	A, r	2	4	A, CY A - r	x	x	x
	A, saddr	2	4	A, CY A - (saddr)	x	x	x
	A, !addr16	3	8	A, CY A - (addr16)	x	x	x
	A, [HL]	1	6	A, CY A - (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte)	x	x	x
SUBC	A, # byte	2	4	A, CY A - byte - CY	x	x	x
	saddr, # byte	3	6	(saddr), CY (saddr) - byte - CY	x	x	x
	A, r	2	4	A, CY A - r - CY	x	x	x
	A, saddr	2	4	A, CY A - (saddr) - CY	x	x	x
	A, !addr16	3	8	A, CY A - (addr16) - CY	x	x	x
	A, [HL]	1	6	A, CY A - (HL) - CY	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte) - CY	x	x	x
AND	A, # byte	2	4	A A ^ byte	x		
	saddr, # byte	3	6	(saddr) (saddr) ^ byte	x		
	A, r	2	4	A A ^ r	x		
	A, saddr	2	4	A A ^ (saddr)	x		
	A, !addr16	3	8	A A ^ (addr16)	x		
	A, [HL]	1	6	A A ^ (HL)	x		
	A, [HL + byte]	2	6	A A ^ (HL + byte)	x		

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f_{cpu})の1クロック分です。

ニモニク	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
OR	A, # byte	2	4	A A ∨ byte			x
	saddr, # byte	3	6	(saddr) (saddr) ∨ byte			x
	A, r	2	4	A A ∨ r			x
	A, saddr	2	4	A A ∨ (saddr)			x
	A, !addr16	3	8	A A ∨ (addr16)			x
	A, [HL]	1	6	A A ∨ (HL)			x
	A, [HL + byte]	2	6	A A ∨ (HL + byte)			x
XOR	A, # byte	2	4	A A ∨ byte			x
	saddr, # byte	3	6	(saddr) (saddr) ∨ byte			x
	A, r	2	4	A A ∨ r			x
	A, saddr	2	4	A A ∨ (saddr)			x
	A, !addr16	3	8	A A ∨ (addr16)			x
	A, [HL]	1	6	A A ∨ (HL)			x
	A, [HL + byte]	2	6	A A ∨ (HL + byte)			x
CMP	A, # byte	2	4	A - byte	x	x	x
	saddr, # byte	3	6	(saddr) - byte	x	x	x
	A, r	2	4	A - r	x	x	x
	A, saddr	2	4	A - (saddr)	x	x	x
	A, !addr16	3	8	A - (addr16)	x	x	x
	A, [HL]	1	6	A - (HL)	x	x	x
	A, [HL + byte]	2	6	A - (HL + byte)	x	x	x
ADDW	AX, # word	3	6	AX, CY AX + word	x	x	x
SUBW	AX, # word	3	6	AX, CY AX - word	x	x	x
CMPW	AX, # word	3	6	AX - word	x	x	x
INC	r	2	4	r r + 1	x	x	
	saddr	2	4	(saddr) (saddr) + 1	x	x	
DEC	r	2	4	r r - 1	x	x	
	saddr	2	4	(saddr) (saddr) - 1	x	x	
INCW	rp	1	4	rp rp + 1			
DECW	rp	1	4	rp rp - 1			
ROR	A, 1	1	2	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
ROL	A, 1	1	2	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
RORC	A, 1	1	2	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
ROLC	A, 1	1	2	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
SET1	saddr. bit	3	6	(saddr. bit) 1			
	sfr. bit	3	6	sfr. bit 1			
	A. bit	2	4	A. bit 1			
	PSW. bit	3	6	PSW. bit 1	x	x	x
	[HL]. bit	2	10	(HL). bit 1			
CLR1	saddr. bit	3	6	(saddr. bit) 0			
	sfr. bit	3	6	sfr. bit 0			
	A. bit	2	4	A. bit 0			
	PSW. bit	3	6	PSW. bit 0	x	x	x
	[HL]. bit	2	10	(HL). bit 0			
SET1	CY	1	2	CY 1			1
CLR1	CY	1	2	CY 0			0
NOT1	CY	1	2	CY \overline{CY}			x
CALL	laddr16	3	6	(SP - 1) (PC + 3) _H , (SP - 2) (PC + 3) _L , PC addr16, SP SP - 2			
CALLT	[addr5]	1	8	(SP - 1) (PC + 1) _H , (SP - 2) (PC + 1) _L , PC _H (00000000, addr5 + 1), PC _L (00000000, addr5), SP SP - 2			
RET		1	6	PC _H (SP + 1), PC _L (SP), SP SP + 2			
RETI		1	8	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3, NMIS 0	R	R	R
PUSH	PSW	1	2	(SP - 1) PSW, SP SP - 1			
	rp	1	4	(SP - 1) rp _H , (SP - 2) rp _L , SP SP - 2			
POP	PSW	1	4	PSW (SP), SP SP + 1	R	R	R
	rp	1	6	rp _H (SP + 1), rp _L (SP), SP SP + 2			
MOVW	SP, AX	2	8	SP AX			
	AX, SP	2	6	AX SP			
BR	laddr16	3	6	PC addr16			
	\$addr16	2	6	PC PC + 2 + jdisp8			
	AX	1	6	PC _H A, PC _L X			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ
					Z AC CY
BC	\$addr16	2	6	PC PC + 2 + jdisp8 if CY = 1	
BNC	\$addr16	2	6	PC PC + 2 + jdisp8 if CY = 0	
BZ	\$addr16	2	6	PC PC + 2 + jdisp8 if Z = 1	
BNZ	\$addr16	2	6	PC PC + 2 + jdisp8 if Z = 0	
BT	saddr. bit, \$addr16	4	10	PC PC + 4 + jdisp8 if (saddr. bit) = 1	
	sfr. bit, \$addr16	4	10	PC PC + 4 + jdisp8 if sfr. bit = 1	
	A. bit, \$addr16	3	8	PC PC + 3 + jdisp8 if A. bit = 1	
	PSW. bit, \$addr16	4	10	PC PC + 4 + jdisp8 if PSW. bit = 1	
BF	saddr. bit, \$addr16	4	10	PC PC + 4 + jdisp8 if (saddr. bit) = 0	
	sfr. bit, \$addr16	4	10	PC PC + 4 + jdisp8 if sfr. bit = 0	
	A. bit, \$addr16	3	8	PC PC + 3 + jdisp8 if A. bit = 0	
	PSW. bit, \$addr16	4	10	PC PC + 4 + jdisp8 if PSW. bit = 0	
DBNZ	B, \$addr16	2	6	B B - 1, then PC PC + 2 + jdisp8 if B = 0	
	C, \$addr16	2	6	C C - 1, then PC PC + 2 + jdisp8 if C = 0	
	saddr, \$addr16	3	8	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) = 0	
NOP		1	2	No Operation	
EI		3	6	IE = 1 (Enable Interrupt)	
DI		3	6	IE = 0 (Disable Interrupt)	
HALT		1	2	Set HALT Mode	
STOP		1	2	Set STOP Mode	

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

★ 10. 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件		定格	単位
電源電圧	V _{DD}			- 0.3 ~ + 7.0	V
入力電圧	V _I			- 0.3 ~ V _{DD} + 0.3	V
出力電圧	V _O			- 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH} ^注	1端子	ピーク値	- 10	mA
			実効値	- 5	mA
		全端子合計	ピーク値	- 30	mA
			実効値	- 15	mA
ロウ・レベル出力電流	I _{OL} ^注	1端子	ピーク値	30	mA
			実効値	15	mA
		全端子合計	ピーク値	160	mA
			実効値	80	mA
動作周囲温度	T _A			- 40 ~ + 85	
保存温度	T _{stg}			- 65 ~ + 150	

注 実効値は、[実効値] = [ピーク値] × √デューティで計算してください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

容量 (TA = 25 , V_{DD} = V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _{IN}	f = 1 MHz 被測定端子以外は、0 V			15	pF
出力容量	C _{OUT}				15	pF
入出力容量	C _{IO}				15	pF

メイン・システム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1	VDD = 発振電圧範囲	1.0		5.0	MHz
		発振安定時間注2	VDDが発振電圧範囲のMIN.に達したあと			4	ms
水晶振動子		発振周波数 (fx) 注1		1.0		5.0	MHz
		発振安定時間注2	VDD = 4.5 ~ 5.5 V			10 30	ms
外部クロック		X1入力周波数 (fx) 注1		1.0		5.0	MHz
		X1入力ハイ、ロウ・レベル幅 (txH, txL)		100		500	ns

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意 メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

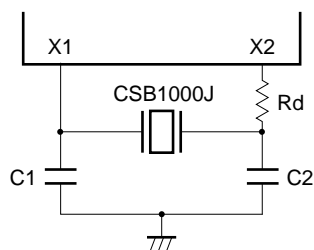
- ・ 配線は極力短くする。
- ・ 他の信号線と交差させない。
- ・ 変化する大電流が流れる線に接近させない。
- ・ 発振回路のコンデンサの接地点は、常にVSSと同電位になるようにする。
- ・ 大電流が流れるグランド・パターンに接地しない。
- ・ 発振回路から信号を取り出さない。

推奨発振回路定数

セラミック発振子 (TA = -40 ~ +85)

メーカー	品名	周波数 (MHz)	推奨回路定数 (pF)		発振電圧範囲 (V _{DD})		備考
			C1	C2	MIN.	MAX.	
村田製作所	CSB1000J ^注	1.00	100	100	1.9	5.5	Rd = 1.0 kΩ
	CSA2.00MG040	2.00	100	100	2.1	5.5	コンデンサ内蔵品
	CST2.00MG040		—	—			
	CSA4.19MG	4.19	30	30	1.8	5.5	コンデンサ内蔵品
	CST4.19MGW		—	—			
	CSA5.00MG	5.00	30	30	2.2	5.5	コンデンサ内蔵品
	CST5.00MGW		—	—			
	CSA5.00MGU		30	30	2.0	5.5	コンデンサ内蔵品
	CST5.00MGWU	—	—				

注 セラミック発振子として村田製作所のCSB1000J (1.0 MHz) を使用する場合には、制限抵抗 (Rd = 1.0 kΩ) が必要です (下図参照)。その他の推奨発振子を使用する場合は制限抵抗は不要です。



注意 発振回路定数ならびに発振電圧範囲は、安定して発振する条件を示すものであり、発振周波数精度を保証するものではありません。実装回路にて発振周波数精度を必要とする場合、実装回路にて発振子の発振周波数を調整する必要がありますので、ご使用になる発振子のメーカーに直接お問い合わせください。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流	IOL	1端子				15	mA
		全端子合計				80	mA
ハイ・レベル入力電圧	VIH1	P00-P07, P10-P17, P20-P22, P30-P32	VDD = 2.7 ~ 5.5 V	0.7 VDD		VDD	V
				0.9 VDD		VDD	V
	VIH2	INTP0-INTP2, SIO, RxD, ASCK, SCK0, TIO, T11, RESET	VDD = 2.7 ~ 5.5 V	0.8 VDD		VDD	V
				0.9 VDD		VDD	V
VIH3	X1, X2		VDD - 0.1		VDD	V	
ロウ・レベル入力電圧	VIL1	P00-P07, P10-P17, P20-P22, P30-P32	VDD = 2.7 ~ 5.5 V	0		0.3 VDD	V
				0		0.1 VDD	V
	VIL2	INTP0-INTP2, SIO, RxD, ASCK, SCK0, TIO, T11, RESET	VDD = 2.7 ~ 5.5 V	0		0.2 VDD	V
				0		0.1 VDD	V
VIL3	X1, X2		0		0.1	V	
ハイ・レベル出力電圧	VOH	VDD = 4.5 ~ 5.5 V, IOH = -1 mA		VDD - 1.0			V
		IOH = -100 μA		VDD - 0.5			V
ロウ・レベル出力電圧	VOL	VDD = 4.5 ~ 5.5 V, IOL = 10 mA				1.0	V
		IOL = 400 μA				0.5	V
ハイ・レベル入力リーク電流	I_LIH1	VIN = VDD	X1, X2以外の端子			3	μA
	I_LIH2		X1, X2			20	μA
ロウ・レベル入力リーク電流	I_LIL1	VIN = 0 V	X1, X2以外の端子			-3	μA
	I_LIL2		X1, X2			-20	μA
ハイ・レベル出力リーク電流	I_LOH	VOUT = VDD				3	μA
ロウ・レベル出力リーク電流	I_LOL	VOUT = 0 V				-3	μA

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ソフトウェア・ブルアップ抵抗	R	VIN = 0 V		50	100	200	kΩ
電源電流 ^{注1}	IDD1	5.0 MHz	VDD = 5.0 V ± 10 % ^{注2}		1.1	2.0	mA
		水晶発振動作モード	VDD = 3.0 V ± 10 % ^{注3}		0.3	0.45	mA
	IDD2	5.0 MHz	VDD = 5.0 V ± 10 % ^{注2}		0.6	0.85	mA
		水晶発振HALTモード	VDD = 3.0 V ± 10 % ^{注3}		0.2	0.35	mA
	IDD3	STOPモード	VDD = 5.0 V ± 10 %		0.1	10	μA
			VDD = 3.0 V ± 10 %	TA = 25	0.05	5	μA
VDD = 2.0 V ± 10 %				0.05	3	μA	

- 注1. ポート電流（内蔵ブルアップ抵抗に流れる電流も含む）は含みません。
2. 高速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）。
 3. 低速モード動作時（PCCを02Hに設定したとき）。

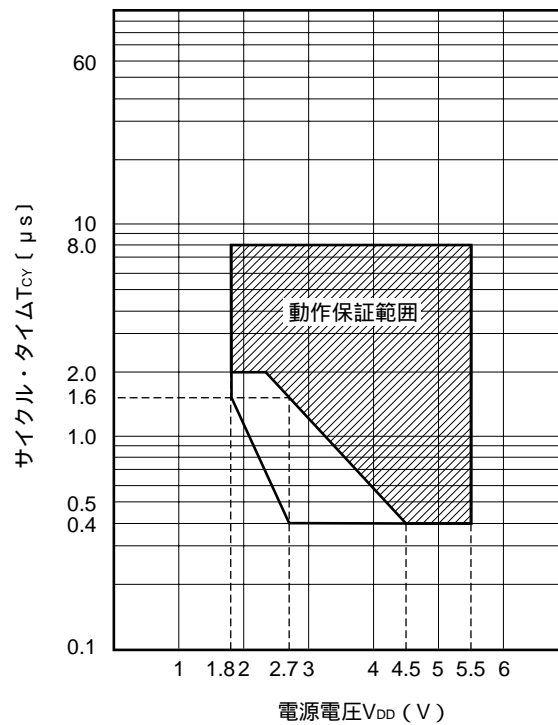
備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T_{CY}	$V_{DD} = 2.7 \sim 5.5 V$	0.4		8	μs
			1.6		8	μs
TIO, T11入力 ハイ, ロウ・レベル幅	t_{TIH} ,	$V_{DD} = 2.7 \sim 5.5 V$	0.1			μs
	t_{TIL}		1.8			μs
TIO, T11 入力周波数	f_{Ti}	$V_{DD} = 2.7 \sim 5.5 V$	0		4	MHz
			0		275	kHz
割り込み入力 ハイ, ロウ・レベル幅	t_{INTH} ,	INTP0-INTP2	$V_{DD} = 2.7 \sim 5.5 V$	10		μs
	t_{INTL}			20		μs
RESET ロウ・レベル幅	t_{RSL}	$V_{DD} = 2.7 \sim 5.5 V$	10			μs
			20			μs

T_{CY} vs V_{DD} (メイン・システム・クロック)



備考 図中の斜線部分はμ PD78P9014の動作保証範囲です。

(2) シリアル・インタフェース・チャンネル0 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 V$)

(i) 3線式シリアル/Oモード ($\overline{SCK0}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	tkCY1	$V_{DD} = 2.7 \sim 5.5 V$	800			ns
			3200			ns
SCK0ハイ, ロウ・レベル幅	tkH1, tkL1	$V_{DD} = 2.7 \sim 5.5 V$	$tkCY1/2 - 50$			ns
			$tkCY1/2 - 150$			ns
SIOセットアップ時間 (対 $\overline{SCK0}$)	tSIK1	$V_{DD} = 2.7 \sim 5.5 V$	150			ns
			500			ns
SIOホールド時間 (対 $\overline{SCK0}$)	tKSI1	$V_{DD} = 2.7 \sim 5.5 V$	400			ns
			600			ns
SCK0 SO0 出力遅延時間	tkSO1	R = 1 kΩ , C = 100 pF ^注	$V_{DD} = 2.7 \sim 5.5 V$		250	ns
			0		1000	ns

注 R, Cは, SO0出力ラインの負荷抵抗, 負荷容量です。

(ii) 3線式シリアル/Oモード ($\overline{SCK0}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	tkCY2	$V_{DD} = 2.7 \sim 5.5 V$	800			ns
			3200			ns
SCK0ハイ, ロウ・レベル幅	tkH2, tkL2	$V_{DD} = 2.7 \sim 5.5 V$	400			ns
			1600			ns
SIOセットアップ時間 (対 $\overline{SCK0}$)	tSIK2	$V_{DD} = 2.7 \sim 5.5 V$	100			ns
			150			ns
SIOホールド時間 (対 $\overline{SCK0}$)	tKSI2	$V_{DD} = 2.7 \sim 5.5 V$	400			ns
			600			ns
SCK0 SO0 出力遅延時間	tkSO2	R = 1 kΩ , C = 100 pF ^注	$V_{DD} = 2.7 \sim 5.5 V$		300	ns
			0		1000	ns

注 R, Cは, SO0出力ラインの負荷抵抗, 負荷容量です。

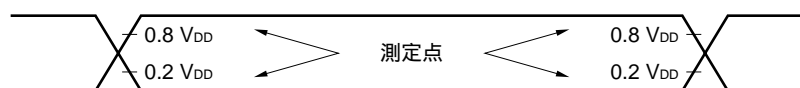
(iii) UARTモード (専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		$V_{DD} = 2.7 \sim 5.5 V$			78125	bps
					19531	bps

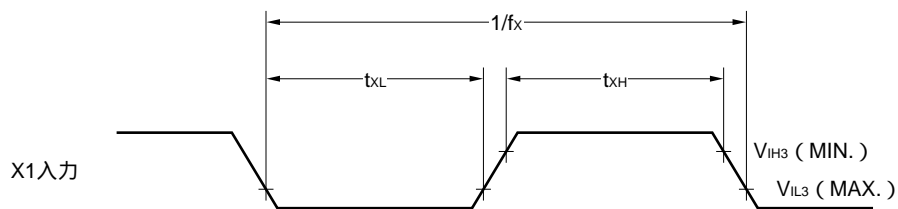
(iv) UARTモード (外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ASCKサイクル・ タイム	t _{KCY3}	V _{DD} = 2.7 ~ 5.5 V	800			ns
			3200			ns
ASCK ハイ, ロウ・レベル幅	t _{KH3} ,	V _{DD} = 2.7 ~ 5.5 V	400			ns
	t _{KL3}		1600			ns
転送レート		V _{DD} = 2.7 ~ 5.5 V			39063	bps
					9766	bps
ASCK立ち上がり, 立ち下がり時間	t _R ,				1	μs
	t _F					

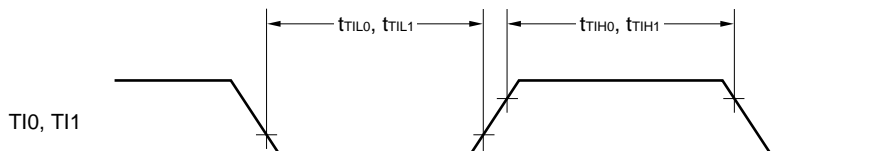
ACタイミング測定点 (X1入力を除く)



クロック・タイミング

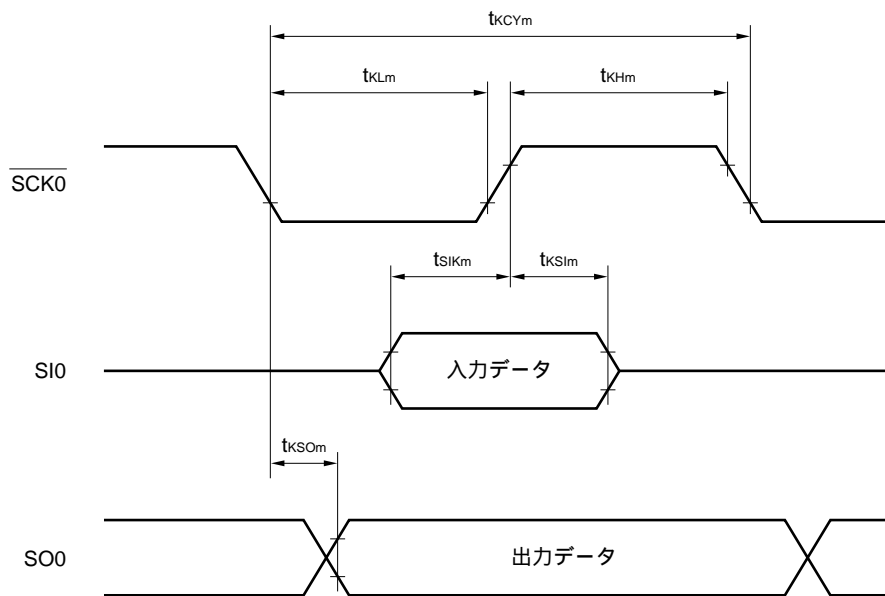


T1タイミング



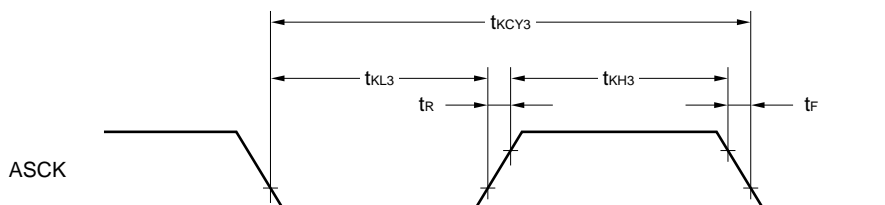
シリアル転送タイミング

3線式シリアル/Oモード :



$m = 1, 2$

UARTモード (外部クロック入力) :



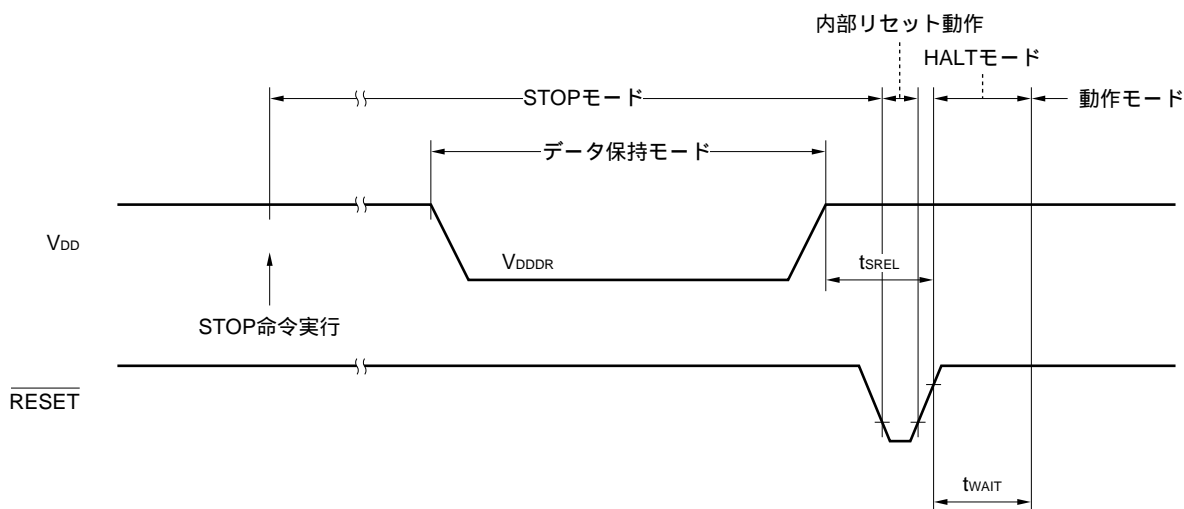
データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.8		5.5	V
リリース信号セット時間	tsREL		0			μs
発振安定ウエイト時間	tWAIT	RESETによる解除		2 ¹⁵ /fx		ms
		割り込みによる解除		注		ms

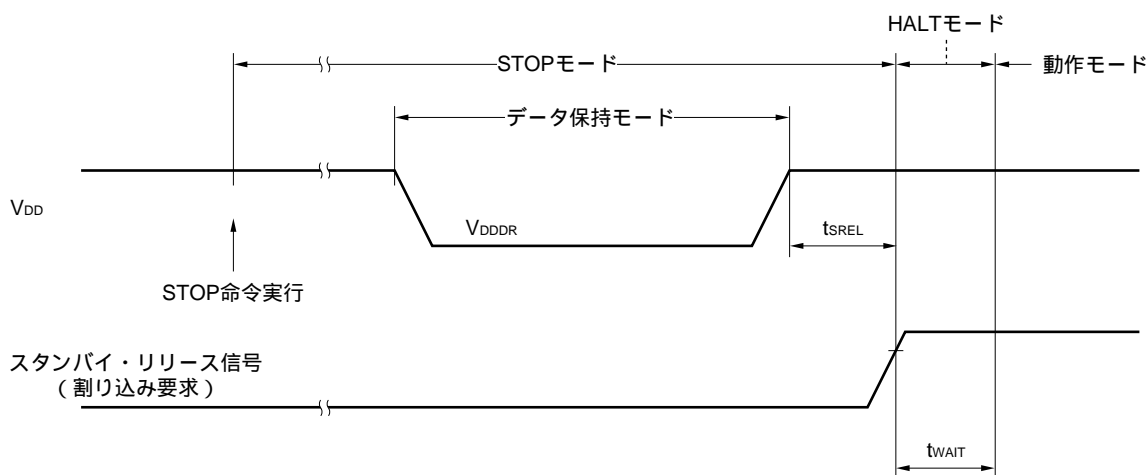
注 発振安定時間選択レジスタのビット0-ビット2 (OSTS0-OSTS2) により, 2¹²/fx, 2¹⁵/fx, 2¹⁷/fxの選択が可能です。

備考 fx : メイン・システム・クロック発振周波数

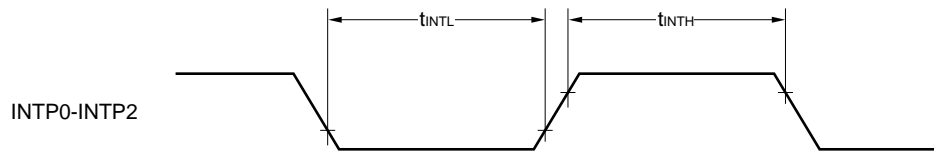
データ保持タイミング (RESETによるSTOPモード解除)



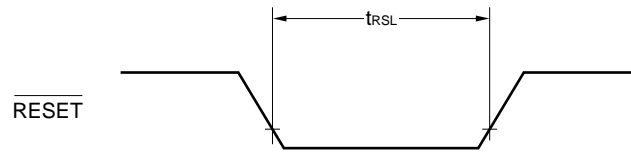
データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



割り込み入力タイミング

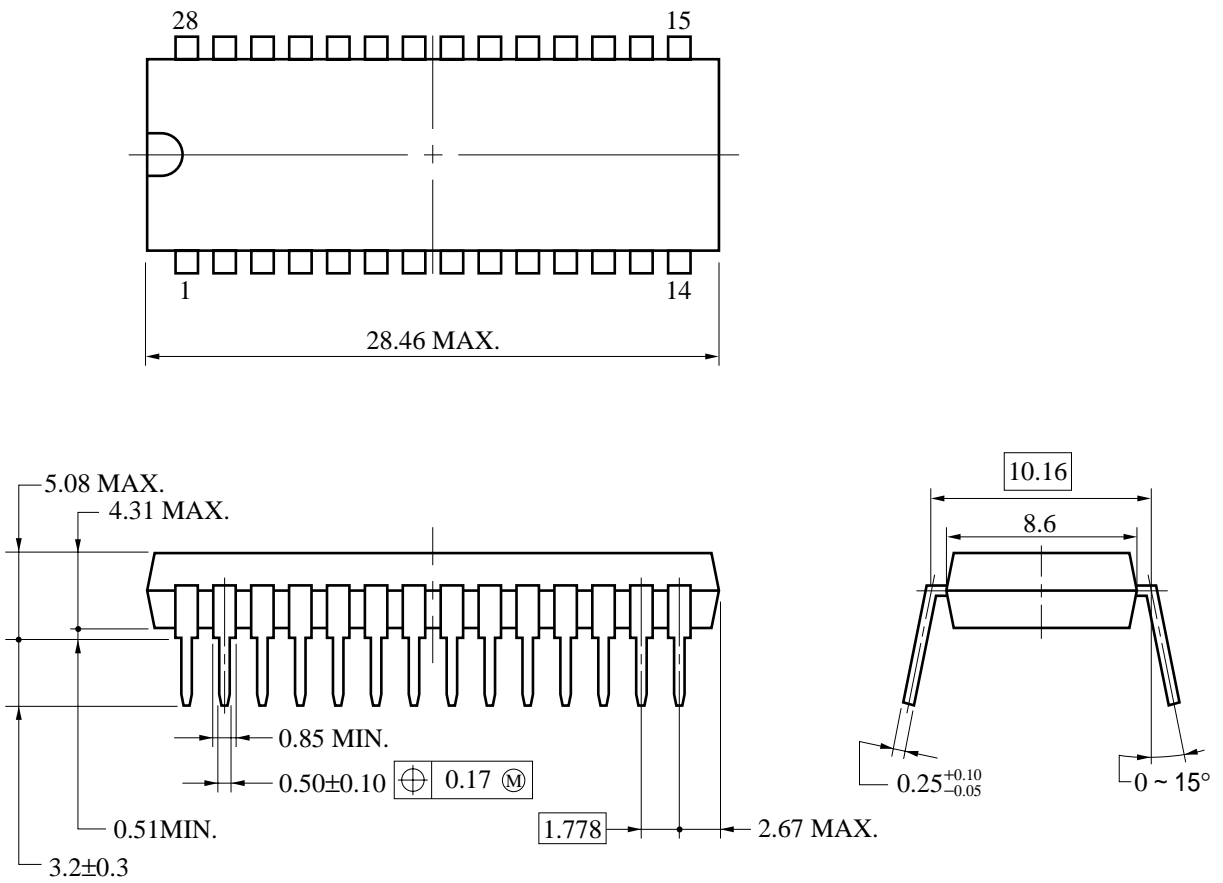


RESET入力タイミング



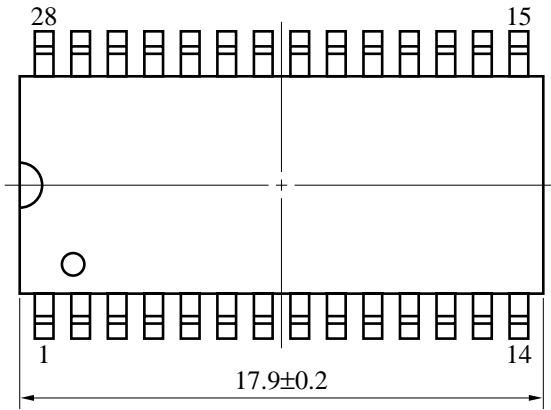
★ 11. 外形図

28ピン・プラスチック SDIP (10.16 mm (400)) 外形図 (単位: mm)

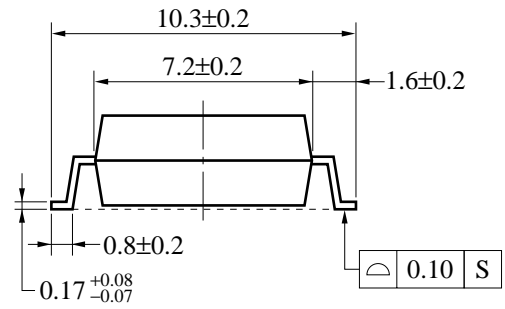
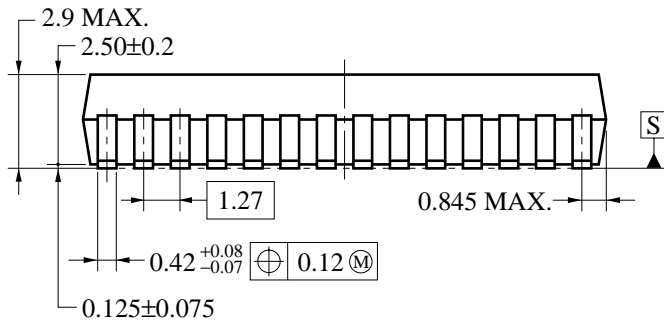
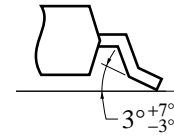


S28C-70-400B-2

28ピン・プラスチック SOP (9.53 mm (375)) 外形図 (単位: mm)



端子先端形状詳細図



P28GT-50-375B-3

★ 12. 半田付け推奨条件

μ PD789011, 789012の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表12 - 1 表面実装タイプの半田付け条件

μ PD789011GT-x x x : 28ピン・プラスチックSOP (9.53 mm (375))

μ PD789012GT-x x x : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上) ， 回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上) ， 回数：2回以内	VP15-00-2
ウエーブ・ソルダリング	半田槽温度：260 以下，時間：10秒以内，回数1回， 予備加熱温度：120 MAX.(パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：300 以下，時間：3秒以内 (デバイスの一辺当たり)	—

注 ドライパック開封後の保管日数で、保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。

表12 - 2 挿入タイプの半田付け条件

μ PD789011CT-x x x : 28ピン・プラスチックSDIP (10.16 mm (400))

μ PD789012CT-x x x : "

半田付け方式	半田付け条件
ウエーブ・ソルダリング (端子のみ)	半田槽温度：260 以下，時間：10秒以内
端子部分加熱	端子温度：300 以下，時間：3秒以内 (1端子当たり)

注意 ウエーブ・ソルダリングは端子のみとし、噴流半田が直接本体に接触しないようにしてください。

★ 付録A. 開発ツール

μ PD789011, 789012を使用するシステム開発のために次のような開発ツールを用意しています。

言語処理用ソフトウェア

RA78K0S ^{注1,2,3}	78K/0Sシリーズ共通のアセンブラ・パッケージ
CC78K0S ^{注1,2,3}	78K/0Sシリーズ共通のCコンパイラ・パッケージ
DF789014 ^{注1,2,3}	μ PD789014サブシリーズ用デバイス・ファイル
CC78K0S-L ^{注1,2,3}	78K/0Sシリーズ共通のCコンパイラ・ライブラリ・ソース・ファイル

PROM書き込み用ツール

PG-1500	PROMプログラマ
PA-78P9014GT	PG-1500に接続するPROMプログラマ・アダプタ
PG-1500コントローラ	PG-1500用コントロール・プログラム

ディバグ用ツール

IE-78K0S-NS	78K/0Sシリーズ共通のインサキット・エミュレータ
IE-70000-98-IF-B	IE-78K0S-NSのホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なアダプタです。
IE-70000-98N-IF	IE-78K0S-NSのホスト・マシンとしてPC-9800シリーズのノート型パソコンを使用するときに必要なアダプタとケーブルです。
IE-70000-PC-IF-B	IE-78K0S-NSのホスト・マシンとしてIBM PC/AT TM およびその互換機を使用するときに必要なアダプタです。
IE-789014-NS-EM1	μ PD789014サブシリーズ用のエミュレーション・ボードです。
NP-28CT ^{注4}	28ピン・プラスチック・シュリンクDIP用エミュレーション・プローブ
NP-28GT ^{注4}	28ピン・プラスチックSOP用エミュレーション・プローブ
SM78K0S ^{注1,2,3}	78K/0Sシリーズ共通のシステム・シミュレータ
DF789014 ^{注1,2,3}	μ PD789014サブシリーズと共通のデバイス・ファイル

リアルタイムOS

MX78K0S ^{注1,2}	78K/0Sシリーズ用OS
-------------------------	---------------

- 注1. PC-9800シリーズ（MS-DOSTM + WindowsTM）ベース
2. IBM PC/ATおよびその互換機（PC DOSTM/IBM DOSTM/MS-DOS + Windows）ベース
 3. HP9000シリーズ700TM（HP-UXTM）ベース，SPARCstationTM（SunOSTM）ベース，NEWSTM（NEWS-OSTM）ベース
 4. 株式会社内藤電誠町田製作所（044-822-3813）の製品です。ご購入の際は，株式会社内藤電誠町田製作所までお問い合わせください。

備考 RA78K0S, CC78K0S, SM78K0Sは，DF789014と組み合わせて使用します。

★ 付録B. 関連資料

デバイスの関連資料

資料名	資料番号	
	和文	英文
μ PD78P9014 データ・シート	U10912J	U10912E
μ PD789011, 789012 データ・シート	この資料	U11095E
μ PD789014サブシリーズ ユーザーズ・マニュアル	U11187J	U11187E
78K/0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E

開発ツールの資料(ユーザーズ・マニュアル)

資料名	資料番号		
	和文	英文	
RA78K0S アセンブラ・パッケージ	操作編	U11622J	U11622E
	アセンブリ言語編	U11599J	U11599E
	構造化アセンブリ言語編	U11623J	U11623E
CC78K/0S Cコンパイラ	操作編	U11816J	U11816E
	言語編	U11817J	U11817E
SM78K0S システム・シミュレータ Windows ベース	レファレンス編	U11489J	U11489E
SM78Kシリーズ システム・シミュレータ	外部部品ユーザオープン インタフェース仕様編	U10092J	U10092E
IE-789014-NS-EM1		U14361J	U14361E
PG-1500		U11940J	U11940E

組み込み用ソフトウェアの資料(ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
78K/0Sシリーズ用OS MX78K0S	U12938J	U12938E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTORS SELECTION GUIDE Products & Packages (CD-ROM)	X13769X	
半導体デバイス 実装マニュアル	C10535J	C10535E
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカー編	U11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

EEPROMは、日本電気株式会社の商標です。

MS-DOSおよびWindowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

IBM DOS, PC/AT, PC DOSは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

本製品が外国為替および外国貿易管理法の規定による規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意ください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00、午後 1:00～5:00)

電話：044-435-9494
FAX：044-435-9608
E-mail：s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部
東京 (03)3798-6106, 6107,
6108
名古屋 (052)222-2375
大阪 (06)6945-3178, 3200,
3208, 3212
仙台 (022)267-8740
郡山 (024)923-5591
千葉 (043)238-8116

第二販売事業部
東京 (03)3798-6110, 6111,
6112
立川 (042)526-5981, 6167
松本 (0263)35-1662
静岡 (054)254-4794
金沢 (076)232-7303
松山 (089)945-4149

第三販売事業部
東京 (03)3798-6151, 6155, 6586,
1622, 1623, 6156
水戸 (029)226-1702
広島 (082)242-5504
高崎 (027)326-1303
鳥取 (0857)27-5313
太田 (0276)46-4014
名古屋 (052)222-2170, 2190
福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>