

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

16ビット・シングルチップ・マイクロコンピュータ

μPD784975は、78K/ シリーズ中のμPD784976サブシリーズの製品です。高速、高性能CPUのほかに、FIP® コントローラ/ドライバ、ROM、RAM、I/Oポート、8ビット分解能A/Dコンバータ、タイマ、シリアル・インタフェース、割り込み機能など豊富な周辺ハードウェアを内蔵しています。

また、マスクROM製品と同じ電源電圧範囲で、動作可能なフラッシュ・メモリ内蔵製品 μPD78F4976や各種開発ツールも開発中です。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μPD784976サブシリーズ ユーザーズ・マニュアル ハードウェア編：作成予定  
78K/IVシリーズ ユーザーズ・マニュアル 命令編 : U10905J

特 徴

最小命令実行時間	シリアル・インタフェース
160 ns ( f <sub>xx</sub> = 12.5 MHz動作時)	CSI ( 3線式シリアルI/O ) : 2チャンネル
FIPコントローラ/ドライバ : 表示出力合計48本 (ユニバーサル・グリッド対応)	スタンバイ機能
I/Oポート : 72本	HALT/STOP/IDLEモード
タイマ :	ウォッチドッグ・タイマ : 1チャンネル
・ 16ビット・タイマ/カウンタ × 1ユニット	A/Dコンバータ : 8ビット分解能 × 12チャンネル
・ 8ビットPWMタイマ × 2ユニット	電源電圧 : V <sub>DD</sub> = 4.5 ~ 5.5 V

応用分野

一体型ミニコンポ、セパレート型ミニコンポ、チューナ、カセット・デッキ、CDプレーヤ、オーディオ・アンプなど

オーダ情報

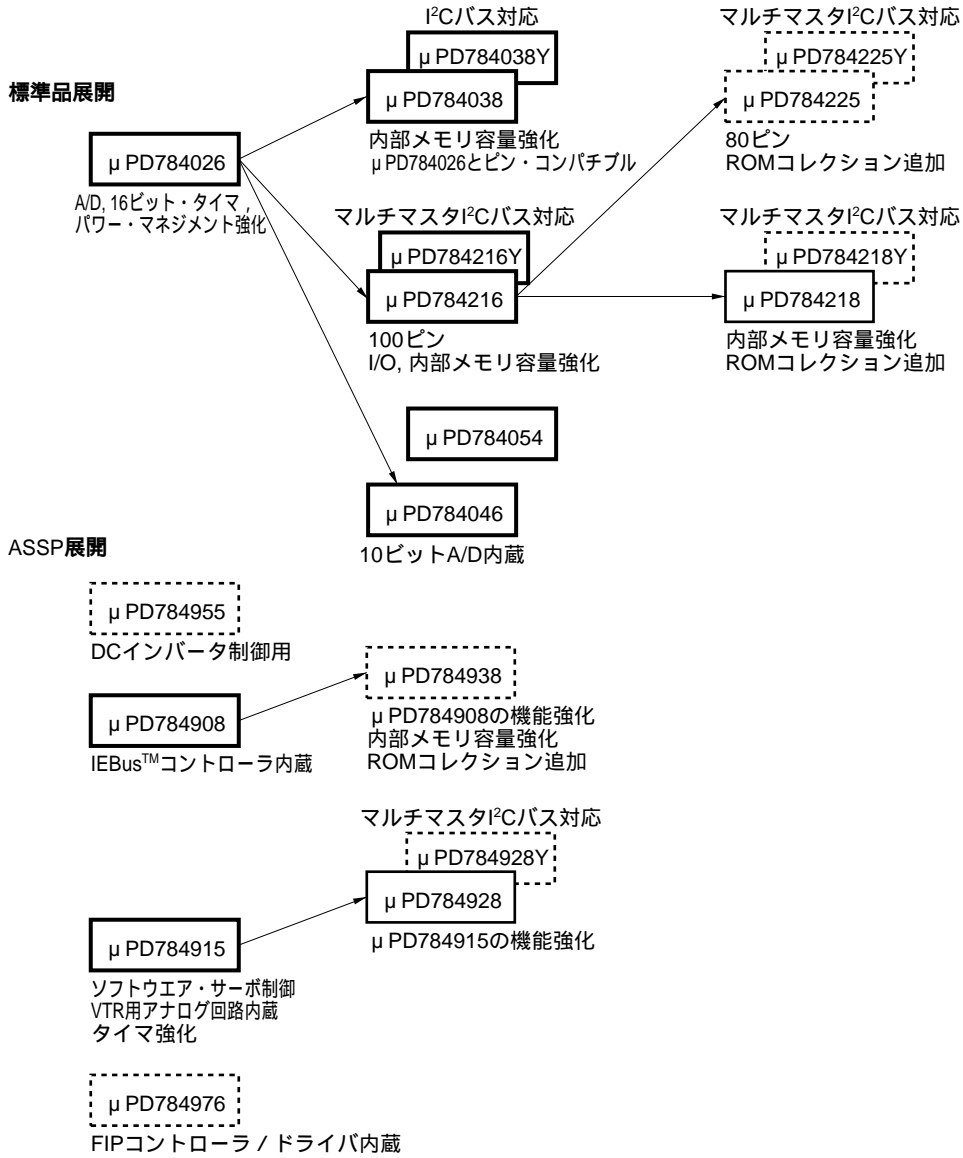
オーダ名称	パッケージ
μPD784975GF- x x x-3BA	100ピン・プラスチックQFP ( 14 × 20 mm )

備考 x x xはROMコード番号です。

本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。  
また本資料で扱う製品の製品化を中止することがあります。

78K/IVシリーズ製品展開図

: 量産中  
 : 開発中





## 目 次

1 . μPD784976サブシリーズ製品間の違い ...	6
2 . μPD780228サブシリーズとの主な違い ...	7
3 . 端子接続図 (Top View) ...	8
4 . ブロック図 ...	10
5 . 端子機能 ...	11
5.1 ポート端子 ...	11
5.2 ポート以外の端子 ...	12
5.3 端子の入出力回路と未使用端子の処理 ...	13
6 . CPUアーキテクチャ ...	15
6.1 メモリ空間 ...	15
6.2 CPUレジスタ ...	17
6.2.1 汎用レジスタ ...	17
6.2.2 制御レジスタ ...	18
6.2.3 特殊機能レジスタ(SFR) ...	19
7 . 周辺ハードウェア機能 ...	22
7.1 ポート ...	22
7.2 クロック発生回路 ...	23
7.3 タイマ/カウンタ ...	25
7.4 A/Dコンバータ ...	27
7.5 シリアル・インタフェース ...	28
7.6 FIPコントローラ/ドライバ ...	29
7.7 エッジ検出機能 ...	30
7.8 ウォッチドッグ・タイマ ...	30
8 . 割り込み機能 ...	31
8.1 割り込み要因 ...	31
8.2 ベクタ割り込み ...	33
8.3 コンテキスト・スイッチング ...	34
8.4 マクロ・サービス ...	34
8.5 マクロ・サービスの応用例 ...	35
9 . スタンバイ機能 ...	36
10 . リセット機能 ...	37

11. 命令セット ... 38

12. 外形図 ... 42

付録A. 開発ツール ... 43

付録B. 関連資料 ... 46

## 1. μPD784976サブシリーズ製品間の違い

μPD78F4976は、μPD784975のマスクROMを128 Kバイトのフラッシュ・メモリに置き換えた製品です。相違点を表1 - 1に示します。

表1 - 1 μPD784976サブシリーズ製品間の違い

品名 項目	μPD784975	μPD78F4976
内部ROM	96 Kバイト (マスクROM)	128 Kバイト (フラッシュ・メモリ)
内部RAM	3584バイト	5120バイト
内部メモリ・サイズ切り 替えレジスタ (IMS)	なし	あり <sup>注</sup>
P50-P57端子のプルアッ プ抵抗内蔵マスク・オブ ション	あり	なし
P70-P77, P80-P87, P90- P97, P100-P107端子の プルダウン抵抗内蔵マス ク・オプション	あり	なし
IC端子	あり	なし
V <sub>PP</sub> 端子	なし	あり

**注** 内部メモリ・サイズ切り替えレジスタ (IMS) により、内部フラッシュ・メモリ容量、内部RAM容量の変更可能。

**注意** フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品 (ES製品でなく) で十分に評価をしてください。



2 . μPD780228サブシリーズとの主な違い

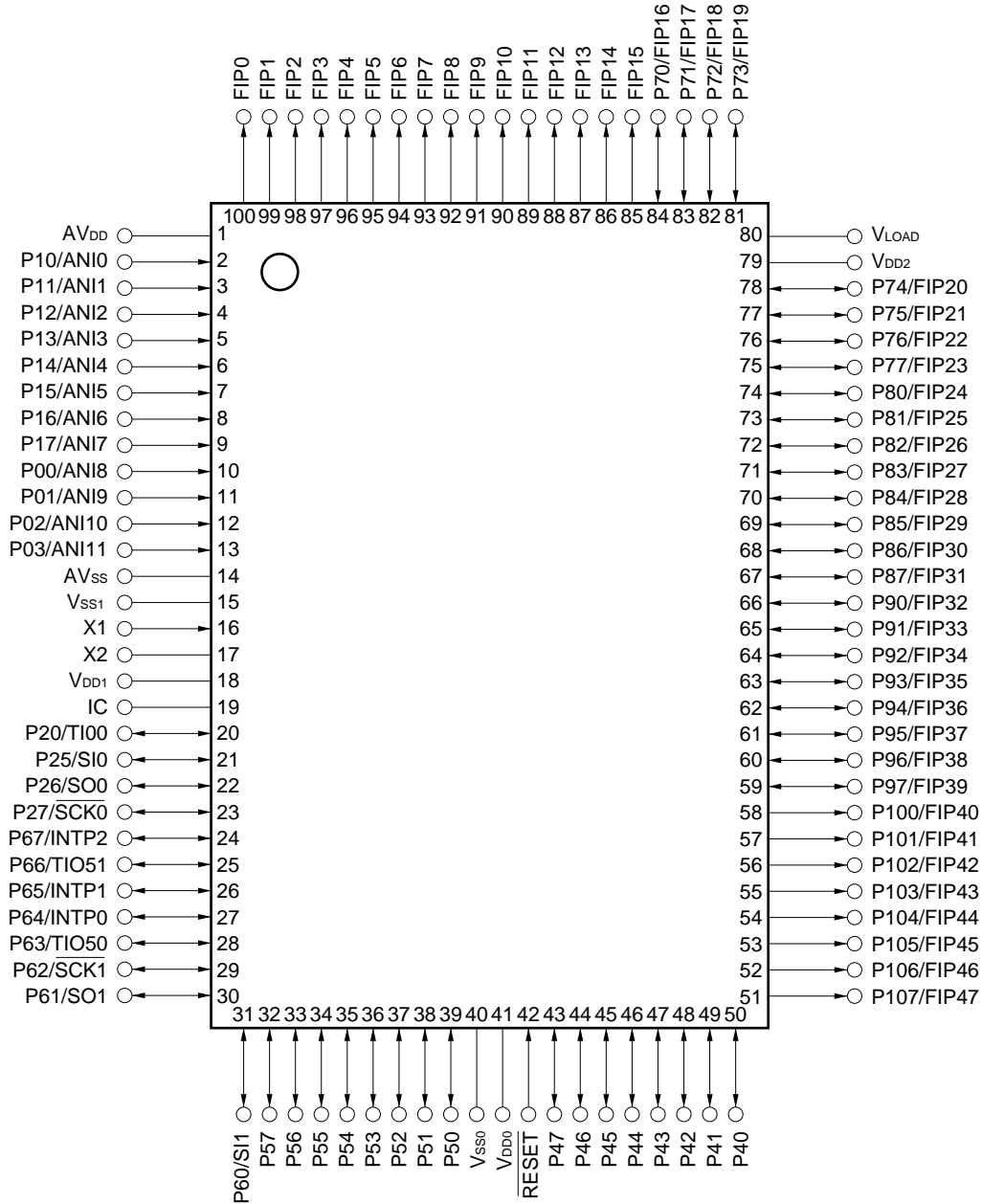
品 名		μPD784976サブシリーズ	μPD780228サブシリーズ	
CPU		16ビットCPU	8ビットCPU	
最小命令実行時間		160 ns ( 12.5 MHz動作時 )	400 ns ( 5.0 MHz動作時 )	
I/Oポート	合 計	72本		
	CMOS入力	12本	8本	
	CMOS入出力	20本	16本	
	N-chオープン・ドレイン入出力	8本	16本	
	P-chオープン・ドレイン入出力	24本	24本	
	P-chオープン・ドレイン入力	8本	8本	
	付加機能付き端子 <sup>注</sup>	プルアップ抵抗付き端子	20本	16本
		LEDダイレクト・ドライブ出力	16本	24本
		高耐圧端子	32本	32本
		中耐圧端子	8本	16本
タイマ/カウンタ		・ 16ビット・タイマ/カウンタ×1ユニット ・ 8ビットPWMタイマ/×2ユニット	・ 8ビット・リモコン・タイマ/×1ユニット ・ 8ビットPWMタイマ×2ユニット	
シリアル・インタフェース		・ CSI ( 3線式シリアルI/O ) : 2チャンネル	CSI ( 3線式シリアルI/O ) : 1チャンネル	
割り込み	ハードウェア	12要因 ( 内部7 , 外部3 , 内外部兼用2 )	10要因 ( 内部6 , 外部4 )	
	ソフトウェア	BRK命令 , BRKCS命令 , オペランド・エラー	BRK命令	
	ノンマスクابل	内部 : 1	内部 : 1	
	マスクابل	内部 : 7 , 外部 : 3 , 内外部兼用 : 2	内部 : 6 , 外部 : 4	
		・ 4レベルのプログラマブル・プライオリティ ・ 3種類の処理形態 : ベクタ割り込み / マクロ・サービス / コンテキスト・スイッチング	・ 2レベルのプログラマブル・プライオリティ ・ 1種類の処理形態 : ベクタ割り込み	
スタンバイ機能		HALT/STOP/IDLEモード	HALT/STOPモード	

注 付加機能付き端子は、I/O端子の中に含まれています。

3. 端子接続図 (Top View)

・100ピン・プラスチックQFP (14×20 mm)

μPD784975GF- x x x -3BA



注意 1 . IC (Internally Connected) 端子はVSS1に直接接続してください。

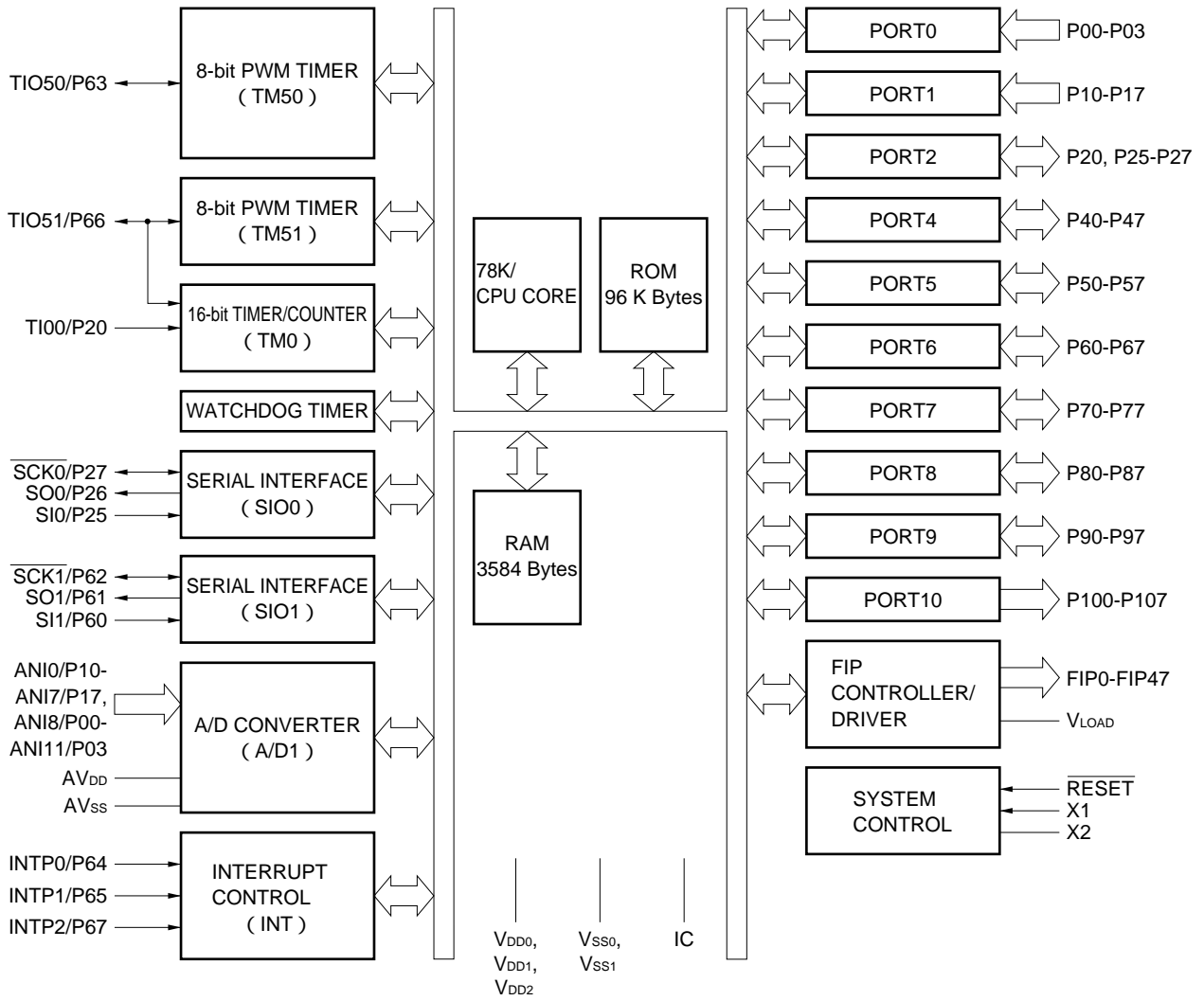
2 . AVDD端子はVDD1に接続してください。

3 . AVSS端子はVSS1に接続してください。

備考 マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VDD0とVDD1に個別の電源を供給し、VSS0とVSS1を別々のグラウンド・ラインに接続するなどのノイズ対策を行うことを推奨します。

ANI0-ANI11	: Analog Input	P90-P97	: Port9
AV <sub>DD</sub>	: Analog Power Supply	P100-P107	: Port10
AV <sub>SS</sub>	: Analog Ground	$\overline{\text{RESET}}$	: Reset
FIP0-FIP47	: Fluorescent Indicator Panel	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$	: Serial Clock
IC	: Internally Connected	SI0, SI1	: Serial Input
INTP0-INTP2	: External Interrupt Input	SO0, SO1	: Serial Output
P00-P03	: Port0	TI00	: Timer Input
P10-P17	: Port1	TIO50, TIO51	: Timer Input/Output
P20, P25-P27	: Port2	V <sub>DD0</sub> -V <sub>DD2</sub>	: Power Supply
P40-P47	: Port4	V <sub>LORD</sub>	: Negative Power Supply
P50-P57	: Port5	V <sub>SS0</sub> , V <sub>SS1</sub>	: Ground
P60-P67	: Port6	X1, X2	: Crystal
P70-P77	: Port7		
P80-P87	: Port8		

4. ブロック図



## 5. 端子機能

### 5.1 ポート端子

端子名称	入出力	兼用端子	機能
P00-P03	入力	ANI8-ANI11	ポート0 (P0) : ・ 4ビット入力専用ポート
P10-P17	入力	ANI0-ANI7	ポート1 (P1) : ・ 8ビット入力専用ポート
P20	入出力	TI00	ポート2 (P2) : ・ 4ビット入出力ポート ・ 1ビット単位で入力/出力の指定可能 ・ 入力モードの端子に対しては、ソフトウェアで1ビット単位で内蔵プルアップ抵抗の接続の指定可能
P25		SI0	
P26		SO0	
P27		SCK0	
P40-P47	入出力	-	ポート4 (P4) : ・ 8ビット入出力ポート ・ 1ビット単位で入力/出力の指定可能 ・ 入力モードの端子に対しては、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能 ・ LEDを直接駆動可能
P50-P57	入出力	-	ポート5 (P5) : ・ 8ビットN-chオープン・ドレイン中耐圧入出力ポート ・ 1ビット単位で入力/出力の指定可能 ・ マスク・オプションにより、1ビット単位でプルアップ抵抗の内蔵が可能 ・ LEDを直接駆動可能
P60	入出力	SI1	ポート6 (P6) : ・ 8ビット入出力ポート ・ 1ビット単位で入力/出力の指定可能 ・ 入力モードの端子に対しては、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能
P61		SO1	
P62		SCK1	
P63		TIO50	
P64		INTP0	
P65		INTP1	
P66		TIO51	
P67		INTP2	
P70-P77	入出力	FIP16-FIP23	ポート7 (P7) : ・ 8ビットP-chオープン・ドレイン高耐圧入出力ポート ・ 1ビット単位で入力/出力の指定可能 ・ マスク・オプションにより、1ビット単位でプルアップ抵抗の内蔵が可能
P80-P87	入出力	FIP24-FIP31	ポート8 (P8) : ・ 8ビットP-chオープン・ドレイン高耐圧入出力ポート ・ 1ビット単位で入力/出力の指定可能 ・ マスク・オプションにより、1ビット単位でプルダウン抵抗の内蔵が可能
P90-P97	入出力	FIP32-FIP39	ポート9 (P9) : ・ 8ビットP-chオープン・ドレイン高耐圧入出力ポート ・ 1ビット単位で入力/出力の指定可能 ・ マスク・オプションにより、1ビット単位でプルダウン抵抗の内蔵が可能
P100-P107	出力	FIP40-FIP47	ポート10 (P10) : ・ 8ビットP-chオープン・ドレイン高耐圧出力ポート ・ マスク・オプションにより、1ビット単位でプルダウン抵抗の内蔵が可能

5.2 ポート以外の端子

端子名称	入出力	兼用端子	機能
INTP0	入 力	P64	外部割り込み要求入力, 有効エッジ指定可能
INTP1		P65	
INTP2		P67	
SI0		P25	シリアル・データ入力 ( 3 線式シリアルI/O0 )
SO0	出 力	P26	シリアル・データ出力 ( 3 線式シリアルI/O0 )
SCK0	入出力	P27	シリアル・クロック入力 / 出力 ( 3 線式シリアルI/O0 )
SI1	入 力	P60	シリアル・データ入力 ( 3 線式シリアルI/O1 )
SO1	出 力	P61	シリアル・データ出力 ( 3 線式シリアルI/O1 )
SCK1	入出力	P62	シリアル・クロック入力 / 出力 ( 3 線式シリアルI/O1 )
TI00	入 力	P20	16ビット・タイマ / カウンタ 0 ( TM0 ) への外部カウント・クロック入力, または 16ビット・キャプチャ / コンペア・レジスタ00 ( CR00 ), 01 ( CR01 ) のキャプチャ・トリガ信号入力
TIO50	入出力	P63	8 ビットPWMタイマ ( TM50 ) への外部カウント・クロック入力 / タイマ出力
TIO51		P66	8 ビットPWMタイマ ( TM51 ) への外部カウント・クロック入力 / タイマ出力, または16ビット・キャプチャ / コンペア・レジスタ00 ( CR00 ) のキャプチャ・トリガ信号入力
ANI0-ANI7	入 力	P10-P17	A/Dコンバータ用アナログ電圧入力
ANI8-ANI11		P00-P03	
AVDD	-	-	A/Dコンバータのアナログ電源。V <sub>DD1</sub> と同電位にしてください。
AVSS			A/Dコンバータのグランド電位。V <sub>SS1</sub> と同電位にしてください。
FIP0-FIP15	出 力		FIPコントローラ / ドライバの高耐圧大電流出力
FIP16-FIP23		P70-P77	
FIP24-FIP31		P80-P87	
FIP32-FIP39		P90-P97	
FIP40-FIP47		P100-P107	
V <sub>LOAD</sub>		-	-
RESET	入 力		システム・リセット入力
X1			メイン・システム・クロック発振用クリスタル接続
X2	-		
V <sub>DD0</sub>			ポート部の正電源
V <sub>DD1</sub>			正電源 ( ポート, アナログ, FIPコントローラ / ドライバ部を除く )
V <sub>DD2</sub>			FIPコントローラ / ドライバ部の正電源
V <sub>SS0</sub>			ポート部のグランド電位
V <sub>SS1</sub>			グランド電位 ( ポート, アナログ部を除く )
IC			内部接続されています。V <sub>SS1</sub> に直接接続してください。

5.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表5 - 1 に示します。

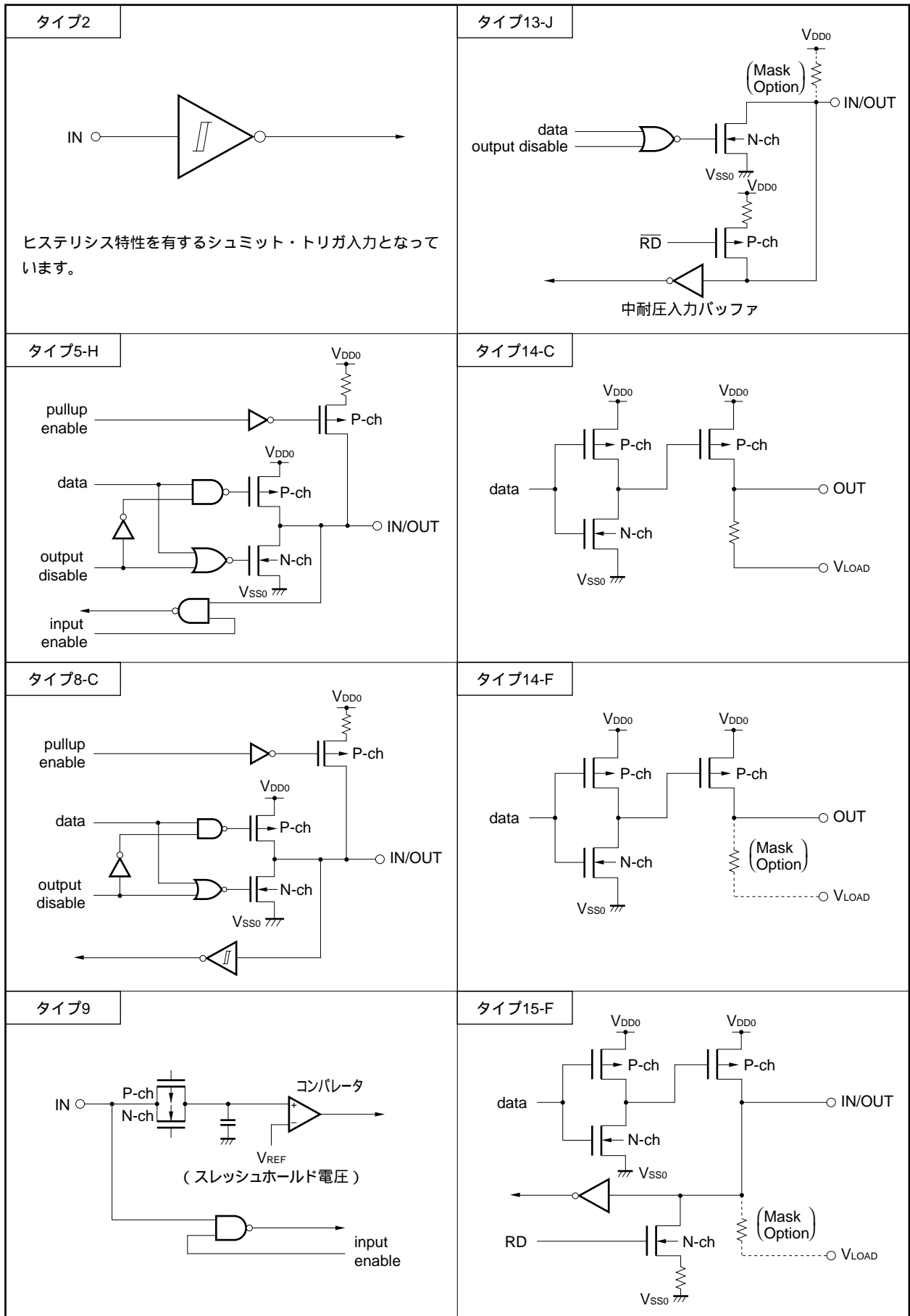
また、各タイプの入出力回路の構成は、図5 - 1 を参照してください。

表5 - 1 各端子の入出力回路タイプと未使用端子の処理

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法		
P00/ANI8-P03/ANI11	9	入 力	V <sub>SS0</sub> またはV <sub>DD0</sub> に接続してください。		
P10/ANI0-P17/ANI17					
P20/TI00	8-C	入出力	入力時：個別に抵抗を介して、V <sub>SS0</sub> に接続してください。 出力時：オープンにしてください。		
P25/SI0					
P26/SO0	5-H	入出力	入力時：個別に抵抗を介して、V <sub>DD0</sub> に接続してください。 出力時：オープンにしてください。		
P27/SCK0	8-C				
P40-P47	5-H				
P50-P57	13-J				
P60/SI1	8-C				
P61/SO1	5-H				
P62/SCK1	8-C				
P63/TIO50					
P64/INTP0					
P65/INTP1					
P66/TIO51					
P67/INTP2	15-F				
P70/FIP16-P77/FIP23					
P80/FIP24-P87/FIP31					
P90/FIP32-P97/FIP39	14-F	出 力	オープンにしてください。		
P100/FIP40-P107/FIP47					
FIP0-FIP15	14-C	入 力	-		
RESET	2				
AV <sub>DD</sub>	-			-	V <sub>DD1</sub> に接続してください。
AV <sub>SS</sub>					V <sub>SS1</sub> に接続してください。
V <sub>LOAD</sub>					
IC		V <sub>SS1</sub> に接続してください。			

備考 タイプ番号は78Kシリーズで統一しているため、各製品内では連番とは限りません（内蔵しない回路あり）。

図5 - 1 端子の入出力回路一覧





## 6 . CPUアーキテクチャ

### 6.1 メモリ空間

1 Mバイトのメモリ空間をアクセスできます。LOCATION命令によって、内部データ領域（特殊機能レジスタおよび内部RAM）のマッピングを選択できます。また、LOCATION命令は、リセット解除後に必ず実行する必要があり、2回以上使用できません。

#### ( 1 ) LOCATION 0命令を実行した場合

##### ・内部メモリ

内部データ領域と内部ROM領域は、次のようになります。

品 名	内部データ領域	内部ROM領域
μ PD784975	0F100H-0FFFFH	00000H-0E9FFH
	0EA00H-0EA5FH	10000H-17FFFH

**注意** 内蔵しているROMのうち、内部データ領域と重なる次の領域は、LOCATION 0命令実行時には使用できません。

品 名	使用不可領域
μ PD784975	0F100H-0FFFFH ( 3840バイト )

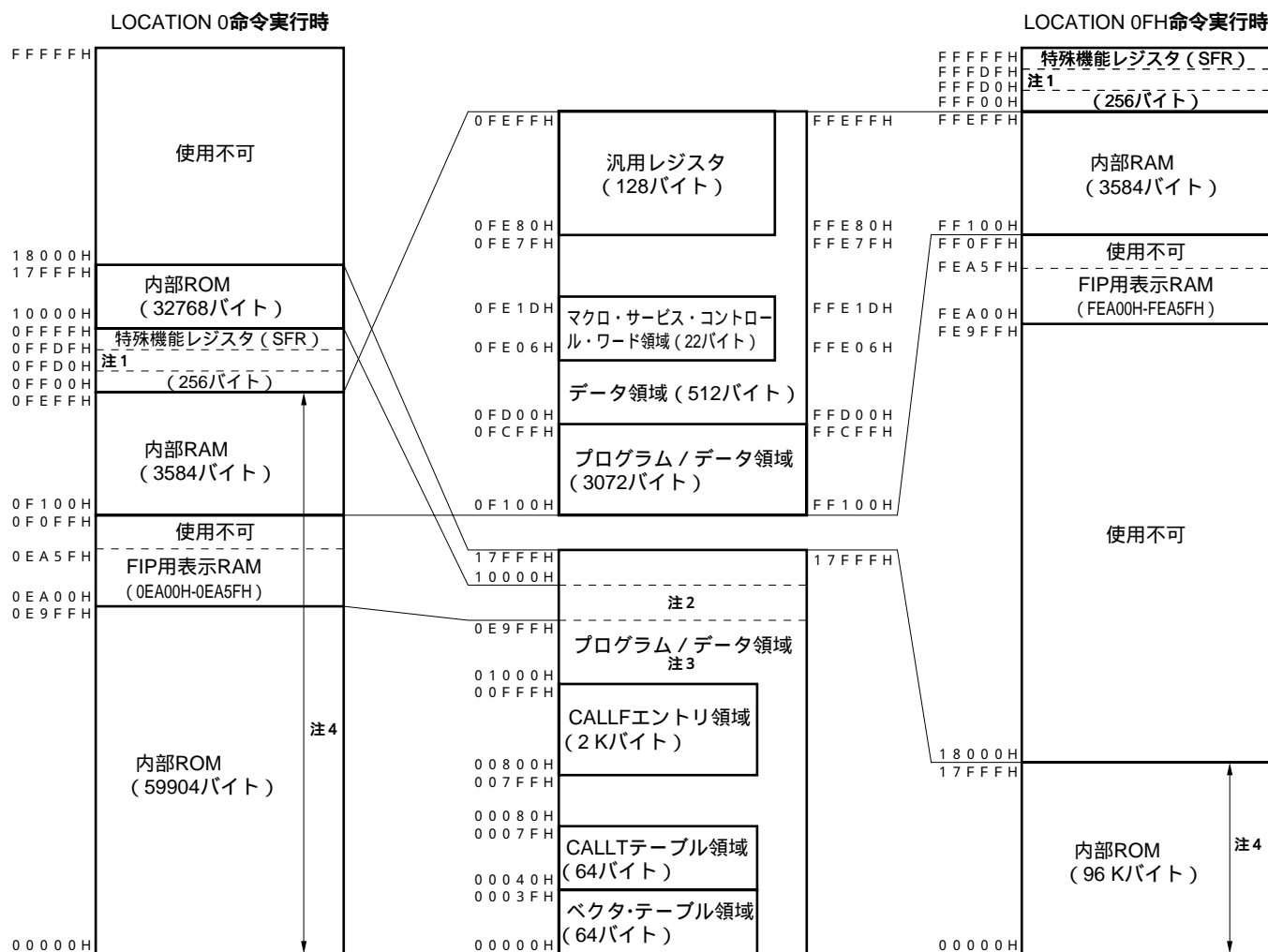
#### ( 2 ) LOCATION 0FH命令を実行した場合

##### ・内部メモリ

内部データ領域と内部ROM領域は、次のようになります。

品 名	内部データ領域	内部ROM領域
μ PD784975	FF100H-FFFFFFH	00000H-17FFFH
	FEA00H-FEA5FH	

図6-1 μPD784975のメモリ・マップ



## 注1 . 使用不可領域

2 . この領域の5632バイトは、LOCATION 0FH命令実行時のみ内部ROMとして使用できます

3 . LOCATION 0 命令実行時: 92672バイト, LOCATION 0FH命令実行時: 98304バイト

4 . ベース領域, リセットまたは割り込みによるエントリ領域。ただし, リセットについては内部RAMを除く

6.2 CPUレジスタ

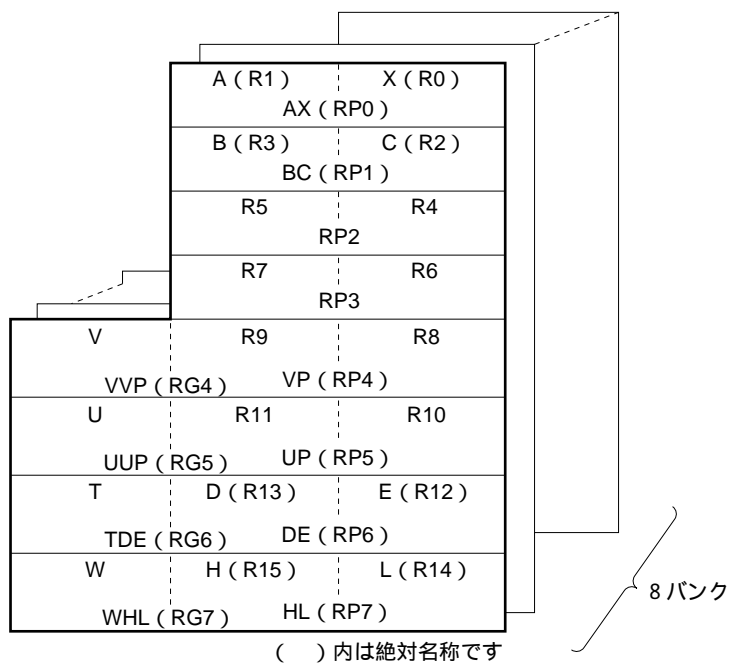
6.2.1 汎用レジスタ

8ビットの汎用レジスタ16本で構成されています。また、8ビット汎用レジスタ2本を組み合わせると16ビット汎用レジスタとして使用することができます。さらに、16ビット汎用レジスタのうち4本は、アドレス拡張用の8ビット・レジスタと組み合わせると24ビット・アドレス指定用レジスタとして使用することができます。

これらのレジスタ・セットは8バンク用意されており、ソフトウェアまたはコンテキスト・スイッチング機能により切り替えて使用することができます。

アドレス拡張用のV, U, T, Wレジスタを除いた汎用レジスタは、内部RAMにマッピングされています。

図6-2 汎用レジスタのフォーマット



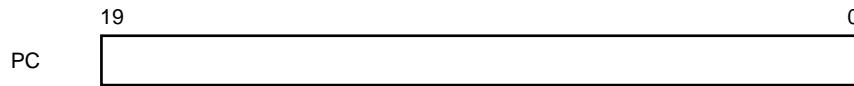
**注意** R4, R5, R6, R7, RP2, RP3の各レジスタは、PSWのRSSビットを1にすることで、それぞれ、X, A, C, B, AX, BCレジスタとして使用することができますが、この機能を使用するのは、78K/ シリーズ用のプログラムを流用する場合だけにしてください。

6.2.2 制御レジスタ

(1) プログラム・カウンタ (PC)

20ビットのプログラム・カウンタです。プログラムの実行により自動的に更新されます。

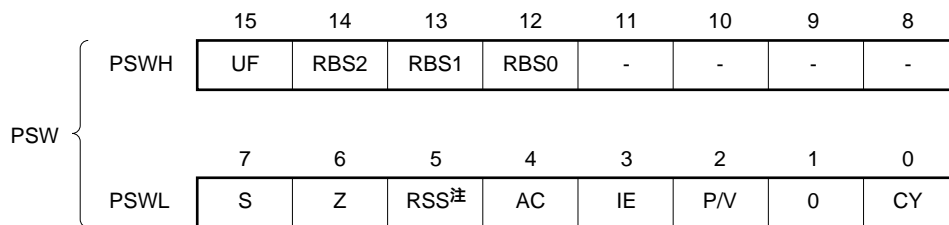
図6-3 プログラム・カウンタ (PC) のフォーマット



(2) プログラム・ステータス・ワード (PSW)

CPUの各種状態を保持するレジスタです。プログラムの実行により自動的に更新されます。

図6-4 プログラム・ステータス・ワード (PSW) のフォーマット

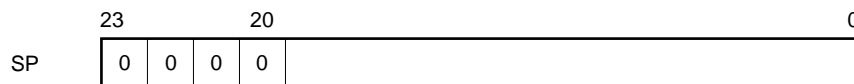


注 このフラグは、78K/ シリーズとの互換性を保つために用意されているフラグです。78K/ シリーズ用のソフトウェアを流用するとき以外は必ず0にしてください。

(3) スタック・ポインタ (SP)

スタックの先頭アドレスを保持する24ビットのポインタです。  
上位4ビットには、必ず0を書き込んでください。

図6-5 スタック・ポインタ (SP) のフォーマット



6.2.3 特殊機能レジスタ (SFR)

内蔵周辺ハードウェアのモード・レジスタ、コントロール・レジスタなどの特別な機能が割り付けられたレジスタで、0FF00H-0FFFFH<sup>注</sup>の256バイトの空間にマッピングされています。

**注** LOCATION 0 命令実行時。LOCATION 0FH命令実行時はFFF00H-FFFFFH

**注意** この領域内で、SFRの割り付けられていないアドレスをアクセスしないでください。誤ってアクセスすると、μPD784975がデッドロック状態となることがあります。デッドロック状態は、リセット入力によってのみ解除されます。

表6 - 1 に特殊機能レジスタ (SFR) の一覧を示します。表中の項目の意味は次のようになります。

略号	.....	内蔵されたSFRを示す記号。NEC製アセンブラ (RA78K4) では予約語になっています。Cコンパイラ (CC78K4) では# pragma sfr指令により、sfr変数として使用できます。
R/W	.....	該当するSFRが読み出し / 書き込みが可能かどうかを示します。 R/W : 読み出し (Read) / 書き込み (Write) 可能 R : 読み出し (Read) のみ W : 書き込み (Write) のみ
操作可能ビット単位	...	該当するSFRを操作する場合に、適応可能な操作ビット単位を示します。 16ビット操作可能なSFRはオペランドのsfrpに記述でき、アドレスで指定する場合は偶数アドレスを記述します。 1ビット操作可能なSFRは、ビット操作命令に記述できます。
リセット時	.....	$\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

表 6 - 1 特殊機能レジスタ (SFR) 一覧 (1/2)

アドレス <sup>注1</sup>	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
0FF00H	ポート 0	P0		R			-	不定
0FF01H	ポート 1	P1					-	
0FF02H	ポート 2	P2		R/W			-	00H <sup>注2</sup>
0FF04H	ポート 4	P4					-	
0FF05H	ポート 5	P5					-	
0FF06H	ポート 6	P6					-	
0FF07H	ポート 7	P7					-	
0FF08H	ポート 8	P8					-	
0FF09H	ポート 9	P9					-	
0FF0AH	ポート10	P10					-	
0FF0BH	ポート・リード 7	PLR7		R			-	不定
0FF0CH	ポート・リード 8	PLR8					-	
0FF0DH	ポート・リード 9	PLR9					-	
0FF10H	16ビット・タイマ/カウンタ・レジスタ 0	TM0		R/W	-	-		0000H
0FF12H	16ビット・キャプチャ/コンペア・レジスタ00 (16ビット・タイマ/カウンタ)	CR00			-	-		不定
0FF14H	16ビット・キャプチャ/コンペア・レジスタ01 (16ビット・タイマ/カウンタ)	CR01			-	-		
0FF16H	キャプチャ/コンペア・コントロール・レジスタ 0	CRC0					-	00H
0FF18H	16ビット・タイマ・モード・コントロール・レジスタ 0	TMC0					-	
0FF1CH	プリスケアラ・モード・レジスタ 0	PRM0					-	
0FF22H	ポート 2 モード・レジスタ	PM2					-	FFH
0FF24H	ポート 4 モード・レジスタ	PM4					-	
0FF25H	ポート 5 モード・レジスタ	PM5					-	
0FF26H	ポート 6 モード・レジスタ	PM6					-	
0FF32H	プルアップ抵抗オプション・レジスタ 2	PU2					-	00H
0FF4EH	プルアップ抵抗オプション・レジスタ	PU0					-	
0FF50H	8ビット・タイマ/カウンタ50	TM50	TM5	R	-			
0FF51H	8ビット・タイマ/カウンタ51	TM51			-		-	
0FF52H	8ビット・コンペア・レジスタ50	CR50	CR5	R/W	-			
0FF53H	8ビット・コンペア・レジスタ51	CR51			-		-	
0FF54H	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50	TMC5				-	04H
0FF55H	8ビット・タイマ・モード・コントロール・レジスタ51	TMC51					-	
0FF56H	タイマ・クロック選択レジスタ50	TCL50	TCL5				-	00H
0FF57H	タイマ・クロック選択レジスタ51	TCL51					-	
0FF7AH	発振モード選択レジスタ	CC					-	
0FF80H	A/Dコンバータ・モード・レジスタ	ADM					-	
0FF81H	A/Dコンバータ入力選択レジスタ	ADIS					-	
0FF83H	A/D変換結果レジスタ	ADCR		R	-		-	不定
0FF90H	シリアル動作モード・レジスタ 0	CSIM0		R/W			-	00H
0FF91H	シリアル動作モード・レジスタ 1	CSIM1					-	
0FF94H	シリアルI/Oシフト・レジスタ 0	SIO0				-		

注 1 . LOCATION 0命令を実行した場合。LOCATION 0FH命令を実行した場合は、この値に“ F0000H ”を加えます。

2 . リセットにより各ポートは入力モードに初期化されるので、実際に“ 00H ”が読み出されるわけではありませぬ。出力ラッチは“ 0 ”に初期化されます。

表 6 - 1 特殊機能レジスタ (SFR) 一覧 (2/2)

アドレス <sup>注</sup>	特殊機能レジスタ (SFR) 名称	略 号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
0FF95H	シリアルI/Oシフト・レジスタ 1	SIO1		R/W	-	-	-	00H
0FFA0H	外部割り込み立ち上がりエッジ許可レジスタ 0	EGP0					-	
0FFA2H	外部割り込み立ち下がりエッジ許可レジスタ 0	EGN0					-	
0FFA8H	インサースビス・プライオリティ・レジスタ	ISPR		R			-	
0FFA9H	割り込み選択コントロール・レジスタ	SNMI		R/W			-	
0FFAAH	割り込みモード・コントロール・レジスタ	IMC					-	80H
0FFACH	割り込みマスク・レジスタ0L	MK0L	MK0					FFH
0FFADH	割り込みマスク・レジスタ0H	MK0H					-	
0FFB0H	表示モード・レジスタ 0	DSPM0					-	10H
0FFB2H	表示モード・レジスタ 1	DSPM1					-	01H
0FFB4H	表示モード・レジスタ 2	DSPM2					-	00H
0FFC0H	スタンバイ・コントロール・レジスタ	STBC			-	-	-	30H
0FFC2H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM			-	-	-	00H
0FFC4H	メモリ拡張モード・レジスタ	MM					-	20H
0FFCFH	発振安定時間指定レジスタ	OSTS					-	00H
0FFD0H- 0FFDFH	外部SFR領域	-					-	-
0FFE0H	割り込み制御レジスタ (INTWDT)	WDTIC					-	43H
0FFE1H	" (INTP0)	PIC0					-	
0FFE2H	" (INTP1)	PIC1					-	
0FFE3H	" (INTP2)	PIC2					-	
0FFE4H	" (INTTM00)	TMIC00					-	
0FFE5H	" (INTTM01)	TMIC01					-	
0FFE6H	" (INTKS)	KSIC					-	
0FFE7H	" (INTCSI0)	CSIIC0					-	
0FFE8H	" (INTCSI1)	CSIIC1					-	
0FFE9H	" (INTTM50)	TMIC50					-	
0FFEAH	" (INTTM51)	TMIC51					-	
0FFEBH	" (INTAD)	ADIC					-	

注 LOCATION 0命令を実行した場合。LOCATION 0FH命令を実行した場合は、この値に“ F0000H ”を加えます。

## 7. 周辺ハードウェア機能

### 7.1 ポート

図7 - 1のようなポートを備えており、多様な制御ができます。各ポートの機能は表7 - 1のとおりです。

I/Oポートには次の5種類があります。

- ・CMOS入力（ポート0，1） : 12本
- ・CMOS入出力（ポート2，4，6） : 20本
- ・N-chオープン・ドレイン入出力（ポート5） : 8本
- ・P-chオープン・ドレイン入出力（ポート7-9） : 24本
- ・P-chオープン・ドレイン出力（ポート10） : 8本

合計：72本

図7 - 1 ポートの構成

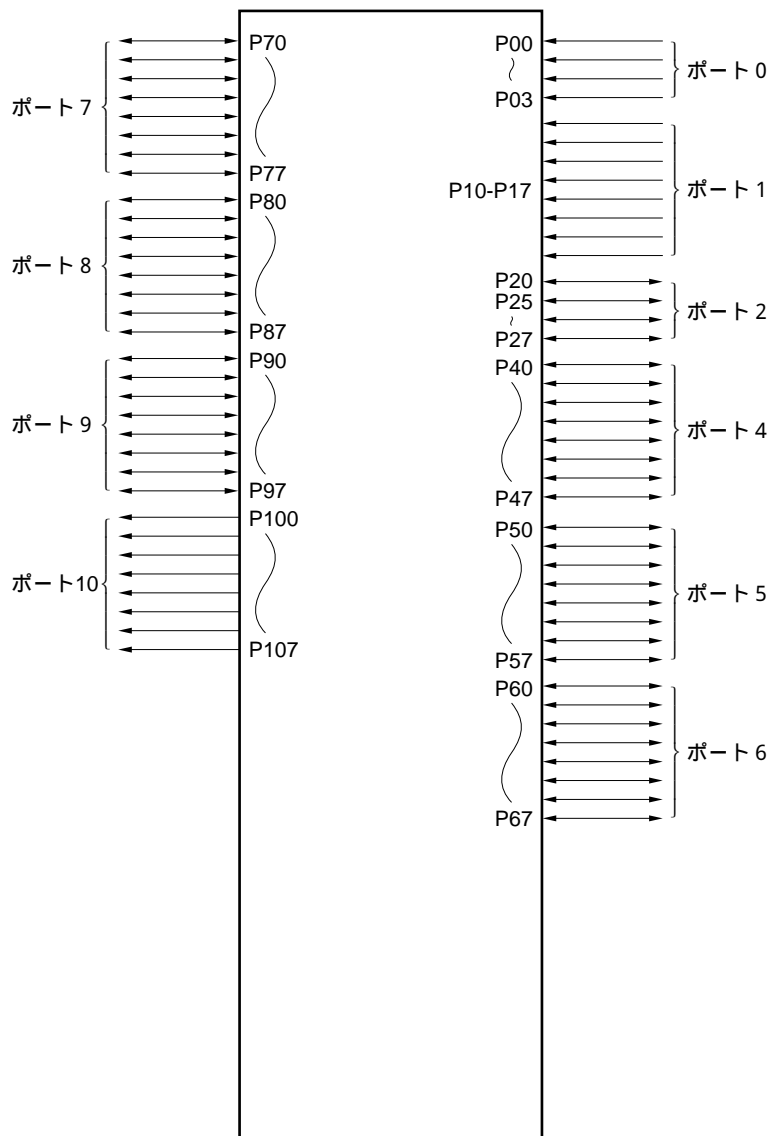




表7-1 ポートの機能

ポート名	端子名称	機能
ポート0	P00-P03	・入力専用ポート
ポート1	P10-P17	・入力専用ポート
ポート2	P20, P25-P27	・1ビット単位で入力か出力に指定可能。 ・入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート4	P40-P47	・1ビット単位で入力か出力に指定可能。 ・入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 ・LEDを直接駆動可能
ポート5	P50-P57	・N-chオープン・ドレイン中耐圧入出力ポート。1ビット単位で入力か出力に指定可能。 ・マスク・オプションにより、1ビット単位でプルアップ抵抗を内蔵可能。 ・LEDを直接駆動可能
ポート6	P60-P67	・1ビット単位で入力か出力に指定可能。 ・入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート7	P70-P77	・P-chオープン・ドレイン高耐圧入出力ポート。1ビット単位で入力か出力に指定可能。 ・マスク・オプションにより、1ビット単位でプルダウン抵抗を内蔵可能。
ポート8	P80-P87	・P-chオープン・ドレイン高耐圧入出力ポート。1ビット単位で入力か出力に指定可能。 ・マスク・オプションにより、1ビット単位でプルダウン抵抗を内蔵可能。
ポート9	P90-P97	・P-chオープン・ドレイン高耐圧入出力ポート。1ビット単位で入力か出力に指定可能。 ・マスク・オプションにより、1ビット単位でプルダウン抵抗を内蔵可能。
ポート10	P100-P107	・P-chオープン・ドレイン高耐圧出力ポート ・マスク・オプションにより、1ビット単位でプルダウン抵抗を内蔵可能。

7.2 クロック発生回路

動作に必要なクロック発生回路を備えています。また、クロック発生回路には分周回路があり、高速動作が不要な場合は、内部動作周波数を下げることにより、低消費電流を実現することが可能です。

図7-2 クロック発生回路のブロック図

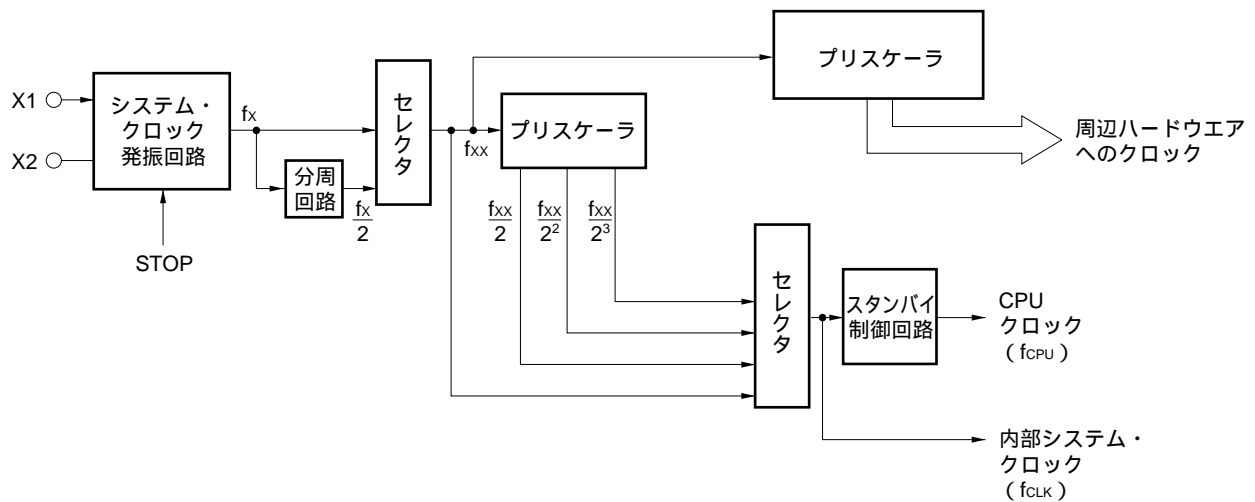
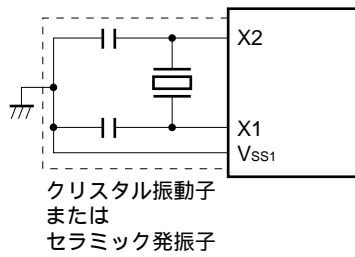
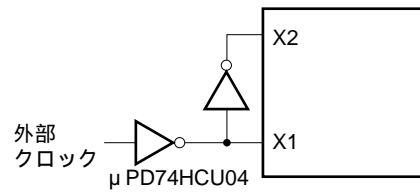


図7 - 3 システム・クロック発振回路の使用例

(1) クリスタル，セラミック発振



(2) 外部クロック



**注意** システム・クロック発振回路を使用する場合は，配線容量などの影響を避けるために，図7 - 3の破線の部分を次のように配線してください。

配線は極力短くする。

ほかの信号線と交差させない。

変化する大電流が流れる線と接近させない。

発振回路のコンデンサの接地点は，常にVSS1と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。

発振回路から信号を取り出さない。

7.3 タイマ/カウンタ

16ビット・タイマ/カウンタを1ユニット、8ビットPWMタイマを2ユニット内蔵しています。

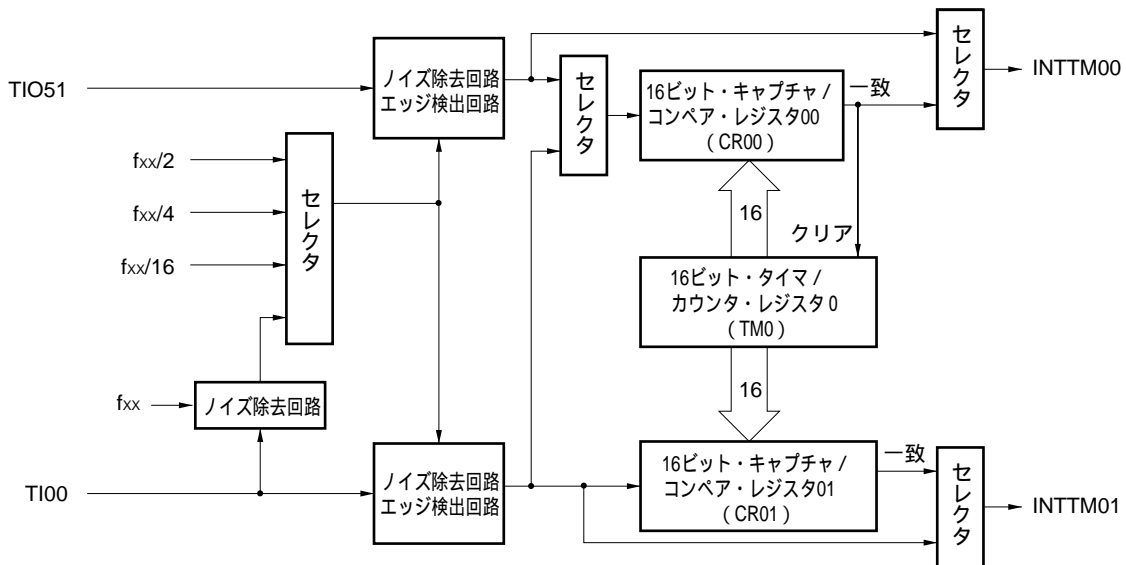
また、計4つの割り込み要求をサポートしていますので、4ユニットのタイマ/カウンタとして機能させることができます。

表7-2 タイマ/カウンタの動作

項目		名称	16ビット・タイマ/ カウンタ0	8ビットPWM タイマ50	8ビットPWM タイマ51
カウント幅	8ビット				
	16ビット				
動作モード	インターバル・タイマ		1ch	1ch	1ch
	外部イベント・カウンタ				
機能	タイマ出力			1ch	1ch
	PWM出力				
	方形波出力				
	パルス幅測定		2入力		
	割り込み要求数		2	1	1

図7-4 タイマ/カウンタのブロック図(1/2)

16ビット・タイマ/カウンタ0 (TM0)

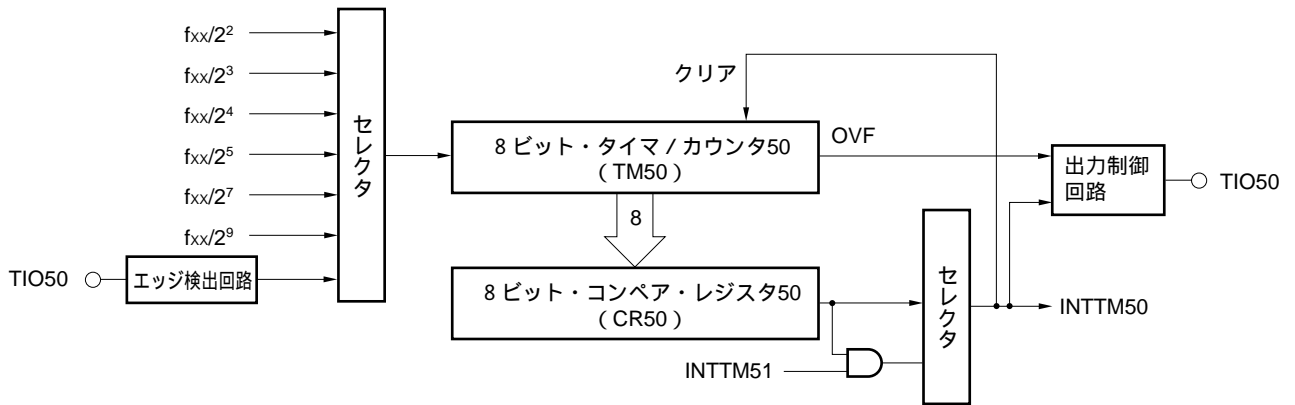


備考1 . fxx : システム・クロック周波数

2 . TIO51端子は、TM51への外部クロック入力機能/タイマ出力機能を兼用しています。

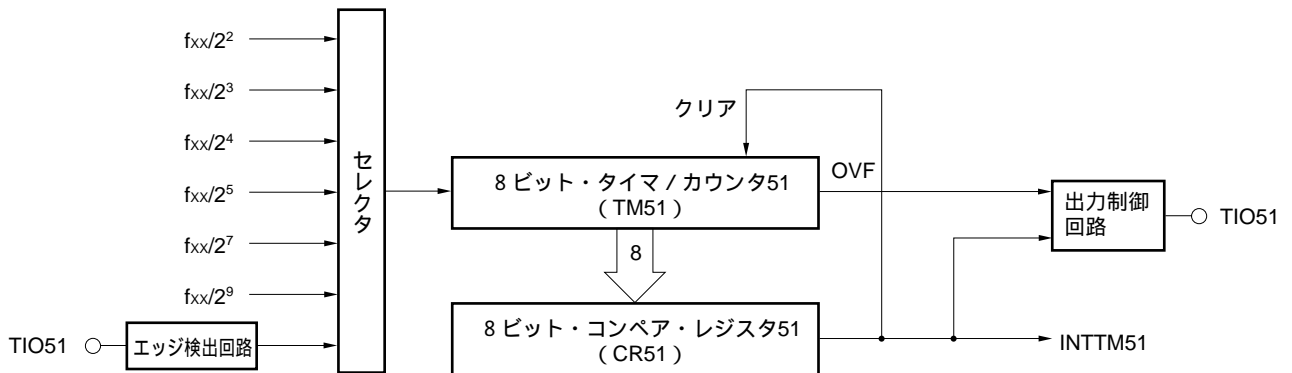
図7-4 タイマ/カウンタのブロック図(2/2)

8ビットPWMタイマ50 (TM50)



- 備考1 . fxx : システム・クロック周波数
- 2 . OVF : オーバフロー・フラグ

8ビットPWMタイマ51 (TM51)



- 備考1 . fxx : システム・クロック周波数
- 2 . OVF : オーバフロー・フラグ
- 3 . TIO51端子は、TM0へのキャプチャ入力機能と兼用しています。

7.4 A/Dコンバータ

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、8ビット分解能12チャンネル（ANI0-ANI11）の構成になっています。

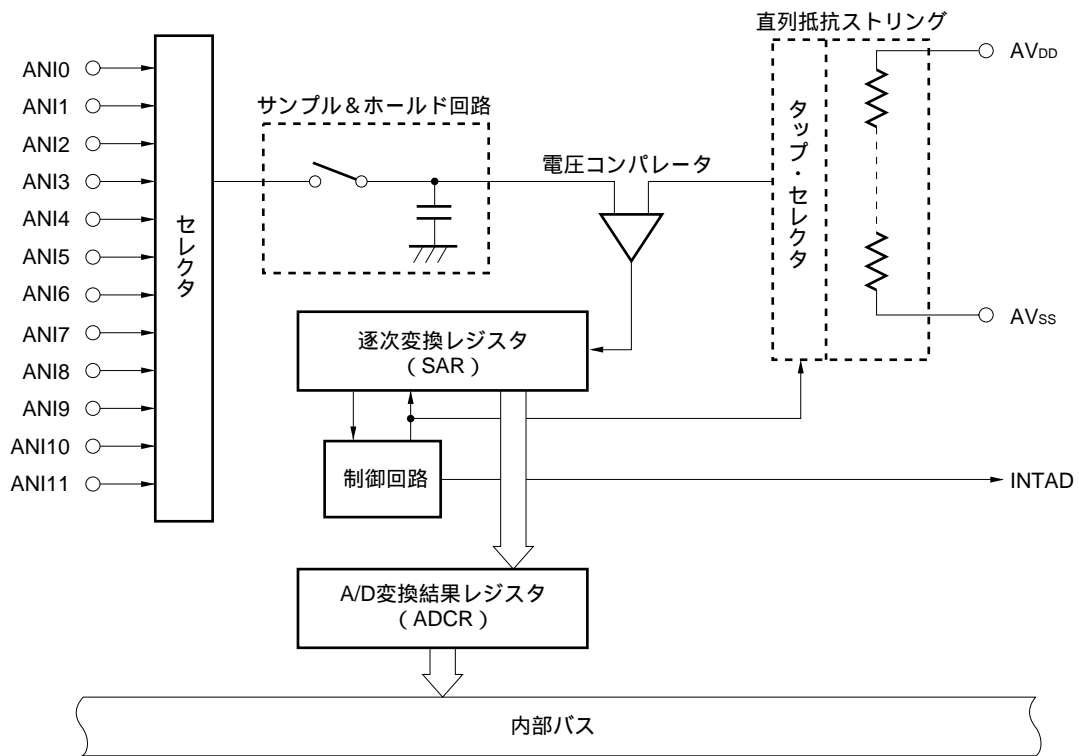
変換方式は逐次比較方式で、変換結果を8ビットのA/D変換結果レジスタ（ADCR）に保持します。

A/D変換動作の起動方法は、ソフトウェア・スタートのみです。

- ・A/Dコンバータ・モード・レジスタ（ADM）を設定することにより変換開始。

アナログ入力をANI0-ANI11から1チャンネル選択し、A/D変換動作を繰り返し行います。A/D変換を1回終了するたびに、割り込み要求（INTAD）を発生します。

図7-5 A/Dコンバータのブロック図



7.5 シリアル・インタフェース

クロック同期式シリアル・インタフェースを2チャンネル内蔵しています。

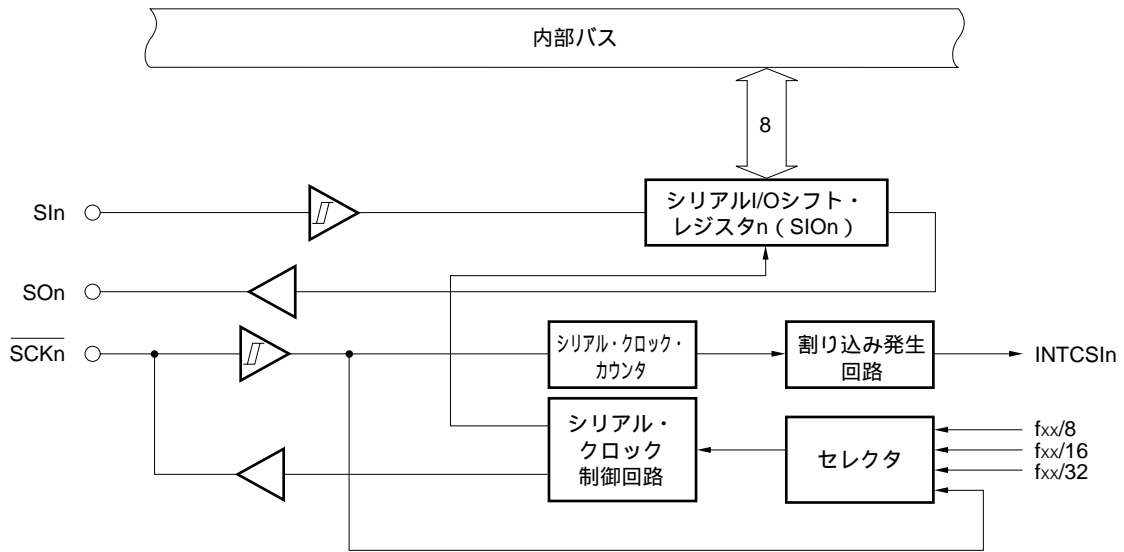
シリアル・インタフェースは、MSB先頭固定の3線式シリアルI/Oモードで動作します。

従来のクロック同期式シリアル・インタフェースを内蔵するデバイスとの通信を行うためのインタフェースです。

基本的には、シリアル・クロック ( $\overline{SCK0}$ ,  $\overline{SCK1}$ ) とシリアル・データ入力 (SI0, SI1) とシリアル・データ出力 (SO0, SO1) の3本のラインで通信を行います。

また、一般的には受信状態の確認を行うため、ハンドシェイク・ラインが必要となります。

図7 - 6 3線式シリアルI/Oモード時のブロック図



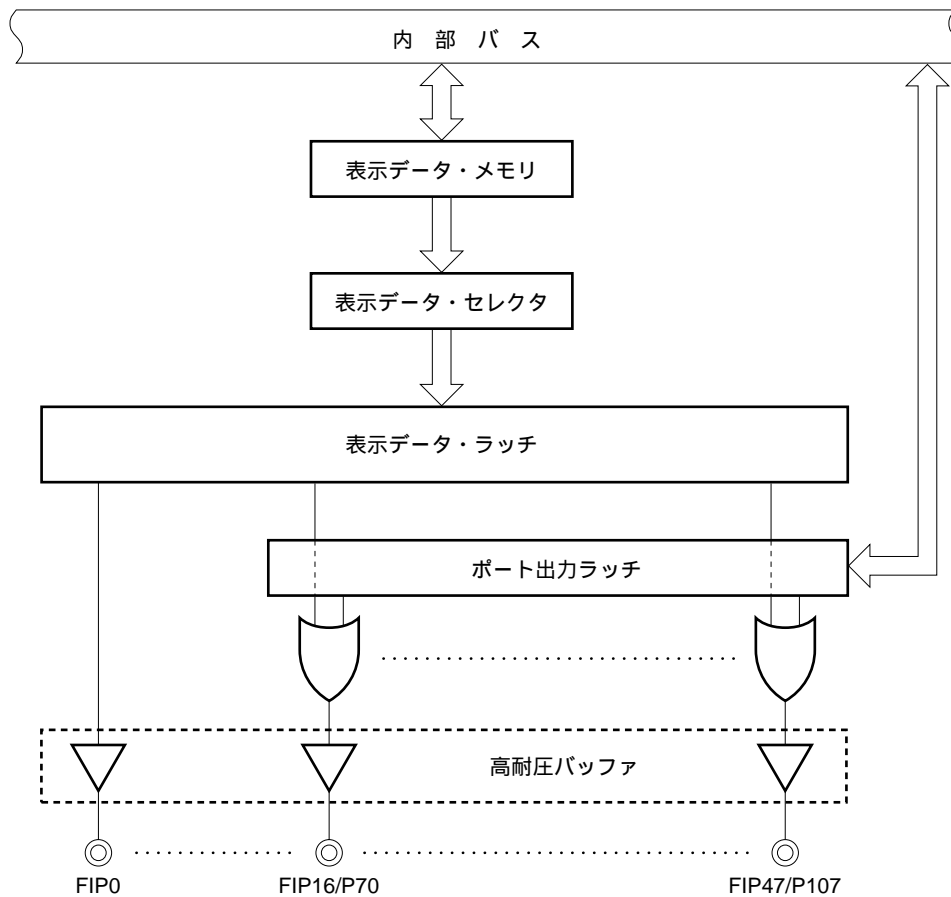
備考 n = 0, 1

7.6 FIPコントローラ/ドライバ

次の機能を持ったFIPコントローラ/ドライバを内蔵しています。

- ( a ) 総表示本数48本，16パターン出力が可能。
- ( b ) 96バイトの表示RAMを持ち，表示データの自動読み出しによる表示信号出力（DMA動作）が可能。
- ( c ) FIP表示に使用しないポート端子は，出力ポートおよび入出力ポートとして利用可能（ただしFIP0-FIP15はFIP出力専用端子）。
- ( d ) 表示モード・レジスタ1（DSPM1）により，8段階の輝度調節が可能。
- ( e ) キー・スキャン応用を考慮したハードウェアを内蔵。
- ( f ) キー・スキャン・タイミングの挿入/非挿入を選択可能。
- ( g ) FIPを直接駆動可能な高耐圧出力バッファ（FIPドライバ）を内蔵。
- ( h ) FIP出力端子はマスク・オプションでプルダウン抵抗を内蔵可能（FIP0-FIP15はプルダウン抵抗内蔵）。

図7-7 FIPコントローラ/ドライバのブロック図



7.7 エッジ検出機能

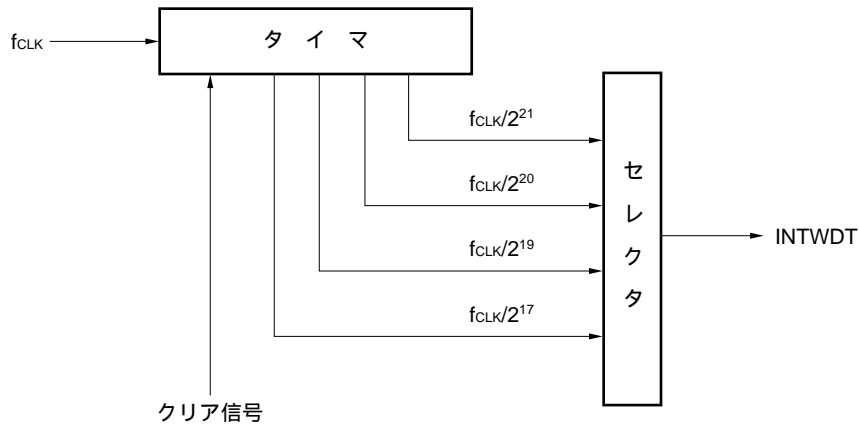
割り込み入力端子（INTP0-INTP2）は、割り込みの要求を入力するだけでなく、各種の内蔵ハードウェアのトリガ信号などの入力端子としても使用します。これらは、すべて入力信号のエッジで動作するため、エッジを検出するための機能が内蔵されています。また、ノイズによるエッジの誤検出を防ぐために、ノイズ除去機能も備えています。

端子名称	検出可能エッジ	ノイズ除去方法
INTP0-INTP2	立ち上がり，立ち下がり的一方または両方	アナログ・ディレイによる

7.8 ウォッチドッグ・タイマ

CPUの暴走検出のためのウォッチドッグ・タイマを内蔵しています。このウォッチドッグ・タイマは、あらかじめ指定したインターバル時間以内にソフトウェアによるクリアを行わないと、ノンマスクابل割り込みまたはマスクابل割り込みを発生します。さらに、このウォッチドッグ・タイマは、一度動作を許可するとソフトウェアで動作を止めることはできません。

図7 - 8 ウォッチドッグ・タイマのブロック図



備考 fCLK：内部システム・クロック（f<sub>xx</sub>～f<sub>xx</sub>/8）



## 8 . 割り込み機能

割り込み要求に対する処理として、表 8 - 1 のような 3 つの処理をプログラムで選択できます。

表 8 - 1 割り込み要求の処理

処理モード	処理の主体	処 理	PC, PSWの内容
ベクタ割り込み	ソフトウェア	処理ルーチンへ分岐して実行 (処理内容は任意)	スタックへの退避, 復帰を伴う
コンテキスト・ スイッチング		レジスタ・バンクで自動的に切り替えて, 処理ルーチンへ分岐して実行 (処理内容は任意)	レジスタ・バンク中の固定エリアへの退避, 復帰を伴う
マクロ・サービス	ファームウェア	メモリ-I/O間のデータ転送などを実行 (処理内容は固定)	保持

### 8.1 割り込み要因

割り込み要因には、表 8 - 2 のような 29 種類と BRK 命令、BRKCS 命令実行およびオペランド・エラーがあります。

割り込み処理の優先順位は、4 レベルに設定できます。これによって、割り込み処理中のネスト制御や、同時発生した割り込み要求のレベル分けをすることができます。ただし、マクロ・サービスでは、必ずネスティングが進みま  
す (保留されず)。

デフォルト・プライオリティは、同時に発生した同優先レベルの割り込み要求に対する処理の優先順位 (固定) です (表 8 - 2 参照)。

表 8 - 2 割り込み要因

タイプ	デフォルト・ プライオリティ	要 因		内部 / 外部	マクロ・ サービス
		名 称	ト リ ガ		
ソフトウェア	-	BRK命令	命令の実行	-	-
		BRKCS命令	命令の実行		
		オペランド・エラー	MOV STBC, #byte命令またはMOV WDM, #byte命令 , LOCATION命令実行時にオペランドのbyteとbyteの排他的 論理和をとった結果がFFHでなかったとき		
ノンマスクابل	-	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード選択時)	内 部	-
マスクابل	0 (最高)	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)	外 部	
	1	INTP0	INTP0端子入力エッジ検出		
	2	INTP1	INTP1端子入力エッジ検出		
	3	INTP2	INTP2端子入力エッジ検出	内 部	
	4	INTTM00	16ビット・タイマ / カウンタ・レジスタ 0 (TM0) と16 ビット・コンペア・レジスタ00 (CR00) の一致信号発生		
	5	INTTM01	16ビット・タイマ / カウンタ・レジスタ 0 (TM0) と16 ビット・コンペア・レジスタ01 (CR01) の一致信号発生		
	6	INTKS	FIPコントローラ / ドライバからのキー・スキャン・タイ ミング		
	7	INTCSI0	クロック同期式シリアル・インタフェース (SIO0) の転 送終了		
	8	INTCSI1	クロック同期式シリアル・インタフェース (SIO1) の転 送終了		
	9	INTTM50	8ビットPWMタイマ50の一致信号発生		
	10	INTTM51	8ビットPWMタイマ51の一致信号発生		
11 (最低)	INTAD	A/D変換終了			

8.2 ベクタ割り込み

割り込み要因に対応するベクタ・テーブル・アドレスのメモリ内容を分岐先のアドレスとして、処理ルーチンへ分岐します。

CPUが割り込み処理を行うため、次のような動作が起こります。

分岐時：CPUの状態（PC, PSWの内容）をスタックへ退避  
 復帰時： " をスタックから復帰

なお、処理ルーチンからメイン・ルーチンへの復帰は、RETI命令で行います。  
 また、分岐先のアドレスは、0-FFFFHに限ります。

表8 - 3 ベクタ・テーブル・アドレス

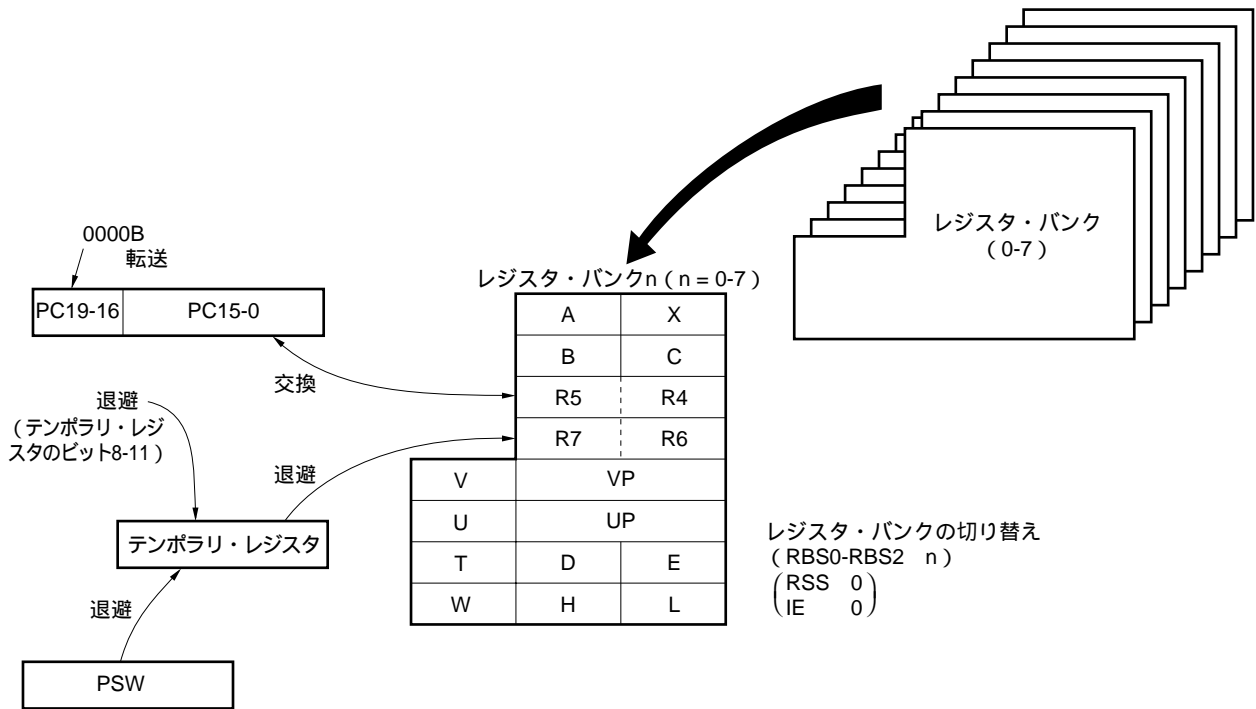
割り込み要因	ベクタ・テーブル・アドレス
BRK命令	0 0 3 E H
オペランド・エラー	0 0 3 C H
INTWDT(ノンマスクابل)	0 0 0 4 H
INTWDT(マスクابل)	0 0 0 6 H
INTP0	0 0 0 8 H
INTP1	0 0 0 A H
INTP2	0 0 0 C H
INTTM00	0 0 0 E H
INTTM01	0 0 1 0 H
INTKS	0 0 1 2 H
INTCSI0	0 0 1 4 H
INTCSI1	0 0 1 6 H
INTTM50	0 0 1 8 H
INTTM51	0 0 1 A H
INTAD	0 0 1 C H

### 8.3 コンテキスト・スイッチング

割り込み要求の発生またはBRKCS命令の実行により、ハードウェア的に所定のレジスタ・バンクを選択します。レジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスへ分岐すると同時に、現在のプログラム・カウンタ(PC)、プログラム・ステータス・ワード(PSW)の内容をレジスタ・バンク内にスタックする機能です。

なお、分岐先のアドレスは、0-FFFFHに限りません。

図 8 - 1 割り込み要求の発生によるコンテキスト・スイッチング動作

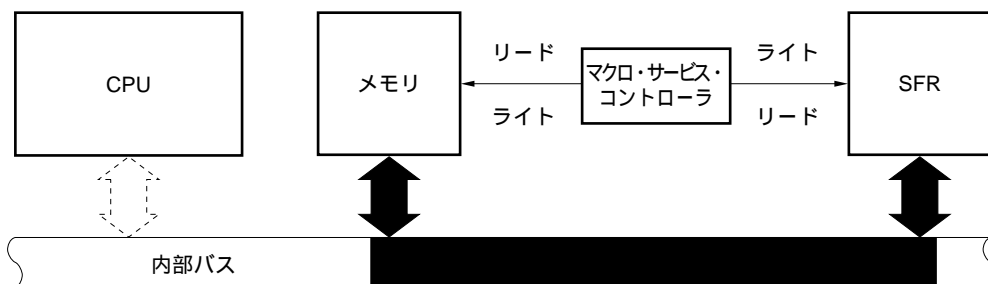


### 8.4 マクロ・サービス

メモリ-特殊機能レジスタ (SFR) 間のデータ転送を、CPUを介さずに行う機能です。マクロ・サービス・コントローラが同一転送サイクル内でメモリとSFRをアクセスし、データを取り込まずに直接転送します。

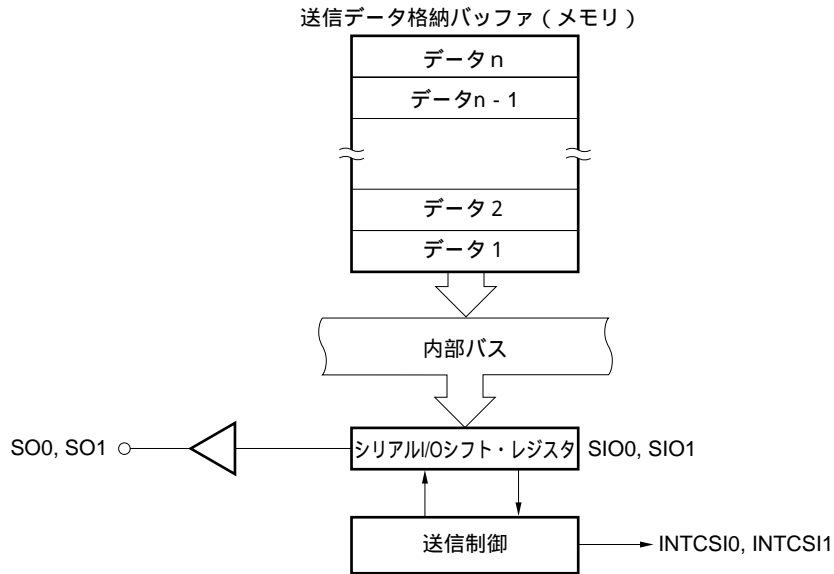
CPUの状態を退避、復帰したり、データを取り込んだりしないため、高速転送が可能です。

図 8 - 2 マクロ・サービス



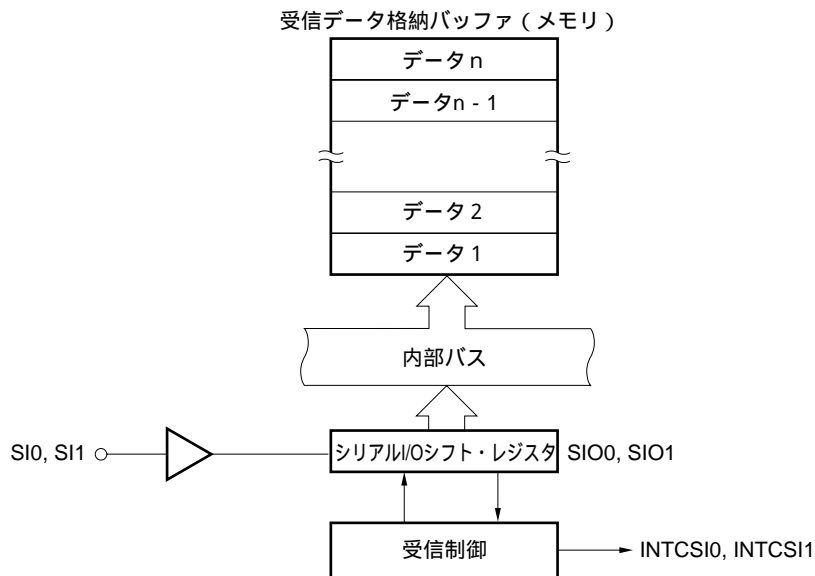
8.5 マクロ・サービスの応用例

(1) シリアル・インタフェースの送信動作



マクロ・サービス要求INTCSI0, INTCSI1が発生するたびに、次の送信データをメモリからSIO0, SIO1へ転送します。データn (最終バイト)をSIO0, SIO1へ転送する (送信データ格納バッファが空になる) と、ベクタ割り込み要求INTCSI0, INTCSI1を発生します。

(2) シリアル・インタフェースの受信動作



マクロ・サービス要求INTCSI0, INTCSI1が発生するたびに、受信データをSIO0からメモリへ転送します。データn (最終バイト)をメモリへ転送する (受信データ格納バッファに空きがなくなる) と、ベクタ割り込み要求INTCSI0, INTCSI1を発生します。

9. スタンバイ機能

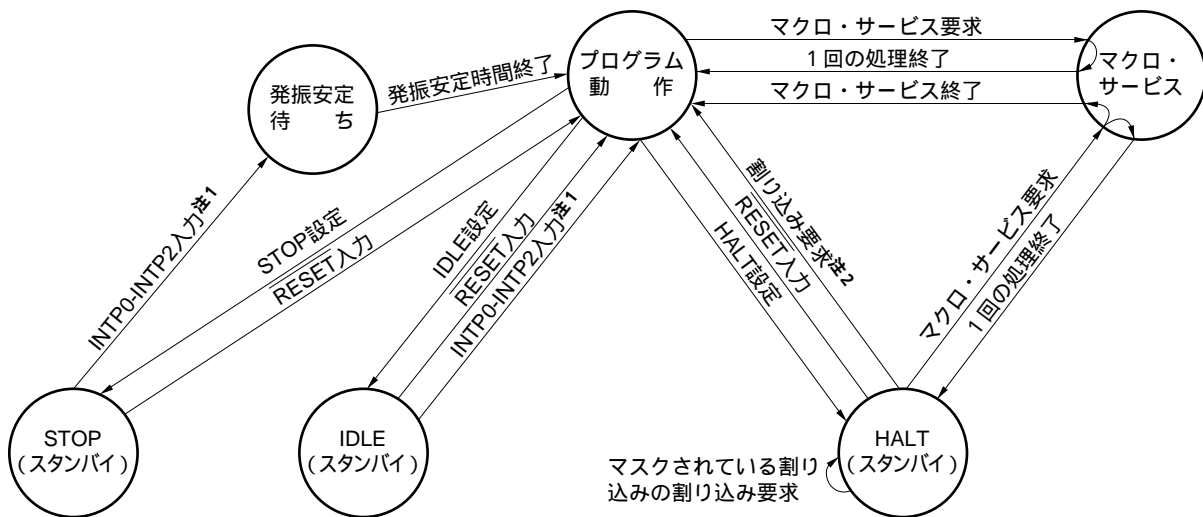
チップの消費電力を低減する機能です。次のようなモードがあります。

- ・HALTモード：CPUの動作クロックを停止させます。通常動作との間欠動作により、平均消費電力を低減できません。
- ・IDLEモード：発振回路の動作を継続したまま、それ以外のシステム全体が停止するモードです。STOPモードに近い低消費電力と、HALTモードと同等の時間で、通常のプログラム動作に復帰できます。
- ・STOPモード：発振器を停止させます。チップ内部の動作をすべて停止させ、リーク電流だけの微小消費電力状態にします。

これらのモードはプログラマブルです。

また、HALTモードからマクロ・サービスを起動することができます。

図9 - 1 スタンバイの状態遷移



注1 . INTP0-INTP2はマスクされていない場合

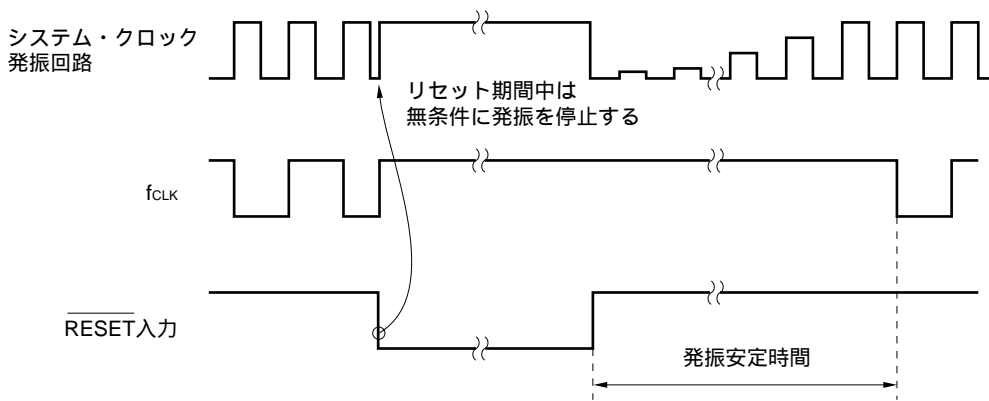
2 . マスクされていない割り込み要求のみ

10. リセット機能

RESET入力端子にロウ・レベルが入力されるとシステム・リセットがかかり、各ハードウェアは初期状態になります（リセット状態）。また、リセット期間中はシステム・クロックの発振を無条件に停止しますので、システム全体の消費電流を抑えることができます。

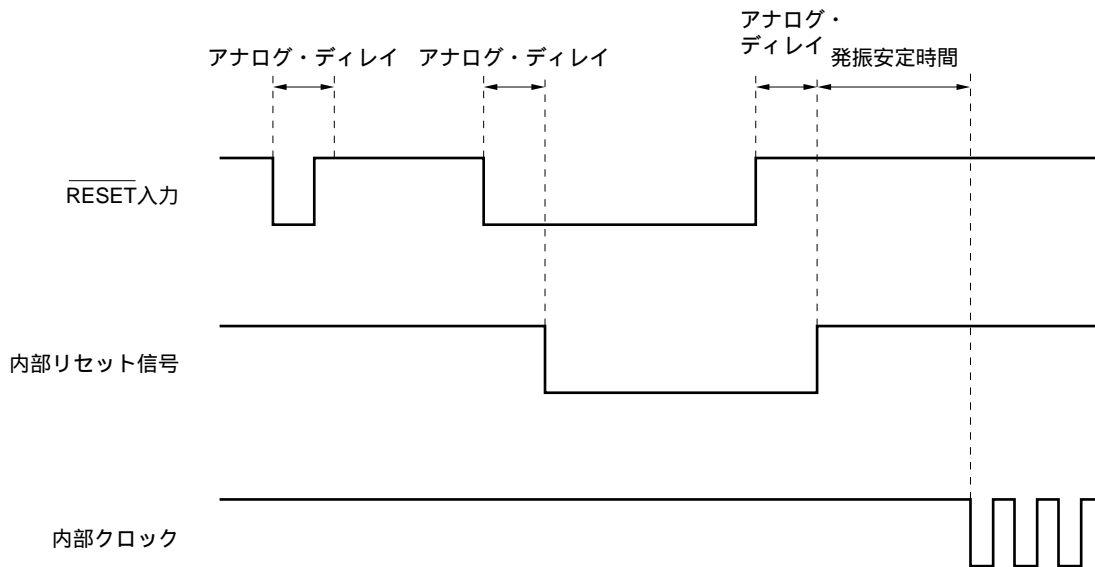
RESET入力がロウ・レベルからハイ・レベルになると、リセット状態が解除され、発振安定時間（84.0 ms：12.5 MHz動作時）のあと、リセット・ベクタ・テーブルの内容がプログラム・カウンタ（PC）にセットされ、PCにセットされたアドレスに分岐し、その分岐先のアドレスからプログラムの実行を開始します。したがって、任意のアドレスからリセット・スタートできます。

図10 - 1 リセット期間中のシステム・クロックの発振



RESET入力端子は、ノイズによる誤動作を防ぐため、アナログ・ディレイによるノイズ除去回路を内蔵しています。

図10 - 2 リセット信号の受け付け



11. 命令セット

(1) 8ビット命令( )内は, rとしてAを記述することで実現している組み合わせです)

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, SHR, SHL, ROR4, ROL4, DBNZ, PUSH, POP, MOV<sub>M</sub>, XCH<sub>M</sub>, CMP<sub>ME</sub>, CMP<sub>MNE</sub>, CMP<sub>MNC</sub>, CMP<sub>MC</sub>, MOV<sub>BK</sub>, XCH<sub>BK</sub>, CMP<sub>BKE</sub>, CMP<sub>BKNE</sub>, CMP<sub>BKNC</sub>, CMP<sub>BKC</sub>

表11-1 8ビット・アドレッシング別命令一覧

第2オペランド 第1オペランド	#byte	A	r r'	saddr saddr'	sfr	!addr16 !!addr24	mem [saddrp] [%saddrg]	r3 PSWL PSWH	[WHL +] [WHL -]	n	なし <sup>注2</sup>
A	(MOV) ADD <sup>注1</sup>	(MOV) (XCH) (ADD) <sup>注1</sup>	MOV XCH (ADD) <sup>注1</sup>	(MOV) <sup>注6</sup> (XCH) <sup>注6</sup> (ADD) <sup>注1,6</sup>	MOV (XCH) (ADD) <sup>注1</sup>	(MOV) (XCH) ADD <sup>注1</sup>	MOV XCH ADD <sup>注1</sup>	MOV	(MOV) (XCH) (ADD) <sup>注1</sup>		
r	MOV ADD <sup>注1</sup>	(MOV) (XCH) (ADD) <sup>注1</sup>	MOV XCH ADD <sup>注1</sup>	MOV XCH ADD <sup>注1</sup>	MOV XCH ADD <sup>注1</sup>	MOV XCH				ROR <sup>注3</sup>	MULU DIVUW INC DEC
saddr	MOV ADD <sup>注1</sup>	(MOV) <sup>注6</sup> (ADD) <sup>注1</sup>	MOV ADD <sup>注1</sup>	MOV XCH ADD <sup>注1</sup>							INC DEC DBNZ
sfr	MOV ADD <sup>注1</sup>	MOV (ADD) <sup>注1</sup>	MOV ADD <sup>注1</sup>								PUSH POP
!addr16 !!addr24	MOV	(MOV) ADD <sup>注1</sup>	MOV								
mem [saddrp] [%saddrg]		MOV ADD <sup>注1</sup>									
mem3											ROR4 ROL4
r3 PSWL PSWH	MOV	MOV									
B,C											DBNZ
STBC,WDM	MOV										
[TDE +] [TDE -]		(MOV) (ADD) <sup>注1</sup> MOV <sub>M</sub> <sup>注4</sup>							MOV <sub>BK</sub> <sup>注5</sup>		

注1 . ADDC,SUB,SUBC,AND,OR,XOR,CMPはADDと同じ

2 . 第2オペランドがないか, 第2オペランドがオペランド・アドレスでない

3 . ROL,RORC,ROLC,SHR,SHLはRORと同じ

4 . XCH<sub>M</sub>,CMP<sub>ME</sub>,CMP<sub>MNE</sub>,CMP<sub>MNC</sub>,CMP<sub>MC</sub>はMOV<sub>M</sub>と同じ

5 . XCH<sub>BK</sub>,CMP<sub>BKE</sub>,CMP<sub>BKNE</sub>,CMP<sub>BKNC</sub>,CMP<sub>BKC</sub>はMOV<sub>BK</sub>と同じ

6 . この組み合わせでsaddrがsaddr2の場合, 短いコード長の命令がある



(2) 16ビット命令( )内は, rpとしてAXを記述することで実現している組み合わせです)

MOVW, XCHW, ADDW, SUBW, CMPW, MULUW, MULW, DIVUX, INCW, DECW, SHRW, SHLW, PUSH, POP, ADDWG, SUBWG, PUSHU, POPU, MOVTLBW, MACW, MACSW, SACW

表11 - 2 16ビット・アドレッシング別命令一覧

第2オペランド 第1オペランド	#word	AX	rp rp'	saddrp saddrp'	sfrp	!addr16 !!addr24	mem [saddrp] [%saddrg]	[WHL+]	byte	n	なし <sup>注2</sup>
AX	(MOVW) ADDW <sup>注1</sup>	(MOVW) (XCHW) (ADD) <sup>注1</sup>	(MOVW) (XCHW) (ADDW) <sup>注1</sup>	(MOVW) <sup>注3</sup> (XCHW) <sup>注3</sup> (ADDW) <sup>注1,3</sup>	MOVW (XCHW) (ADDW) <sup>注1</sup>	(MOVW) XCHW	MOVW XCHW	(MOVW) (XCHW)			
rp	MOVW ADDW <sup>注1</sup>	(MOVW) (XCHW) (ADDW) <sup>注1</sup>	MOVW XCHW ADDW <sup>注1</sup>	MOVW XCHW ADDW <sup>注1</sup>	MOVW XCHW ADDW <sup>注1</sup>	MOVW				SHRW SHLW	MULW <sup>注4</sup> INCW DECW
saddrp	MOVW ADDW <sup>注1</sup>	(MOVW) <sup>注3</sup> (ADDW) <sup>注1</sup>	MOVW ADDW <sup>注1</sup>	MOVW XCHW ADDW <sup>注1</sup>							INCW DECW
sfrp	MOVW ADDW <sup>注1</sup>	MOVW (ADDW) <sup>注1</sup>	MOVW ADDW <sup>注1</sup>								PUSH POP
!addr16 !!addr24	MOVW	(MOVW)	MOVW						MOVTLBW		
mem [saddrp] [%saddrg]		MOVW									
PSW											PUSH POP
SP	ADDWG SUBWG										
post											PUSH POP PUSHU POPU
[TDE+]		(MOVW)						SACW			
byte											MACW MACSW

注1 . SUBW, CMPWはADDWと同じ

2 . 第2オペランドがないか, 第2オペランドがオペランド・アドレスでない

3 . この組み合わせでsaddrpがsaddrp2の場合, 短いコード長の命令がある

4 . MULUW, DIVUXはMULWと同じ

(3) 24ビット命令 ( )内は, rgとしてWHLを記述することで実現している組み合わせです)

MOVG, ADDG, SUBG, INCG, DECG, PUSH, POP

表11-3 24ビット・アドレッシング別命令一覧

第2オペランド 第1オペランド	#imm24	WHL	rg rg'	saddrg	!!addr24	mem1	[%saddrg]	SP	なし <sup>注</sup>
WHL	(MOVG) (ADDG) (SUBG)	(MOVG) (ADDG) (SUBG)	(MOVG) (ADDG) (SUBG)	(MOVG) ADDG SUBG	(MOVG)	MOVG	MOVG	MOVG	
rg	MOVG ADDG SUBG	(MOVG) (ADDG) (SUBG)	MOVG ADDG SUBG	MOVG	MOVG				INCG DECG PUSH POP
saddrg		(MOVG)	MOVG						
!!addr24		(MOVG)	MOVG						
mem1		MOVG							
[%saddrg]		MOVG							
SP	MOVG	MOVG							INCG DECG

注 第2オペランドがないか, 第2オペランドがオペランド・アドレスでない

(4) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR, BFSET

表11-4 ビット操作命令アドレッシング別命令一覧

第2オペランド 第1オペランド	CY	saddr.bit sfr.bit A.bit X.bit PSWL.bit PSWH.bit mem2.bit !addr16.bit !!addr24.bit	/saddr.bit /sfr.bit /A.bit /X.bit /PSWL.bit /PSWH.bit /mem2.bit /!addr16.bit /!!addr24.bit	なし <sup>注</sup>
CY		MOV1 AND1 OR1 XOR1	AND1 OR1	NOT1 SET1 CLR1
saddr.bit sfr.bit A.bit X.bit PSWL.bit PSWH.bit mem2.bit !addr16.bit !!addr24.bit	MOV1			NOT1 SET1 CLR1 BF BT BTCLR BFSET

注 第2オペランドがないか, 第2オペランドがオペランド・アドレスでない

(5) コール・リターン命令 / 分岐命令

CALL, CALLF, CALLT, BRK, RET, RETI, RETB, RETCS, RETCSB, BRKCS, BR, BNZ, BNE, BZ, BE, BNC, BNL, BC, BL, BN, BPO, BV, BPE, BP, BN, BLT, BGE, BLE, BGT, BNH, BH, BF, BT, BTCLR, BFSET, DBNZ

表11 - 5 コール・リターン命令 / 分岐命令アドレッシング別命令一覧

命令アドレスの オペランド	\$addr20	\$!addr20	!addr16	!!addr20	rp	rg	[rp]	[rg]	!addr11	[addr5]	RBn	なし
基本命令	BC <sup>注</sup> BR	CALL BR	CALL BR RETCS RETCSB	CALL BR	CALL BR	CALL BR	CALL BR	CALL BR	CALLF	CALLF	BRKCS	BRK RET RETI RETB
複合命令	BF BT BTCLR BFSET DBNZ											

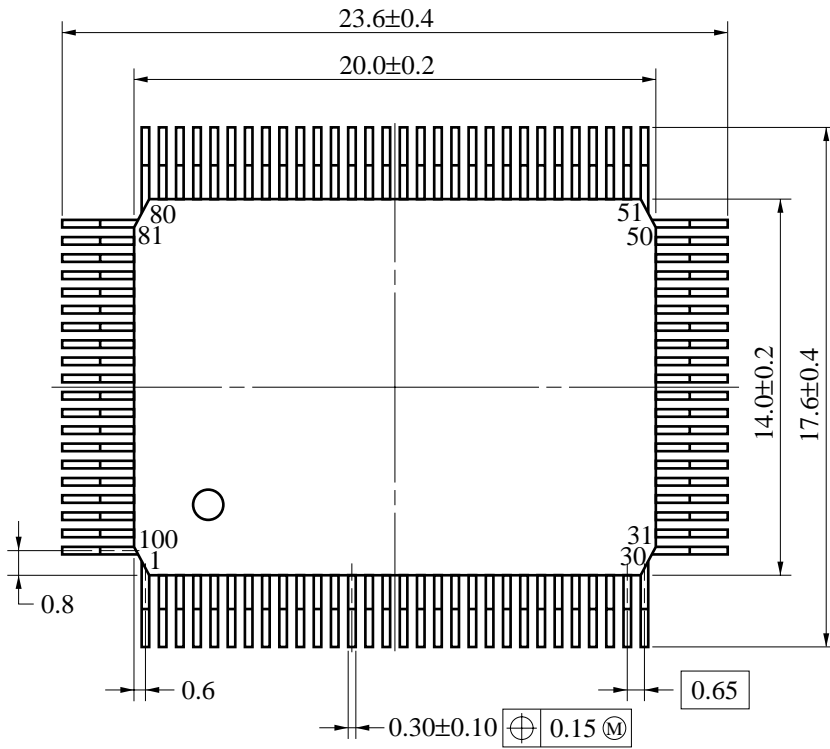
注 BNZ, BNE, BZ, BE, BNC, BNL, BL, BN, BPO, BV, BPE, BP, BN, BLT, BGE, BLE, BGT, BNH, BHはBCと同じ

(6) その他の命令

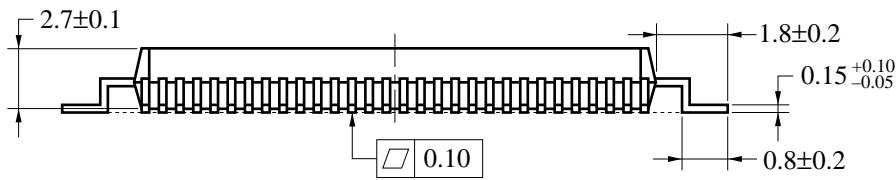
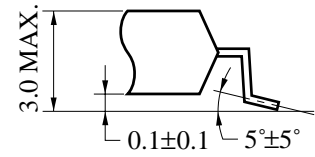
ADJBA, ADJBS, CVTBW, LOCATION, SEL, NOT, EI, DI, SWRS

12. 外形図

100ピン・プラスチック QFP (14×20) 外形図 (単位: mm)



端子先端形状詳細図



P100GF-65-3BA1-3

付録A．開発ツール

μPD784975を使用するシステム開発のために、次のような開発ツールを用意しています。

(5) 開発ツールを使用する際の注意も参照してください。

(1) 言語処理用ソフトウェア

RA78K4	78K/IVシリーズ共通のアセンブラ・パッケージ
CC78K4	78K/IVシリーズ共通のCコンパイラ・パッケージ
DF784976 <sup>注</sup>	μPD784976サブシリーズ共通のデバイス・ファイル
CC78K4-L	78K/IVシリーズ共通のCコンパイラ・ライブラリ・ソース・ファイル

(2) フラッシュ・メモリ書き込み用ツール

Flashpro (型番FL-PR2), Flashpro (型番FL-PR3, PG-FP3)	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライター。
FA-100GF	100ピン・プラスチックQFP (GF-3BAタイプ) 用フラッシュ・メモリ書き込み用アダプタ。対象製品にあわせて結線が必要です。

(3) デバッグ用ツール

・インサーキット・エミュレータ IE-78K4-NSを使用する場合

IE-78K4-NS	78K/IVシリーズ共通のインサーキット・エミュレータ
IE-70000-MC-PS-B	IE-78K4-NS用電源ユニット
IE-70000-98-IF-C	ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときに必要なインタフェース・アダプタ(Cバス対応)
IE-70000-CD-IF-A	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとケーブル(PCMCIAソケット対応)
IE-70000-PC-IF-C	ホスト・マシンとしてIBM PC/AT™互換機を使用するときに必要なインタフェース・アダプタ(ISAバス対応)
IE-70000-PCI-IF	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なインタフェース・アダプタ
IE-784976-NS-EM1 <sup>注</sup>	μPD784976サブシリーズをエミュレーションするためのエミュレーション・ボード
NP-100GF	100ピン・プラスチックQFP (GF-3BAタイプ) 用エミュレーション・プローブ
EV-9200GF-100	100ピン・プラスチックQFP (GF-3BAタイプ) 用に作られたターゲット・システムの基板上に実装するソケット
ID78K4-NS	IE-78K4-NS用統合デバッグ
SM78K4	78K/IVシリーズ共通のシステム・シミュレータ
DF784976 <sup>注</sup>	μPD784976サブシリーズ共通のデバイス・ファイル

注 開発中

・インサーキット・エミュレータ IE-784000-Rを使用する場合

IE-784000-R	78K/IVシリーズ共通のインサーキット・エミュレータ
IE-70000-98-IF-C	ホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なインタフェース・アダプタ（Cバス対応）
IE-70000-PC-IF-C	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なインタフェース・アダプタ（ISAバス対応）
IE-70000-PCI-IF	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なインタフェース・アダプタ
IE-78000-R-SV3	ホスト・マシンとしてEWSを使用するときのインタフェース・アダプタとケーブル
IE-784976-NS-EM1 <sup>注</sup>	μPD784976サブシリーズをエミュレーションするためのエミュレーション・ボード
IE-784000-R-EM	78K/IVシリーズ共通のエミュレーション・ボード
IE-78K4-R-EX3	IE-784976-NS-EM1をIE-784000-R上で使用するときに必要なエミュレーション・プローブ変換ボード。
EP-78064GF-R	100ピン・プラスチックQFP（GF-3BAタイプ）用エミュレーション・プローブ
EV-9200GF-100	100ピン・プラスチックQFP（GF-3BAタイプ）用に作られたターゲット・システムの基板上に実装するソケット
ID78K4	IE-784000-R用統合ディバッガ
SM78K4	78K/IVシリーズ共通のシステム・シミュレータ
DF784976 <sup>注</sup>	μPD784976サブシリーズ共通のデバイス・ファイル

注 開発中

（４）リアルタイムOS

RX78K/IV	78K/IVシリーズ用リアルタイムOS
MX78K4	78K/IVシリーズ用OS

(5) 開発ツールを使用する際の注意

- ・ ID78K4-NS, ID78K4, SM78K4は , DF784976と組み合わせて使用します。
- ・ CC78K4, RX78K/IVは , RA78K4およびDF784976と組み合わせて使用します。
- ・ FL-PR2, FL-PR3, FA-100GF, NP-100GFは , 株式会社内藤電誠町田製作所 ( TEL ( 044 ) 822-3813 ) の製品です。ご購入の際は , NEC特約店にご相談ください。
- ・ 3rdパーティ製開発ツールについては , 78K/IVシリーズ **セレクション・ガイド (U13355J)** を参照してください。
- ・ 各ソフトウェアに対応するホスト・マシンとOSは次のとおりです。

ホスト・マシン [ OS ] ソフトウェア	PC	EWS
		PC-9800シリーズ [ Windows ] IBM PC/AT 互換機 [ 日本語 / 英語Windows ]
RA78K4	注	
CC78K4	注	
ID78K4-NS		-
ID78K4		
SM78K4		-
RX78K/IV	注	
MX78K4	注	

注 DOSベースのソフトウェアです。

付録B. 関連資料

デバイスの関連資料

資料名	資料番号	
	和文	英文
μ PD784975 ペーパ・マシン	この資料	作成予定
μ PD78F4976 ペーパ・マシン	作成予定	作成予定
μ PD784976サブシリーズ ユーザーズ・マニュアル ハードウェア編	作成予定	作成予定
78K/ シリーズ ユーザーズ・マニュアル 命令編	U10905J	U10905E
78K/ シリーズ インストラクション活用表	U10594J	-
78K/ シリーズ インストラクション・セット	U10595J	-
78K/ シリーズ アプリケーション・ノート ソフトウェア基礎編	U10095J	-

開発ツールの資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
RA78K4 アセンブラ・パッケージ	言語編	U11162J U11162E
	操作編	U11334J U11334E
RA78K 構造化アセンブラ・プリプロセッサ	U11743J	U11743E
CC78K4 Cコンパイラ	言語編	U11571J U11571E
	操作編	U11572J U11572E
IE-78K4-NS	U13356J	U13356E
IE-784000-R	U12903J	U12903E
IE-784976-NS-EM1	作成予定	-
EP-78064	EEU-934	EEU-1469
SM78K4 システム・シミュレータ Windowsベース	レファレンス編	U10093J U10093E
SM78Kシリーズ システム・シミュレータ	外部部品ユーザオープン インタフェース仕様編	U10092J U10092E
ID78K4-NS 統合ディバッガ PCベース	レファレンス編	U12796J U12796E
ID78K4 統合ディバッガ Windowsベース	レファレンス編	U10440J U10440E
ID78K4 統合ディバッガ HP-UX, SunOS, NEWS-OSベース	レファレンス編	U11960J U11960E

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。



組み込み用ソフトウェアの資料 (ユーザーズ・マニュアル)

資料名		資料番号	
		和文	英文
78K/ シリーズ リアルタイムOS	基礎編	U10603J	U10603E
	インストール編	U10604J	U10604E
	ディバッガ編	U10364J	-
78K/ シリーズ用OS MX78K4	基礎編	U11779J	-

その他の資料

資料名		資料番号	
		和文	英文
SEMICONDUCTORS SELECTION GUIDE Products & Packages ( CD-ROM )		X13769X	
半導体デバイス 実装マニュアル		C10535J	C10535E
NEC半導体デバイスの品質水準		C11531J	C11531E
NEC半導体デバイスの信頼性品質管理		C10983J	C10983E
静電気放電 ( ESD ) 破壊対策ガイド		C11892J	C11892E
半導体 品質 / 信頼性ハンドブック		C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編		U11416J	-

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

{ × ㇀ }

〔メ モ〕

[メ モ]

## CMOSデバイスの一般的注意事項

### 静電気対策（MOS全般）

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 未使用入力の処理（CMOS特有）

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV<sub>DD</sub>またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 初期化以前の状態（MOS全般）

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

FIPは、日本電気株式会社の登録商標です。

IEBusは、日本電気株式会社の商標です。

Windowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パッカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

本製品が外国為替および外国貿易管理法の規定による規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

- 本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。また本資料で扱う製品の製品化を中止することがあります。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M5 98.8

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン（インフォメーションセンター）  
（電話：午前 9:00～12:00、午後 1:00～5:00）

電話 : 044-548-8899  
FAX : 044-548-7900  
E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

半導体第一販売事業部	〒108-8001	東京都港区芝5-7-1	(日本電気本社ビル)	(03)3454-1111				
半導体第二販売事業部								
半導体第三販売事業部								
中部支社 半導体第一販売部	〒460-8525	愛知県名古屋市中区錦1-17-1	(日本電気中部ビル)	(052)222-2170				
中部支社 半導体第二販売部				(052)222-2190				
関西支社 半導体第一販売部	〒540-8551	大阪府大阪市中央区城見1-4-24	(日本電気関西ビル)	(06)6945-3178				
関西支社 半導体第二販売部				(06)6945-3200				
関西支社 半導体第三販売部				(06)6945-3208				
北海道支社	札幌	(011)251-5599	宇都宮支店	宇都宮	(028)621-2281	北陸支社	金沢	(076)232-7303
東北支社	仙台	(022)267-8740	小山支店	小山	(0285)24-5011	京都支社	京都	(075)344-7824
岩手支店	盛岡	(019)651-4344	甲府支店	甲府	(055)224-4141	神戸支社	神戸	(078)333-3854
郡山支店	郡山	(024)923-5511	長野支社	松本	(0263)35-1662	中国支社	広島	(082)242-5504
いわき支店	いわき	(0246)21-5511	静岡支社	静岡	(054)254-4794	鳥取支店	鳥取	(0857)27-5311
長岡支店	長岡	(0258)36-2155	立川支社	立川	(042)526-5981,6167	岡山支店	岡山	(086)225-4455
水戸支店	水戸	(029)226-1717	埼玉支社	大宮	(048)649-1415	松山支店	松山	(089)945-4149
土浦支店	土浦	(0298)23-6161	千葉支社	千葉	(043)238-8116	九州支社	福岡	(092)261-2806
群馬支店	高崎	(027)326-1255	神奈川支社	横浜	(045)682-4524			
太田支店	太田	(0276)46-4011	三重支店	津	(059)225-7341			