

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD784927, 784928, 784927Y, 784928Y

16ビット・シングルチップ・マイクロコンピュータ

μ PD784927, 784928は、高速、高性能16ビットCPUを内蔵した78K/ シリーズの中のVTRソフトウェア・サーボ制御用の製品です。

μ PD784927Y, 784928Yは、 μ PD784928サブシリーズにマルチマスタ対応したI²Cバス・インタフェースを追加した製品です。

ソフトウェア・サーボ制御に最適な多機能タイマ・ユニット（スーパ・タイマ・ユニット）やVTR用アナログ回路をはじめとするVTR制御に最適な周辺ハードウェアを内蔵しています。1チップでVTRのシステム/サーボ/タイマ制御が実現できます。

また、フラッシュ・メモリ内蔵品として μ PD78F4928, μ PD78F4928Yも開発中です。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD784928, 784928Yサブシリーズ ユーザーズ・マニュアル ハードウェア編 : U12648J

78K/IVシリーズ ユーザーズ・マニュアル 命令編 : U10905J

特 徴

- 16ビットCPUコア搭載により命令実行時間の高速化を実現
 - ・ 最小命令実行時間 : 250 ns (内部クロック8 MHz動作時)

★ ○ 大容量メモリ内蔵

項目 \ 品名	μ PD784927, 784927Y	μ PD784928, 784928Y
内部ROM容量	96 Kバイト	128 Kバイト
内部RAM容量	2048バイト	3584バイト

○ VHS規格VTR用アナログ回路内蔵

- ・ CTLアンプ
- ・ DFGアンプ
- ・ リールFGコンパレータ (2チャンネル)
- ・ RECCTLドライバ (再書き込み対応)
- ・ DPGアンプ
- ・ CSYNCコンパレータ
- ・ CFGアンプ
- ・ DPDFG分離回路 (3値分離回路)

○ サーボ制御用タイマ・ユニット（スーパ・タイマ・ユニット）内蔵

○ シリアル・インタフェース : 3チャンネル

3線式シリアルI/O : 2チャンネル

I²Cバス・インタフェース : 1チャンネル

○ A/Dコンバータ : 12チャンネル (変換時間10 μ s)

○ 低周波発振モード対応 : メイン・システム・クロック周波数 = 内部クロック周波数

○ 低消費電力モード対応 : サブシステム・クロックによるCPU動作可能

○ 電源電圧 : $V_{DD} = +2.7 \sim 5.5$ V○ ハードウェア時計機能内蔵 : 低電圧 ($V_{DD} = 2.7$ V (MIN.)) , 低消費電流の時計動作が可能

この製品では特に断りがないかぎり、 μ PD784927を代表製品として説明しています。

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

応用分野

据え置き型VTR，カメラ一体型VTR，テレビ一体型VTRなど

★ オーダ情報

(1) μPD784928サブシリーズ

オーダ名称	パッケージ
μ PD784927GC- × × × -8EU ^注	100ピン・プラスチックLQFP (ファインピッチ) (□ 14 mm)
μ PD784927GF- × × × -3BA	100ピン・プラスチックQFP (14 × 20 mm)
μ PD784928GC- × × × -8EU ^注	100ピン・プラスチックLQFP (ファインピッチ) (□ 14 mm)
μ PD784928GF- × × × -3BA	100ピン・プラスチックQFP (14 × 20 mm)
μ PD784927GF- × × × -3BA-A	100ピン・プラスチックQFP (14 × 20 mm)
μ PD784928GF- × × × -3BA-A	100ピン・プラスチックQFP (14 × 20 mm)

(2) μPD784928Yサブシリーズ

オーダ名称	パッケージ
μ PD784927YGC- × × × -8EU ^注	100ピン・プラスチックLQFP (ファインピッチ) (□ 14 mm)
μ PD784927YGF- × × × -3BA	100ピン・プラスチックQFP (14 × 20 mm)
μ PD784928YGC- × × × -8EU ^注	100ピン・プラスチックLQFP (ファインピッチ) (□ 14 mm)
μ PD784928YGF- × × × -3BA	100ピン・プラスチックQFP (14 × 20 mm)
μ PD784927YGF- × × × -3BA-A	100ピン・プラスチックQFP (14 × 20 mm)
μ PD784928YGF- × × × -3BA-A	100ピン・プラスチックQFP (14 × 20 mm)

注 開発中

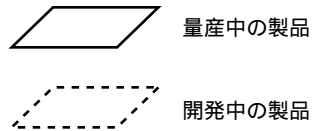
備考 1 . × × × はROMコード番号です。

2 . オーダ名称末尾「-A」の製品は，鉛フリー製品です。

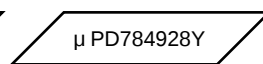
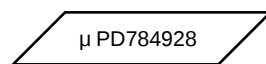
VTRサーボ用マイコンの製品展開図

VTRサーボ用マイコンの製品展開を示します。枠内はサブシリーズ名称です。

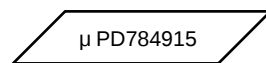
Yサブシリーズは、I²Cバス対応の製品です。



78K/ シリーズ

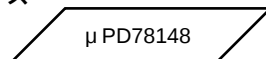


100ピンQFP。フラッシュ・メモリ内蔵
内部メモリ容量拡張
アナログ・アンプ強化。VTR用機能改善。I/O数増加。
大電流ポート追加。I²C機能追加（Y品のみ）

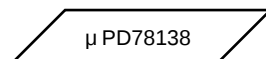


100ピンQFP
内部メモリ容量拡張
アナログ・アンプ内蔵。スーパ・タイマ強化。
低消費電力モード追加

78K/ シリーズ



100ピンQFP
内部RAM容量拡張。オペアンプ，時計機能，乗算器内蔵



80ピンQFP

機能一覧 (1/2)

★

品 名		μPD784927, 784927Y	μPD784928, 784928Y
項 目			
内部ROM容量		96 Kバイト	128 Kバイト
内部RAM容量		2048バイト	3584バイト
動作クロック		16 MHz (内部クロック : 8 MHz) 低周波発振モード時 : 8 MHz (内部クロック : 8 MHz) 低消費電力モード時 : 32.768 kHz (サブシステム・クロック)	
最小命令実行時間		250 ns (内部クロック8 MHz動作時)	
I/Oポート		74本 { 入力 : 20本 入出力 : 54本 (うちLEDダイレクト・ドライブ用ポート : 8本)	
リアルタイム出力ポート		11本 (疑似V _{SYNC} 用, ヘッド・アンプ・スイッチ用, クロマ・ローテーション用各1本含む)	
ス ー パ ・ タ イ マ ・ ユ ニ ツ ト	タイマ / カウンタ	タイマ / カウンタ コンペア・レジスタ キャプチャ・レジスタ 備考	
		TM0 (16ビット) 3本 -	
		TM1 (16ビット) 3本 1本	
		FRC (22ビット) - 6本	
		TM3 (16ビット) 2本 1本	
		UDC (5ビット) 1本 -	
		EC (8ビット) 4本 -	HSW信号作成用
		EDV (8ビット) 1本 -	CFG信号分周用
	キャプチャ・レジスタ	入力信号 ビット数 計測周期 動作エッジ	
		CFG 22 125 ns ~ 524 ms ↑ ↓	
		DFG 22 125 ns ~ 524 ms ↑	
		HSW 16 1 μs ~ 65.5 ms ↑ ↓	
		V _{SYNC} 22 125 ns ~ 524 ms ↑	
		CTL 16 1 μs ~ 65.5 ms ↑ ↓	
		T _{REEL} 22 125 ns ~ 524 ms ↑ ↓	
		S _{REEL} 22 125 ns ~ 524 ms ↑ ↓	
VTR用特殊回路		・ V _{SYNC} 分離回路, H _{SYNC} 分離回路 ・ VISS検出, ワイド・アスペクト検出回路 ・ フィールド判別回路 ・ ヘッド・アンプ・スイッチ / クロマ・ローテーション出力回路	
汎用タイマ		タイマ コンペア・レジスタ キャプチャ・レジスタ	
		TM2 (16ビット) 1本 -	
		TM4 (16ビット) 1本 (キャプチャ・コンペア) 1本	
		TM5 (16ビット) 1本 -	
PWM出力		・ 16ビット分解能 : 3チャンネル (キャリア周波数 : 62.5 kHz) ・ 8ビット分解能 : 3チャンネル (キャリア周波数 : 62.5 kHz)	
シリアル・インタフェース		3線式シリアルI/O : 2チャンネル (うちBUSY/STRB制御可能 : 1チャンネル) ・ I ² Cバス・インタフェース : 1チャンネル (μPD784928Yサブシリーズのみ)	
A/Dコンバータ		8ビット分解能 × 12チャンネル, 変換時間 : 10 μs	

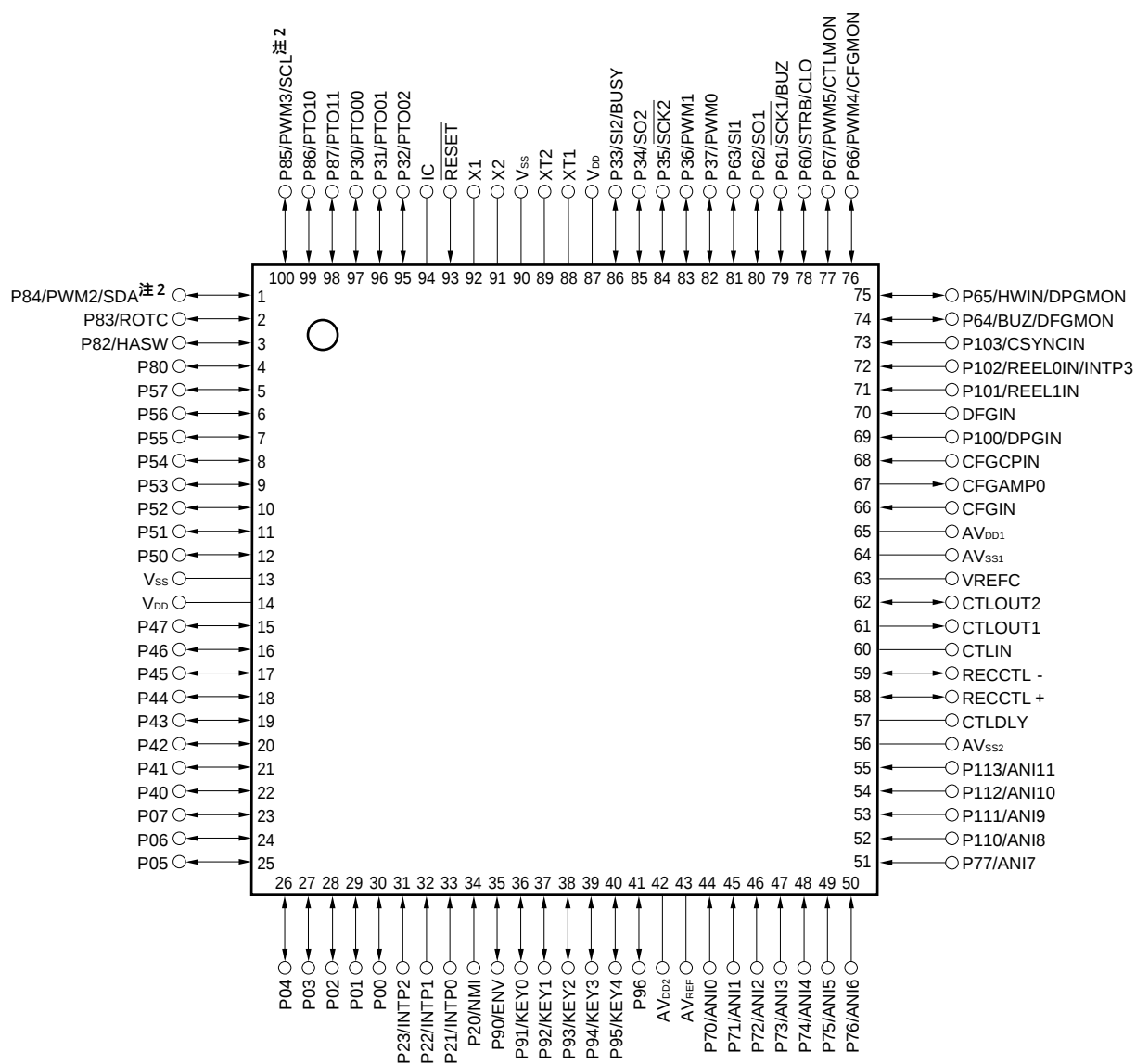
機能一覧 (2/2)

品 名		μ PD784927, 784927Y	μ PD784928, 784928Y
項 目			
アナログ回路		・ CTLアンプ ・ RECCTLドライバ (再書き込み対応) ・ DFGアンプ, DPGアンプ, CFGアンプ ・ DPFG分離回路 (3 値分離回路) ・ リールFGコンパレータ (2 チャンネル) ・ CSYNCコンパレータ	
★ 割り込み要因		4 レベル (プログラマブル), ベクタ割り込み, マクロ・サービス, コンテキスト・スイッチング	
	外部	9 本 (NMI含む)	
	内部	22本 (ソフトウェア割り込み含む)	23本 (ソフトウェア割り込み含む)
スタンバイ機能		HALTモード / STOPモード / 低消費電力モード / 低消費電力HALTモード	
		NMI端子有効エッジ, 時計割り込み (INTW), INTP1/INTP2/KEY0-KEY4端子入力によりSTOPモードの解除可能	
時計機能		0.5秒計測, 低電圧動作 ($V_{DD} = 2.7\text{ V}$) 可能	
ブザー出力機能		1.95 kHz, 3.91 kHz, 7.81 kHz, 15.6 kHz (内部クロック: 8 MHz動作時)	
		2.048 kHz, 4.096 kHz, 32.768 kHz (サブシステム・クロック: 32.768 kHz動作時)	
電源電圧		$V_{DD} = +2.7 \sim 5.5\text{ V}$	
パッケージ		・ 100ピン・プラスチックLQFP (ファインピッチ) (□14 mm) 注 ・ 100ピン・プラスチックQFP (14 × 20 mm)	

注 開発中

端子接続図 (Top View)

・ 100ピン・プラスチックLQFP (ファインピッチ) (□14 mm)

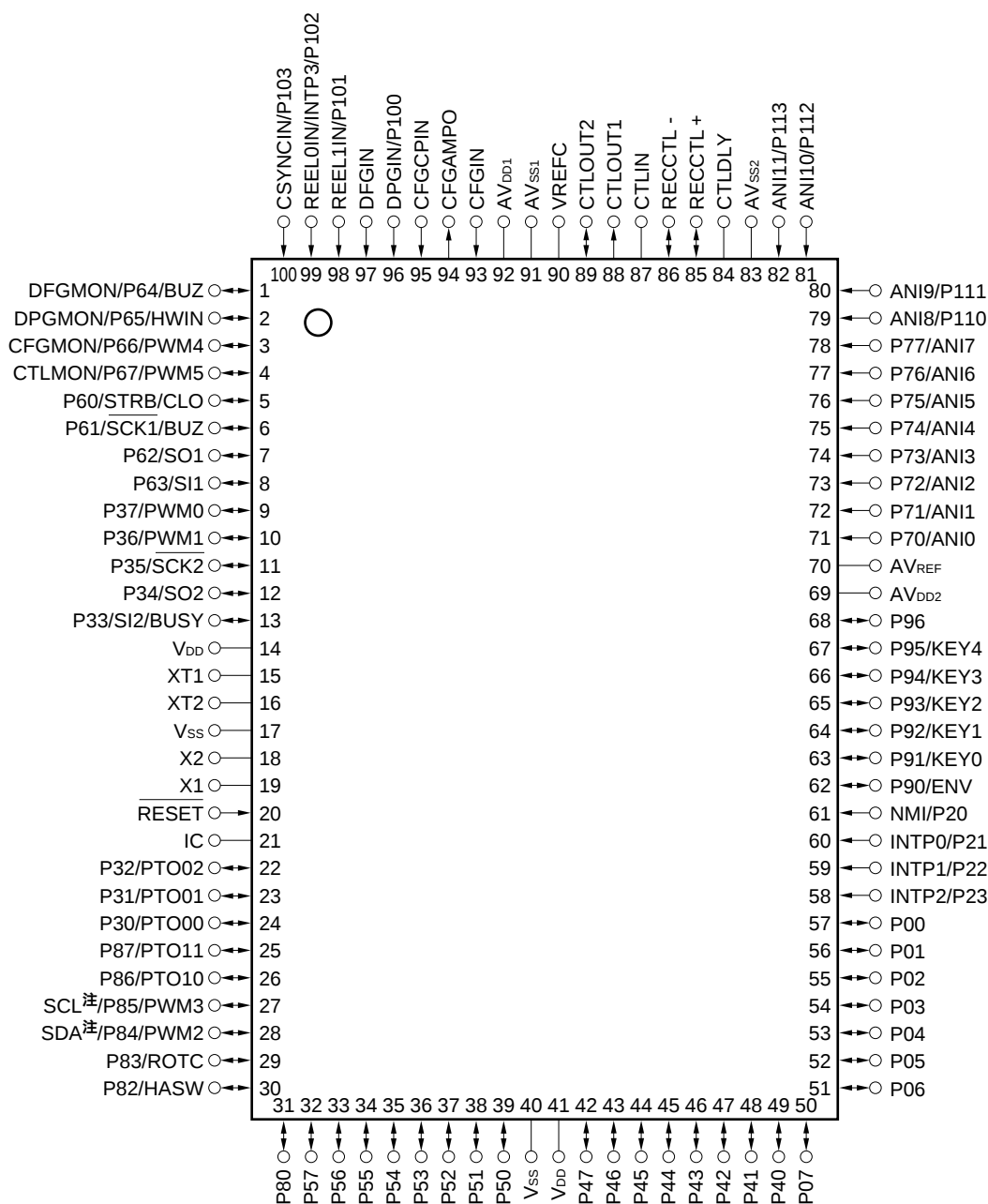


注1 . 開発中

2 . SCL端子, SDA端子は, μPD784928Yサブシリーズのみ内蔵しています。

注意 通常動作モード時は, IC (Internal Connected) 端子はVSSに直接接続してください。

・100ピン・プラスチックQFP (14×20 mm)



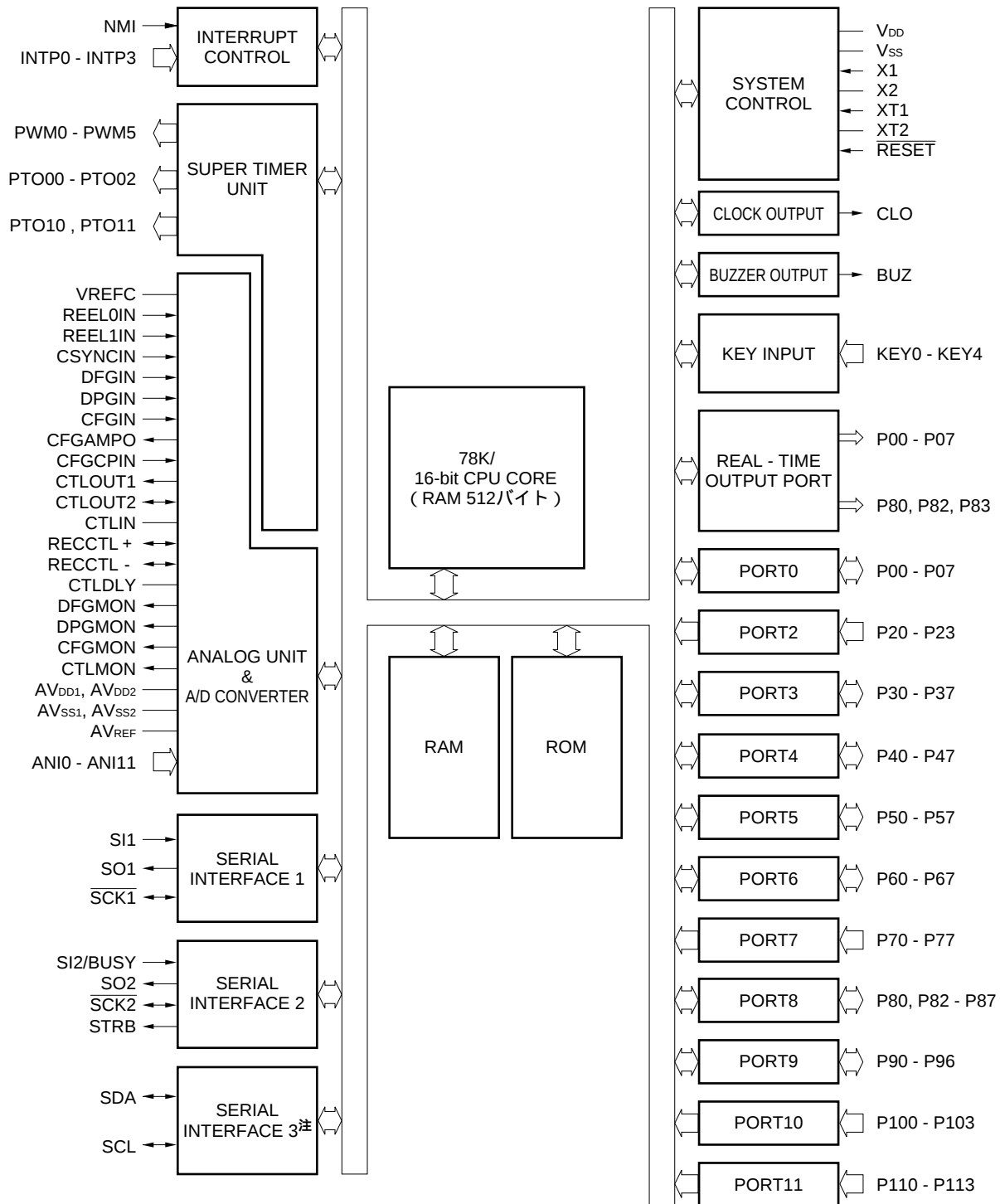
注 SCL端子，SDA端子は，μPD784928Yサブシリーズのみ内蔵しています。

注意 IC (Internally Connected) 端子はV_{SS}に直接接続してください。

ANI0-ANI11	: Analog Input	P00-P07	: Port0
AV _{DD1} , AV _{DD2}	: Analog Power Supply	P20-P23	: Port2
AV _{SS1} , AV _{SS2}	: Analog Ground	P30-P37	: Port3
AV _{REF}	: Analog Reference Voltage	P40-P47	: Port4
BUSY	: Serial Busy	P50-P57	: Port5
BUZ	: Buzzer Output	P60-P67	: Port6
CFGAMPO	: Capstan FG Amplifier Output	P70-P77	: Port7
CFGCPIN	: Capstan FG Capacitor Input	P80, P82-P87	: Port8
CFGIN	: Analog Unit Input	P90-P96	: Port9
CFGMON	: Capstan FG Monitor	P100-P103	: Port10
CLO	: Clock Output	P110-P113	: Port11
CSYNCIN	: Analog Unit Input	PTO00-PTO02,	: Programmable Timer Output
CTLDLY	: Control Delay Input	PTO10, PTO11	
CTLIN	: CTL Amplifier Input Capacitor	PWM0-PWM5	: Pulse Width Modulation Output
CTLMON	: CTL Amplifier Monitor	RECCTL + , RECCTL -	: RECCTL Output/PBCLT Input
CTLOUT1, CTLOUT2	: CTL Amplifier Output	REEL0IN, REEL1IN	: Analog Unit Input
DFGIN	: Analog Unit Input	<u>RESET</u>	: Reset
DFGMON	: DFG Monitor	ROTC	: Chrominance Rotate Output
DPGIN	: Analog Unit Input	<u>SCK1</u> , <u>SCK2</u>	: Serial Clock
DPGMON	: DPG Monitor	SCL ^注	: Serial Clock
ENV	: Envelope Input	SDA ^注	: Serial Data
HASW	: Head Amplifier Switch Output	SI1, SI2	: Serial Input
HWIN	: Hardware Timer External Input	SO1, SO2	: Serial Output
IC	: Internally Connected	STRB	: Serial Strobe
INTP0-INTP3	: Interrupt From Peripherals	V _{DD}	: Power Supply
KEY0-KEY4	: Key Return	VREFC	: Reference Amplifier Capacitor
NMI	: Nonmaskable Interrupt	V _{SS}	: Ground
		X1, X2	: Crystal (Main System Clock)
		XT1, XT2	: Crystal (Subsystem Clock)

注 SCL端子, SDA端子は, μPD784928Yサブシリーズのみ内蔵しています。

内部ブロック図

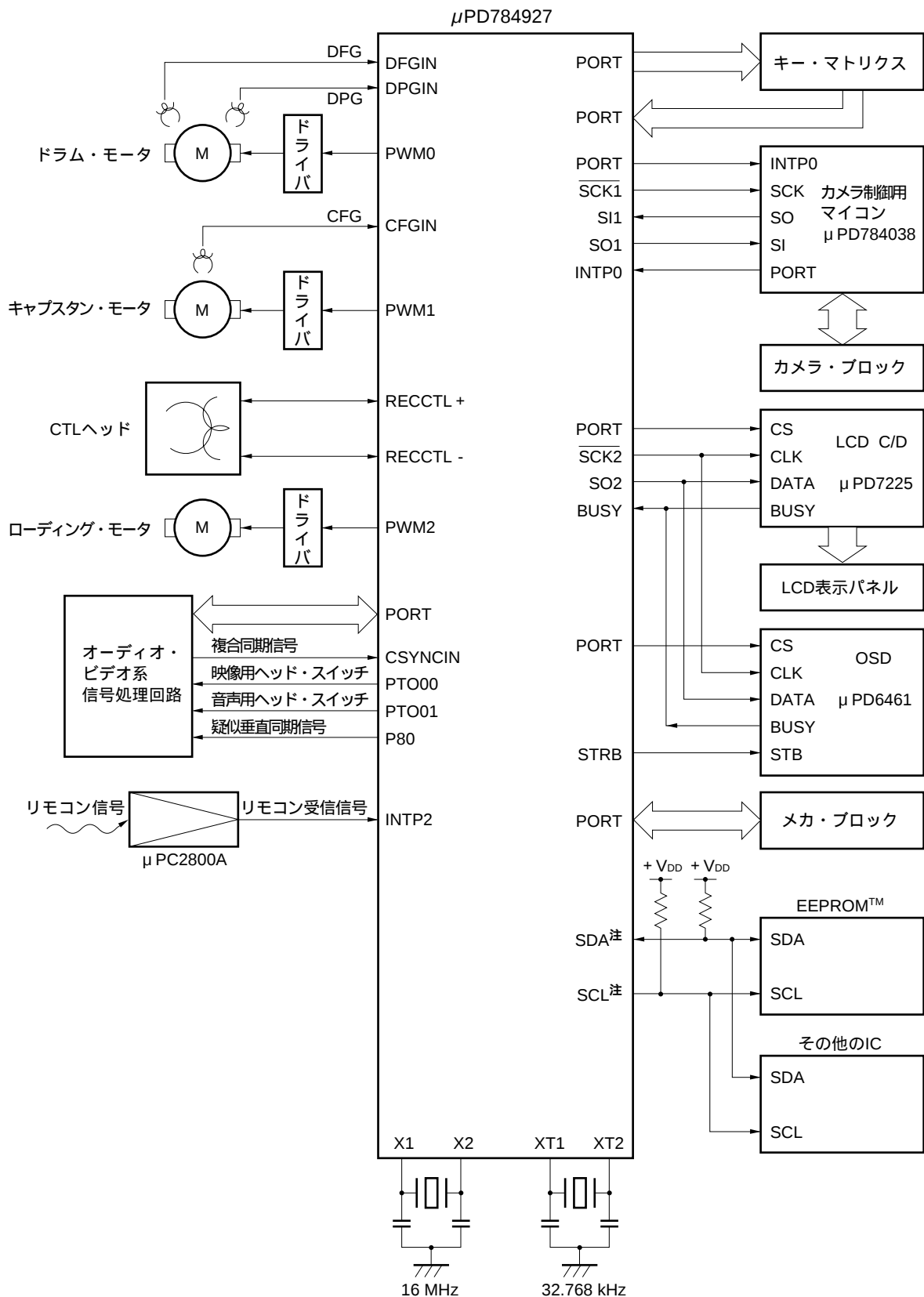


注 μPD784928Yサブシリーズのみ。I²Cバス・インタフェースに対応しています。

備考 内部ROM, RAM容量は、製品によって異なります。

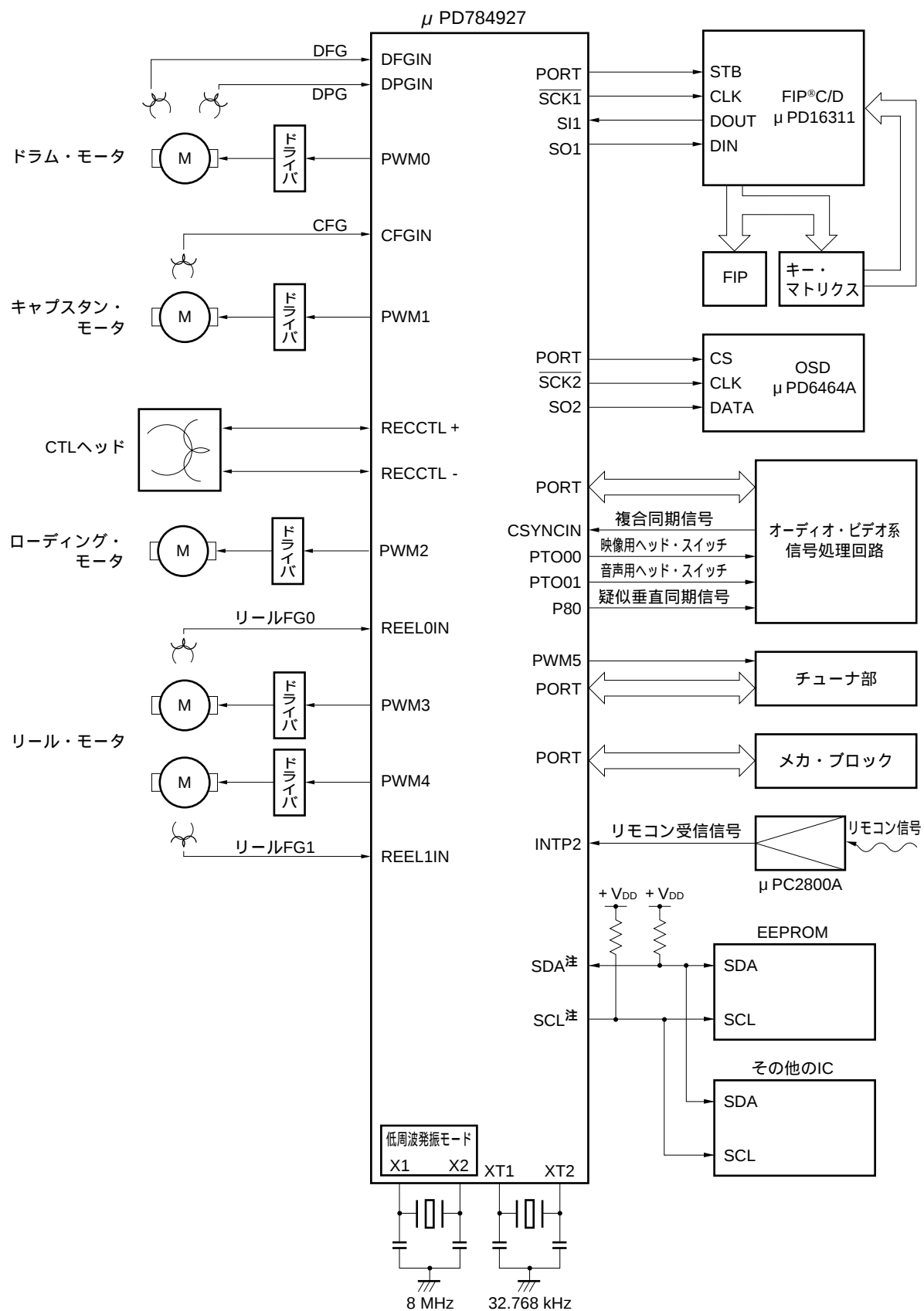
システム構成例

・カメラ型VTR



注 μPD784928Yサブシリーズのみ内蔵しています。

・据え置き型VTR



注 μPD784928Yサブシリーズのみ内蔵しています。

目 次

1 . μ PD784928サブシリーズ / μ PD784928Yサブシリーズ製品間の違い	14
2 . 端子機能	15
2.1 ポート端子	15
2.2 ポート以外の端子	16
2.3 端子の入出力回路と未使用端子の処理	18
3 . 内部ブロック機能	21
3.1 CPUレジスタ	21
3.1.1 汎用レジスタ	21
3.1.2 その他のCPUレジスタ	22
3.2 メモリ空間	23
3.3 特殊機能レジスタ (SFR)	26
3.4 ポート	32
3.5 リアルタイム出力ポート	33
3.6 スーパ・タイマ・ユニット	37
3.7 シリアル・インタフェース	43
3.8 A/Dコンバータ	46
3.9 VTR用アナログ回路	47
3.10 時計機能	53
3.11 クロック出力機能	54
3.12 ブザー出力機能	55
4 . 内部 / 外部制御機能	55
4.1 割り込み機能	55
4.1.1 ベクタ割り込み	58
4.1.2 コンテキスト・スイッチング	58
4.1.3 マクロ・サービス	59
4.1.4 マクロ・サービスの応用例	61
4.2 スタンバイ機能	64
4.3 クロック発生回路	66
4.4 リセット機能	67
5 . 命令セット	68
6 . 電気的特性	74
7 . 外形図	89
8 . 半田付け推奨条件	91

付録 A . 開発ツール ... 92

付録 B . 関連資料 ... 95

★ 1 . μPD784928サブシリーズ / μPD784928Yサブシリーズ製品間の違い

μPD78F4928, 78F4928Yは, μPD784927, 784927YのマスクROMを128 Kバイトのフラッシュ・メモリに書き換えた製品です。相違点を表1 - 1に示します。

表1 - 1 μPD784928サブシリーズ / μPD784928Yサブシリーズ製品間の違い

項 目 \ 品 名	μPD784927, μPD784927Y	μPD784928, μPD784928Y	μPD78F4928, μPD78F4928Y
内部ROM容量	マスクROM		フラッシュ・メモリ
	96 Kバイト	128 Kバイト	
内部RAM容量	2048バイト	3584バイト	
内部メモリ容量選択レジスタ (IMS)	なし		あり
IC端子	あり		なし
V _{PP} 端子	なし		あり
電气的特性	個別の製品のデータ・シートを参照してください。		

2. 端子機能

2.1 ポート端子 (1/2)

端 子 名 称	入出力	兼用端子	機 能	
P00-P07	入出力	リアルタイム 出力ポート	8ビット入出力ポート（ポート0） ・ 1ビット単位で入力 / 出力の指定可能 ・ ソフトウェア・プルアップ抵抗の接続の指定可能	
P20	入力	NMI	4ビット入力ポート（ポート2）	
P21-P23		INTP0-INTP2	・ ソフトウェア・プルアップ抵抗の接続の指定可能（P22, P23のみ）	
P30-P32	入出力	PTO00-PTO02	8ビット入出力ポート（ポート3）	
P33		SI2/BUSY	・ 1ビット単位で入力 / 出力の指定可能	
P34		SO2	・ ソフトウェア・プルアップ抵抗の接続の指定可能	
P35		SCK2		
P36, P37		PWM1, PWM0		
P40-P47		入出力	-	8ビット入出力ポート（ポート4） ・ 1ビット単位で入力 / 出力の指定可能 ・ ソフトウェア・プルアップ抵抗の接続の指定可能 ・ LEDダイレクト・ドライブ可能
P50-P57	入出力	-	8ビット入出力ポート（ポート5） ・ 1ビット単位で入力 / 出力の指定可能 ・ ソフトウェア・プルアップ抵抗の接続の指定可能	
P60	入出力	STRB/CLO	8ビット入出力ポート（ポート6）	
P61		SCK1/BUZ	・ 1ビット単位で入力 / 出力の指定可能	
P62		SO1	・ ソフトウェア・プルアップ抵抗の接続の指定可能	
P63		SI1		
P64		DFGMON/BUZ		
P65		DPGMON/HWIN		
P66		CFGMON/PWM4		
P67		CTLMON/PWM5		
P70-P77	入力	ANI0-ANI7	8ビット入力ポート（ポート7）	
P80	入出力	リアルタイム	疑似V _{SYNC} 出力対応	7ビット入出力ポート（ポート8） ・ 1ビット単位で入力 / 出力の指定可能 ・ ソフトウェア・プルアップ抵抗の接続の指定可能
P82		出力ポート	HASW出力対応	
P83			ROTC出力対応	
P84		PWM2/SDA ^注		
P85		PWM3/SCL ^注		
P86		PTO10		
P87		PTO11		
P90		入出力	ENV	7ビット入出力ポート（ポート9）
P91-P95	KEY0-KEY4		・ 1ビット単位で入力 / 出力の指定可能	
P96	-		・ ソフトウェア・プルアップ抵抗の接続の指定可能	

注 μPD784928Yサブシリーズのみ内蔵しています。

2.1 ポート端子 (2/2)

端 子 名 称	入出力	兼用端子	機 能
P100	入力	DPGIN	4ビット入力ポート (ポート10)
P101		REEL1IN	
P102		REEL0IN/INTP3	
P103		CSYNCIN	
P110-P113	入力	ANI8-ANI11	4ビット入力ポート (ポート11)

2.2 ポート以外の端子 (1/2)

端 子 名 称	入出力	兼用端子	機 能
REEL0IN	入力	P102/INTP3	リールFG入力
REEL1IN		P101	
DFGIN		-	ドラムFG, PFG入力 (3値)
DPGIN		P100	ドラムPG入力
CFGIN		-	キャプスタンFG入力
CSYNCIN		P103	コンボジットSYNC入力
CFGCPIN		-	CFGコンパレータ入力
CFGAMPO	出力	-	CFGアンプ出力
PTO00	出力	P30	スーパ・タイマ・ユニットのプログラマブル・タイマ出力
PTO01		P31	
PTO02		P32	
PTO10		P86	
PTO11		P87	
PWM0	出力	P37	スーパ・タイマ・ユニットのPWM出力
PWM1		P36	
PWM2		P84/SDA ^注	
PWM3		P85/SCL ^注	
PWM4		P66/CFGMON	
PWM5		P67/CTLMON	
HASW	出力	P82	ヘッド・アンプ・スイッチ信号出力
ROTC	出力	P83	クロマ・ローテーション信号出力
ENV	入力	P90	エンベロープ信号入力
SI1	入力	P63	シリアル・データ入力 (シリアル・インタフェース・チャンネル1)
SO1	出力	P62	シリアル・データ出力 (シリアル・インタフェース・チャンネル1)
SCK1	入出力	P61/BUZ	シリアル・クロック入出力 (シリアル・インタフェース・チャンネル1)
SI2	入力	P33/BUSY	シリアル・データ入力 (シリアル・インタフェース・チャンネル2)
SO2	出力	P34	シリアル・データ出力 (シリアル・インタフェース・チャンネル2)
SCK2	入出力	P35	シリアル・クロック入出力 (シリアル・インタフェース・チャンネル2)
BUSY	入力	P33/SI2	シリアル・ビジィ信号入力 (シリアル・インタフェース・チャンネル2)
STRB	出力	P60/CLO	シリアル・ストローブ信号出力 (シリアル・インタフェース・チャンネル2)
SDA ^注	入出力	P84/PWM2	I ² Cバス・データ入出力
SCL ^注	入出力	P85/PWM3	I ² Cバス・クロック入出力

注 μPD784928Yサブシリーズのみ内蔵しています。

2.2 ポート以外の端子 (2/2)

端 子 名 称	入出力	兼用端子	機 能
ANI0-ANI7	アナログ入力	P70-P77	A/Dコンバータのアナログ信号入力
ANI8-ANI11		P110-P113	
CTLIN	-	-	CTLアンプ入力容量接続
CTLOUT1	出力	-	CTLアンプ出力
CTLOUT2	入出力	-	ロジック信号入力 / CTLアンプ出力
RECCTL + , RECCTL -	入出力	-	RECCTL信号出力 / PBCTL信号入力
CTLDLY	-	-	外部時定数接続 (RECCTL再書き込み用)
VREFC	-	-	VREFアンプ用AC接地
DFGMON	出力	P64/BUZ	ドラムFG信号出力
DPGMON		P65/HWIN	ドラムPG信号出力
CFGMON		P66/PWM4	CFG信号出力
CTLMON		P67/PWM5	CTL信号出力
NMI	入力	P20	ノンマスカブル割り込み要求入力
INTP0-INTP2	入力	P21-P23	外部割り込み要求入力
INTP3	入力	P102/REEL0IN	
KEY0-KEY4	入力	P91-P95	キー入力信号入力
CLO	出力	P60/STRB	クロック出力
BUZ	出力	P61/SCK1	ブザー出力
		P64/DFGMON	
HWIN	入力	P65/DPGMON	ハードウェア時計カウンタの外部入力
RESET	入力	-	リセット入力
X1	入力	-	メイン・システム・クロック発振用クリスタル接続
X2	-		
XT1	入力	-	サブシステム・クロック発振用クリスタル接続 時計用クロック発振用クリスタル接続
XT2	-		
AV _{DD1}	-	-	アナログ・アンプ部分への正電源供給
AV _{DD2}	-	-	A/Dコンバータおよびアナログ回路入力バッファ部分への正電源供給
AV _{SS1}	-	-	アナログ・アンプ部分のGND電位
AV _{SS2}	-	-	A/Dコンバータおよびアナログ回路入力バッファ部分のGND電位
AV _{REF}	-	-	A/Dコンバータの基準電圧入力
V _{DD}	-	-	ディジタル部への正電源供給
V _{SS}	-	-	ディジタル部のGND電位
IC	-	-	内部接続されています。V _{SS} に直接接続してください。

2.3 端子の入出力回路と未使用端子の処理

表2 - 1に各端子の入出力回路タイプと未使用端子の処理の処理方法を示します。また、図2 - 1は各タイプの回路です。

表2 - 1 各端子の入出力回路タイプと未使用時の処理方法 (1/2)

端 子	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P07	5-A	入出力	入力時：V _{DD} に接続してください。 出力時：オープンにしてください。
P20/NMI	2	入力	V _{DD} に接続してください。
P21/INTP0			V _{DD} またはV _{SS} に接続してください。
P22/INTP1, P23/INTP2	2-A		V _{DD} に接続してください。
P30/PTO00-P32/PTO02	5-A	入出力	入力時：V _{DD} に接続してください。 出力時：オープンにしてください。
P33/SI2/BUSY	8-A		
P34/SO2	5-A		
P35/SCK2	8-A		
P36/PWM1, P37/PWM0	5-A		
P40-P47			
P50-P57			
P60/STRB/CLO			
P61/SCK1/BUZ	8-A		
P62/SO1	5-A		
P63/SI1	8-A		
P64/DFGMON/BUZ	5-A		
P65/HWIN/DPGMON	8-A		
P66/PWM4/CFGMON	5-A		
P67/PWM5/CTLMON			
P70/ANI0-P77/ANI7	9	入力	V _{SS} に接続してください。
P80	5-A	入出力	入力時：V _{DD} に接続してください。 出力時：オープンにしてください。
P82/HASW			
P83/ROTC			
P84/PWM2/SDA ^注	10-A		
P85/PWM3/SCL ^注			
P86/PTO10	5-A		
P87/PTO11			
P90/ENV			
P91/KEY0-P95/KEY4	8-A		
P96	5-A		
P100/DPGIN	-	入力	ENDRUM = 0 , またはENDRUM = 1かつSELPGSEPA = 0の場合：V _{SS} に接続してください。
P101/REEL1IN			ENREEL = 0の場合：V _{SS} に接続してください。
P102/REEL0IN/INTP3			
P103/CSYNCIN			ENCSYN = 0の場合：V _{SS} に接続してください。

注 μPD784928Yサブシリーズのみ内蔵しています。

表 2 - 1 各端子の入出力回路タイプと未使用時の処理方法 (2/2)

端 子	入出力回路タイプ	入出力	未使用時の推奨接続方法
P110/ANI8-P113/ANI11	9	入力	V _{SS} に接続してください。
RECCTL + , RECCTL -	-	入出力	ENCTL = 0かつENREC = 0の場合：V _{SS} に接続してください。
DFGIN	-	入力	ENDRUM = 0の場合：V _{SS} に接続してください。
CFGIN, CFGCPIN			ENCAP = 0の場合：V _{SS} に接続してください。
CTLOUT1	-	出力	オープンにしてください。
CTLOUT2	-	入出力	ENCTL = 0かつENCOMP = 0の場合：V _{SS} に接続してください。 ENCTL = 1の場合：オープンにしてください。
CFGAMPO	-	出力	オープンにしてください。
CTLIN	-	-	ENCTL = 0の場合：オープンにしてください。
VREFC			ENCTL = 0かつENCAP = 0かつENCOMP = 0の場合：オープンにしてください。
CTLDLY			オープンにしてください。
AV _{DD1} , AV _{DD2}	-	-	V _{DD} に接続してください。
AV _{REF} , AV _{SS1} , AV _{SS2}			V _{SS} に接続してください。
RESET	2	-	-
XT1	-	-	V _{SS} に接続してください。
XT2			オープンにしてください。
IC			V _{SS} に直接接続してください。

備考 ENCTL : アンプ・コントロール・レジスタ (AMPC) のビット 1

ENREC : アンプ・モード・レジスタ 0 (AMPM0) のビット 7

ENDRUM : アンプ・コントロール・レジスタ (AMPC) のビット 2

SELPGSEPA : アンプ・モード・レジスタ 0 (AMPM0) のビット 2

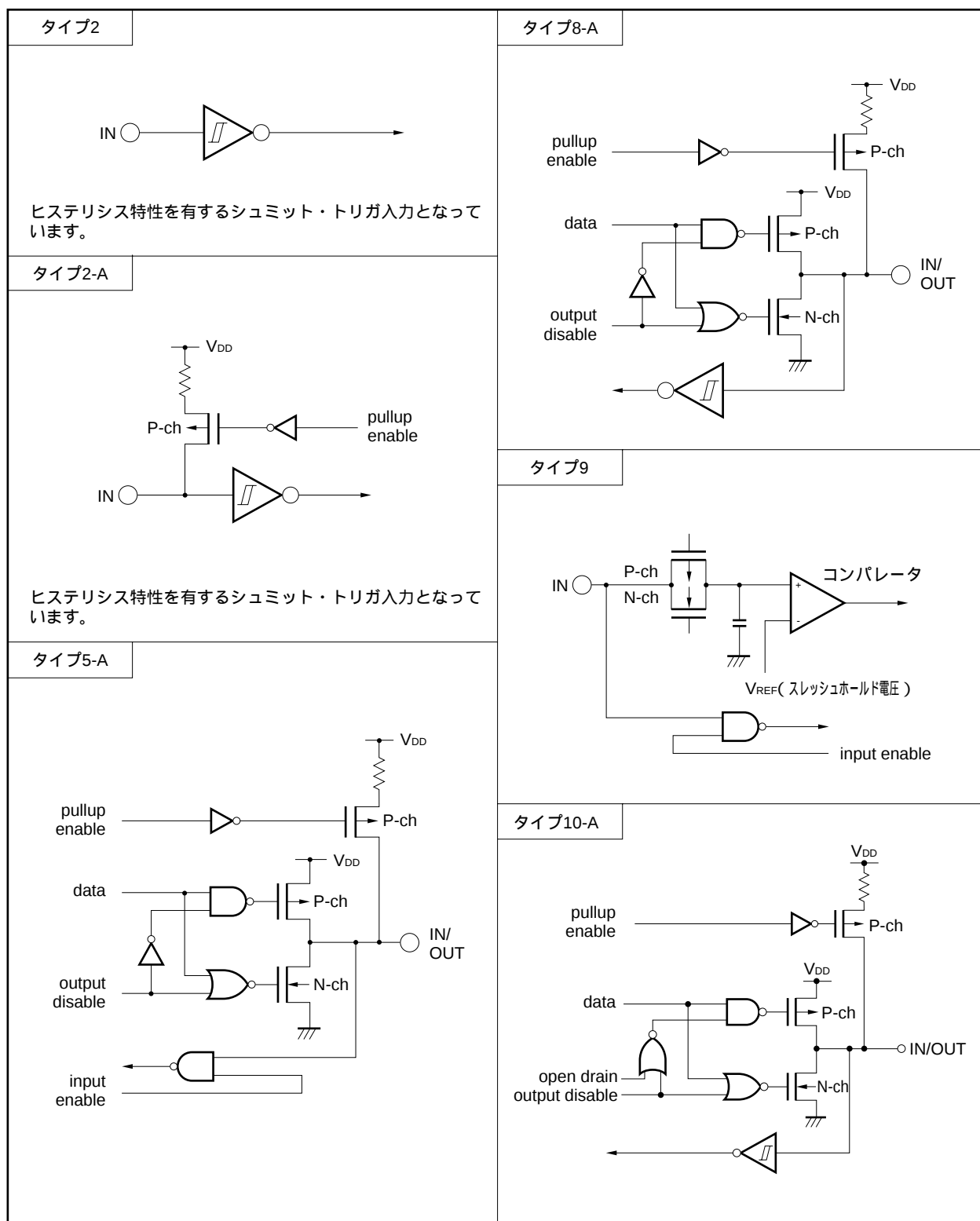
ENCAP : アンプ・コントロール・レジスタ (AMPC) のビット 3

ENCSYN : アンプ・コントロール・レジスタ (AMPC) のビット 5

ENREEL : アンプ・コントロール・レジスタ (AMPC) のビット 6

ENCOMP : アンプ・コントロール・レジスタ (AMPC) のビット 4

図 2 - 1 端子の入出力回路一覧



3．内部ブロック機能

3.1 CPUレジスタ

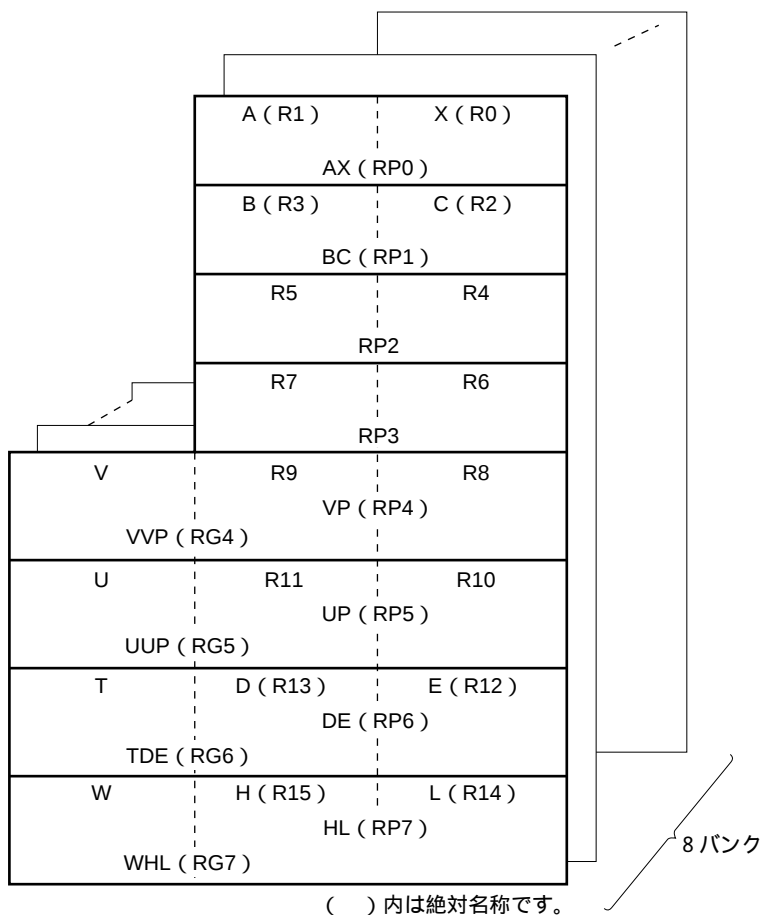
3.1.1 汎用レジスタ

8ビットの汎用レジスタ16本で構成されています。また、8ビット汎用レジスタ2本を組み合わせると16ビット汎用レジスタとして使用できます。さらに、16ビット汎用レジスタのうち4本は、アドレス拡張用の8ビット・レジスタと組み合わせると24ビット・アドレス指定用レジスタとして使用できます。

これらのレジスタ・セットは8バンク用意されており、ソフトウェアまたはコンテキスト・スイッチング機能により切り替えて使用できます。

アドレス拡張用のV, U, T, Wレジスタを除いた汎用レジスタは、内部RAMにマッピングされています。

図3 - 1 汎用レジスタ構成

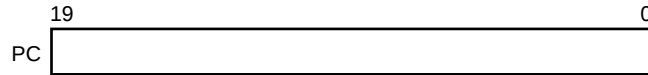


注意 R4, R5, R6, R7, RP2, RP3は、PSWのRSSビットを1にすることで、それぞれ、X, A, C, B, AX, BCレジスタとして使用できますが、そのような使い方はしないでください。RSSビットの機能は、78K/IVシリーズの将来の製品では削除する予定です。

3.1.2 その他のCPUレジスタ

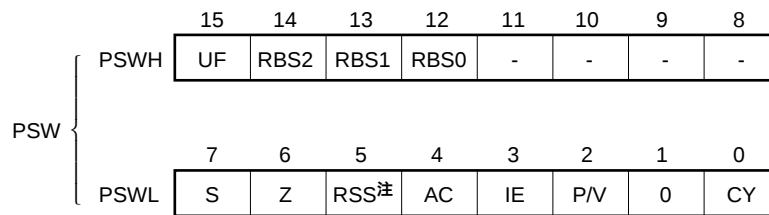
(1) プログラム・カウンタ

20ビットのプログラム・カウンタです。プログラムの実行により自動的に更新されます。



(2) プログラム・ステータス・ワード

CPUの各種状態を保持するレジスタです。プログラムの実行により自動的に更新されます。

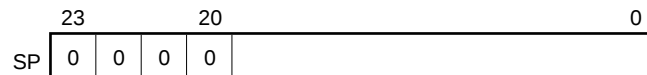


注 本フラグは、78K^{II} シリーズとの互換性を保つために用意されているフラグです。78K^{II} シリーズ用のソフトウェアを流用する場合を除いて、必ず0にしてください。

(3) スタック・ポインタ

スタックの先頭アドレスを保持する24ビットのポインタです。

上位4ビットには、必ず0を書き込んでください。



3.2 メモリ空間

1 Mバイトのメモリ空間をアクセスできます。LOCATION命令によって、内部データ領域（特殊機能レジスタおよび内部RAM）のマッピングを選択できます。また、LOCATION命令は、リセット解除後に必ず実行する必要があり、2回以上使用することはできません。

★（１）LOCATION 0H命令を実行した場合

内部データ領域と内部ROM領域は、次のようになります。

品 名	内部データ領域	内部ROM領域
μ PD784927, 784927Y	0F700H-0FFFFH	00000H-0F6FFH 10000H-17FFFH
μ PD784928, 784928Y	0F100H-0FFFFH	00000H-0F0FFH 10000H-1FFFFH

備考 内蔵しているROMのうち、内部データ領域と重なる次の領域は、LOCATION 0H命令実行時には使用できません。

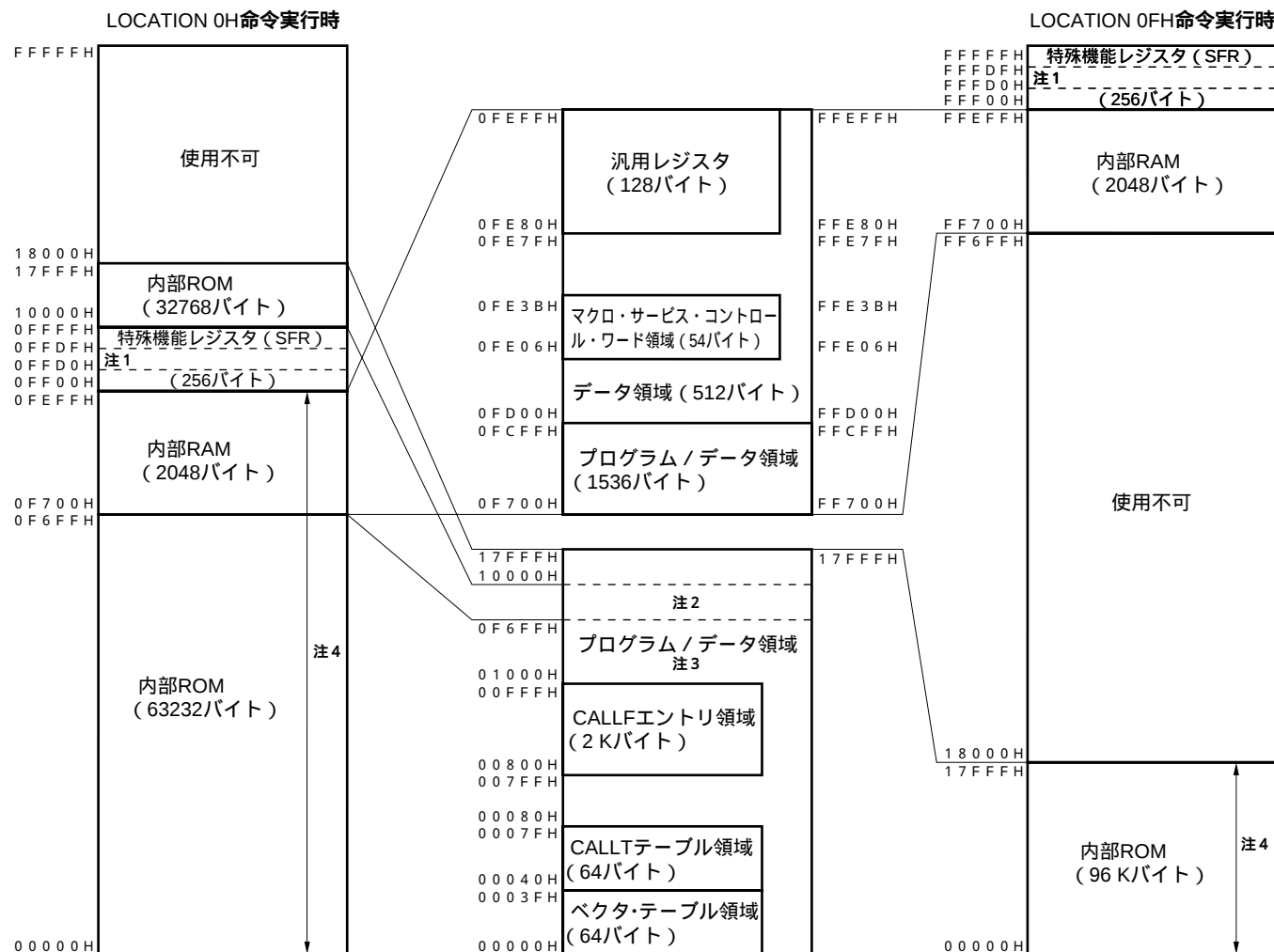
品 名	使用不可領域
μ PD784927, 784927Y	0F700H-0FFFFH（2304バイト）
μ PD784928, 784928Y	0F100H-0FFFFH（3840バイト）

★（２）LOCATION 0FH命令を実行した場合

内部データ領域と内部ROM領域は、次のようになります。

品 名	内部データ領域	内部ROM領域
μ PD784927, 784927Y	FF700H-FFFFFFH	00000H-17FFFH
μ PD784928, 784928Y	FF100H-FFFFFFH	00000H-1FFFFH

図3 - 2 μPD784927, 784927Yのメモリ・マップ



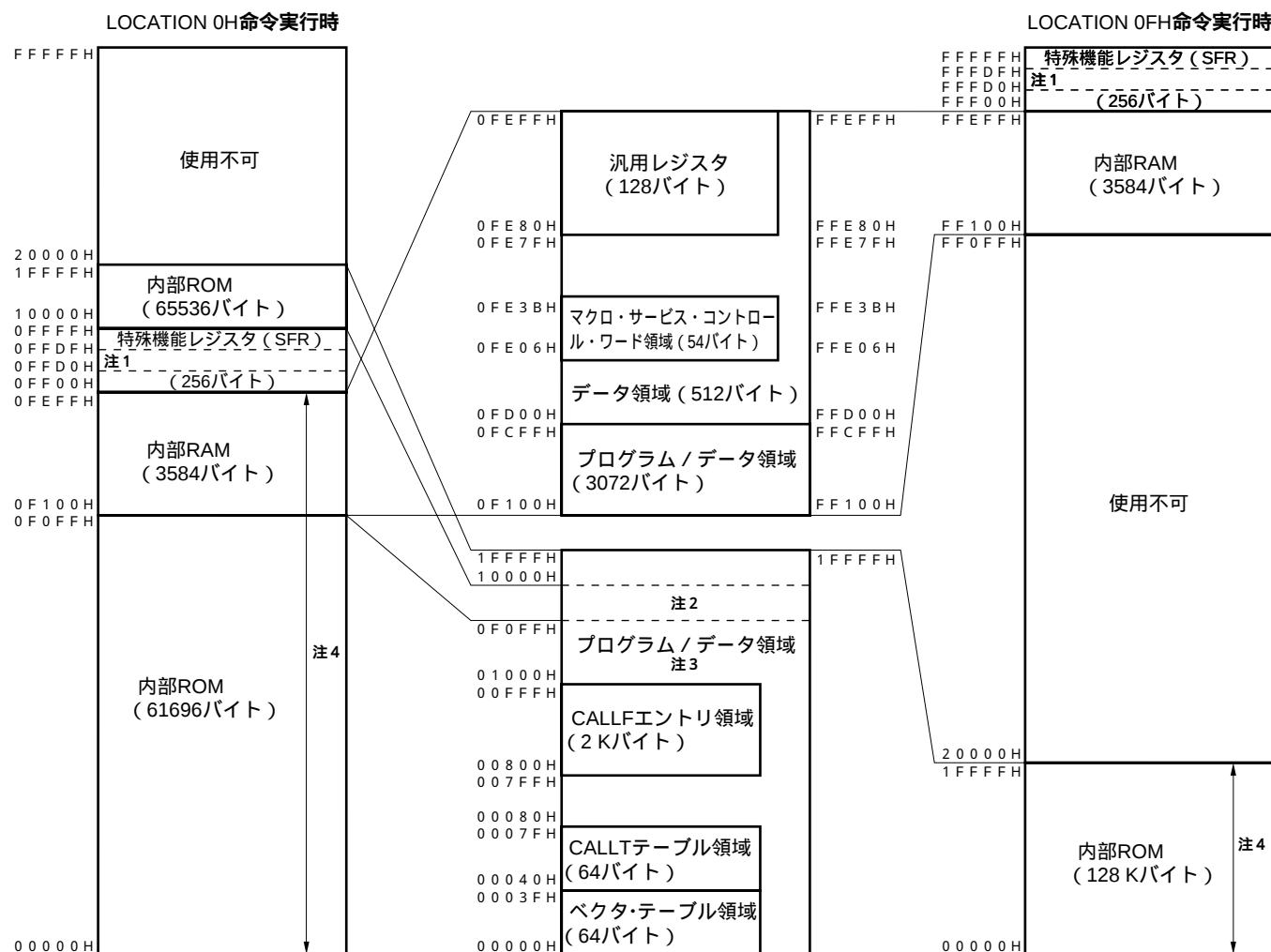
注1．外部メモリ拡張モードでアクセス

2．この領域の2304バイトは、LOCATION 0FH命令実行時のみ内部ROMとして使用できます

3．LOCATION 0H命令実行時：96000バイト，LOCATION 0FH命令実行時：98304バイト

4．ベース領域，リセットまたは割り込みによるエントリ領域。ただし，リセットについては内部RAMを除く

★ 図3 - 3 μPD784928, 784928Yのメモリ・マップ



注1 . 外部メモリ拡張モードでアクセス

2 . この領域の3840バイトは、LOCATION 0FH命令実行時のみ内部ROMとして使用できます

3 . LOCATION 0H命令実行時: 127232バイト, LOCATION 0FH命令実行時: 131072バイト

4 . ベース領域, リセットまたは割り込みによるエントリ領域。ただし, リセットについては内部RAMを除く

3.3 特殊機能レジスタ (SFR)

内蔵周辺ハードウェアのモード・レジスタ、コントロール・レジスタなどの特別な機能が割り付けられたレジスタで、FF00H-FFFFHの256バイトの空間にマッピングされています。

注意 この領域内で、SFRの割り付けられていないアドレスをアクセスしないでください。誤ってアクセスすると、μPD784927がデッドロック状態となることがあります。デッドロック状態は、リセット入力によってのみ解除されます。

表3 - 1 に特殊機能レジスタ (SFR) の一覧を示します。表中の項目の意味は次のようになります。

- ・略号.....内蔵されたSFRを示す記号。NEC製アセンブラ (RA78K4) では予約語になっています。
Cコンパイラ (CC78K4) では #pragma sfr 指令により、sfr変数として使用できます。
- ・R/W.....該当するSFRが読み出し / 書き込みが可能かどうかを示します。
R/W : 読み出し (Read) / 書き込み (Write) 可能
R : 読み出し (Read) のみ
W : 書き込み (Write) のみ
- ・ビット長.....該当するSFRのビット長 (語長) を示します。
- ・操作可能ビット単位...該当するSFRを操作する場合に、適応可能な操作ビット単位を示します。16ビット操作可能なSFRはオペランドのsfrpに記述でき、アドレスで指定する場合は偶数アドレスを記述します。
1ビット操作可能なSFRは、ビット操作命令に記述できます。
- ・リセット解除後.....RESET入力時の各レジスタの状態を示します。

注意 表3 - 1 に示すアドレスは、LOCATION 0H命令実行時のアドレスです。LOCATION 0FH命令実行時には、表中のアドレスの値に " F0000H " を加えてください。

表 3 - 1 特殊機能レジスタ一覧 (1/5)

アドレス	特殊機能レジスタ (SFR) 名称	略 号	R/W	ビット長	操作可能ビット単位			リセット解除後
					1ビット	8ビット	16ビット	
FF00H	ポート 0	P0	R/W	8	○	○	-	不定
FF02H	ポート 2	P2	R	8	○	○	-	
FF03H	ポート 3	P3	R/W	8	○	○	-	
FF04H	ポート 4	P4		8	○	○	-	
FF05H	ポート 5	P5		8	○	○	-	
FF06H	ポート 6	P6		8	○	○	-	
FF07H	ポート 7	P7	R	8	○	○	-	
FF08H	ポート 8	P8	R/W	8	○	○	-	
FF09H	ポート 9	P9		8	○	○	-	
FF0AH	ポート 10	P10	R	8	○	○	-	
FF0BH	ポート 11	P11		8	○	○	-	
FF0EH	ポート 0 バッファ・レジスタ L	P0L	R/W	8	○	○	-	
FF0FH	ポート 0 バッファ・レジスタ H	P0H		8	○	○	-	
FF10H	タイマ 0 コンペア・レジスタ 0	CR00		16	-	-	○	0 クリア
FF11H	イベント・カウンタ・コンペア・レジスタ 0	ECC0	W	8	-	○	-	
FF12H	タイマ 0 コンペア・レジスタ 1	CR01	R/W	16	-	-	○	
FF13H	イベント・カウンタ・コンペア・レジスタ 1	ECC1	W	8	-	○	-	
FF14H	タイマ 0 コンペア・レジスタ 2	CR02	R/W	16	-	-	○	
FF15H	イベント・カウンタ・コンペア・レジスタ 2	ECC2	W	8	-	○	-	
FF16H	タイマ 1 コンペア・レジスタ 0	CR10	R/W	16	-	-	○	
FF17H	イベント・カウンタ・コンペア・レジスタ 3	ECC3	W	8	-	○	-	
FF18H	タイマ 1 コンペア・レジスタ 1	CR11	R/W	16	-	-	○	
FF1AH	タイマ 1 コンペア・レジスタ 2	CR12	R	16	-	-	○	
FF1CH	タイマ 1 コンペア・レジスタ 3	CR13	R/W	16	-	-	○	
FF1EH	タイマ 2 コンペア・レジスタ 0	CR20		16	-	-	○	
FF20H	ポート 0 モード・レジスタ	PM0		8	○	○	-	FFH
FF23H	ポート 3 モード・レジスタ	PM3		8	○	○	-	
FF24H	ポート 4 モード・レジスタ	PM4		8	○	○	-	
FF25H	ポート 5 モード・レジスタ	PM5		8	○	○	-	
FF26H	ポート 6 モード・レジスタ	PM6		8	○	○	-	
FF28H	ポート 8 モード・レジスタ	PM8		8	○	○	-	FDH
FF29H	ポート 9 モード・レジスタ	PM9		8	○	○	-	7FH
FF2EH	リアルタイム出力ポート 0 コントロール・レジスタ	RTPC		8	○	○	-	00H
FF30H	タイマ・レジスタ 0	TM0	R	16	-	-	○	0 クリア
FF31H	イベント・カウンタ	EC	R/W	8	-	○	-	
FF32H	タイマ・レジスタ 1	TM1	R	16	-	-	○	
FF34H	フリー・ランニング・カウンタ (ビット 0-15)	FRCL		16	-	-	○	0000H
FF35H	フリー・ランニング・カウンタ (ビット 16-21)	FRCH		8	-	○	-	00H

備考 0 クリア：リセット解除後 16 クロック以内にカウンタを 0 に初期化（初期化以前の内容は不定）。

表 3 - 1 特殊機能レジスタ一覧 (2/5)

アドレス	特殊機能レジスタ (SFR) 名称	略 号	R/W	ビット長	操作可能ビット単位			リセット解除後
					1ビット	8ビット	16ビット	
FF36H	タイマ・カウンタ 2	TM2	R	16	-	-	○	0 クリア
FF38H	タイマ・コントロール・レジスタ 0	TMC0	R/W	8	○	○	-	00H
FF39H	タイマ・コントロール・レジスタ 1	TMC1		8	○	○	-	
FF3AH	タイマ・コントロール・レジスタ 2	TMC2		8	○	○	-	
FF3BH	タイマ・コントロール・レジスタ 3	TMC3		8	○	○	-	00 × 00000
FF3CH	タイマ・カウンタ 3	TM3	R	16	-	-	○	0 クリア
FF3DH	タイマ・コントロール・レジスタ 4	TMC4	R/W	8	○	○	-	× × 000000
FF3EH	タイマ・カウンタ 4	TM4	R	16	-	-	○	0 クリア
FF43H	ポート 3 モード・コントロール・レジスタ	PMC3	R/W	8	○	○	-	00H
FF48H	ポート 8 モード・コントロール・レジスタ	PMC8		8	○	○	-	
FF4BH	コントロール・モード・セレクト・レジスタ	CMS		8	○	○	-	
FF4DH	トリガ・ソース選択レジスタ 0	TRGS0		8	○	○	-	
FF4EH	プルアップ抵抗オプション・レジスタ L	PUOL		8	○	○	-	
FF4FH	プルアップ抵抗オプション・レジスタ H	PUOH		8	○	○	-	
FF50H	入力コントロール・レジスタ	ICR		8	○	○	-	10H
FF51H	アップ/ダウン・カウンタ・カウント・レジスタ	UDC		8	-	○	-	不定
FF52H	イベント・ディバイダ・カウンタ	EDV	R	8	-	○	-	0 クリア
FF53H	キャプチャ・モード・レジスタ	CPTM	R/W	8	○	○	-	00H
FF54H	タイマ・カウンタ 5	TM5	R	16	-	-	○	0 クリア
FF56H	タイマ 3 キャプチャ・レジスタ 0	CPT30		16	-	-	○	
FF58H	タイマ 0 出力モード・レジスタ	TOM0	W	8	-	○	-	× × 000000
FF59H	タイマ 0 出力コントロール・レジスタ	TOC0		8	-	○	-	00H
FF5AH	タイマ 1 出力モード・レジスタ	TOM1 ^{注1}	R/W	8	-	○	-	80H
FF5BH	タイマ 1 出力コントロール・レジスタ	TOC1	W	8	-	○	-	00H
FF5CH	タイマ 3 コンペア・レジスタ 0	CR30	R/W	16	-	-	○	0 クリア
FF5EH	タイマ 3 コンペア・レジスタ 1	CR31		16	-	-	○	
FF60H	ポート 8 バッファ・レジスタ L	P8L		8	○	○	-	000 × 0 × 0 ×
FF63H	アップ/ダウン・カウンタ・コンペア・レジスタ	UDCC	W	8	-	○	-	不定
FF65H	トリガ・ソース選択レジスタ 1	TRGS1	R/W	8	○	○	-	00H
FF66H	ポート 6 モード・コントロール・レジスタ	PMC6		8	○	○	-	
FF68H	A/Dコンバータ・モード・レジスタ	ADM		16	-	-	○	0000H
		ADML ^{注2}		8	○	○	-	
FF6AH	A/D変換結果レジスタ	ADCR	R	8	-	○	-	不定
FF6CH	ハードウェア時計カウンタ 0	HW0	R/W	16	-	-	○	リセットに 影響されない
FF6EH	ハードウェア時計カウンタ 1	HW1	R	16	-	-	○	

注 1 . TOM1を読み込むと、RECドライバの書き込みシーケンスが読めます (ビット 0, 1)。

2 . ADMLはADMの下位 8 ビットを指し、1 ビット操作および 8 ビット操作可能です。

備考 0 クリア：リセット解除後16クロック以内にカウンタを 0 に初期化 (初期化以前の内容は不定)。

表 3 - 1 特殊機能レジスタ一覧 (3/5)

アドレス	特殊機能レジスタ (SFR) 名称	略 号	R/W	ビット長	操作可能ビット単位			リセット解除後
					1ビット	8ビット	16ビット	
FF6FH	時計モード・レジスタ	WM	R/W	8	○	○	-	00××0×00
FF70H	PWMコントロール・レジスタ0	PWMC0		8	○	○	-	05H
FF71H	PWMコントロール・レジスタ1	PWMC1		8	○	○	-	15H
FF72H	PWM0 モジュロ・レジスタ	PWM0		16	-	-	○	0000H
FF73H	PWM2 モジュロ・レジスタ	PWM2		8	-	○	-	00H
FF74H	PWM1 モジュロ・レジスタ	PWM1		16	-	-	○	0000H
FF75H	PWM3 モジュロ・レジスタ	PWM3		8	-	○	-	00H
FF76H	PWM5 モジュロ・レジスタ	PWM5		16	-	-	○	0000H
FF77H	PWM4 モジュロ・レジスタ	PWM4		8	-	○	-	00H
FF78H	イベント・ディバイダ・コントロール・レジスタ	EDVC	W	8	-	○	-	0クリア
FF79H	クロック出力モード・レジスタ	CLOM	R/W	8	○	○	-	00H
FF7AH	タイマ4 キャプチャ/コンペア・レジスタ0	CR40		16	-	-	○	0クリア
FF7BH	クロック・コントロール・レジスタ	CC		8	○	○	-	00H
FF7CH	タイマ4 キャプチャ・レジスタ1	CR41	R	16	-	-	○	0クリア
FF7DH	キャプチャ/コンペア・コントロール・レジスタ	CRC	W	8	-	○	-	00H
FF7EH	タイマ5 コンペア・レジスタ	CR50	R/W	16	-	-	○	0クリア
FF80H	I ² Cコントロール・レジスタ ^注	IICC		8	○	○	-	00H
FF82H	I ² Cクロック選択レジスタ ^注	IICCL		8	○	○	-	
FF84H	シリアル・モード・レジスタ1	CSIM1		8	○	○	-	
FF85H	シリアル・シフト・レジスタ1	SIO1		8	-	○	-	
FF86H	スレーブ・アドレス・レジスタ	SVA		8	○	○	-	00H
FF88H	シリアル・モード・レジスタ2	CSIM2		8	○	○	-	不定
FF89H	シリアル・シフト・レジスタ2	SIO2		8	-	○	-	
FF8AH	シリアル・コントロール・レジスタ2	CSIC2		8	-	○	-	
FF8CH	I ² Cバス・ステータス・レジスタ ^注	IICS	R	8	○	○	-	
FF8EH	I ² Cバス・シフト・レジスタ ^注	IIC	R/W	8	○	○	-	00H
FF90H	アンプ・モード・レジスタ2	AMPM2		8	○	○	-	
FF91H	ヘッド・アンプ・スイッチ出力コントロール・レジスタ	HAPC		8	○	○	-	
FF94H	アンプ・コントロール・レジスタ	AMPC		8	○	○	-	
FF95H	アンプ・モード・レジスタ0	AMPM0		8	○	○	-	
FF96H	アンプ・モード・レジスタ1	AMPM1		8	○	○	-	
FF97H	ゲイン・コントロール・レジスタ	CTLM		8	○	○	-	
FF98H	VISS検出回路シフト・レジスタ0	VSFT0		16	-	-	○	
FF99H								
FF9AH	VISS検出回路シフト・レジスタ1	VSFT1		16	-	-	○	
FF9BH								

注 μPD784928Yサブシリーズのみ内蔵しています。

備考 0クリア：リセット解除後16クロック以内にカウンタを0に初期化（初期化以前の内容は不定）。

表 3 - 1 特殊機能レジスタ一覧 (4/5)

アドレス	特殊機能レジスタ (SFR) 名称	略 号		R/W	ビット長	操作可能ビット単位			リセット解除後
						1ビット	8ビット	16ビット	
FFA0H	外部割り込みモード・レジスタ	INTM0		R/W	8	○	○	-	000000×0
FFA1H	外部キャプチャ・モード・レジスタ 1	INTM1			8	○	○	-	00H
FFA2H	外部キャプチャ・モード・レジスタ 2	INTM2			8	○	○	-	
FFA3H	VISS検出回路コントロール・レジスタ	VDC			8	○	○	-	
FFA4H	VISS検出回路アップ/ダウン・カウンタ・レジスタ	VUDC			8	-	○	-	
FFA5H	VUDC値設定レジスタ	VUDST			8	-	○	-	
FFA6H	キー割り込みコントロール・レジスタ	KEYC			8	○	○	-	70H
FFA7H	VISSパルス・パターン設定レジスタ	VPS			8	-	○	-	00H
FFA8H	インサース・プライオリティ・レジスタ	ISPR		R	8	○	○	-	
FFAAH	割り込みモード・コントロール・レジスタ	IMC		R/W	8	○	○	-	80H
FFACH	割り込みマスク・フラグ・レジスタ	MK0L	MK0		8	○	○	○	FFH
FFADH		MK0H			8	○	○		
FFAEH		MK1L	MK1		8	○	○	○	
FFAFH		MK1H			8	○	○		
FFB0H	FRCキャプチャ・レジスタ 0L	CPT0L		R	16	-	-	○	0クリア
FFB1H	FRCキャプチャ・レジスタ 0H	CPT0H			8	-	○	-	
FFB2H	FRCキャプチャ・レジスタ 1L	CPT1L			16	-	-	○	
FFB3H	FRCキャプチャ・レジスタ 1H	CPT1H			8	-	○	-	
FFB4H	FRCキャプチャ・レジスタ 2L	CPT2L			16	-	-	○	
FFB5H	FRCキャプチャ・レジスタ 2H	CPT2H			8	-	○	-	
FFB6H	FRCキャプチャ・レジスタ 3L	CPT3L			16	-	-	○	
FFB7H	FRCキャプチャ・レジスタ 3H	CPT3H			8	-	○	-	
FFB8H	FRCキャプチャ・レジスタ 4L	CPT4L			16	-	-	○	
FFB9H	FRCキャプチャ・レジスタ 4H	CPT4H			8	-	○	-	
FFBAH	FRCキャプチャ・レジスタ 5L	CPT5L			16	-	-	○	
FFBBH	FRCキャプチャ・レジスタ 5H	CPT5H			8	-	○	-	
FFBDH	V _{SYNC} 分離回路コントロール・レジスタ	VSC		R/W	8	○	○	-	00H
FFBEH	V _{SYNC} 分離回路アップ/ダウン・カウンタ・レジスタ	VSUDC			8	-	○	-	
FFBFH	V _{SYNC} 分離回路コンペア・レジスタ	VSCMP			8	-	○	-	FFH
FFC0H	スタンバイ・コントロール・レジスタ	STBC			8	-	○	-	0011×000
FFC4H	実行速度選択レジスタ	MM		W	8	-	○	-	20H
FFCEH	CPUクロック・ステータス・レジスタ	PCS		R	8	○	○	-	00H
FFCFH	発振安定時間指定レジスタ	OSTS		W	8	-	○	-	
FFE0H	割り込み制御レジスタ (INTP0)	PIC0		R/W	8	○	○	-	43H
FFE1H	割り込み制御レジスタ (INTCPT3)	CPTIC3			8	○	○	-	
FFE2H	割り込み制御レジスタ (INTCPT2)	CPTIC2			8	○	○	-	
FFE3H	割り込み制御レジスタ (INTCR12)	CRIC12			8	○	○	-	
FFE4H	割り込み制御レジスタ (INTCR00)	CRIC00			8	○	○	-	

備考 0クリア：リセット解除後16クロック以内にカウンタを0に初期化（初期化以前の内容は不定）。

表 3 - 1 特殊機能レジスタ一覧 (5/5)

アドレス	特殊機能レジスタ (SFR) 名称	略 号	R/W	ビット長	操作可能ビット単位			リセット解除後
					1ビット	8ビット	16ビット	
FFE5H	割り込み制御レジスタ (INTCLR1)	CLRIC1	R/W	8	○	○	-	43H
FFE6H	割り込み制御レジスタ (INTCR10)	CRIC10		8	○	○	-	
FFE7H	割り込み制御レジスタ (INTCR01)	CRIC01		8	○	○	-	
FFE8H	割り込み制御レジスタ (INTCR02)	CRIC02		8	○	○	-	
FFE9H	割り込み制御レジスタ (INTCR11)	CRIC11		8	○	○	-	
FFEAH	割り込み制御レジスタ (INTCPT1)	CPTIC1		8	○	○	-	
FFEBH	割り込み制御レジスタ (INTCR20)	CRIC20		8	○	○	-	
FFECH	割り込み制御レジスタ (INTIIC) ^{注1}	IICIC		8	○	○	-	
FFEDH	割り込み制御レジスタ (INTTB)	TBIC		8	○	○	-	
FFEEH	割り込み制御レジスタ (INTAD)	ADIC		8	○	○	-	
FFEFH	割り込み制御レジスタ (INTP2) ^{注2}	PIC2		8	○	○	-	
	割り込み制御レジスタ (INTCR40) ^{注2}	CRIC40						
FFF0H	割り込み制御レジスタ (INTUDC)	UDCIC		8	○	○	-	
FFF1H	割り込み制御レジスタ (INTCR30)	CRIC30		8	○	○	-	
FFF2H	割り込み制御レジスタ (INTCR50)	CRIC50		8	○	○	-	
FFF3H	割り込み制御レジスタ (INTCR13)	CRIC13		8	○	○	-	
FFF4H	割り込み制御レジスタ (INTCSI1)	CSIIC1		8	○	○	-	
FFF5H	割り込み制御レジスタ (INTW)	WIC		8	○	○	-	×1000011
FFF6H	割り込み制御レジスタ (INTVISS)	VISIC		8	○	○	-	43H
FFF7H	割り込み制御レジスタ (INTP1)	PIC1		8	○	○	-	
FFF8H	割り込み制御レジスタ (INTP3)	PIC3		8	○	○	-	
FFFAH	割り込み制御レジスタ (INTCSI2)	CSIIC2		8	○	○	-	

注 1 . μPD784928Yサブシリーズのみ

2 . PIC2とCRIC40は同じアドレス (レジスタ) を指します。

備考 0クリア: リセット解除後16クロック以内にカウンタを0に初期化 (初期化以前の内容は不定)。

3.4 ポート

図3 - 4のようなポートを備えています。各ポートの機能は表3 - 2のとおりです。

図3 - 4 ポートの構成

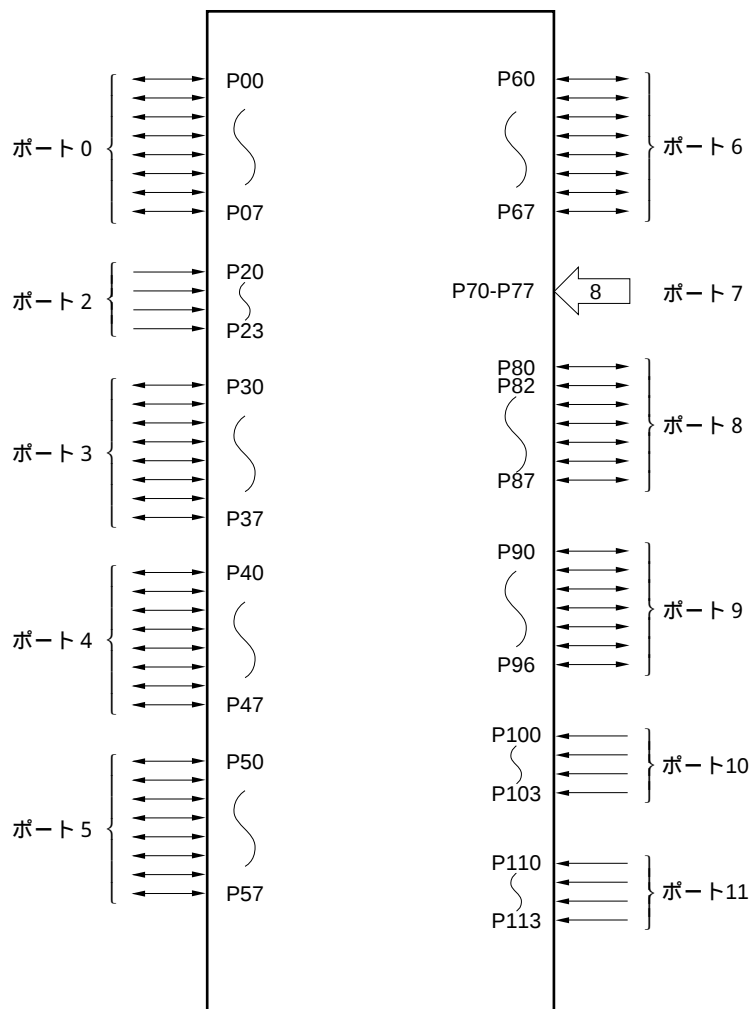


表3 - 2 ポートの機能

名 称	端子名	機 能	ソフトウェア・プルアップ抵抗の指定
ポート 0	P00-P07	1 ビット単位で入力か出力に指定可能	入力モードの端子について一括して指定
ポート 2	P20-P23	入力ポート	P22, P23端子のみ一括して指定
ポート 3	P30-P37	1 ビット単位で入力か出力に指定可能	入力モードの端子について一括して指定
ポート 4	P40-P47	1 ビット単位で入力か出力に指定可能 LEDダイレクト・ドライブ可能	
ポート 5	P50-P57	1 ビット単位で入力か出力に指定可能	
ポート 6	P60-P67		
ポート 7	P70-P77	入力ポート	プルアップ抵抗を内蔵していません
ポート 8	P80, P82-P87	1 ビット単位で入力か出力に指定可能	入力モードの端子について一括して指定
ポート 9	P90-P96		
ポート 10	P100-P103	入力ポート	プルアップ抵抗を内蔵していません
ポート 11	P110-P113		

3.5 リアルタイム出力ポート

リアルタイム出力ポートは、ポート出力ラッチとバッファ・レジスタで構成されています（図3 - 5参照）。

バッファ・レジスタにあらかじめ用意しておいたデータを、タイマ割り込みなどのトリガで出力ラッチに転送して外部に出力する機能をリアルタイム出力機能といいます。また、このように使用するポートをリアルタイム出力ポート（RTP）と呼びます。

μPD784927が内蔵しているリアルタイム出力ポートを表3 - 3に示します。

またRTPのトリガ・ソース一覧を表3 - 4に示します。

図3 - 5 RTPの構成

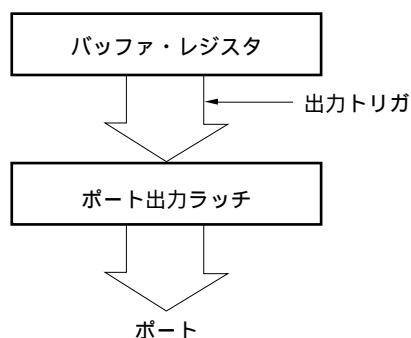


表3 - 3 RTPのビット構成

RTP	兼用機能	リアルタイム出力データのビット数	RTPとして指定可能なビット数	備 考
RTP0	ポート 0	4 ビット × 2 チャンネル または 8 ビット × 1 チャンネル	4 ビット単位	-
RTP8	ポート 8	1 ビット × 1 チャンネル と 2 ビット × 1 チャンネル	1 ビット単位	疑似VSYNC出力対応：1 チャンネル（RTP80） ヘッド・アンプ・スイッチ出力対応：1 チャンネル（RTP82） クロマ・ローテーション信号出力対応：1 チャンネル（RTP83）

表3 - 4 RTPのトリガ・ソース一覧

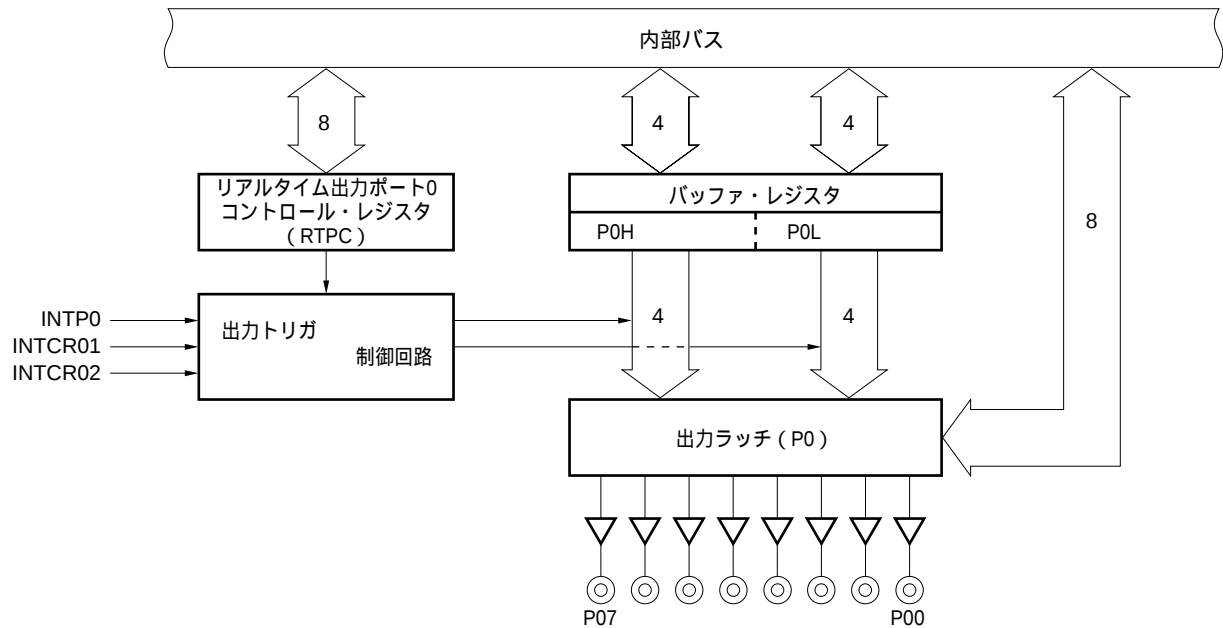
トリガ・ソース		INTCR00	INTCR01	INTCR02	INTCR13	INTCR50	INTP0	備 考
RTP								
RTP0	上位 4 ビット		○					
	下位 4 ビット			○			○	
	8 ビット一括			○			○	
RTP8	ビット 0		○	○	○	○		注 1
	ビット 2, 3	○						注 2

注 1．トリガ・ソースは、4 種類のうちいずれか 1 つを選択してください。

2．ポート・モード・コントロール・レジスタ 8（PMC8）でリアルタイム出力ポート・モードに設定すると、ヘッド・アンプ・スイッチ出力コントロール・レジスタ（HAPC）で設定するHASW、ROT-C信号を直接出力します。HASW、ROT-C信号はHSW出力（TM0-CR00一致信号）に同期しています。ただし、HAPCレジスタを書き換えるとただちに設定した信号を出力します。

図3 - 6 , 図3 - 7 にRTP0, RTP8のブロック図を示します。また, 図3 - 8 にRTP出力トリガ・ソースの種類を示します。

図3 - 6 RTP0のブロック図



備考 INTCR01 : TM0-CR01一致信号
INTCR02 : TM0-CR02一致信号

図3 - 7 RTP8のブロック図

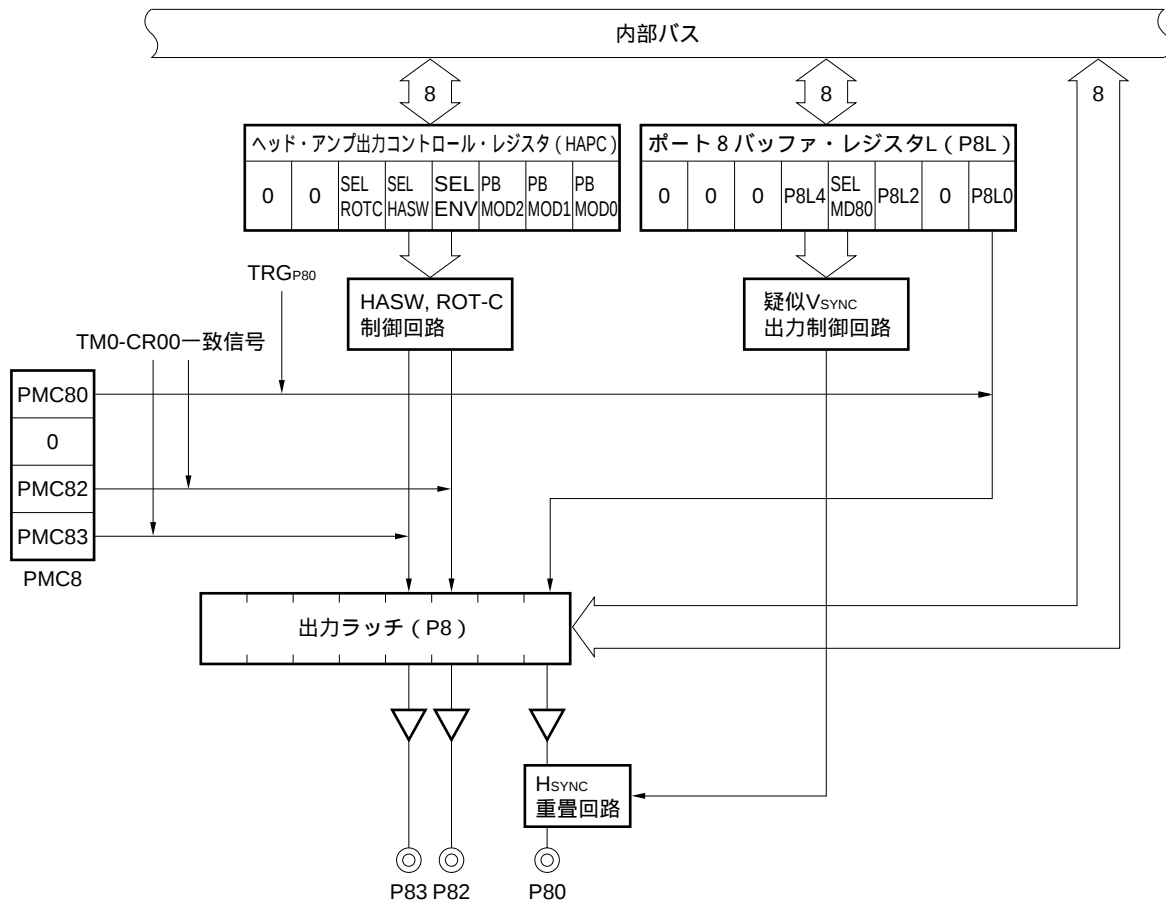
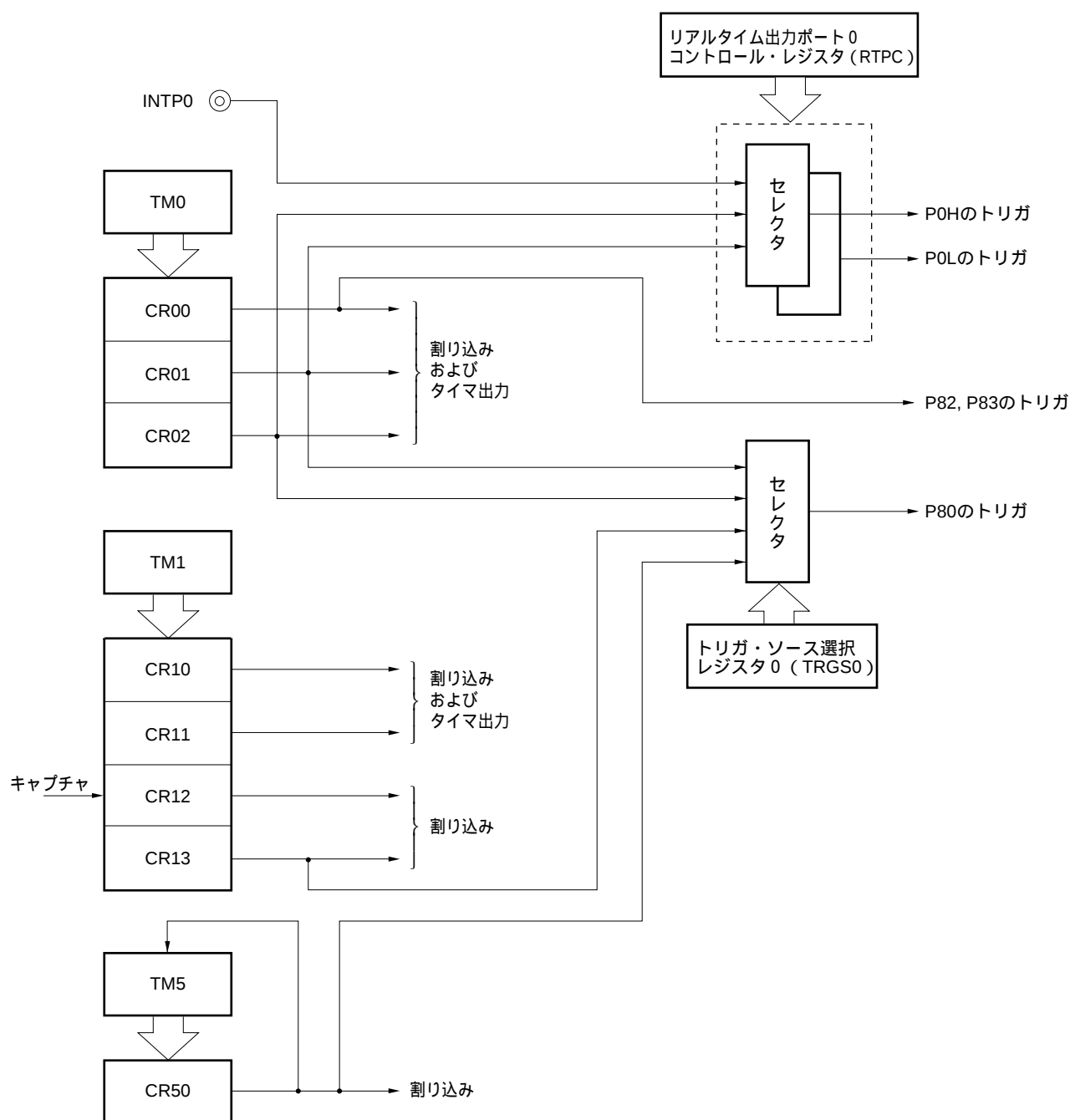


図3 - 8 RTP出力トリガ・ソースの種類



RTP80はロウ・レベル、ハイ・レベル、ハイ・インピーダンスの値をリアルタイム出力することができます。

RTP80は水平同期信号を重畳することができるので、疑似垂直同期信号の作成に使用できます。また、RTP80は疑似V_{SYNC}出力モードに設定すると、出力トリガの発生により特定のパターンを繰り返し出力します。

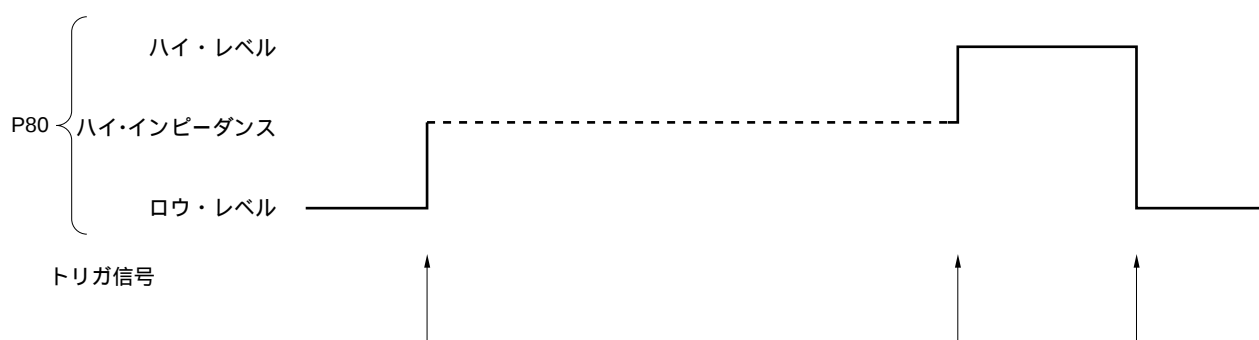
図3 - 9にRTP80の動作タイミング例を示します。

図3 - 9 RTP80の動作タイミング例

(a) H_{SYNC}信号を重畳させた場合



(b) 疑似V_{SYNC}出力モード



3.6 スーパ・タイマ・ユニット

表3 - 5 に示すタイマで構成されるスーパ・タイマ・ユニットおよび、VISS検出回路、V_{SYNC}分離回路などのVTR用特殊回路を内蔵しています。

表3 - 5 スーパ・タイマ・ユニットの構成

ユニット名	タイマ / カウンタ	分解能	最大カウント時間	レジスタ	備 考
タイマ 0	TM0 (16ビット・タイマ)	1 μs	65.5 ms	CR00	映像ヘッド・スイッチング信号の遅延制御
				CR01	音声ヘッド・スイッチング信号の遅延制御
				CR02	疑似V _{SYNC} 出力タイミング制御
	EC (8ビット・カウンタ)	-	-	ECC0, ECC1, ECC2, ECC3	内部ヘッド・スイッチング信号の作成
フリー・ランニング・ カウンタ	FRC (22ビット・カウンタ)	125 ns	524 ms	CPT0	基準位相の検出(ドラム位相制御用)
				CPT1	ドラム・モータの位相検出 (ドラム位相制御用)
				CPT2	ドラム・モータの速度検出 (ドラム速度制御用)
				CPT3	キャプスタン・モータの速度検出 (キャプスタン速度制御用)
				CPT4, CPT5	リールFGによるテープ残量検出
タイマ 1	TM1 (16ビット・タイマ)	1 μs	65.5 ms	CR10	再生時：内部基準信号の発生 記録時：V _{SYNC} 抜け対策用バッファ・オシレータ
				CR11	RECCTL出力タイミング制御
				CR12	キャプスタン・モータの位相検出 (キャプスタン位相制御用)
				CR13	ノイズ対策用V _{SYNC} マスク制御
	TM3 (16ビット・タイマ)	1 μs または 1.1 μs	65.5 ms または 71.5 ms	CR30, CR31	PBCTL信号デューティ検出タイミング制御
				CPT30	PBCTL信号周期測定
	EDV (8ビット・カウンタ)	-	-	EDVC	CFG信号の分周
タイマ 2	TM2 (16ビット・タイマ)	1 μs	65.5 ms	CR20	インターバル・タイマとして使用可能 (シスコン用)
タイマ 4	TM4 (16ビット・タイマ)	2 μs	131 ms	CR40	リモコン信号デューティ検出 (リモコン・デコード用)
				CR41	リモコン信号周期測定 (リモコン・デコード用)
タイマ 5	TM5 (16ビット・タイマ)	2 μs	131 ms	CR50	インターバル・タイマとして使用可能 (シスコン用)
アップ/ダウン・ カウンタ	UDC (5ビット・カウンタ)	-	-	UDCC	リニア・テープ・カウンタの作成
PWM出力 ユニット	-	-	-	PWM0, PWM1, PWM5	16ビット分解能(キャリア周波数62.5 kHz)
				PWM2, PWM3, PWM4	8ビット分解能(キャリア周波数62.5 kHz)

(1) タイマ0ユニット

タイマ0ユニットは、ドラム・モータのPG、FG信号からヘッド・スイッチング信号、疑似V_{SYNC}出力タイミングを作成するためのタイマ・ユニットです。

イベント・カウンタ（EC：8ビット）とコンペア・レジスタ（ECC0-ECC3）、タイマ0（TM0：16ビット）とコンペア・レジスタ（CR00-CR02）から構成されます。

また、タイマ0とコンペア・レジスタの一致信号はリアルタイム出力ポートの出力トリガとして使用できます。

(2) フリー・ランニング・カウンタ・ユニット

フリー・ランニング・カウンタ・ユニットは、ドラム・モータの速度と位相、キャプスタン・モータの速度、リール速度を検出するためのカウンタ・ユニットです。

フリー・ランニング・カウンタ（FRC）とキャプチャ・レジスタ（CPT0-CPT5）、V_{SYNC}分離回路、H_{SYNC}分離回路から構成されます。

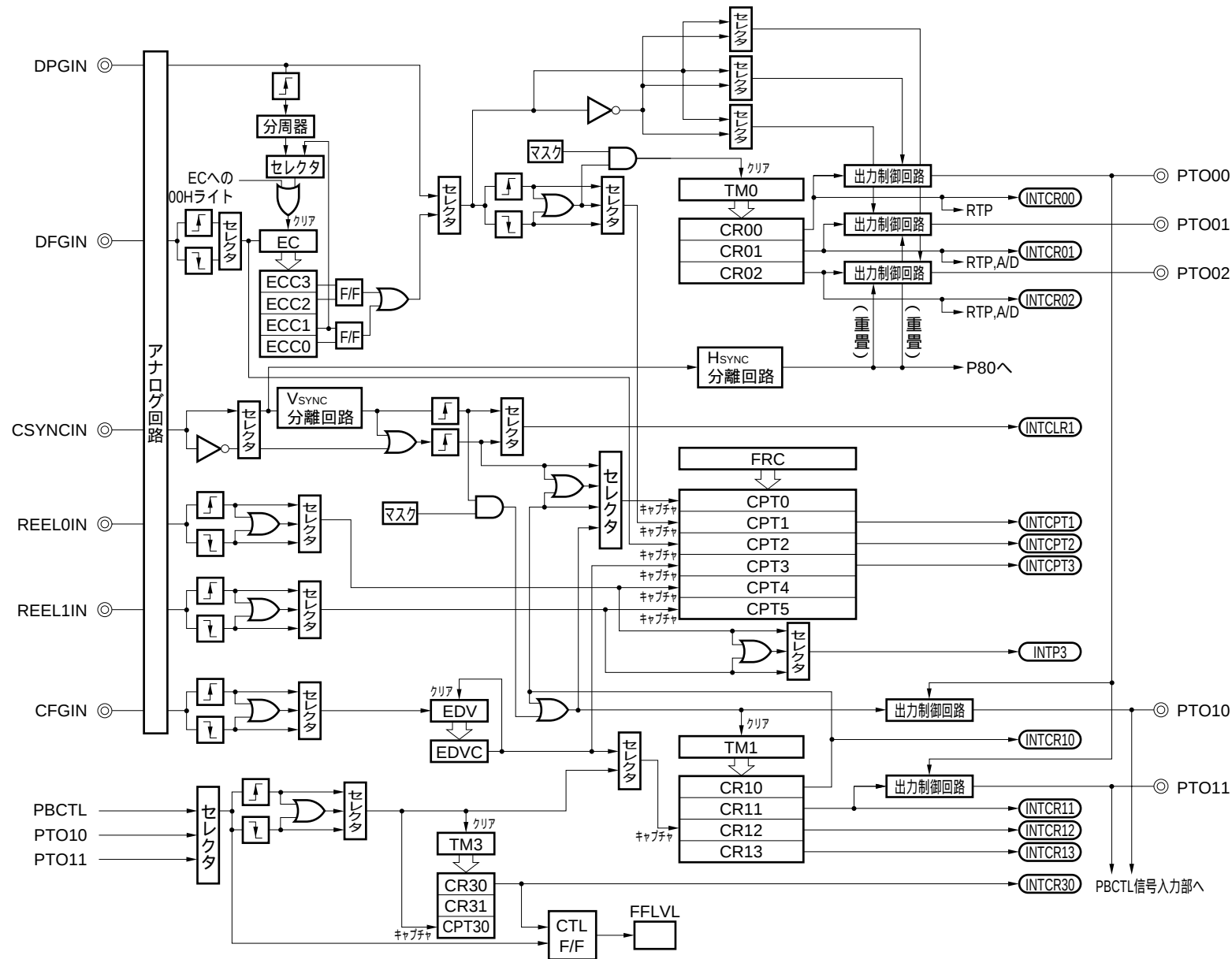
(3) タイマ1ユニット

タイマ1ユニットは、フレーム周期に同期した基準タイマで、RECCTLの作成、キャプスタン・モータの位相検出、PBCTLのデューティを検出するタイマ・ユニットです。タイマ1ユニットは次の3グループから構成されています。

- ・タイマ1（TM1）、コンペア・レジスタ（CR10、CR11、CR13）、キャプチャ・レジスタ（CR12）
- ・タイマ3（TM3）、コンペア・レジスタ（CR30、CR31）、キャプチャ・レジスタ（CPT30）
- ・イベント・ディバイダ・カウンタ（EDV）、コンペア・レジスタ（EDVC）

また、TM1-CR13一致信号はV_{SYNC}自動マスク解除やリアルタイム出力ポートの出力トリガとして使用できます。

図3 - 10 スーパ・タイマ・ユニットのブロック図 (TM0, FRC, TM1)



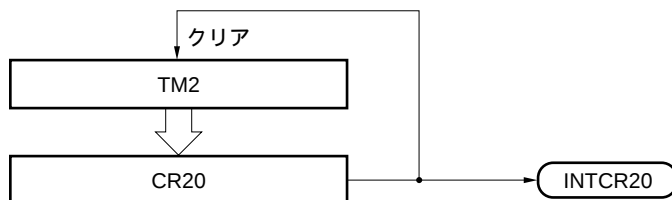
(4) タイマ2ユニット

タイマ2ユニットは汎用の16ビット・タイマです。

タイマ2 (TM2) とコンペア・レジスタ (CR20) から構成されます。

TM2-CR20一致信号でタイマをクリアし、同時に割り込み要求を発生します。

図3 - 11 タイマ2ユニットのブロック図



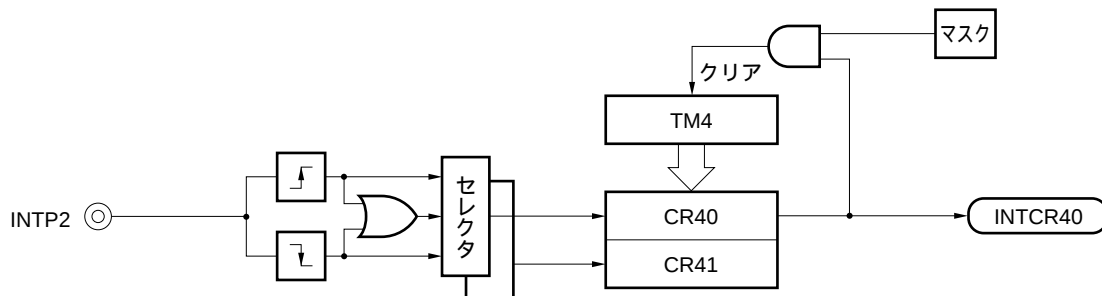
(5) タイマ4ユニット

タイマ4ユニットは汎用の16ビット・タイマです。

タイマ4 (TM4) とキャプチャ/コンペア・レジスタ (CR40) , キャプチャ・レジスタ (CR41) から構成されます。

INTP2入力でタイマの値をCR40/CR41にキャプチャします。リモコン信号のデコードなどに使用できます。

図3 - 12 タイマ4ユニットのブロック図



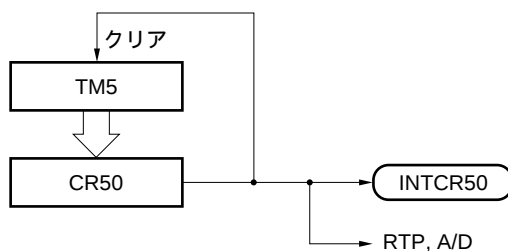
(6) タイマ5ユニット

タイマ5ユニットは汎用の16ビット・タイマです。

タイマ5 (TM5) とコンペア・レジスタ (CR50) から構成されます。

TM5-CR50一致信号でタイマをクリアし、同時に割り込み要求を発生します。

図3 - 13 タイマ5ユニットのブロック図



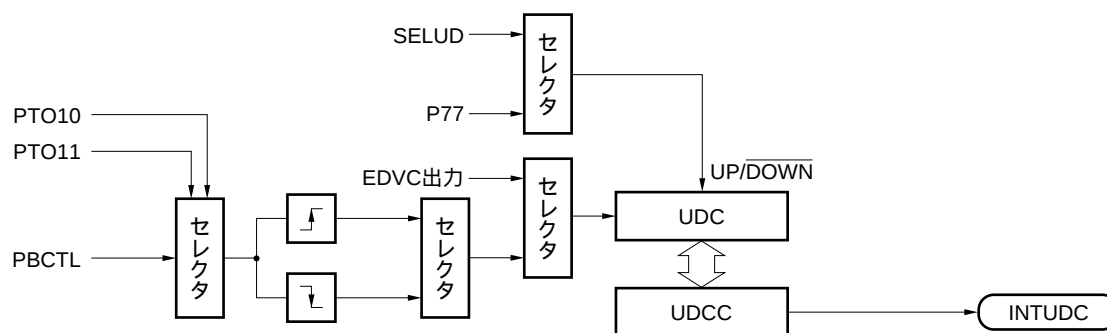
(7) アップ/ダウン・カウンタ・ユニット

アップ/ダウン・カウンタ・ユニットはリニア・タイム・カウンタを実現するためのカウンタです。

アップ/ダウン・カウンタ (UDC) とコンペア・レジスタ (UDCC) から構成されます。

PBCTLの立ち上がりエッジをアップ・カウント、立ち下がりエッジをダウン・カウントします。コンペア・レジスタとの一致またはカウンタのアンダフローで割り込み要求が発生します。

図3 - 14 アップ/ダウン・カウンタ・ユニットのブロック図



(8) PWM出力ユニット

PWM出力ユニットには16ビット精度出力3本 (PWM0, PWM1, PWM5) と、8ビット精度出力3本 (PWM2-PWM4) があります。キャリア周波数はすべて62.5 kHz ($f_{CLK} = 8 \text{ MHz}$ 時) です。

PWM0, PWM1はドラム・モータ, キャプスタン・モータの制御に使用できます。

図3 - 15 16ビットPWM出力ユニットのブロック図

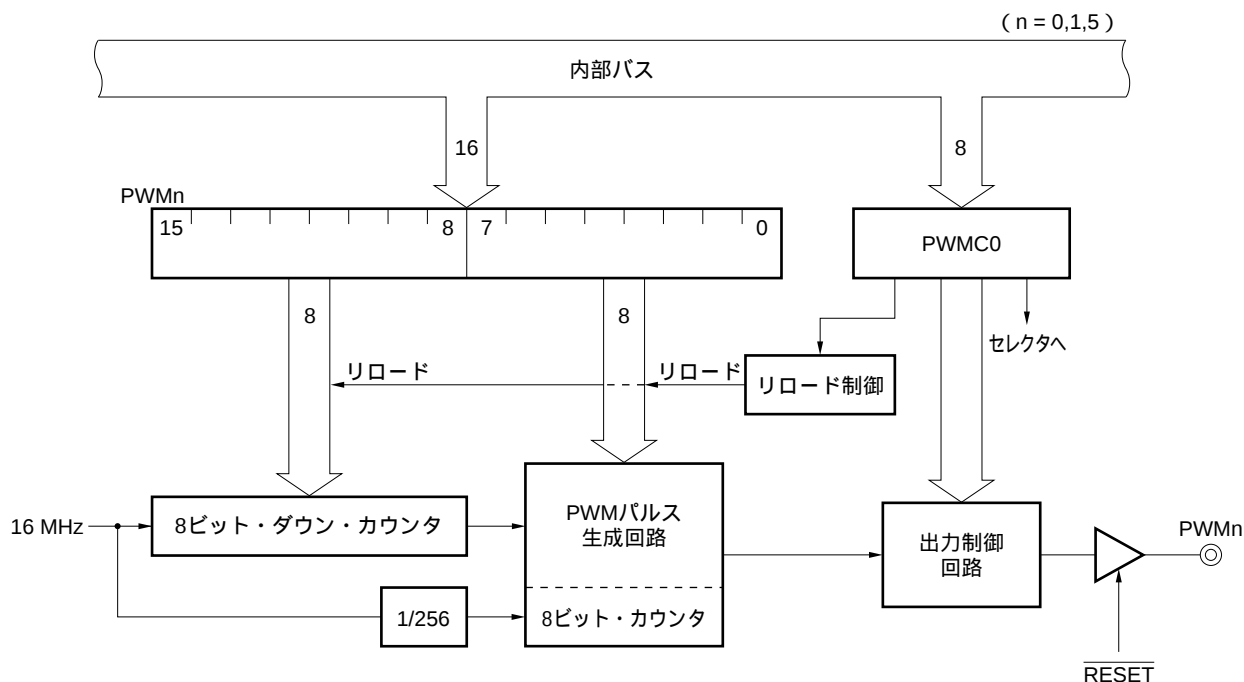
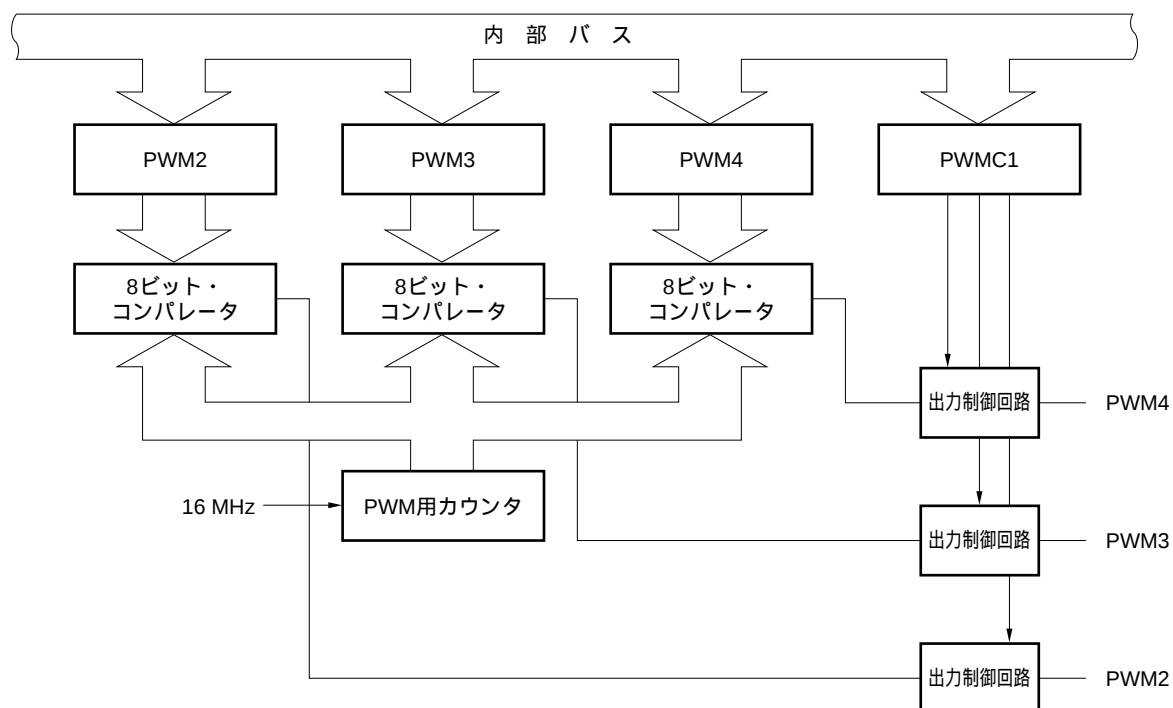
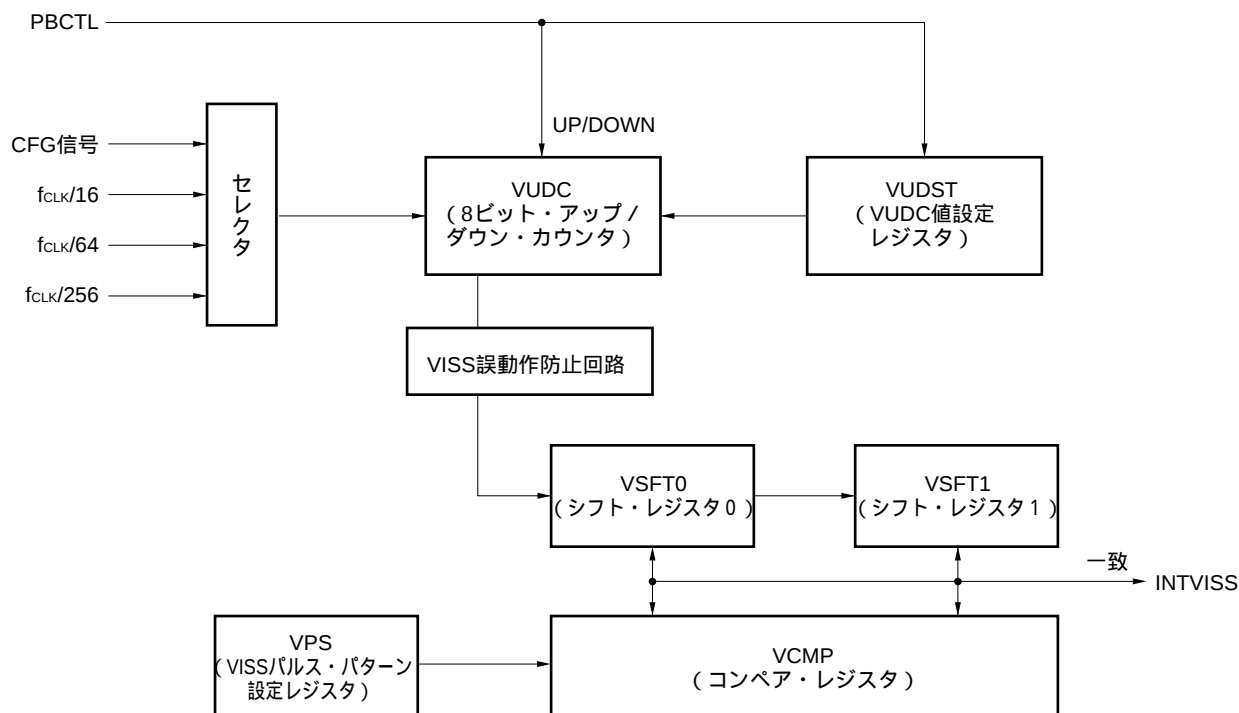


図3 - 16 8ビットPWM出力ユニットのブロック図



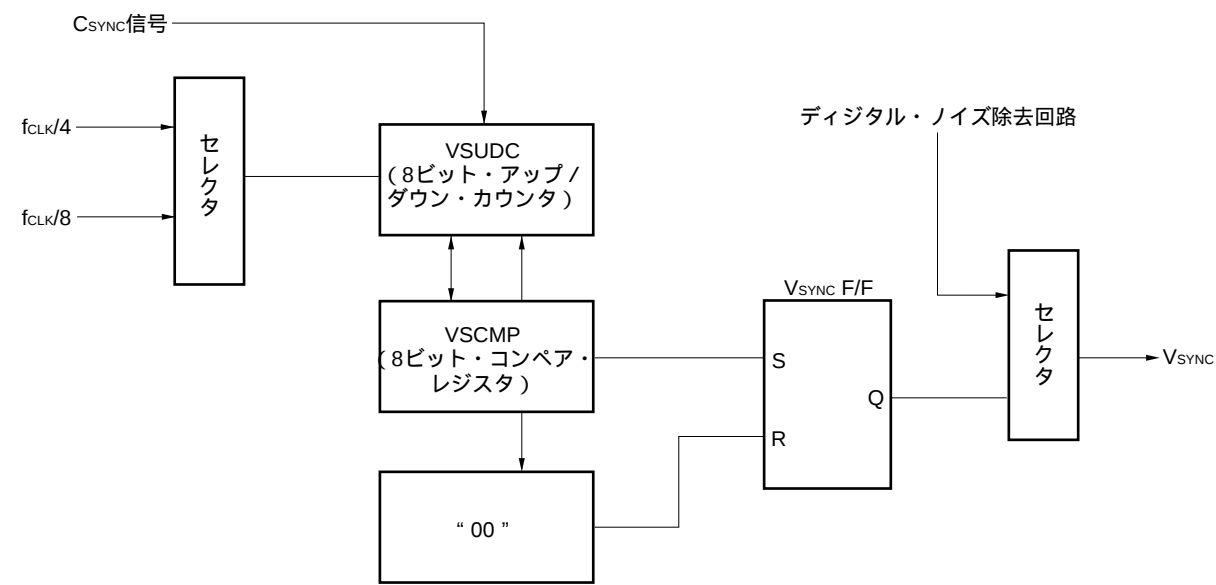
(9) VISS検出回路

図 3 - 17 VISS検出回路のブロック図



(10) V_{SYNC}分離回路

図 3 - 18 V_{SYNC}分離回路のブロック図



3.7 シリアル・インタフェース

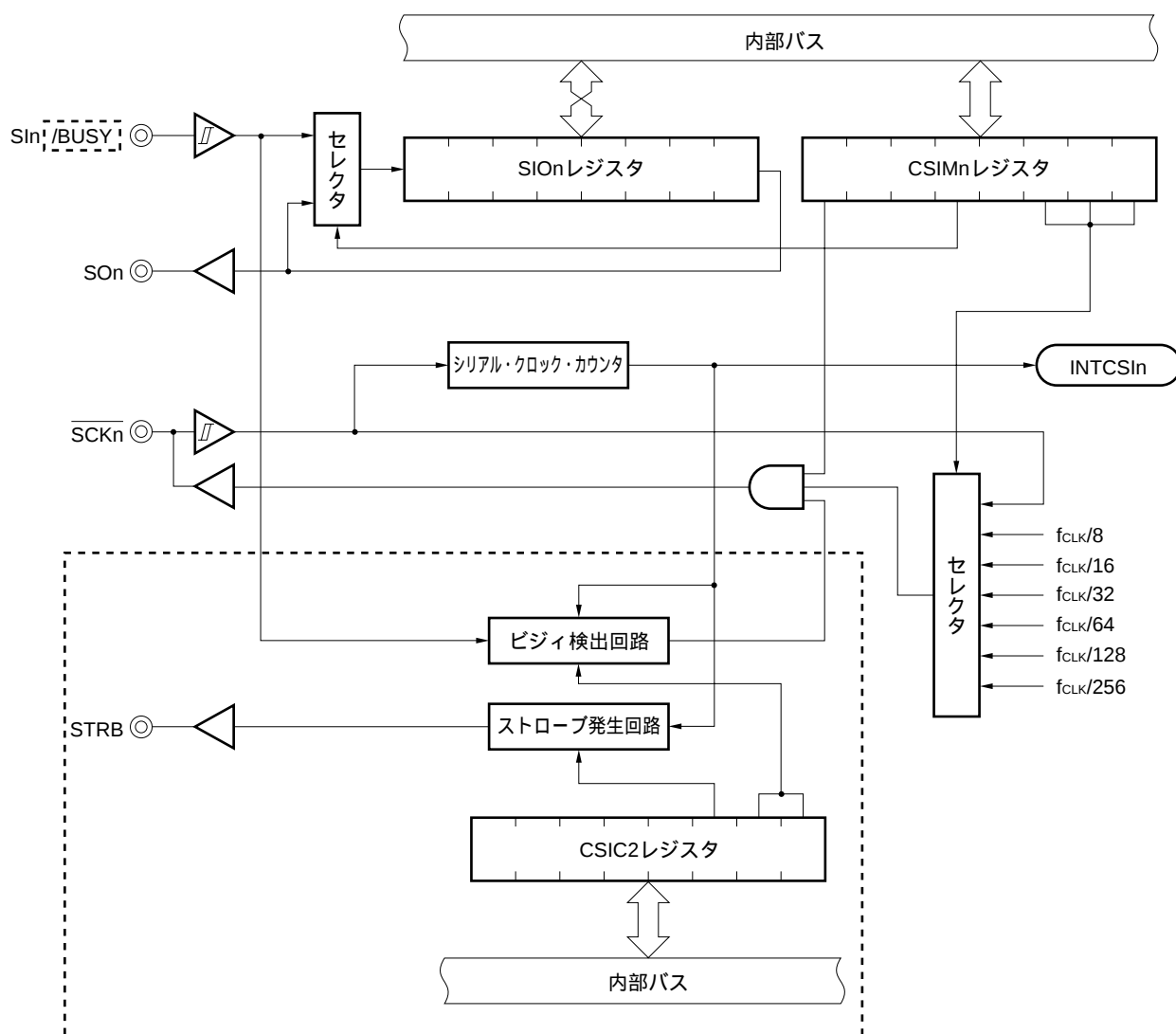
表 3 - 6 に示すシリアル・インタフェースを内蔵しています。
マクロ・サービスを使用することにより、データの自動送受信ができます。

表 3 - 6 シリアル・インタフェースの種類

名 称	機 能
シリアル・インタフェース・ チャンネル 1	・クロック同期式シリアル・インタフェース (3 線式) ・ビット長 : 8 ビット ・クロック・レート : 外部クロック/31.25 kHz/62.5 kHz/125 kHz/250 kHz/500 kHz/1 MHz (f _{CLK} = 8 MHz時) ・MSB先頭 / LSB先頭切り替え可能
シリアル・インタフェース・ チャンネル 2	・クロック同期式シリアル・インタフェース (3 線式) ・ビット長 : 8 ビット ・クロック・レート : 外部クロック/31.25 kHz/62.5 kHz/125 kHz/250 kHz/500 kHz/1 MHz (f _{CLK} = 8 MHz時) ・MSB先頭 / LSB先頭切り替え可能 ・BUSY/STRB制御機能付き
シリアル・インタフェース・ チャンネル 3	・I ² Cバス・インタフェース マルチマスタ対応

(1) シリアル・インタフェース・チャンネル1, 2

図3 - 19 シリアル・インタフェース・チャンネル n ($n=1, 2$) のブロック図



備考 破線はシリアル・インタフェース・チャンネル2のときのみ。

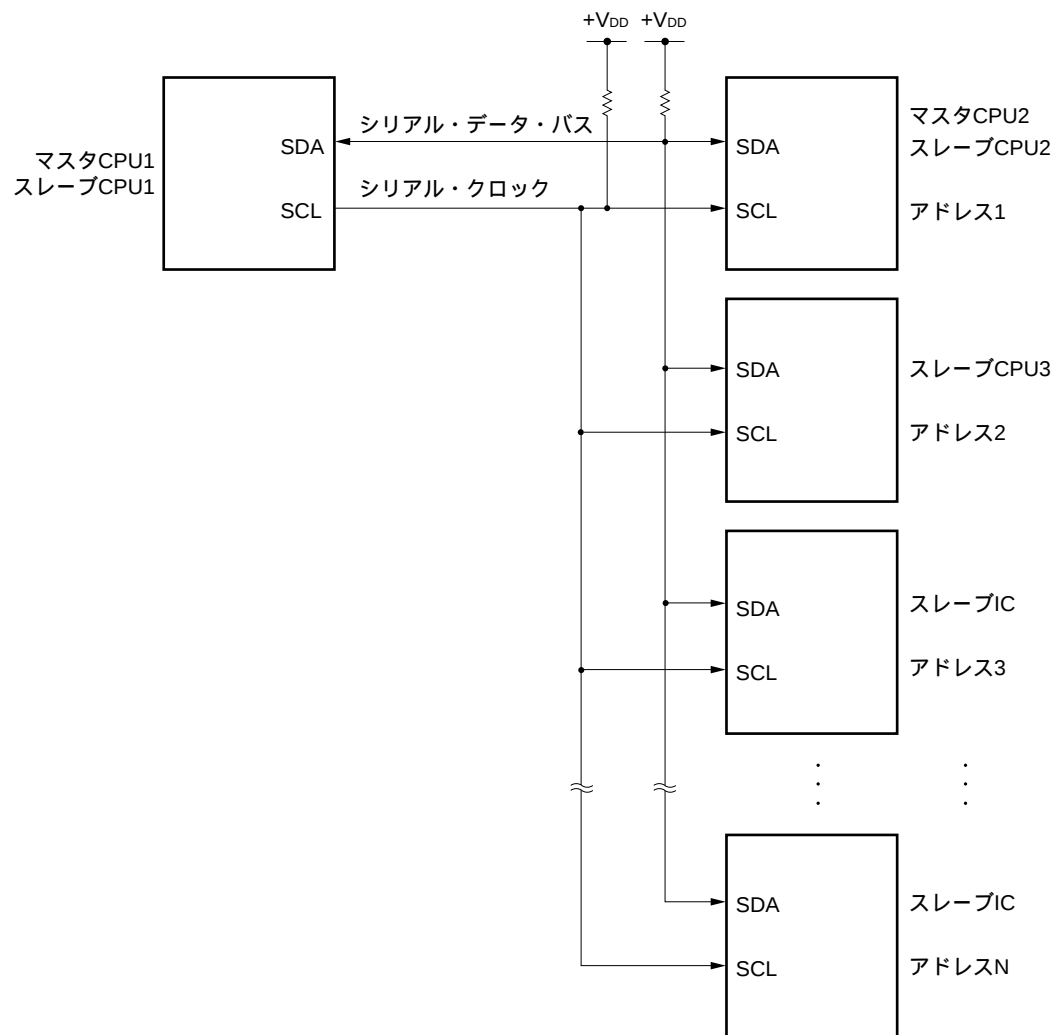
(2) シリアル・インタフェース・チャンネル3 (μPD784928Yサブシリーズのみ)

シリアル・クロック（SCL）と、シリアル・データ・バス（SDA）の2本のラインにより、複数のデバイスと8ビット・データ転送を行います。

I²Cバス・フォーマットに準拠しており、送信時、シリアル・データ・バス上に“スタート・コンディション”，“データ”，および“ストップ・コンディション”を出力できます。また、受信時には、これらのデータをハードウェアにより自動的に検出します。

またSCLとSDAはオープン・ドレイン出力になっているため、シリアル・クロック・ラインとシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

図3 - 20 シリアル・インタフェース・チャンネル3



3.8 A/Dコンバータ

12マルチプレクスト・アナログ入力（ANI0-ANI11）をもつアナログ／デジタル（A/D）コンバータを内蔵しています。

変換方式は逐次比較で変換結果を8ビットのA/D変換結果レジスタ（ADCR）に保持します（変換時間10 μs： $f_{CLK} = 8 \text{ MHz}$ 時）。

A/D変換の起動には次のモードがあります。

- ・ハードウェア・スタート：ハードウェア・トリガ^注で変換開始
- ・ソフトウェア・スタート：A/Dコンバータ・モード・レジスタ（ADM）のビット設定により変換開始

また、起動後の動作には次のモードがあります。

- ・スキャン・モード：複数のアナログ入力を順次選択し、全端子からの変換データを得ます。
- ・セレクト・モード：アナログ入力を1端子に固定し、連続的な変換データを得ます。

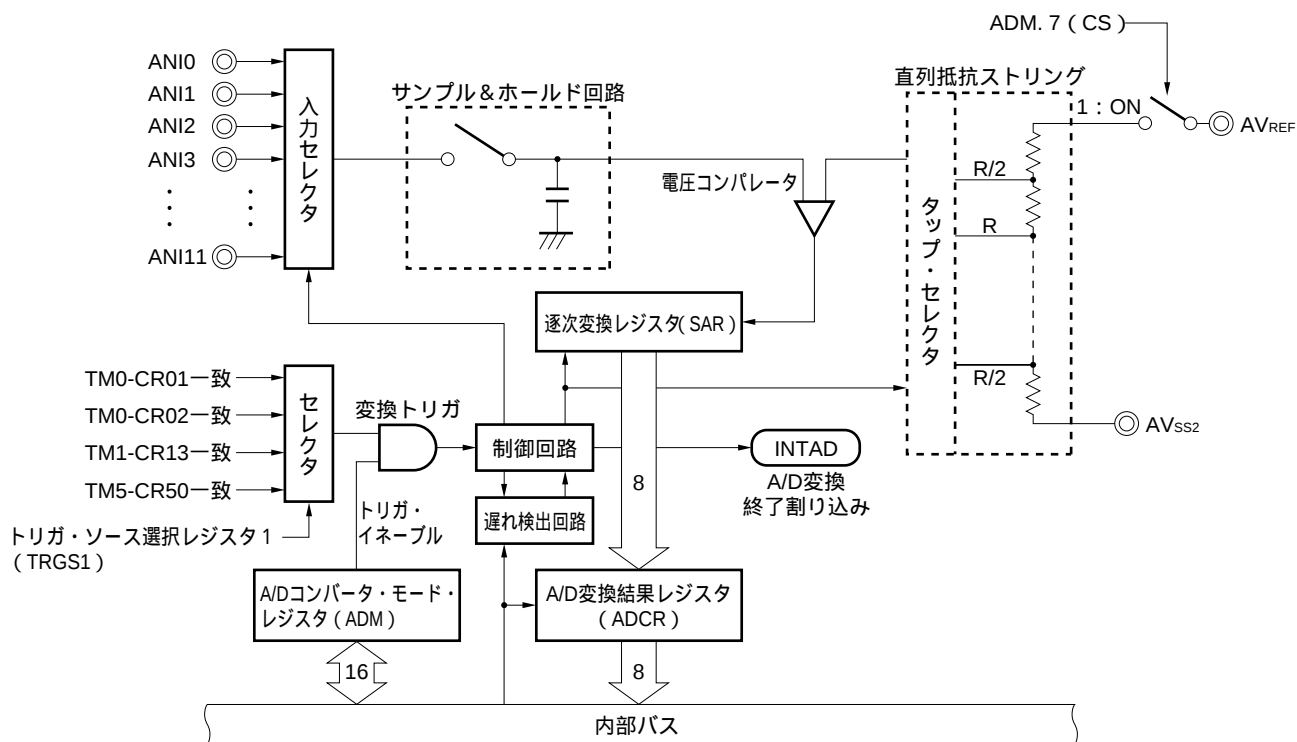
なお、変換結果をADCRへ転送すると、割り込み要求INTADが発生します。これをINTADをマクロ・サービスで処理することにより、変換結果をメモリへ連続的に転送できます。

また、ADCRの値を読み出すまで次の端子のA/D変換開始を保留するモードもあります。このモードを使用すると、割り込み禁止などによるタイミングのずれで変換結果を誤って読み出すことを防止できます。

注 ハードウェア・トリガとは次の一致信号を示し、このうちの1つをトリガ・ソース選択レジスタ1（TRGS1）で選択してください。

- ・TM0-CR01一致信号
- ・TM0-CR02一致信号
- ・TM1-CR13一致信号
- ・TM5-CR50一致信号

図3 - 21 A/Dコンバータのブロック図



3.9 VTR用アナログ回路

次に示すVTR用アナログ回路を内蔵しています。

- ・CTLアンプ
- ・RECCTLドライバ (再書き込み対応)
- ・DPGアンプ
- ・DFGアンプ
- ・DPFG分離回路 (3値分離回路)
- ・CFGアンプ
- ・リールFGコンパレータ (2チャンネル)
- ・CSYNCコンパレータ

(1) CTLアンプ/RECCTLドライバ

CTLアンプは、VTRテープに記録されているCTL信号を再生した再生コントロール信号（PBCTL信号）の増幅に使用します。

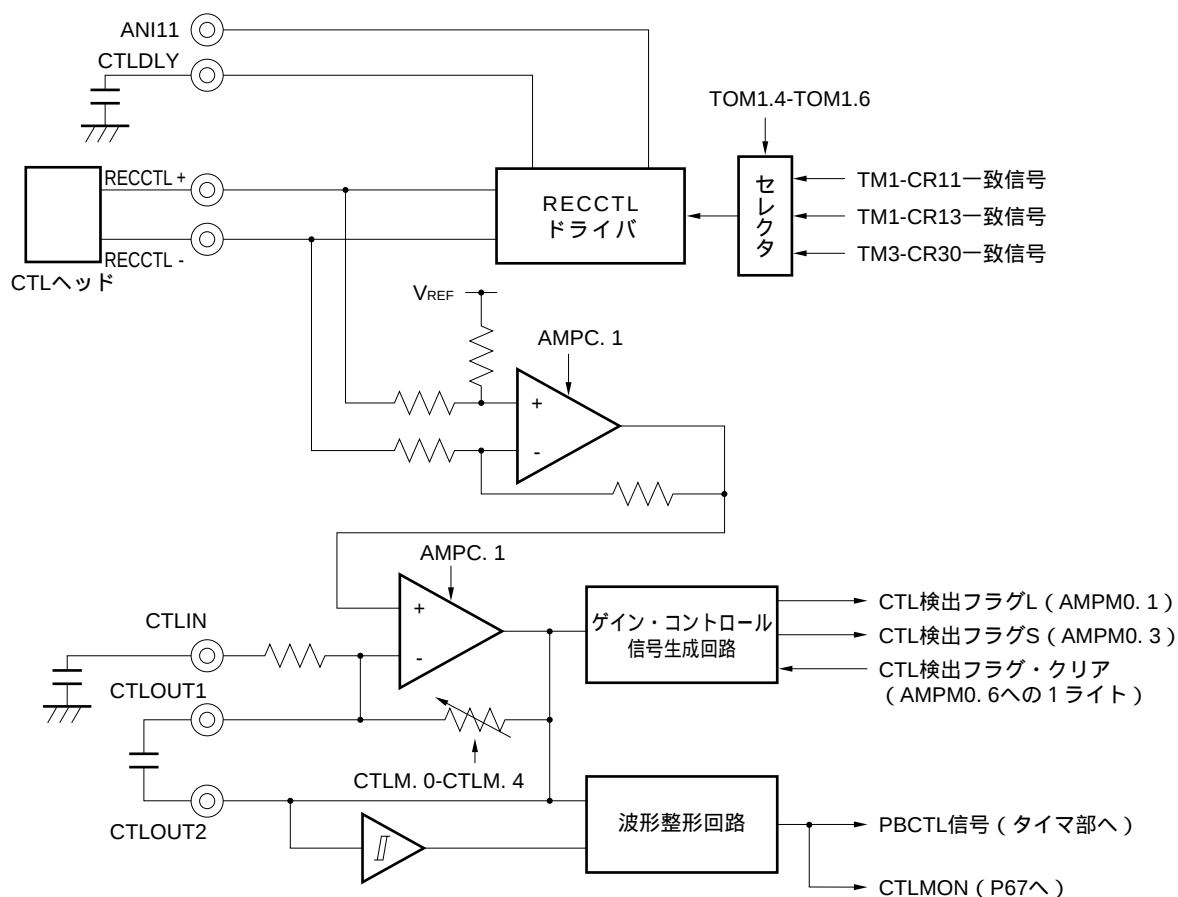
CTLアンプのゲイン設定は、ゲイン・コントロール・レジスタ（CTLM）によって行います。32通りのゲイン設定が可能で、1ステップは約1.78 dBで変化します。

プログラムによる最適ゲイン制御を行うため、アンプ出力の状態を監視するゲイン・コントロール信号生成回路を内蔵しています。ゲイン・コントロール信号生成回路はCTLアンプ出力の振幅状態を判定するCTL検出フラグを生成する回路です。このCTL検出フラグを用いて、CTLアンプのゲインの最適化を図ることができます。

RECCTLドライバは、VTRテープ上にコントロール信号を書き込むための回路です。

RECCTLドライバの動作には、録画時に使用するRECモードと、VISS信号の書き換え時に使用する再書き込みモードがあります。スーパー・タイマ・ユニットからのタイマ出力をトリガとして、ハードウェア的にRECCTL±端子の出力状態を変化させます。

図3 - 22 CTLアンプ, RECCTLドライバのブロック図



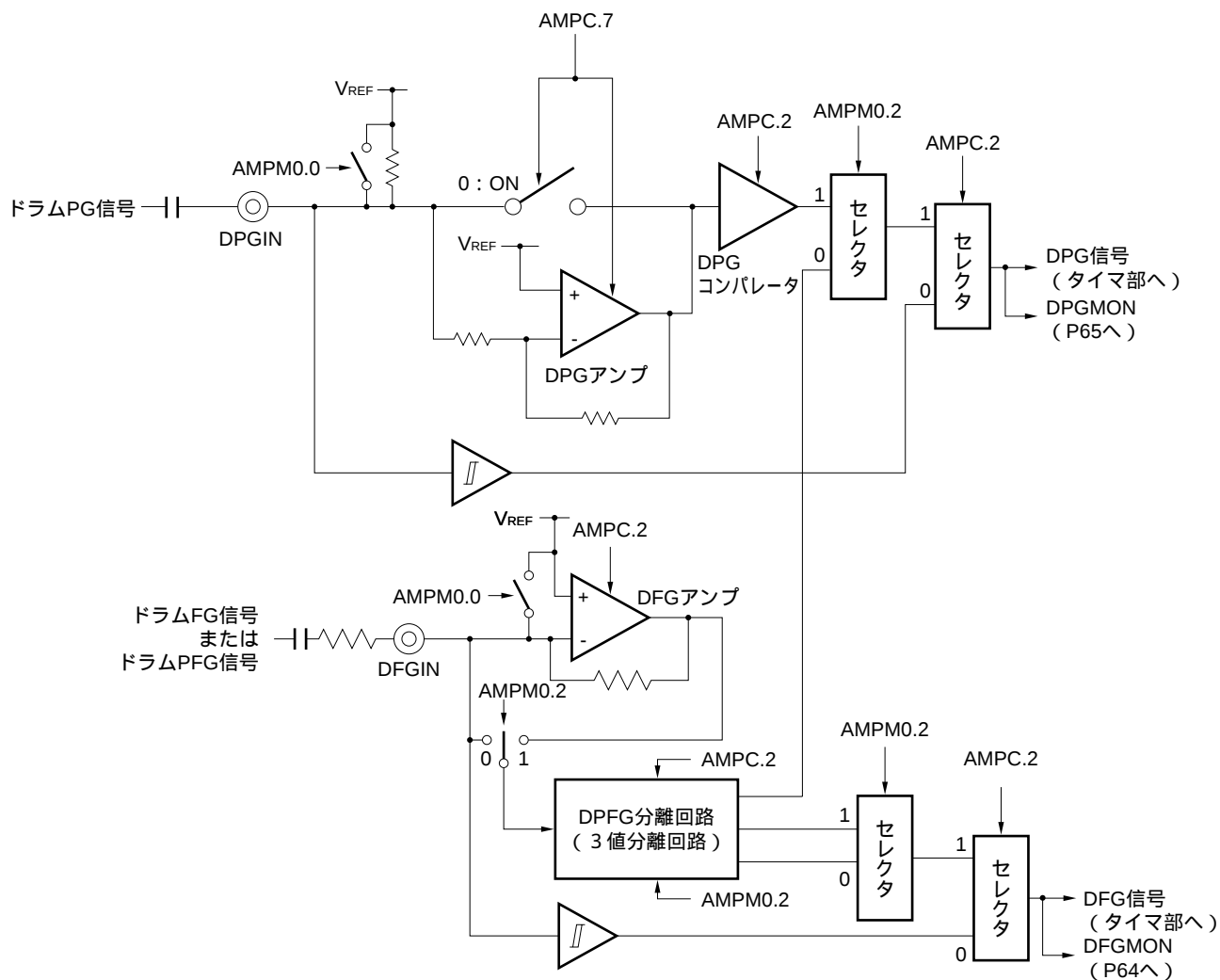
(2) DPGアンプ, DFGアンプ, DPFG分離回路

DPGアンプは、ドラム・モータの位相情報を伝えるドラムPG (DPG) 信号をロジック信号に変換するアンプです。

DFGアンプは、ドラム・モータの速度情報を伝えるドラムFG (DFG) 信号を増幅するアンプです。

DPFG分離回路 (3 値分離回路) は、速度と位相情報を両方持ったドラムPFG (DPFG) 信号をDFG信号とDPG信号に分離する回路です。

図3 - 23 DPGアンプ, DFGアンプ, DPFG分離回路のブロック図

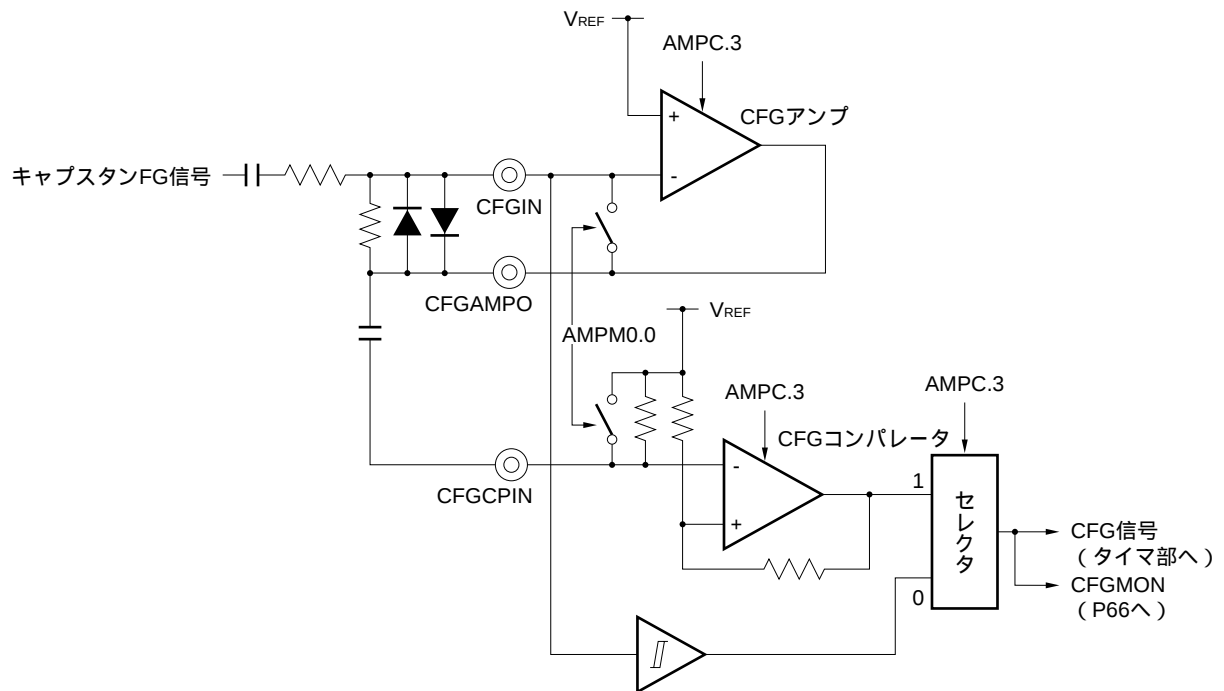


(3) CFGアンプ

CFGアンプは、キャプスタン・モータの速度情報を伝えるキャプスタンFG (CFG) 信号を増幅するアンプです。CFGアンプは、オペアンプとコンパレータから構成されています。オペアンプのゲインは外付けの抵抗で設定します。

オペアンプのゲインを50 dBにしたときは、CFG信号の出力デューティ精度を 50.0 ± 0.3 %にできます。

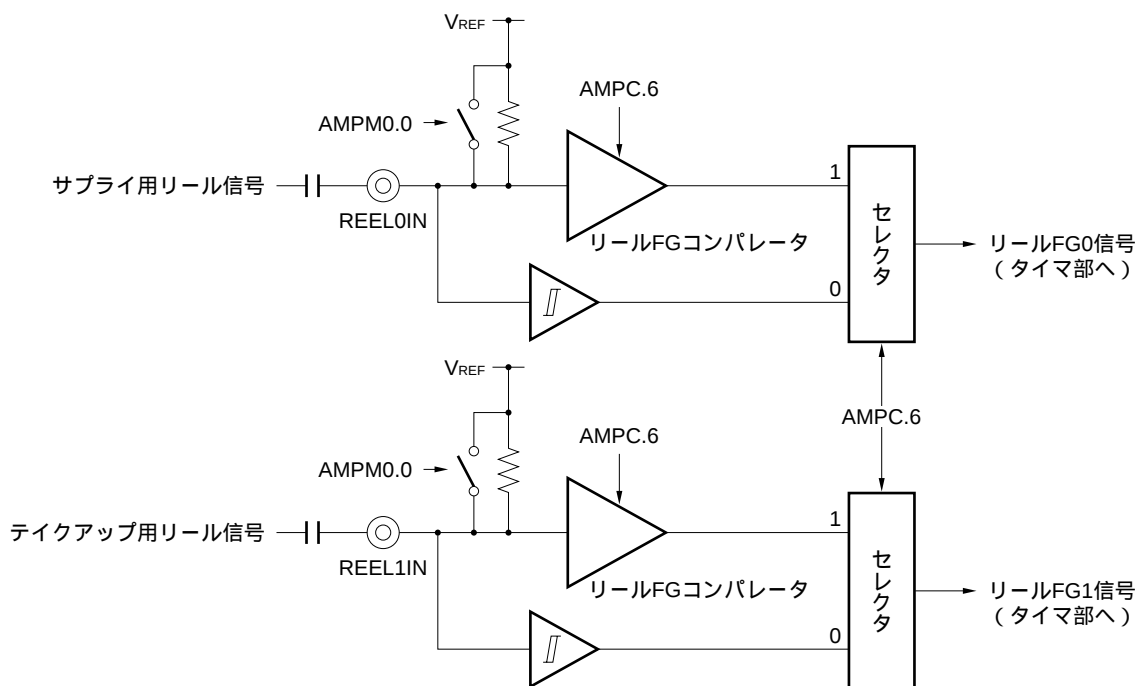
図3 - 24 CFGアンプのブロック図



(4) リールFGコンパレータ

リールFGコンパレータは、リール・モータの速度情報を伝えるリールFG信号をロジック信号に変換するコンパレータで、テイクアップ用とサプライ用に2個内蔵しています。

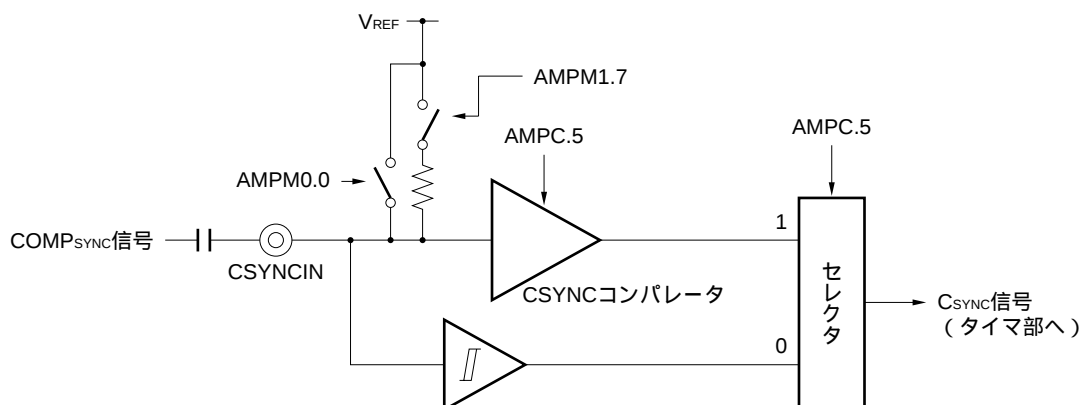
図3 - 25 リールFGコンパレータのブロック図



(5) CSYNCコンパレータ

CSYNCコンパレータはCOMPSYNC信号をロジック信号に変換するコンパレータです。

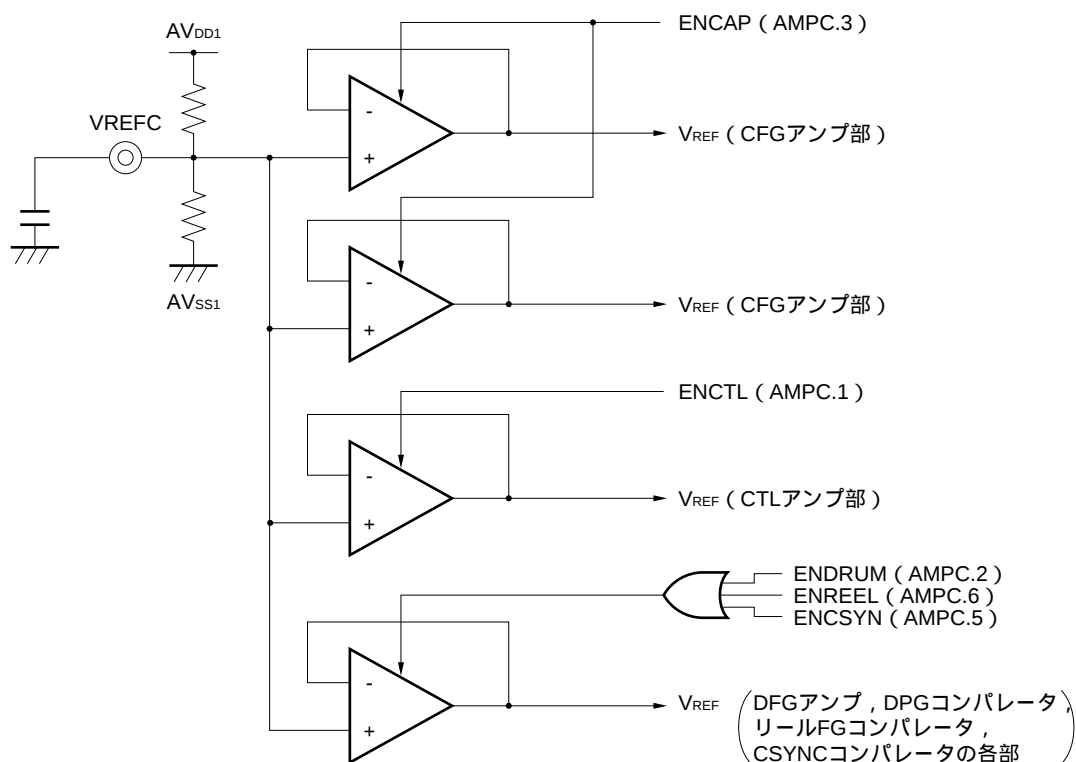
図3 - 26 COMPSYNCコンパレータのブロック図



(6) レファレンス・アンプ

レファレンス・アンプは、μPD784927内部のアンプ、コンパレータに供給する基準電圧 (V_{REF}) を生成する回路です。

図3 - 27 レファレンス・アンプのブロック図



備考 アンプ、コンパレータの精度を確保するため、レファレンス・アンプを複数個内蔵しています。

(7) アナログ回路モニタ機能

以下の出力信号をポート端子に出力する機能です。主にディバグ時に使用します。

- ・ CTLアンプのコンパレータ出力 → CTLMON (兼用ポート: P67)
- ・ CFGアンプのコンパレータ出力 → CFGMON (兼用ポート: P66)
- ・ DPGアンプのコンパレータ出力 → DPGMON (兼用ポート: P65)
- ・ DFGアンプのコンパレータ出力 → DFGMON (兼用ポート: P64)

3.10 時計機能

時計用タイマのオーバフロー信号をハードウェアでカウントする時計機能を内蔵しています。クロックはサブシステム・クロック（32.768 kHz）を使用します。

この時計機能はCPUから独立して動作するため、CPUをスタンバイ・モード（STOPモード）やリセット状態にしても動作可能です。さらに、 $V_{DD} = 2.7\text{ V (MIN.)}$ での低電圧動作も可能です。

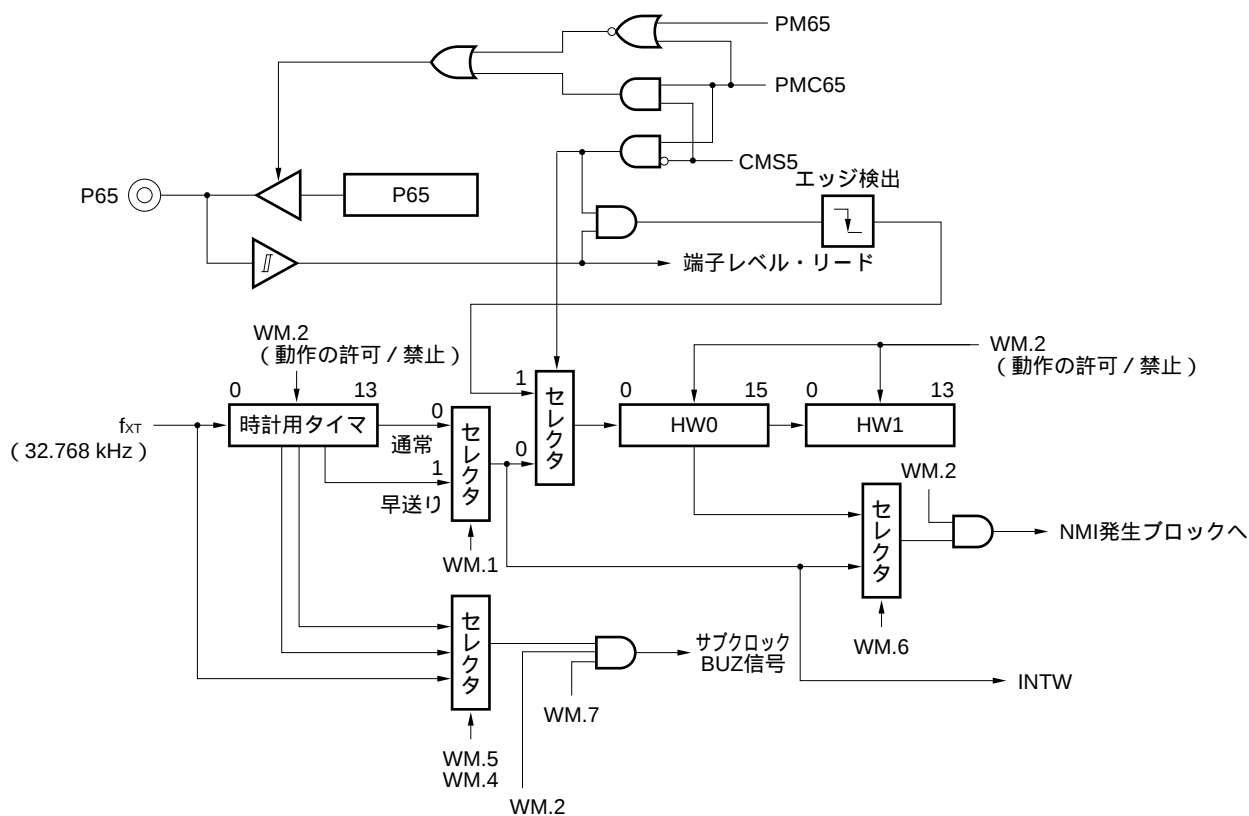
したがって、CPUをスタンバイ・モード、リセット状態にして時計機能のみを動作させることにより、低電圧、低消費電流の時計動作が実現できます。

また、専用カウンタを使用しているので通常動作時でも使用できます。

約17年分のカウントが可能です。

ハードウェア時計カウンタ（HW0, HW1）は、外部入力カウンタと兼用になっています。P65端子入力の立ち下がりエッジを検出してカウント動作を行います。システム応用上では、H_{SYNC}信号のカウントに使用できます。

図3 - 28 時計カウンタのブロック図



3.11 クロック出力機能

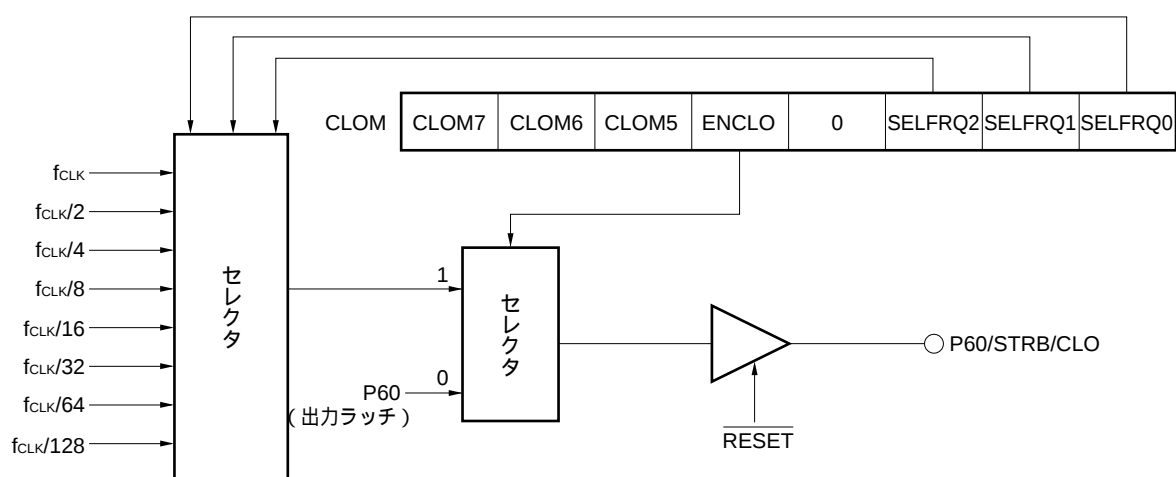
周辺デバイスやほかのマイコンの動作クロックとして、方形波（デューティ50 %）をP60/STRB/CLO端子に出力できます。クロック出力の許可/禁止と周波数は、クロック出力モード・レジスタ（CLOM）で設定します。

周波数設定については、分周比を f_{CLK}/n （ $n = 1, 2, 4, 8, 16, 32, 64, 128$ ）のいずれかに選択できます（ $f_{CLK} = f_{osc}/2$ ： f_{osc} は発振子の発振周波数）。

図3 - 29にクロック出力回路のブロック図を示します。

クロック出力端子（CLO端子）はP60およびSTRBと兼用しています。

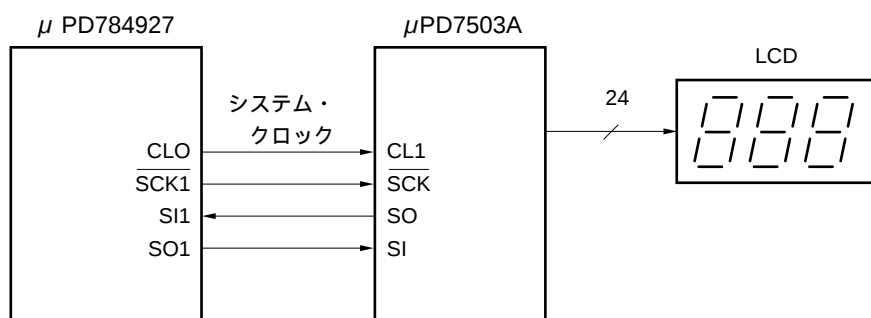
図3 - 29 クロック出力回路のブロック図



備考 f_{CLK} ：内部システム・クロック

注意 STOPモードでは、クロック出力機能を使用しないでください。STOPモード時はENCLO（CLOM. 4）= 0に設定してください。

図3 - 30 クロック出力機能の応用例



3.12 ブザー出力機能

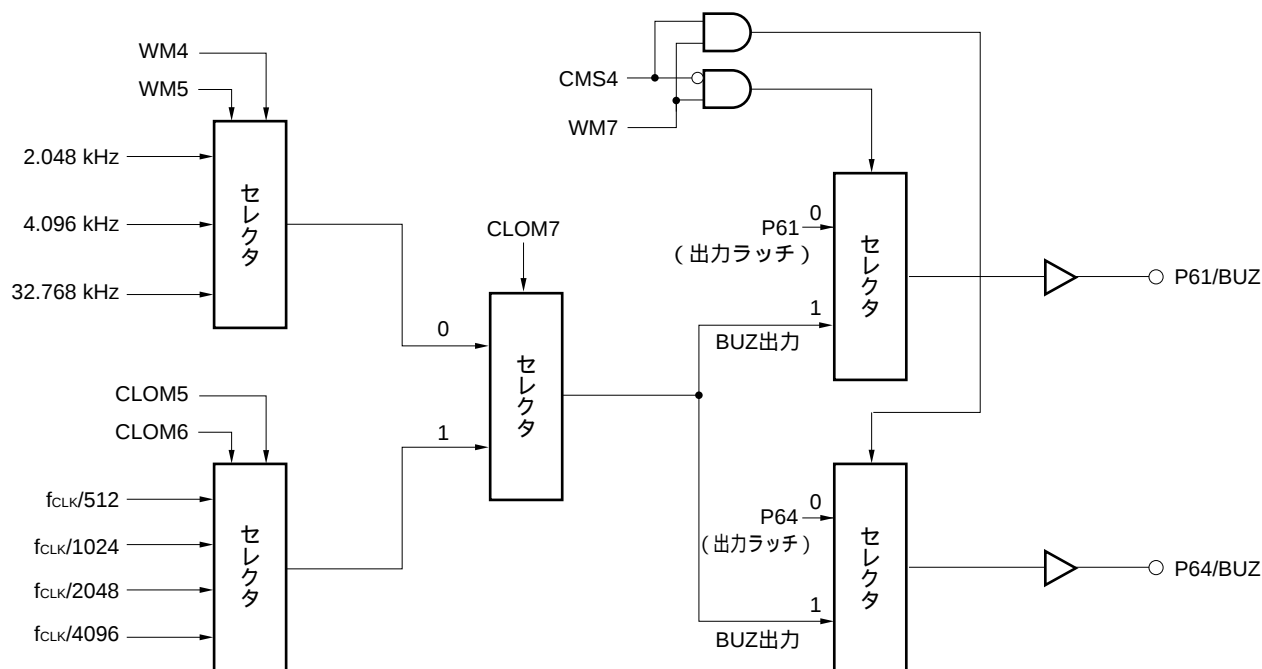
P61またはP64に、BUZ信号を重畳することができます。

ブザー出力周波数は、サブシステム・クロック周波数、メイン・システム・クロック周波数の両方で生成が可能です。

図3 - 31にBUZ出力回路のブロック図を示します。

BUZ信号はブザー出力として使用するほか、サブシステム・クロックのトリミング用としても使用できます。

図3 - 31 BUZ出力回路のブロック図



4. 内部 / 外部制御機能

4.1 割り込み機能

内部、外部合わせて32要因という豊富な割り込み要求を処理できます。また、そのうち28の割り込み要求に対してコンテキスト・スイッチングやマクロ・サービスの高速割り込み処理モードをソフトウェアで指定できます。

表4 - 1に割り込み要因の一覧を示します。

表 4 - 1 割り込み要因一覧

割り込み 要求タイプ	優先 順位	割り込み要求ソース		割り込み 制御 レジスタ名	マクロ・ サービス	コンテキスト・ スイッチング	マクロ・サービス・ コントロール・ ワード・アドレス	ベクタ・ テーブル・ アドレス
		名 称	トリガ					
リセット	-	RESET	RESET端子入力	-	なし	なし	-	0000H
ノンマスクابل	-	NMI	NMI端子入力エッジ	-			-	0002H
マスクابل	0	INTP0	INTP0端子入力エッジ	PIC0	あり	あり	FE06H	0006H
	1	INTCPT3	EDVC出力信号 (CPT3キャプチャ)	CPTIC3			FE08H	0008H
	2	INTCPT2	DFGIN端子入力エッジ (CPT2キャプチャ)	CPTIC2			FE0AH	000AH
	3	INTCR12	PBCTL入力エッジ / EDVC出力信号 (CR12キャプチャ)	CRIC12			FE0CH	000CH
	4	INTCR00	TM0-CR00一致信号	CRIC00			FE0EH	000EH
	5	INTCLR1	CSYNCIN端子入力エッジ	CLRIC1			FE10H	0010H
	6	INTCR10	TM1-CR10一致信号	CRIC10			FE12H	0012H
	7	INTCR01	TM0-CR01一致信号	CRIC01			FE14H	0014H
	8	INTCR02	TM0-CR02一致信号	CRIC02			FE16H	0016H
	9	INTCR11	TM1-CR11一致信号	CRIC11			FE18H	0018H
	10	INTCPT1	端子入力エッジ / EC出力信号 (CPT1キャプチャ)	CPTIC1			FE1AH	001AH
	11	INTCR20	TM2-CR20一致信号	CRIC20			FE1CH	001CH
	12	INTIIC	I ² Cの転送終了	IICIC ^注			FE1EH	001EH
	13	INTTB	FRCからのタイム・ベース	TBIC			FE20H	0020H
	14	INTAD	A/Dコンバータ変換終了	ADIC			FE22H	0022H
	15	INTP2	INTP2端子入力エッジ	PIC2			FE24H	0024H
		INTCR40	TM4-CR40一致信号	CRIC40				
	16	INTUDC	UDC-UDCC一致 / UDCアングフロー	UDCIC			FE26H	0026H
	17	INTCR30	TM3-CR30一致信号	CRIC30			FE28H	0028H
	18	INTCR50	TM5-CR50一致信号	CRIC50			FE2AH	002AH
	19	INTCR13	TM1-CR13一致信号	CRIC13			FE2CH	002CH
	20	INTCSI1	シリアル転送終了 (チャンネル 1)	CSIIC1			FE2EH	002EH
	21	INTW	時計用タイマのオーバフロー	WIC			FE30H	0030H
	22	INTVISS	VISS検出信号	VISIC			FE32H	0032H
	23	INTP1	INTP1端子入力エッジ	PIC1			FE34H	0034H
	24	INTP3	INTP3端子入力エッジ	PIC3			FE36H	0036H
	25	INTCSI2	シリアル転送終了 (チャンネル 2)	CSIIC2			FE3AH	003AH
オペランド・ エラー	-	-	MOV STBC, #byteおよびLOCATION命令の オペランド不正	-	なし	なし	-	003CH
ソフトウェア	-	-	BRK命令実行	-			-	003EH
	-	-	BRKCS命令実行	-		あり	-	-

注 μPD784928Yサブシリーズのみ

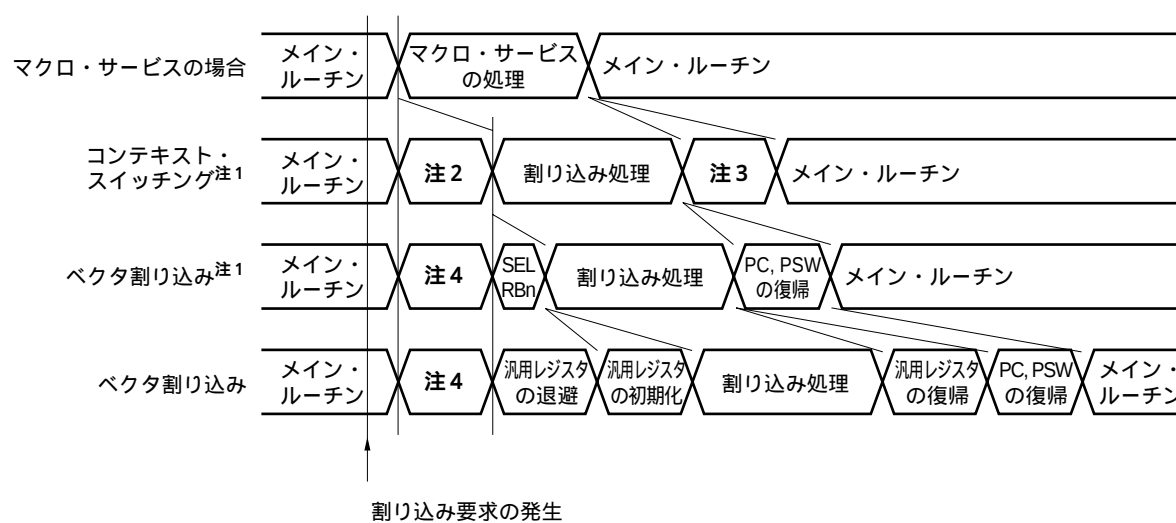
備考 EVDC : イベント・ディバイダ・コンペア・レジスタ

EC : イベント・カウンタ

FRC : フリー・ランニング・カウンタ

MSCW : マクロ・サービス・コントロール・レジスタ

図4 - 1 割り込み処理モードによる動作の違い



注1．レジスタ・バンク切り替えを使用した場合で、レジスタにはあらかじめ初期値が設定されているとき

2．コンテキスト・スイッチングによるレジスタ・バンクの切り替え，PC，PSWの退避

3．コンテキスト・スイッチングによるレジスタ・バンク，PC，PSWの復帰

4．PC，PSWをスタックに退避，ベクタ・アドレスをPCへロード

4.1.1 ベクタ割り込み

割り込み要求が受け付けられると、ベクタ・テーブル領域に格納されているデータ（ユーザが作成した割り込み処理プログラムの先頭アドレス）に従い、割り込み処理プログラムを実行します。

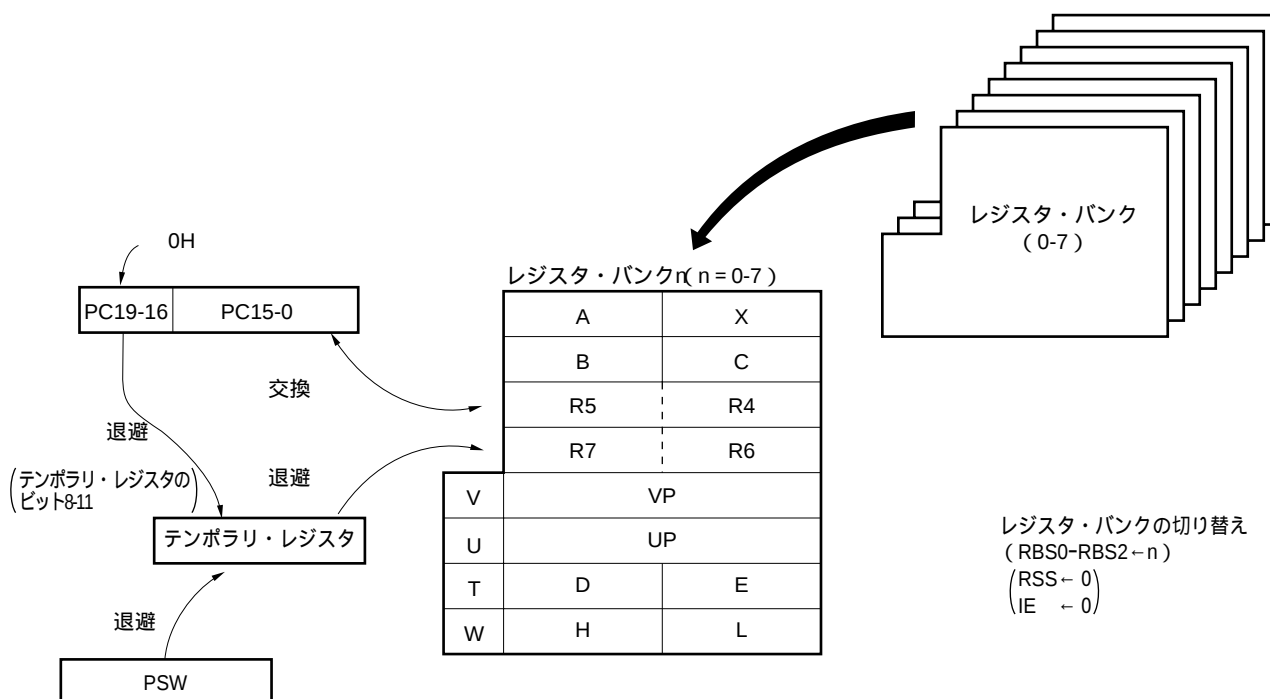
また、ソフトウェアにより4レベルのプライオリティを指定できます。

4.1.2 コンテキスト・スイッチング

割り込み要求の発生またはBRKCS命令の実行により、ハードウェア的に所定のレジスタ・バンクを選択し、レジスタ・バンク内にあらかじめ設定しておいたベクタ・アドレスへ分岐します。同時に現在のプログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）の内容をレジスタ・バンク内のレジスタに退避します。

スタック領域にPC、PSWを退避しないので、ベクタ割り込みよりも高速に割り込み処理ルーチンへ分岐できます。

図4-2 割り込み要求の発生によるコンテキスト・スイッチング動作



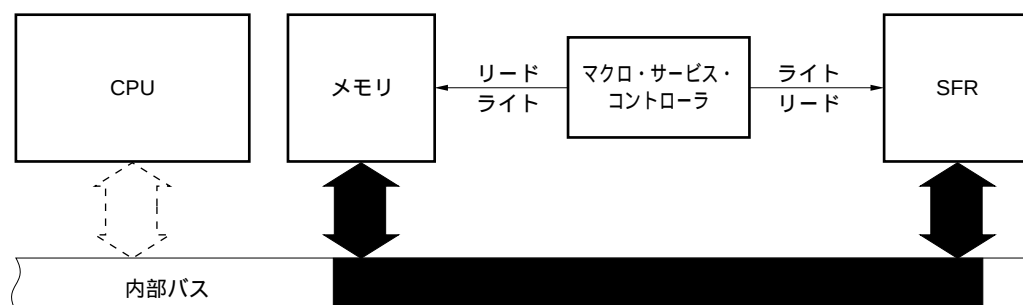
4.1.3 マクロ・サービス

メモリ-特殊機能レジスタ（SFR）間でCPUを介さずにデータを転送する機能です。マクロ・サービス・コントローラがメモリとSFRをアクセスし、直接データを転送します。

CPUの状態を退避、復帰しないので、コンテキスト・スイッチングよりも高速にデータ転送処理ができます。

マクロ・サービスでは次に示す処理ができます。

図4-3 マクロ・サービス



(1) カウンタ・モード

割り込み要求の発生によって、マクロ・サービス・カウンタ（MSC）をデクリメントしていきます。割り込み要求の分周動作や、割り込み要求発生回数のカウント用として使用できます。

マクロ・サービス・カウンタが0になるとベクタ割り込みを発生します。



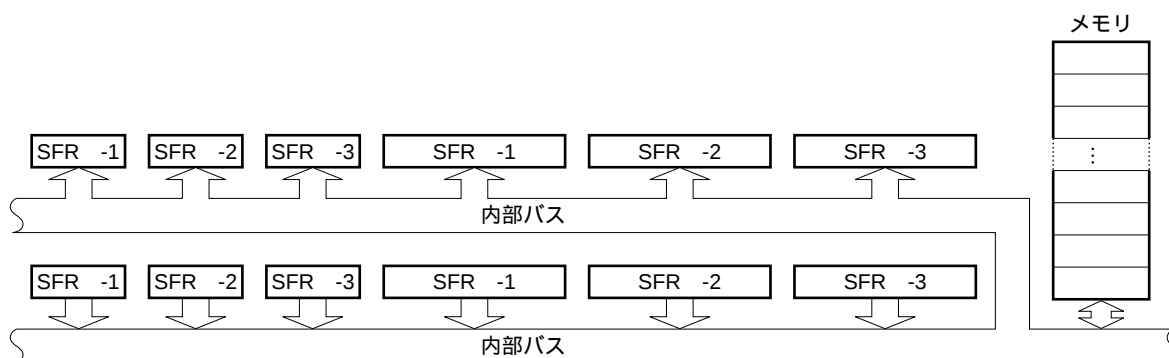
(2) 複合データ転送モード

割り込み要求の発生によって、8ビットSFR→メモリ（バイト）、16ビットSFR→メモリ（ワード）、メモリ（バイト）→8ビットSFR、メモリ（ワード）→16ビットSFRの転送を同時に行います（各転送3ポイント（MAX.））。

また、データ転送ではなく、データ交換モードにも指定できます。

シリアル・インタフェースの自動送受信、リアルタイム出力ポートのデータ/タイミング自動更新などに使用できます。

マクロ・サービス・カウンタが0になるとベクタ割り込み要求を発生します。



(3) マクロ・サービス・タイプA

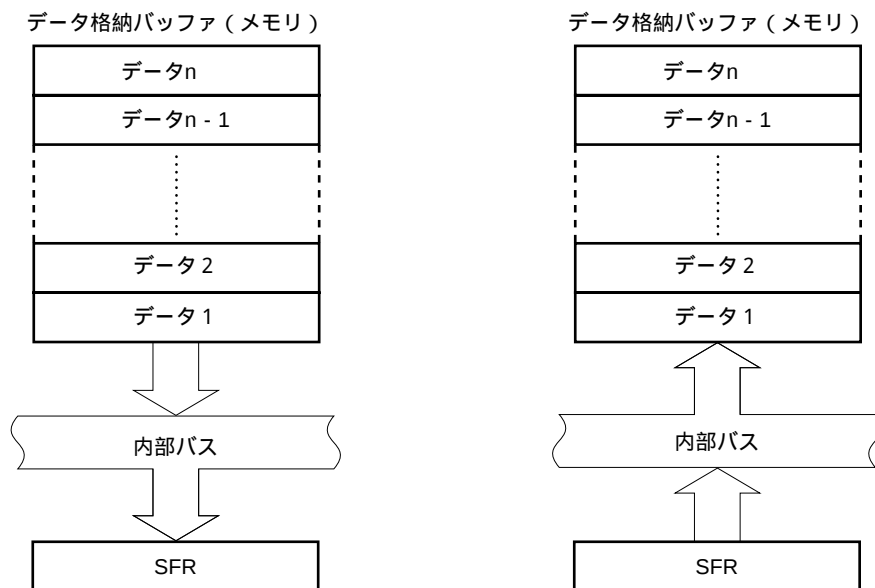
割り込み要求の発生によって8ビット/16ビットSFR→メモリ(バイト/ワード)、またはメモリ(バイト/ワード)→8ビット/16ビットSFRのいずれか一方の転送を行います。

あらかじめマクロ・サービス・カウンタに設定した回数だけデータを転送します。

A/D変換結果の格納、シリアル・インタフェースの自動送信(または受信)などに使用できます。

FE00H-FEFFFHのアドレスに転送データ領域を確保するため、転送データが少ない場合にそのデータを高速で転送できます。

マクロ・サービス・カウンタが0になるとベクタ割り込み要求を発生します。

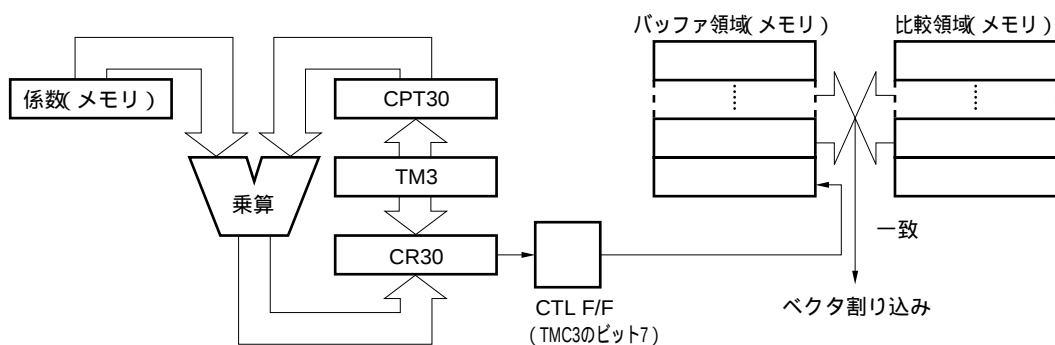


(4) データ・パターン識別モード (VISS検出モード)

VISS検出用のマクロ・サービスで、パルス幅検出回路と組み合わせて使用します。

割り込み要求の発生でSFRポインタ1で指定したSFR(通常はTMC3)のビット7の内容をバッファ領域にシフト入力します。同時にバッファ領域と比較領域のデータを比較し、一致していればベクタ割り込み要求を発生します。マクロ・サービス・カウンタが0になったときもベクタ割り込み要求を発生します。

また、オプション指定でSFRポインタ2で指定したSFR(通常はCPT30)に係数を乗じて、SFRポインタ3で指定したSFR(通常はCR30)に格納する動作もできます(テーブル・スピード変動時の判別しきい値の自動更新)。

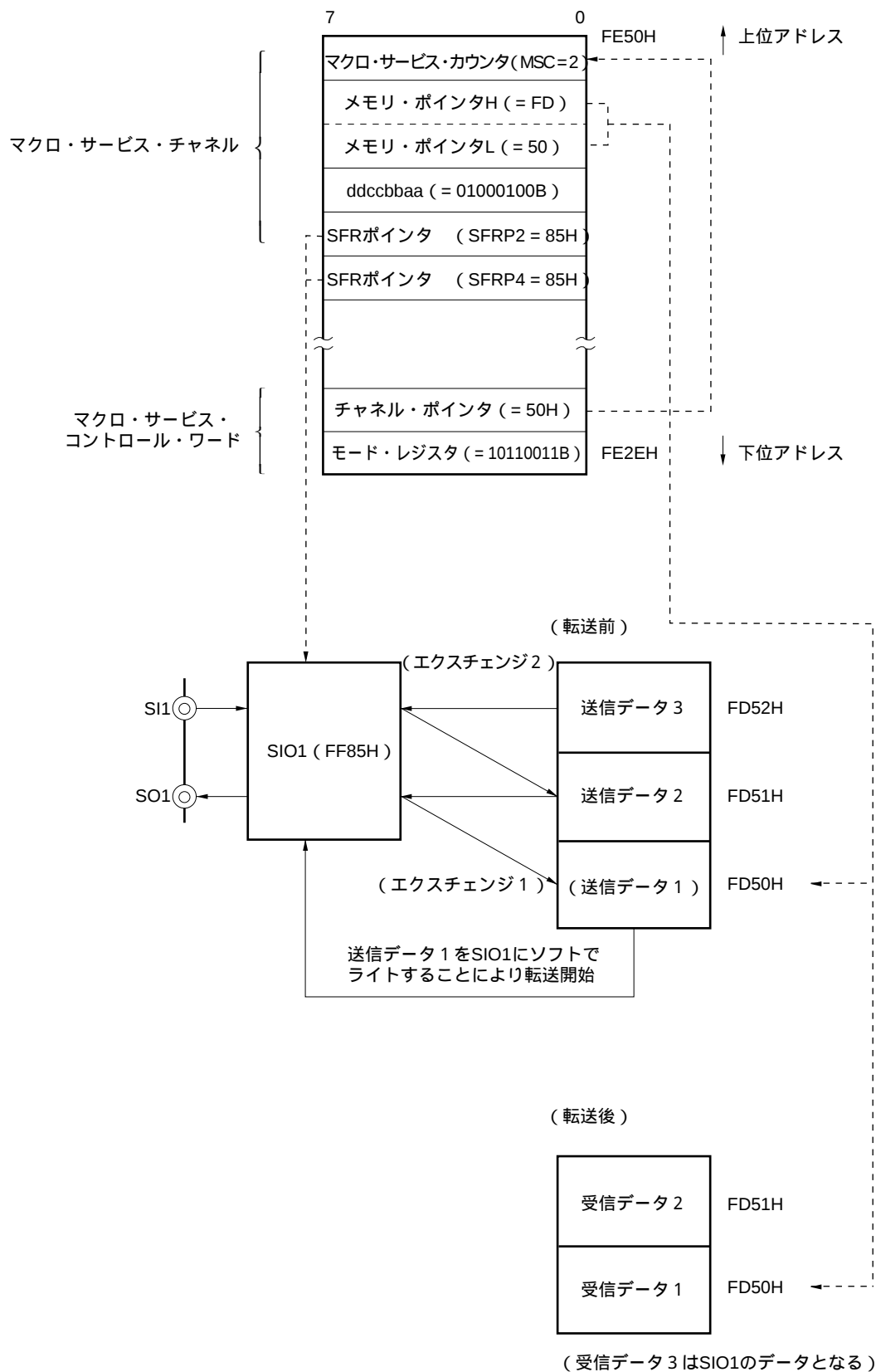


4.1.4 マクロ・サービスの応用例

(1) シリアル・インタフェースの自動送受信動作

シリアル・インタフェース・チャンネル1による3バイト・データの自動送受信

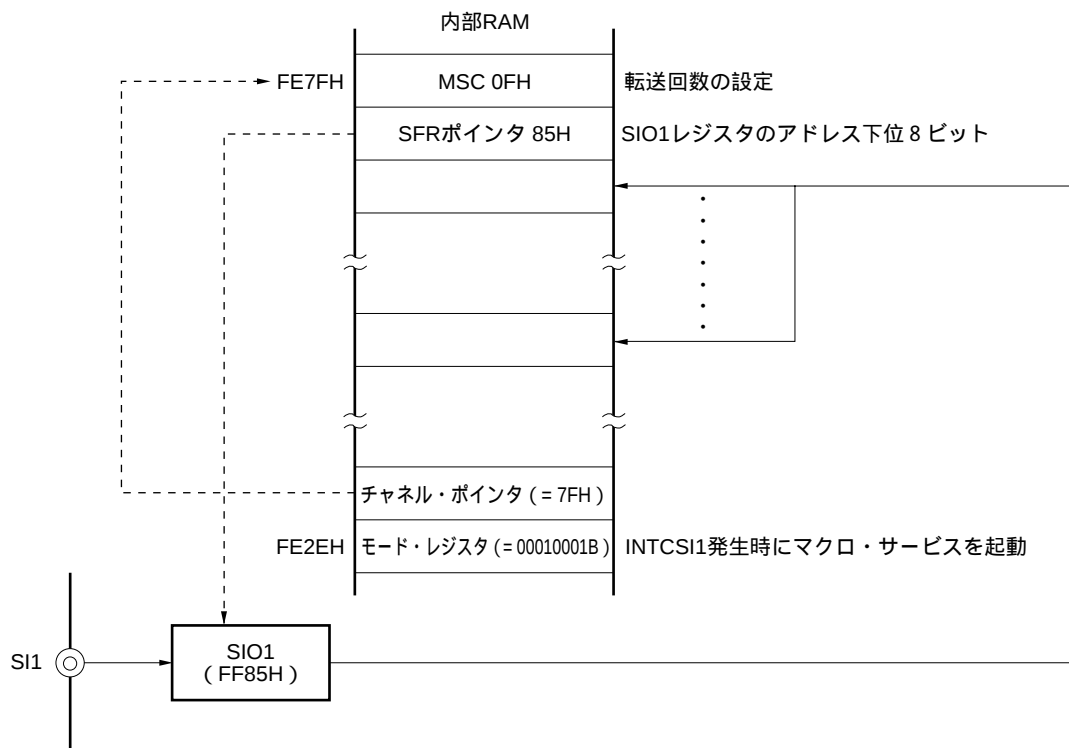
マクロ・サービス・モード・レジスタの設定：複合データ転送モード（エクスチェンジ・モード）



(2) シリアル・インタフェースの受信動作

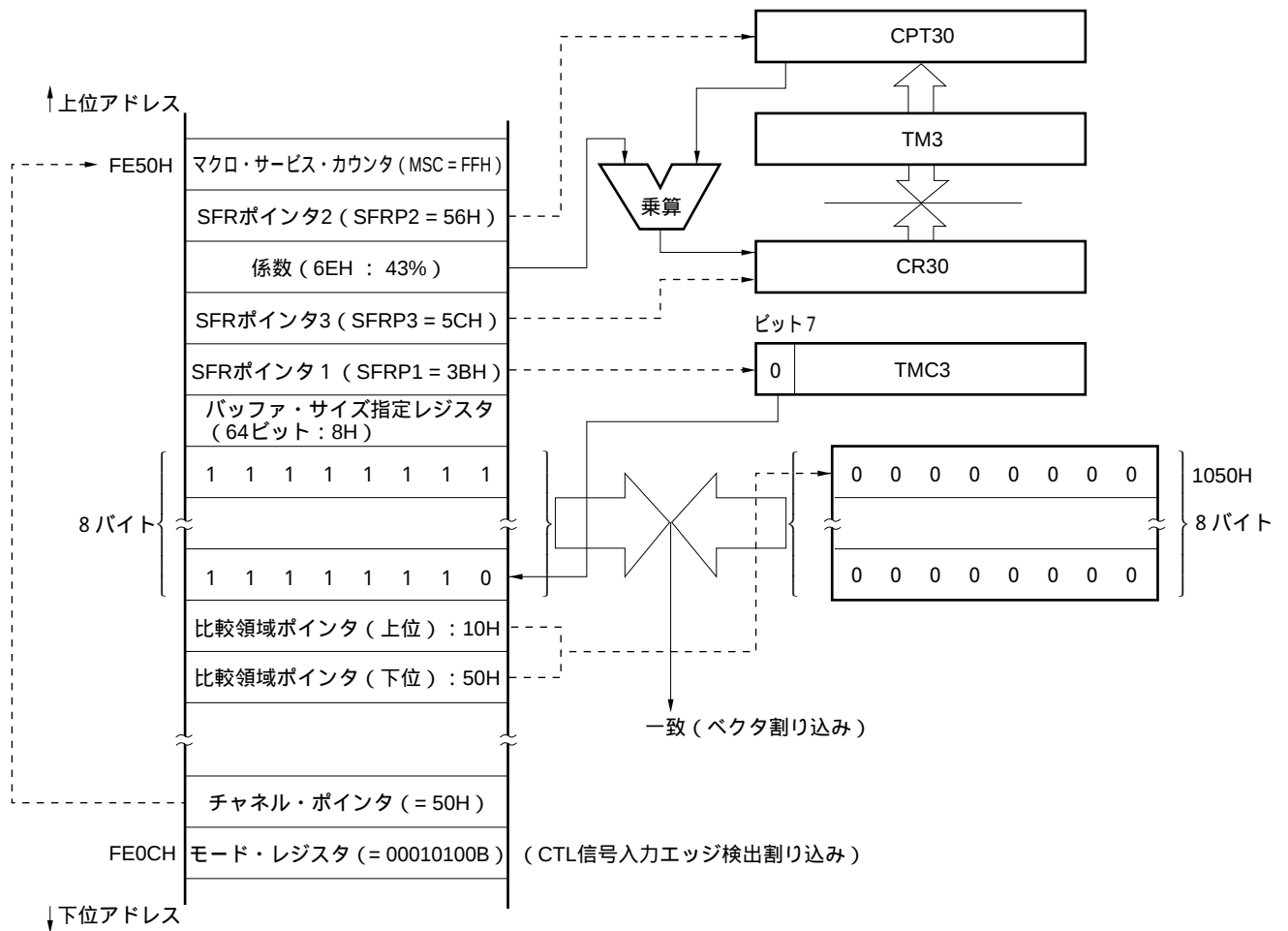
シリアル・インタフェース・チャンネル1 受信データの転送 (16バイト分)

マクロ・サービス・モード・レジスタの設定: マクロ・サービス・タイプA (SFR→メモリへの1バイト・データ転送)



(3) VISS検出動作

マクロ・サービス・モード・レジスタの設定：データ・パターン識別モード（乗算あり，8バイト比較）



4.2 スタンバイ機能

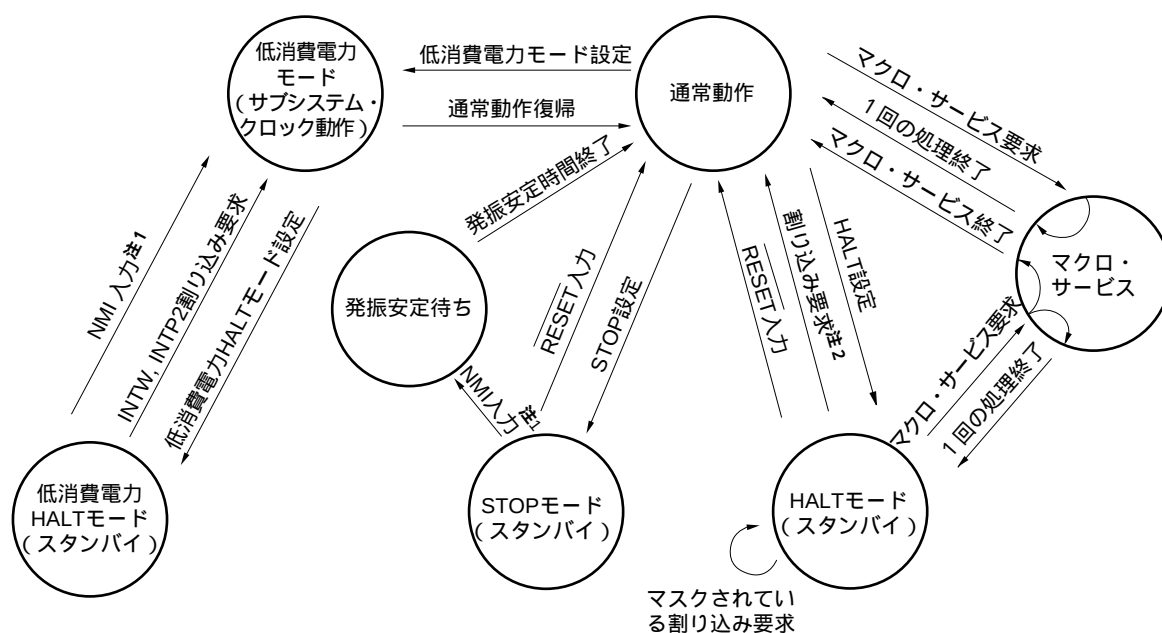
チップの消費電力を低減する機能です。次のようなモードがあります。

モード	機能
HALTモード	CPUの動作クロックを停止させます。通常モードとの間欠動作により、平均消費電力を低減できます。
STOPモード	発振器を停止させます。チップ内部の動作をすべて停止させ、リーク電流だけの微小消費電力状態にします。
低消費電力モード	システム・クロックとしてサブシステム・クロックを使用し、メイン・システム・クロックを停止させます。消費電流の低減を図るためサブシステム・クロックでのCPU動作が可能です。
低消費電力HALTモード	低消費電力モード時のスタンバイ機能で、CPUの動作クロックを停止させます。システム全体の消費電力の低減を図ります。

これらのモードはプログラマブルです。

また、HALTモードからマクロ・サービスを起動することもできます。

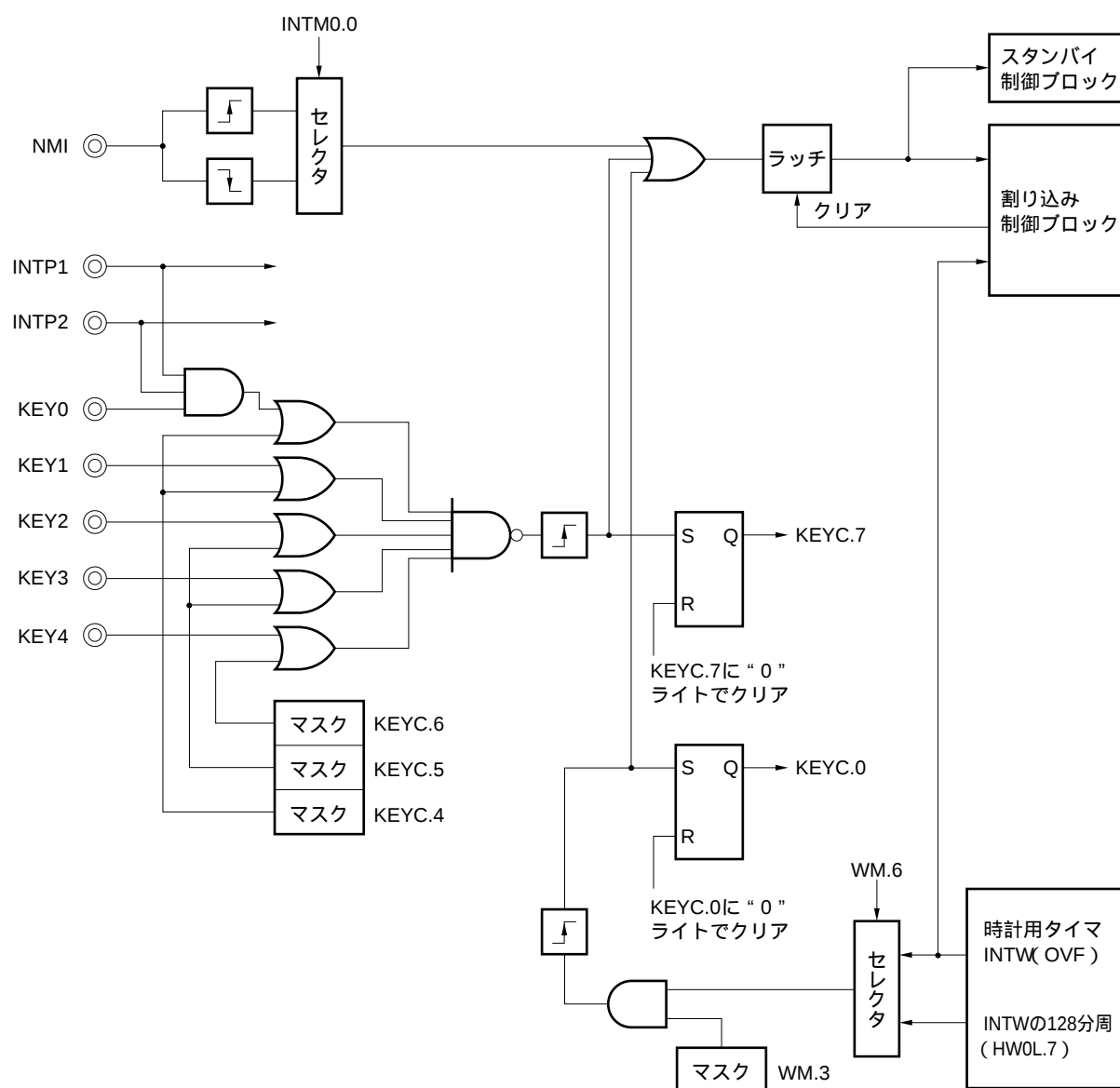
図4-4 スタンバイ機能の状態遷移



注1．NMI入力とは、NMI端子入力、時計割り込み、キー割り込み入力のいずれかでのNMI起動のことです。

2．マスクされていない割り込み要求。

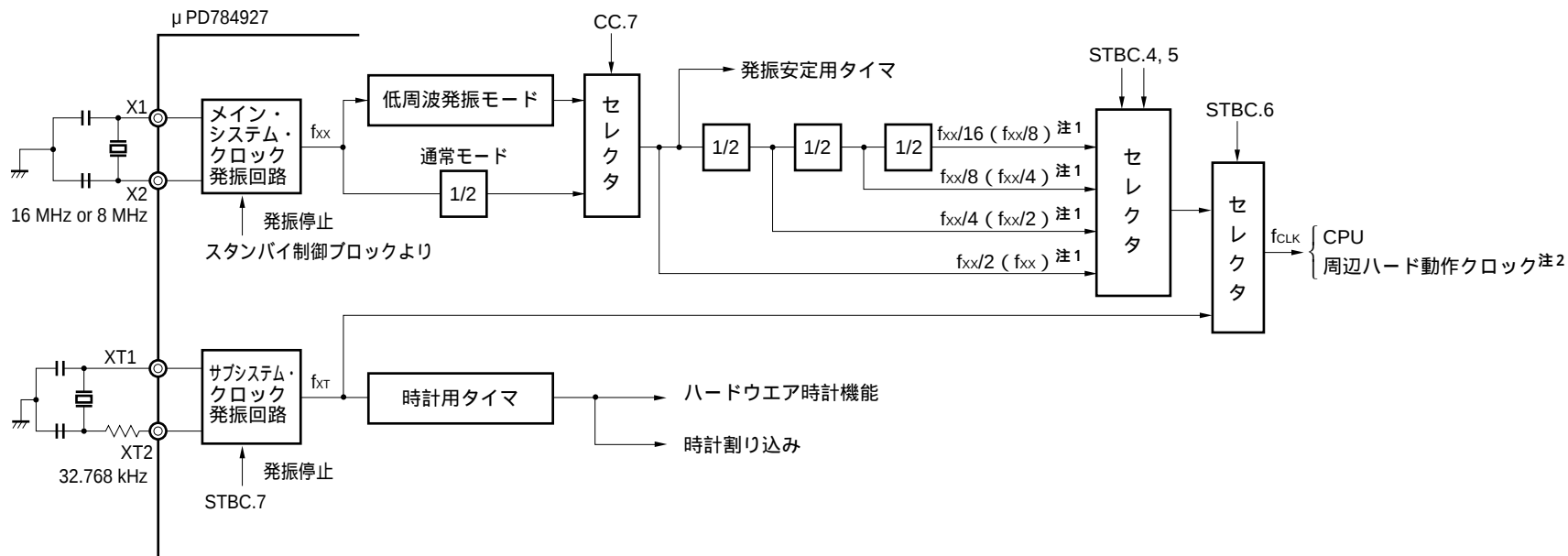
図4 - 5 STOPモード解除におけるNMI, 時計割り込み, キー割り込みの関係



4.3 クロック発生回路

クロック発生回路は、CPUおよび周辺回路に供給する内部システム・クロック（CLK）を発生、制御する回路です。クロック発生回路は、図4-6のように構成されています。

図4-6 クロック発生回路のブロック図



注1．f_{xx}：発振周波数，（ ）内は低周波発振モード時

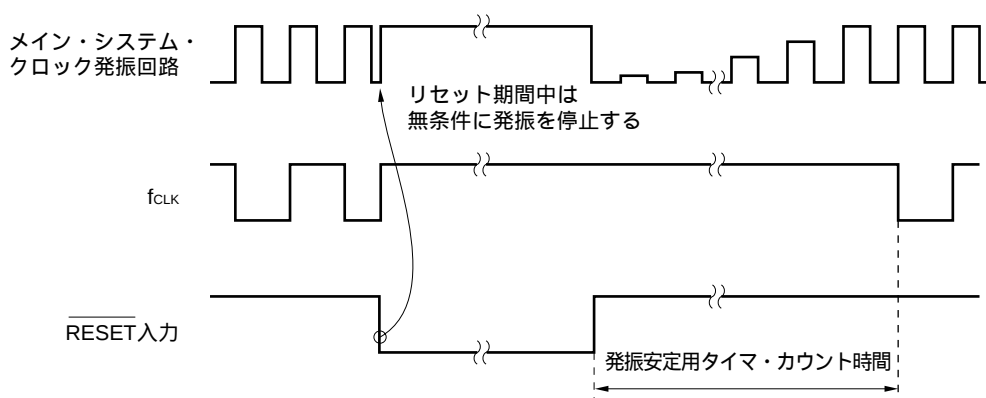
2．サブシステム・クロックで動作可能な周辺ハードウェアには制限があります。詳細はμPD784928, 784928Yサブシリーズ ユーザーズ・マニュアル ハードウェア編（U12648J）を参照してください。

4.4 リセット機能

RESET入力端子にロウ・レベルが入力されるとシステム・リセットがかかり、各ハードウェアは初期状態になります（リセット状態）。また、リセット期間中はメイン・システム・クロックの発振を無条件に停止しますので、システム全体の消費電流を抑えることができます。

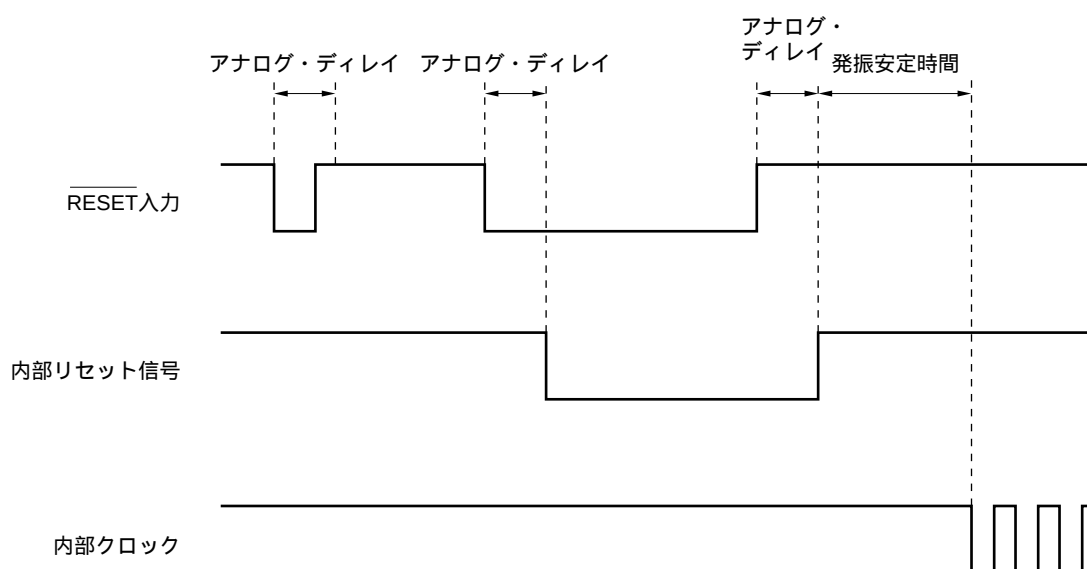
RESET入力がロウ・レベルからハイ・レベルになると、リセット状態が解除され、発振安定用タイマのカウント時間（32.8 ms：16 MHz動作時，65.6 ms：8 MHz動作時）のあと、リセット・ベクタ・テーブルの内容がプログラム・カウンタ（PC）にセットされ、PCにセットされたアドレスに分岐し、その分岐先のアドレスからプログラムの実行を開始します。したがって、任意のアドレスからリセット・スタートできます。

図4 - 7 リセット期間中のメイン・システム・クロックの発振



RESET入力端子は、ノイズによる誤動作を防ぐため、アナログ・ディレイによるノイズ除去回路を内蔵しています。

図4 - 8 リセット信号の受け付け



5. 命令セット

(1) 8ビット命令()内は、rとしてAを記述することで実現している組み合わせです)

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, SHR, SHL, ROR4, ROL4, DBNZ, PUSH, POP, MOVN, XCHN, CMPN, CMPMNE, CMPMNC, CMPMC, MOVBK, XCHBK, CMPBKE, CMPBKNE, CMPBKNC, CMPBKC, CHKL, CHKLA

第2オペランド 第1オペランド	# byte	A	r r'	saddr saddr'	sfr	!addr16 !!addr24	mem [saddrp] [%saddrg]	r3 PSWL PSWH	[WHL +]	[WHL -]	n	なし ^{注2}
A	(MOV) ADD ^{注1}	(MOV) (XCH) (ADD) ^{注1}	MOV XCH (ADD) ^{注1}	(MOV) ^{注6} (XCH) ^{注6} (ADD) ^{注1,6}	MOV (XCH) (ADD) ^{注1}	(MOV) (XCH) ADD ^{注1}	MOV XCH ADD ^{注1}	MOV	(MOV) (XCH) (ADD) ^{注1}	(MOV) (XCH) (ADD) ^{注1}		
r	MOV ADD ^{注1}	(MOV) (XCH) (ADD) ^{注1}	MOV XCH ADD ^{注1}	MOV XCH ADD ^{注1}	MOV XCH ADD ^{注1}	MOV XCH					ROR ^{注3}	MULU DIVUW INC DEC
saddr	MOV ADD ^{注1}	(MOV) ^{注6} (ADD) ^{注1}	MOV ADD ^{注1}	MOV XCH ADD ^{注1}								INC DEC DBNZ
sfr	MOV ADD ^{注1}	MOV (ADD) ^{注1}	MOV ADD ^{注1}									PUSH POP CHKL CHKLA
!addr16 !!addr24	MOV ADD ^{注1}	(MOV) ADD ^{注1}	MOV									
mem [saddrp] [%saddrg]		MOV ADD ^{注1}										
mem3												ROR4 ROL4
r3 PSWL PSWH	MOV	MOV										
B, C												DBNZ
STBC, WDM	MOV											
[TDE +]		(MOV) (ADD) ^{注1} MOVN ^{注4}							MOVBK ^{注5}			
[TDE -]		(MOV) (ADD) ^{注1} MOVN ^{注4}								MOVBK ^{注5}		

- 注1．ADDC，SUB，SUBC，AND，OR，XOR，CMPはADDと同じ
- 2．第2オペランドがないか，第2オペランドがオペランド・アドレスでない
- 3．ROL，RORC，ROLC，SHR，SHLはRORと同じ
- 4．XCHM，CMPME，CMPMNE，CMPMNC，CMPMCはMOVMと同じ
- 5．XCHBK，CMPBKE，CMPBKNE，CMPBKNC，CMPBKCはMOVBKと同じ
- 6．この組み合わせでsaddrがsaddr2の場合，短いコード長の命令がある

(2) 16ビット命令 (() 内は , rpとしてAXを記述することで実現している組み合わせです)

MOVW , XCHW , ADDW , SUBW , CMPW , MULUW , MULW , DIVUX , INCW , DECW , SHRW , SHLW ,
PUSH , POP , ADDWG , SUBWG , PUSHU , POPU , MOVTBLW , MACW , MACSW , SACW

第2オペランド 第1オペランド	# word	AX	rp rp'	saddrp saddrp'	sfrp	!addr16 !!addr24	mem [saddrp] [%saddrg]	[WHL +]	byte	n	なし ^{注2}
AX	(MOVW) ADDW ^{注1}	(MOVW) (XCHW) (ADDW) ^{注1}	(MOVW) (XCHW) (ADDW) ^{注1}	(MOVW) ^{注3} (XCHW) ^{注3} (ADDW) ^{注1,3}	MOVW (XCHW) (ADDW) ^{注1}	(MOVW) XCHW	MOVW XCHW	(MOVW) (XCHW)			
rp	MOVW ADDW ^{注1}	(MOVW) (XCHW) (ADDW) ^{注1}	MOVW XCHW ADDW ^{注1}	MOVW XCHW ADDW ^{注1}	MOVW XCHW ADDW ^{注1}	MOVW				SHRW SHLW	MULW ^{注4} INCW DECW
saddrp	MOVW ADDW ^{注1}	(MOVW) ^{注3} (ADDW) ^{注1}	MOVW ADDW ^{注1}	MOVW XCHW ADDW ^{注1}							INCW DECW
sfrp	MOVW ADDW ^{注1}	MOVW (ADDW) ^{注1}	MOVW ADDW ^{注1}								PUSH POP
!addr16 !!addr24	MOVW	(MOVW)	MOVW						MOVTBLW		
mem [saddrp] [%saddrg]		MOVW									
PSW											PUSH POP
SP	ADDWG SUBWG										
post											PUSH POP PUSHU POPU
[TDE +]		(MOVW)						SACW			
byte											MACW MACSW

注 1 . SUBW , CMPWはADDWと同じ

2 . 第 2 オペランドがないか , 第 2 オペランドがオペランド・アドレスでない

3 . この組み合わせでsaddrpがsaddrp2の場合 , 短いコード長の命令がある

4 . MULUW , DIVUXはMULWと同じ

(3) 24ビット命令 (() 内は , rgとしてWHLを記述することで実現している組み合わせです)

MOVG , ADDG , SUBG , INCG , DECG , PUSH , POP

第2オペランド 第1オペランド	#imm24	WHL	rg rg'	saddr	!!addr24	mem1	[%saddr]	SP	なし ^注
WHL	(MOVG) (ADDG) (SUBG)	(MOVG) (ADDG) (SUBG)	(MOVG) (ADDG) (SUBG)	(MOVG) ADDG SUBG	(MOVG)	MOVG	MOVG	MOVG	
rg	MOVG ADDG SUBG	(MOVG) (ADDG) (SUBG)	MOVG ADDG SUBG	MOVG	MOVG				INCG DECG PUSH POP
saddr		(MOVG)	MOVG						
!!addr24		(MOVG)	MOVG						
mem1		MOVG							
[%saddr]		MOVG							
SP	MOVG	MOVG							INCG DECG

注 第2オペランドがないか、第2オペランドがオペランド・アドレスでない

(4) ビット操作命令

MOV1 , AND1 , OR1 , XOR1 , SET1 , CLR1 , NOT1 , BT , BF , BTCLR , BFSET

第 2 オペランド 第 1 オペランド	CY	saddr.bit	/saddr.bit	なし ^注
		sfr.bit	/sfr.bit	
		A.bit	/A.bit	
		X.bit	/X.bit	
		PSWL.bit	/PSWL.bit	
		PSWH.bit	/PSWH.bit	
		mem2.bit	/mem2.bit	
		!addr16.bit	!/addr16.bit	
		!!addr24.bit	!!/addr24.bit	
CY		MOV1	AND1	NOT1
		AND1	OR1	SET1
		OR1		CLR1
		XOR1		
saddr.bit	MOV1			NOT1
sfr.bit				SET1
A.bit				CLR1
X.bit				BF
PSWL.bit				BT
PSWH.bit				BTCLR
mem2.bit				BFSET
!addr16.bit				
!!addr24.bit				

注 第 2 オペランドがないか，第 2 オペランドがオペランド・アドレスでない

(5) コール・リターン命令 / 分岐命令

CALL , CALLF , CALLT , BRK , RET , RETI , RETB , RETCS , RETCSB , BRKCS , BR , BNZ , BNE , BZ ,
BE , BNC , BNL , BC , BL , BN , BV , BPO , BP , BPE , BP , BN , BLT , BGE , BLE , BGT , BNH , BH , BF ,
BT , BTCLR , BFSET , DBNZ

命令アド レスのオ ペランド	\$addr20	\$!addr20	!addr16	!!addr20	rp	rg	[rp]	[rg]	!addr11	[addr5]	RBn	なし
基本命令	BC ^注 BR	CALL BR	CALL BR RETCS RETCSB	CALL BR	CALL BR	CALL BR	CALL BR	CALL BR	CALLF	CALLT	BRKCS	BRK RET RETI RETB
複合命令	BF BT BTCLR BFSET DBNZ											

注 BNZ , BNE , BZ , BE , BNC , BNL , BL , BN , BV , BPO , BP , BPE , BP , BN , BLT , BGE , BLE , BGT , BNH ,
BHはBCと同じ

(6) その他の命令

ADJBA , ADJBS , CVTBW , LOCATION , SEL , NOT , EI , DI , SWRS

6．電気的特性

絶対最大定格 (T_A = 25)

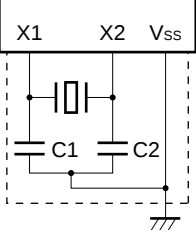
項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}	V _{DD} - AV _{DD1} 0.5 V	- 0.5 ~ + 7.0	V
	AV _{DD1}	V _{DD} - AV _{DD2} 0.5 V	- 0.5 ~ + 7.0	V
	AV _{DD2}	AV _{DD1} - AV _{DD2} 0.5 V	- 0.5 ~ + 7.0	V
	AV _{SS1}		- 0.5 ~ + 0.5	V
	AV _{SS2}		- 0.5 ~ + 0.5	V
入力電圧	V _I		- 0.5 ~ V _{DD} + 0.5	V
アナログ入力電圧 (ANI0-ANI11)	V _{IAN}	V _{DD} - AV _{DD2}	- 0.5 ~ AV _{DD2} + 0.5	V
		V _{DD} < AV _{DD2}	- 0.5 ~ V _{DD} + 0.5	V
出力電圧	V _O		- 0.5 ~ V _{DD} + 0.5	V
ロウ・レベル出力電流	I _{OL}	1 端子	15	mA
		全出力端子合計	100	mA
ハイ・レベル出力電流	I _{OH}	1 端子	- 10	mA
		全出力端子合計	- 50	mA
動作周囲温度	T _A		- 10 ~ + 70	
保存温度	T _{stg}		- 65 ~ + 150	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

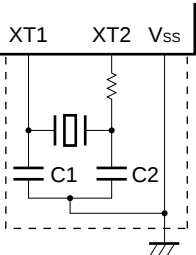
動作条件

クロック周波数	動作周囲温度 (T _A)	動 作 条 件	電源電圧 (V _{DD})
4 MHz f _{xx} 16 MHz	- 10 ~ + 70	全機能	+ 4.5 ~ + 5.5 V
		CPU機能のみ	+ 4.0 ~ + 5.5 V
32 kHz f _{XT} 35 kHz		サブクロック動作 (CPU, 時計, ポート機能のみ)	+ 2.7 ~ + 5.5 V

発振器特性（メイン・クロック）（ $T_A = -10 \sim +70$, $V_{DD} = AV_{DD} = 4.0 \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0\text{ V}$ ）

発振子	推奨回路	項目	MIN.	MAX.	単位
水晶振動子		発振周波数 (f_{XX})	4	16	MHz

発振器特性（サブクロック）（ $T_A = -10 \sim +70$, $V_{DD} = AV_{DD} = 2.7 \sim 5.5\text{ V}$, $V_{SS} = AV_{SS} = 0\text{ V}$ ）

発振子	推奨回路	項目	MIN.	MAX.	単位
水晶振動子		発振周波数 (f_{XT})	32	35	kHz

注意 メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、上記図中の破線の部分を次のように配線してください。

- ・配線は極力短くする
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

特に、サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっていますのでご注意ください。

DC特性 (T_A = -10 ~ +70 , V_{DD} = AV_{DD} = 4.5 ~ 5.5 V, V_{SS} = AV_{SS} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ロウ・レベル入力電圧	V _{IL1}	注 1 以外の端子	0		0.3V _{DD}	V
	V _{IL2}	注 1 の端子	0		0.2V _{DD}	V
	V _{IL3}	X1, X2	0		0.4	V
ハイ・レベル入力電圧	V _{IH1}	注 1 以外の端子	0.7V _{DD}		V _{DD}	V
	V _{IH2}	注 1 の端子	0.8V _{DD}		V _{DD}	V
	V _{IH3}	X1, X2	V _{DD} - 0.5		V _{DD}	V
ロウ・レベル出力電圧	V _{OL1}	I _{OL} = 8.0 mA (注 2 の端子)			1.0	V
	V _{OL2}	I _{OL} = 5.0 mA (注 4 の端子)			0.6	V
	V _{OL3}	I _{OL} = 2.0 mA			0.45	V
	V _{OL4}	I _{OL} = 100 μA			0.25	V
ハイ・レベル出力電圧	V _{OH1}	I _{OH} = -1.0 mA	V _{DD} - 1.0			V
	V _{OH2}	I _{OH} = -100 μA	V _{DD} - 0.4			V
入力リーク電流	I _{LI}	0 V _I V _{DD}			±10	μA
出力リーク電流	I _{LO}	0 V _O V _{DD}			±10	μA
V _{DD} 電源電流	I _{DD1}	動作モード	f _{XX} = 16 MHz f _{XX} = 8 MHz (低周波発振モード) 内部8 MHzメイン・クロック動作	30	50	mA
			f _{XT} = 32.768 kHz サブクロック動作 (CPU, 時計, ポート) V _{DD} = 2.7 V	50	80	μA
	I _{DD2}	HALTモード	f _{XX} = 16 MHz f _{XX} = 8 MHz (低周波発振モード) 内部8 MHzメイン・クロック動作	10	25	mA
			f _{XT} = 32.768 kHz サブクロック動作 (CPU, 時計, ポート) V _{DD} = 2.7 V	25	50	μA
データ保持電圧	V _{DDDR}	STOPモード	2.5			V
データ保持電流 ^{注3}	I _{DDDR}	STOPモード V _{DDDR} = 5.0 V	サブクロック発振	18	50	μA
		STOPモード V _{DDDR} = 2.7 V	サブクロック発振	2.5	10	μA
		STOPモード V _{DDDR} = 2.5 V	サブクロック停止	0.2	7.0	μA
ブルアップ抵抗	R _L	V _I = 0 V	25	55	110	kΩ

注 1 . RESET, IC, NMI, INTP0-INTP2, P61/SCK1/BUZ, P63/SI1, SCK2, SI2/BUSY, P65/HWIN, P91/KEY0-P95/KEY4

2 . P40-P47

3 . サブクロック停止のSTOPモード時は, 帰還抵抗をオフし, XT1端子をV_{DD}電位に接続してください。

4 . P46, P47

AC特性

CPUおよび周辺回路動作クロック ($T_A = -10 \sim +70$, $V_{DD} = AV_{DD} = 4.5 \sim 5.5$ V, $V_{SS} = AV_{SS} = 0$ V)

項 目	略 号	条 件	TYP.	単 位
CPU動作クロック・サイクル・タイム	t _{CLK}	f _{XX} = 16 MHz $V_{DD} = AV_{DD} = 4.0 \sim 5.5$ V CPU機能のみ	125	ns
		f _{XX} = 16 MHz		
		f _{XX} = 8 MHz 低周波発振モード (CC ビット7 = 1)		
周辺動作クロック・サイクル・タイム	t _{CLK1}	f _{XX} = 16 MHz	125	ns
		f _{XX} = 8 MHz 低周波発振モード (CC ビット7 = 1)		

シリアル・インタフェース

(1) SIO_n : n = 1, 2 ($T_A = -10 \sim +70$, $V_{DD} = AV_{DD} = 4.5 \sim 5.5$ V, $V_{SS} = AV_{SS} = 0$ V)

項 目	略 号	条 件	MIN.	MAX.	単 位
シリアル・クロック・サイクル・タイム	t _{CYSK}	入力 外部クロック	1.0		μs
		出力	f _{CLK1} の8分周	1.0	μs
			f _{CLK1} の16分周	2.0	μs
			f _{CLK1} の32分周	4.0	μs
			f _{CLK1} の64分周	8.0	μs
			f _{CLK1} の128分周	16	μs
			f _{CLK1} の256分周	32	μs
シリアル・クロック・ハイ・ロウ・レベル幅	t _{WSKH}	入力 外部クロック	420		ns
	t _{WSKL}	出力 内部クロック	t _{CYSK} /2 - 50		ns
SInセットアップ時間(対 $\overline{SCKn} \uparrow$)	t _{SSSK}		100		ns
SInホールド時間(対 $\overline{SCKn} \uparrow$)	t _{HSSK}		400		ns
SO _n 出力遅延時間(対 $\overline{SCKn} \downarrow$)	t _{DSSK}		0	300	ns

備考 1 . f_{CLK1} : 周辺回路の動作クロック (8 MHz)

2 . n = 1, 2

(2) SIO2のみ ($T_A = -10 \sim +70$, $V_{DD} = AV_{DD} = 4.5 \sim 5.5$ V, $V_{SS} = AV_{SS} = 0$ V)

項 目	略 号	条 件	MIN.	MAX.	単 位
$\overline{SCK2}(8) \uparrow \rightarrow \text{STRB} \uparrow$	t _{DSTRB}		t _{WSKH}	t _{CYSK}	
ストローブ・ハイ・レベル幅	t _{WSTRB}		t _{CYSK} - 30	t _{CYSK} + 30	ns
BUSYセットアップ時間 (対BUSY検出タイミング)	t _{SBUSY}		100		ns
BUSYホールド時間 (対BUSY検出タイミング)	t _{HBUSY}		100		ns
BUSYインアクティブ $\rightarrow \overline{SCK2}(1) \downarrow$	t _{LBUSY}			t _{CYSK} + t _{WSKH}	

備考 1 . $\overline{SCK2}$ に続く () 内の数値は、何番目の $\overline{SCK2}$ を表しています。2 . BUSY検出タイミングは、 $\overline{SCK2}(8) \uparrow$ に対して (n + 2) × t_{CYSK}時間経過後です (n = 0, 1, . . .)。3 . BUSYインアクティブ $\rightarrow \overline{SCK2}(1) \downarrow$ は、すでにSIO2へのデータ書き込みが完了している場合の値です。

I²Cバス・モード (μPD784928Yサブシリーズのみ)

項 目	略 号	標準モード		高速モード		単位
		MIN.	MAX.	MIN.	MAX.	
SCLクロック周波数	f _{CLK}	0	100	0	400	kHz
バス・フリー・タイム (ストップ・スタート・コンディ ション間)	t _{BUF}	4.7	-	1.3	-	μs
ホールド・タイム ^{注1}	t _{HD : STA}	4.0	-	0.6	-	μs
SCLクロックのロウ・レベル 幅	t _{LOW}	4.7	-	1.3	-	μs
SCLクロックのハイ・レベル 幅	t _{HIGH}	4.0	-	0.6	-	μs
スタート/リスタート・コン ディションのセットアップ時 間	t _{SU : STA}	4.7	-	0.6	-	μs
データ・ ホールド 時間	CBUS互換マスタ の場合	5.0	-	-	-	μs
	I ² Cバスの場合					
		0 ^{注2}	-	0 ^{注2}	0.9 ^{注3}	μs
データ・セットアップ時間	t _{SU : DAT}	250	-	100 ^{注4}	-	ns
SDAおよびSCL信号の立ち上 がり時間	t _R	-	1000	20 + 0.1Cb ^{注5}	300	ns
SDAおよびSCL信号の立ち下 がり時間	t _F	-	300	20 + 0.1Cb ^{注5}	300	ns
ストップ・コンディションの セットアップ時間	t _{SU : STO}	4.0	-	0.6	-	μs
入力フィルタによって抑制さ れるスパイクのパルス幅	t _{SP}	-	-	0	50	ns
各バス・ラインの容量性負荷	Cb	-	400	-	400	pF

注1．スタート・コンディション時に、この期間のあと、最初のクロック・パルスが生成されます。

2．装置は、SCLの立ち下がり端の未定義領域を埋めるために（SCL信号のV_{IHmin}での）SDA信号用に最低300 nsのホールド時間を内部的に提供する必要があります。

3．装置がSCL信号のロウ・ホールド時間（t_{LOW}）を延長しない場合は、最大データ・ホールド時間（t_{HD : DAT}）のみを満たすことが必要です。

4．高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

・装置がSCL信号のロウ状態ホールド・タイムを延長しない場合

$$t_{SU : DAT} = 250 \text{ ns}$$

・装置がSCL信号のロウ状態ホールド・タイムを延長する場合

SCLラインが解放される（t_{Rmax} + t_{SU : DAT} = 1000 + 250 = 1250 ns：標準モードI²Cバス仕様による）前に、次のデータ・ビットをSDAラインに送出してください。

5．Cb：1つのバス・ラインの合計キャパシタンス（単位pF）

その他のオペレーション (T_A = -10 ~ +70 , V_{DD} = AV_{DD} = 4.5 ~ 5.5 V, V_{SS} = AV_{SS} = 0 V)

項 目		略 号	条 件		MIN.	MAX.	単 位
タイマ部入力信号ロウ・レベル幅		t _{WCTL}	DFGIN, CFGIN, DPGIN, REELOIN, REEL1IN ロジック・レベル入力時		t _{CLK1}		ns
タイマ部入力信号ハイ・レベル幅		t _{WCTH}	DFGIN, CFGIN, DPGIN, REELOIN, REEL1IN ロジック・レベル入力時		t _{CLK1}		ns
タイマ部入力信号有効エッジ入力周期		t _{PERIN}	DFGIN, CFGIN, DPGIN入力		2		μs
CSYNCINロウ・レベル幅		t _{WCR1L}	ディジタル・ノイズ除去回路未使用		8t _{CLK1}		ns
			ディジタル・ノイズ除去回路使用 (INTM2 ビット4＝0)		108t _{CLK1}		ns
			ディジタル・ノイズ除去回路使用 (INTM2 ビット4＝1)		180t _{CLK1}		ns
CSYNCINハイ・レベル幅		t _{WCR1H}	ディジタル・ノイズ除去回路未使用		8t _{CLK1}		ns
			ディジタル・ノイズ除去回路使用 (INTM2 ビット4＝0)		108t _{CLK1}		ns
			ディジタル・ノイズ除去回路使用 (INTM2 ビット4＝1)		180t _{CLK1}		ns
ディジタル・ノイズ 除去回路	除去パルス幅	t _{WSEP}	INTM2 ビット4＝0			104t _{CLK1}	ns
			INTM2 ビット4＝1			176t _{CLK1}	ns
	通過パルス幅		INTM2 ビット4＝0		108t _{CLK1}		ns
			INTM2 ビット4＝1		180t _{CLK1}		ns
NMIロウ・レベル幅		t _{WNIL}	V _{DD} ＝AV _{DD} ＝2.7～5.5 V		10		μs
NMIハイ・レベル幅		t _{WNIH}	V _{DD} ＝AV _{DD} ＝2.7～5.5 V		10		μs
INTP0, INTP3ロウ・レベル幅		t _{WIPL0}			2t _{CLK1}		ns
INTP0, INTP3ハイ・レベル幅		t _{WI PH0}			2t _{CLK1}		ns
INTP1, KEY0-KEY4 ロウ・レベル幅		t _{WIPL1}	STOPモード時以外		2t _{CLK1}		ns
			STOPモード時, STOP解除用		10		μs
INTP1, KEY0-KEY4 ハイ・レベル幅		t _{WI PH1}	STOPモード時以外		2t _{CLK1}		ns
			STOPモード時, STOP解除用		10		μs
INTP2ロウ・レベル幅		t _{WIPL2}	通常モード時, メイン・クロック動作	サンプリング＝f _{CLK}	2t _{CLK1}		ns
				サンプリング＝f _{CLK} /128	32 ^注		μs
			通常モード時, サブクロック動作	サンプリング＝f _{CLK}	61		μs
				サンプリング＝f _{CLK} /128	7.9 ^注		ms
			STOPモード時, STOP解除用			10	
INTP2ハイ・レベル幅		t _{WI PH2}	通常モード時, メイン・クロック動作	サンプリング＝f _{CLK}	2t _{CLK1}		ns
				サンプリング＝f _{CLK} /128	32 ^注		μs
			通常モード時, サブクロック動作	サンプリング＝f _{CLK}	61		μs
				サンプリング＝f _{CLK} /128	7.9 ^注		ms
			STOPモード時, STOP解除用			10	
RESETロウ・レベル幅		t _{WRSL}			10		μs

注 サンプルング期間に2回続けてハイ・レベルまたはロウ・レベルが入力した場合, ハイ・レベルまたはロウ・レベルを検出します。

備考 t_{CLK1}: 周辺回路の動作クロック・サイクル・タイム (125 ns)

クロック出力オペレーション ($T_A = -10 \sim +70$, $V_{DD} = AV_{DD} = 4.5 \sim 5.5$ V, $V_{SS} = AV_{SS} = 0$ V)

項 目	略 号	計 算 式	MIN.	MAX.	単 位
CLOサイクル・タイム	t_{CYCL}	nT	125	16000	ns
CLOロウ・レベル幅	t_{CLL}	$T_{CYCL}/2 \pm 25$	37.5	8025	ns
CLOハイ・レベル幅	t_{CLH}	$T_{CYCL}/2 \pm 25$	37.5	8025	ns
CLO立ち上がり時間	t_{CLR}			25	ns
CLO立ち下がり時間	t_{CLF}			25	ns

備考 1 . nはシステム・クロック分周

2 . $T = 1/f_{CLK}$

データ保持特性 ($T_A = -10 \sim +70$, $V_{DD} = AV_{DD} = 2.5 \sim 5.5$ V, $V_{SS} = AV_{SS} = 0$ V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ロウ・レベル入力電圧	V_{IL}	特定端子 (注の端子)	0		$0.1V_{DDDR}$	V
ハイ・レベル入力電圧	V_{IH}		$0.9V_{DDDR}$		V_{DDDR}	V

注 RESET, IC, NMI, INTP0-INTP2, P61/SCK1/BUZ, P63/SI1, SCK2, SI2/BUSY, P65/HWIN, P91/KEY0-P95/KEY4

時計機能 ($T_A = -10 \sim +70$, $V_{DD} = AV_{DD} = 2.7 \sim 5.5$ V, $V_{SS} = AV_{SS} = 0$ V)

項 目	略 号	条 件	MIN.	MAX.	単位
サブクロック発振保持電圧	V_{DDXT}		2.7		V
ハードウェア時計機能動作電圧	V_{DDW}		2.7		V

サブクロック発振停止検出フラグ ($T_A = -10 \sim +70$, $V_{DD} = AV_{DD} = 4.5 \sim 5.5$ V, $V_{SS} = AV_{SS} = 0$ V)

項 目	略 号	条 件	MIN.	MAX.	単 位
発振停止検出幅	t_{OSCF}		45		μs

A/Dコンバータ特性 ($T_A = -10 \sim +70$, $V_{DD} = AV_{DD} = AV_{REF} = 4.5 \sim 5.5$ V, $V_{SS} = AV_{SS} = 0$ V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			8			bit
総合誤差		$AV_{REF}=V_{DD}$			2.0	%
量子化誤差					$\pm 1/2$	LSB
変換時間	t_{CONV}	ADMビット 4 = 0	$160t_{CLK1}$			μs
		ADMビット 4 = 1	$80t_{CLK1}$			μs
サンプリング時間	t_{SAMP}	ADMビット 4 = 0	$32t_{CLK1}$			μs
		ADMビット 4 = 1	$16t_{CLK1}$			μs
アナログ入力電圧	V_{IAN}		0		AV_{REF}	V
アナログ入力インピーダンス	Z_{AN}			1000		MΩ
AV_{REF} 電流	AI_{REF}			0.4	1.2	mA

VREFアンブ ($T_A = 25$, $V_{DD} = AV_{DD} = 5$ V, $V_{SS} = AV_{SS} = 0$ V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
レファレンス電圧	V _{REF}		2.35	2.50	2.65	V
チャージ電流	I _{CHG}	AMPM0.0を1にセット (注の端子)	300			μ A

注 RECCTL + , RECCTL - , CFGIN, CFGCPIN, DFGIN, DPGIN, CSYNCIN, REEL0IN, REEL1IN

CTLアンブ ($T_A = 25$, $V_{DD} = AV_{DD} = 5$ V, $V_{SS} = AV_{SS} = 0$ V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
CTL + , - 入力抵抗	R _{ICTL}		2	5	10	k Ω
帰還抵抗	R _{FCTL}		20	50	100	k Ω
バイアス抵抗	R _{BCTL}		20	50	100	k Ω
最小電圧利得	G _{CTLMIN}		17	20	22	dB
最大電圧利得	G _{CTLMAX}		71	75		dB
ゲイン切り替えステップ	S _{GAIN}			1.77		dB
同相信号除去比	CMR	DC , 電圧利得 : 20 dB		50		dB
波形整形のハイ側コンパレータ・セット電圧	V _{PBCTLHS}		V _{REF} + 0.47	V _{REF} + 0.50	V _{REF} + 0.53	V
波形整形のハイ側コンパレータ・リセット電圧	V _{PBCTLHR}		V _{REF} + 0.27	V _{REF} + 0.30	V _{REF} + 0.33	V
波形整形のロウ側コンパレータ・セット電圧	V _{PBCTLLS}		V _{REF} - 0.53	V _{REF} - 0.50	V _{REF} - 0.47	V
波形整形のロウ側コンパレータ・リセット電圧	V _{PBCTLLR}		V _{REF} - 0.33	V _{REF} - 0.30	V _{REF} - 0.27	V
波形整形コンパレータ・シュミット幅	V _{PBSH}		150	200	250	mV
CLTフラグSのハイ側コンパレート電圧	V _{FSH}		V _{REF} + 1.00	V _{REF} + 1.05	V _{REF} + 1.10	V
CLTフラグSのロウ側コンパレート電圧	V _{FSL}		V _{REF} - 1.10	V _{REF} - 1.05	V _{REF} - 1.00	V
CLTフラグLのハイ側コンパレート電圧	V _{FLH}		V _{REF} + 1.40	V _{REF} + 1.45	V _{REF} + 1.50	V
CLTフラグLのロウ側コンパレート電圧	V _{FLL}		V _{REF} - 1.50	V _{REF} - 1.45	V _{REF} - 1.40	V

CFGアンプ (AC結合) ($T_A = 25$, $V_{DD} = AV_{DD} = 5\text{ V}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

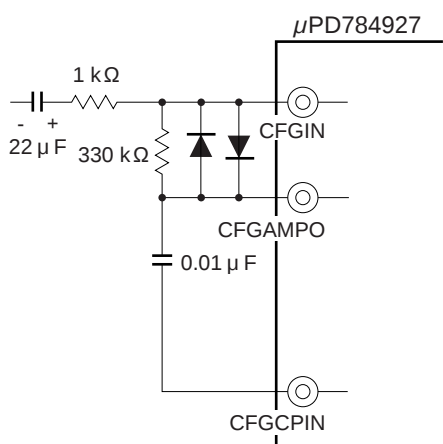
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電圧利得 1	G _{CFG1}	$f_i = 2\text{ kHz}$, オープン・ループ	50			dB
電圧利得 2	G _{CFG2}	$f_i = 30\text{ kHz}$, オープン・ループ	34			dB
CFGAMPOハイ・レベル出力電流	I _{OHCFG}	DC	- 1			mA
CFGAMPOロウ・レベル出力電流	I _{OLCFG}	DC	0.1			mA
ハイ側コンパレート電圧	V _{CFGH}		$V_{REF} + 0.09$	$V_{REF} + 0.12$	$V_{REF} + 0.15$	V
ロウ側コンパレート電圧	V _{CFGH}		$V_{REF} - 0.15$	$V_{REF} - 0.12$	$V_{REF} - 0.09$	V
デューティ精度	P _{DUTY}	注	49.7	50.0	50.3	%

注 以下のような回路および入力信号が条件となります。

入力信号：正弦波入力 (5 mV_{P-P})

$f_i = 1\text{ kHz}$

電圧利得：50 dB



DFGアンプ (AC結合) ($T_A = 25$, $V_{DD} = AV_{DD} = 5\text{ V}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電圧利得	G _{DFG}	$f_i = 900\text{ Hz}$, オープン・ループ	50			dB
帰還抵抗	R _{DFG}		160	400	640	kΩ
入力保護抵抗	R _{IDFG}			150		Ω
ハイ側コンパレート電圧	V _{DFGH}		$V_{REF} + 0.07$	$V_{REF} + 0.10$	$V_{REF} + 0.14$	V
ロウ側コンパレート電圧	V _{DFGL}		$V_{REF} - 0.14$	$V_{REF} - 0.10$	$V_{REF} - 0.07$	V

注意 DFGIN端子に接続する入力抵抗は、16 kΩ 以下にしてください。それ以上の値の抵抗を接続すると、DFGアンプが発振する恐れがあります。

DPGアンプ (AC結合) ($T_A = 25$, $V_{DD} = AV_{DD} = 5\text{ V}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
電圧利得	GDPG	$f_i = 30\text{ Hz}$		20		dB
ハイ側コンパレート電圧	VDPGH1	SELDPGHL0 = 0, SELDPGHL1 = 0	$V_{REF} + 0.02$	$V_{REF} + 0.05$	$V_{REF} + 0.08$	V
	VDPGH2	SELDPGHL0 = 1, SELDPGHL1 = 0	$V_{REF} + 0.56$	$V_{REF} + 0.60$	$V_{REF} + 0.64$	V
	VDPGH3	SELDPGHL0 = 0, SELDPGHL1 = 1	$V_{REF} - 0.44$	$V_{REF} - 0.40$	$V_{REF} - 0.36$	V
ロウ側コンパレート電圧	VDPGL1	SELDPGHL0 = 0, SELDPGHL1 = 0	$V_{REF} - 0.08$	$V_{REF} - 0.05$	$V_{REF} - 0.02$	V
	VDPGL2	SELDPGHL0 = 1, SELDPGHL1 = 0	$V_{REF} + 0.36$	$V_{REF} + 0.40$	$V_{REF} + 0.44$	V
	VDPGL3	SELDPGHL0 = 0, SELDPGHL1 = 1	$V_{REF} - 0.64$	$V_{REF} - 0.60$	$V_{REF} - 0.56$	V

注意 SELDPGHL0 = 0, SELDPGHL1 = 0の条件では, DPGアンプは未使用です。

したがって, 必ずAMPC. 7 (ENDPG) = 0に設定してください。

3 値分離回路 ($T_A = 25$, $V_{DD} = AV_{DD} = 5\text{ V}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力インピーダンス	ZIPFG		20	50	100	kΩ
ハイ側コンパレート電圧	VPFHG		$V_{REF} + 0.5$	$V_{REF} + 0.7$	$V_{REF} + 0.9$	V
ロウ側コンパレート電圧	VPFGL		$V_{REF} - 1.4$	$V_{REF} - 1.2$	$V_{REF} - 1.0$	V

CSYNCコンパレータ (AC結合) ($T_A = 25$, $V_{DD} = AV_{DD} = 5\text{ V}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力インピーダンス	ZICSYN		20	50	100	kΩ
ハイ側コンパレート電圧	VCSYNH		$V_{REF} + 0.07$	$V_{REF} + 0.10$	$V_{REF} + 0.13$	V
ロウ側コンパレート電圧	VCSYNL		$V_{REF} - 0.13$	$V_{REF} - 0.10$	$V_{REF} - 0.07$	V

リールFGコンパレータ (AC結合) ($T_A = 25$, $V_{DD} = AV_{DD} = 5\text{ V}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

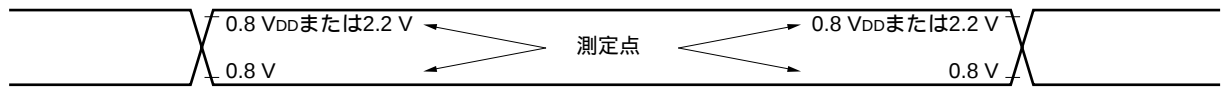
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力インピーダンス	ZIRLFG		20	50	100	kΩ
ハイ側コンパレート電圧	VRFLFGH		$V_{REF} + 0.02$	$V_{REF} + 0.05$	$V_{REF} + 0.08$	V
ロウ側コンパレート電圧	VRFLFGL		$V_{REF} - 0.08$	$V_{REF} - 0.05$	$V_{REF} - 0.02$	V

RECCTLドライバ ($T_A = 25$, $V_{DD} = AV_{DD} = 5\text{ V}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

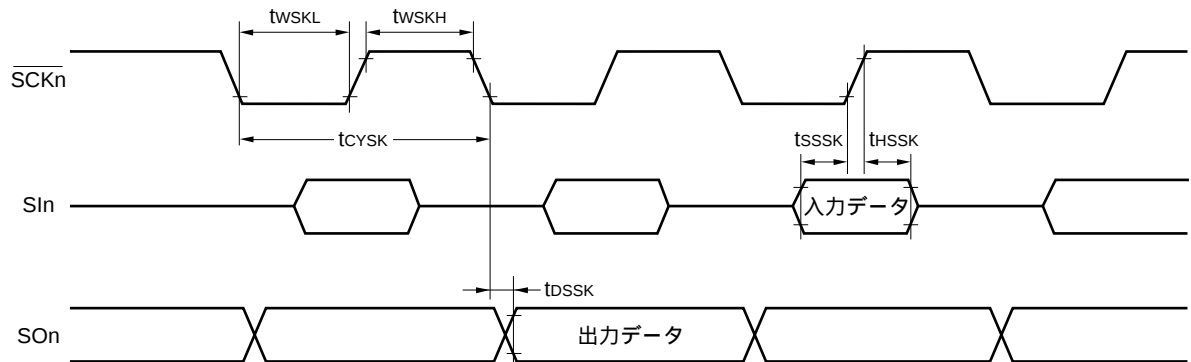
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
RECCTL+, - ハイ・レベル出力電圧	VOHREC	$I_{OH} = -4\text{ mA}$	$V_{DD} - 0.8$			V
RECCTL+, - ロウ・レベル出力電圧	VOLREC	$I_{OL} = 4\text{ mA}$			0.8	V
CTLDLY内蔵抵抗	RCTL		40	70	140	kΩ
CTLDLY充電電流	IOHCTL	内蔵抵抗未使用	- 3			mA
CTLDLY放電電流	IOLCTL		- 3			mA

タイミング波形

ACタイミング測定点

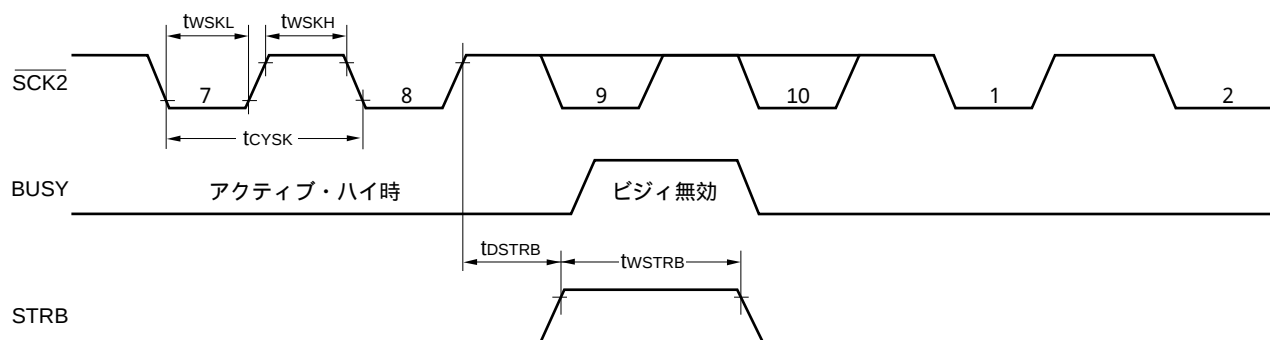


シリアル転送タイミング (SIOn : n=1, 2)

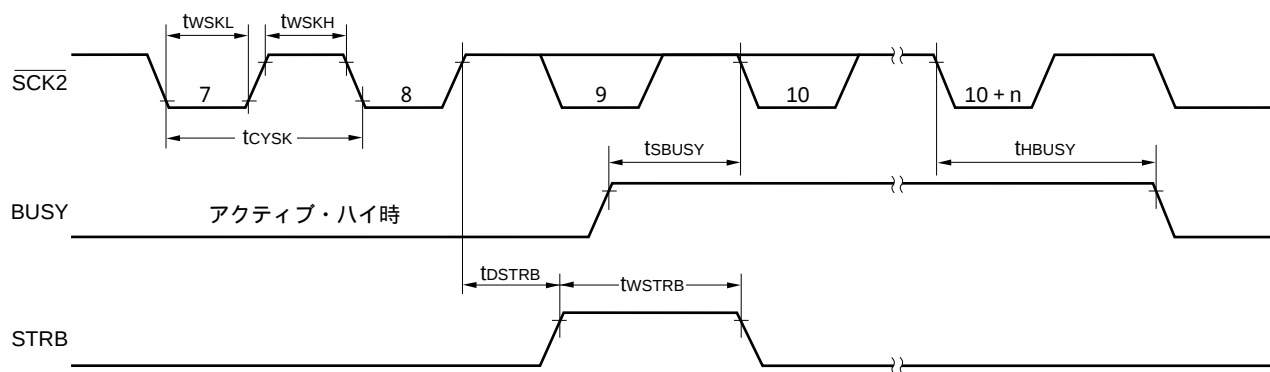


シリアル転送タイミング (SIO2のみ)

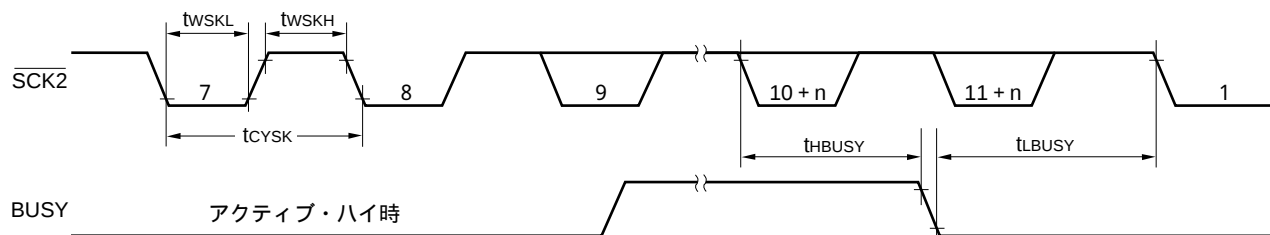
ビジィ処理なし



ビジィ処理の継続

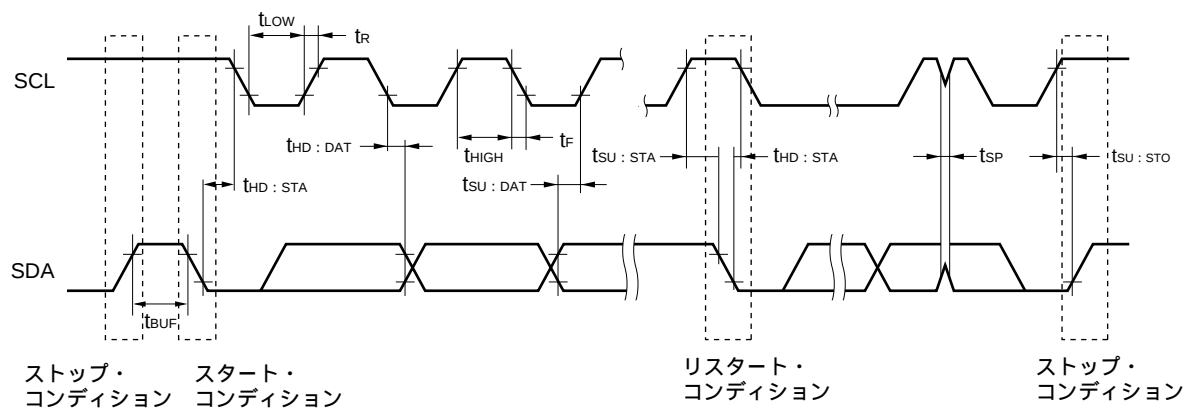


ビジィ処理の終了

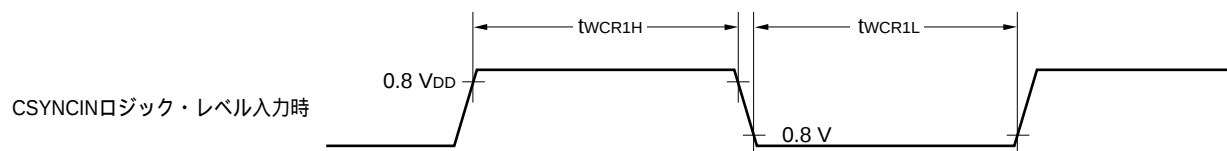
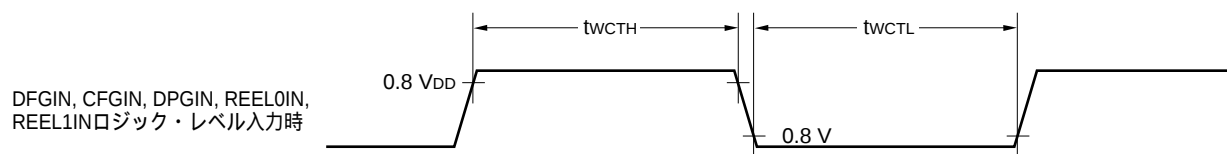


注意 シリアル・クロックとして外部クロックを選択した場合、ビジィ制御とストローブ制御は使用しないでください。

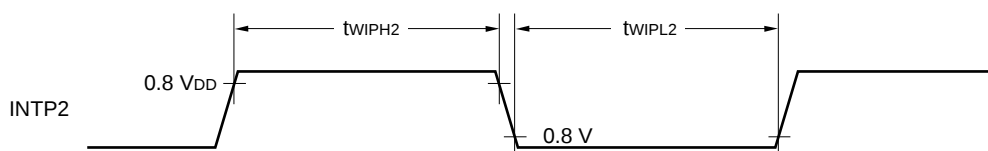
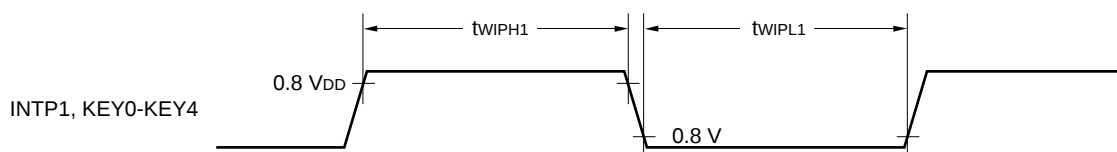
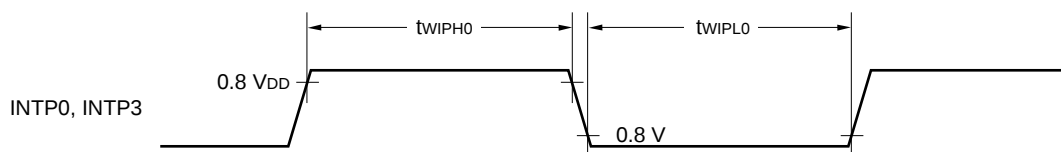
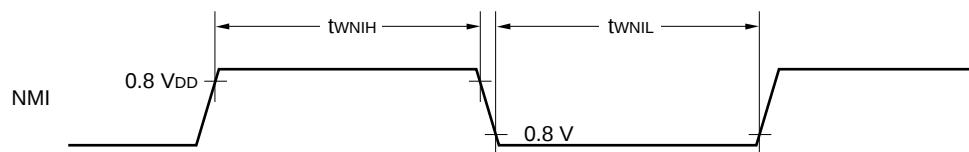
I²Cバス・モード (μ PD784928Yサブシリーズのみ)



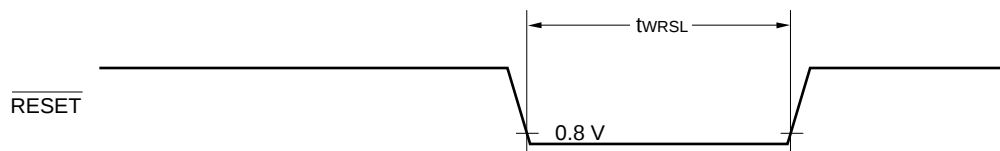
スーパ・タイマ・ユニット入力タイミング



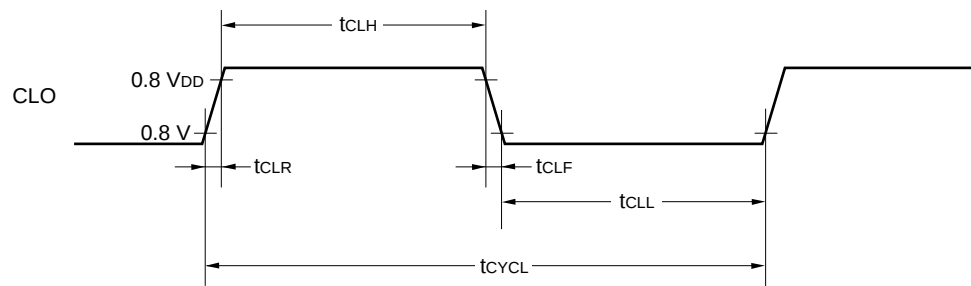
割り込み要求入力タイミング



リセット入力タイミング

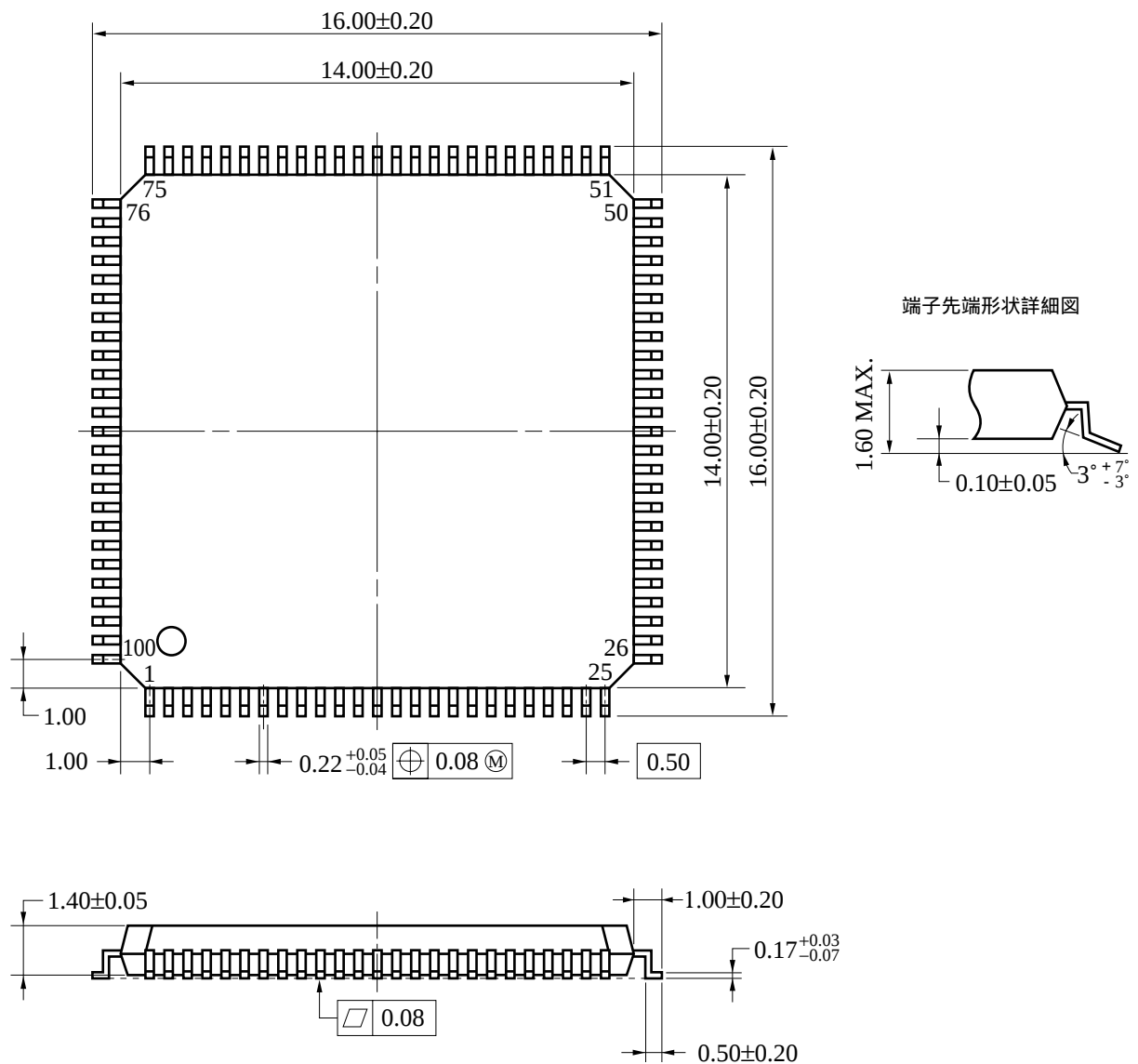


クロック出力タイミング



7. 外形図

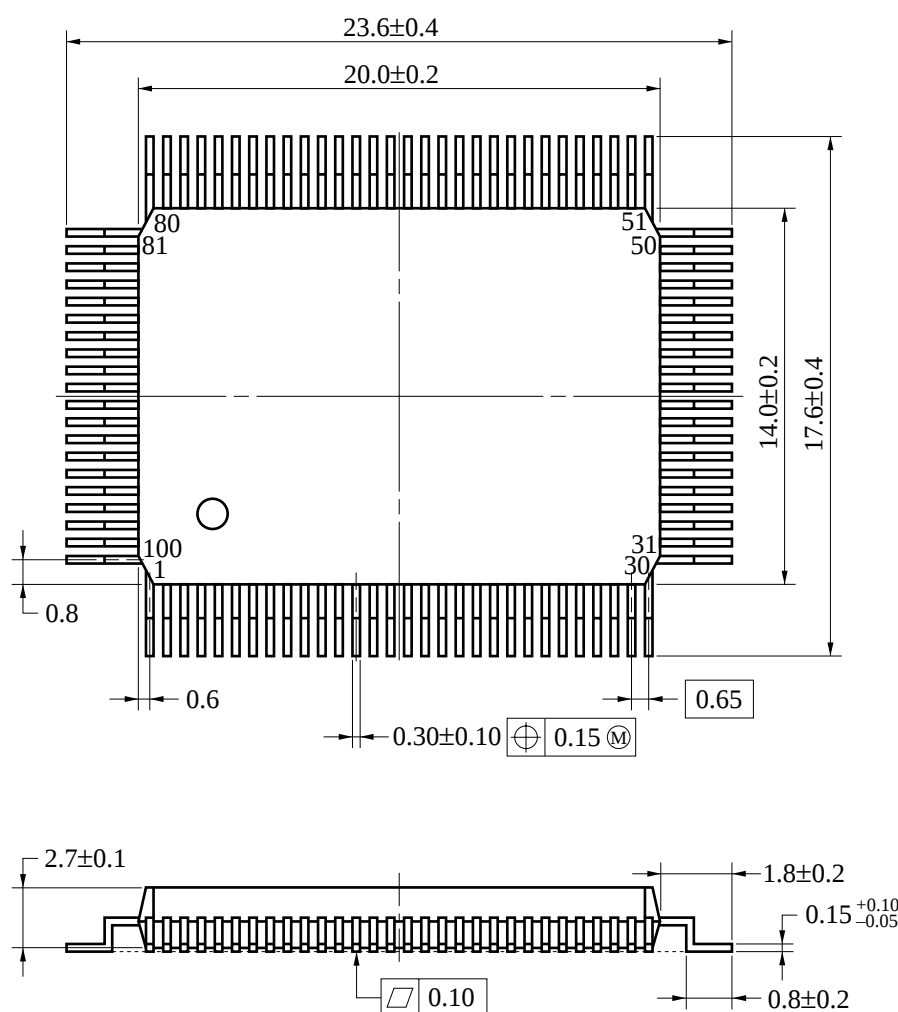
100ピン・プラスチック LQFP (ファインピッチ)(14×14) 外形図 (単位: mm)



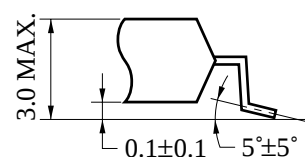
S100GC-50-8EU

備考 ES品の外形や材質は、量産品と同じです。

100ピン・プラスチック QFP (14×20) 外形図 (単位: mm)



端子先端形状詳細図



P100GF-65-3BA1-3

備考 ES品の外形や材質は、量産品と同じです。

8. 半田付け推奨条件

μPD784927の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

表 8 - 1 表面実装タイプの半田付け条件

(1) μPD784927GF-×××-3BA : 100ピン・プラスチックQFP (14×20 mm)

μPD784928GF-×××-3BA : //

μPD784927YGF-×××-3BA : //

μPD784928YGF-×××-3BA : //

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235，時間：30秒以内（210 以上），回数：3 回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215，時間：40秒以内（200 以上），回数：3 回以内	VP15-00-3
ウェーブ・ソルダリング	半田槽温度：260 以下，時間：10秒以内，回数：1 回，予備加熱温度：120 MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：350 以下，時間 3 秒以内（デバイスの一辺当たり）	-

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

★ (2) μPD784927GF-×××-3BA-A : 100ピン・プラスチックQFP (14×20 mm)

μPD784928GF-×××-3BA-A : //

μPD784927YGF-×××-3BA-A : //

μPD784928YGF-×××-3BA-A : //

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260，時間：60秒以内（220 以上），回数：3 回以内， 制限日数：7 日間 ^注 （以降は125 プリベーク 20～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
ウェーブ・ソルダリング	詳細については，当社販売員にご相談ください。	-
端子部分加熱	端子温度：350 以下，時間：3 秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

備考 オーダ名称末尾「-A」の製品は，鉛フリー製品です。

付録A・開発ツール

μPD784927を使用するシステム開発のために、次のような開発ツールを用意しています。

(5) 開発ツールを使用する際の注意も参照してください。

(1) 言語処理用ソフトウェア

RA78K4	78K/ シリーズ共通のアセンブラ・パッケージ
CC78K4	78K/ シリーズ共通のCコンパイラ・パッケージ
DF784928	μPD784928, 784928Yサブシリーズと共通のデバイス・ファイル
CC78K4-L	78K/ シリーズ共通のCコンパイラ・ライブラリ・ソース・ファイル

(2) フラッシュ・メモリ書き込み用ツール

Flashpro , (型番FL-PR2, FL-PR3, PG-FP)	専用フラッシュ・ライター
FA-100GC	100ピン・プラスチックLQFP (GC-8EUタイプ) 用フラッシュ・メモリ書き込み用アダプタ。対象製品にあわせて結線が必要です。
FA-100GF	100ピン・プラスチックQFP (GF-3BAタイプ) 用フラッシュ・メモリ書き込み用アダプタ。対象製品にあわせて結線が必要です。

(3) デバッグ用ツール

・インサートキット・エミュレータ IE-78K4-NSを使用する場合

★

IE-78K4-NS	78K/ シリーズ共通のインサートキット・エミュレータ
IE-70000-MC-PS-B	IE-78K4-NS用電源ユニット
IE-70000-98-IF-C	ホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) 使用するときに必要なインタフェース・アダプタ (Cバス対応)
IE-70000-CD-IF-A	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブル (PCMCIAソケット対応)
IE-70000-PC-IF-C	ホスト・マシンとしてIBM PC/AT™互換機を使用するときに必要なインタフェース・アダプタ (ISAバス対応)
IE-784928-NS-EM1	μPD784928, 784928Yサブシリーズをエミュレーションするためのエミュレーション・ボード
EP-784915-GF-R	μPD784915サブシリーズと共通の100ピン・プラスチックQFP (GF-3BAタイプ) , 100ピン・プラスチックLQFP (GC-8EUタイプ) 用エミュレーション・プローブ
EV-9200GF-100	100ピン・プラスチックQFP (GF-3BAタイプ) 用に作られたターゲット・システムの基板上に実装する変換ソケット。LCC方式の場合に使用します。
NQPACK100RB	100ピン・プラスチックQFP (GF-3BAタイプ) 用に作られたターゲット・システムの基板上に実装する変換ソケット。QFP方式の場合に使用します。
ID78K4-NS	IE-78K4-NS用統合デバッグ
SM78K4	78K/ シリーズ共通のシステム・シミュレータ
DF784928	μPD784928, 784928Yサブシリーズと共通のデバイス・ファイル

・インサートキット・エミュレータ IE-784000-Rを使用する場合

IE-784000-R	78K/ シリーズ共通のインサートキット・エミュレータ
IE-70000-98-IF-C	ホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なインタフェース・アダプタ（Cバス対応）
IE-70000-PC-IF-C	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なインタフェース・アダプタ（ISAバス対応）
IE-78000-R-SV3	ホスト・マシンとしてEWSを使用するときに必要なインタフェース・アダプタとケーブル
IE-784928-NS-EM1 IE-784915-R-EM1	μPD784928, 784928Yサブシリーズ, μPD784915サブシリーズと共通のエミュレーション・ボード
IE-784000-R-EM	78K/ シリーズ共通のエミュレーション・ボード
IE-78K4-R-EX3	IE-784928-NS-EM1をIE-784000-R上で使用するときに必要な100ピン用の変換ボード 従来品のIE-784915-R-EM1を使用するときは必要ありません
EP-784915-GF-R	μPD784915サブシリーズと共通の100ピン・プラスチックQFP（GF-3BAタイプ）, 100ピン・プラスチックLQFP（GC-8EUタイプ）用エミュレーション・プローブ
EV-9200GF-100	100ピン・プラスチックQFP（GF-3BAタイプ）用に作られたターゲット・システムの基板上に実装する変換ソケット。LCC方式の場合に使用します。
NQPACK100RB	100ピン・プラスチックQFP（GF-3BAタイプ）用に作られたターゲット・システムの基板上に実装する変換ソケット。QFP方式の場合に使用します。
ID78K4	IE-784000-R用統合ディバッガ
SM78K4	78K/ シリーズ共通のシステム・シミュレータ
DF784928	μPD784928, 784928Yサブシリーズと共通のデバイス・ファイル

（４）リアルタイムOS

RX78K/	78K/ シリーズ用リアルタイムOS
MX78K4	78K/ シリーズ用OS

(5) 開発ツールを使用する際の注意

- ・ ID78K4-NS, ID78K4, SM78K4は , DF784928と組み合わせて使用します。
- ・ CC78K4, RX78K/ は , RA78K4およびDF784928と組み合わせて使用します。
- ・ FL-PR2, FL-PR3, FA-100GC, FA-100GFは株式会社内藤電誠町田製作所 (TEL (044) 822-3813) の製品です。ご購入の際はNEC特約店にご相談ください。
- ・ NQPACK100RBIは , 東京エレテック株式会社の製品です。

問い合わせ先 : 大丸興業株式会社 東京電子部 (TEL (03) 3820-7112)

大阪電子部 (TEL (06) 6244-6672)

- ・ 各ソフトウェアに対応するホスト・マシンとOSは次のとおりです。

ホスト・マシン 〔 OS 〕 ソフトウェア	PC	EWS
	PC-9800シリーズ〔 Windows™ 〕 IBM PC/AT互換機〔 日本語 / 英語Windows 〕	HP9000シリーズ700™〔 HP-UX™ 〕 SPARCstation™〔 SunOS™, Solaris™ 〕 NEWS™ (RISC)〔 NEWS-OS™ 〕
RA78K4	○注	○
CC78K4	○注	○
ID78K4-NS	○	-
ID78K4	○	○
SM78K4	○	-
RX78K/	○注	○
MX78K4	○注	○

注 DOSベースのソフトウェアです。

付録B. 関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資 料 名	資料番号	
	和 文	英 文
μPD784928, 784928Yサブシリーズ ユーザーズ・マニュアル ハードウェア編	U12648J	U12648E
μPD784927, 784928, 784927Y, 784928Y データ・シート	U12255J	U12255E
μPD784928サブシリーズ 特殊機能レジスタ活用表	U12798J	-
μPD78F4928 ペーパー・マシン	U12188J	U12188E
μPD784928Yサブシリーズ 特殊機能レジスタ活用表	U12719J	-
μPD78F4928Y ペーパー・マシン	U12271J	U12271E
μPD784915, 784928, 784928Yサブシリーズ アプリケーション・ノート VTRサーボ編	U11361J	U11361E
78K/ シリーズ ユーザーズ・マニュアル 命令編	U10905J	U10905E
78K/ シリーズ インストラクション活用表	U10594J	-
78K/ シリーズ インストラクション・セット	U10595J	-
78K/ シリーズ アプリケーション・ノート ソフトウェア基礎編	U10095J	U10095E

開発ツールの資料（ユーザーズ・マニュアル）

資 料 名		資料番号	
		和 文	英 文
RA78K4 アセンブラ・パッケージ	操作編	U11334J	U11334E
	言語編	U11162J	U11162E
RA78Kシリーズ 構造化アセンブラ・プリプロセッサ		U11743J	U11743E
CC78K4 Cコンパイラ	操作編	U11572J	U11572E
	言語編	U11571J	U11571E
IE-78K4-NS		U13356J	U13356E
IE-784000-R		U12903J	EEU-1534
IE-784928-NS-EM1		U13819J	U13819E
IE-784915-R-EM1, EP-784915GF-R		U10931J	U10931E
SM78K4 システム・シミュレータ Windowsベース	レファレンス編	U10093J	U10093E
SM78Kシリーズ システム・シミュレータ	外部部品ユーザオープン インタフェース仕様編	U10092J	U10092E
ID78K4-NS 統合ディバग्ガ	レファレンス編	U12796J	U12796E
ID78K4 統合ディバग्ガ Windowsベース	レファレンス編	U10440J	U10440E
ID78K4 統合ディバग्ガ HP-UX, SunOS, NEWS-OSベース	レファレンス編	U11960J	U11960E

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

組み込み用ソフトウェアの資料（ユーザズ・マニュアル）

資 料 名		資料番号	
		和 文	英 文
78K/ シリーズ リアルタイムOS	基礎編	U10603J	U10603E
	インストール編	U10604J	U10604E
	ディバग्ガ編	U10364J	-
78K/ シリーズ用OS MX78K4	基礎編	U11779J	-

その他の資料

資 料 名		資料番号	
		和 文	英 文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-		X13769X	
半導体デバイス 実装マニュアル		注	
NEC半導体デバイスの品質水準		C11531J	C11531E
NEC半導体デバイスの信頼性品質管理		C10983J	C10983E
静電気放電（ESD）破壊対策ガイド		C11892J	C11892E
半導体 品質 / 信頼性ハンドブック		C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編		U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

〔メ モ〕

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIPは、NECエレクトロニクス株式会社の登録商標です。

EEPROMは、NECエレクトロニクス株式会社の商標です。

Windowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/AT, PC DOSは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

本製品が外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。該当する場合、日本国外に輸出する際には日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2005年8月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

（注）

- （１）本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- （２）本事項において使用されている「当社製品」とは、（１）において定義された当社の開発、製造製品をいう。

【発 行】**NECエレクトロニクス株式会社**

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：**044(435)5111**

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) **<http://www.necel.co.jp/>****【営業関係，技術関係お問い合わせ先】**

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 ： **044-435-9494**E-mail ： **info@necel.com****【資料請求先】**

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。