

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD784907, 784908

16ビット・シングルチップ・マイクロコンピュータ

保守/廃止

μ PD784907, 784908は、78K/ シリーズの中の μ PD784908サブシリーズの製品です。高速、高性能CPUのほか、IEBus™コントローラ、ROM、RAM、I/Oポート、8ビット分解能A/D、タイマ、シリアル・インタフェース、割り込み機能など豊富な周辺ハードウェアを内蔵しています。

また、マスクROM製品の機能評価用にワン・タイムPROM μ PD78P4908や、各種開発ツールも用意しております。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD784908サブシリーズ ユーザーズ・マニュアル ハードウェア編 : U11787J

78K/IVシリーズ ユーザーズ・マニュアル 命令編 : U10905J

特 徴

78K/IVシリーズ	ウォッチドッグ・タイマ : 1チャンネル
★ 最小命令実行時間 : 320 ns (6.29 MHz動作時)	クロック出力機能
160 ns (12.58 MHz動作時)	fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/16から選択
I/Oポート : 80本	A/Dコンバータ : 8ビット分解能 × 8チャンネル
タイマ/カウンタ : 16ビット・タイマ/カウンタ × 3ユニット	IEBusコントローラ内蔵
16ビット・タイマ × 1ユニット	時計用タイマ
シリアル・インタフェース : 4チャンネル	低消費電力
UART/IOE (3線式シリアルI/O) : 2チャンネル	★ 電源電圧 : $V_{DD} = 4.0 \sim 5.5$ V
CSI (3線式シリアルI/O) : 2チャンネル	(メイン・クロック : $f_{xx} = 12.58$ MHz,
PWM出力 : 2出力	内部システム・クロック = f_{xx} 時,
スタンバイ機能	$f_{CYK} = 79$ ns)
HALT/STOP/IDLEモード	$V_{DD} = 3.5 \sim 5.5$ V
クロック分周機能	(上記以外のとき, $f_{CYK} = 159$ ns)

応用分野

カー・オーディオなど

この資料では、特に断りがないかぎり μ PD784908を代表製品として説明しています。

本資料の内容は、後日変更する場合があります。

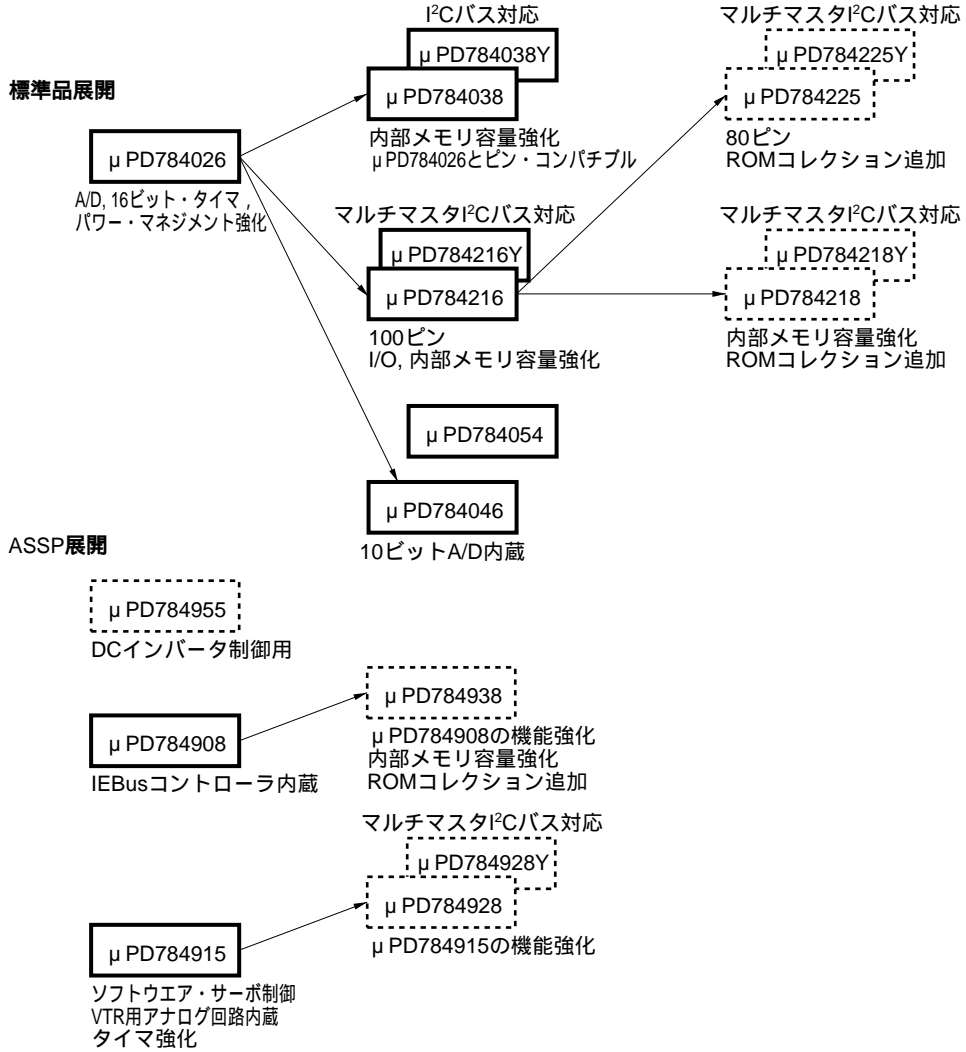
オーダ情報

オーダ名称	パッケージ	内部ROM(バイト)	内部RAM(バイト)
μPD784907GF-xxx-3BA	100ピン・プラスチックQFP(14×20mm)	96 K	3584
μPD784908GF-xxx-3BA	"	128 K	4352

備考 xxxはROMコード番号です。

★ 78K/IVシリーズ製品展開図

: 量産中
 : 開発中



機能一覧

品名		μPD784907	μPD784908	
項目				
基本命令(ニモニック)数		113		
汎用レジスタ		8ビット×16レジスタ×8バンク,または16ビット×8レジスタ×8バンク(メモリ・マッピング)		
★	最小命令実行時間	320 ns/636 ns/1.27 μs/2.54 μs (6.29 MHz動作時) 160 ns/320 ns/636 ns/1.27 μs (12.58 MHz動作時)		
	内部メモリ	ROM	96 K	128 K
		RAM	3584バイト	4352バイト
メモリ空間		プログラム/データあわせて1Mバイト		
I/Oポート	合計	80本		
	入力	8本		
	入出力	72本		
付加機能付き端子 ^注	LEDダイレクト・ドライブ出力	24本		
	トランジスタ・ダイレクト・ドライブ	8本		
	N-chオープン・ドレイン	4本		
リアルタイム出力ポート		4ビット×2,または8ビット×1		
IEBusコントローラ		内蔵(簡易版)		
タイマ/カウンタ		タイマ/カウンタ0: タイマ・レジスタ×1 (16ビット)	キャプチャ・レジスタ×1 コンペア・レジスタ×2	パルス出力可 ・トグル出力 ・PWM/PPG出力 ・ワンショット・パルス出力
		タイマ/カウンタ1: タイマ・レジスタ1 (16ビット)	キャプチャ・レジスタ×1 キャプチャ/コンペア・レジスタ×1 コンペア・レジスタ×1	リアルタイム出力ポート
		タイマ/カウンタ2: タイマ・レジスタ×1 (16ビット)	キャプチャ・レジスタ×1 キャプチャ/コンペア・レジスタ×1 コンペア・レジスタ×1	パルス出力可 ・トグル出力 ・PWM/PPG出力
		タイマ3 (16ビット)	: タイマ・レジスタ×1 コンペア・レジスタ×1	
★	時計用タイマ	0.5秒間隔で割り込み要求発生(時計クロック発振回路を内蔵) 入力クロックは,メイン・クロック(6.29 MHz/12.58 MHz)と時計クロック(32.7 kHz)の選択可能		
クロック出力		f _{CLK} , f _{CLK} /2, f _{CLK} /4, f _{CLK} /8, f _{CLK} /16から選択(1ビット出力ポートとしても使用可能)		
PWM出力		12ビット分解能×2チャンネル		
シリアル・インタフェース		UART/IOE(3線式シリアルI/O): 2チャンネル(ポーレート・ジェネレータ内蔵) CSI(3線式シリアルI/O): 2チャンネル		
A/Dコンバータ		8ビット分解能×8チャンネル		

注 付加機能付き端子は, I/O端子の中に含まれています。

品 名		μ PD784907	μ PD784908
項 目			
ウォッチドッグ・タイマ		1チャンネル	
スタンバイ		HALT/STOP/IDLEモード	
割り込み	ハードウェア要因	27 (内部20, 外部7 (サンプリング・クロック可変入力: 1))	
	ソフトウェア要因	BRK命令, BRKCS命令, オペランド・エラー	
	ノンマスカブル	内部: 1, 外部: 1	
	マスカブル	内部: 19, 外部: 6	
		4レベルのプログラマブル・プライオリティ 3種類の処理形態: ベクタ割り込み/マクロ・サービス/コンテキスト・スイッチング	
★ 電源電圧	V _{DD} = 4.0 ~ 5.5 V (メイン・クロック: f _{xx} = 12.58 MHz, 内部システム・クロック = f _{xx} 時, f _{cyk} = 79 ns) V _{DD} = 3.5 ~ 5.5 V (上記以外するとき, f _{cyk} = 159 ns)		
パッケージ	100ピン・プラスチックQFP (14 x 20 mm)		

目 次

1 . μPD784908サブシリーズ製品間の違い	...	8
2 . μPD78098サブシリーズとの主な違い	...	9
3 . 端子接続図(Top View)	...	10
4 . システム構成例(車載オーディオ(チューナ・デッキ部))	...	12
5 . ブロック図	...	13
6 . 端子機能	...	14
6.1 ポート端子	...	14
6.2 ポート以外の端子	...	16
6.3 端子の入出力回路と未使用端子の処理	...	18
7 . CPUアーキテクチャ	...	22
7.1 メモリ空間	...	22
7.2 CPUレジスタ	...	25
7.2.1 汎用レジスタ	...	25
7.2.2 制御レジスタ	...	26
7.2.3 特殊機能レジスタ(SFR)	...	27
8 . 周辺ハードウェア機能	...	33
8.1 ポート	...	33
8.2 クロック発生回路	...	35
8.3 リアルタイム出力ポート	...	38
8.4 タイマ/カウンタ	...	39
8.5 時計用タイマ	...	41
8.6 PWM出力(PWM0, PWM1)	...	42
8.7 A/Dコンバータ	...	43
8.8 シリアル・インタフェース	...	44
8.8.1 アシンクロナス・シリアル・インタフェース/3線式シリアルI/O(UART/IOE)	...	45
8.8.2 クロック同期式シリアル・インタフェース(CSI)	...	47
8.9 クロック出力機能	...	48
8.10 エッジ検出機能	...	49
8.11 ウォッチドッグ・タイマ	...	49
8.12 簡易版IEBusコントローラ	...	50
9 . 割り込み機能	...	53
9.1 割り込み要因	...	53
9.2 ベクタ割り込み	...	55

9.3	コンテキスト・スイッチング	...	56
9.4	マクロ・サービス	...	56
9.5	マクロ・サービスの応用例	...	57
10	ローカル・バス・インタフェース	...	59
10.1	メモリ拡張	...	59
10.2	メモリ空間	...	60
10.3	プログラマブル・ウエイト	...	61
10.4	疑似スタティックRAMリフレッシュ機能	...	61
10.5	バス・ホールド機能	...	61
11	スタンバイ機能	...	62
12	リセット機能	...	63
13	レギュレータ	...	64
14	命令セット	...	65
15	電気的特性	...	70
16	外形図	...	89
17	半田付け推奨条件	...	90
付録A	開発ツール	...	91
付録B	関連資料	...	94

1. μPD784908サブシリーズ製品間の違い

μPD784907, 784908は、内部メモリ容量が異なるだけです。

μPD78P4908は、上記製品のマスクROMを128 Kバイトのワン・タイムPROMに置き換えた製品です。相違点を表1 - 1に示します。

表1 - 1 μPD784908サブシリーズ製品間の違い

品名	μPD784907	μPD784908	μPD78P4908
内部ROM	96 K (マスクROM)	128 K (マスクROM)	128 K(ワン・タイムPROM)
内部RAM	3584バイト	4352バイト	
レギュレータ	あり		なし
★電源電圧	$V_{DD} = 4.0 \sim 5.5 \text{ V}$ (メイン・クロック : $f_{XX} = 12.58 \text{ MHz}$, 内部システム・クロック = f_{XX} 時, $f_{CYK} = 79 \text{ ns}$) $V_{DD} = 3.5 \sim 5.5 \text{ V}$ (上記以外るとき, $f_{CYK} = 159 \text{ ns}$)		$V_{DD} = 4.5 \sim 5.5 \text{ V}$ (メイン・クロック : $f_{XX} = 12.58 \text{ MHz}$, 内部システム・クロック = f_{XX} 時, $f_{CYK} = 79 \text{ ns}$) $V_{DD} = 4.0 \sim 5.5 \text{ V}$ (上記以外るとき, $f_{CYK} = 159 \text{ ns}$)
電気的特性	個別の製品のデータ・シートを参照してください。		

★ 2. μPD78098サブシリーズとの主な違い

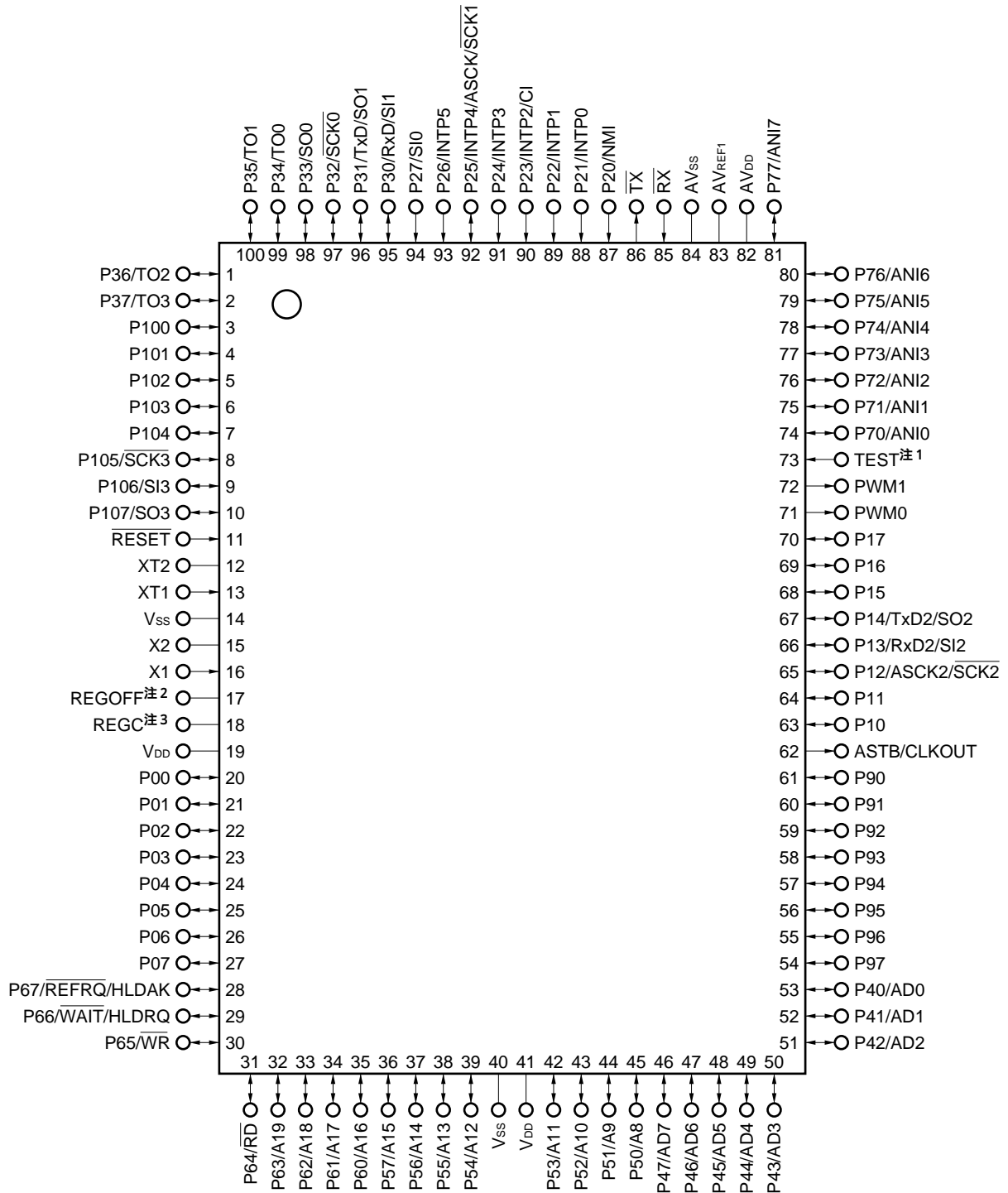
シリーズ名		μPD784908サブシリーズ	μPD78098サブシリーズ
項目			
基本命令(二モニック)数		113	63
最小命令実行時間		320/160 ns (6.29/12.58 MHz動作時)	480 ns (6.29 MHz動作時)
メモリ空間 (プログラム・データ)		1 Mバイト	60 Kバイト
タイマ/カウンタ		16ビット・タイマ/カウンタ×1 8/16ビット・タイマ/カウンタ×2 8/16ビット・タイマ×1 時計用タイマ	16ビット・タイマ/カウンタ×1 8ビット・タイマ/カウンタ×2 時計用タイマ
		シングル・クロック 時計動作時に時計クロックあり	デュアル・クロック
ウォッチドッグ・タイマ		あり	
シリアル・インタフェース		UART/IOE(3線式シリアルI/O): 2チャンネル CSI(3線式シリアルI/O): 2チャンネル	UART(3線式シリアルI/O): 1チャンネル CSI/SBK(3線式シリアルI/O): 1チャンネル CSI(3線式シリアルI/O): 1チャンネル
PWM出力		2本	なし
A/Dコンバータ		8ビット分解能×8チャンネル	
D/Aコンバータ		なし	
割り込み	ハードウェア要因	27本	23本(テスト・フラグ2本)
	内部	20本	14本
	外部	7本	7本
外部拡張機能		あり(1Mバイトまで可)	なし
IEBusコントローラ		内蔵(簡易版)	内蔵(完全ハードウェア)
電源電圧		・マスクROM品 V _{DD} = 4.0 ~ 5.5 V (メイン・クロック: f _{xx} = 12.58 MHz, 内部システム・クロック = f _{xx} 時, f _{cyk} = 79 ns) V _{DD} = 3.5 ~ 5.5 V(上記以外るとき, f _{cyk} = 159 ns) ・PROM品 V _{DD} = 4.5 ~ 5.5 V (メイン・クロック: f _{xx} = 12.58 MHz, 内部システム・クロック = f _{xx} 時, f _{cyk} = 79 ns) V _{DD} = 4.0 ~ 5.5 V(上記以外るとき, f _{cyk} = 159 ns)	V _{DD} = 2.7 ~ 6.0 V
パッケージ		100ピン・プラスチックQFP (14×20 mm)	80ピン・プラスチックQFP(14 mm) 80ピン・プラスチックWQFN (14 mm): μPD78P098Aのみ

3. 端子接続図 (Top View)

・100ピン・プラスチックQFP (14×20 mm)

μPD784907GF-xxx-3BA

μPD784908GF-xxx-3BA



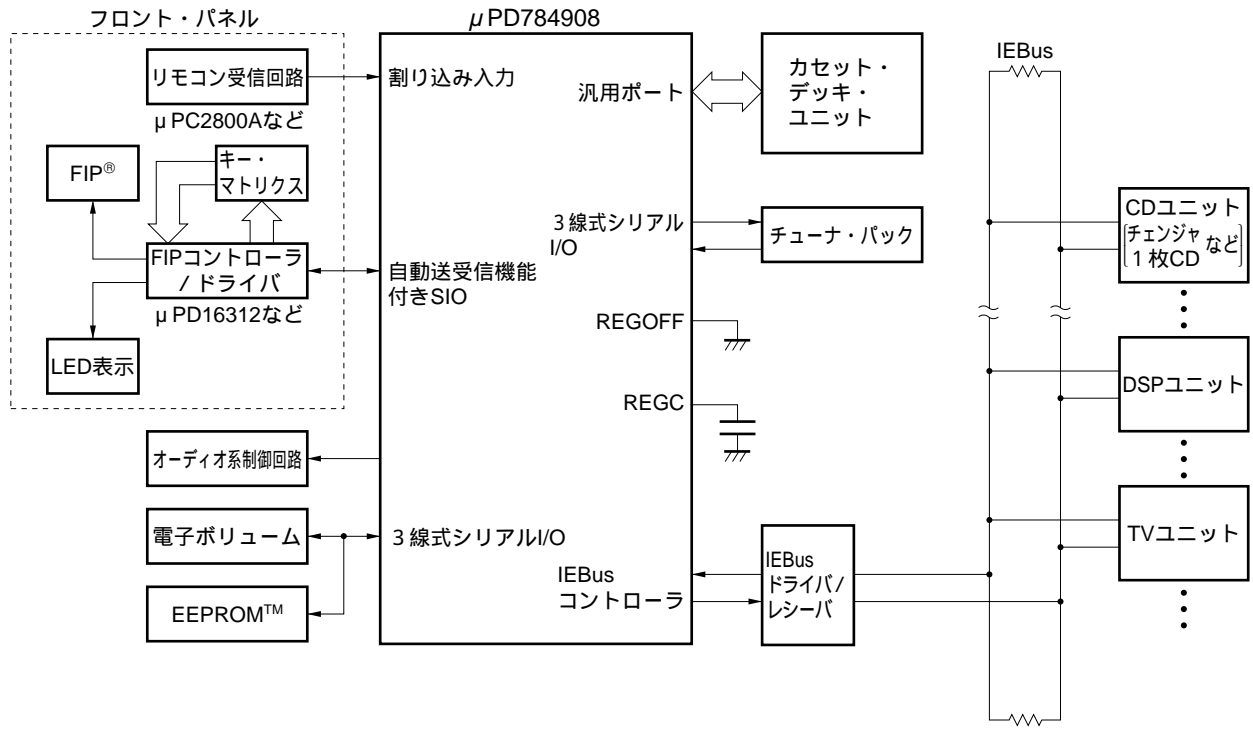
注1. TEST端子はV_{SS}に直接接続してください。

2. REGOFF端子はV_{SS}に直接接続してください(レギュレータ動作を選択)。

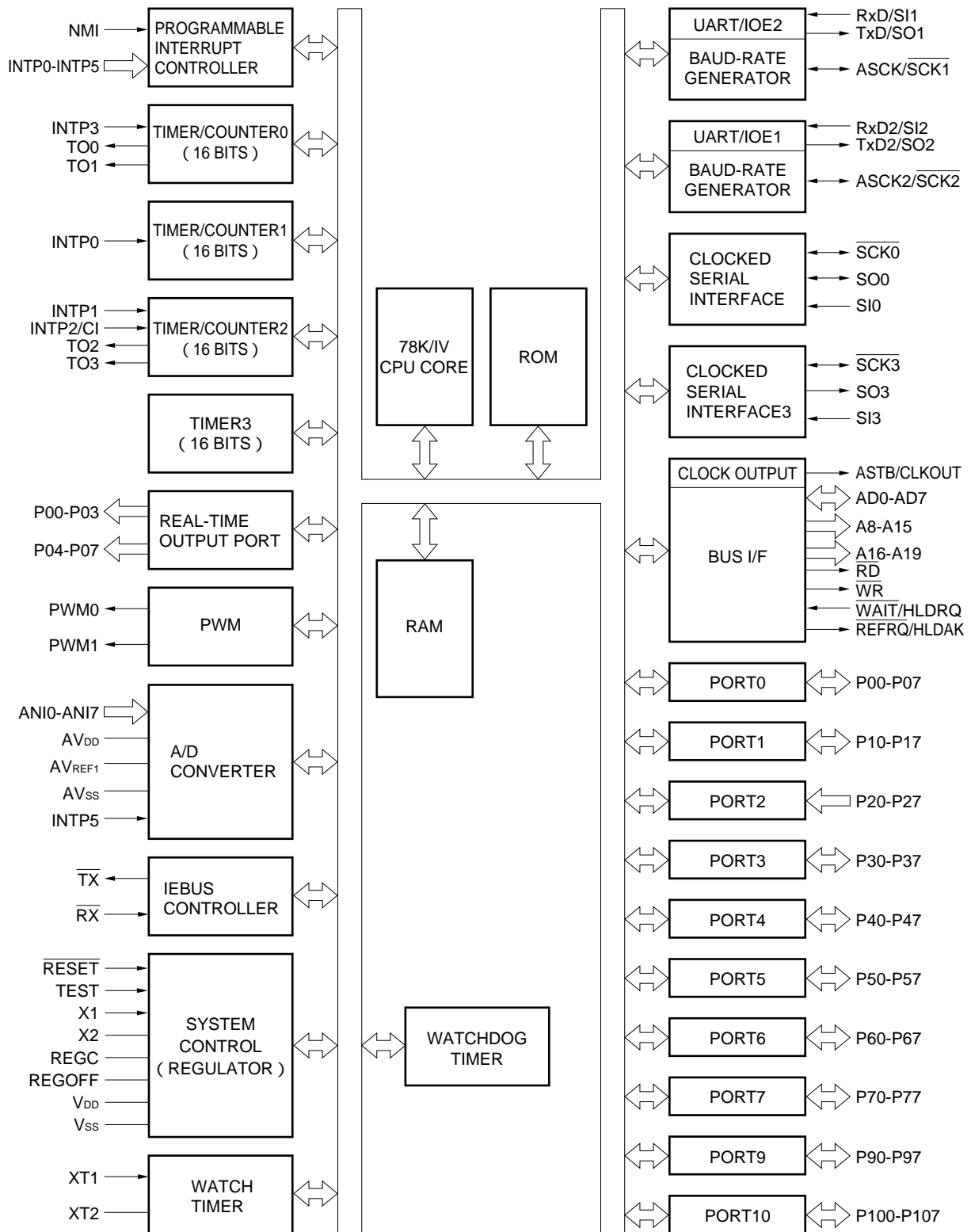
3. REGC端子は1 μF程度のコンデンサを介してV_{SS}に接続してください。

A8-A19	: Address Bus	PWM0, PWM1	: Pulse Width Modulation Output
AD0-AD7	: Address/Data Bus	\overline{RD}	: Read Strobe
ANI0-ANI7	: Analog Input	\overline{REFRQ}	: Refresh Request
ASCK, ASCK2	: Asynchronous Serial Clock	REGC	: Regulator Capacitance
ASTB	: Address Strobe	REGOFF	: Regulator Off
AV _{DD}	: Analog Power Supply	\overline{RESET}	: Reset
AV _{REF1}	: Reference Voltage	\overline{RX}	: IEBus Receive Data
AV _{SS}	: Analog Ground	RxD, RxD2	: Receive Data
Cl	: Clock Input	$\overline{SCK0-SCK3}$: Serial Clock
CLKOUT	: Clock Output	SI0-SI3	: Serial Input
HLD _{AK}	: Hold Acknowledge	SO0-SO3	: Serial Output
HLD _{RQ}	: Hold Request	TEST	: Test
INTP0-INTP5	: Interrupt from Peripherals	TO0-TO3	: Timer Output
NMI	: Non-maskable Interrupt	\overline{TX}	: IEBus Transmit Data
P00-P07	: Port0	TxD, TxD2	: Transmit Data
P10-P17	: Port1	V _{DD}	: Power Supply
P20-P27	: Port2	V _{SS}	: Ground
P30-P37	: Port3	\overline{WAIT}	: Wait
P40-P47	: Port4	\overline{WR}	: Write Strobe
P50-P57	: Port5	X1, X2	: Crystal (Main System Clock)
P60-P67	: Port6	XT1, XT2	: Crystal (Watch)
P70-P77	: Port7		
P90-P97	: Port9		
P100-P107	: Port10		

4. システム構成例 (車載オーディオ (チューナ・デッキ部))



5. ブロック図



備考 内部ROM, RAM容量は製品によって異なります。

6. 端子機能

6.1 ポート端子 (1/2)

端子名称	入出力	兼用端子	機能
P00-P07	入出力		ポート 0 (P0) : ・ 8 ビット入出力ポート ・ リアルタイム出力ポート (4 ビット × 2) として使用可能 ・ 1 ビット単位に入力 / 出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能 ・ トランジスタ駆動可能
P10	入出力	-	ポート 1 (P1) : ・ 8 ビット入出力ポート ・ 1 ビット単位に入力 / 出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能 ・ LED駆動可能
P11		-	
P12		ASCK2/SCK2	
P13		RxD2/SI2	
P14		TxD2/SO2	
P15-P17			
P20	入力	NMI	ポート 2 (P2) : ・ 8 ビット入力専用ポート ・ P20は汎用ポートとしては使用不可 (ノンマスクابل割り込み)。ただし、割り込みルーチンにおいて、入力レベルの確認可能 ・ P22-P27は 6 ビット単位でソフトウェアによる内蔵プルアップ抵抗の接続の指定可能 ・ P25/INTP4/ASCK/SCK1端子は、CSIM1の指定により、SCK1入出力端子として動作
P21		INTP0	
P22		INTP1	
P23		INTP2/CI	
P24		INTP3	
P25		INTP4/ASCK/SCK1	
P26		INTP5	
P27		SI0	
P30	入出力	RxD/SI1	ポート 3 (P3) : ・ 8 ビット入出力ポート ・ 1 ビット単位に入力 / 出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能 ・ P32, P33は、N-chオープン・ドレイン接続の指定可能
P31		TxD/SO1	
P32		SCK0	
P33		SO0	
P34-P37		TO0-TO3	
P40-P47	入出力	AD0-AD7	ポート 4 (P4) : ・ 8 ビット入出力ポート ・ 1 ビット単位に入力 / 出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能 ・ LED駆動可能
P50-P57	入出力	A8-A15	ポート 5 (P5) : ・ 8 ビット入出力ポート ・ 1 ビット単位に入力 / 出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能 ・ LED駆動可能

6.1 ポート端子 (2/2)

端子名称	入出力	兼用端子	機能
P60-P63	入出力	A16-A19	ポート6 (P6) : ・ 8ビット入出力ポート ・ 1ビット単位に入力 / 出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能
P64		\overline{RD}	
P65		\overline{WR}	
P66		$\overline{WAIT}/HLDRQ$	
P67		$\overline{REFRQ}/HLDAK$	
P70-P77	入出力	ANI0-ANI7	ポート7 (P7) : ・ 8ビット入出力ポート ・ 1ビット単位に入力 / 出力の指定可能
P90-P97	入出力	-	ポート9 (P9) : ・ 8ビット入出力ポート ・ 1ビット単位に入力 / 出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続可能
P100-P104	入出力	-	ポート10 (P10) : ・ 8ビット入出力ポート ・ 1ビット単位に入力 / 出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続可能 ・ P105, P107は、N-chオープン・ドレイン接続の指定可能
P105		$\overline{SCK3}$	
P106		SI3	
P107		SO3	

6.2 ポート以外の端子 (1/2)

端子名称	入出力	兼用端子	機能	
TO0-TO3	出力	P34-P37	タイマ出力	
CI	入力	P23/INTP2	タイマ / カウンタ 2 へのカウント・クロック入力	
RxD	入力	P30/SI1	シリアル・データ入力 (UART0)	
RxD2		P13/SI2	シリアル・データ入力 (UART2)	
TxD	出力	P31/SO1	シリアル・データ出力 (UART0)	
TxD2		P14/SO2	シリアル・データ出力 (UART2)	
ASCK	入力	P25/INTP4/ $\overline{\text{SCK1}}$	ボー・レート・クロック入力 (UART0)	
ASCK2		P12/ $\overline{\text{SCK2}}$	ボー・レート・クロック入力 (UART2)	
SI0	入力	P27	シリアル・データ入力 (3 線式シリアルI/O0)	
SI1		P30/RxD	シリアル・データ入力 (3 線式シリアルI/O1)	
SI2		P13/RxD2	シリアル・データ入力 (3 線式シリアルI/O2)	
SI3		P106	シリアル・データ入力 (3 線式シリアルI/O3)	
SO0	出力	P33	シリアル・データ出力 (3 線式シリアルI/O0)	
SO1		P31/TxD	シリアル・データ出力 (3 線式シリアルI/O1)	
SO2		P14/TxD2	シリアル・データ出力 (3 線式シリアルI/O2)	
SO3		P107	シリアル・データ出力 (3 線式シリアルI/O3)	
$\overline{\text{SCK0}}$	入出力	P32	シリアル・クロック入力 / 出力 (3 線式シリアルI/O0)	
$\overline{\text{SCK1}}$		P25/INTP4/ASCK	シリアル・クロック入力 / 出力 (3 線式シリアルI/O1)	
$\overline{\text{SCK2}}$		P12/ASCK2	シリアル・クロック入力 / 出力 (3 線式シリアルI/O2)	
$\overline{\text{SCK3}}$		P105	シリアル・クロック入力 / 出力 (3 線式シリアルI/O3)	
NMI	入力	P20	外部割り込み要求	
INTP0		P21		・タイマ / カウンタ 1 へのカウント・クロック入力 ・CR11またはCR12のキャプチャ・トリガ信号
INTP1		P22		・タイマ / カウンタ 2 へのカウント・クロック入力 ・CR22のキャプチャ・トリガ信号
INTP2		P23/CI		・タイマ / カウンタ 2 へのカウント・クロック入力 ・CR21のキャプチャ・トリガ信号
INTP3		P24		・タイマ / カウンタ 0 へのカウント・クロック入力 ・CR02のキャプチャ・トリガ信号
INTP4		P25/ASCK/ $\overline{\text{SCK1}}$		
INTP5		P26		A/Dコンバータの変換スタート・トリガ入力
AD0-AD7	入出力	P40-P47	時分割アドレス / データ・バス (外部メモリ接続)	
A8-A15	出力	P50-P57	上位アドレス・バス (外部メモリ接続)	
A16-A19	出力	P60-P63	アドレス拡張時の上位アドレス (外部メモリ接続)	
$\overline{\text{RD}}$	出力	P64	外部メモリへのリード・ストローブ	
$\overline{\text{WR}}$	出力	P65	外部メモリへのライト・ストローブ	
$\overline{\text{WAIT}}$	入力	P66/HLDRQ	ウェイト挿入	
$\overline{\text{REFRQ}}$	出力	P67/HLDAK	外部疑似スタティック・メモリへのリフレッシュ・パルス出力	
HLDRQ	入力	P66/ $\overline{\text{WAIT}}$	バス・ホールド要求入力	
HLDAK	出力	P67/ $\overline{\text{REFRQ}}$	バス・ホールド応答出力	
ASTB	出力	CLKOUT	時分割アドレス (A0-A7) のラッチ・タイミング出力 (外部メモリ・アクセス時)	

6.2 ポート以外の端子 (2/2)

端子名称	入出力	兼用端子	機能
CLKOUT	出力	ASTB	クロック出力
PWM0	出力		PWM出力 0
PWM1	出力		PWM出力 1
\overline{RX}	入力		データ入力 (IEBus)
\overline{TX}	出力		データ出力 (IEBus)
★ REGC			レギュレータ出力安定容量接続/レギュレータ停止時の電源。1 μF程度のコンデンサを介してV _{SS} に接続してください。
★ REGOFF			レギュレータ動作指定信号。V _{SS} と直接接続してください (レギュレータ動作選択)。
\overline{RESET}	入力		チップ・リセット
X1	入力		システム・クロック発振用クリスタル接続 (X1にクロック入力も可能)
X2			
XT1	入力		時計クロック接続
XT2			
ANI0-ANI7	入力	P70-P77	A/Dコンバータ用アナログ電圧入力
AV _{REF1}			A/Dコンバータ用基準電圧印加
AV _{DD}			A/Dコンバータ用正電源
AV _{SS}			A/Dコンバータ用GND
V _{DD}			正電源
V _{SS}			GND
TEST	入力		V _{SS} と直接接続してください (ICテスト用の端子です)

6.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表6 - 1に示します。

また、各タイプの入出力回路については図6 - 1を参照してください。

表6 - 1 各端子の入出力回路タイプと未使用端子の処理 (1/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P07	5-A	入出力	入力時：V _{DD} に接続してください。 出力時：オープンにしてください。
P10, P11			
P12/ASCK2/SCK2			
P13/RxD2/SI2			
P14/TxD2/SO2			
P15-P17			
P20/NMI	2	入 力	V _{DD} またはV _{SS} に接続してください。
P21/INTP0			
P22/INTP1			
P23/INTP2/CI			
P24/INTP3			
P25/INTP4/ASCK/SCK1	8-A	入出力	入力時：V _{DD} に接続してください。 出力時：オープンにしてください。
P26/INTP5	2-A	入 力	V _{DD} に接続してください。
P27/SI0			
P30/RxD/SI1	5-A	入出力	入力時：V _{DD} に接続してください。 出力時：オープンにしてください。
P31/TxD/SO1			
P32/SCK0			
P33/SO0	10-A		
P34/TO0-P37/TO3			
P40/AD0-P47/AD7			
P50/A8-P57/A15			
P60/A16-P63/A19			
P64/RD			
P65/WR			
P66/WAIT/HLDRQ			
P67/REFRQ/HLDAK			
P70/ANI0-P77/ANI7			
P90-P97			
P100-P104			
P105/SCK3			
P106/SI3			
P107/SO3			
ASTB/CLKOUT	4	出 力	オープンにしてください。

表 6 - 1 各端子の入出力回路タイプと未使用端子の処理 (2/2)

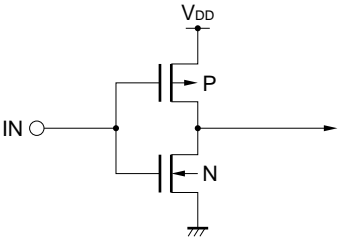
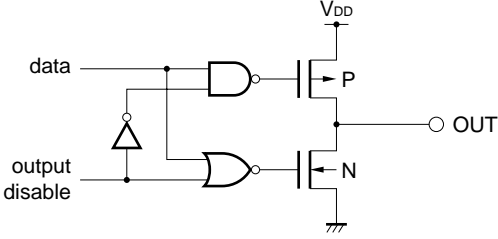
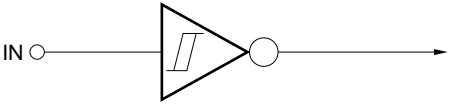
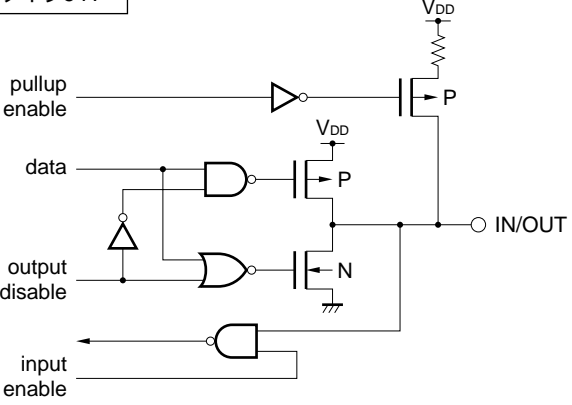
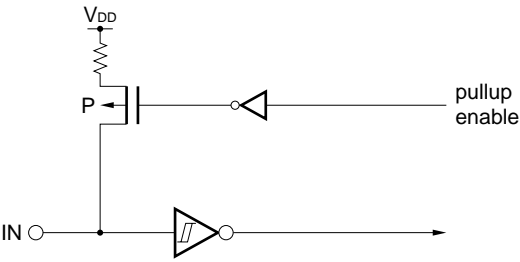
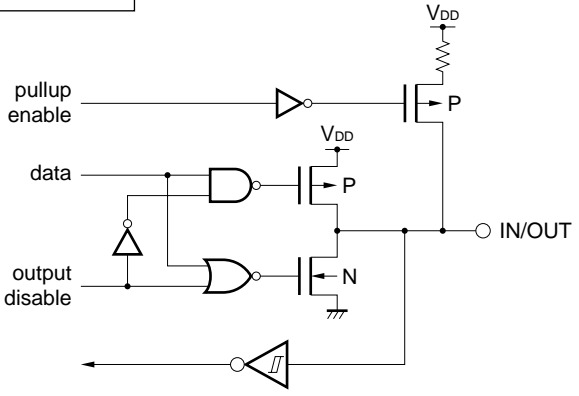
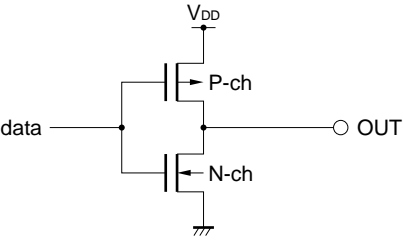
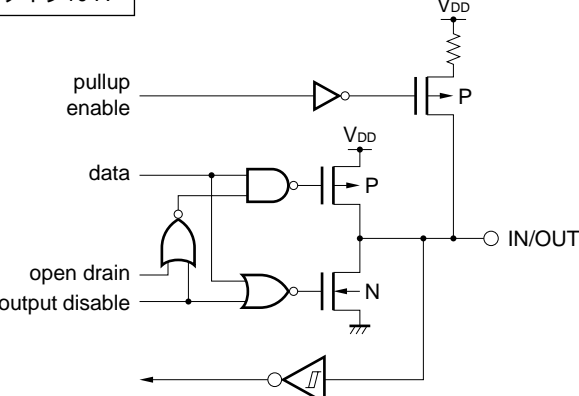
端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
RESET	2	入 力	
TEST	1		V _{SS} に直接接続してください。
XT2			オープンにしてください。
XT1		入 力	V _{SS} に接続してください。
PWM0, PWM1	3	出 力	オープンにしてください。
RX	1	入 力	V _{DD} またはV _{SS} に接続してください。
TX	3	出 力	オープンにしてください。
AV _{REF1}			V _{SS} に接続してください。
AV _{SS}			
AV _{DD}			V _{DD} に接続してください。

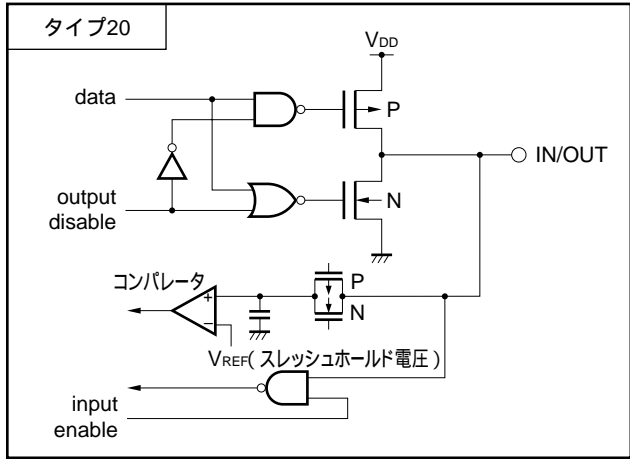
★

注意 入出力兼用端子で、入出力のモードが不定な場合は、数十k の抵抗を介してV_{DD}に接続してください（特に、電源投入時にリセット入力端子がロウ・レベル入力電圧以上になる場合や、ソフトウェアで入出力を切り替えている場合）。

備考 タイプ番号は78Kシリーズで統一しているため、各製品内では連番とはかぎりません（内蔵しない回路あり）。

図 6 - 1 端子の入出力回路

<p>タイプ1</p> 	<p>タイプ4</p>  <p>出力をハイ・インピーダンス(P-ch, N-chともにオフ)にできるプッシュプル出力です。</p>
<p>タイプ2</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力です。</p>	<p>タイプ5-A</p> 
<p>タイプ2-A</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力です。</p>	<p>タイプ8-A</p> 
<p>タイプ3</p> 	<p>タイプ10-A</p> 



7. CPUアーキテクチャ

7.1 メモリ空間

1 Mバイトのメモリ空間をアクセスできます。LOCATION命令によって、内部データ領域（特殊機能レジスタおよび内部RAM）のマッピングを選択できます。また、LOCATION命令は、リセット解除後に必ず実行する必要があり、2回以上使用することはできません。

(1) LOCATION 0命令を実行した場合

・内部メモリ

内部データ領域と内部ROM領域は、次のようになります。

品名	内部データ領域	内部ROM領域
μ PD784907	0F100H-0FFFFH	00000H-0F0FFH 10000H-17FFFH
μ PD784908	0EE00H-0FFFFH	00000H-0FDFFH 10000H-1FFFFH

注意 内蔵しているROMのうち、内部データ領域と重なる次の領域は、LOCATION 0命令実行時には使用できません。

品名	使用不可領域
μ PD784907	0F100H-0FFFFH (3840バイト)
μ PD784908	0EE00H-0FFFFH (4608バイト)

・外部メモリ

外部メモリは、外部メモリ拡張モードでアクセスします。

(2) LOCATION 0FH命令を実行した場合

・内部メモリ

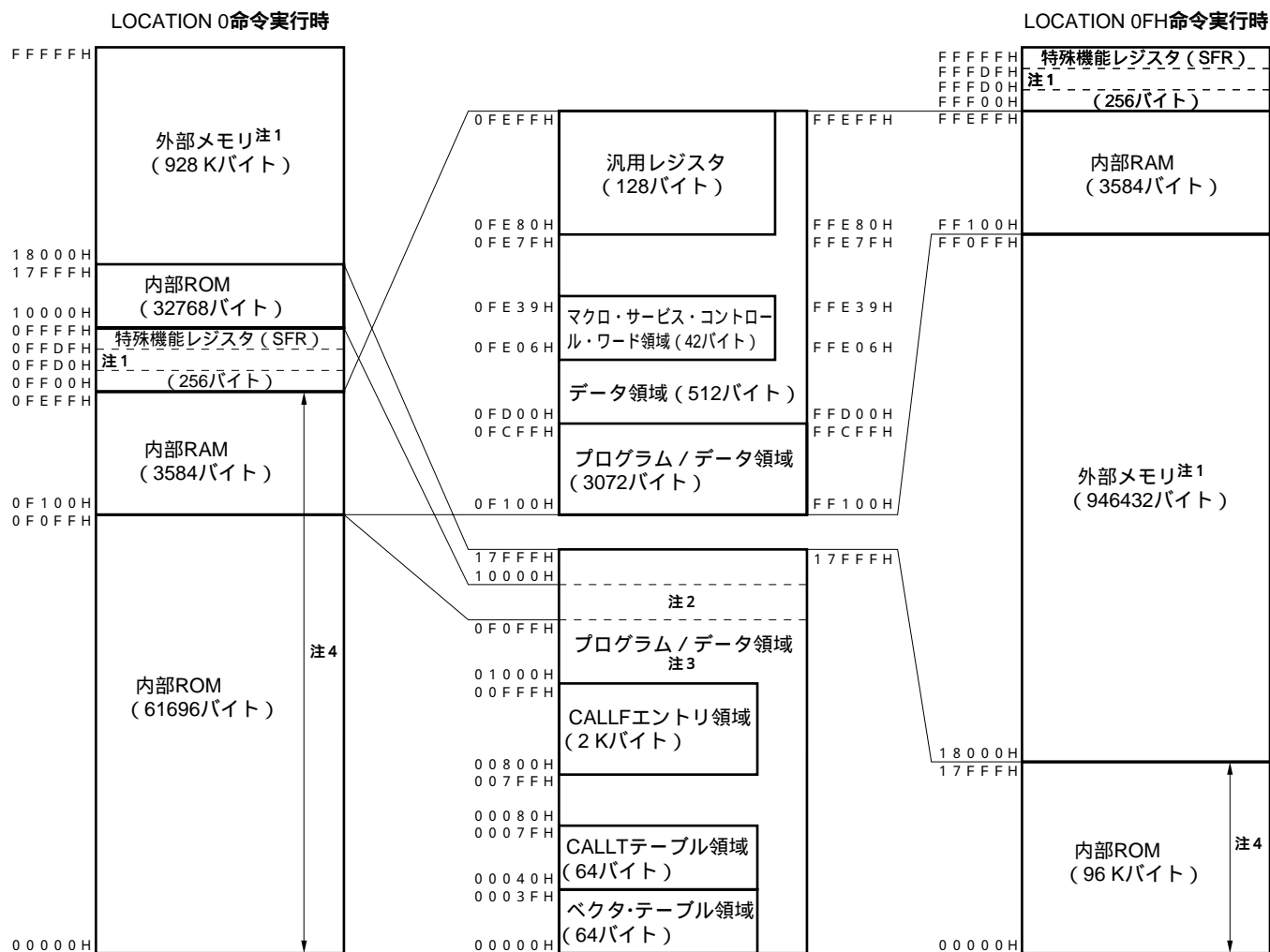
内部データ領域と内部ROM領域は、次のようになります。

品名	内部データ領域	内部ROM領域
μ PD784907	FF100H-FFFFFFH	00000H-17FFFH
μ PD784908	FEE00H-FFFFFFH	00000H-1FFFFH

・外部メモリ

外部メモリは、外部メモリ拡張モードでアクセスします。

図7-1 μPD784907のメモリ・マップ



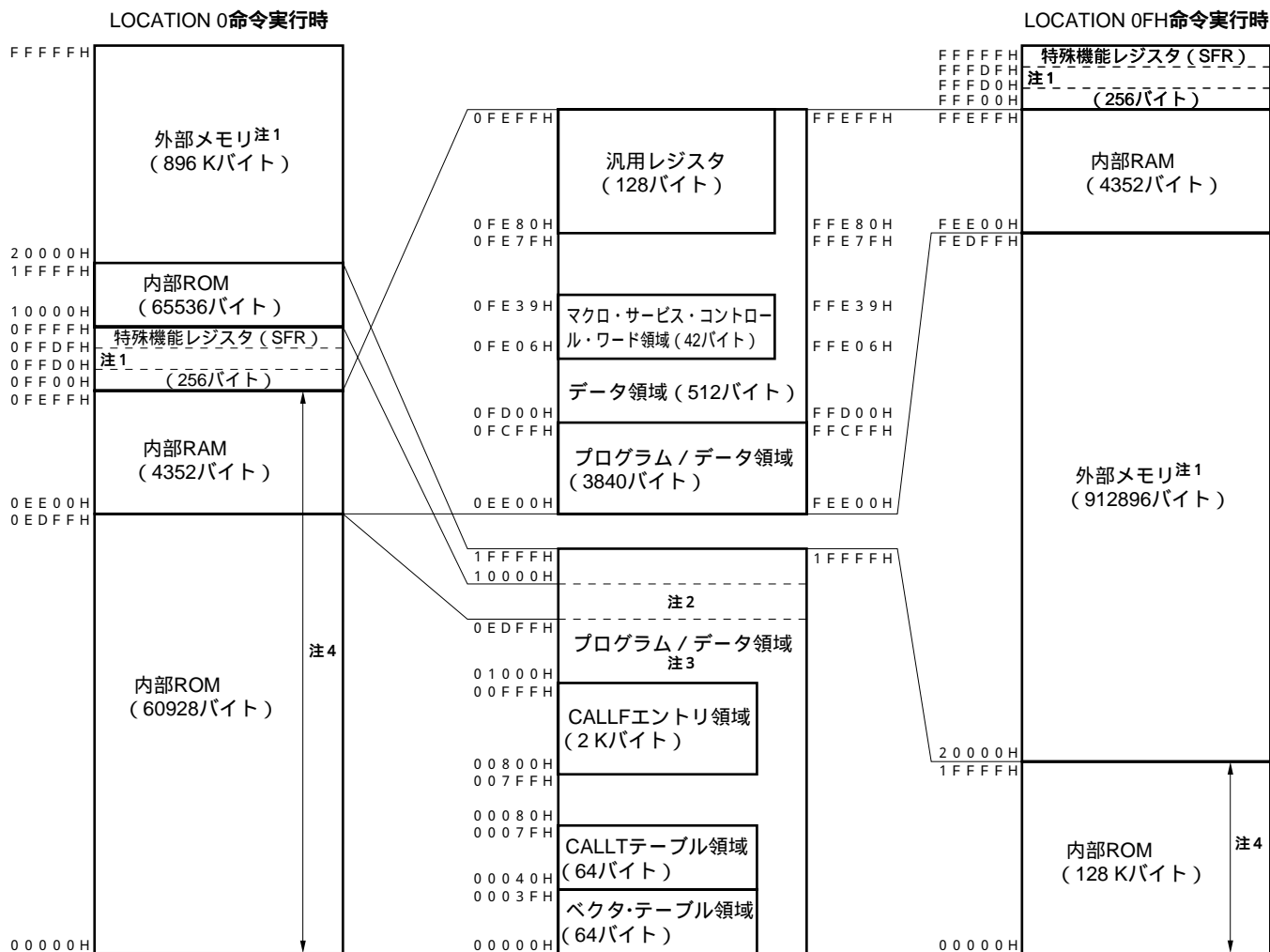
注1 . 外部メモリ拡張モードでアクセス

2 . この領域の3840バイトは、LOCATION 0FH命令実行時のみ内部ROMとして使用できます

3 . LOCATION 0 命令実行時: 94464バイト, LOCATION 0FH命令実行時: 98304バイト

4 . ベース領域, リセットまたは割り込みによるエントリ領域。ただし, リセットについては内部RAMを除く

図7-2 μPD784908のメモリ・マップ



注1 . 外部メモリ拡張モードでアクセス

2 . この領域の4608バイトは、LOCATION 0FH命令実行時のみ内部ROMとして使用できます

3 . LOCATION 0 命令実行時: 126464バイト, LOCATION 0FH命令実行時: 131072バイト

4 . ベース領域, リセットまたは割り込みによるエントリ領域。ただし, リセットについては内部RAMを除く

7.2 CPUレジスタ

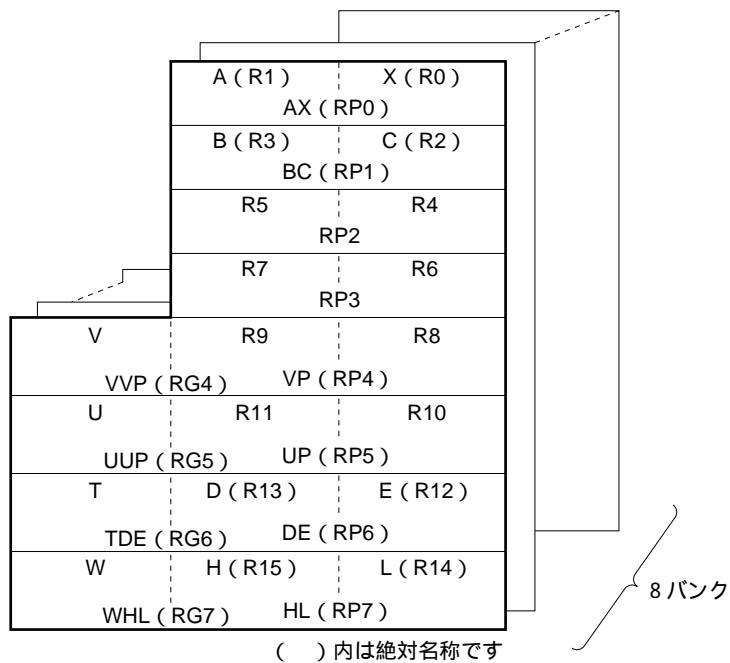
7.2.1 汎用レジスタ

8ビットの汎用レジスタ16本で構成されています。また、8ビット汎用レジスタ2本を組み合わせると16ビット汎用レジスタとして使用できます。さらに、16ビット汎用レジスタのうち4本は、アドレス拡張用の8ビット・レジスタと組み合わせると24ビット・アドレス指定用レジスタとして使用できます。

これらのレジスタ・セットは8バンク用意されており、ソフトウェアまたはコンテキスト・スイッチング機能により切り替えて使用できます。

アドレス拡張用のV, U, T, Wレジスタを除いた汎用レジスタは、内部RAMにマッピングされています。

図7 - 3 汎用レジスタのフォーマット



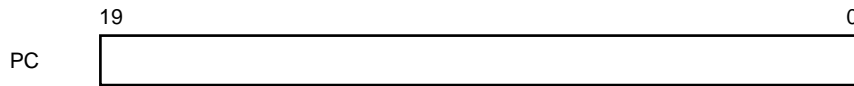
注意 R4, R5, R6, R7, RP2, RP3, PSWのRSSビットを1にすることで、それぞれ、X, A, C, B, AX, BCレジスタとして使用できますが、この機能を使用するのは、78K/ シリーズ用のプログラムを流用する場合だけにしてください。

7.2.2 制御レジスタ

(1) プログラム・カウンタ (PC)

20ビットのプログラム・カウンタです。プログラムの実行により自動的に更新されます。

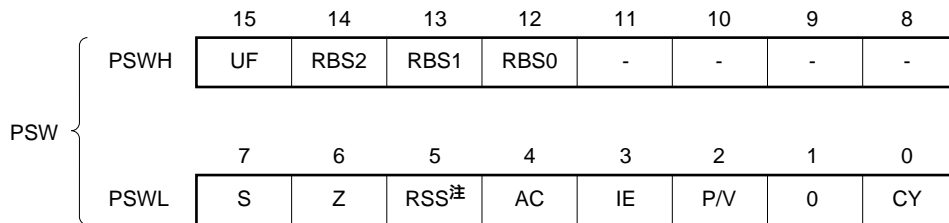
図7-4 プログラム・カウンタ (PC) のフォーマット



(2) プログラム・ステータス・ワード (PSW)

CPUの各種状態を保持するレジスタです。プログラムの実行により自動的に更新されます。

図7-5 プログラム・ステータス・ワード (PSW) のフォーマット

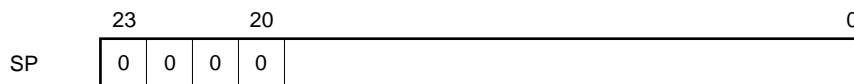


注 このフラグは、78K/ シリーズとの互換性を保つために用意されているフラグです。78K/ シリーズ用のソフトウェアを流用するとき以外は必ず0にしてください。

(3) スタック・ポインタ (SP)

スタックの先頭アドレスを保持する24ビットのポインタです。
上位4ビットには、必ず0を書き込んでください。

図7-6 スタック・ポインタ (SP) のフォーマット



7.2.3 特殊機能レジスタ (SFR)

内蔵周辺ハードウェアのモード・レジスタ、コントロール・レジスタなどの特別な機能が割り付けられたレジスタで、0FF00H-0FFFFH^注の256バイトの空間にマッピングされています。

注 LOCATION 0 命令実行時。LOCATION 0FH命令実行時はFFF00H-FFFFFH

注意 この領域内で、SFRの割り付けられていないアドレスをアクセスしないでください。誤ってアクセスすると、μPD784908がデッドロック状態となることがあります。デッドロック状態は、リセット入力によってのみ解除されます。

表7 - 1 に特殊機能レジスタ (SFR) の一覧を示します。表中の項目の意味は次のようになります。

- ・略号 内蔵されたSFRを示す記号。NEC製アセンブラ (RA78K4) では予約語になっています。Cコンパイラ (CC78K4) では# pragma sfr指令により、sfr変数として使用できます。
- ・R/W 該当するSFRが読み出し / 書き込みが可能かどうかを示します。
 - R/W : 読み出し (Read) / 書き込み (Write) 可能
 - R : 読み出し (Read) のみ
 - W : 書き込み (Write) のみ
- ・操作可能ビット単位... 該当するSFRを操作する場合に、適応可能な操作ビット単位を示します。
 - 16ビット操作可能なSFRはオペランドのsfrpに記述でき、アドレスで指定する場合は偶数アドレスを記述します。
 - 1ビット操作可能なSFRは、ビット操作命令に記述できます。
- ・リセット時 $\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

表7 - 1 特殊機能レジスタ (SFR) 一覧 (1/5)

アドレス ^注	特殊機能レジスタ (SFR) 名称		略号	R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
0FF00H	ポート 0		P0	R/W				不定
0FF01H	ポート 1		P1					
0FF02H	ポート 2		P2	R				00H
0FF03H	ポート 3		P3	R/W				
0FF04H	ポート 4		P4					
0FF05H	ポート 5		P5					
0FF06H	ポート 6		P6					
0FF07H	ポート 7		P7					不定
0FF09H	ポート 9		P9					
0FF0AH	ポート 10		P10					
0FF0EH		ポート 0 バッファ・レジスタ L	P0L					
0FF0FH	ポート 0 バッファ・レジスタ H		P0H					
0FF10H	コンペア・レジスタ (タイマ / カウンタ 0)		CR00					
0FF12H	キャプチャ / コンペア・レジスタ (タイマ / カウンタ 0)		CR01					
0FF14H	コンペア・レジスタ L (タイマ / カウンタ 1)		CR10	CR10W				
0FF15H	コンペア・レジスタ H (タイマ / カウンタ 1)							
0FF16H	キャプチャ / コンペア・レジスタ L (タイマ / カウンタ 1)		CR11	CR11W				
0FF17H	キャプチャ / コンペア・レジスタ H (タイマ / カウンタ 1)							
0FF18H	コンペア・レジスタ L (タイマ / カウンタ 2)		CR20	CR20W				
0FF19H	コンペア・レジスタ H (タイマ / カウンタ 2)							
0FF1AH	キャプチャ / コンペア・レジスタ L (タイマ / カウンタ 2)		CR21	CR21W				
0FF1BH	キャプチャ / コンペア・レジスタ H (タイマ / カウンタ 2)							
0FF1CH	コンペア・レジスタ L (タイマ 3)		CR30	CR30W				
0FF1DH	コンペア・レジスタ H (タイマ 3)							
0FF20H	ポート 0 モード・レジスタ		PM0					FFH
0FF21H	ポート 1 モード・レジスタ		PM1					
0FF23H	ポート 3 モード・レジスタ		PM3					
0FF24H	ポート 4 モード・レジスタ		PM4					
0FF25H	ポート 5 モード・レジスタ		PM5					
0FF26H	ポート 6 モード・レジスタ		PM6					
0FF27H	ポート 7 モード・レジスタ		PM7					
0FF29H	ポート 9 モード・レジスタ		PM9					
0FF2AH	ポート 10 モード・レジスタ		PM10					
0FF2EH	リアルタイム出力ポート・コントロール・レジスタ		RTPC					
0FF30H	キャプチャ / コンペア・コントロール・レジスタ 0		CRC0					10H
0FF31H	タイマ出力コントロール・レジスタ		TOC					00H
0FF32H	キャプチャ / コンペア・コントロール・レジスタ 1		CRC1					10H
0FF33H	キャプチャ / コンペア・コントロール・レジスタ 2		CRC2					

注 LOCATION 0 命令を実行した場合。LOCATION 0FH 命令を実行した場合は、この値に "F0000H" を加えます。

表 7 - 1 特殊機能レジスタ (SFR) 一覧 (2/5)

アドレス ^注	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
0FF36H	キャプチャ・レジスタ (タイマ/カウンタ 0)	CR02		R				0000H
0FF38H	キャプチャ・レジスタ L (タイマ/カウンタ 1)	CR12	CR12W					
0FF39H	キャプチャ・レジスタ H (タイマ/カウンタ 1)							
0FF3AH	キャプチャ・レジスタ L (タイマ/カウンタ 2)	CR22	CR22W					
0FF3BH	キャプチャ・レジスタ H (タイマ/カウンタ 2)							
0FF41H	ポート 1 モード・コントロール・レジスタ	PMC1		R/W				00H
0FF43H	ポート 3 モード・コントロール・レジスタ	PMC3						
0FF4AH	ポート 10 モード・コントロール・レジスタ	PMC10						
0FF4EH	プルアップ抵抗オプション・レジスタ L	PUOL						
0FF4FH	プルアップ抵抗オプション・レジスタ H	PUOH						
0FF50H	タイマ・レジスタ 0	TM0		R				0000H
0FF51H								
0FF52H	タイマ・レジスタ 1	TM1	TM1W					
0FF53H								
0FF54H	タイマ・レジスタ 2	TM2	TM2W					
0FF55H								
0FF56H	タイマ・レジスタ 3	TM3	TM3W					
0FF57H								
0FF5CH	プリスケアラ・モード・レジスタ 0	PRM0		R/W				11H
0FF5DH	タイマ・コントロール・レジスタ 0	TMC0						00H
0FF5EH	プリスケアラ・モード・レジスタ 1	PRM1						11H
0FF5FH	タイマ・コントロール・レジスタ 1	TMC1						00H
0FF68H	A/Dコンバータ・モード・レジスタ	ADM						00H
0FF6AH	A/D変換結果レジスタ	ADCR		R				不定
0FF6CH	A/D電流カット選択レジスタ	IEAD		R/W				00H
0FF6FH	時計用タイマ・モード・レジスタ	WM						
0FF70H	PWMコントロール・レジスタ	PWMC						05H
0FF71H	PWMプリスケアラ・レジスタ	PWPR						00H
0FF72H	PWMモジュロ・レジスタ 0	PWM0						不定
0FF74H	PWMモジュロ・レジスタ 1	PWM1						
0FF7DH	ワンショット・パルス出力制御レジスタ	OSPC						00H
0FF80H	クロック同期式シリアル・インタフェース・モード・レジスタ 3	CSIM3						
0FF82H	クロック同期式シリアル・インタフェース・モード・レジスタ	CSIM						

注 LOCATION 0 命令を実行した場合。LOCATION 0FH命令を実行した場合は、この値に“ F0000H ”を加えます。

表7-1 特殊機能レジスタ (SFR) 一覧 (3/5)

アドレス ^注	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット単位			リセット時	
					1ビット	8ビット	16ビット		
0FF84H	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSIM1		R/W				00H	
0FF85H	クロック同期式シリアル・インタフェース・モード・レジスタ2	CSIM2							
0FF86H	シリアル・シフト・レジスタ	SIO							不定
0FF88H	アシンクロナス・シリアル・インタフェース・モード・レジスタ	ASIM							00H
0FF89H	アシンクロナス・シリアル・インタフェース・モード・レジスタ2	ASIM2							
0FF8AH	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS		R					
0FF8BH	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2	ASIS2							
0FF8CH	シリアル受信バッファ : UART0	RXB		W				不定	
	シリアル送信シフト・レジスタ : UART0	TXS							
	シリアル・シフト・レジスタ : IOE1	SIO1			R/W				
0FF8DH	シリアル受信バッファ : UART2	RXB2		R					
	シリアル送信シフト・レジスタ : UART2	TXS2			W				
	シリアル・シフト・レジスタ : IOE2	SIO2			R/W				
0FF8EH	シリアル・シフト・レジスタ3 : IOE3	SIO3							
0FF90H	ポーレート・ジェネレータ・コントロール・レジスタ	BRGC						00H	
0FF91H	ポーレート・ジェネレータ・コントロール・レジスタ2	BRGC2							
0FFA0H	外部割り込みモード・レジスタ0	INTM0							
0FFA1H	外部割り込みモード・レジスタ1	INTM1							
0FFA4H	サンプリング・クロック選択レジスタ	SCS0							
0FFA8H	インサービス・プライオリティ・レジスタ	ISPR		R					
0FFAAH	割り込みモード・コントロール・レジスタ	IMC		R/W				80H	
0FFACH	割り込みマスク・レジスタ0L	MK0L	MK0					FFFFH	
0FFADH	割り込みマスク・レジスタ0H	MK0H							
0FFAEH	割り込みマスク・レジスタ1L	MK1L	MK1					FFFFH	
0FFAFH	割り込みマスク・レジスタ1H	MK1H							
0FFB0H	バス・コントロール・レジスタ	BCR						00H	
0FFB2H	ユニット・アドレス・レジスタ	UAR						0000H	
0FFB4H	スレーブ・アドレス・レジスタ	SAR							
0FFB6H	パートナ・アドレス・レジスタ	PAR		R					
0FFB8H	コントロール・データ・レジスタ	CDR		R/W				01H	
0FFB9H	電文長レジスタ	DLR							

注 LOCATION 0 命令を実行した場合。LOCATION 0FH命令を実行した場合は、この値に、“F0000H”を加えます。

表7-1 特殊機能レジスタ (SFR) 一覧 (4/5)

アドレス ^{注1}	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
0FFBAH	データ・レジスタ	DR	R/W				00H
0FFBBH	ユニット・ステータス・レジスタ	USR	R				
0FFBCH	インタラプト・ステータス・レジスタ	ISR	R/W				
0FFBDH	スレーブ・ステータス・レジスタ	SSR	R				41H
0FFBEH	サクセス・カウント・レジスタ	SCR					01H
0FFBFH	コミュニケーション・カウント・レジスタ	CCR					20H
0FFC0H	スタンバイ・コントロール・レジスタ	STBC	R/W		注2		30H
0FFC2H	ウォッチドッグ・タイマ・モード・レジスタ	WDM			注2		00H
0FFC4H	メモリ拡張モード・レジスタ	MM					20H
0FFC5H	ホールド・モード・レジスタ	HLDM					00H
0FFC6H	クロック出力モード・レジスタ	CLOM					
0FFC7H	プログラマブル・ウェイト制御レジスタ1	PWC1					AAH
0FFC8H	プログラマブル・ウェイト制御レジスタ2	PWC2					AAAAH
0FFCCH	リフレッシュ・モード・レジスタ	RFM					00H
0FFCDH	リフレッシュ領域指定レジスタ	RFA					
0FFCFH	発振安定時間指定レジスタ	OSTS					
0FFD0H- 0FFDFH	外部SFR 領域						
0FFE0H	割り込み制御レジスタ (INTP0)	PIC0					43H
0FFE1H	割り込み制御レジスタ (INTP1)	PIC1					
0FFE2H	割り込み制御レジスタ (INTP2)	PIC2					
0FFE3H	割り込み制御レジスタ (INTP3)	PIC3					
0FFE4H	割り込み制御レジスタ (INTC00)	CIC00					
0FFE5H	割り込み制御レジスタ (INTC01)	CIC01					
0FFE6H	割り込み制御レジスタ (INTC10)	CIC10					
0FFE7H	割り込み制御レジスタ (INTC11)	CIC11					
0FFE8H	割り込み制御レジスタ (INTC20)	CIC20					
0FFE9H	割り込み制御レジスタ (INTC21)	CIC21					
0FFEAH	割り込み制御レジスタ (INTC30)	CIC30					
0FFEBH	割り込み制御レジスタ (INTP4)	PIC4					
0FFECH	割り込み制御レジスタ (INTP5)	PIC5					
0FFEDH	割り込み制御レジスタ (INTAD)	ADIC					
0FFEEH	割り込み制御レジスタ (INTSER)	SERIC					

注1 . LOCATION 0 命令を実行した場合。LOCATION 0FH命令を実行した場合は、この値に“ F0000H ”を加えます。

2 . 書き込みは、専用の命令MOV STBC, #byte命令および、MOV MDM, #byte命令によってのみ可能です。他の命令では、書き込みはできません。

表7 - 1 特殊機能レジスタ (SFR) 一覧 (5/5)

アドレス ^{注1}	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
0FFEFH	割り込み制御レジスタ (INTSR)	SRIC	R/W				43H
	割り込み制御レジスタ (INTCSI1)	CSIIC1					
0FFF0H	割り込み制御レジスタ (INTST)	STIC					
0FFF1H	割り込み制御レジスタ (INTCSI)	CSIIC					
0FFF2H	割り込み制御レジスタ (INTSER2)	SERIC2					
0FFF3H	割り込み制御レジスタ (INTSR2)	SRIC2					
	割り込み制御レジスタ (INTCSI2)	CSIIC2					
0FFF4H	割り込み制御レジスタ (INTST2)	STIC2					
0FFF6H	割り込み制御レジスタ (INTIE1)	IEIC1					
0FFF7H	割り込み制御レジスタ (INTIE2)	IEIC2					
0FFF8H	割り込み制御レジスタ (INTW)	WIC					
0FFF9H	割り込み制御レジスタ (INTCSI3)	CSIIC3					
0FFFCH	内部メモリ・サイズ切り替えレジスタ ^{注2}	IMS					

注1 . LOCATION 0 命令を実行した場合。LOCATION 0FH命令を実行した場合は、この値に“ F000H ”を加えます。

2 . 本レジスタへの書き込みは、μPD78P4908の場合のみ意味があります。

8. 周辺ハードウェア機能

8.1 ポート

図8-1のようなポートを備えており、多様な制御ができます。各ポートの機能は表8-1のとおりです。ポート0からポート6, ポート9, ポート10は, 入力時に, 内蔵プルアップをソフトウェアで指定できます。

図8-1 ポートの構成

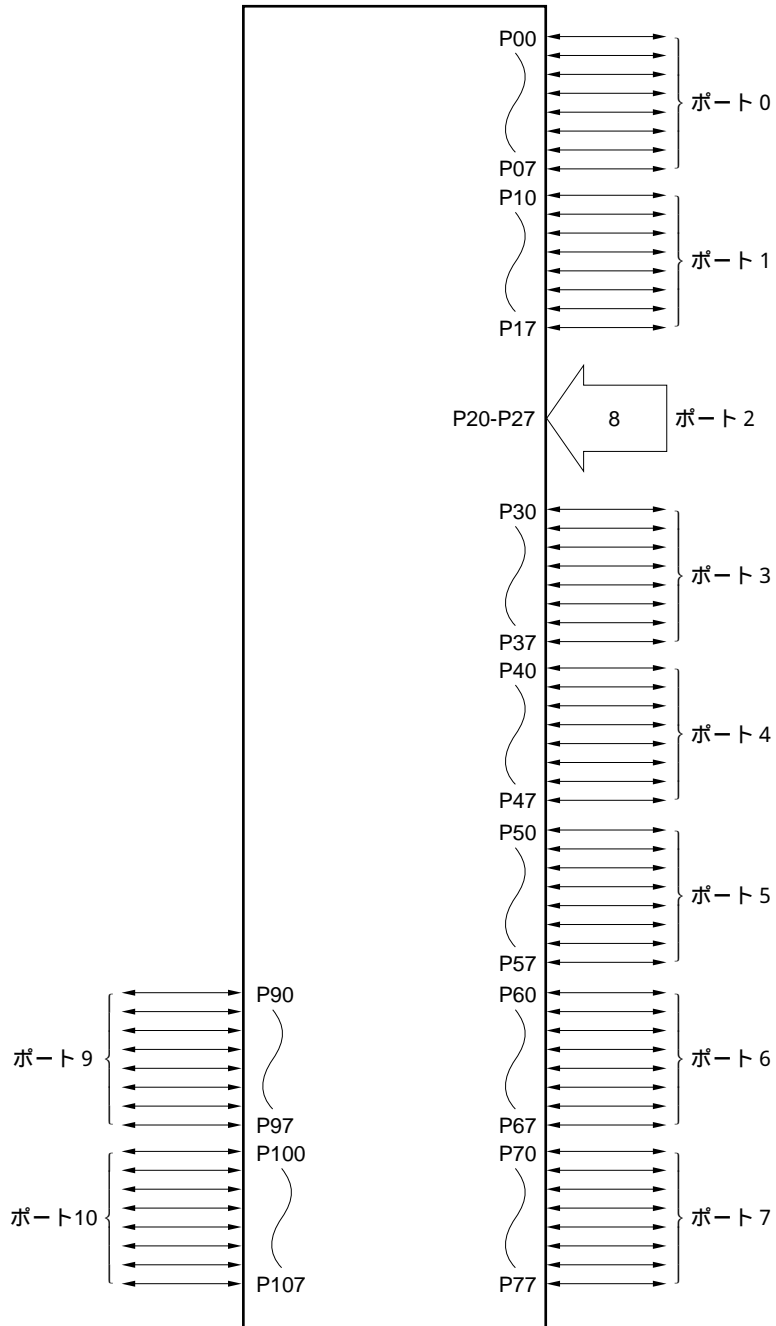


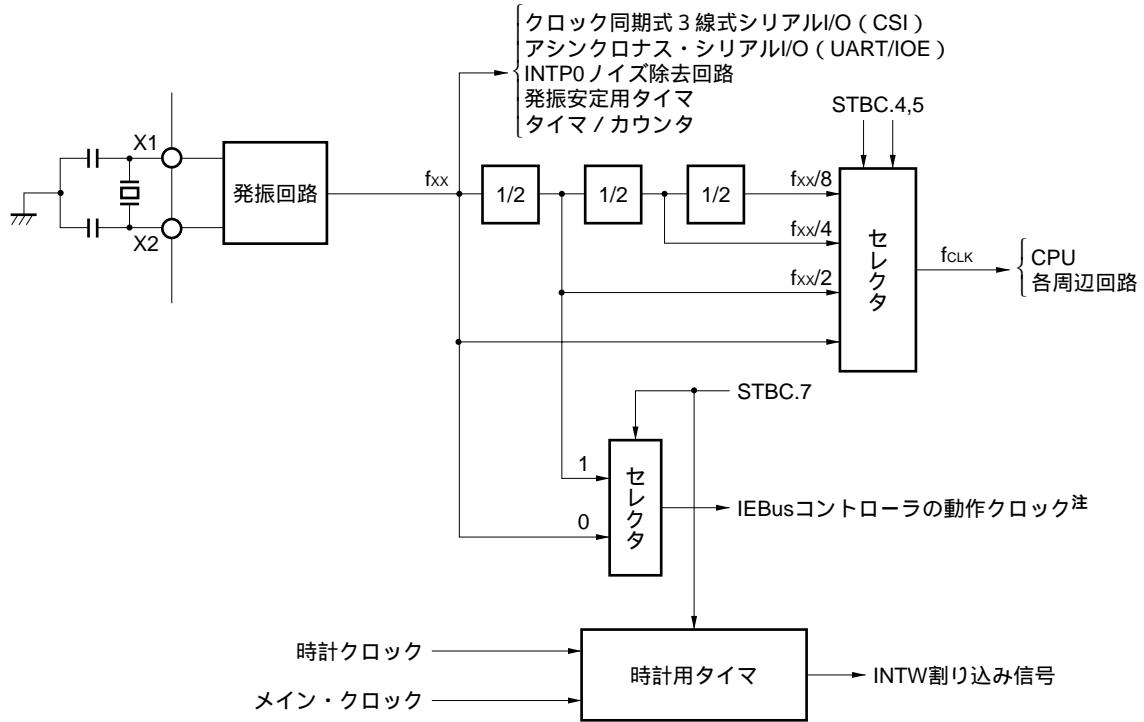
表 8 - 1 ポートの機能

ポート名	端子名称	機 能	ソフトウェア・プルアップの指定
ポート 0	P00-P07	<ul style="list-style-type: none"> ・ 1 ビット単位で入力か出力に指定可能 ・ 4 ビット・リアルタイム出力としても動作可能 (P00-P03, P04-P07) ・ トランジスタ駆動可能 	入力モードの端子について一括して指定
ポート 1	P10-P17	<ul style="list-style-type: none"> ・ 1 ビット単位で入力か出力に指定可能 ・ LED駆動可能 	入力モードの端子について一括して指定
ポート 2	P20-P27	<ul style="list-style-type: none"> ・ 入力ポート 	6 ビット単位 (P22-P27)
ポート 3	P30-P37	<ul style="list-style-type: none"> ・ 1 ビット単位で入力か出力に指定可能 ・ P32/$\overline{\text{SCK0}}$端子とP33/SO0端子は、N-chオープン・ドレインに設定可能 	入力モードの端子について一括して指定
ポート 4	P40-P47	<ul style="list-style-type: none"> ・ 1 ビット単位で入力か出力に指定可能 ・ LED駆動可能 	入力モードの端子について一括して指定
ポート 5	P50-P57	<ul style="list-style-type: none"> ・ 1 ビット単位で入力か出力に指定可能 ・ LED駆動可能 	入力モードの端子について一括して指定
ポート 6	P60-P67	<ul style="list-style-type: none"> ・ 1 ビット単位で入力か出力に指定可能 	入力モードの端子について一括して指定
ポート 7	P70-P77	<ul style="list-style-type: none"> ・ 1 ビット単位で入力か出力に指定可能 	
ポート 9	P90-P97	<ul style="list-style-type: none"> ・ 1 ビット単位で入力か出力に指定可能 	入力モードの端子について一括して指定
ポート 10	P100-P107	<ul style="list-style-type: none"> ・ 1 ビット単位で入力か出力に指定可能 ・ P105/$\overline{\text{SCK3}}$端子とP107/SO3端子は、N-chオープン・ドレインに設定可能 	入力モードの端子について一括して指定

8.2 クロック発生回路

動作に必要なクロック発生回路を備えています。また、クロック発生回路には分周回路があり、高速動作が不要な場合は、内部動作周波数を下げることにより、低消費電流を実現できます。

図 8 - 2 クロック発生回路のブロック図

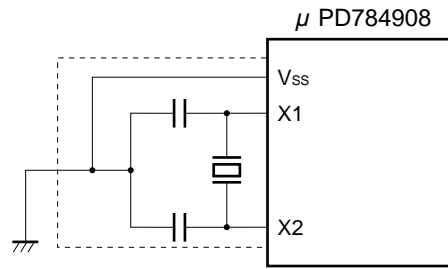


注 スタンバイ・コントロール・レジスタ (STBC) のビット 7 に 1 を設定してください。

備考 f_{xx} : 発振周波数または外部クロック入力周波数
 f_{CLK} : 内部動作周波数

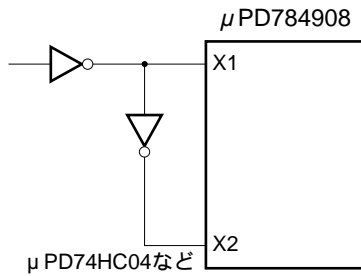
図 8 - 3 発振回路の使用例

(1) クリスタル/セラミック発振

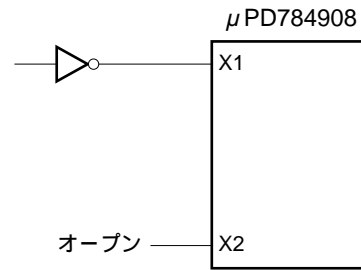


(2) 外部クロック

・ OSTSのEXTCビット = 1



・ OSTSのEXTCビット = 0



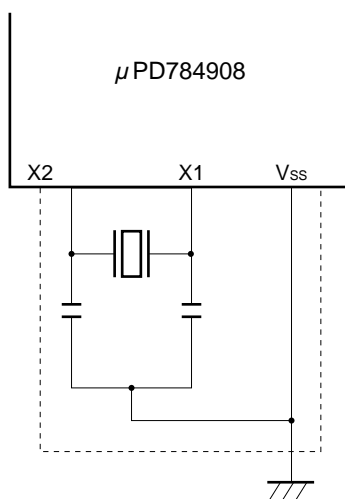
注意 クロック発振回路を使用する場合は、配線容量などの影響を避けるために、破線の部分を次のように配線してください。

- ・ 配線を極力短くする。
- ・ ほかの信号線と交差させない。
- ・ 変化する大電流が流れる線と接近させない。
- ・ 発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグラウンド・パターンには接地しない。
- ・ 発振回路から信号を取り出さない。

時計クロック発振回路は、低消費電流にするために増幅度の低い回路になっており、ノイズに対する誤動作がメイン・システム・クロック発振回路よりも起こりやすくなっています。したがって、時計クロック回路を使用する場合は、配線方法について特に注意してください。

発振が正常に安定して行われないと、マイコンも正常に安定した動作を行うことができません。また、高精度な発振周波数を得たい場合などは、発振器メーカーと相談してください。

図 8 - 4 発振子の接続の注意点



注意 1 . 発振回路は、X1, X2 (XT1, XT2) 端子にできるだけ近づけてください。

2 . 破線の範囲に他の信号線を通さないでください。

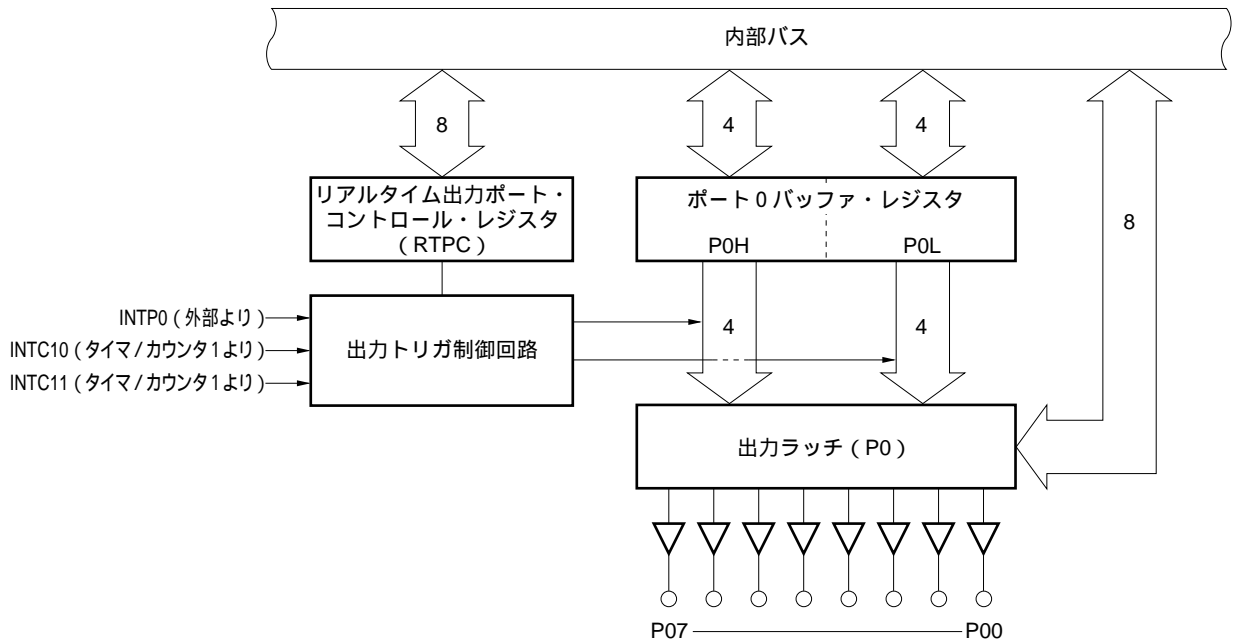
8.3 リアルタイム出力ポート

リアルタイム出力ポートは、バッファに格納しておいたデータを、タイマ/カウンタ1の一致割り込みや外部割り込みに同期して出力します。これによって、ジッタのないパルス出力を得られます。

したがって、任意の間隔で任意パターンを出力する応用（ステッピング・モータの開ループ制御など）に最適です。

図8-5のように、ポート0とポート0バッファ・レジスタ（P0H, P0L）が構成の中心です。

図8-5 リアルタイム出力ポートのブロック図



8.4 タイマ/カウンタ

タイマ/カウンタを3ユニット、タイマを1ユニット内蔵しています。

また、計7つの割り込み要求をサポートしていますので、7ユニットのタイマ/カウンタとして機能させることができます。

表8-2 タイマ/カウンタの動作

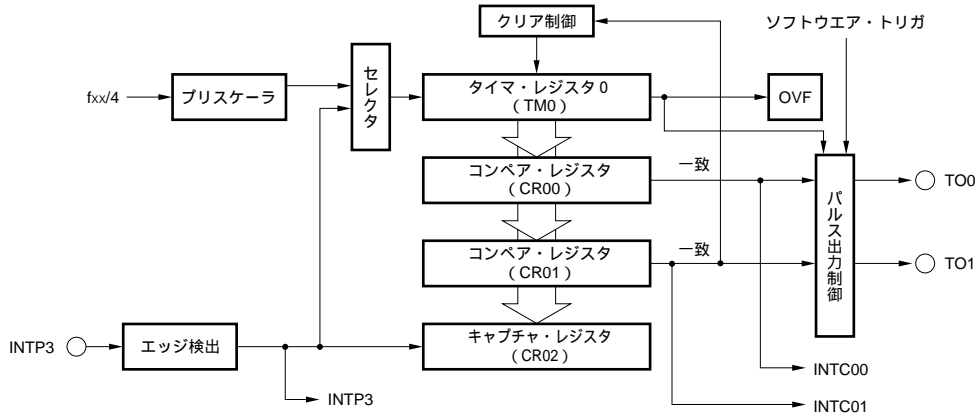
項 目		名 称	タイマ/ カウンタ0	タイマ/ カウンタ1	タイマ/ カウンタ2	タイマ3
カウント幅	8ビット					
	16ビット					
動作モード	インターバル・タイマ		2ch	2ch	2ch	1ch
	外部イベント・カウンタ					
	ワンショット・タイマ					
機 能	タイマ出力		2ch		2ch	
	トグル出力					
	PWM/PPG出力					
	ワンショット・パルス出力 ^注					
	リアルタイム出力					
	パルス幅測定		1入力	1入力	2入力	
	割り込み要求数		2	2	2	1

注 ワンショット・パルス出力機能とは、ソフトウェアによりパルス出力レベルをアクティブにし、ハードウェア（割り込み要求信号）によりインアクティブにする機能です。

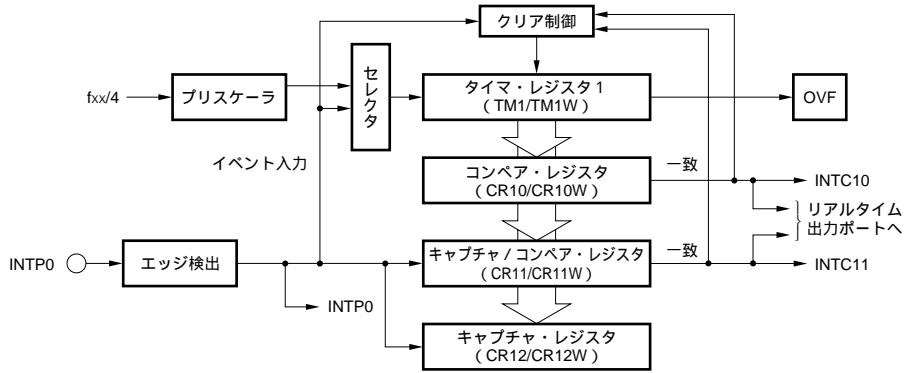
この機能は、タイマ/カウンタ2のワンショット・タイマ機能とは性質が異なります。

図8-6 タイマ/カウンタのブロック図

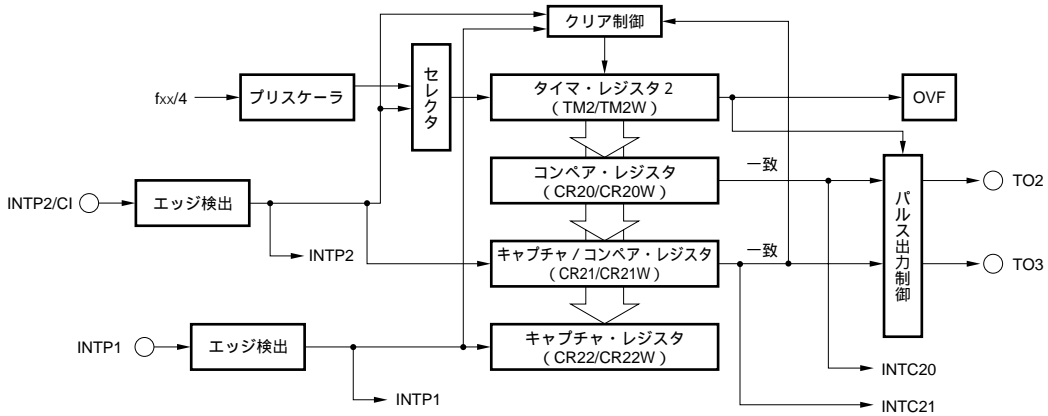
タイマ/カウンタ0



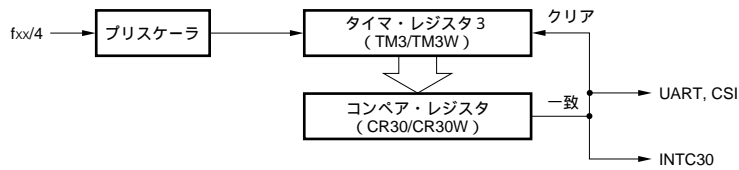
タイマ/カウンタ1



タイマ/カウンタ2



タイマ3



備考 OVF: オーバフロー・フラグ

8.5 時計用タイマ

★ 時計用タイマに入力するカウント・クロックは、メイン・クロック（6.29 MHz/12.58 MHz）と時計クロック（32.768 KHz）の2種類があり、制御レジスタにより選択できます。時計クロックは、時計用タイマのみに入力するクロックで、CPUや他の周辺回路には入力しません。したがって、時計クロックによりCPUを低速動作させることはできません。

時計用タイマはカウント・クロックを分周して、0.5秒間隔^注の割り込み信号（INTW）を発生します。同時に割り込み要求フラグ（WIF）もセットします（ここでのWIFは、割り込み制御レジスタ（WIC）のビット7です）。

また、モード切り替えにより、INTW発生間隔を約1 msに変更できます（早送りモード：通常動作の512倍速）。

カウント・クロックにメイン・クロックを選択している場合は、STOPモードとIDLEモードのスタンバイ時には、動作を停止します。ただし、HALTモード時は動作を継続します。また、カウント・クロックに時計クロックを選択した場合は、どのスタンバイ・モード時でも動作を継続できます。時計クロック発振器の動作制御は、時計用タイマ・モード・レジスタ（WM）で行います。

μPD784908の時計用タイマには、ブザー出力機能は内蔵しません。

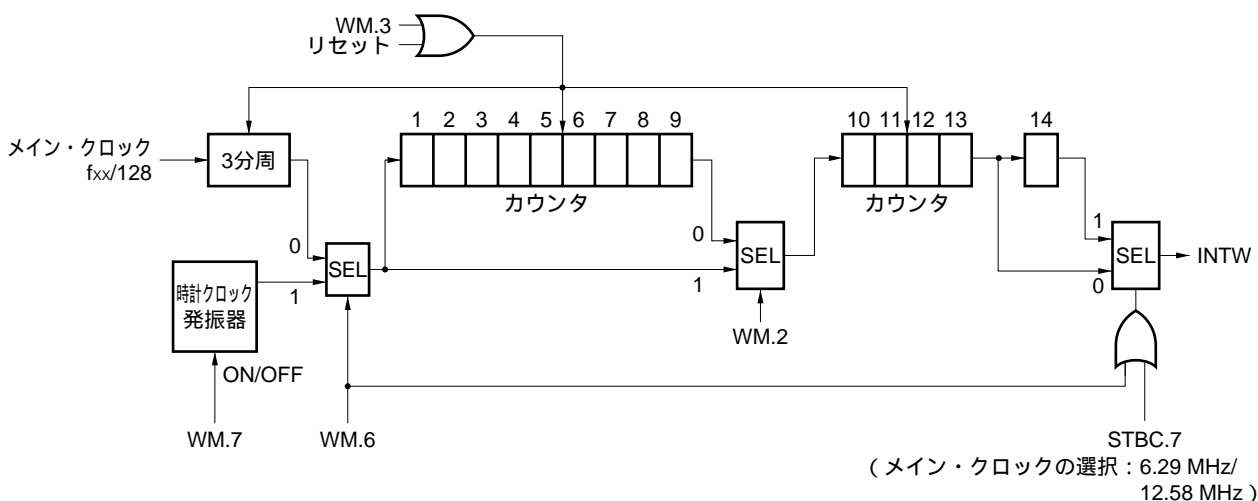
注 動作許可後、はじめのINTWまでは0.5 sではありません。

表 8 - 3 カウント・クロックと時計用タイマ動作の関係

カウント・クロックの選択	通常動作モード	スタンバイ・モードの種類		
		HALTモード	STOPモード	IDLEモード
メイン・クロック	動作可能	動作可能	停止	停止
時計クロック	動作可能	動作可能	動作可能	動作可能

時計用タイマの構成は、カウント・クロックを3分周する分周回路と、分周回路の出力を2¹⁴分周するカウンタから構成されています。カウント・クロックは、内部システム・クロックを128分周した信号と、時計クロック発振器からの信号を選択して使用してください。

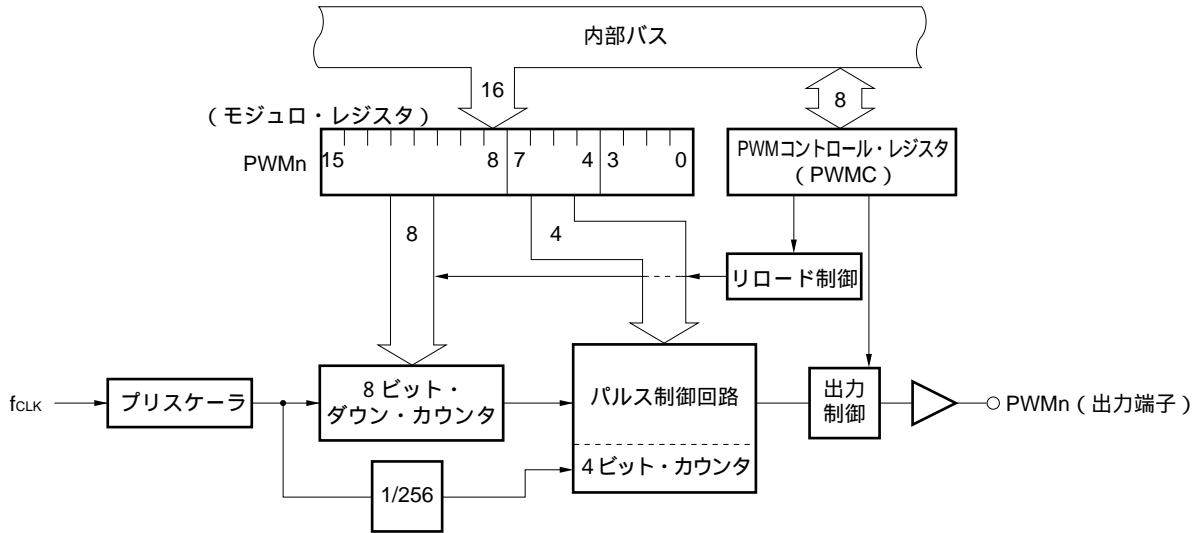
★ 図 8 - 7 時計用タイマのブロック図



8.6 PWM出力 (PWM0, PWM1)

12ビット分解能で、繰り返し周波数24.57 kHz ($f_{CLK} = 6.29 \text{ MHz}$) のPWM (パルス幅変調) 出力回路を2チャンネル内蔵しています。このPWM出力は両チャンネルとも独立にアクティブ・レベルをハイかロウに選択できます。この出力はDCモータの速度制御用として最適です。

図8-8 PWM出力ユニットのブロック図



備考 n = 0, 1

8.7 A/Dコンバータ

8 マルチプレクスト・アナログ入力 (ANI0-ANI7) を持つアナログ/デジタル (A/D) コンバータを内蔵しています。

変換方式は逐次比較で、変換結果を 8 ビットの A/D 変換結果レジスタ (ADCR) に保持します。このため、高速で高精度に変換します。

A/D 変換動作の起動には、次のモードがあります。

- ・ハードウェア・スタート：トリガ入力 (INTP5) により変換開始。
- ・ソフトウェア・スタート：A/D コンバータ・モード・レジスタ (ADM) のビット設定により変換開始。

また、起動後の動作には、次のモードがあります。

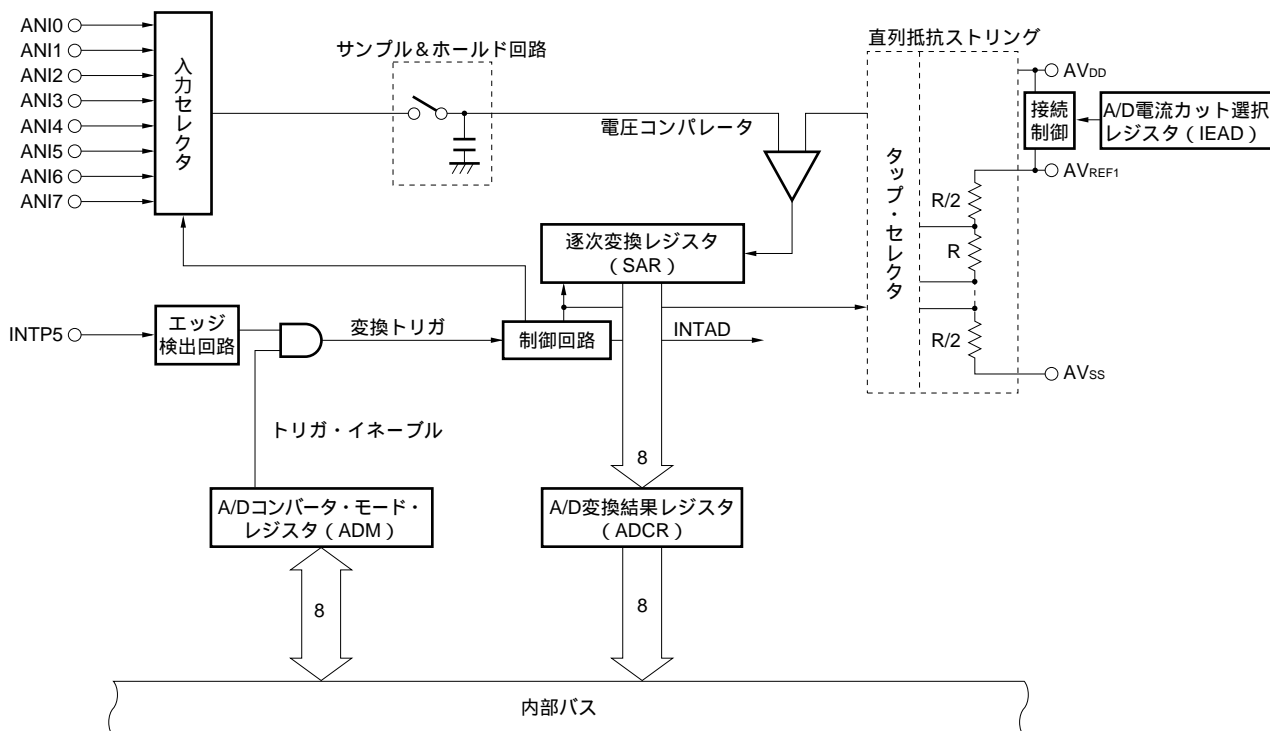
- ・スキャン・モード：複数のアナログ入力を順次選択し、複数端子の変換を行います。
- ・セレクト・モード：アナログ入力を 1 端子に固定し、連続的な変換値を得ます。

以上のモードと変換動作の停止は、すべて ADM で指定します。

なお、変換結果を ADCR へ転送すると、割り込み要求 INTAD を発生します。これを利用して、マクロ・サービスによって、変換値をメモリへ連続的に転送できます。

- 注意 1** . この製品では、基準電圧入力端子 (AVREF1) には、電源電圧 (AVDD) と同じ電圧を印加して使用してください。
- 2** . ポート 7 を出力ポートと A/D 入力を混在して使用している場合には、A/D 変換動作中は、出力ポートの操作は行わないでください。

図 8 - 9 A/D コンバータのブロック図



8.8 シリアル・インタフェース

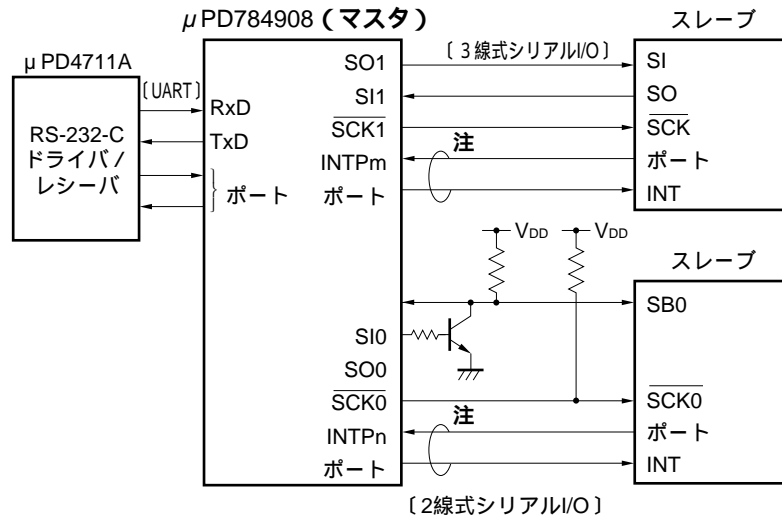
独立した4チャンネルのシリアル・インタフェースを備えています。

- アシンクロナス・シリアル・インタフェース (UART) / 3線式シリアルI/O (IOE) × 2
- クロック同期式シリアル・インタフェース (CSI) × 2
- ・ 3線式シリアルI/O (IOE)

このため、システム外部との通信と、システム内部のローカルな通信とを同時にできます (図8 - 10参照)。

図8 - 10 シリアル・インタフェース例

UART + 3線式シリアルI/O + 2線式シリアルI/O



注 ハンドシェイク・ライン

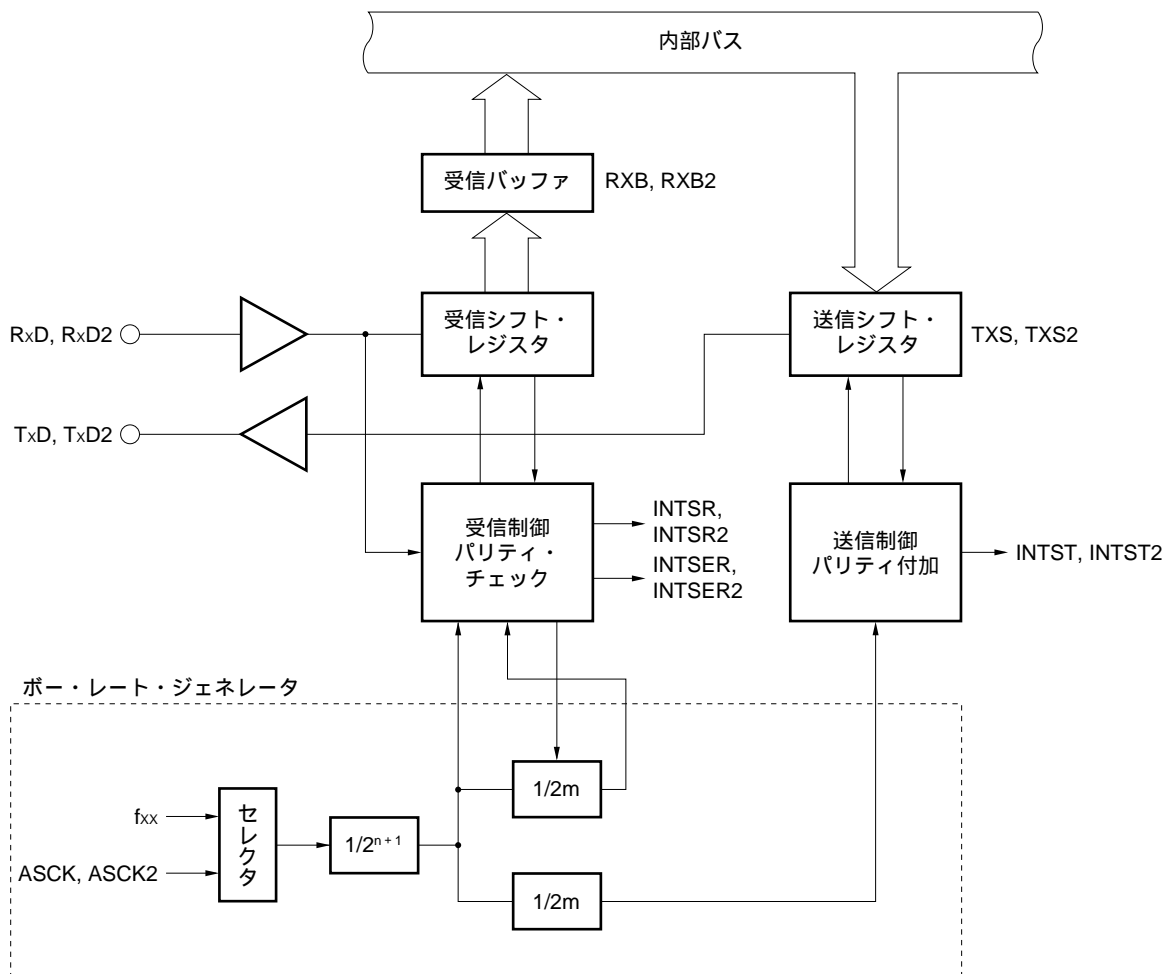
8.8.1 アシクロナス・シリアル・インタフェース / 3線式シリアルI/O (UART/IOE)

アシクロナス・シリアル・インタフェース・モードと3線式シリアルI/Oモードを選択できるシリアル・インタフェースを2チャンネル持っています。

(1) アシクロナス・シリアル・インタフェース・モード

スタート・ビットに続く1バイトのデータを送受信する方式です。
 ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。
 また、ASCK端子への入力クロックを分周することで、ボー・レートの定義ができます。
 ボー・レート・ジェネレータを使用すると、MIDI規格のボー・レート (31.25 kbps) も得られます。

図8-11 アシクロナス・シリアル・インタフェース・モード時のブロック図



備考 f_{xx} : 発振周波数または外部クロック入力周波数

n = 0 - 11

m = 16 - 30

(2) 3線式シリアルI/Oモード

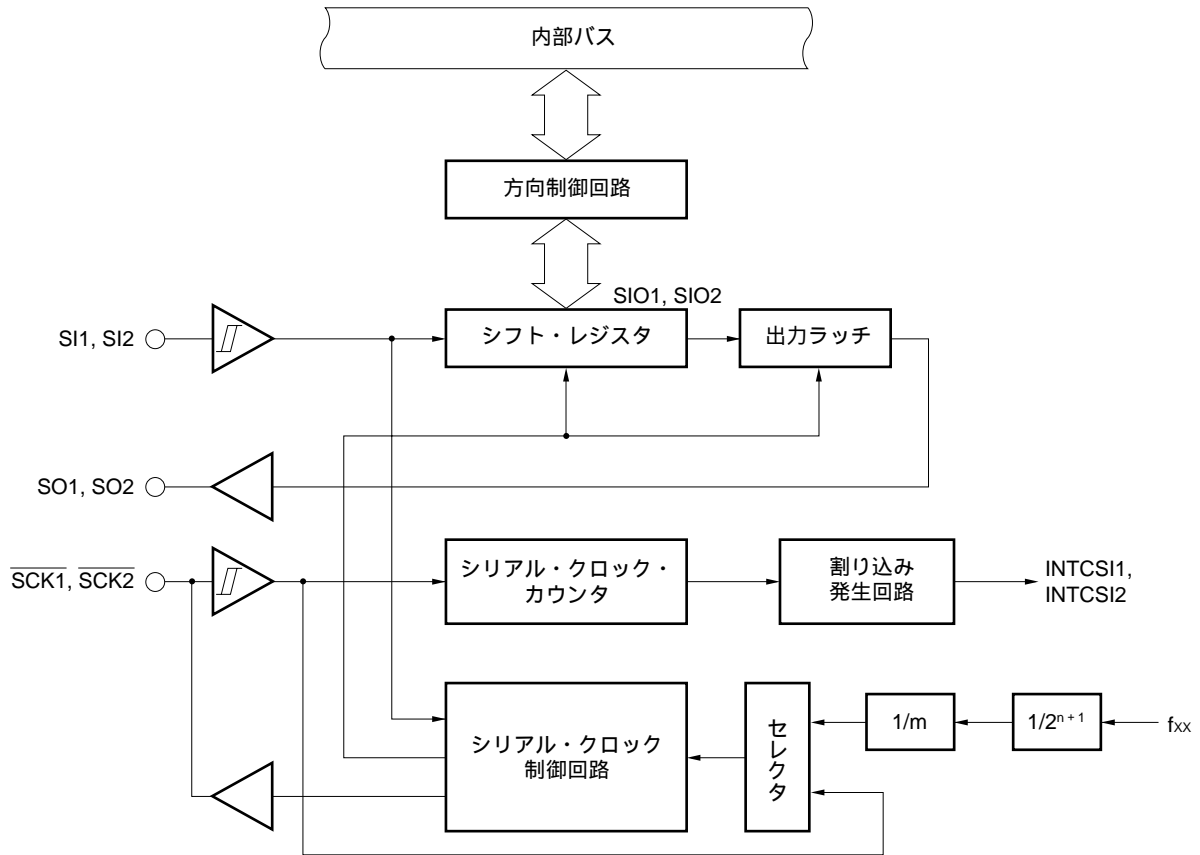
マスタ・デバイスがシリアル・クロックをアクティブにして送信を開始し、このクロックに同期して1バイトのデータを通信する方法です。

従来のクロック同期式シリアル・インタフェースを内蔵するデバイスと通信するためのインタフェースです。

基本的には、シリアル・クロック (\overline{SCK}) とシリアル・データ (SI, SO) の3線で通信します。

また、一般的には通信状態を確認するため、ハンドシェーク・ラインが必要となります。

図8-12 3線式シリアルI/Oモード時のブロック図



備考 f_{xx} : 発振周波数または外部クロック入力周波数

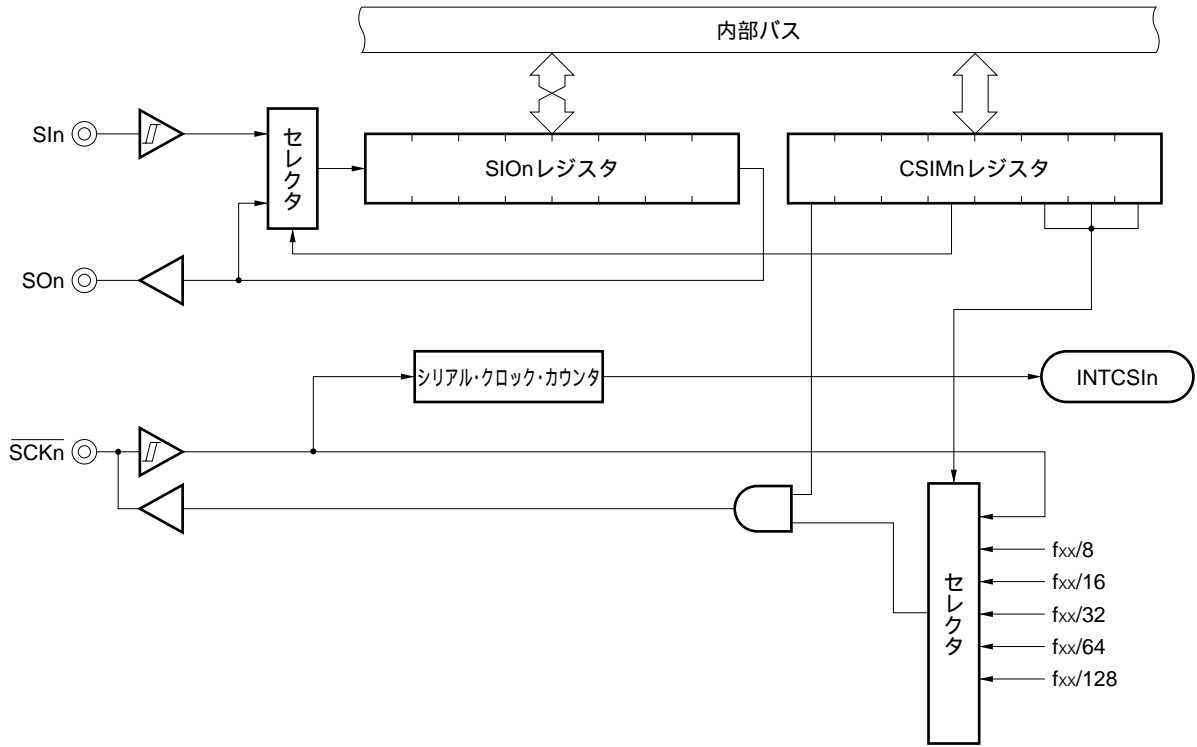
$n = 0 - 11$

$m = 1, 16 - 30$

8.8.2 クロック同期式シリアル・インタフェース (CSI)

マスタ・デバイスがシリアル・クロックをアクティブにして送信を開始し、このクロックに同期して1バイトのデータを通信する方法です。

図8 - 13 クロック同期式シリアル・インタフェースのブロック図



備考 f_{xx} : 発振周波数または外部クロック入力周波数
 $n = 0, 3$

・ 3線式シリアルI/Oモード

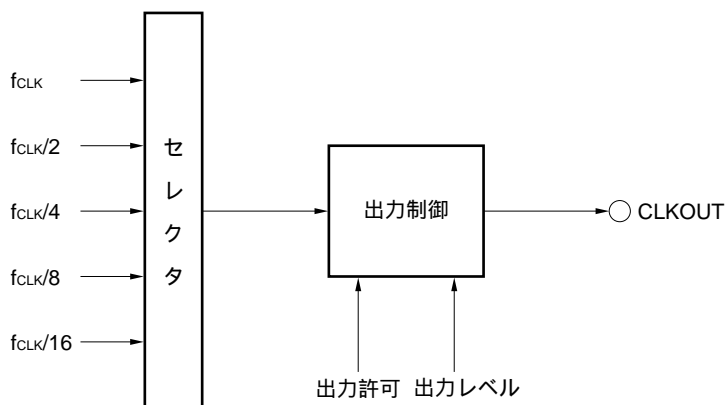
従来のクロック同期式シリアル・インタフェースを内蔵するデバイスと通信するためのインタフェースです。基本的には、シリアル・クロック (\overline{SCKn}) とシリアル・データ (SIn, SOn) の3線で通信します (n = 0, 3)。また、一般的には通信状態を確認するため、ハンドシェーク・ラインが必要となります。

8.9 クロック出力機能

CPUの動作クロックを分周して外部に出力できます。また、1ビットのポートとしても使用できます。

本機能使用時には、ASTB端子とCLKOUT端子が兼用になっているため、ローカル・バス・インタフェースは使用できません。

図 8 - 14 クロック出力機能のブロック図



8.10 エッジ検出機能

割り込み入力端子 (NMI, INTP0-INTP5) は、割り込みの要求を入力するだけでなく、各種の内蔵ハードウェアのトリガ信号などの入力端子としても使用します。これらは、すべて入力信号のエッジで動作するため、エッジを検出するための機能が内蔵されています。また、ノイズによるエッジの誤検出を防ぐために、ノイズ除去機能も備えています。

表 8-4 割り込み入力端子のノイズ除去方法

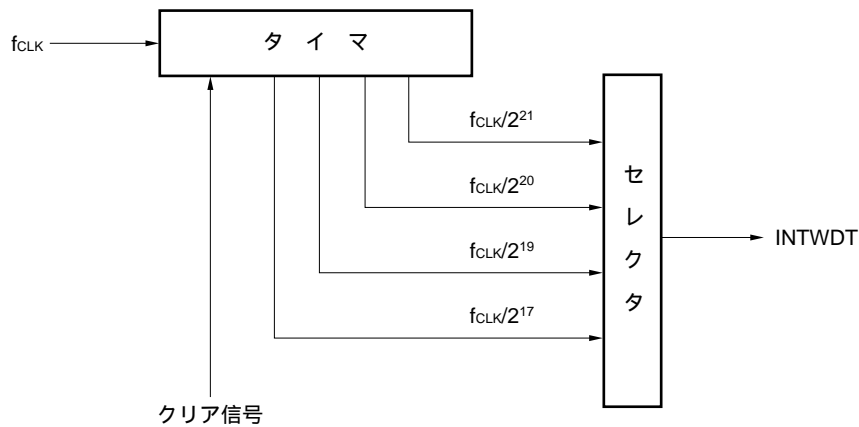
端子名称	検出可能エッジ	ノイズ除去方法
NMI	立ち上がりまたは立ち下がりのどちらか一方	アナログ・ディレイによる
INTP0-INTP3	立ち上がり, 立ち下がりの一方または両方	クロック・サンプリングによる ^注
INTP4, INTP5		アナログ・ディレイによる

注 INTP0は、サンプリング・クロックを選択可能

8.11 ウォッチドッグ・タイマ

CPUの暴走検出のためのウォッチドッグ・タイマを内蔵しています。このウォッチドッグ・タイマは、あらかじめ指定したインターバル時間以内にソフトウェアでクリアしないと、マスク不可能な割り込み要求を発生します。さらに、このウォッチドッグ・タイマは、一度動作を許可するとソフトウェアで動作を止めることはできません。また、ウォッチドッグ・タイマによる割り込み要求とNMI端子からの割り込み要求のどちらを優先するかを指定できます。

図 8-15 ウォッチドッグ・タイマのブロック図



8.12 簡易版IEBusコントローラ

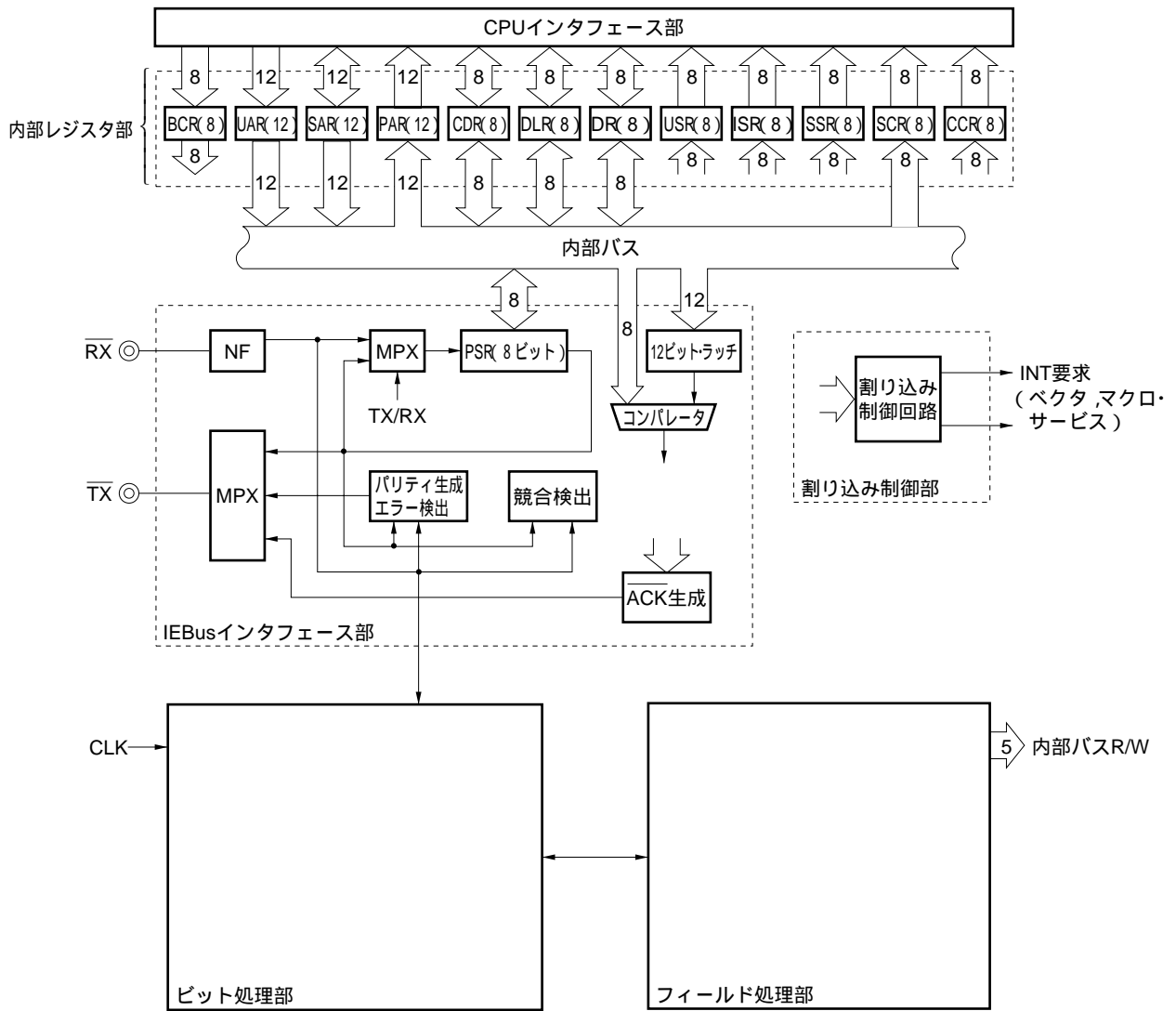
μPD784908は、新規に開発したIEBusコントローラを内蔵しています。従来品のIEBusインタフェース機能（78K/0に内蔵）に比べると、機能を限定したものです。

表8 - 5 に従来品と簡易版IEBusインタフェースの比較を示します。

表8 - 5 従来品と簡易版IEBusインタフェースの比較

項 目	従来品（78K/0内蔵IEBus）	簡易版IEBus
通信モード	モード0，モード1，モード2	モード1固定
内部システム・クロック	6.0（6.29）MHz	
内部バッファ・サイズ	送信バッファ 33バイト（FIFO） 受信バッファ 40バイト（FIFO） 最大4フレーム受信可能	送受信データ・レジスタ 1バイト
CPU処理	通信開始前処理（データ設定） 各通信状態設定，管理 送信バッファへのデータ・ライト 受信バッファからのデータ・リード	通信開始前処理（データ設定） 各通信状態設定，管理 1バイトごとのデータ・ライト処理 1バイトごとのデータ・リード処理 スレープ・ステータスなど送信管理 複数フレーム管理，再マスタ要求処理
ハード処理	ビット処理（変復調，エラー検出） フィールド処理（生成／管理） アービトレーション結果検出 パリティ処理（生成／エラー検出） $\overline{\text{ACK}}/\text{NACK}$ の自動返答 自動データ再送処理 自動再マスタ処理 自動スレープ・ステータスなど送信処理 複数フレーム受信処理	ビット処理（変復調，エラー検出） フィールド処理（生成／管理） アービトレーション結果検出 パリティ処理（生成／エラー検出） $\overline{\text{ACK}}/\text{NACK}$ の自動返答 自動データ再送処理

図8-16 IEBusコントローラのブロック図



ハードウェアの構成と機能

IEBusの内部構成は、主に次の6つのブロックから構成されます。

- ・CPUインタフェース部
- ・割り込み制御部
- ・内部レジスタ部
- ・ビット処理部
- ・フィールド処理部
- ・IEBusインタフェース部

CPUインタフェース部

CPU (78K/) とIEBus本体とをインタフェースするための制御部です。

割り込み制御部

IEBus本体からの割り込み要求信号をCPUに渡すための制御部です。

内部レジスタ部

IEBusの制御を行うコントロール・レジスタ、各フィールドのデータを設定します。

ビット処理部

ビット・タイミングの生成、分解を行い、主にビット・シーケンスROM、8ビット・プリセット・タイマ、判定器から構成されます。

フィールド処理部

通信フレーム内の各フィールドの生成を行い、主にフィールド・シーケンスROM、4ビット・ダウン・カウンタ、判定器から構成されます。

IEBusインタフェース部

外付けのドライバ/レシーバのインタフェース部で、主にノイズ・フィルタ、シフト・レジスタ、競合検出、パリティ検出、パリティ生成回路、および $\overline{\text{ACK}}$ /NACK生成回路から構成されます。

9. 割り込み機能

割り込み要求に対する処理として、表9 - 1のような3つの処理をプログラムで選択できます。

表9 - 1 割り込み要求の処理

処理モード	処理の主体	処 理	PC, PSWの内容
ベクタ割り込み	ソフトウェア	処理ルーチンへ分岐して実行（処理内容は任意）	スタックへの退避，復帰を伴う
コンテキスト・スイッチング		レジスタ・バンクで自動的に切り替えて，処理ルーチンへ分岐して実行（処理内容は任意）	レジスタ・バンク中の固定エリアへの退避，復帰を伴う
マクロ・サービス	ファームウェア	メモリ-I/O間のデータ転送などを実行（処理内容は固定）	保持

9.1 割り込み要因

割り込み要因には、表9 - 2のような27種類とBRK命令，BRKCS命令実行およびオペランド・エラーがあります。

割り込み処理の優先順位は、4レベルに設定できます。これによって、割り込み処理中のネスト制御や、同時発生した割り込み要求のレベル分けができます。ただし、マクロ・サービスでは、必ずネスティングが進みます（保留されず）。

デフォルト・プライオリティは、同時に発生した同優先レベルの割り込み要求に対する処理の優先順位（固定）です（表9 - 2参照）。

表9 - 2 割り込み要因

タイプ	デフォルト・ プライオリティ	要 因		内部/外部	マクロ・ サービス	
		名 称	ト リ ガ			
ソフトウェア	-	BRK命令	命令の実行	-	-	
		BRKCS命令	命令の実行			
		オペランド・エラー	MOV STBC, #byte命令, MOV WDM, #byte命令, LOCATION命令実行時にオペランドのbyteとbyteの排他的論理和をとった結果がFFHでなかったとき			
ノンマスクブル	-	NMI	端子入力エッジ検出	外 部	-	
		WDT	ウォッチドッグ・タイマのオーバフロー	内 部		
マスクブル	0 (最高)	INTP0	端子入力エッジ検出 (TM1/TM1Wキャプチャ・トリガ)	外 部		
	1	INTP1	端子入力エッジ検出 (TM2/TM2Wキャプチャ・トリガ)			
	2	INTP2	端子入力エッジ検出 (TM2/TM2Wイベント・カウンタ入力)			
	3	INTP3	端子入力エッジ検出 (TM0キャプチャ・トリガ)			
	4	INTC00	TM0-CR00一致信号発生	内 部		
	5	INTC01	TM0-CR01一致信号発生			
	6	INTC10	TM1-CR10一致信号発生 (8ビット動作モード時) TM1W-CR10W一致信号発生 (16ビット動作モード時)			
	7	INTC11	TM1-CR11一致信号発生 (8ビット動作モード時) TM1W-CR11W一致信号発生 (16ビット動作モード時)			
	8	INTC20	TM2-CR20一致信号発生 (8ビット動作モード時) TM2W-CR20W一致信号発生 (16ビット動作モード時)			
	9	INTC21	TM2-CR21一致信号発生 (8ビット動作モード時) TM2W-CR21W一致信号発生 (16ビット動作モード時)			
	10	INTC30	TM3-CR30一致信号発生 (8ビット動作モード時) TM3W-CR30W一致信号発生 (16ビット動作モード時)			
	11	INTP4	端子入力エッジ検出			外 部
	12	INTP5	端子入力エッジ検出 (A/Dコンバータ・スタート変換トリガ)			内 部
	13	INTAD	A/Dコンバータ変換終了 (ADCRの転送)			
	14	INTSER	ASI0受信エラー発生			
	15	INTSR	ASI0受信終了またはCSI1転送終了			
		INTCSI1				
	16	INTST	ASI0送信終了			
	17	INTCSI	CSI0転送終了			
	18	INTSER2	ASI2受信エラー発生			
	19	INTSR2	ASI2受信終了またはCSI2転送終了			
		INTCSI2				
	20	INTST2	ASI2送信終了			
	21	INTIE1	IEBusデータ・アクセス要求			
22	INTIE2	IEBus通信エラー発生および通信開始/終了				
23	INTW	時計用タイマ出力				
24 (最低)	INTCSI3	CSI3転送終了				

備考 ASI : アシクロナス・シリアル・インタフェース

CSI : クロック同期式シリアル・インタフェース

9.2 ベクタ割り込み

割り込み要因に対応するベクタ・テーブル・アドレスのメモリ内容を分岐先のアドレスとして、処理ルーチンへ分岐します。

CPUが割り込み処理をするため、次のような動作が起こります。

- ・分岐時：CPUの状態（PC, PSWの内容）をスタックへ退避
- ・復帰時： " をスタックから復帰

なお、処理ルーチンからメイン・ルーチンへの復帰には、RETI命令を使用します。
また、分岐先のアドレスは、0-FFFFHに限ります。

表9 - 3 ベクタ・テーブル・アドレス

割り込み要因	ベクタ・テーブル・アドレス
BRK命令	0 0 3 E H
オペランド・エラー	0 0 3 C H
NMI	0 0 0 2 H
WDT	0 0 0 4 H
INTP0	0 0 0 6 H
INTP1	0 0 0 8 H
INTP2	0 0 0 A H
INTP3	0 0 0 C H
INTC00	0 0 0 E H
INTC01	0 0 1 0 H
INTC10	0 0 1 2 H
INTC11	0 0 1 4 H
INTC20	0 0 1 6 H
INTC21	0 0 1 8 H
INTC30	0 0 1 A H
INTP4	0 0 1 C H
INTP5	0 0 1 E H
INTAD	0 0 2 0 H
INTSER	0 0 2 2 H
INTSR	0 0 2 4 H
INTCSI1	
INTST	0 0 2 6 H
INTCSI	0 0 2 8 H
INTSER2	0 0 2 A H
INTSR2	0 0 2 C H
INTCSI2	
INTST2	0 0 2 E H

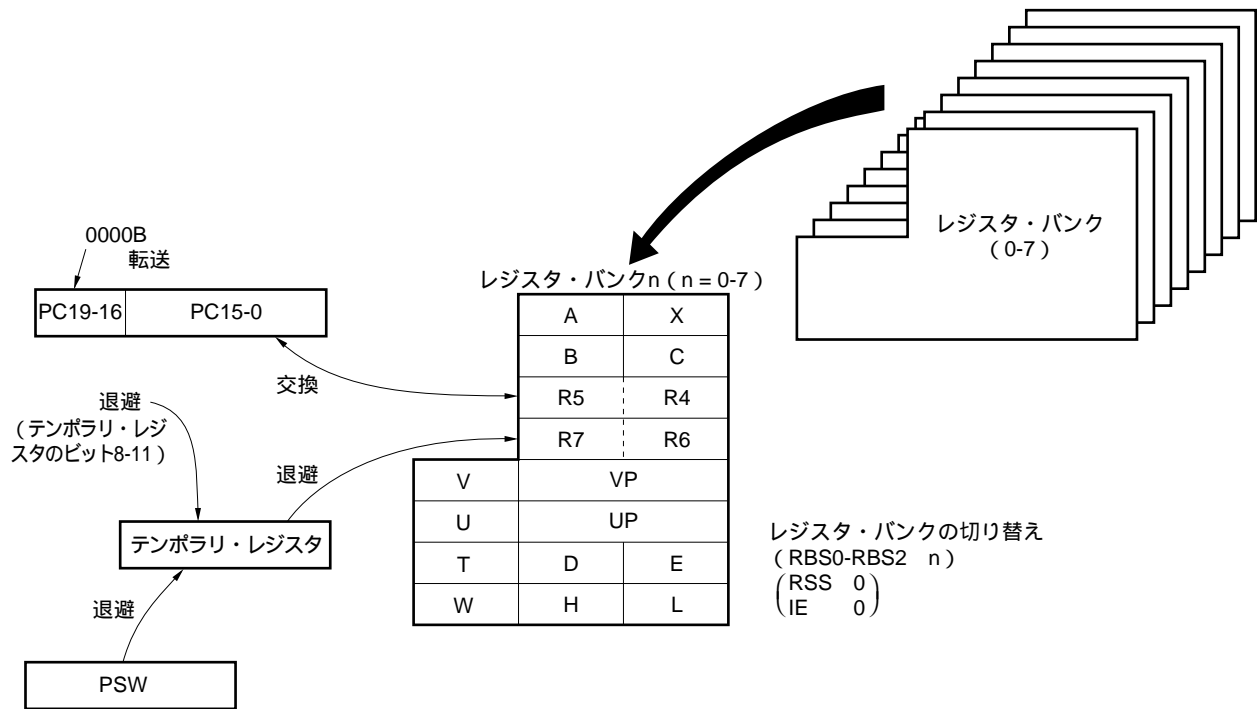
割り込み要因	ベクタ・テーブル・アドレス
INTIE1	0 0 3 2 H
INTIE2	0 0 3 4 H
INTW	0 0 3 6 H
INTCSI3	0 0 3 8 H

9.3 コンテキスト・スイッチング

割り込み要求の発生またはBRKCS命令の実行により、ハードウェア的に所定のレジスタ・バンクを選択します。レジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスへ分岐すると同時に、現在のプログラム・カウンタ(PC)、プログラム・ステータス・ワード(PSW)の内容をレジスタ・バンク内にスタックする機能です。

なお、分岐先のアドレスは、0-FFFFHに限りません。

図9 - 1 割り込み要求の発生によるコンテキスト・スイッチング動作

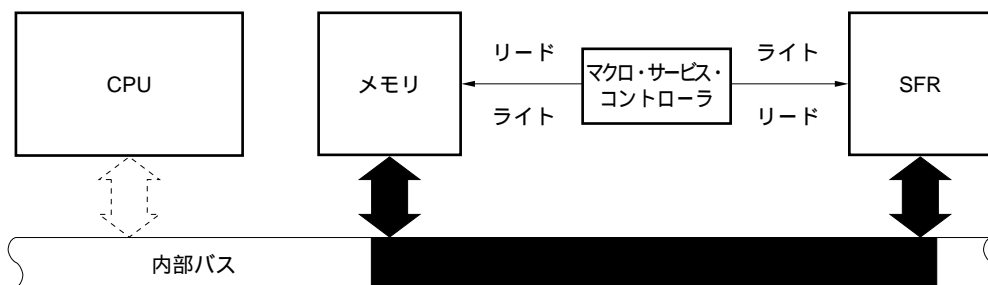


9.4 マクロ・サービス

メモリ-特殊機能レジスタ(SFR)間でCPUを介さずにデータを転送する機能です。マクロ・サービス・コントローラが同一転送サイクル内でメモリとSFRをアクセスし、データを取り込まずに直接転送します。

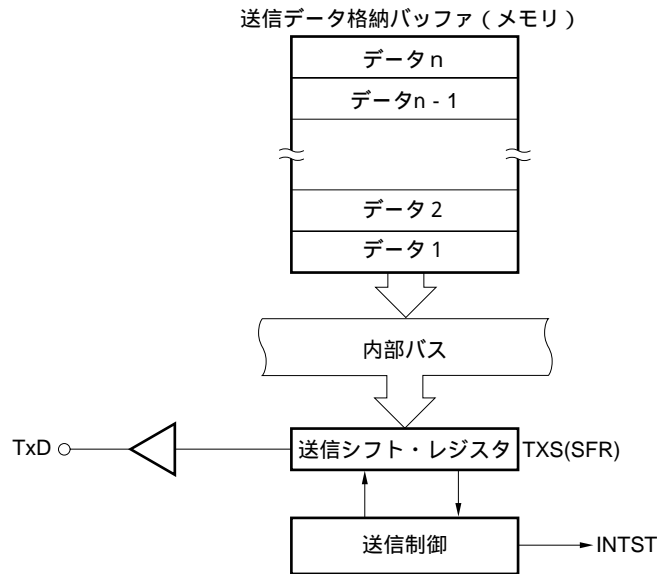
CPUの状態を退避、復帰したり、データを取り込んだりしないため、高速転送が可能です。

図9 - 2 マクロ・サービス



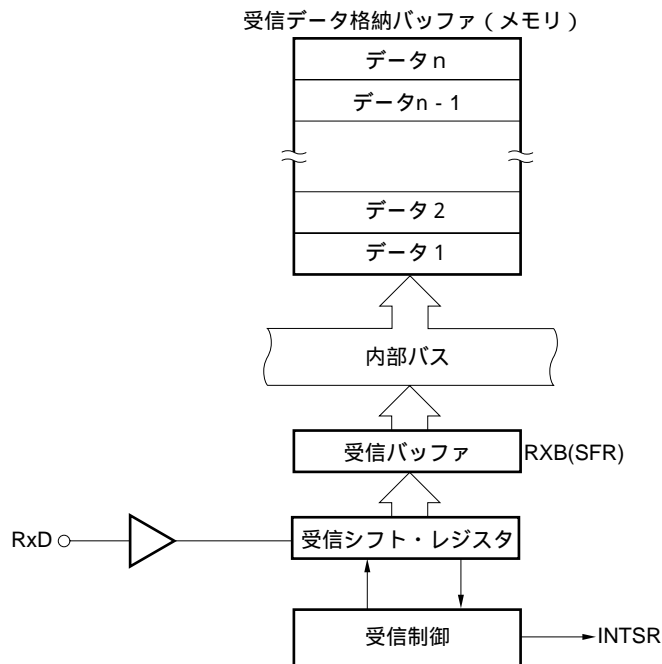
9.5 マクロ・サービスの応用例

(1) シリアル・インタフェースの送信動作



マクロ・サービス要求 (INTST) が発生するたびに、次の送信データをメモリからTXSへ転送します。データ n (最終バイト) をTXSへ転送する (送信データ格納バッファが空になる) と、ベクタ割り込み要求 (INTST) を発生します。

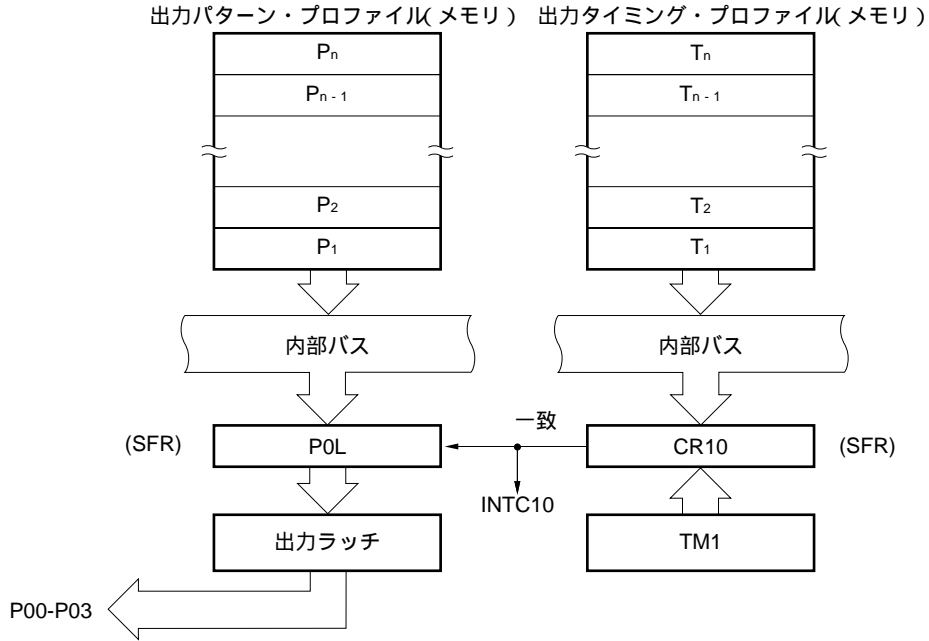
(2) シリアル・インタフェースの受信動作



マクロ・サービス要求 (INTSR) が発生するたびに、受信データをRXBからメモリへ転送します。データ n (最終バイト) をメモリへ転送する (受信データ格納バッファに空きがなくなる) と、ベクタ割り込み要求 (INTSR) を発生します。

(3) リアルタイム出力ポート

INTC10,INTC11はリアルタイム出力ポートの出力トリガとなります。これらに対するマクロ・サービスでは、次の出力パターンと間隔を同時に設定できます。このため、INTC10とINTC11は独立に、2系統のステップング・モータを制御できます。また、PWMやDCモータの制御などにも応用できます。



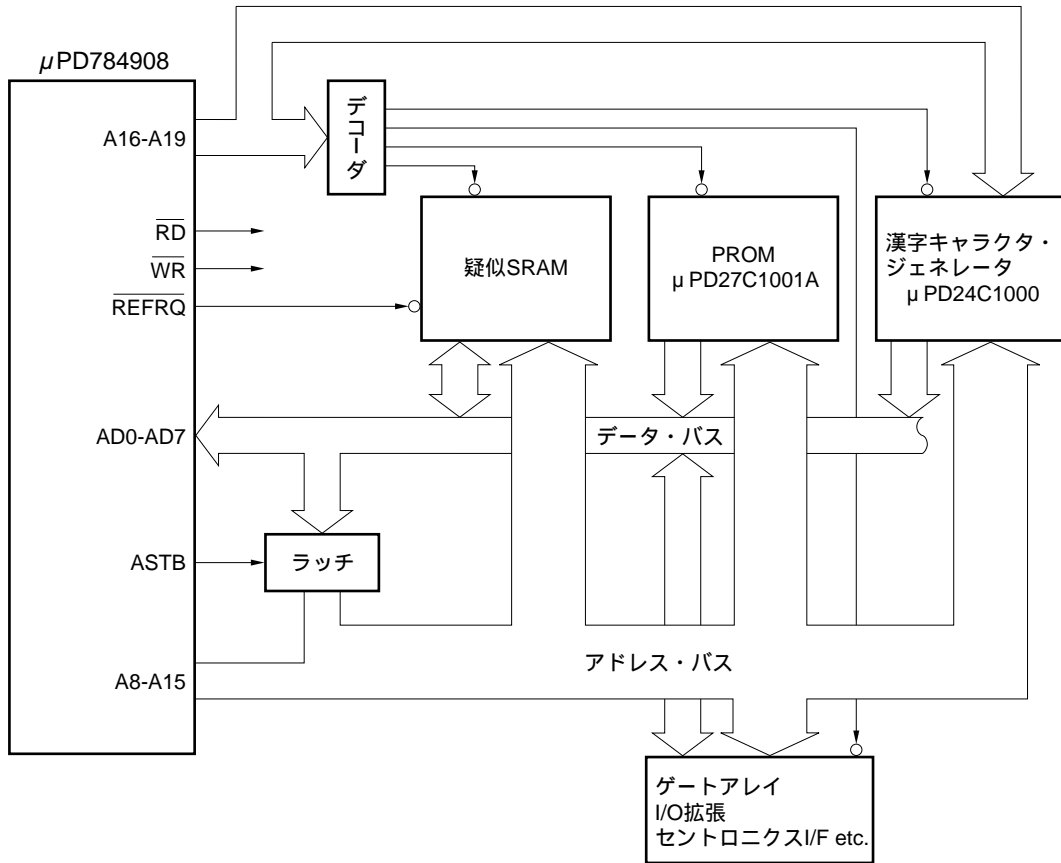
マクロ・サービス要求 (INTC10) が発生するたびに、パターンとタイミングをバッファ・レジスタ (POL) とコンペア・レジスタ (CR10) にそれぞれ転送します。タイマ・レジスタ 1 (TM1) の内容がCR10の内容と一致すると、次のINTC10が発生するとともに、POLの内容を出力ラッチへ送ります。Tn (最終バイト) がCR10へ転送されると、ベクタ割り込み要求 (INTC10) を発生します。

INTC11についても同様の動作となります。

10. ローカル・バス・インタフェース

外部にメモリやI/O（メモリ・マップI/O）を接続でき、1Mバイトのメモリ空間をサポートします（図10 - 1参照）。

図10 - 1 ローカル・バス・インタフェース例



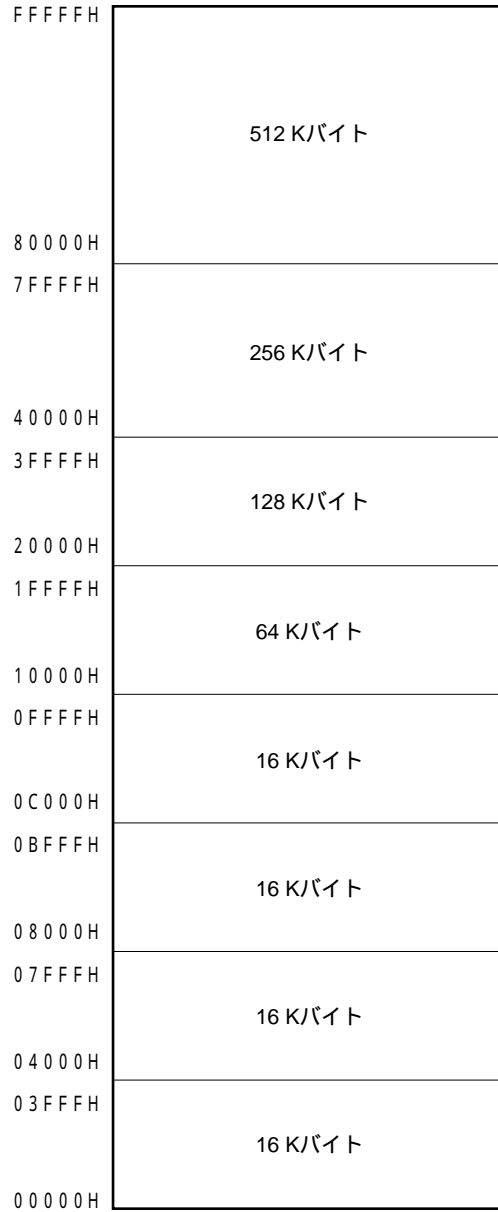
10.1 メモリ拡張

外部にプログラム・メモリやデータ・メモリを256バイトから最大約1Mバイトまで7段階に拡張できます。

10.2 メモリ空間

1Mバイトのメモリ空間は、論理アドレスによる8つの空間に分割されています。この各空間ごとに、プログラマブル・ウエイト機能や疑似スタティックRAMリフレッシュ機能での制御ができます。

図10 - 2 メモリ空間



10.3 プログラマブル・ウエイト

メモリ空間を8分割して、各メモリ空間ごとに独立に、 \overline{RD} , \overline{WR} 信号がアクティブの期間にウエイトを挿入できます。このため、アクセス時間の異なるメモリを接続しても、システム全体の効率を低下させずに済みます。

また、アドレス・デコード時間を確保するために、ASTB信号のアクティブ期間を長くするアドレス・ウエイト機能もあります（全空間に対して設定）。

10.4 疑似スタティックRAMリフレッシュ機能

リフレッシュ動作には、次のような動作があります。

- ・パルス・リフレッシュ

一定期間ごとに \overline{REFRQ} 端子にリフレッシュ・パルスを出力するバス・サイクルを挿入します。また、メモリ空間を8分割し、指定された領域にアクセスしているときに、メモリ・アクセスと同時に \overline{REFRQ} 端子からリフレッシュ・パルスを出力することも可能です。これにより、リフレッシュ・サイクルによって通常のメモリ・アクセスが待たされないようにすることが可能です。

- ・パワーダウン・セルフ・リフレッシュ

スタンバイ・モード時、 \overline{REFRQ} 端子にロウ・レベルを出力し、疑似スタティックRAMの内容を保持します。

10.5 バス・ホールド機能

DMAコントローラなどを容易に接続するために、バス・ホールド機能を持っています。外部のバス・マスタからのバス・ホールド要求信号（HLDRQ）を受け付けると、受け付け時に実行中のバス・サイクルが終了した時点で、アドレス・バス、アドレス/データ・バスおよびASTB, \overline{RD} , \overline{WR} の各端子をハイ・インピーダンスにしてバス・ホールド応答信号（HLDK）をアクティブにし、外部のバス・マスタにバスを開放します。

なお、バス・ホールド機能を使用しているときは、外部ウエイト機能と疑似スタティックRAMリフレッシュ機能は使用できません。

11. スタンバイ機能

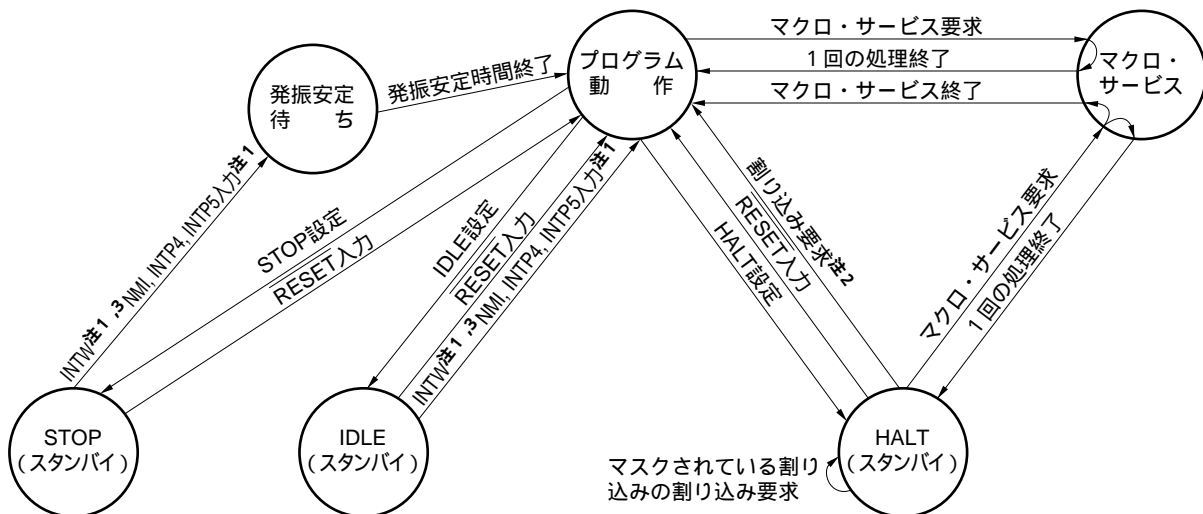
チップの消費電力を低減する機能です。次のようなモードがあります。

- ・HALTモード：CPUの動作クロックを停止させます。通常動作との間欠動作により、平均消費電力を低減できます。
- ・IDLEモード：発振回路の動作を継続したまま、それ以外のシステム全体が停止するモードです。STOPモードに近い低消費電力と、HALTモードと同等の時間で、通常のプログラム動作に復帰できます。
- ・STOPモード：発振器を停止させます。チップ内部の動作をすべて停止させ、リーク電流だけの微小消費電力状態にします。

これらのモードはプログラマブルです。

また、HALTモードからマクロ・サービスを起動できます。

図11-1 スタンバイ・モードの状態遷移



注1．INTW, INTP4, INTP5はマスクされていない場合

- 2．マスクされていない割り込み要求のみ
- 3．時計クロック動作時

備考 NMIは外部入力のみ有効です。ウォッチドッグ・タイマは、スタンバイの解除（STOP/HALT/IDLEモード）には使用できません。

12. リセット機能

RESET端子にロウ・レベルを入力すると、内部ハードウェアは初期状態になります（リセット状態）。

RESET入力がロウ・レベルからハイ・レベルになると、次のようなデータをプログラム・カウンタ（PC）に設定します。

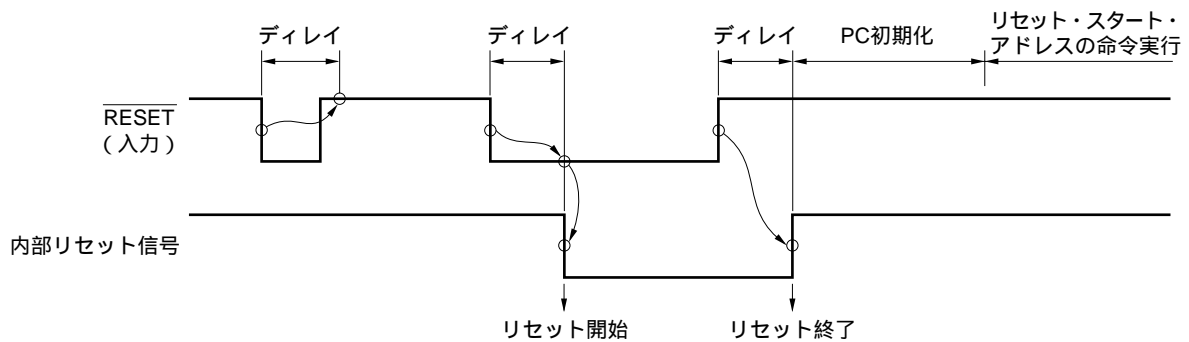
- ・ PCの下位 8 ビット：0000H番地の内容
- ・ PCの中位 8 ビット：0001H番地の内容
- ・ PCの上位 4 ビット：0

PCの設定内容を分岐先アドレスとし、そのアドレスからプログラムの実行を開始します。このため、任意の番地からリセット・スタートできます。

各レジスタの内容は、必要に応じてプログラムで設定してください。

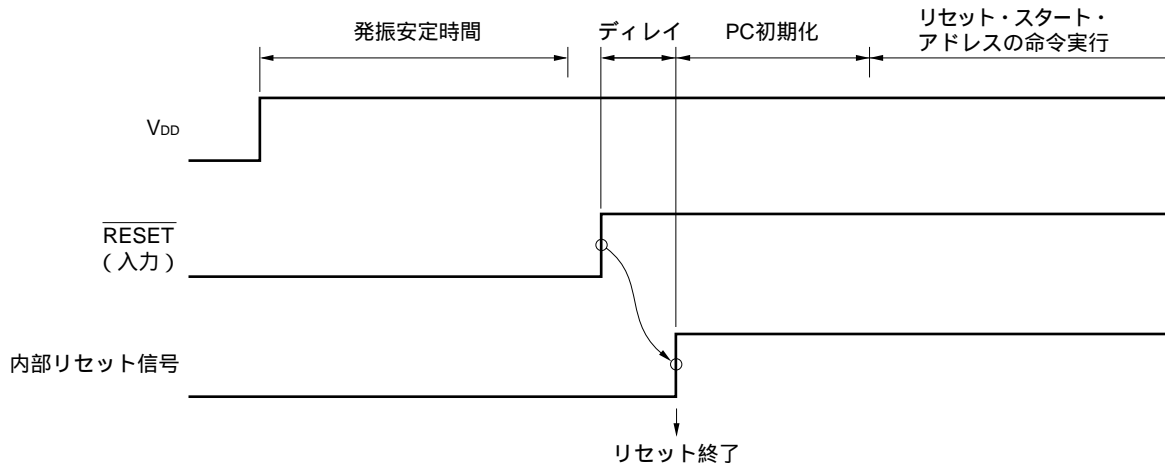
ノイズによる誤動作を防ぐため、RESET入力回路にはノイズ除去回路を内蔵しています。このノイズ除去回路は、アナログ・ディレイによるサンプリング回路となっています。

図12 - 1 リセットの受け付け



電源投入時のリセット動作では、発振安定時間（約40 ms）が経過するまでRESET信号をアクティブにしてください。

図12 - 2 電源投入時のリセット動作



13. レギュレータ

μPD784908は、デバイスの消費電力を低減するレギュレータ（内部を低電圧動作させるための回路）を内蔵しています。このレギュレータの動作/停止の切り替えは、REGOFF端子の入力レベルで指定して行います。REGOFF端子にハイ・レベルを入力するとOFFし、ロウ・レベルを入力するとONします。

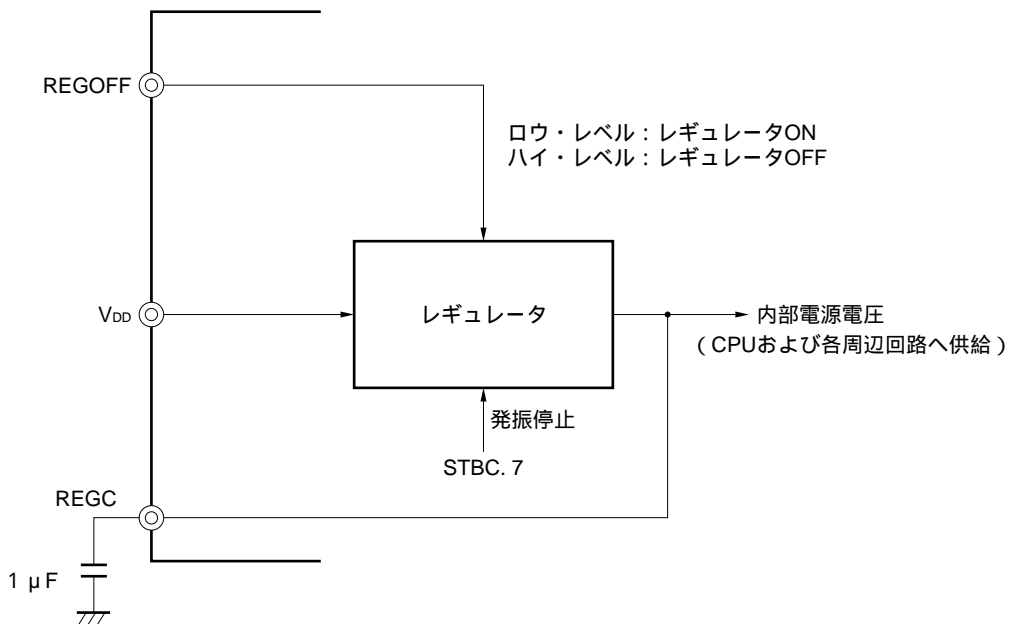
レギュレータをONにすると、低消費電力動作が可能となります。本製品ではレギュレータ選択による動作を推奨します。

このときレギュレータ出力電圧を安定させるためにREGC端子（レギュレータ安定用容量接続端子）にはレギュレータ

★ タ安定用容量（1 μF程度）を付けてください。

図13 - 1 にレギュレータ周辺のブロック図を示します。

★ 図13 - 1 レギュレータ周辺のブロック図



・ REGC端子の処理

レギュレータ動作時	レギュレータ安定用容量を接続
レギュレータ停止時	電源電圧を供給

14. 命令セット

(1) 8ビット命令()内は, rとしてAを記述することで実現している組み合わせです)

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, SHR, SHL, ROR4, ROL4, DBNZ, PUSH, POP, MOVW, XCHM, CMPME, CMPMNE, CMPMNC, CMPMC, MOVBK, XCHBK, CMPBKE, CMPBKNE, CMPBKNC, CMPBKC, CHKL, CHKLA

表14 - 1 8ビット・アドレッシング別命令一覧

第2オペランド 第1オペランド	#byte	A	r r'	saddr saddr'	sfr	!addr16 !!addr24	mem [saddrp] [%saddrg]	r3 PSWL PSWH	[WHL +] [WHL -]	n	なし ^{注2}
A	(MOV) ADD ^{注1}	(MOV) (XCH) (ADD) ^{注1}	MOV XCH (ADD) ^{注1}	(MOV) ^{注6} (XCH) ^{注6} (ADD) ^{注1,6}	MOV (XCH) (ADD) ^{注1}	(MOV) (XCH) ADD ^{注1}	MOV XCH ADD ^{注1}	MOV	(MOV) (XCH) (ADD) ^{注1}		
r	MOV ADD ^{注1}	(MOV) (XCH) (ADD) ^{注1}	MOV XCH ADD ^{注1}	MOV XCH ADD ^{注1}	MOV XCH ADD ^{注1}	MOV XCH				ROR ^{注3}	MULU DIVUW INC DEC
saddr	MOV ADD ^{注1}	(MOV) ^{注6} (ADD) ^{注1}	MOV ADD ^{注1}	MOV XCH ADD ^{注1}							INC DEC DBNZ
sfr	MOV ADD ^{注1}	MOV (ADD) ^{注1}	MOV ADD ^{注1}								PUSH POP CHKL CHKLA
!addr16 !!addr24	MOV	(MOV) ADD ^{注1}	MOV								
mem [saddrp] [%saddrg]		MOV ADD ^{注1}									
mem3											ROR4 ROL4
r3 PSWL PSWH	MOV	MOV									
B,C											DBNZ
STBC,WDM	MOV										
[TDE +] [TDE -]		(MOV) (ADD) ^{注1} MOVW ^{注4}							MOVBK ^{注5}		

注1 . ADDC,SUB,SUBC,AND,OR,XOR,CMPはADDと同じ

2 . 第2 オペランドがないか, 第2 オペランドがオペランド・アドレスでない

3 . ROL,RORC,ROLC,SHR,SHLはRORと同じ

4 . XCHM,CMPME,CMPMNE,CMPMNC,CMPMCはMOVWと同じ

5 . XCHBK,CMPBKE,CMPBKNE,CMPBKNC,CMPBKCはMOVBKと同じ

6 . この組み合わせでsaddrがsaddr2の場合, 短いコード長の命令がある

(2) 16ビット命令()内は, rpとしてAXを記述することで実現している組み合わせです)

MOVW, XCHW, ADDW, SUBW, CMPW, MULUW, MULW, DIVUX, INCW, DECW, SHRW, SHLW, PUSH, POP, ADDWG, SUBWG, PUSHU, POPU, MOVTBLW, MACW, MACSW, SACW

表14 - 2 16ビット・アドレッシング別命令一覧

第2オペランド 第1オペランド	#word	AX	rp rp'	saddrp saddrp'	sfrp	!addr16 !!addr24	mem [saddrp] [%saddrg]	[WHL +]	byte	n	なし ^{注2}
AX	(MOVW) ADDW ^{注1}	(MOVW) (XCHW) (ADD) ^{注1}	(MOVW) (XCHW) (ADDW) ^{注1}	(MOVW) ^{注3} (XCHW) ^{注3} (ADDW) ^{注1,3}	MOVW (XCHW) (ADDW) ^{注1}	(MOVW) XCHW	MOVW XCHW	(MOVW) (XCHW)			
rp	MOVW ADDW ^{注1}	(MOVW) (XCHW) (ADDW) ^{注1}	MOVW XCHW ADDW ^{注1}	MOVW XCHW ADDW ^{注1}	MOVW XCHW ADDW ^{注1}	MOVW				SHRW SHLW	MULW ^{注4} INCW DECW
saddrp	MOVW ADDW ^{注1}	(MOVW) ^{注3} (ADDW) ^{注1}	MOVW ADDW ^{注1}	MOVW XCHW ADDW ^{注1}							INCW DECW
sfrp	MOVW ADDW ^{注1}	MOVW (ADDW) ^{注1}	MOVW ADDW ^{注1}								PUSH POP
!addr16 !!addr24	MOVW	(MOVW)	MOVW						MOVTBLW		
mem [saddrp] [%saddrg]		MOVW									
PSW											PUSH POP
SP	ADDWG SUBWG										
post											PUSH POP PUSHU POPU
[TDE +]		(MOVW)						SACW			
byte											MACW MACSW

注1 . SUBW, CMPWはADDWと同じ

2 . 第2オペランドがないか, 第2オペランドがオペランド・アドレスでない

3 . この組み合わせでsaddrpがsaddrp2の場合, 短いコード長の命令がある

4 . MULUW, DIVUXはMULWと同じ

(3) 24ビット命令()内は, rgとしてWHLを記述することで実現している組み合わせです)

MOVG, ADDG, SUBG, INCG, DECG, PUSH, POP

表14 - 3 24ビット・アドレッシング別命令一覧

第2オペランド 第1オペランド	#imm24	WHL	rg rg'	saddrg	!!addr24	mem1	[%saddrg]	SP	なし ^注
WHL	(MOVG) (ADDG) (SUBG)	(MOVG) (ADDG) (SUBG)	(MOVG) (ADDG) (SUBG)	(MOVG) ADDG SUBG	(MOVG)	MOVG	MOVG	MOVG	
rg	MOVG ADDG SUBG	(MOVG) (ADDG) (SUBG)	MOVG ADDG SUBG	MOVG	MOVG				INCG DECG PUSH POP
saddrg		(MOVG)	MOVG						
!!addr24		(MOVG)	MOVG						
mem1		MOVG							
[%saddrg]		MOVG							
SP	MOVG	MOVG							INCG DECG

注 第2オペランドがないか, 第2オペランドがオペランド・アドレスでない

(4) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR, BFSET

表14 - 4 ビット操作命令アドレッシング別命令一覧

第2オペランド 第1オペランド	CY	saddr.bit sfr.bit A.bit X.bit PSWL.bit PSWH.bit mem2.bit !addr16.bit !!addr24.bit	/saddr.bit /sfr.bit /A.bit /X.bit /PSWL.bit /PSWH.bit /mem2.bit /!addr16.bit /!!addr24.bit	なし ^注
CY		MOV1 AND1 OR1 XOR1	AND1 OR1	NOT1 SET1 CLR1
saddr.bit sfr.bit A.bit X.bit PSWL.bit PSWH.bit mem2.bit !addr16.bit !!addr24.bit	MOV1			NOT1 SET1 CLR1 BF BT BTCLR BFSET

注 第2オペランドがないか、第2オペランドがオペランド・アドレスでない

(5) コール・リターン命令 / 分岐命令

CALL, CALLF, CALLT, BRK, RET, RETI, RETB, RETCS, RETCSB, BRKCS, BR, BNZ, BNE, BZ, BE, BNC, BNL, BC, BL, BN, BPO, BV, BPE, BP, BN, BLT, BGE, BLE, BGT, BNH, BH, BF, BT, BTCLR, BFSET, DBNZ

表14 - 5 コール・リターン命令 / 分岐命令アドレッシング別命令一覧

命令アドレスの オペランド	\$addr20	\$!addr20	!addr16	!!addr20	rp	rg	[rp]	[rg]	!addr11	[addr5]	RBn	なし
基本命令	BC ^注 BR	CALL BR	CALL BR RETCS RETCSB	CALL BR	CALL BR	CALL BR	CALL BR	CALL BR	CALLF CALLF		BRKCS	BRK RET RETI RETB
複合命令	BF BT BTCLR BFSET DBNZ											

注 BNZ, BNE, BZ, BE, BNC, BNL, BL, BN, BPO, BV, BPE, BP, BN, BLT, BGE, BLE, BGT, BNH, BHはBCと同じ

(6) その他の命令

ADJBA, ADJBS, CVTBW, LOCATION, SEL, NOT, EI, DI, SWRS

15. 電気的特性

絶対最大定格 (T_A = 25)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}		- 0.3 ~ + 6.5	V
	AV _{DD}		- 0.3 ~ V _{DD} + 0.3	V
	AV _{SS}		- 0.3 ~ + 0.3	V
入力電圧	V _{I1}		- 0.3 ~ V _{DD} + 0.3	V
アナログ入力電圧	V _{AN}		AV _{SS} - 0.3 ~ AV _{REF1} + 0.3	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3	V
ロウ・レベル出力電流	I _{OL}	1 端子	10	mA
		P00-P07, P30-P37, P54-P57, P60-P67, P100-P107合計	50	mA
		P10-P17, P40-P47, P50-P53, P70-P77, P90-P97, PWM0, PWM1, TX合計	50	mA
ハイ・レベル出力電流	I _{OH}	1 端子	- 6	mA
		P00-P07, P30-P37, P54-P57, P60-P67, P100-P107合計	- 30	mA
		P10-P17, P40-P47, P50-P53, P70-P77, P90-P97, PWM0, PWM1, TX合計	- 30	mA
A/Dコンバータ基準入力電圧	AV _{REF1}		- 0.3 ~ V _{DD} + 0.3	V
動作周囲温度	T _A		- 40 ~ + 85	
保存温度	T _{stg}		- 65 ~ + 150	

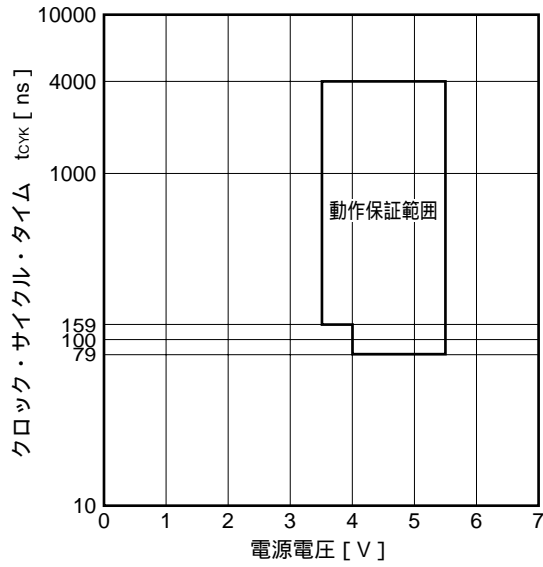
注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格を越えない状態で製品をご使用ください。

備考 特に指定のないかぎり、兼用端子の特性は、ポート端子の特性と同じです。

動作条件

- ・動作周囲温度 (TA) : - 40 ~ + 85
- ・電源電圧およびクロック・サイクル・タイム : 図15 - 1 参照
- ・内部レギュレータ動作選択 (REGOFF端子 : ロウ・レベル入力)

図15 - 1 電源電圧およびクロック・サイクル・タイム



容量 (TA = 25 , VDD = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _i	f = 1 MHz			15	pF
出力容量	C _o	被測定端子以外は0V			15	pF
入出力容量	C _{io}				15	pF

★ **メイン発振器特性** ($T_A = -40 \sim +85$, $V_{DD} = 3.5 \sim 5.5 V$, $V_{SS} = 0 V$)

項 目	略 号	条 件	MIN.	MAX.	単 位
発振周波数	f _{XX}	セラミック発振子または水晶振動子	2	12.58	MHz

注意 クロック発振回路を使用する場合は、配線容量などの影響を避けるために、次のように配線してください。

- ・配線を極力短くする。
- ・ほかの信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS1}と同電位となるようにする。大電流が流れるグラウンド・パターンには接地しない。
- ・発振回路から信号を取り出さない。

★ **備考** メイン発振で内部時計タイマを動作させるときは、12.582912 MHzまたは6.291456 MHzの発振子を接続してください。

時計用発振器特性 ($T_A = -40 \sim +85$, $V_{DD} = 3.5 \sim 5.5 V$, $V_{SS} = 0 V$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
発振周波数	f _{XT}	セラミック発振子または水晶振動子	32	32.768	35	kHz
発振安定時間	t _{SXT}	V _{DD} = 4.5 ~ 5.5 V		1.2	2	s
					10	s
発振保持電圧	V _{DDXT}		3.5		5.5	V
時計用タイマ動作電圧	V _{DDW}		3.5		5.5	V

DC特性 (T_A = -40 ~ +85 , V_{DD} = AV_{DD} = 3.5 ~ 5.5 V , V_{SS} = AV_{SS} = 0 V) (1/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ロウ・レベル入力電圧 ^{注5}	V _{IL1}	注1, 2の端子を除く	-0.3		0.3V _{DD}	V
	V _{IL2}	注1の端子	-0.3		0.2V _{DD}	V
	V _{IL3}	V _{DD} = 4.5 ~ 5.5 V 注2の端子	-0.3		+0.8	V
ハイ・レベル入力電圧	V _{IH1}	注1, 2の端子を除く	0.7V _{DD}		V _{DD} + 0.3	V
	V _{IH2}	注1の端子	0.8V _{DD}		V _{DD} + 0.3	V
	V _{IH3}	V _{DD} = 4.5 ~ 5.5 V 注2の端子	2.2		V _{DD} + 0.3	V
ロウ・レベル出力電圧	V _{OL1}	I _{OL} = 20 μA			0.1	V
		I _{OL} = 100 μA			0.2	V
		I _{OL} = 2 mA			0.4	V
	V _{OL2}	I _{OL} = 8 mA 注4の端子 V _{DD} = 4.5 ~ 5.5 V			1.0	V
ハイ・レベル出力電圧	V _{OH1}	I _{OH} = -20 μA	V _{DD} - 0.1			V
		I _{OH} = -100 μA	V _{DD} - 0.2			V
		I _{OH} = -2 mA	V _{DD} - 1.0			V
	V _{OH2}	V _{DD} = 4.5 ~ 5.5 V I _{OH} = -5 mA 注3の端子	V _{DD} - 2.4			V

- 注1 . X1, X2, RESET, P12/ASCK2/SCK2, P20/NMI, P21/INTP0, P22/INTP1, P23/INTP2/CI, P24/INTP3, P25/INTP4/ASCK/SCK1, P26/INTP5, P27/SIO, P32/SCK0, P33/SO0, P105/SCK3, P106/SI3, P107/SO3, XT1, XT2
- 2 . P40/AD0-P47/AD7, P50/A8-P57/A15, P60/A16-P67/REFRQ/HLDAK, P00-P07
- 3 . P00-P07
- 4 . P10-P17, P40/AD0-P47/AD7, P50/A8-P57/A15
- 5 . プルアップ抵抗を除く

DC特性 (T_A = -40 ~ +85 , V_{DD} = AV_{DD} = 3.5 ~ 5.5 V , V_{SS} = AV_{SS} = 0 V) (2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
入力リーク電流	I _{LI1}	0 V V _I V _{DD}	X1, XT1を除く			± 10	μ A
	I _{LI2}		X1, XT1			± 20	μ A
出力リーク電流	I _{LO}	0 V V _O V _{DD}				± 10	μ A
V _{DD} 電源電流 ^注	I _{DD1}	動作モード	f _{XX} = 12.58 MHz V _{DD} = 4.0 ~ 5.5 V		10	20	mA
			f _{XX} = 6.29 MHz V _{DD} = 3.5 ~ 5.5 V		5	10	mA
			I _{DD2}	HALTモード	f _{XX} = 12.58 MHz V _{DD} = 4.0 ~ 5.5 V f _{CLK} = f _{XX} /8 (STBC = B1H) 周辺動作停止		2.0
	I _{DD3}	IDLEモード	f _{XX} = 12.58 MHz V _{DD} = 4.0 ~ 5.5 V		0.6	1.2	mA
			f _{XX} = 6.29 MHz V _{DD} = 3.5 ~ 5.5 V		0.3	0.6	mA
				f _{XX} = 6.29 MHz V _{DD} = 3.5 ~ 5.5 V f _{CLK} = f _{XX} /8 (STBC = 31H) 周辺動作停止		1.2	2.4
プルアップ抵抗	R _L	V _I = 0 V		15		80	k

注 内蔵レギュレータON (REGOFF端子 = L レベル) 時の値になります。AV_{DD}, AV_{REF1}電流は含まれません。

AC特性 (TA = -40 ~ +85 , VDD = AVDD = 3.5 ~ 5.5 V, AVSS = VSS = 0 V)

(1) リード/ライト・オペレーション

項目	略号	条件		MIN.	MAX.	単位
アドレス・セットアップ時間 (対ASTB)	tsAST	VDD = 5.0 V	(0.5 + a) T - 11	29		ns
ASTBハイ・レベル幅	twSTH	VDD = 5.0 V	(0.5 + a) T - 17	23		ns
アドレス・ホールド時間 (対ASTB)	thSTLA	VDD = 5.0 V	0.5T - 19	21		ns
アドレス・ホールド時間 (対RD)	thRA	VDD = 5.0 V	0.5T - 14	26		ns
アドレス RD 遅延時間	tdAR	VDD = 5.0 V	(1 + a) T - 5	74		ns
アドレス・フロート時間(対RD)	tfRA			0		ns
アドレス データ入力時間	tdAID	VDD = 5.0 V	(2.5 + a + n) T - 37		400	ns
ASTB データ入力時間	tdSTID	VDD = 5.0 V	(2 + n) T - 35		283	ns
RD データ入力時間	tdRID	VDD = 5.0 V	(1.5 + n) T - 40		238	ns
ASTB RD 遅延時間	tdSTR	VDD = 5.0 V	0.5T - 9	31		ns
データ・ホールド時間(対RD)	thRID			0		ns
RD アドレス・アクティブ時間	tdRA	VDD = 5.0 V	0.5T - 2	38		ns
RD ASTB 遅延時間	tdRST	VDD = 5.0 V	0.5T - 9	31		ns
RDロウ・レベル幅	twRL	VDD = 5.0 V	(1.5 + n) T - 25	94		ns
アドレス WR 遅延時間	tdAW	VDD = 5.0 V	(1 + a) T - 5	74		ns
アドレス・ホールド時間(対WR)	thWA	VDD = 5.0 V	0.5T - 14	26		ns
ASTB データ出力遅延時間	tdSTOD	VDD = 5.0 V	0.5T + 15		55	ns
WR データ出力遅延時間	tdWOD				15	ns
ASTB WR 遅延時間	tdSTW	VDD = 5.0 V	0.5T - 9	31		ns
データ・セットアップ時間(対WR)	tsODWR	VDD = 5.0 V	(1.5 + n) T - 20	99		ns
データ・ホールド時間(対WR)	thWOD	VDD = 5.0 V	0.5T - 14	26		ns
WR ASTB 遅延時間	tdWST	VDD = 5.0 V	0.5T - 9	31		ns
WRロウ・レベル幅	twWL	VDD = 5.0 V	(1.5 + n) T - 25	94		ns

備考 T : tcYK (システム・クロック・サイクル・タイム) VDD = 5.0 V T = 79 ns (MIN.)

a : アドレス・ウエイト時 = 1, それ以外 = 0

n : ウエイト数 (n ≥ 0)

(2) 外部ウエイト・タイミング

項 目	略 号	条 件		MIN.	MAX.	単 位
アドレス $\overline{\text{WAIT}}$ 入力時間	t _{DAWT}	V _{DD} = 5.0 V	(2 + a) T - 40		198	ns
ASTB $\overline{\text{WAIT}}$ 入力時間	t _{DSTWT}	V _{DD} = 5.0 V	1.5T - 40		79	ns
ASTB $\overline{\text{WAIT}}$ 保持期間	t _{HSWT}	V _{DD} = 5.0 V	(0.5 + n) T + 5	124		ns
ASTB $\overline{\text{WAIT}}$ 遅延時間	t _{DSTWTH}	V _{DD} = 5.0 V	(1.5 + n) T - 40		238	ns
$\overline{\text{RD}}$ $\overline{\text{WAIT}}$ 入力時間	t _{DRWTL}	V _{DD} = 5.0 V	T - 40		39	ns
$\overline{\text{RD}}$ $\overline{\text{WAIT}}$ 保持時間	t _{HRWT}	V _{DD} = 5.0 V	nT + 5	84		ns
$\overline{\text{RD}}$ $\overline{\text{WAIT}}$ 遅延時間	t _{DRWTH}	V _{DD} = 5.0 V	(1 + n) T - 40		198	ns
$\overline{\text{WAIT}}$ データ入力時間	t _{DWTID}	V _{DD} = 5.0 V	0.5T - 5		35	ns
$\overline{\text{WAIT}}$ $\overline{\text{RD}}$ 遅延時間	t _{DWTR}	V _{DD} = 5.0 V	0.5T	40		ns
$\overline{\text{WAIT}}$ $\overline{\text{WR}}$ 遅延時間	t _{DWTW}	V _{DD} = 5.0 V	0.5T	40		ns
$\overline{\text{WR}}$ $\overline{\text{WAIT}}$ 入力時間	t _{DWWTL}	V _{DD} = 5.0 V	T - 40		39	ns
$\overline{\text{WR}}$ $\overline{\text{WAIT}}$ 保持時間	t _{HWWT}	V _{DD} = 5.0 V	nT + 5	84		ns
$\overline{\text{WR}}$ $\overline{\text{WAIT}}$ 遅延時間	t _{DWWTH}	V _{DD} = 5.0 V	(1 + n) T - 40		198	ns

備考 T : t_{cyk} (システム・クロック・サイクル・タイム) V_{DD} = 5.0 V T = 79 ns (MIN.)

a : アドレス・ウエイト時 = 1, それ以外 = 0

n : ウエイト数 (n ≥ 0)

(3) バス・ホールド・タイミング

項 目	略 号	条 件		MIN.	MAX.	単 位
HLDRQ フロート遅延時間	t _{FHQC}	V _{DD} = 5.0 V	(2 + 4 + a + n) T + 50		765	ns
HLDRQ HLD _{AK} 遅延時間	t _{DHQQHAAH}	V _{DD} = 5.0 V	(3 + 4 + a + n) T + 30		825	ns
フロート HLD _{AK} 遅延時間	t _{DCFHA}	V _{DD} = 5.0 V	T + 30		109	ns
HLDRQ HLD _{AK} 遅延時間	t _{DHQLHAL}	V _{DD} = 5.0 V	2T + 40		199	ns
HLDRQ アクティブ遅延時間	t _{DHAC}	V _{DD} = 5.0 V	T - 20	59		ns

備考 T : t_{CYK} (システム・クロック・サイクル・タイム) V_{DD} = 5.0 V T = 79 ns (MIN.)

a : アドレス・ウエイト時 = 1, それ以外 = 0

n : ウエイト数 (n ≥ 0)

(4) リフレッシュ・タイミング

項 目	略 号	条 件		MIN.	MAX.	単 位
ランダム・リード/ライト・サイクル時間	t _{RC}	V _{DD} = 5.0 V	3T	238		ns
$\overline{\text{REFRQ}}$ ロウ・レベル・パルス幅	t _{WRFQL}	V _{DD} = 5.0 V	1.5T - 25	94		ns
ASTB $\overline{\text{REFRQ}}$ 遅延時間	t _{DSTRFQ}	V _{DD} = 5.0 V	0.5T - 9	31		ns
$\overline{\text{RD}}$ $\overline{\text{REFRQ}}$ 遅延時間	t _{DRRFQ}	V _{DD} = 5.0 V	1.5T - 9	110		ns
$\overline{\text{WR}}$ $\overline{\text{REFRQ}}$ 遅延時間	t _{DWRFQ}	V _{DD} = 5.0 V	1.5T - 9	110		ns
$\overline{\text{REFRQ}}$ ASTB遅延時間	t _{DRFQST}	V _{DD} = 5.0 V	0.5T - 9	31		ns
$\overline{\text{REFRQ}}$ ハイ・レベル・パルス幅	t _{WRFQH}	V _{DD} = 5.0 V	1.5T - 25	94		ns

備考 T : t_{CYK} (システム・クロック・サイクル・タイム) V_{DD} = 5.0 V T = 79 ns (MIN.)

シリアル・オペレーション (TA = -40 ~ +85 , VDD = 3.5 ~ 5.5 V, AVSS = VSS = 0 V)

(1) CSI, CSI3

項目	略号	条件		MIN.	MAX.	単位
シリアル・クロック・サイクル・タイム (SCK0, SCK3)	tcvsk0	入力	fCLK = fxx	8/fxx		ns
			fCLK = fxxを除く	4/fCLK		ns
		出力	fCLK = fxx/8を除く	8/fxx		ns
			fCLK = fxx/8	16/fxx		ns
シリアル・クロック・ロウ・レベル幅 (SCK0, SCK3)	twskl0	入力	fCLK = fxx	4/fxx - 40		ns
			fCLK = fxxを除く	2/fCLK - 40		
		出力	fCLK = fxx/8を除く	4/fxx - 40		μs
			fCLK = fxx/8	8/fxx - 40		
シリアル・クロック・ハイ・レベル幅 (SCK0, SCK3)	twskh0	入力	fCLK = fxx	4/fxx - 40		ns
			fCLK = fxxを除く	2/fCLK - 40		
		出力	fCLK = fxx/8を除く	4/fxx - 40		μs
			fCLK = fxx/8	8/fxx - 40		
SI0, SI3セットアップ時間 (対SCK0, SCK3)	tsssk0			80		ns
SI0, SI3ホールド時間 (対SCK0, SCK3)	thssk0	外部クロック		1/fCLK + 80		ns
		内部クロック		80		
SO0, SO3出力遅延時間 (対SCK0, SCK3)	tdsbsk1	CMOSプッシュプル出力	外部クロック	0	1/fCLK + 150	ns
			内部クロック	0	150	ns
	tdsbsk2	オープン・ドレイン出力 RL = 1 k	外部クロック	0	1/fCLK + 400	ns
			内部クロック	0	400	ns
SO0, SO3出力保持時間 (対SCK0, SCK3)	thbsk	データ転送時		0.5tcvsk0 - 40		ns

備考1. 表中の数値は, fxx = 12.58 MHz, CL = 100pFのときの値です。

2. fCLK: システム・クロック周波数 (fxx, fxx/2, fxx/4, fxx/8の中からスタンバイ・コントロール・レジスタ (STBC) により選択)

★ 3. fxx: 発振周波数 (fxx = 12.58 MHzまたはfxx = 6.29 MHz)

(2) IOE1, IOE2 ($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = 3.5 \sim 5.5 V$, $AV_{SS} = V_{SS} = 0 V$)

項 目	略 号	条 件	MIN.	MAX.	単 位	
シリアル・クロック・サイクル・タイム ($\overline{SCK1}$, $\overline{SCK2}$)	tcysk1	入力	$V_{DD} = 4.0 \sim 5.5 V$	640		ns
				1280		ns
		出力	内部8分周	T		ns
シリアル・クロック・ロウ・レベル幅 ($\overline{SCK1}$, $\overline{SCK2}$)	twskl1	入力	$V_{DD} = 4.0 \sim 5.5 V$	280		ns
				600		ns
		出力	内部8分周	0.5T - 40		ns
シリアル・クロック・ハイ・レベル幅 ($\overline{SCK1}$, $\overline{SCK2}$)	twskh1	入力	$V_{DD} = 4.0 \sim 5.5 V$	280		ns
				600		ns
		出力	内部8分周	0.5T - 40		ns
SI1, SI2セットアップ時間 (対 $\overline{SCK1}$, $\overline{SCK2}$)	tssk1		40		ns	
SI1, SI2ホールド時間 (対 $\overline{SCK1}$, $\overline{SCK2}$)	thssk1		40		ns	
SO1, SO2出力遅延時間 (対 $\overline{SCK1}$, $\overline{SCK2}$)	tdsosl		0	50	ns	
SO1, SO2出力保持時間 (対 $\overline{SCK1}$, $\overline{SCK2}$)	thsosl	データ転送時	$0.5tcysk1 - 40$		ns	

備考 1 . 表中の数値は , $C_L = 100 pF$ のときの値です。

2 . T : ソフトウェアで設定したシリアル・クロック周期。最小値は $8/f_{xx}$

(3) UART, UART2 ($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = 3.5 \sim 5.5 V$, $AV_{SS} = V_{SS} = 0 V$)

項 目	略 号	条 件	MIN.	MAX.	単 位
ASCKクロック入力サイクル・タイム	tcyask	$V_{DD} = 4.5 \sim 5.5 V$	160		ns
			320		ns
ASCKクロック・ロウ・レベル幅	twaskl	$V_{DD} = 4.5 \sim 5.5 V$	65		ns
			120		ns
ASCKクロック・ハイ・レベル幅	twaskh	$V_{DD} = 4.5 \sim 5.5 V$	65		ns
			120		ns

クロック出力オペレーション ($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = 3.5 \sim 5.5$ V, $AV_{SS} = V_{SS} = 0$ V)

項 目	略 号	条 件	MIN.	MAX.	単 位
CLKOUTサイクル時間	t _{CYCL}	nT	79	32000	ns
CLKOUTロウ・レベル幅	t _{CLL}	$V_{DD} = 4.0 \sim 5.5$ V, 0.5T - 10	30		ns
		0.5T - 20	20		ns
CLKOUTハイ・レベル幅	t _{CLH}	$V_{DD} = 4.0 \sim 5.5$ V, 0.5T - 10	30		ns
		0.5T - 20	20		ns
CLKOUT立ち上がり時間	t _{CLR}	$V_{DD} = 4.0 \sim 5.5$ V		10	ns
		$V_{DD} = 3.5 \sim 4.0$ V	0.3	20	ns
CLKOUT立ち下がり時間	t _{CLF}	$V_{DD} = 4.0 \sim 5.5$ V		10	ns
		$V_{DD} = 3.5 \sim 4.0$ V	0.3	20	ns

★

★

備考 n : CPUのソフトウェアで設定する分周比 (n = 1, 2, 4, 8, 16)

T : t_{CYK} (システム・クロック・サイクル・タイム)

その他のオペレーション ($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = 3.5 \sim 5.5$ V, $AV_{SS} = V_{SS} = 0$ V)

項 目	略 号	条 件	MIN.	MAX.	単 位
NMIロウ・レベル幅	t _{WNIL}		10		μs
NMIハイ・レベル幅	t _{WNIH}		10		μs
INTP0ロウ・レベル幅	t _{WIT0L}		4t _{CYSMP}		ns
INTP0ハイ・レベル幅	t _{WIT0H}		4t _{CYSMP}		ns
INTP1-INTP3, CIロウ・レベル幅	t _{WIT1L}		4t _{CYCPU}		ns
INTP1-INTP3, CIハイ・レベル幅	t _{WIT1H}		4t _{CYCPU}		ns
INTP4, INTP5ロウ・レベル幅	t _{WIT2L}		10		μs
INTP4, INTP5ハイ・レベル幅	t _{WIT2H}		10		μs
RESETロウ・レベル幅 ^注	t _{WRSL}		10		μs
RESETハイ・レベル幅	t _{WRSH}		10		μs

注 電源ON時は、RESETロウ・レベル幅で発振安定ウエイト時間を確保してください。

備考 t_{CYSMP} : ソフトウェアで設定するサンプリング・クロック

t_{CYCPU} : CPUのソフトウェアで設定するCPUの動作クロック

A/Dコンバータ特性 (TA = -40 ~ +85 , VDD = AVDD = AVREF1 = 3.5 ~ 5.5 V, VSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8			bit
総合誤差 ^注		IEAD = 00H			0.6	%
			FR = 1		1.5	%
		IEAD = 01H	VDD = 4.5 ~ 5.5 V	1	2.2	%
量子化誤差					± 1/2	LSB
変換時間	tCONV	FR = 1 120/fCLK	9.5		480	μs
		FR = 0 240/fCLK	19.1		960	μs
サンプリング時間	tSAMP	FR = 1 18/fCLK	1.4		72	μs
		FR = 0 36/fCLK	2.9		144	μs
アナログ入力インピーダンス	RAN			1000		M
AVREF1インピーダンス	RREF1		3	10		k
AVDD電源電流	AlDD1	CS = 1		2.0	5.0	mA
	AlDD2	CS = 0, STOPモード		1.0	20	μA

注 量子化誤差を含みません。フルスケール値に対する比率で表しています。

注意 A/Dコンバータの変換動作を行う場合、変換特性上、A/D入力兼用ポートであるポート7を出力モードに設定して、データ反転をしないでください。

備考 fCLK : システム・クロック周波数 (fxx, fxx/2, fxx/4, fxx/8の中からスタンバイ・モード・コントロール・レジスタ (STBC) により選択)

IEBusコントローラ特性 (TA = -40 ~ +85 , VDD = AVDD = AVREF1 = 4.5 ~ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
IEBus規格周波数 ^{注1}	fs	転送速度 : モード 1	6.20	6.29	6.39	MHz
ドライバ・ディレイ・タイム (TX出力 バス・ライン) ^{注2}	tDTX	CL = 50 pF ^{注3}			1.5	μs
レシーバ・ディレイ・タイム (バス・ライン RX入力) ^{注2}	tDRX				0.7	μs
バス上の伝搬遅延時間 ^{注2}	tDBUS				0.85	μs

注1 . IEBus規格に従った値です。IEBusコントローラ部は、発振回路特性の発振周波数範囲で動作可能です。

2 . IEBusシステム・クロック : fx = 6.29 MHzのときの値です。

3 . CはTX出力ラインの負荷容量です。

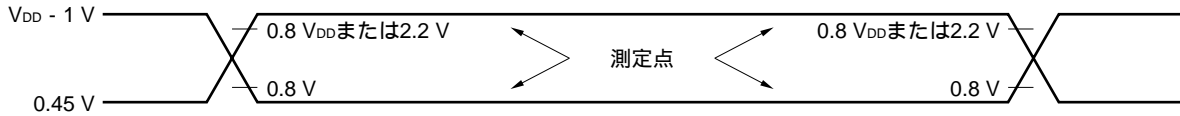
データ保持特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V _{DDDR}	STOPモード	2.5		5.5	V
データ保持電流	I _{DDDR}	STOPモード		2	10	μA
				10	50	μA
V _{DD} 立ち上がり時間	t _{RVD}		200			μs
V _{DD} 立ち下がり時間	t _{FVD}		200			μs
V _{DD} 保持時間 (対STOPモード設定)	t _{HVD}		0			ms
STOP解除信号入力時間	t _{DREL}		0			ms
発振安定ウエイト時間	t _{WAIT}	水晶振動子	30			ms
		セラミック発振子	5			ms
ロウ・レベル入力電圧	V _{IL}	特定端子 ^{注2}	0		0.1 V _{DDDR}	V
ハイ・レベル入力電圧	V _{IH}		0.9 V _{DDDR}		V _{DDDR}	V

注1 . 注2 に示す端子の入力電圧が、本表中のV_{IL}またはV_{IH}を満足している場合

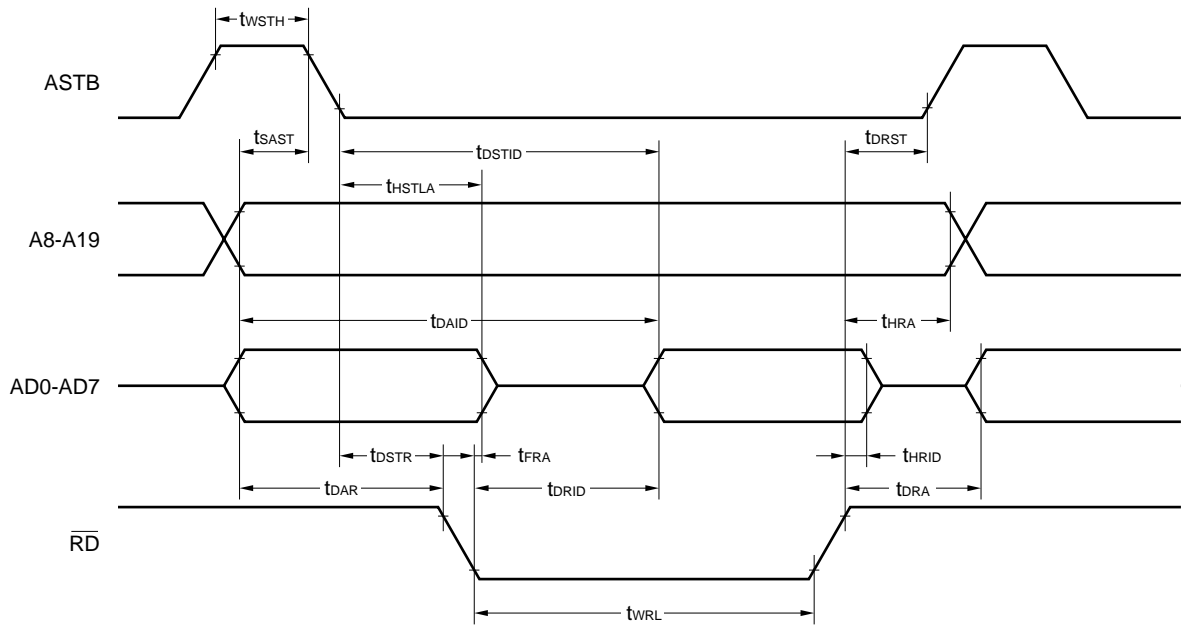
- 2 . RESET, P12/ASCK2/SCK2, P20/NMI, P21/INTP0, P22/INTP1, P23/INTP2/CI, P24/INTP3,
P25/INTP4/ASCK/SCK1, P26/INTP5, P27/SI0, P32/SCK0, P33/SO0, P105/SCK3, P106/SI3, P107/SO3端子

ACタイミング測定点

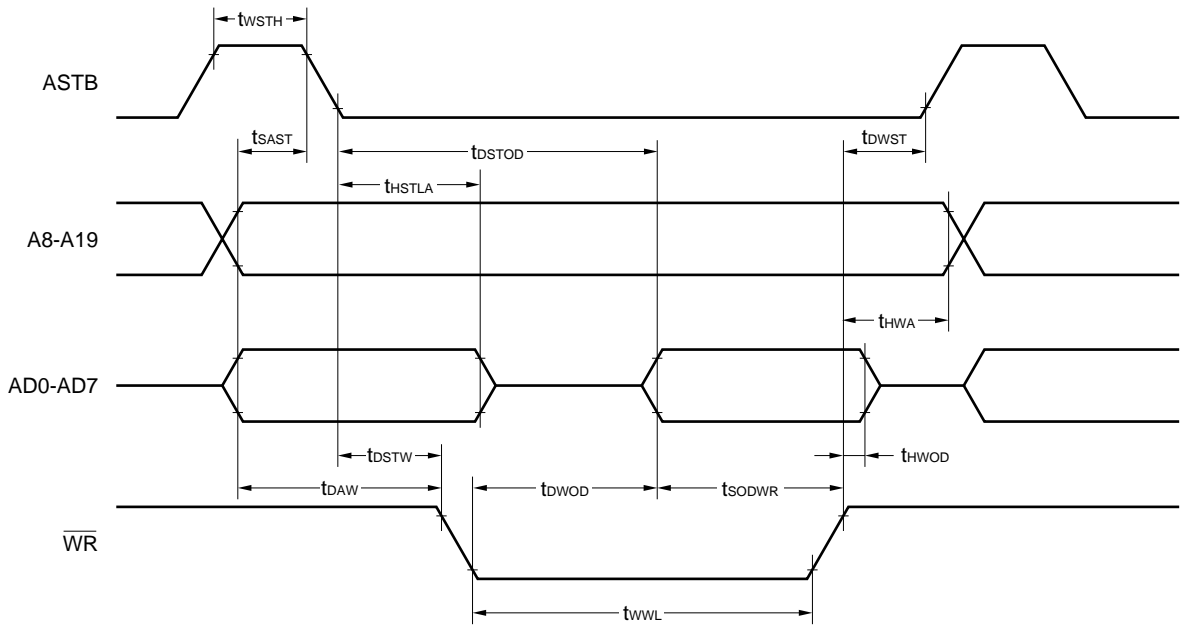


タイミング波形

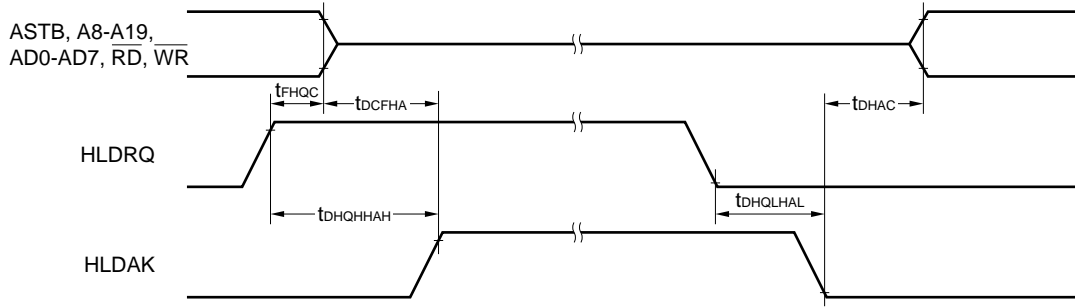
(1) リード・オペレーション



(2) ライト・オペレーション

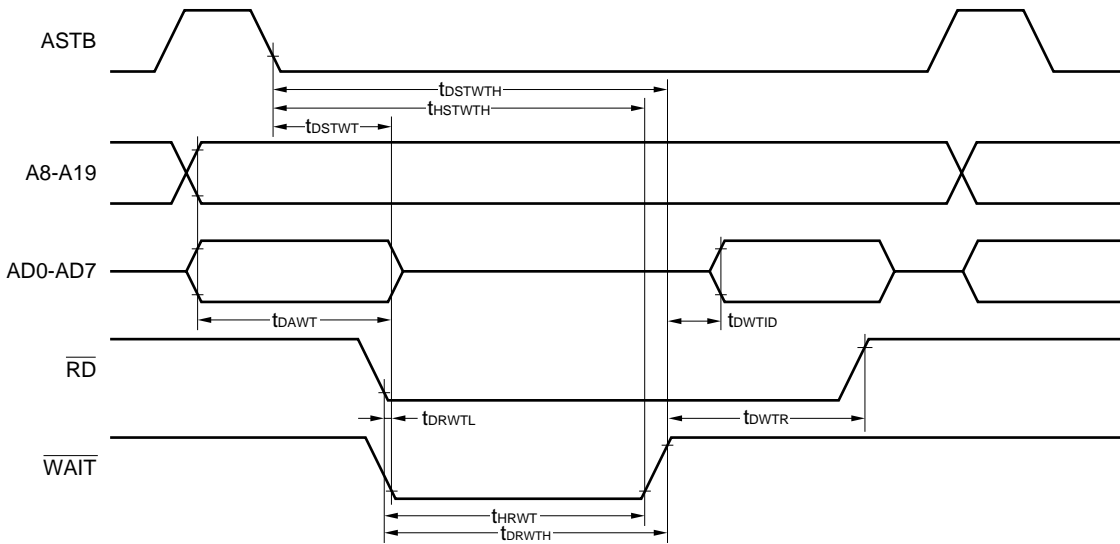


ホールド・タイミング

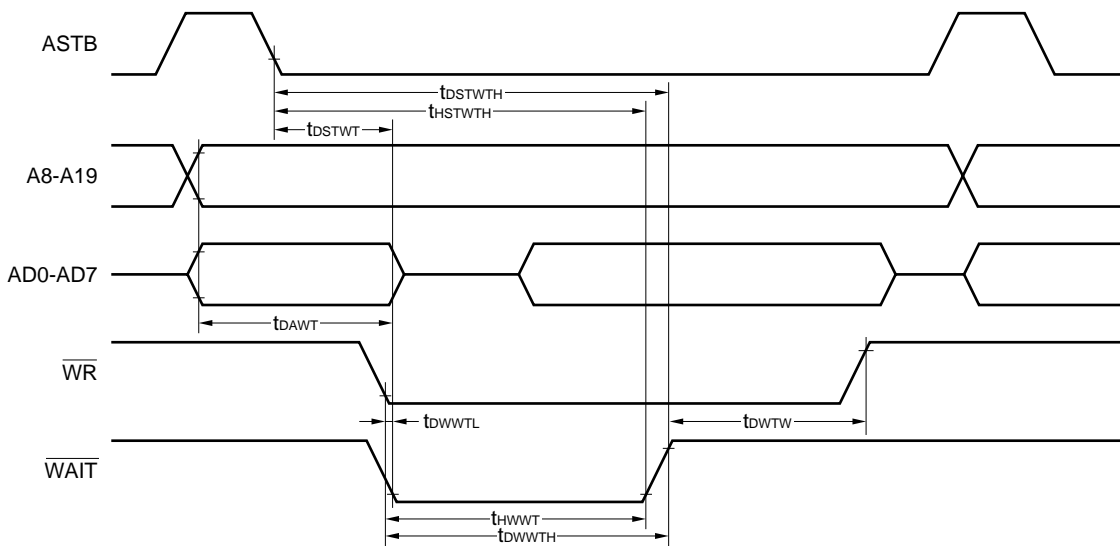


外部WAIT信号入力タイミング

(1) リード・オペレーション

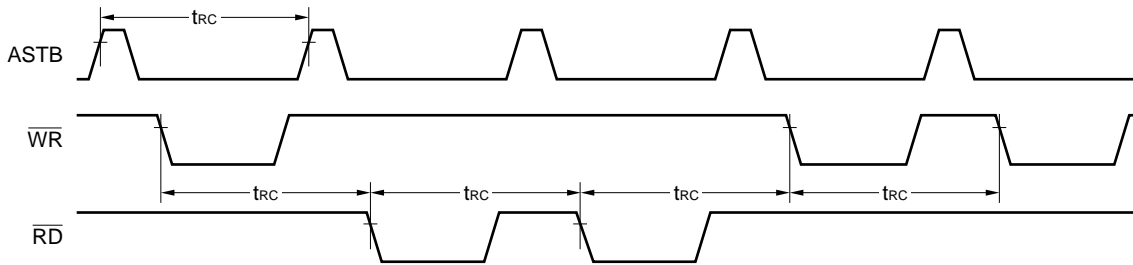


(2) ライト・オペレーション

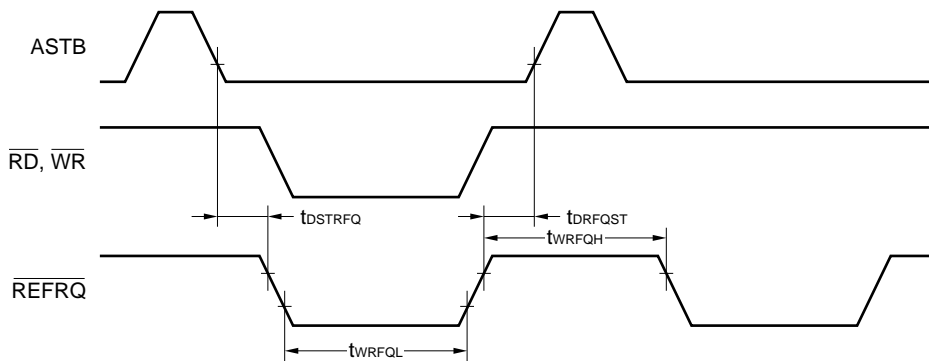


リフレッシュ・タイミング波形

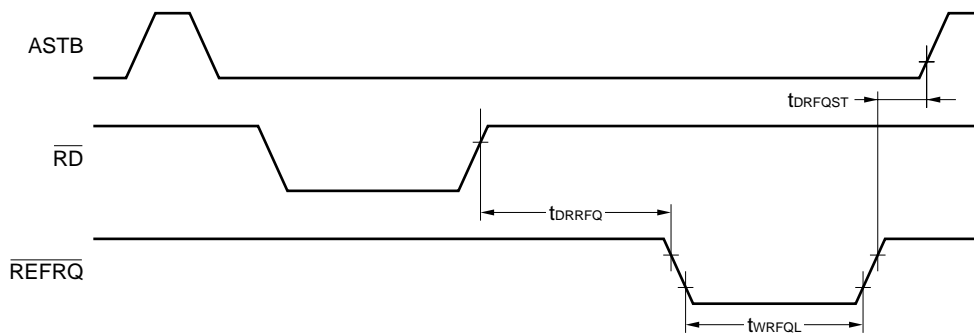
(1) ランダム・リード/ライト・サイクル



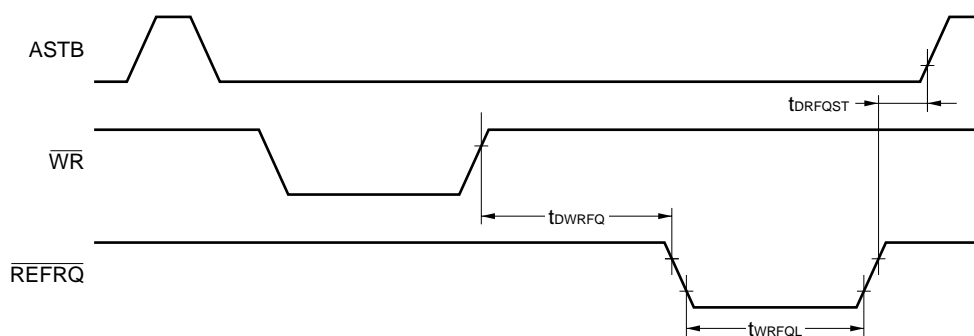
(2) リフレッシュ・メモリ・アクセスが同時の場合



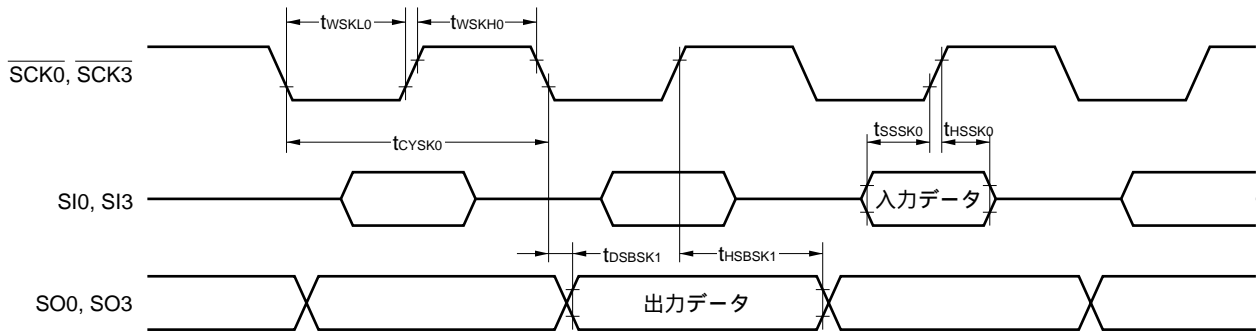
(3) リード後のリフレッシュ



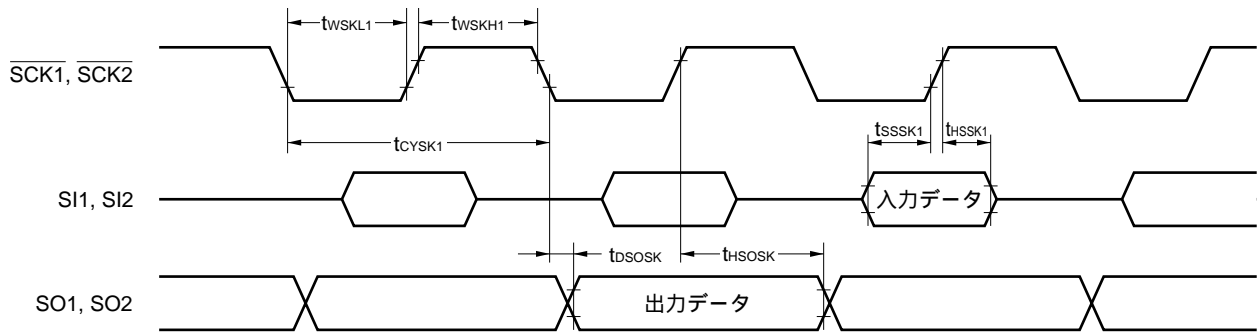
(4) ライト後のリフレッシュ



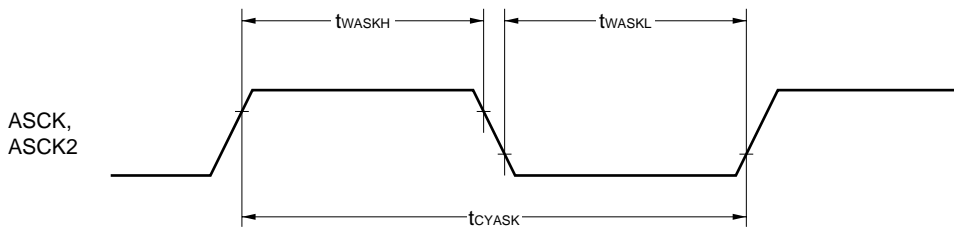
シリアル・オペレーション (CSI, CSI3)



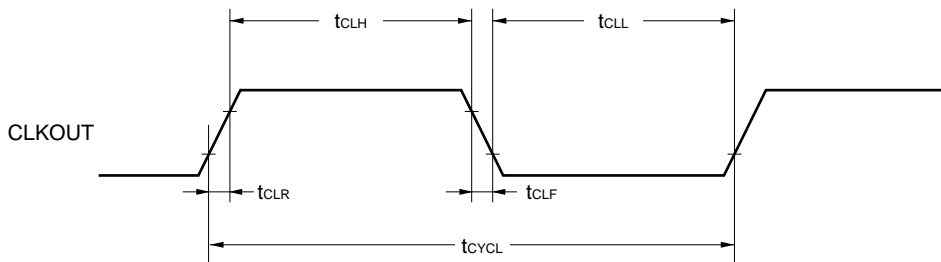
シリアル・オペレーション (IOE1, IOE2)



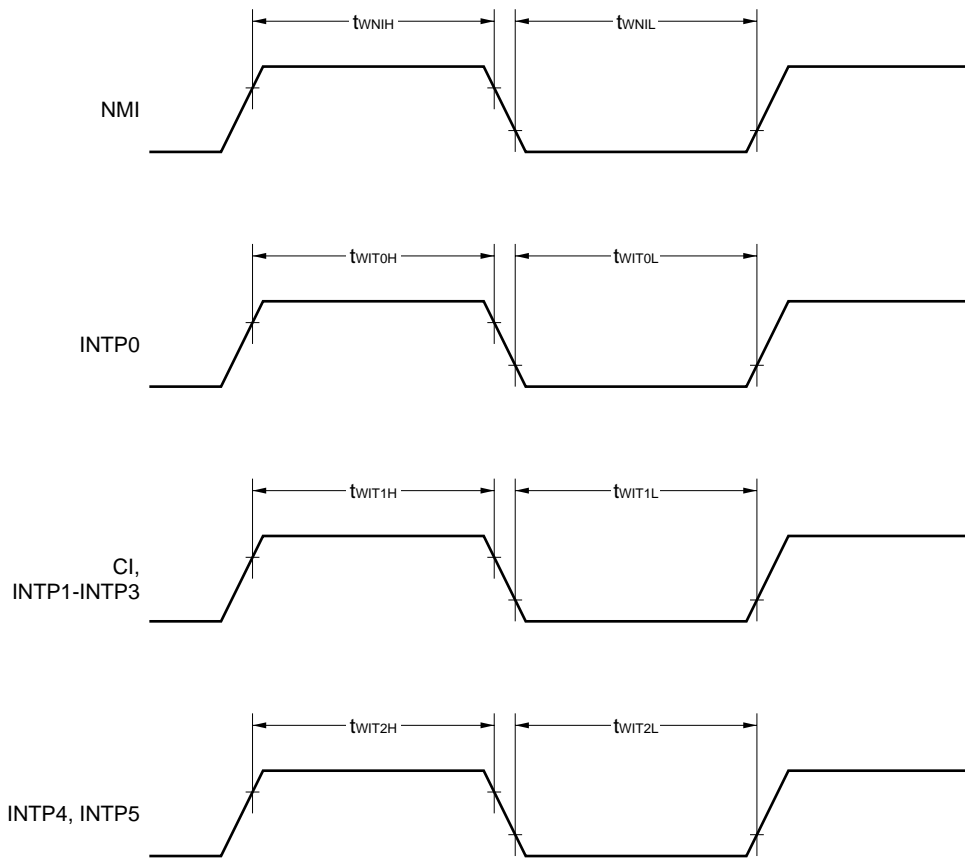
シリアル・オペレーション (UART, UART2)



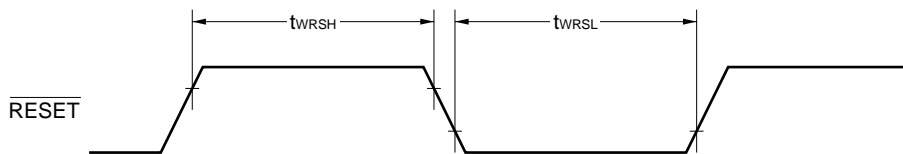
クロック出力タイミング



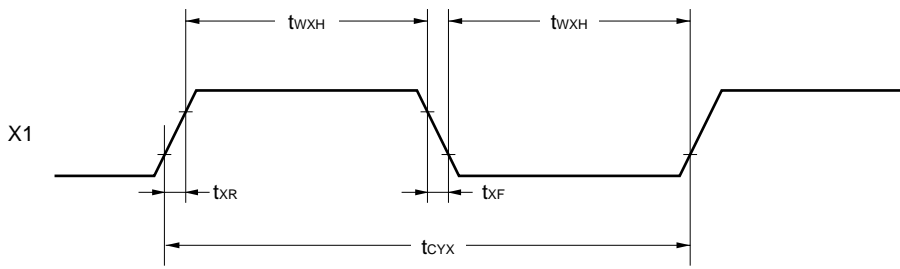
割り込み要求入力タイミング



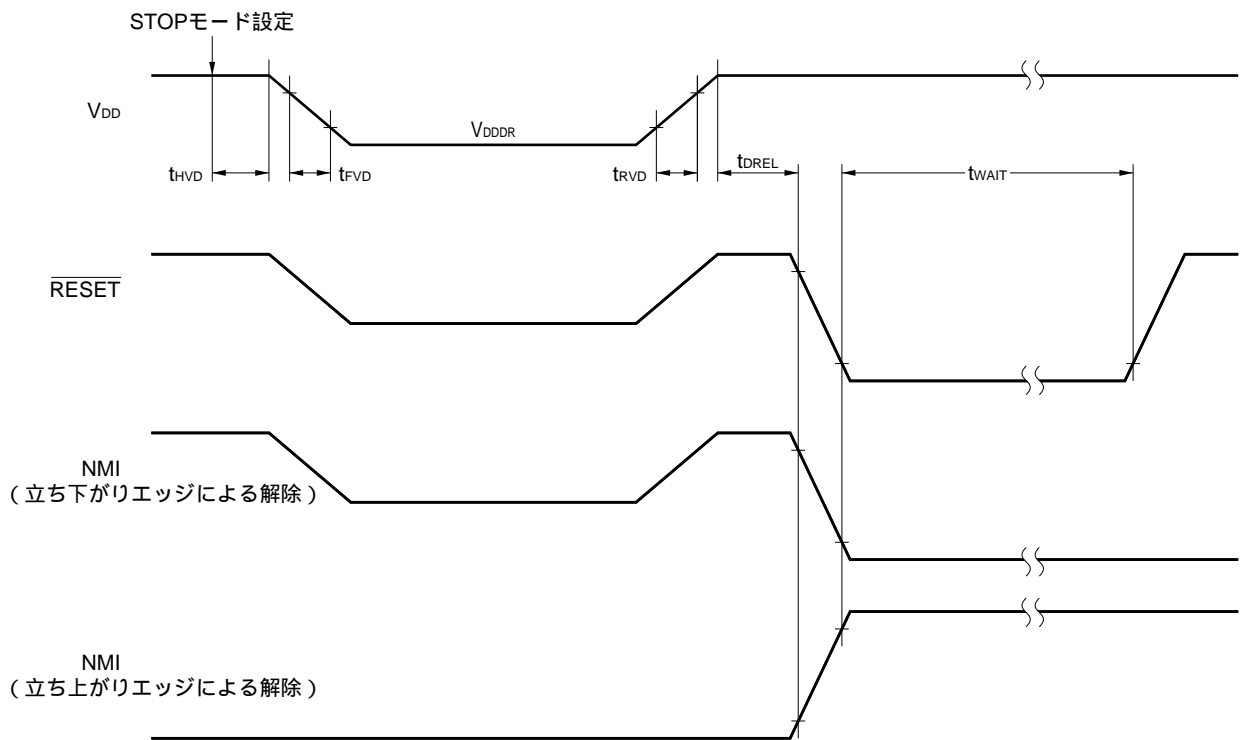
リセット入力タイミング



外部クロック・タイミング

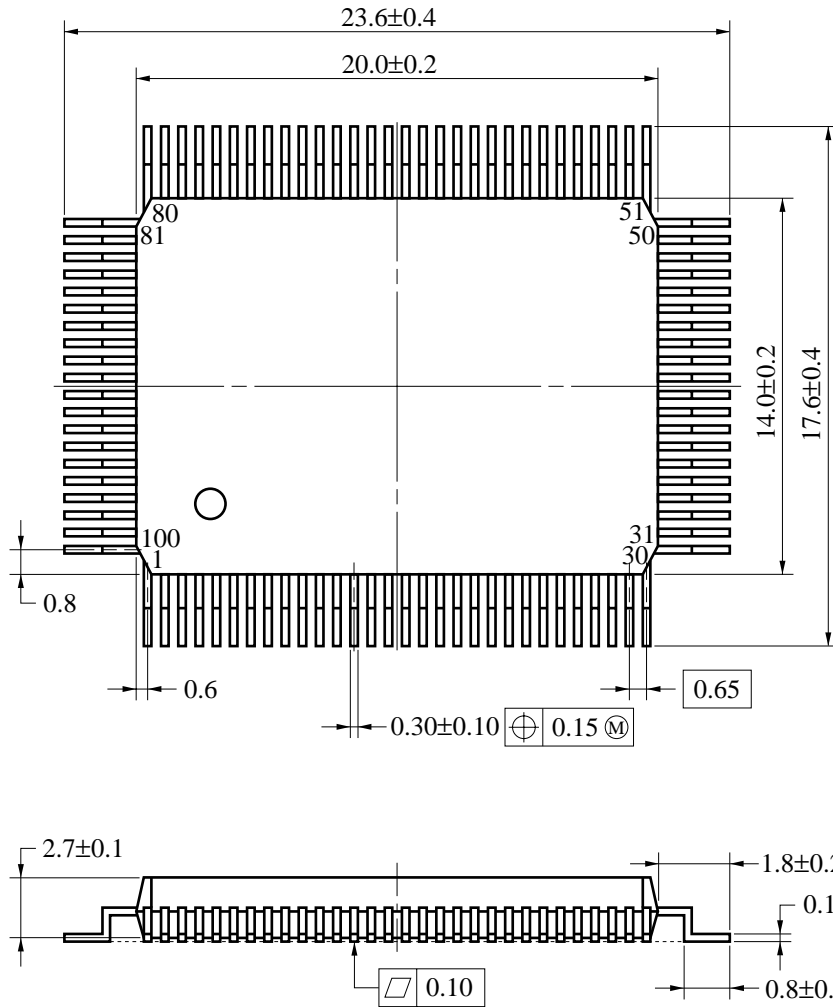


データ保持特性

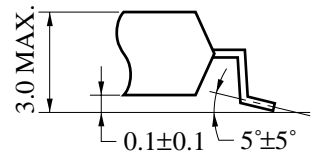


16. 外形図

100ピン・プラスチック QFP (14×20) 外形図 (単位: mm)



端子先端形状詳細図



備考 ES品の外形や材質は、量産品と同じです。

P100GF-65-3BA1-3

17. 半田付け推奨条件

μPD784908の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表17-1 表面実装タイプの半田付け条件

μPD784907GF- x x x -3BA : 100ピン・プラスチックQFP (14 x 20 mm)

μPD784908GF- x x x -3BA : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：3回以内	VP15-00-3
ウェーブ・ソルダーリング	半田槽温度：260 以下，時間：10秒以内，回数：1回， 予備加熱温度：120 MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：300 ，時間：3秒以内（デバイスの一辺当たり）	-

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

付録A．開発ツール

μPD784908を使用するシステム開発のために、次のような開発ツールを用意しています。

(5) 開発ツールを使用する際の注意も参照してください。

(1) 言語処理用ソフトウェア

RA78K4	78K/ シリーズ共通のアセンブラ・パッケージ
CC78K4	78K/ シリーズ共通のCコンパイラ・パッケージ
DF784908	μPD784908サブシリーズ用デバイス・ファイル
CC78K4-L	78K/ シリーズ共通のCコンパイラ・ライブラリ・ソース・ファイル

(2) PROM書き込み用ツール

PG-1500	PROMプログラマ
PA-78P4908GF	PG-1500に接続するプログラマ・アダプタ
PG-1500コントローラ	PG-1500用コントロール・プログラム

(3) デバッグ用ツール

・インサーキット・エミュレータ IE-78K4-NSを使用する場合

IE-78K4-NS	78K/ シリーズ共通のインサーキット・エミュレータ
IE-70000-MC-PS-B	IE-78K4-NS電源ユニット
★ IE-70000-98-IF-C	ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときに必要なインタフェース・アダプタ(Cバス対応)
★ IE-70000-CD-IF-A	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとケーブル(PCMCIAソケット対応)
★ IE-70000-PC-IF-C	ホスト・マシンとしてIBM PC/AT™互換機を使用するときに必要なインタフェース・アダプタ(ISAバス対応)
★ IE-70000-PCI-IF	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタ
IE-784908-NS-EM1	μPD784908サブシリーズをエミュレーションするためのエミュレーション・ボード
NP-100GF	100ピン・プラスチックQFP(GF-3BAタイプ)用エミュレーション・プローブ
EV-9200GF-100	100ピン・プラスチックQFP(GF-3BAタイプ)用に作られたターゲット・システムの基板上に実装するソケット。LCC方式の場合に使用します。
ID78K4-NS	IE-78K4-NS用統合ディバッガ
SM78K4	78K/ シリーズ共通のシステム・シミュレータ
DF784908	μPD784908サブシリーズ用デバイス・ファイル

・インサーキット・エミュレータ IE-784000-Rを使用する場合

IE-784000-R	78K/ シリーズ共通のインサーキット・エミュレータ
IE-70000-98-IF-C	ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときに必要なインタフェース・アダプタ(Cバス対応)
IE-70000-PC-IF-C	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なインタフェース・アダプタ(ISAバス対応)
★ IE-70000-PCI-IF	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタ
IE-78000-R-SV3	ホスト・マシンとしてEWSを使用するときのインタフェース・アダプタとケーブル
IE-784908-NS-EM1 IE-784908-R-EM1	μPD784908サブシリーズをエミュレーションするためのエミュレーション・ボード
IE-784000-R-EM	78K/ シリーズ共通のエミュレーション・ボード
IE-78K4-R-EX2	IE-784908-NS-EM1をIE-784000-R上で使用するときに必要なエミュレーション・プロンプ変換ボード。IE-784908-R-EM1を使用するときには必要ありません。
EP-78064-GF-R	100ピン・プラスチックQFP(GF-3BAタイプ)用エミュレーション・プロンプ
EV-9200GF-100	100ピン・プラスチックQFP(GF-3BAタイプ)用に作られたターゲット・システムの基板上に実装するソケット。
ID78K4	IE-784000-R用統合ディバツガ
SM78K4	78K/ シリーズ共通のシステム・シミュレータ
DF784908	μPD784908サブシリーズ用デバイス・ファイル

(4)リアルタイムOS

RX78K/	78K/ シリーズ用リアルタイムOS
MX78K4	78K/ シリーズ用OS

(5) 開発ツールを使用する際の注意

- ・ ID78K4-NS, ID78K4, SM78K4は , DF784908と組み合わせて使用します。
- ・ CC78K4, RX78K/ は , RA78K4およびDF784908と組み合わせて使用します。
- ・ NP-100GFは , 株式会社内藤電誠町田製作所 (TEL (044) 822-3813) の製品です。ご購入の際はNEC特約店にご相談ください。
- ・ 各ソフトウェアに対応するホスト・マシンとOSは次のとおりです。

ホスト・マシン 〔OS〕	PC	EWS
	ソフトウェア	PC-9800シリーズ〔Windows™〕 IBM PC/AT互換機〔日本語 / 英語Windows〕
RA78K4	注	
CC78K4	注	
PG-1500コントローラ	注	-
ID78K4-NS		-
ID78K4		
SM78K4		-
RX78K/	注	
MX78K4	注	

注 DOSベースのソフトウェアです。

付録B. 関連資料

デバイスの関連資料

資料名	資料番号	
	和文	英文
μPD784907, 784908 データ・シート	この資料	U11680E
μPD78P4908 データ・シート	U11681J	U11681E
μPD784908サブシリーズ ユーザーズ・マニュアル ハードウェア編	U11787J	U11787E
μPD784908サブシリーズ 特殊機能レジスタ活用表	U11589J	-
78K/ シリーズ ユーザーズ・マニュアル 命令編	U10905J	U10905E
78K/ シリーズ インストラクション活用表	U10594J	-
78K/ シリーズ インストラクション・セット	U10595J	-
78K/ シリーズ アプリケーション・ノート ソフトウェア基礎編	U10095J	U10095E

開発ツールの資料 (ユーザーズ・マニュアル)

資料名	資料番号		
	和文	英文	
RA78K4 アセンブラ・パッケージ	言語編	U11162J	U11162E
	操作編	U11334J	U11334E
RA78K4 構造化アセンブラ・プリプロセッサ	U11743J	U11743E	
CC78K4 Cコンパイラ	言語編	U11571J	U11571E
	操作編	U11572J	U11572E
PG-1500 PROMプログラマ	U11940J	U11940E	
PG-1500コントローラ PC-9800シリーズ (MS-DOS™) ベース	EEU-704	EEU-1291	
PG-1500コントローラ IBM PCシリーズ (PC DOS™) ベース	EEU-5008	U10540E	
★ IE-78K4-NS	U13356J	U13356E	
IE-784000-R	U12903J	EEU-1534	
IE-784908-R-EM1	U11876J	-	
★ IE-784908-NS-EM1	U13743J	作成中	
EP-78064	EEU-934	EEU-1469	
SM78K4 システム・シミュレータ Windowsベース	レファレンス編	U10093J	U10093E
SM78Kシリーズ システム・シミュレータ	外部部品ユーザオープン インタフェース仕様編	U10092J	U10092E
ID78K4-NS 統合ディバッガ PCベース	レファレンス編	U12796J	U12796E
ID78K4 統合ディバッガ Windowsベース	レファレンス編	U10440J	U10440E
ID78K4 統合ディバッガ HP-UX, SunOS, NEWS-OSベース	レファレンス編	U11960J	U11960E

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

組み込み用ソフトウェアの資料 (ユーザーズ・マニュアル)

資料名		資料番号	
		和文	英文
78K/ シリーズ リアルタイムOS	基礎編	U10603J	U10603E
	インストール編	U10604J	U10604E
	デバッグ編	U10364J	-
78K/ シリーズ用OS MX78K4	基礎編	U11779J	-

その他の資料

	資料名	資料番号	
		和文	英文
★	NEC IC Package Manual (CD-ROM)	-	C13388E
	半導体デバイス 実装マニュアル	C10535J	C10535E
	NEC半導体デバイスの品質水準	C11531J	C11531E
	NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
	静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
	半導体 品質 / 信頼性ハンドブック	C12769J	-
	マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

[X E]

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

FIPは、日本電気株式会社の登録商標です。

IEBus, EEPROMは、日本電気株式会社の商標です。

MS-DOSおよびWindowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/AT, PC DOSは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パッカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

本製品が外国為替および外国貿易管理法の規定による戦略物資等（または役務）に該当するか否かは、ユーザー（仕様を決定した者）が判定してください。

文書による当社の承諾なしに本資料の転載複製を禁じます。
 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意ください。
 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
 この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン（インフォメーションセンター）
 （電話：午前 9:00～12:00、午後 1:00～5:00）

電話 : 044-548-8899
 FAX : 044-548-7900
 E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

半導体第一販売事業部	〒108-8001	東京都港区芝5-7-1	(日本電気本社ビル)	(03)3454-1111				
半導体第二販売事業部								
半導体第三販売事業部								
中部支社 半導体第一販売部	〒460-8525	愛知県名古屋市中区錦1-17-1	(日本電気中部ビル)	(052)222-2170				
中部支社 半導体第二販売部				(052)222-2190				
関西支社 半導体第一販売部	〒540-8551	大阪府大阪市中央区城見1-4-24	(日本電気関西ビル)	(06) 945-3178				
関西支社 半導体第二販売部				(06) 945-3200				
関西支社 半導体第三販売部				(06) 945-3208				
北海道支社	札幌	(011)251-5599	宇都宮支店	宇都宮	(028)621-2281	北陸支社	金沢	(076)232-7303
東北支社	仙台	(022)267-8740	小山支店	小山	(0285)24-5011	京都支社	京都	(075)344-7824
岩手支店	盛岡	(019)651-4344	甲府支店	甲府	(0552)24-4141	神戸支社	神戸	(078)333-3854
郡山支店	郡山	(0249)23-5511	長野支社	松本	(0263)35-1662	中国支社	広島	(082)242-5504
いわき支店	いわき	(0246)21-5511	静岡支社	静岡	(054)254-4794	鳥取支店	鳥取	(0857)27-5311
長岡支店	長岡	(0258)36-2155	立川支社	立川	(042)526-5981,6167	岡山支店	岡山	(086)225-4455
水戸支店	水戸	(029)226-1717	埼玉支社	大宮	(048)649-1415	松山支店	松山	(089)945-4149
土浦支店	土浦	(0298)23-6161	千葉支社	千葉	(043)238-8116	九州支社	福岡	(092)261-2806
群馬支店	高崎	(027)326-1255	神奈川支社	横浜	(045)682-4524			
太田支店	太田	(0276)46-4011	三重支店	津	(059)225-7341			