

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# μPD78370(A), 78372(A)

16ビット・シングルチップ・マイクロコンピュータ

**保守/廃止**

μPD78372(A)は、高速、高性能16ビットCPUを内蔵し、強力な演算機能を備えています。また、モータ制御分野などで要求されるパルスリアルタイム制御を行うリアルタイム・パルス・ユニットや、A/Dコンバータを内蔵しています。さらに、データ・バスを8ビットまたは16ビットに切り替え可能なバス・サイジング機能を備えています。

μPD78370(A)は、μPD78372(A)のROMレス品です。また、PROM内蔵品としてμPD78P372(A)を用意しています。

詳しい機能説明などは次のユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

μPD78372 ユーザズ・マニュアル ハードウェア編 : U10642J

μPD78356 ユーザズ・マニュアル 命令編 : IEU-853

## 特 徴

μPD78370, 78372に比べて高信頼性

パイプライン制御方式と動作クロックの高速化による高速処理

・最小命令実行時間 : 160 ns (外部クロック25 MHz動作時) ... μPD78370(A), 78372(A)

200 ns (外部クロック20 MHz動作時) ... μPD78370(A1), (A2), 78372(A1), (A2)

制御用途に適した命令セット (μPD78322(A) アップワード・コンパチブル)

- ・積和演算命令
- ・相関演算命令, etc.

高速割り込みコントローラ内蔵

多彩な周辺ハードウェア

- ・リアルタイム・パルス・ユニット
- ・10ビット分解能A/Dコンバータ : 16チャンネル
- ・シリアル・インタフェース : 2チャンネル

内部メモリ : ROM 24 Kバイト (μPD78372(A))

なし (μPD78370(A))

RAM 768バイト

## 応用分野

自動車電装など

この資料では、μPD78370(A), 78372(A)のほか、μPD78370(A1), 78370(A2), 78372(A1), 78372(A2)についても説明しています。ただし、特に違いがないかぎりμPD78372(A)を代表製品として説明しています。

本資料の内容は、後日変更する場合があります。

## オーダ情報

オーダ名称	パッケージ	内部ROM
μPD78370GC ( A ) -3B9 <sup>注</sup>	80ピン・プラスチックQFP ( 14 mm )	なし
μPD78370GC ( A1 ) -3B9 <sup>注</sup>	〃	〃
μPD78370GC ( A2 ) -3B9 <sup>注</sup>	〃	〃
μPD78370GF ( A ) -3B9 <sup>注</sup>	80ピン・プラスチックQFP ( 14 × 20 mm )	〃
μPD78370GF ( A1 ) -3B9 <sup>注</sup>	〃	〃
μPD78370GF ( A2 ) -3B9 <sup>注</sup>	〃	〃
μPD78372GC ( A ) - x x x -3B9	80ピン・プラスチックQFP ( 14 mm )	マスクROM
μPD78372GC ( A1 ) - x x x -3B9	〃	〃
μPD78372GC ( A2 ) - x x x -3B9	〃	〃
μPD78372GF ( A ) - x x x -3B9	80ピン・プラスチックQFP ( 14 × 20 mm )	〃
μPD78372GF ( A1 ) - x x x -3B9	〃	〃
μPD78372GF ( A2 ) - x x x -3B9	〃	〃

注 開発中

備考 x x x はROMコード番号です。

## 品質水準

特別 ( 高信頼度電子機器用 )

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(IEI-620)をご覧ください。

$\mu$ PD78372と $\mu$ PD78372 ( A ) の違い

品 名	$\mu$ PD78370, 78372	$\mu$ PD78370 ( A ) , 78372 ( A )
項 目		
品質水準	標準 ( 一般電子機器用 )	特別 ( 高信頼度電子機器用 )
動作周囲温度 ( T <sub>A</sub> )	- 10 ~ + 70	- 40 ~ + 85
動作周波数	8 ~ 32 MHz	8 ~ 25 MHz
最小命令実行時間	125 ns ( 外部クロック32 MHz動作時 )	160 ns ( 外部クロック25 MHz動作時 )
過電圧印加における許容端子注入電流特性	なし	あり
DC特性	V <sub>DD</sub> 電源電流, データ保持電流などが異なります。	
A/Dコンバータ特性	変換時間, サンプリング時間, アナログ入力電圧などが異なります。	
パッケージ	80ピン・プラスチックQFP ( 14 x 20 mm )	80ピン・プラスチックQFP ( 14 mm ) 80ピン・プラスチックQFP ( 14 x 20 mm )

$\mu$ PD78372 ( A ) , 78372 ( A1 ) , 78372 ( A2 ) の違い

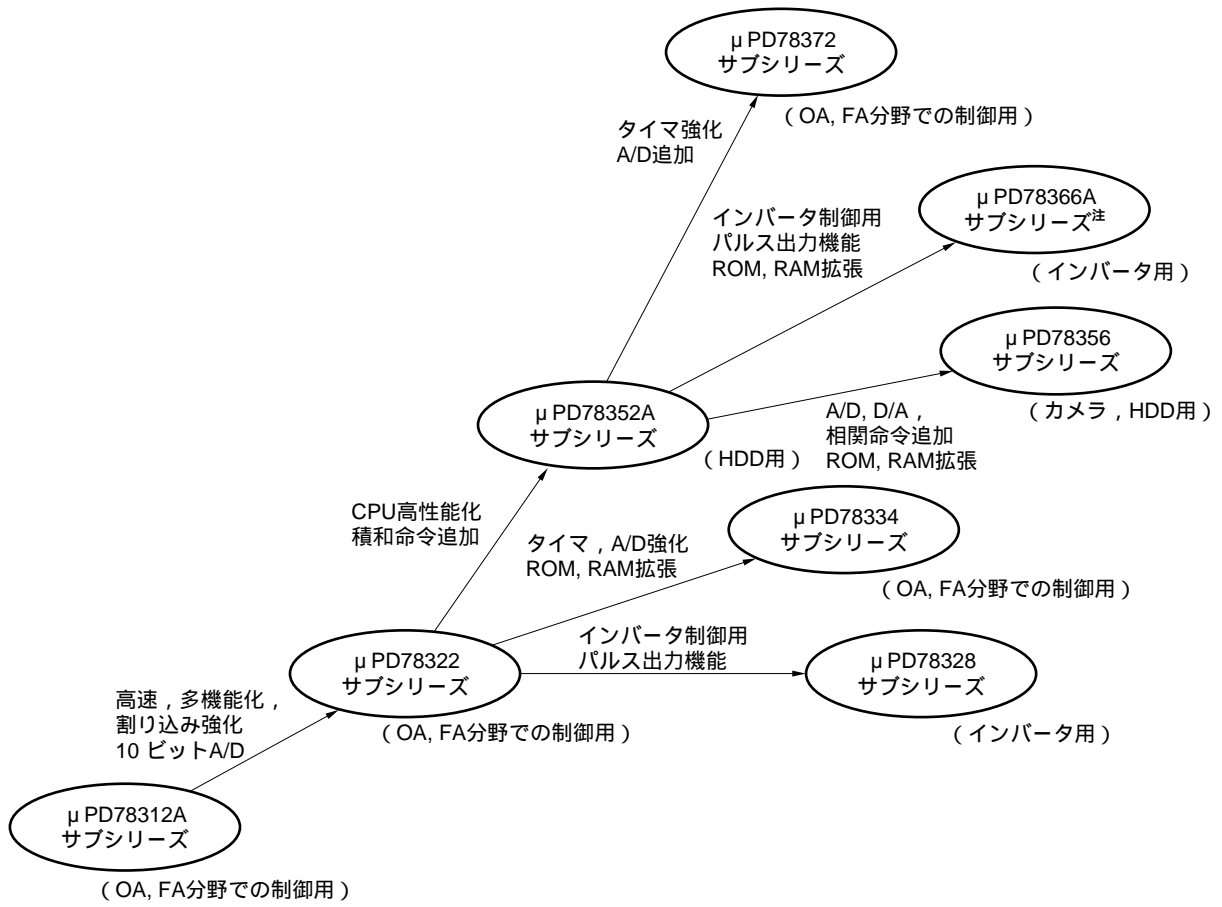
品 名	$\mu$ PD78372 ( A )	$\mu$ PD78372 ( A1 )	$\mu$ PD78372 ( A2 )
項 目			
動作周囲温度 ( T <sub>A</sub> )	- 40 ~ + 85	- 40 ~ + 110	- 40 ~ + 125
動作周波数	8 ~ 25 MHz	8 ~ 20 MHz	
最小命令実行時間	160 ns ( 外部クロック25 MHz動作時 )	200 ns ( 外部クロック20 MHz動作時 )	
DC特性	アナログ端子入力リーク電流, V <sub>DD</sub> 電源電流, データ保持電流が異なります。		
AC特性	バス・タイミングが異なります。		

備考  $\mu$ PD78370 ( A ) , 78370 ( A1 ) , 78370 ( A2 ) の違いは, 上記の表と同様です。

μPD78372 ( A ) と μPD78370 ( A ) の違い

品 名		μPD78372 ( A )	μPD78370 ( A )
項 目			
内部ROM		24 Kバイト	なし
入出力ライン	入力	17 ( アナログ入力兼用 : 16 )	
	入出力	43	24
ポート 4 ( P40/AD0- P47/AD7 )	ポート・モード	8 ビット単位で入力 / 出力に指定可能	ポートとして機能しません。
	外部メモリ 拡張モード	下位 8 ビットのアドレス / データ・バス	
ポート 5 ( P50/AD8- P57/AD15 )	ポート・モード	1 ビット単位で入力 / 出力に指定可能	ポートとして機能しません。
	外部メモリ 拡張モード	<ul style="list-style-type: none"> <li>・外部 8 ビット・バス時</li> <li>外部アドレス空間によって段階的にアドレス・バスに設定。残りの端子は、汎用ポートとして使用可能。</li> <li>・外部 16 ビット・バス時</li> <li>上位 8 ビットのアドレス / データ・バス</li> </ul>	<ul style="list-style-type: none"> <li>・外部 8 ビット・バス時</li> <li>上位 8 ビットのアドレス・バス</li> <li>・外部 16 ビット・バス時</li> <li>上位 8 ビットのアドレス / データ・バス</li> </ul>
ポート 9 ( P90/ $\overline{RD}$ , P91/ $\overline{LWR}$ , P92/ $\overline{HWR}$ )	ポート・モード	1 ビット単位で入力 / 出力に指定可能	P90, P91は、ポートとして機能しません。 P92は、外部 8 ビット・バス時のみポートとして機能します。
	外部メモリ 拡張モード	<ul style="list-style-type: none"> <li>・外部 8 ビット・バス時</li> <li>P90 : <math>\overline{RD}</math> ストローブ信号出力</li> <li>P91 : <math>\overline{LWR}</math> ストローブ信号出力</li> <li>P92 : 汎用ポート</li> <li>・外部 16 ビット・バス時</li> <li>P90 : <math>\overline{RD}</math> ストローブ信号出力</li> <li>P91 : <math>\overline{LWR}</math> ストローブ信号出力</li> <li>P92 : <math>\overline{HWR}</math> ストローブ信号出力</li> </ul>	
メモリ拡張モード・レジスタ ( MM )		ポート 4 の入力 / 出力を 8 ビット単位で設定。外部メモリ拡張モード時は、ポート 4 , ポート 5 のメモリ拡張の幅を設定。	常に外部メモリ拡張モードに固定。
ポート 5 モード・レジスタ ( PM5 )		ポート 5 の入力 / 出力を 1 ビット単位で設定。	なし
MODE0, MODE1 の設定		<ul style="list-style-type: none"> <li>・通常動作モード時</li> <li>MODE0, 1 = LL</li> <li>・ROMレス・モード ( 外部 8 ビット・バス ) 時</li> <li>MODE0, 1 = HL</li> <li>・ROMレス・モード ( 外部 16 ビット・バス ) 時</li> <li>MODE0, 1 = HH</li> </ul>	<ul style="list-style-type: none"> <li>・外部 8 ビット・バス時</li> <li>MODE0, 1 = HL</li> <li>・外部 16 ビット・バス時</li> <li>MODE0, 1 = HH</li> </ul>

78K/ シリーズ製品展開



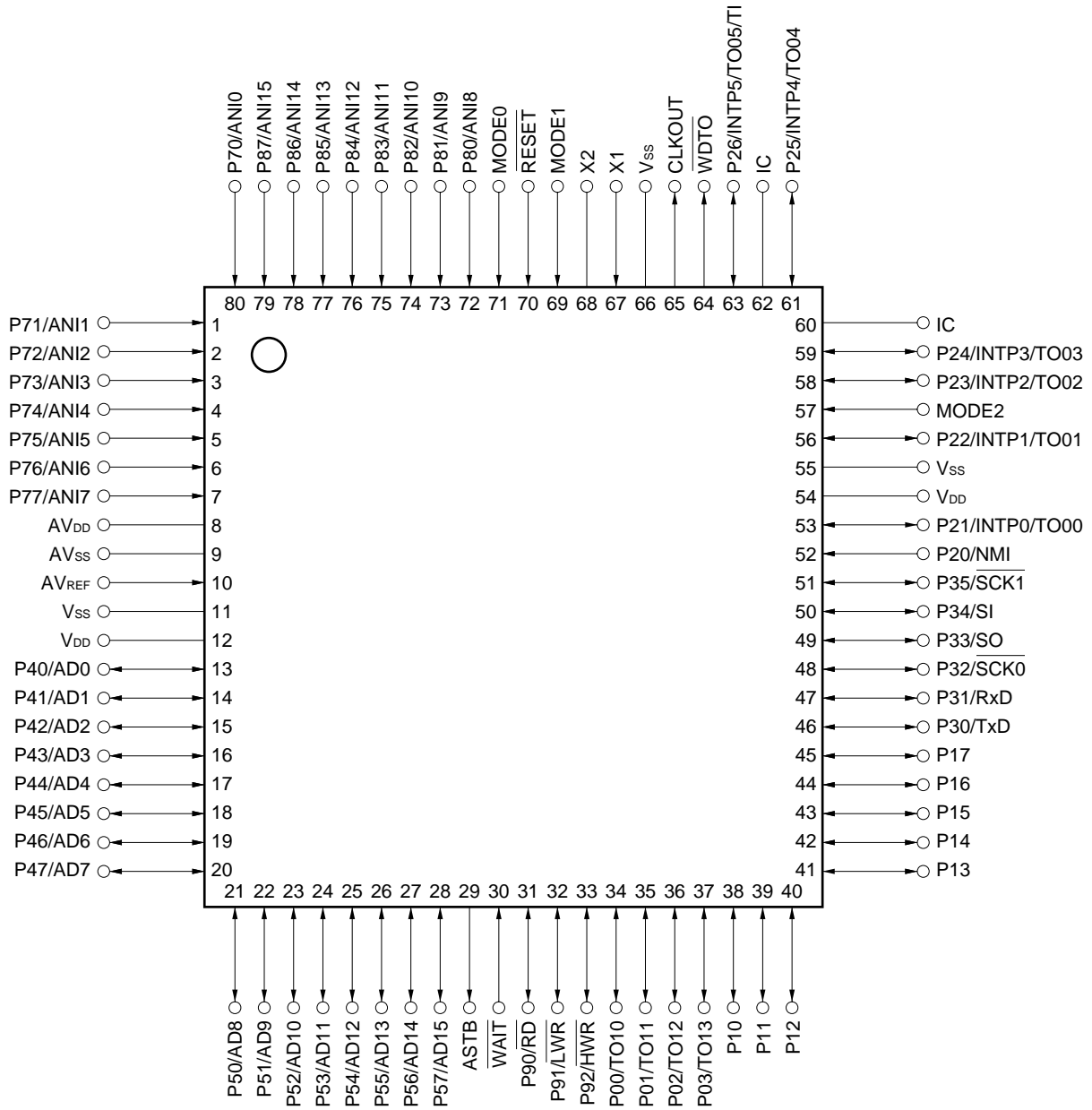
注 開発中

端子接続図 (Top View)

・80ピン・プラスチックQFP ( 14 mm )

μPD78370GC ( A ) -3B9, 78370GC ( A1 ) -3B9, 78370GC ( A2 ) -3B9

μPD78372GC ( A ) - x x x -3B9, 78372GC ( A1 ) - x x x -3B9, 78372GC ( A2 ) - x x x -3B9



**注意** IC端子はV<sub>SS</sub>に直接接続してください。

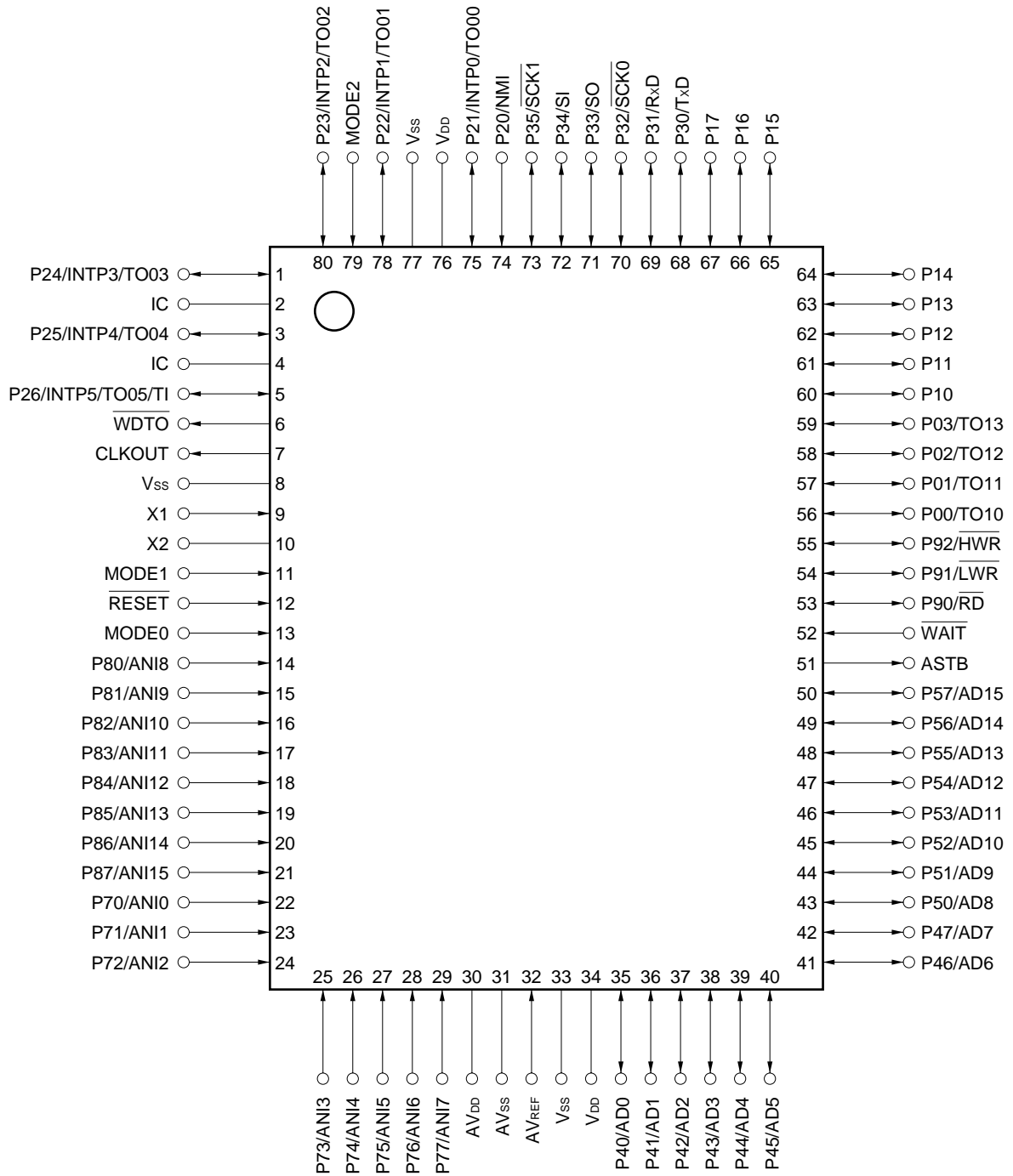
**備考** x x x はROMコード番号です。



・ 80ピン・プラスチックQFP (14×20 mm)

μPD78370GF ( A ) -3B9, 78370GF ( A1 ) -3B9, 78370GF ( A2 ) -3B9

μPD78372GF ( A ) - x x x -3B9, 78372GF ( A1 ) - x x x -3B9, 78372GF ( A2 ) - x x x -3B9



**注意** IC端子はV<sub>SS</sub>に直接接続してください。

**備考** x x xはROMコード番号です。

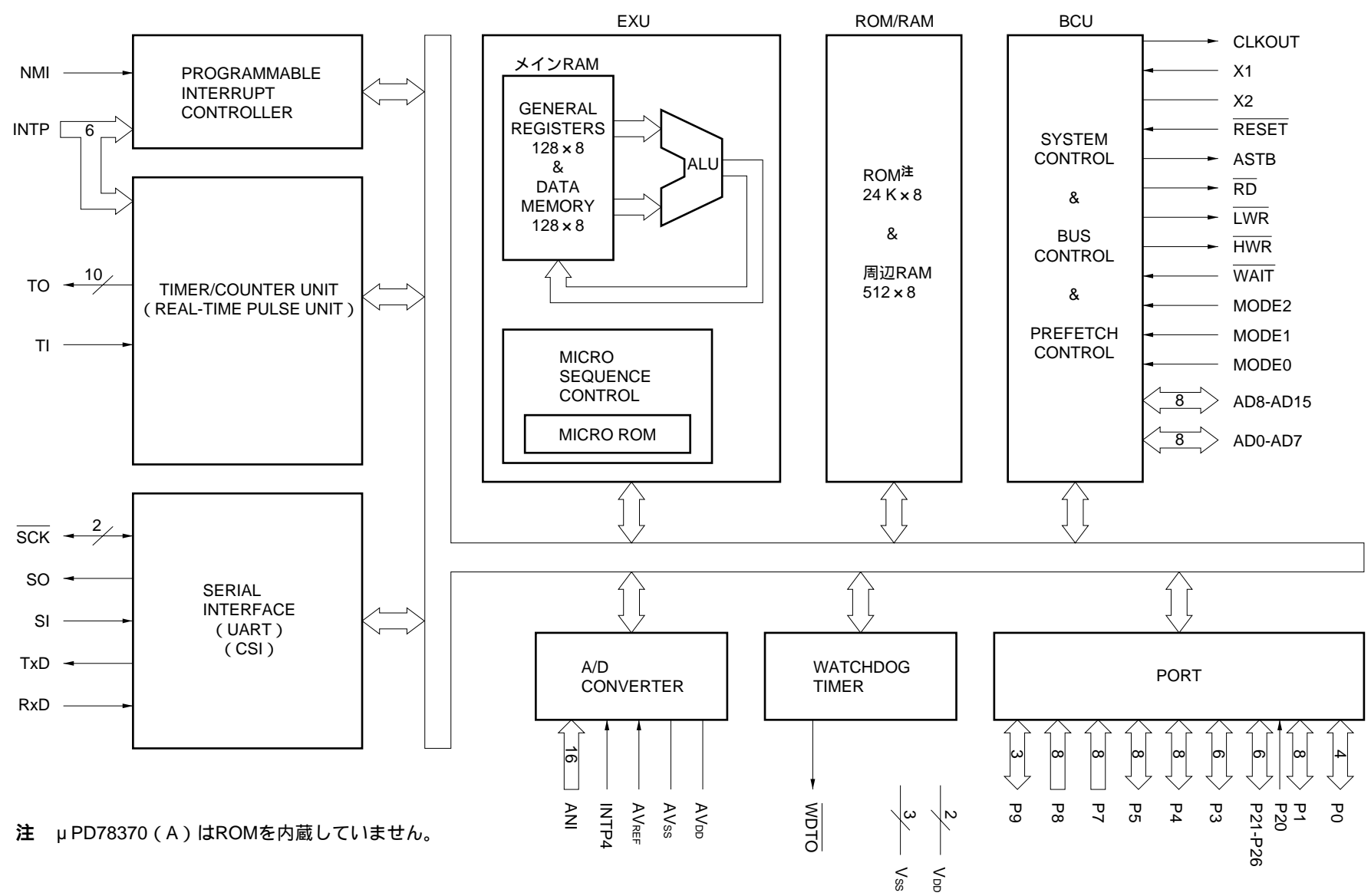
P00-P03	: Port0	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$	: Serial Clock
P10-P17	: Port1	$\overline{\text{WDTO}}$	: Watchdog Timer Output
P20-P26	: Port2	MODE0-MODE2	: Mode
P30-P35	: Port3	AD0-AD15	: Address/Data Bus
P40-P47	: Port4	ASTB	: Address Strobe
P50-P57	: Port5	$\overline{\text{RD}}$	: Read Strobe
P70-P77	: Port7	$\overline{\text{LWR}}$	: Low Address Write Strobe
P80-P87	: Port8	$\overline{\text{HWR}}$	: High Address Write Strobe
P90-P92	: Port9	$\overline{\text{WAIT}}$	: Wait
NMI	: Nonmaskable Interrupt	CLKOUT	: Clock Output
INTP0-INTP5	: Interrupt From Peripherals	$\overline{\text{RESET}}$	: Reset
TO00-TO05	: } Timer Output	X1, X2	: Crystal
TO10-TO13	: }	$\text{AV}_{\text{DD}}$	: Analog $\text{V}_{\text{DD}}$
TI	: Timer Input	$\text{AV}_{\text{SS}}$	: Analog $\text{V}_{\text{SS}}$
ANI0-ANI15	: Analog Input	$\text{AV}_{\text{REF}}$	: Analog Reference Voltage
TxD	: Transmit Data	$\text{V}_{\text{DD}}$	: Power Supply
RxD	: Receive Data	$\text{V}_{\text{SS}}$	: Ground
SI	: Serial Input	IC	: Internally Connected
SO	: Serial Output		

機能概要

項目	内容
最小命令実行時間	<ul style="list-style-type: none"> <li>・ 160 ns (外部クロック25 MHz動作時) : μPD78370 ( A ) , 78372 ( A )</li> <li>・ 200 ns (外部クロック20 MHz動作時) : μPD78370 ( A1 ) , ( A2 ) , 78372 ( A1 ) , ( A2 )</li> </ul>
内部メモリ	<ul style="list-style-type: none"> <li>・ ROM : 24 Kバイト ( μPD78372 ( A ) )</li> <li>なし ( μPD78370 ( A ) )</li> <li>・ RAM : 768バイト</li> </ul>
メモリ空間	64 Kバイト (外部拡張可能)
汎用レジスタ	8 ビット × 16本 × 8バンク
基本命令数	115
命令セット	<ul style="list-style-type: none"> <li>・ 16ビット転送 / 演算</li> <li>・ 乗除算 ( 16ビット × 16ビット , 32ビット ÷ 16ビット )</li> <li>・ ビット操作</li> <li>・ ストリング</li> <li>・ 積和演算 ( 16ビット × 16ビット + 32ビット )</li> <li>・ 相関演算</li> </ul>
入出力ライン	<ul style="list-style-type: none"> <li>・ 入力ポート : 17本 (アナログ入力兼用 : 16本)</li> <li>・ 入出力ポート : 43本 ( μPD78372 ( A ) )</li> <li>24本 ( μPD78370 ( A ) )</li> </ul>
リアルタイム・パルス・ユニット	<ul style="list-style-type: none"> <li>18/16ビット・タイマ・カウンタ × 1</li> <li>18/16ビット・キャプチャ / コンペア・レジスタ × 6</li> <li>タイマ出力 × 6</li> <li>16ビット・タイマ / イベント・カウンタ × 1</li> <li>16ビット・コンペア・レジスタ × 4</li> <li>タイマ出力 × 4</li> </ul>
A/Dコンバータ	10ビット分解能16チャンネル
シリアル・インタフェース	専用ポー・レート・ジェネレータ付き UART : 1チャンネル クロック同期式シリアル・インタフェース : 1チャンネル
割り込み機能	<ul style="list-style-type: none"> <li>・ 外部 : 11 , 内部 : 18 (外部兼用 : 6)</li> <li>・ 4レベルの優先順位をソフトウェアにより指定可能</li> <li>・ 3種類の処理形態を選択可能 (ベクタ割り込み / マクロ・サービス / コンテキスト・スイッチング)</li> </ul>
外部デバイス拡張機能	<ul style="list-style-type: none"> <li>・ アドレス / データ・バス : 16本</li> <li>・ リード・ストロブ : 1本</li> <li>・ ライト・ストロブ : 2本</li> </ul> } 入出力ポートと兼用 ( μPD78372 ( A ) ) } 外部アクセス専用 ( μPD78370 ( A ) )
バス・サイジング機能	8 ビット / 16ビット外部データ・バス幅選択可能
パッケージ	<ul style="list-style-type: none"> <li>・ 80ピン・プラスチックQFP ( 14 mm )</li> <li>・ 80ピン・プラスチックQFP ( 14 × 20 mm )</li> </ul>
その他	<ul style="list-style-type: none"> <li>・ ウォッチドッグ・タイマ内蔵</li> <li>・ スタンバイ機能 ( HALTモード , STOPモード , スタンバイ機能無効モード )</li> </ul>

**保守/廃止**

ブロック図



注 μPD78370(A)はROMを内蔵していません。

## 目 次

1 . 端子機能	... 13
1.1 ポート端子	... 13
1.2 ポート以外の端子	... 14
1.3 端子の入出力回路と未使用端子の処理	... 16
2 . CPUアーキテクチャ	... 18
2.1 メモリ空間	... 18
2.2 データ・メモリ・アドレッシング	... 19
2.3 プロセッサ・レジスタ	... 19
2.3.1 制御レジスタ	... 20
2.3.2 汎用レジスタ	... 21
2.3.3 特殊機能レジスタ (SFR)	... 22
3 . ブロック機能	... 27
3.1 エクゼキューション・ユニット (EXU)	... 27
3.2 パス・コントロール・ユニット (BCU)	... 27
3.3 ROM/RAM	... 27
3.4 ポート	... 27
3.5 リアルタイム・パルス・ユニット (RPU)	... 27
3.6 A/Dコンバータ	... 28
3.7 シリアル・インタフェース	... 28
3.8 ウォッチドッグ・タイマ (WDT)	... 28
3.9 割り込みコントローラ	... 28
4 . 周辺ハードウェア機能	... 29
4.1 ポート機能	... 29
4.1.1 ハードウェア構成	... 29
4.1.2 デジタル入出力ポートの機能	... 30
4.1.3 ポート出力データのチェック機能	... 31
4.2 クロック発生回路	... 32
4.3 リアルタイム・パルス・ユニット (RPU)	... 34
4.4 A/Dコンバータ	... 37
4.4.1 構成	... 37
4.4.2 動作	... 38
4.5 シリアル・インタフェース	... 40
4.5.1 アシンクロナス・シリアル・インタフェース (UART)	... 41
4.5.2 クロック同期式シリアル・インタフェース (CSI)	... 43
4.5.3 ボー・レート・ジェネレータ (BRG)	... 45
4.6 ウォッチドッグ・タイマ (WDT)	... 46
4.6.1 構成	... 46
4.6.2 動作	... 47

5 . 割り込み機能	...	48
5.1 割り込み要求の種類	...	48
5.2 割り込み処理モード	...	50
5.3 マクロ・サービス	...	52
5.4 コンテキスト・スイッチング	...	55
5.4.1 割り込み要求によるコンテキスト・スイッチング機能	...	55
5.4.2 BRKCS命令によるコンテキスト・スイッチング機能	...	56
5.4.3 コンテキスト・スイッチングからの復帰	...	56
6 . 外部デバイス拡張機能	...	57
7 . スタンバイ機能	...	59
8 . リセット機能	...	60
9 . 命令セット	...	63
10 . システム構成例	...	77
11 . 電気的特性	...	78
12 . 外形図	...	110
13 . 半田付け推奨条件	...	112
付録A . μPD78372 ( A ) と μPD78324 ( A ) との違い	...	113
付録B . ツール	...	114
B.1 開発ツール	...	114
B.2 組み込み用ソフトウェア	...	119

1. 端子機能

1.1 ポート端子

端子名称	入出力	機 能	兼用端子
P00-P03	入出力	ポート0 4ビット入出力ポート 1ビット単位で入力/出力の指定が可能	TO10-TO13
P10-P17	入出力	ポート1 8ビット入出力ポート 1ビット単位で入力/出力の指定が可能	-
P20	入 力	ポート2	NMI
P21	入出力	7ビット入出力ポート 1ビット単位で入力/出力の指定が可能 (ただし, P20/NMIを除く)	INTP0/TO00
P22			INTP1/TO01
P23			INTP2/TO02
P24			INTP3/TO03
P25			INTP4/TO04
P26			INTP5/TO05/TI
P30	入出力	ポート3 6ビット入出力ポート 1ビット単位で入力/出力の指定が可能	TxD
P31			RxD
P32			SCK0
P33			SO
P34			SI
P35			SCK1
P40-P47 <sup>注1</sup>	入出力	ポート4 8ビット入出力ポート 8ビット単位で入力/出力の指定が可能	AD0-AD7
P50-P57 <sup>注1</sup>	入出力	ポート5 8ビット入出力ポート 1ビット単位で入力/出力の指定が可能	AD8-AD15
P70-P77	入 力	ポート7 8ビット入力専用ポート	ANI0-ANI7
P80-P87	入 力	ポート8 8ビット入力専用ポート	ANI8-ANI15
P90 <sup>注1</sup>	入出力	ポート9 3ビット入出力ポート 1ビット単位で入力/出力の指定が可能	$\overline{\text{RD}}$
P91 <sup>注1</sup>			$\overline{\text{LWR}}$
P92 <sup>注2</sup>			$\overline{\text{HWR}}$

注1. μPD78370(A)の場合, ポートとして機能しません(兼用端子機能のみ有効)。

2. μPD78370(A)の場合, 外部8ビット・バス指定時はポートとして機能しますが, 外部16ビット・バス指定時はポートとして機能せず,  $\overline{\text{HWR}}$ 端子となります。

1.2 ポート以外の端子 (1/2)

端子名称	入出力	機能	兼用端子
NMI	入 力	ノンマスクابل割り込み要求入力	P20
INTP0		外部割り込み要求入力	P21/TO00
INTP1			P22/TO01
INTP2			P23/TO02
INTP3			P24/TO03
INTP4			P25/TO04
INTP5			P26/TO05/TI
TI			入 力
TO00	出 力	リアルタイム・パルス・ユニット (RPU) からのタイマ出力	P21/INTP0
TO01			P22/INTP1
TO02			P23/INTP2
TO03			P24/INTP3
TO04			P25/INTP4
TO05			P26/INTP5/TI
TO10-TO13			P00-P03
ANI0-ANI7			入 力
ANI8-ANI15	P80-P87		
TxD	出 力	アシンクロナス・シリアル・インタフェースのシリアル・データ出力	P30
RxD	入 力	アシンクロナス・シリアル・インタフェースのシリアル・データ入力	P31
SCK0	入出力	アシンクロナス・シリアル・インタフェースのCSIモードでのシリアル・クロック入出力	P32
SCK1		クロック同期式シリアル・インタフェースのシリアル・クロック入出力	P35
SI	入 力	クロック同期式シリアル・インタフェースのシリアル・データ入力	P34
SO	出 力	クロック同期式シリアル・インタフェースのシリアル・データ出力	P33
WDTO	出 力	ウォッチドッグ・タイマがオーバフロー (ノンマスクابل割り込みを発生) したことを示す信号出力	-
AD0-AD7	入出力	外部にメモリを拡張する場合の下位8ビットのマルチプレクスト・アドレス/データ・バス	P40-P47
AD8-AD15		<ul style="list-style-type: none"> <li>・外部8ビット・バス指定時</li> <li>外部にメモリを拡張する場合の上位8ビットのアドレス・バス。μPD78372(A)の場合、外部アドレス空間によってアドレス・バスとして使用する端子数が異なります(6.外部デバイス拡張機能参照)。</li> <li>・外部16ビット・バス指定時</li> <li>外部にメモリを拡張する場合の上位8ビットのマルチプレクスト・アドレス/データ・バス</li> </ul>	P50-P57
ASTB	出 力	外部メモリをアクセスするために、AD0-AD15端子から出力されるアドレス情報を外部でラッチするタイミング信号出力	-
RD		外部メモリへのリード・ストロープ信号出力	P90



1.2 ポート以外の端子 (2/2)

端子名称	入出力	機能	兼用端子
LWR	出力	・外部 8 ビット・バス指定時 外部メモリへのライト・ストロープ信号出力	P91
HWR		・外部 16 ビット・バス指定時 下位 8 ビットに配置された外部メモリへのライト・ストロープ信号出力	
WAIT	入力	バス・サイクルにウエイトをかけるための制御信号入力	-
MODE0		動作モードを設定するための制御信号入力。μPD78372(A)では、通常、MODE0, MODE1をとともにV <sub>SS</sub> に接続。μPD78370(A)では、常にMODE0をV <sub>DD</sub> , MODE1をV <sub>SS</sub> に接続。	-
MODE1			-
MODE2		HALTモード、STOPモードの許可 / 禁止を制御する信号入力。通常はV <sub>SS</sub> に接続。	-
CLKOUT	出力	システム・クロック出力	-
RESET	入力	システム・リセット入力	-
X1	入力	システム・クロック発振用クリスタル接続端子。外部からクロックを供給する場合は、X1端子に入力し、X2端子はオープン。	-
X2			-
AV <sub>REF</sub>	入力	A/Dコンバータ用基準電圧入力	-
AV <sub>DD</sub>	-	A/Dコンバータ用アナログ電源	-
AV <sub>SS</sub>	-	A/Dコンバータ用GND	-
V <sub>DD</sub>	-	正電源	-
V <sub>SS</sub>	-	GND	-
IC	-	内部接続端子。V <sub>SS</sub> に接続してください。	-

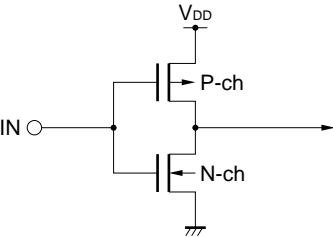
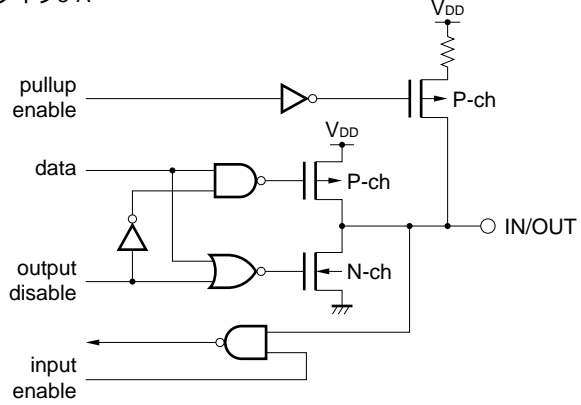
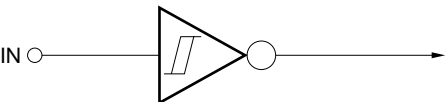
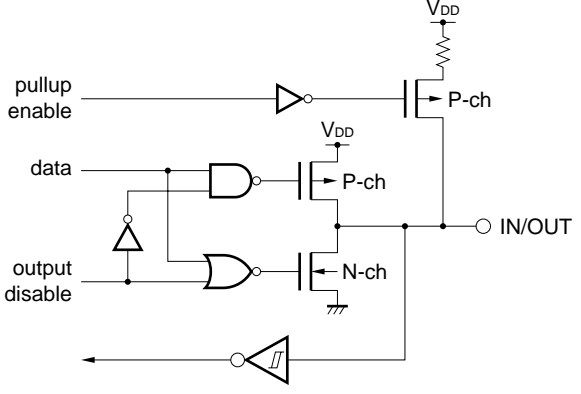
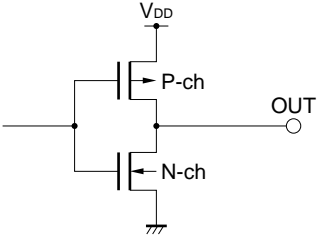
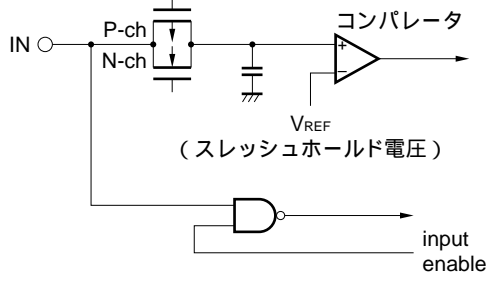
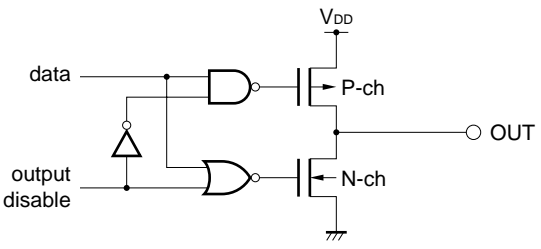
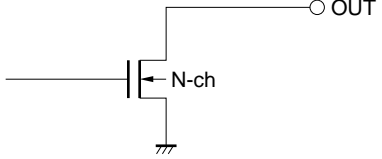
1.3 端子の入出力回路と未使用端子の処理

表1 - 1は、各端子の入出力回路タイプと、未使用時の処理方法を示します。また、図1 - 1は各タイプの回路です。

表1 - 1 端子の入出力回路タイプと未使用時の推奨接続方法

端 子	入出力回路タイプ	推奨接続方法
P00/TO10-P03/TO13	5-A	入力状態：個別に抵抗を介してV <sub>DD</sub> またはV <sub>SS</sub> に接続 出力状態：オープン
P10-P17		
P20/NMI	2	V <sub>SS</sub> に接続
P21/INTP0/TO00-P25/INTP4/TO04	8-A	入力状態：個別に抵抗を介してV <sub>DD</sub> またはV <sub>SS</sub> に接続 出力状態：オープン
P26/INTP5/TO05/TI		
P30/TxD	5-A	
P31/RxD		
P32/ $\overline{\text{SCK0}}$	8-A	
P33/SO	5-A	
P34/SI	8-A	
P35/ $\overline{\text{SCK1}}$		
P40/AD0-P47/AD7	5-A	
P50/AD8-P57/AD15		
P70/ANI0-P77/ANI7	9	V <sub>SS</sub> に接続
P80/ANI8-P87/ANI15		
P90/RD	5-A	入力状態：個別に抵抗を介してV <sub>DD</sub> またはV <sub>SS</sub> に接続 出力状態：オープン
P91/ $\overline{\text{LWR}}$		
P92/ $\overline{\text{HWR}}$		
ASTB	4	オープン
CLKOUT	3	
$\overline{\text{WDTO}}$	19	V <sub>SS</sub> に接続
$\overline{\text{WAIT}}$	1	V <sub>DD</sub> に接続
MODE0-MODE2	1	-
$\overline{\text{RESET}}$	2	
AV <sub>REF</sub> , AV <sub>SS</sub>	-	V <sub>SS</sub> に接続
AV <sub>DD</sub>		V <sub>DD</sub> に接続
IC		V <sub>SS</sub> に接続

図 1 - 1 端子の入出力回路

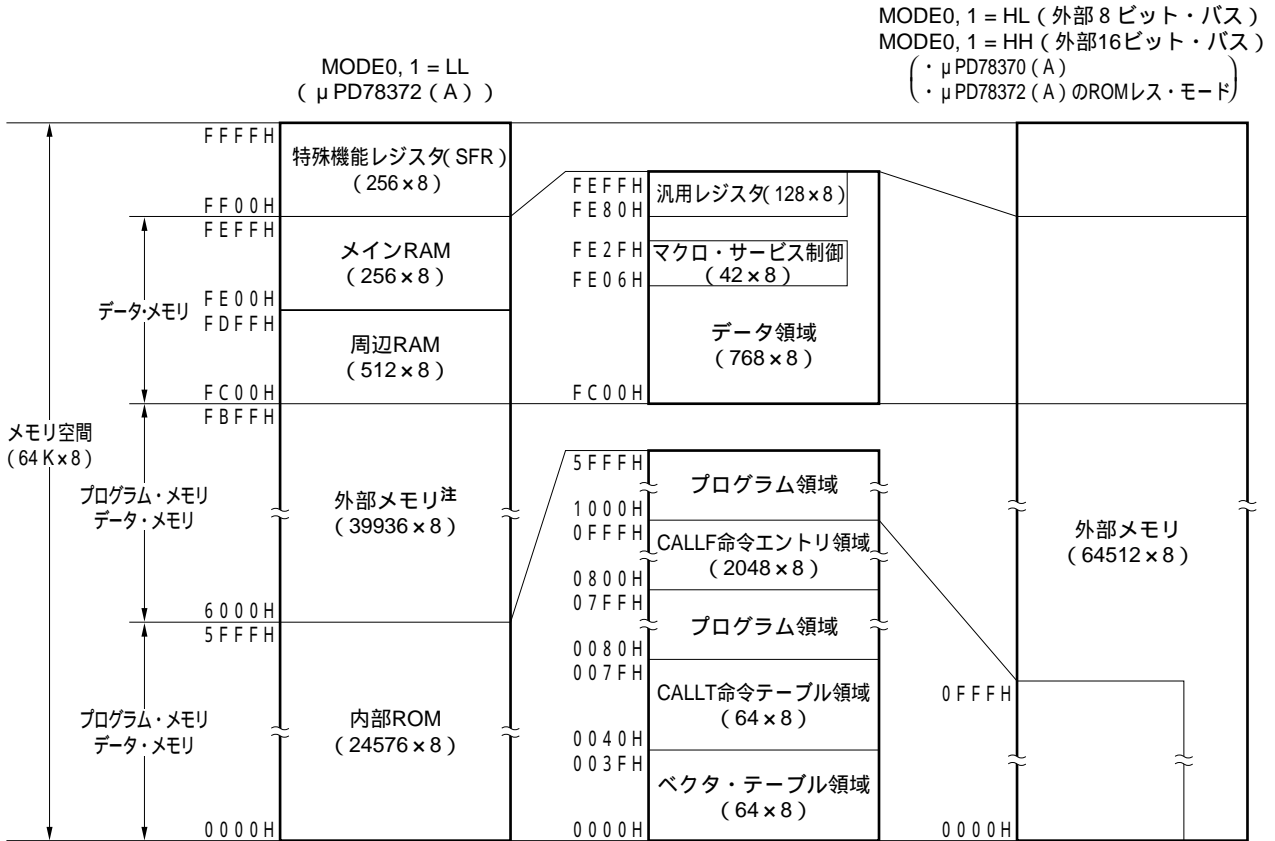
<p>タイプ 1</p> 	<p>タイプ 5-A</p> 
<p>タイプ 2</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力となっています。</p>	<p>タイプ 8-A</p> 
<p>タイプ 3</p> 	<p>タイプ 9</p> 
<p>タイプ 4</p>  <p>出力ハイ・インピーダンス (P-ch, N-chともにオフ) とすることができるプッシュプル出力となっています。</p>	<p>タイプ 19</p> 

2. CPUアーキテクチャ

2.1 メモリ空間

μPD78372 (A) は、64 Kバイトのメモリ空間をアクセスできます。図2 - 1に、メモリ・マップを示します。

図2 - 1 メモリ・マップ



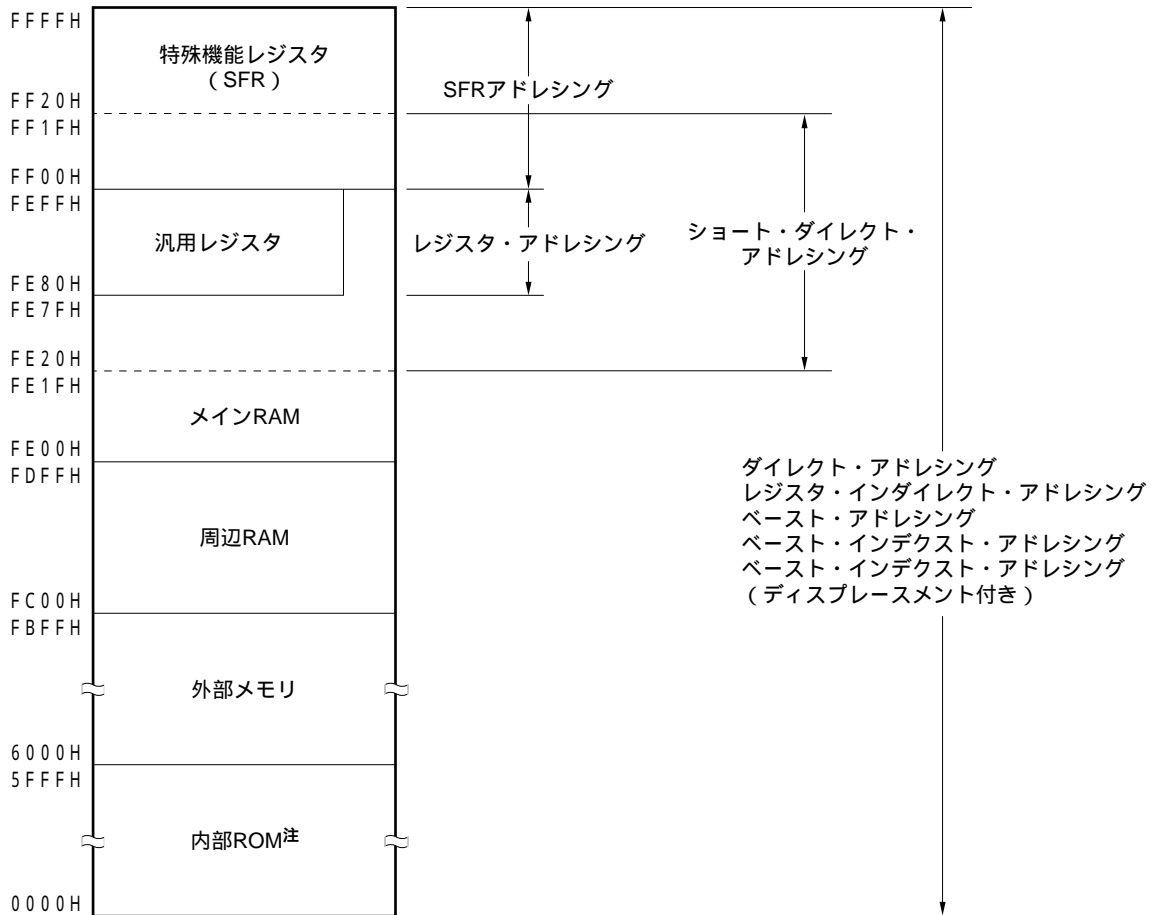
注 外部メモリ拡張モードでアクセス。

注意 メインRAM領域 (FE00H-FEFFFH) へのワード・アクセス (スタック操作を含む) を実行する場合、オペランドで指定するアドレスは偶数に限ります。

### 2.2 データ・メモリ・アドレッシング

μPD78372 (A) は、メモリの操作性や高級言語対応を考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵しているFC00H - FFFFHでは、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。

図2 - 2 データ・メモリのアドレッシング



注 μPD78370 (A) , または μPD78372 (A) のROMレス・モードの場合、外部メモリになります。

注意 メインRAM領域 (FE00H - FEFFFH) へのワード・アクセス (スタック操作を含む) を実行する場合、オペランドで指定するアドレスは偶数に限ります。

### 2.3 プロセッサ・レジスタ

μPD78372 (A) は、次に示す3つのプロセッサ・レジスタを内蔵しています。

- ・制御レジスタ
- ・汎用レジスタ
- ・特殊機能レジスタ (SFR)

2.3.1 制御レジスタ

(1) プログラム・カウンタ (PC)

次に実行する命令のアドレスを保持する16ビット・レジスタです。

(2) プログラム・ステータス・ワード (PSW)

命令実行結果によるCPUのステータスを示す16ビット・レジスタです。

(3) スタック・ポインタ (SP)

メモリのスタック領域 (LIFO形式) の先頭アドレスを示す16ビット・レジスタです。

(4) CPUコントロール・ワード (CCW)

CPUの制御に関する8ビット・レジスタです。

図2 - 3 制御レジスタの構成

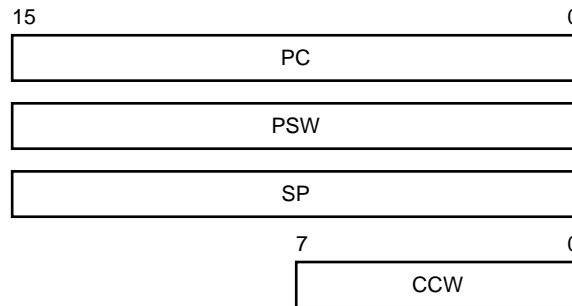
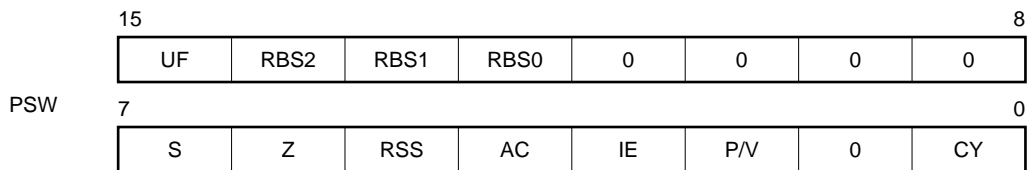
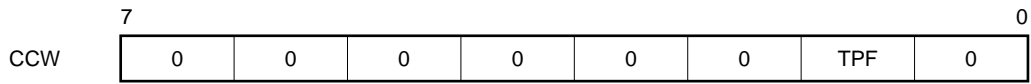


図2 - 4 PSWの構成



- UF : ユーザ・フラグ
- RBS0-RBS2 : レジスタ・バンク選択フラグ
- S : サイン・フラグ (演算結果のMSB)
- Z : ゼロ・フラグ
- RSS : レジスタ・セット選択フラグ
- AC : 補助キャリー・フラグ
- IE : 割り込み要求許可フラグ
- P/V : パリティ/オーバーフロー・フラグ
- CY : キャリー・フラグ

図2 - 5 CCWの構成



TPF : テーブル・ポジション・フラグ

2.3.2 汎用レジスタ

8ワード×16ビットを1バンクとして8バンク内蔵しています。汎用レジスタの構成を図2 - 6に示します。汎用レジスタはFE80H-FEFFFHの領域にマッピングされています。8ビット・レジスタとして機能する以外に16ビット・レジスタとしての使用も可能です(図2 - 7参照)。この豊富なレジスタによって、複雑なマルチタスク処理を容易に制御できます。

図2 - 6 汎用レジスタの構成

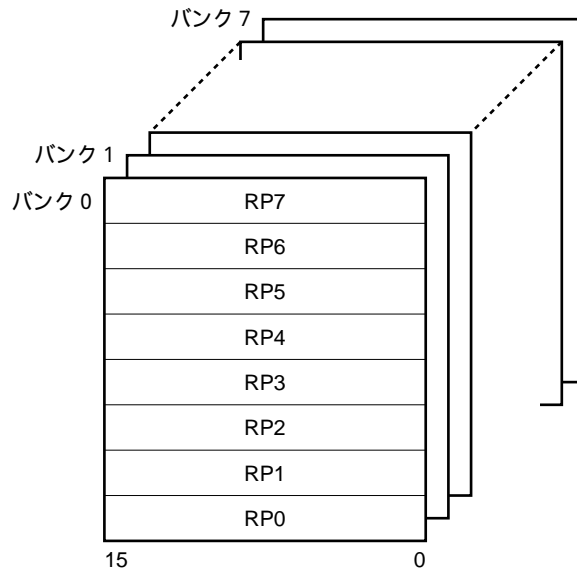
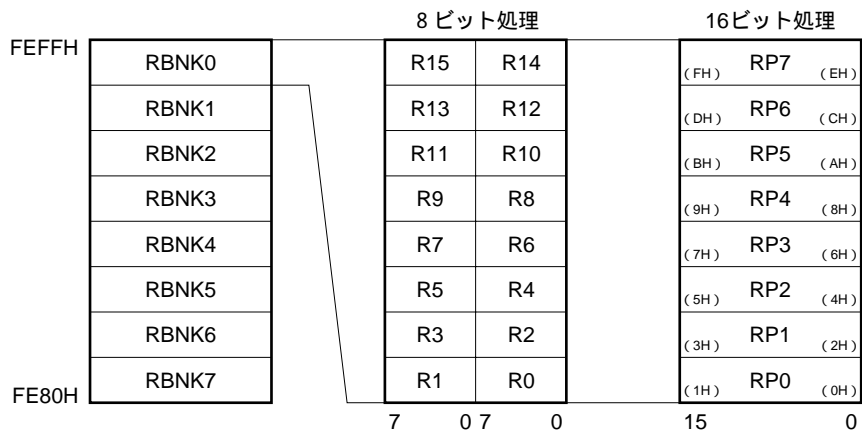


図2 - 7 汎用レジスタの処理ビット



### 2.3.3 特殊機能レジスタ (SFR)

内蔵周辺ハードウェアのモード・レジスタ、コントロール・レジスタなどの特別な機能が割り付けられたレジスタで、FF00H - FFFFHの256バイトの空間にマッピングされています。

表 2 - 1 に特殊機能レジスタ (SFR) の一覧を示します。表中の項目の意味は次のようになります。

- ・略号 ..... 内蔵されたSFRを示す記号。命令のオペランド欄に記述できます。
- ・R/W ..... 該当するSFRが読み出し / 書き込みが可能かどうかを示します。
  - R/W : 読み出し (Read) / 書き込み (Write) 可能
  - R : 読み出し (Read) のみ
  - W : 書き込み (Write) のみ
- ・操作可能ビット単位... 該当するSFRを操作する場合に、適応可能な操作ビット単位を示します。16ビット操作可能なSFRはオペランドのsfrpに記述でき、アドレスで指定する場合は偶数アドレスを記述します。
  - 1ビット操作可能なSFRは、ビット操作命令に記述できます。
- ・リセット時 ..... RESET入力時の各レジスタの状態を示します。

**注意 1** . FF00H - FFFFHの領域で、特殊機能レジスタが割り付けられていないアドレスは、アクセスしないでください。アクセスすると誤動作することがあります。

**2** . 読み出しのみのレジスタに書き込みをしないでください。書き込みをすると内部回路が正常に動作しなくなることがあります。



表 2 - 1 特殊機能レジスタ一覧 (1/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF00H	ポート 0	P0	R/W			-	不定
FF01H	ポート 1	P1				-	
FF02H	ポート 2	P2	R/W <sup>注1</sup>			-	
FF03H	ポート 3	P3	R/W			-	
FF04H	ポート 4	P4 <sup>注2</sup>				-	
FF05H	ポート 5	P5 <sup>注2</sup>				-	
FF07H	ポート 7	P7	R			-	
FF08H	ポート 8	P8				-	
FF09H	ポート 9	P9	R/W			-	
FF10H	タイマ・ロウ・アクセス・レジスタ	TLA				-	
FF12H	タイマ・レジスタ 0	TM0	R	-	-		0000H
FF13H							
FF14H	キャプチャ/コンペア・レジスタ00	CC00	R/W	-	-		不定
FF15H							
FF16H	キャプチャ/コンペア・レジスタ01	CC01		-	-		
FF17H							
FF18H	キャプチャ/コンペア・レジスタ02	CC02		-	-		
FF19H							
FF1AH	キャプチャ/コンペア・レジスタ03	CC03		-	-		
FF1BH							
FF1CH	キャプチャ/コンペア・レジスタ04	CC04		-	-		
FF1DH							
FF1EH	キャプチャ/コンペア・レジスタ05	CC05		-	-		
FF1FH							
FF20H	ポート 0 モード・レジスタ	PM0				-	XXXX 1111B
FF21H	ポート 1 モード・レジスタ	PM1				-	FFH
FF22H	ポート 2 モード・レジスタ	PM2 <sup>注3</sup>				-	X111 1111B
FF23H	ポート 3 モード・レジスタ	PM3				-	XX11 1111B
FF25H	ポート 5 モード・レジスタ	PM5 <sup>注2</sup>				-	FFH
FF29H	ポート 9 モード・レジスタ	PM9				-	XXXX X111B
FF30H	タイマ・ユニット・モード・レジスタ 0	TUM0				-	00H
FF31H	タイマ・ユニット・モード・レジスタ 1	TUM1				-	
FF32H	タイマ・モード・コントロール・レジスタ	TMC				-	
FF33H	タイマ出力コントロール・レジスタ 0	TOC0				-	
FF34H	タイマ出力コントロール・レジスタ 1	TOC1				-	
FF35H	タイマ出力コントロール・レジスタ 2	TOC2				-	

注 1 . ビット 0 は読み出しのみ可能です。

2 . μPD78370 ( A ) にはありません。

3 . ビット 0 は “ 1 ” に固定です。

表 2 - 1 特殊機能レジスタ一覧 (2/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時	
				1ビット	8ビット	16ビット		
FF36H	プリスケアラ・モード・レジスタ	PRM	R/W			-	00H	
FF37H	ノイズ・プロテクション・コントロール・レジスタ	NPC				-		
FF3CH	外部割り込みモード・レジスタ0	INTM0				-		
FF3DH	外部割り込みモード・レジスタ1	INTM1				-		
FF40H	ポート0モード・コントロール・レジスタ	PMC0				-		XXXX 0000B
FF42H	ポート2モード・コントロール・レジスタ	PMC2 <sup>注</sup>				-		X000 0000B
FF43H	ポート3モード・コントロール・レジスタ	PMC3				-		XX00 0000B
FF44H	プルアップ抵抗オプション・レジスタL	PUOL				-		00H
FF45H	プルアップ抵抗オプション・レジスタH	PUOH				-		
FF50H	タイマ・レジスタ1	TM1		R	-	-		
FF51H								
FF52H	コンペア・レジスタ10	CM10	R/W	-	-		不定	
FF53H								
FF54H	コンペア・レジスタ11	CM11		-	-			
FF55H								
FF56H	コンペア・レジスタ12	CM12		-	-			
FF57H								
FF58H	コンペア・レジスタ13	CM13		-	-			
FF59H								
FF62H	ポート・リード・コントロール・レジスタ	PRDC				-		00H
FF68H	A/Dコンバータ・モード・レジスタ	ADM				-		
FF70H	A/Dコンバージョン・リザルト・レジスタ0	ADCR0	R	-	-		不定	
FF71H								
FF71H	A/Dコンバージョン・リザルト・レジスタ0H	ADCR0H		-		-		
FF72H	A/Dコンバージョン・リザルト・レジスタ1	ADCR1		-	-			
FF73H								
FF73H	A/Dコンバージョン・リザルト・レジスタ1H	ADCR1H		-		-		
FF74H	A/Dコンバージョン・リザルト・レジスタ2	ADCR2		-	-			
FF75H								
FF75H	A/Dコンバージョン・リザルト・レジスタ2H	ADCR2H		-		-		
FF76H	A/Dコンバージョン・リザルト・レジスタ3	ADCR3		-	-			
FF77H								
FF77H	A/Dコンバージョン・リザルト・レジスタ3H	ADCR3H	-		-			

注 ビット0は“0”に固定です。

表 2 - 1 特殊機能レジスタ一覧 (3/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF78H	A/Dコンバージョン・リザルト・レジスタ4	ADCR4	R	-	-		不定
FF79H							
FF79H	A/Dコンバージョン・リザルト・レジスタ4H	ADCR4H		-		-	
FF7AH	A/Dコンバージョン・リザルト・レジスタ5	ADCR5		-	-		
FF7BH							
FF7BH	A/Dコンバージョン・リザルト・レジスタ5H	ADCR5H		-		-	
FF7CH	A/Dコンバージョン・リザルト・レジスタ6	ADCR6		-	-		
FF7DH							
FF7DH	A/Dコンバージョン・リザルト・レジスタ6H	ADCR6H		-		-	
FF7EH	A/Dコンバージョン・リザルト・レジスタ7	ADCR7		-	-		
FF7FH							
FF7FH	A/Dコンバージョン・リザルト・レジスタ7H	ADCR7H		-		-	
FF80H	クロック同期式シリアル・インタフェース・モード・レジスタ	CSIM	R/W			-	00H
FF86H	シリアル/Oシフト・レジスタ	SIO				-	不定
FF88H	アシンクロナス・シリアル・インタフェース・モード・レジスタ	ASIM				-	80H
FF8AH	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS	R			-	00H
FF8CH	シリアル受信バッファ : UART	RXB		-		-	不定
FF8EH	シリアル送信シフト・レジスタ : UART	TXS	W	-		-	
FF90H	ポー・レート・ジェネレータ・モード・レジスタ	BRGM	R/W			-	00H
FF92H	ポー・レート・ジェネレータ・レジスタ	BRG		-	-		不定
FF93H							
FFA8H	インサービス・プライオリティ・レジスタ	ISPR	R			-	00H
FFAAH	割り込みモード・コントロール・レジスタ	IMC	R/W			-	80H
FFACH	割り込みマスク・フラグ・レジスタ	MK0L				-	FFH
FFACH	割り込みマスク・フラグ・レジスタ	MK0		-	-		FFFFH
FFADH							
FFADH	割り込みマスク・フラグ・レジスタ	MK0H				-	FFH
FFAEH	割り込みマスク・フラグ・レジスタ	MK1L				-	1FH
FFAEH	割り込みマスク・フラグ・レジスタ	MK1		-	-		001FH
FFAFH							
FFC0H	スタンバイ・コントロール・レジスタ	STBC <sup>注</sup>		-		-	0000 X000B
FFC1H	CPUコントロール・ワード	CCW				-	00H
FFC2H	ウォッチドッグ・タイマ・モード・レジスタ	WDM <sup>注</sup>	-		-		
FFC4H	メモリ拡張モード・レジスタ	MM			-		

注 特殊命令のとき、書き込み可能です。

表 2 - 1 特殊機能レジスタ一覧 (4/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FFC6H FFC7H	プログラマブル・ウェイト・コントロール・レジスタ	PWC	R/W	-	-		C0AAH <sup>注</sup>
FFD0H   FFDFH	外部SFR領域	-				-	不定
FFE0H	割り込み制御レジスタ (INTOV0)	OVIC0				-	43H
FFE1H	" (INTOV1)	OVIC1				-	
FFE2H	" (INTP0L)	PLIC0				-	
FFE3H	" (INTP0H)	PHIC0				-	
FFE4H	" (INTP1L)	PLIC1				-	
FFE5H	" (INTP1H)	PHIC1				-	
FFE6H	" (INTP2L)	PLIC2				-	
FFE7H	" (INTP2H)	PHIC2				-	
FFE8H	" (INTP3L)	PLIC3				-	
FFE9H	" (INTP3H)	PHIC3				-	
FFEAH	" (INTP4)	PIC4				-	
FFEBH	" (INTP5)	PIC5				-	
FFECH	" (INTCM10)	CMIC10				-	
FFEDH	" (INTCM11)	CMIC11				-	
FFEEH	" (INTCM12)	CMIC12				-	
FFEFH	" (INTCM13)	CMIC13				-	
FFF0H	" (INTSER)	SERIC				-	
FFF1H	" (INTSR)	SRIC				-	
FFF2H	" (INTST)	STIC				-	
FFF3H	" (INTCSI)	CSIIC				-	
FFF4H	" (INTAD)	ADIC				-	

注 外部16ビット・バスのROMレス・モード (MODE0, 1 = HH) 時のみCFAAHになります。

### 3. ブロック機能

#### 3.1 エグゼキューション・ユニット (EXU)

EXUでは、アドレス計算、算術論理演算、データ転送などが、マイクロプログラムで制御されます。EXU内部には、256バイトのメインRAMを内蔵しています。

EXU内部のメインRAM (256バイト) は、命令によって、周辺RAM (512バイト) よりも高速にアクセスできます。

#### 3.2 バス・コントロール・ユニット (BCU)

BCUでは、エグゼキューション・ユニット (EXU) で得られた物理アドレスに基づいて、必要なバス・サイクルを起動します。EXUからバス・サイクル起動の要求がないときは、プリフェッチのためのアドレスを発生し、命令のプリフェッチを行います。プリフェッチした命令コードは、命令キューに取り込まれます。

8ビットまたは16ビットの外部データ・バスを使用できます (バス・サイジング機能)。

#### 3.3 ROM/RAM

24 KバイトのROMと512バイトの周辺RAMで構成されています。ただし、μPD78370 (A) はROMを内蔵していません。

MODE0, MODE1端子によりROMのアクセスを禁止し、64 Kバイトの外部メモリをアクセスすることができます。

#### 3.4 ポート

ポートには次の種類があります。

- ・入力ポート : 17本 (アナログ入力兼用 : 16本)
- ・入出力ポート : 43本 (μPD78372 (A) ) , 24本 (μPD78370 (A) )

デジタル・ポートとして動作するほかに、複合機能として内蔵ハードウェアの入出力端子としての機能を持っています。

#### 3.5 リアルタイム・パルス・ユニット (RPU)

RPUは、プログラマブルなパルスの出力およびパルス間隔や周波数の測定が可能なユニットです。

RPUは、次に示すハードウェアにより構成されています。

- ・18/16ビット・タイマ・カウンタ × 1
  - 18/16ビット・キャプチャ / コンペア・レジスタ × 6
  - タイマ出力 × 6
- ・16ビット・タイマ / イベント・カウンタ × 1
  - 16ビット・コンペア・レジスタ × 4
  - タイマ出力 × 4

### 3.6 A/Dコンバータ

16本のアナログ入力端子を持つ高速、高分解能の10ビットA/Dコンバータです。逐次比較方式を採用しています。

### 3.7 シリアル・インタフェース

次に示す2チャンネルの独立したシリアル・インタフェースを備えています。また、2つのシリアル・インタフェースには、それぞれ次のような動作モードがあります。

アシンクロナス・シリアル・インタフェース (UART)

- ・ UARTモード
- ・ CSIモード

クロック同期式シリアル・インタフェース (CSI)

- ・ 3線式シリアルI/Oモード

### 3.8 ウォッチドッグ・タイマ (WDT)

プログラムの暴走、システムの異常などを検出するための8ビットのウォッチドッグ・タイマを内蔵しています。ウォッチドッグ・タイマ割り込みの発生を外部に知らせるための $\overline{\text{WDTO}}$ 端子を備えています。

### 3.9 割り込みコントローラ

周辺ハードウェアおよび外部から発生する各種の割り込み要求 (NMI, INTP0-INTP5) を、次に示す3つのモードのいずれかによって処理します。また、4レベルの割り込み優先順位も指定できます。

- ・ ベクタ割り込み
- ・ マクロ・サービス
- ・ コンテキスト・スイッチング

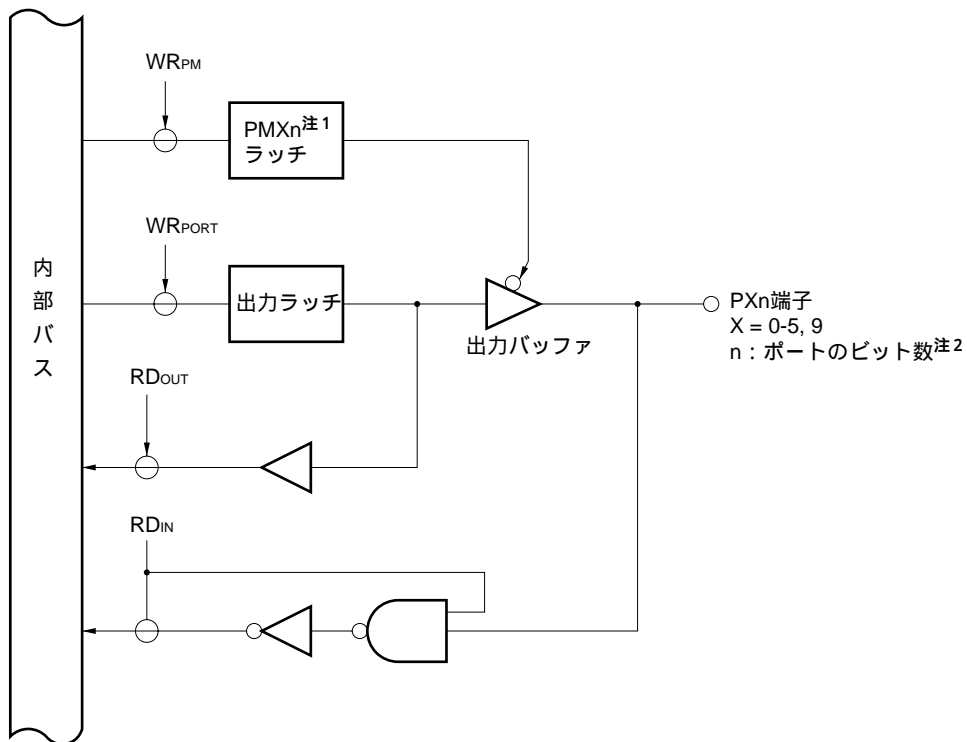
4 . 周辺ハードウェア機能

4.1 ポート機能

4.1.1 ハードウェア構成

μPD78372 ( A ) のポートは基本的に図 4 - 1 に示す 3 ステート双方向ポートで構成されています。  
 RESET入力によりポート・モード・レジスタの各ビットはセット ( 1 ) され、入力ポートに指定されます。全ポート端子はハイ・インピーダンス状態となります。また、出力ラッチの内容はRESET入力により不定になります。  
 図 4 - 2 にポート構成を示します。

図 4 - 1 入出力ポートの基本構成



注 1 . PMXnラッチ : ポート・モード・レジスタPMX ( X=0-3, 5, 9 ) のビット n

- 2 . X=0 のとき n=0-3
- X=1 , 4 , 5 のとき n=0-7
- X=2 のとき n=1-6
- X=3 のとき n=0-5
- X=9 のとき n=0-2

備考 1 . ポート 2 の P20 は入力専用端子。ポート 7 , 8 は入力専用ポート。

2 . ポート 4 は , メモリ拡張モード・レジスタ ( MM ) により入力 / 出力の指定可能。

4.1.2 デジタル入出力ポートの機能

μPD78372(A) は図4-2のようなポートを備えており、多様な制御ができます。

各ポートの機能は表4-1に示します。デジタル・ポートとして動作するほかに、複合機能として内蔵ハードウェアの入出力端子としての機能を持っています。

図4-2 ポート構成

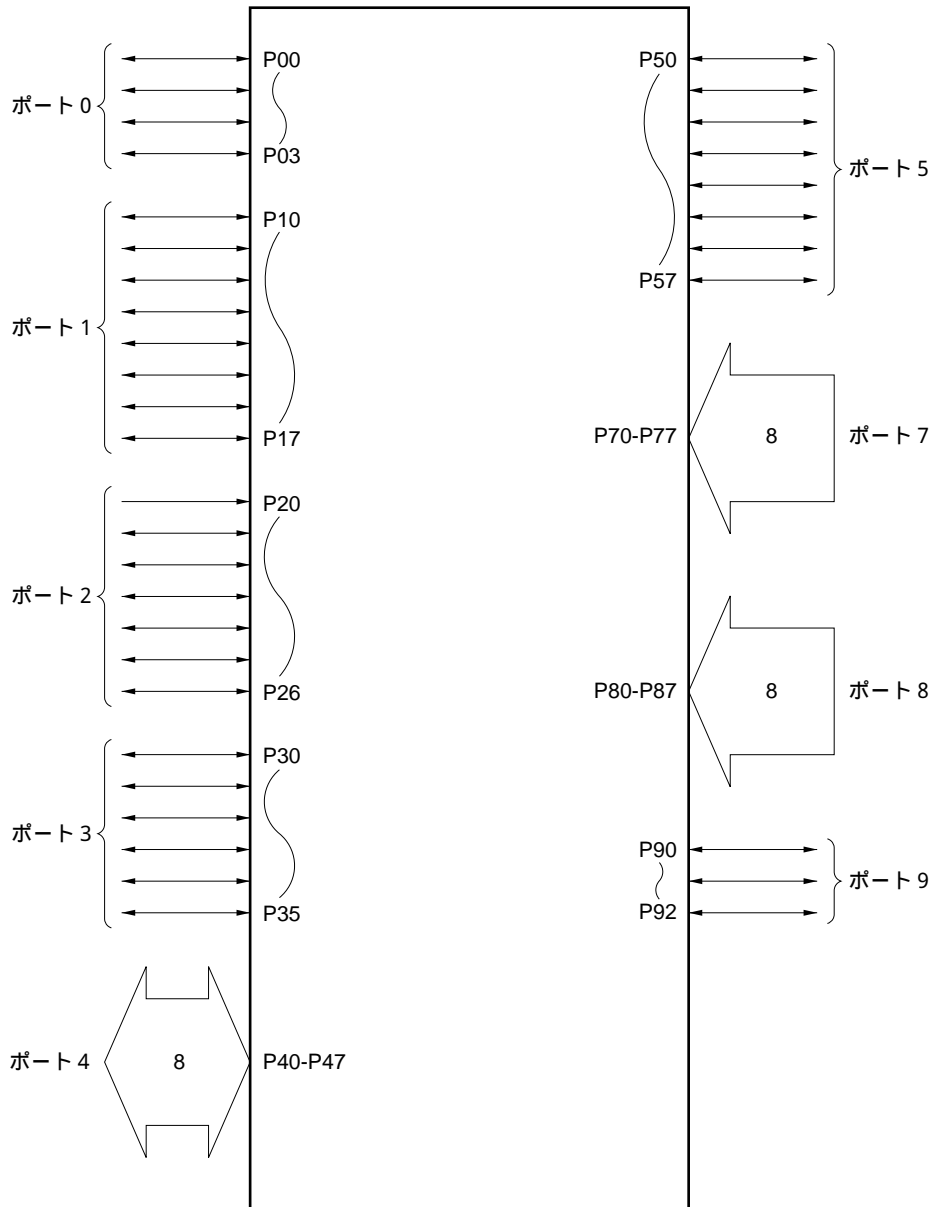




表4-1 各ポートの機能と複合機能

ポート名	ポート機能	複合機能
ポート0	4ビット入出力ポート 1ビット単位で入力/出力を指定可能	コントロール・モードでは、RPUのタイマ出力
ポート1	8ビット入出力ポート 1ビット単位で入力/出力を指定可能	-
ポート2	7ビット入出力ポート 1ビット単位で入力/出力を指定可能 (ただし、P20は入力専用端子) 入力ポート時、外部割り込み入力としても機能	コントロール・モードでは、RPUのタイマ出力
ポート3	6ビット入出力ポート 1ビット単位で入力/出力を指定可能	コントロール・モードでは、シリアル・インタフェース(UART, CSI)の入出力
ポート4	8ビット入出力ポート 8ビット単位で入力/出力を指定可能	メモリ拡張時のアドレス/データ・バス(AD0-AD7)
ポート5	8ビット入出力ポート 1ビット単位で入力/出力を指定可能	メモリ拡張時のアドレス/データ・バス(AD8-AD15)
ポート7	8ビット入力専用ポート	A/Dコンバータのアナログ入力(コントロール・モードに固定)
ポート8	8ビット入力専用ポート	A/Dコンバータのアナログ入力(コントロール・モードに固定)
ポート9	3ビット入出力ポート 1ビット単位で入力/出力を指定可能	メモリ拡張時の制御信号出力

備考 RPU：リアルタイム・パルス・ユニット

#### 4.1.3 ポート出力データのチェック機能

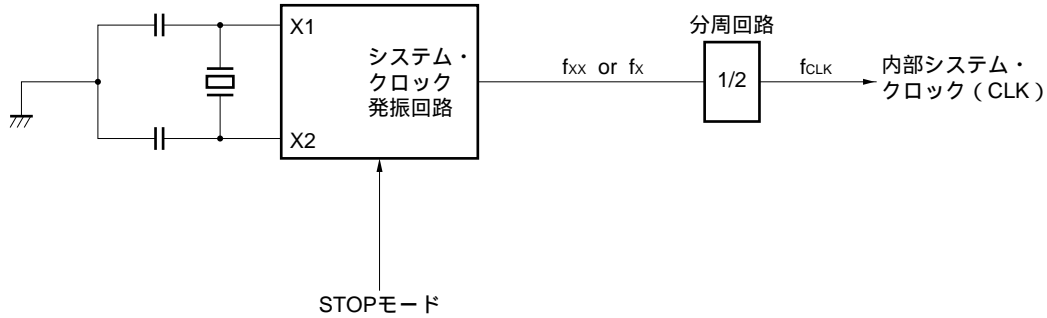
μPD78372(A)は、応用システムの信頼性を向上させるために、ポートが出力モードでも端子状態を読み込むことができる機能を備えています(端子アクセス・モード)。この機能により、必要に応じて出力データ(出力ラッチの内容)と実際の端子状態をチェックすることができます。また、頻繁にポートの状態をチェックするための専用命令(CHKL, CHKLA)を用意しています。

## 4.2 クロック発生回路

クロック発生回路は、CPUに供給される内部システム・クロック（CLK）を発生、制御する回路です。

クロック発生回路は、図4 - 3のように構成されています。

図4 - 3 クロック発生回路のブロック図



- 備考1** .  $f_{xx}$  : クリスタル発振周波数  
 2 .  $f_x$  : 外部クロック周波数  
 3 .  $f_{CLK}$  : 内部システム・クロック周波数

システム・クロック発振回路は、X1, X2端子に接続されたクリスタル振動子によって発振します。スタンバイ・モード（STOP）に設定すると、発振を停止します。

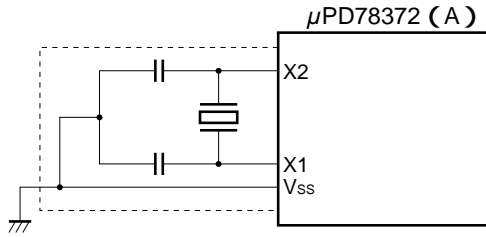
また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力します。X2端子はオープンにしてください。

**注意** 外部クロックを使用する場合、STOPモードに設定しないでください。

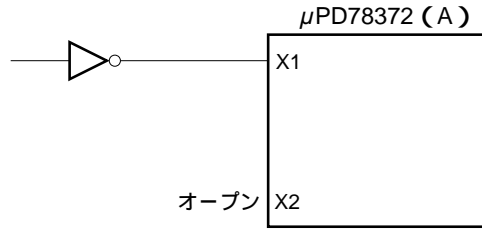
分周回路は、システム・クロック発振回路出力（クリスタル発振の場合 $f_{xx}$ 、外部クロックの場合 $f_x$ ）を2分周して、内部システム・クロック（ $f_{CLK}$ ）を生成します。

図4 - 4 システム・クロック発振回路の外付け回路

( a ) クリスタル発振



( b ) 外部クロック



注意1．システム・クロック発振回路を使用する場合には、配線容量などの影響を避けるために、図4 - 4の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV<sub>SS</sub>と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- ・発振回路から信号を取り出さない。

2．外部クロックを入力する場合には、X2端子に配線容量などの負荷が接続されないようにしてください。

4.3 リアルタイム・パルス・ユニット (RPU)

RPUは、プログラマブルなパルスの出力および、パルス間隔や周波数の計測が可能なユニットです。

RPUの最大の特徴は、豊富で多機能なタイマのパルス出力にあります。トグル出力や、セット・リセット出力など合計10本のパルス出力が可能です。

RPUは、18/16ビット・タイマとして機能するタイマ0と、16ビット・タイマ/イベント・カウンタとして機能するタイマ1により構成されています。

図4-5にRPUのブロック図を示します。また、RPUの構成一覧を表4-2に示します。

図4-5 リアルタイム・パルス・ユニットのブロック図 (1/2)

タイマ0 (18/16ビット・タイマ・カウンタ)

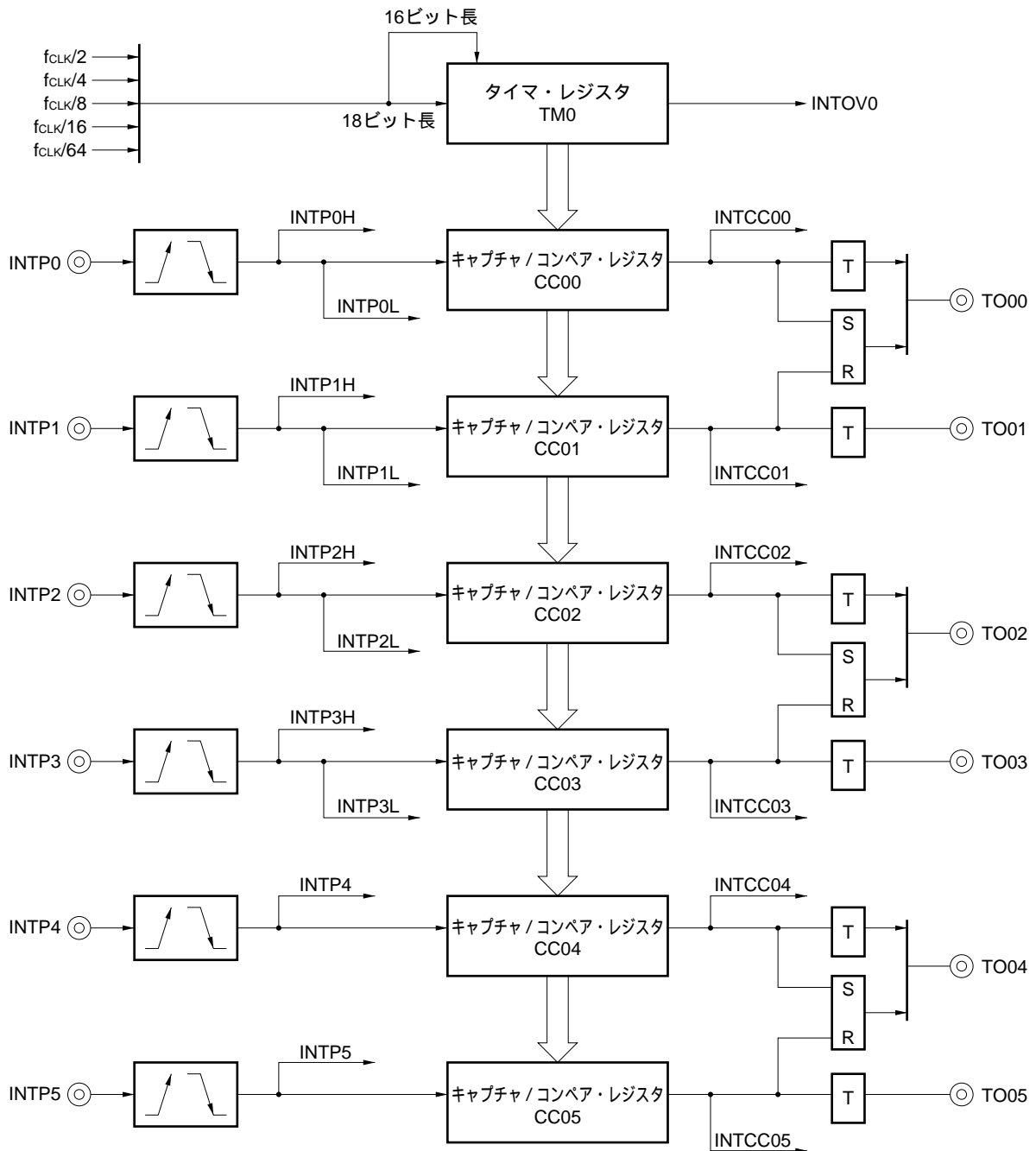


図4 - 5 リアルタイム・パルス・ユニットのブロック図 (2/2)

タイマ1 (16ビット・タイマ/イベント・カウンタ)

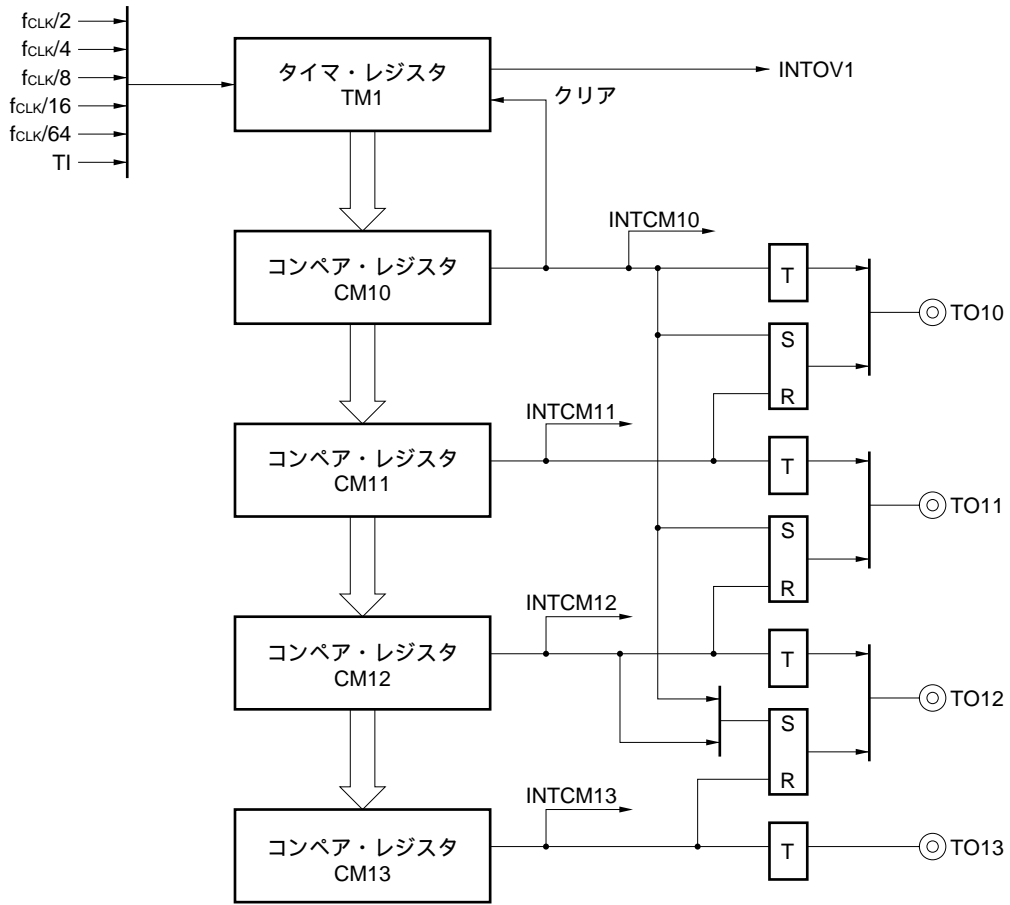


表 4 - 2 リアルタイム・パルス・ユニットの構成一覧

	タイマ・レジスタ	カウント・クロック	レジスタ	コンペア・レジスタ 一致割り込み	キャプチャ・トリガ	タイマ出力	
						トグル	SR
タイマ 0	18ビット・タイマ (TM0)	fCLK/2	18/16ビット・キャプチャ/コンペア・レジスタ (CC00)	INTCC00	INTP0	TO00	TO00 (S)
		fCLK/4	" (CC01)	INTCC01	INTP1	TO01	TO00 (R)
		fCLK/8	" (CC02)	INTCC02	INTP2	TO02	TO02 (S)
		fCLK/16	" (CC03)	INTCC03	INTP3	TO03	TO02 (R)
		fCLK/64	" (CC04)	INTCC04	INTP4	TO04	TO04 (S)
		fCLK/64	" (CC05)	INTCC05	INTP5	TO05	TO04 (R)
タイマ 1	16ビット・タイマ (TM1)	fCLK/2	16ビット・コンペア・レジスタ (CM10)	INTCM10	-	TO10	TO10 (S)
		fCLK/4					TO11 (S)
		fCLK/8					TO12 (S)
		fCLK/16	" (CM11)	INTCM11	-	TO11	TO10 (R)
		fCLK/64	" (CM12)	INTCM12	-	TO12	TO11 (R)
		TI端子入力	" (CM13)	INTCM13	-	TO13	TO12 (R)

備考 1 . fCLK : 内部システム・クロック

2 . INTPn ( n = 0-5 ) : 外部割り込み

3 . SR : セット・リセット出力

4.4 A/Dコンバータ

μPD78372 ( A ) は、高速、高分解能の10ビット・アナログ/ディジタル (A/D) コンバータを内蔵しています。A/Dコンバータは、16本のアナログ入力 (ANI0-ANI15)、8個のA/D変換結果レジスタ (ADCR0-ADCR7) を備えています。変換動作モードには、セレクト・モードとスキャン・モードがあります。

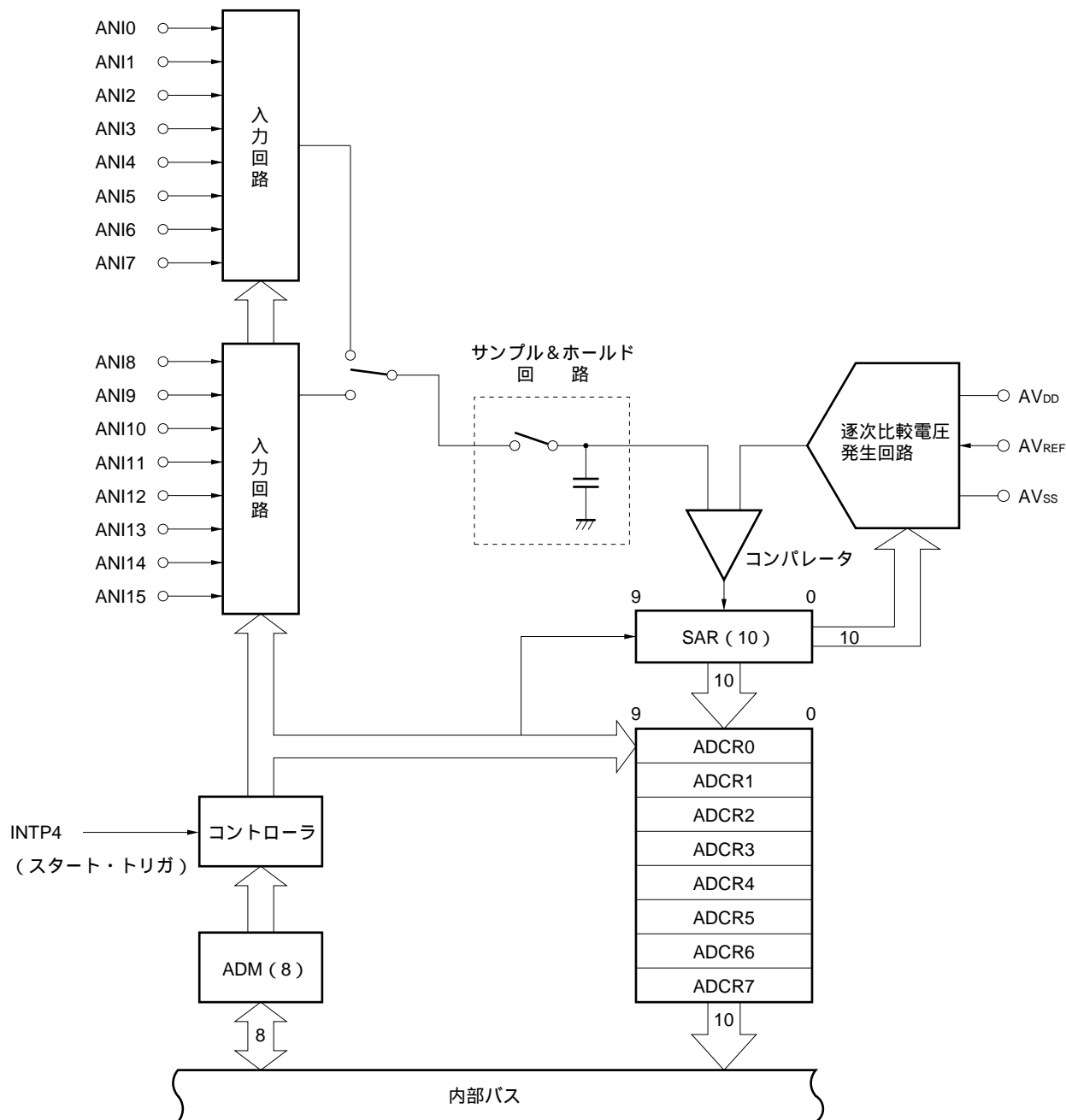
A/D変換が終了するとA/D変換終了割り込み (INTAD) を発生します。この割り込みにより、データの自動転送などをハードウェアで実行するマクロ・サービスを起動できます。

A/Dコンバータのアナログ入力の上位8チャンネル (ANI8-ANI15) と下位8チャンネル (ANI0-ANI7) の切り替えは、A/Dコンバータ・モード・レジスタ (ADM) で行います。

4.4.1 構成

A/Dコンバータのブロック図を図4 - 6 に示します。

図4 - 6 A/Dコンバータのブロック図



4.4.2 動作

A/Dコンバータのアナログ入力の上位8チャンネル(ANI8-ANI15)と下位8チャンネル(ANI0-ANI7)は、まったく同一の機能を持っているため、以下の動作説明では特に記述しないかぎり下位8チャンネル(ANI0-ANI7)を代表して説明します。

A/D変換動作は、A/Dコンバータ・モード・レジスタ(ADM)へのデータ書き込みにより開始します。A/Dコンバータの動作として、次に示すセレクト・モードまたはスキャン・モードを選択できます。これらの動作モードは、ADMレジスタで指定します。

(1) セレクト・モード

ADMレジスタで指定される1つのアナログ入力をA/D変換します。1端子のA/D変換を連続的に行うモードです。

変換の結果を、指定した端子と1対1に対応した変換結果レジスタ(ADCR)に格納する1バッファ・モードと、4回の変換結果を4つの変換結果レジスタ(ADCR0-ADCR3またはADCR4-ADCR7)に格納する4バッファ・モードの2種類の変換モードを指定できます。

図4-7 セレクト・モード(1バッファ・モード)のA/D変換動作

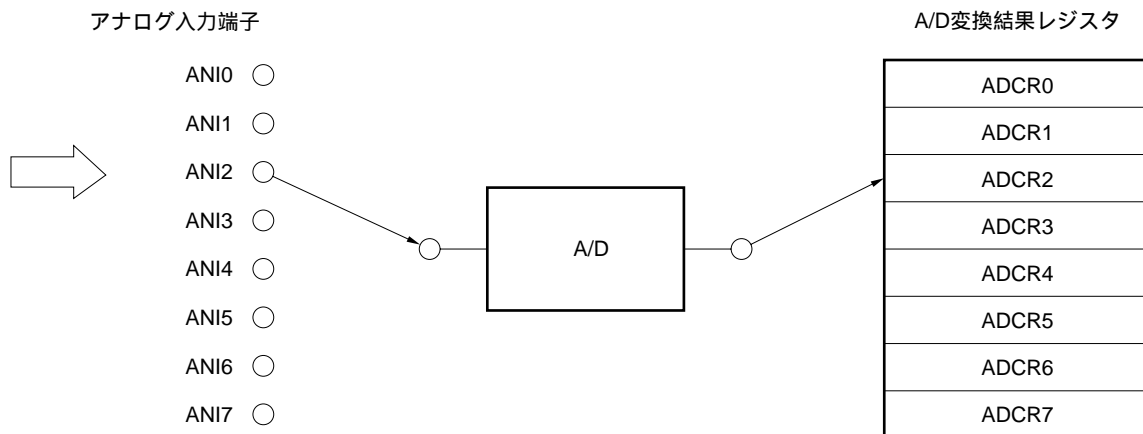
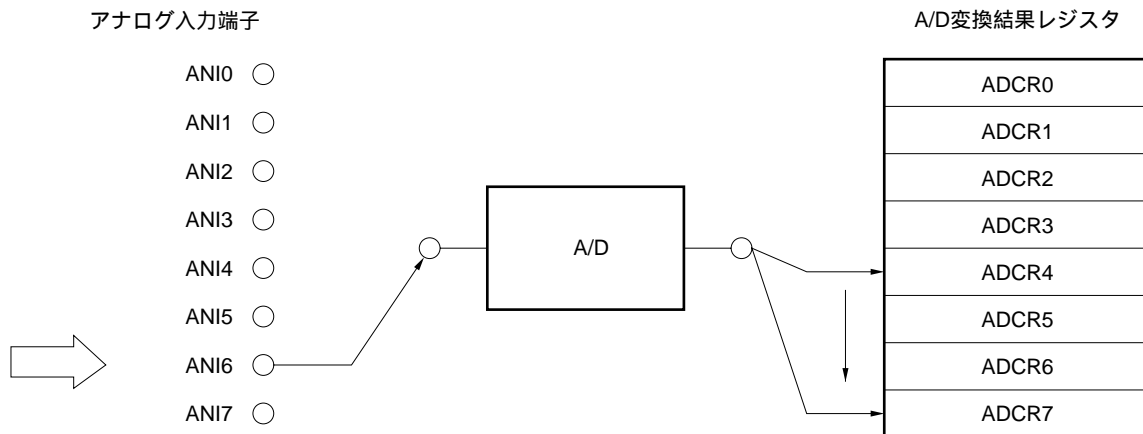


図4-8 セレクト・モード(4バッファ・モード)のA/D変換動作

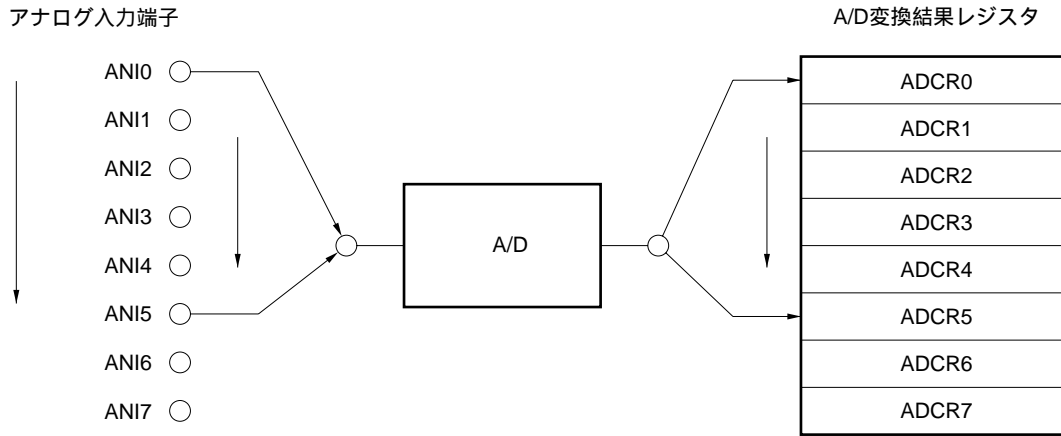




(2) スキャン・モード

ADMレジスタで指定されるアナログ入力を順に選択し、A/D変換します。指定した端子のA/D変換がすべて終了するとA/D変換終了割り込み (INTAD) を発生します。複数端子のA/D変換を行うモードです。

図4-9 スキャン・モードのA/D変換動作



#### 4.5 シリアル・インタフェース

$\mu$ PD78372 ( A ) は、独立した 2 チャンネルのシリアル・インタフェースを備えています。

アシンクロナス・シリアル・インタフェース ( UART )

- ・ UARTモード
- ・ CSIモード

クロック同期式シリアル・インタフェース ( CSI )

- ・ 3 線式シリアルI/Oモード

また、 $\mu$ PD78372 ( A ) は、ポー・レート・ジェネレータを内蔵しているため、動作クロック周波数によらず任意のシリアル転送レートを設定することが可能です。ポー・レート・ジェネレータは、2 チャンネルのシリアル・インタフェースに対して共通に機能します。

4.5.1 アシクロナス・シリアル・インタフェース (UART)

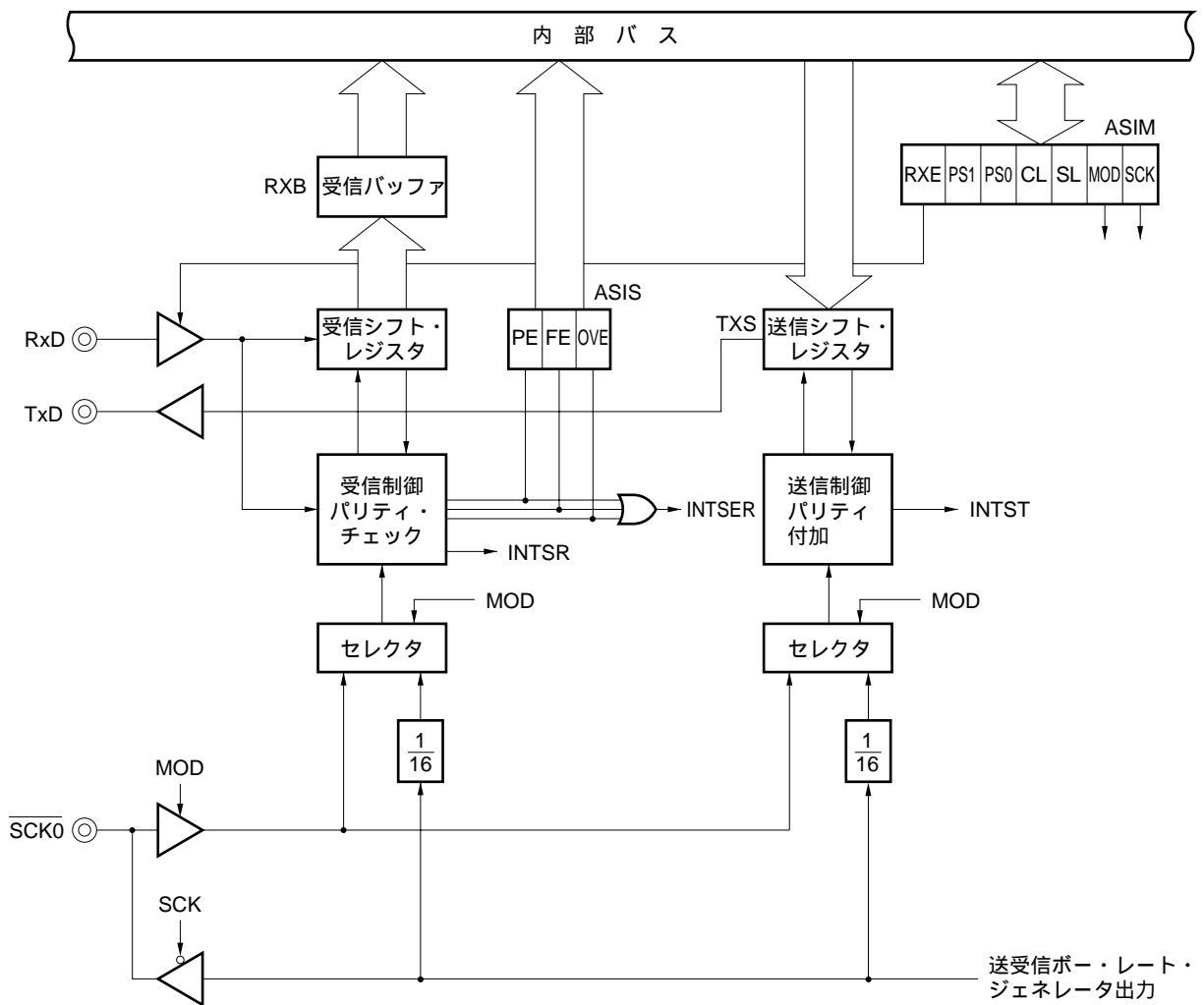
アシクロナス・シリアル・インタフェースとして、UART (Universal Asynchronous Receiver Transmitter) を内蔵しています。これは、スタート・ビットに続く1バイトのシリアル・データを送受信する方式で、全二重動作が可能です。

アシクロナス・シリアル・インタフェースには次に示す2つの動作モードがあります。

- ・UARTモード：スタート/ストップ・ビットにより、データのビット同期とキャラクタ同期をとって送受信を行います。
- ・CSIモード：UARTフォーマットのデータをシリアル・クロックに同期して送受信を行います。

アシクロナス・シリアル・インタフェースは、図4-10のように構成されます。

図4-10 アシクロナス・シリアル・インタフェースのブロック図

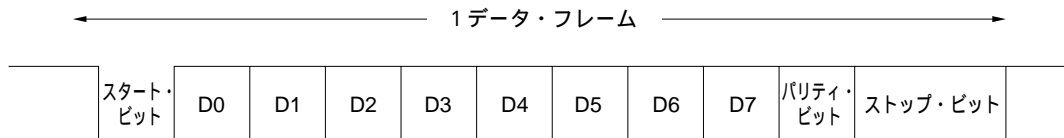


送受信データのフォーマットは図4 - 11に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタによって行います。

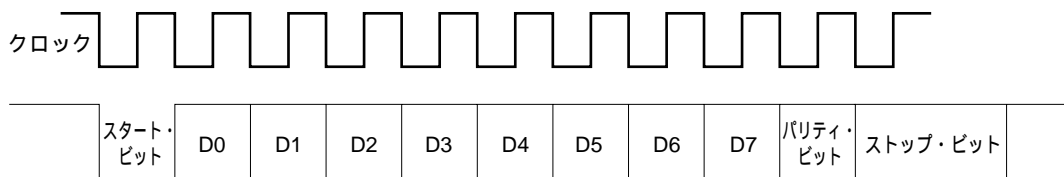
図4 - 11 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット

(1) UARTモード



- ・スタート・ビット..... 1ビット
- ・キャラクタ・ビット..... 7ビット / 8ビット
- ・パリティ・ビット..... 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット..... 1ビット / 2ビット

(2) CSIモード



- ・スタート・ビット..... 1ビット
- ・キャラクタ・ビット..... 7ビット / 8ビット
- ・パリティ・ビット..... 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット..... 1ビット / 2ビット

シリアル転送レートは、アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) とボー・レート・ジェネレータ・レジスタ (BRG) の設定により、次の範囲から選択できます。

- ・ UARTモード : 75 bps-38.4 Kbps
- ・ CSIモード : 1200 bps-1 Mbps

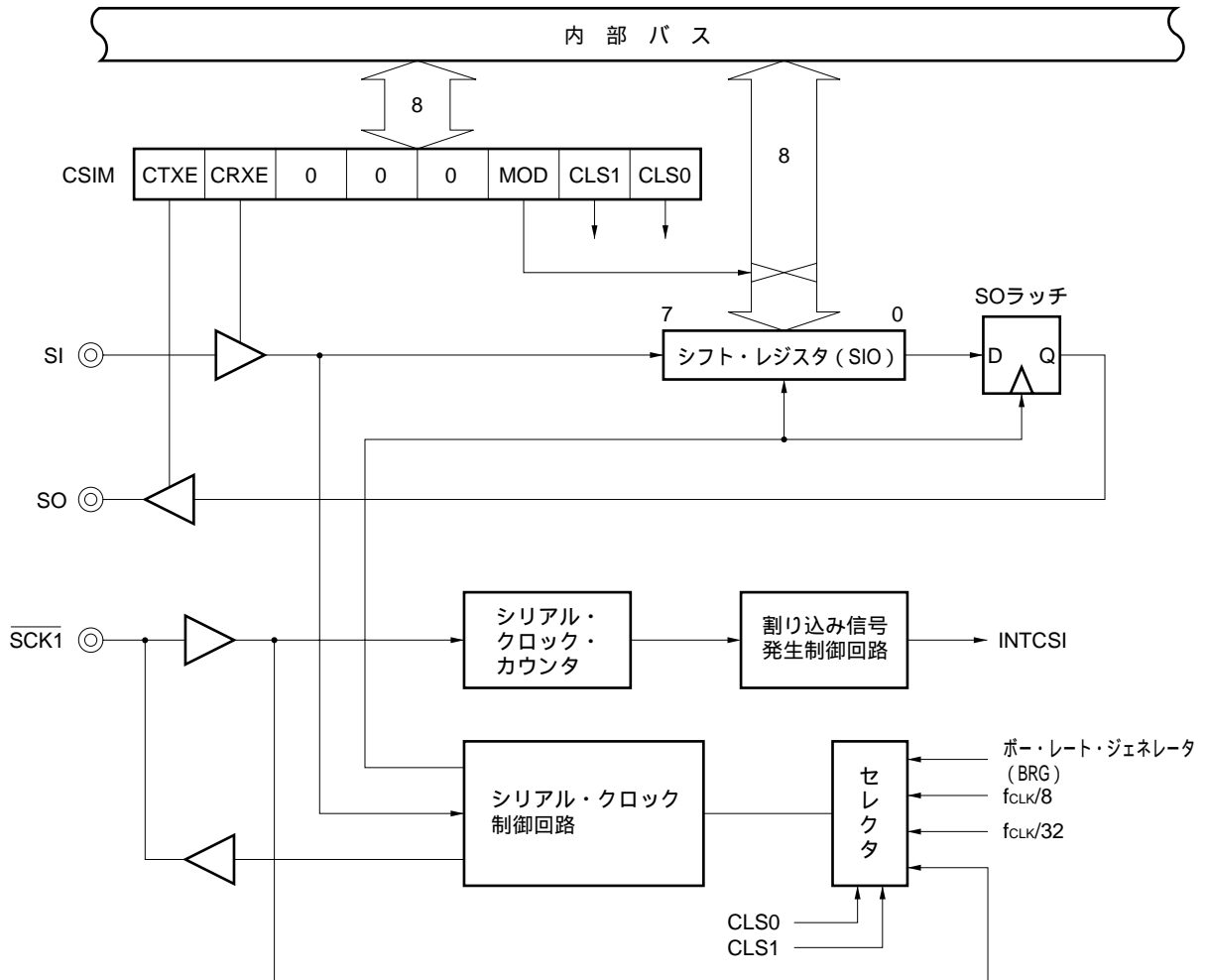
また、シリアル・データの受信エラーが発生した場合、アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) の状態を読むことによって受信エラーの内容を判定することができます。

4.5.2 クロック同期式シリアル・インタフェース (CSI)

クロック同期式シリアル・インタフェースは、図4-12のように構成されます。

動作モードは3線式シリアルI/Oモードのみです。

図4-12 クロック同期式シリアル・インタフェースのブロック図

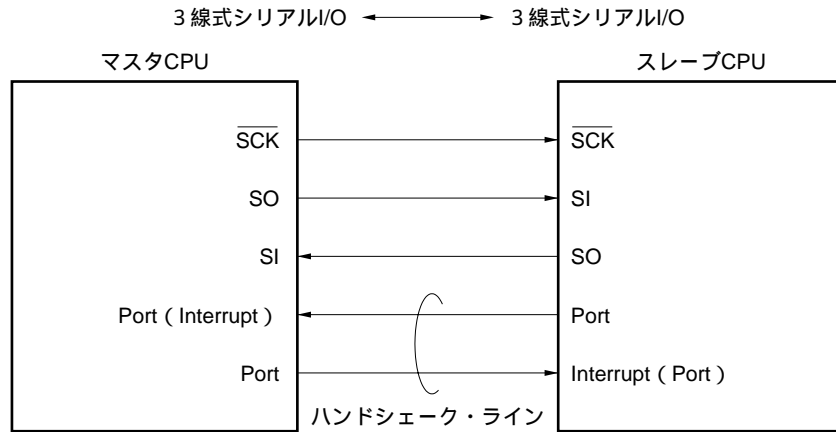


3線式シリアルI/Oモード

3線式シリアルI/Oモードは、従来のクロック同期式シリアル・インタフェースを内蔵するデバイスとの通信を行うためのモードです。

基本的にはシリアル・クロック ( $\overline{\text{SCK}}$ ) とシリアル・データ出力 (SO) とシリアル・データ入力 (SI) の3本のラインで、8ビット長のデータ通信を行います。複数のデバイスと接続する場合はハンドシェーク用のラインが必要になります。

図4 - 13 3線式シリアルI/Oのシステム構成例



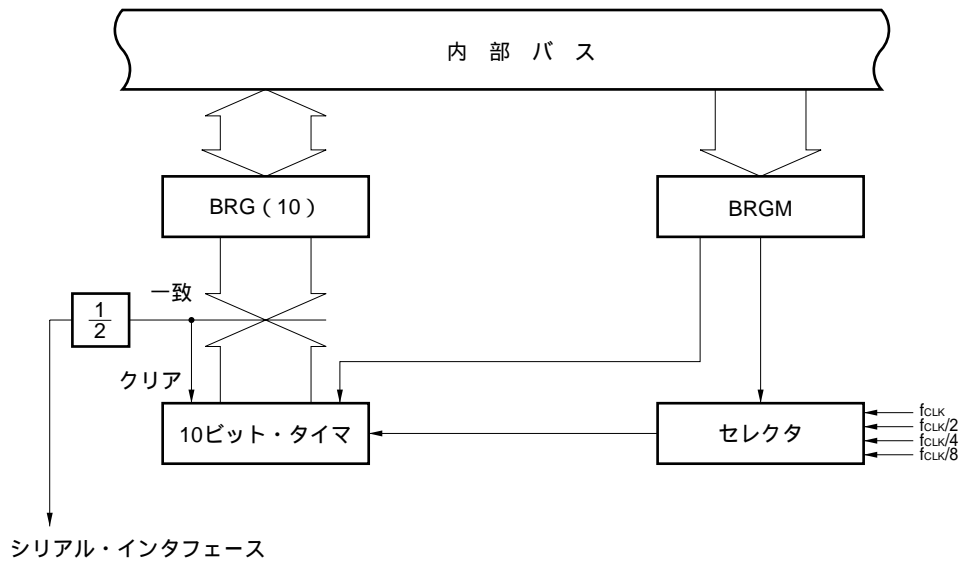
4.5.3 ポー・レート・ジェネレータ (BRG)

ポー・レート・ジェネレータは、シリアル・インタフェースの送受信シフト・クロックを発生するブロックで、次に示すハードウェアで構成しています。

- ・モード・レジスタ : BRGM
- ・10ビット・コンペア・レジスタ : BRG
- ・10ビット・タイマ
- ・セレクタ

ポー・レート・ジェネレータの構成を図4 - 14に示します。

図4 - 14 ポー・レート・ジェネレータの構成



4.6 ウォッチドッグ・タイマ (WDT)

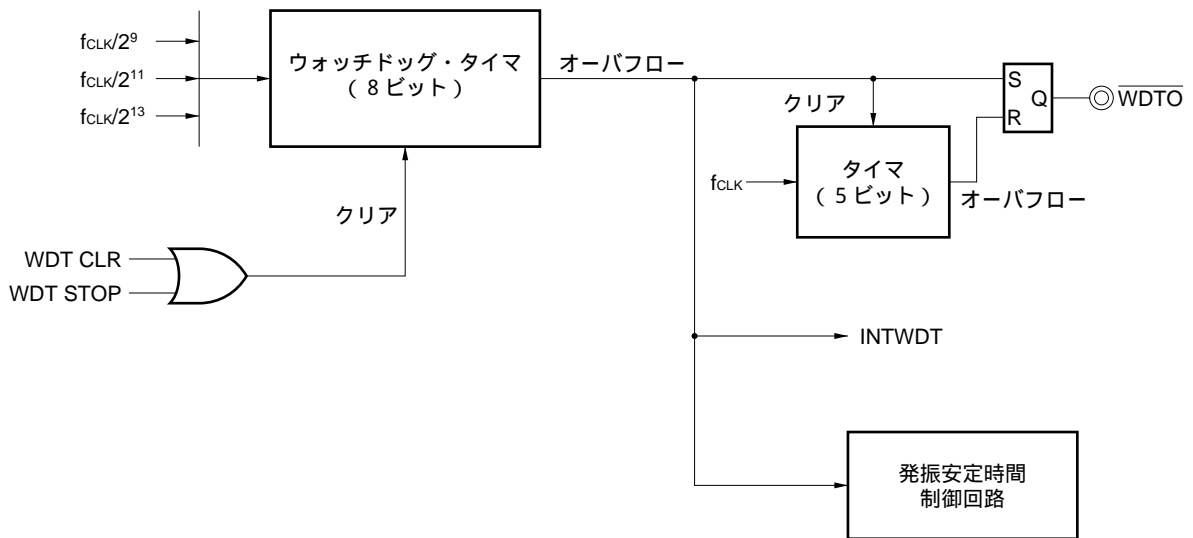
ウォッチドッグ・タイマは、プログラムの暴走やデッドロックを防ぐためのノンマスカブル割り込み機能を持ったフリー・ランニング・タイマです。プログラムの異常は、ウォッチドッグ・タイマのオーバーフロー割り込み (INTWDT) の発生やウォッチドッグ・タイマ出力端子 (WDTO) がロウ・レベルになることで知ることができます。この出力をRESET端子に接続することで、プログラムの異常による応用システムの誤動作を防止できます。

ウォッチドッグ・タイマのプログラム異常検出はすべてハードウェアで行います。したがって、プログラムの暴走やデッドロックを確実に検出し、プログラムの再スタートができます。また、このタイマはストップ・モード解除時の発振器の発振安定時間確保にも使用できます。

4.6.1 構成

ウォッチドッグ・タイマの構成を図4 - 15に示します。

図4 - 15 ウォッチドッグ・タイマの構成





#### 4.6.2 動作

ウォッチドッグ・タイマは、指定のインターバル時間ごとに割り込みを発生し、プログラムの異常を検出するタイマです。そのため、プログラムはモジュール単位に作成し、その処理がWDTのインターバル時間内に終了するようにします。そして、各モジュールごとにWDTをクリアし、再スタートする命令を挿入して使用します。この制御はウォッチドッグ・タイマ・モード・レジスタ (WDM) により行います。

ウォッチドッグ・タイマはプログラムの異常によって動作が停止しないようになっているため、 $\overline{\text{RESET}}$ 入力後、一度タイマをスタートすると命令ではストップできません。ウォッチドッグ・タイマを停止できるのは $\overline{\text{RESET}}$ 入力だけです。また、WDMへのデータ書き込みも専用命令により行い誤動作防止を図っています。

ウォッチドッグ・タイマ出力端子 ( $\overline{\text{WDTO}}$ ) はWDTのオーバフローにより $32f_{\text{CLK}}$ の間口ウ・レベルを出力する端子です。この端子は $\overline{\text{RESET}}$ 端子と外部で接続し、プログラムの異常動作時に自動的にシステム・リセットがかかるようにして使用します。

**注意 1 .  $\overline{\text{WDTO}}$ は $\overline{\text{RESET}}$ 端子への直接接続を考慮して、 $\overline{\text{RESET}}$ 入力後も $32f_{\text{CLK}}$ の間口ウ・レベルを出力するようになっています。**

**2 .  $\overline{\text{WDTO}}$ は電源投入直後、最大 $32f_{\text{CLK}}$ の間口ウ・レベルになる可能性があります。**

**備考**  $f_{\text{CLK}}$ は内部システム・クロック (発振周波数の1/2)

5 . 割り込み機能

μPD78372 ( A ) は、周辺ハードウェアや外部から発生する割り込み要求を処理できる強力な割り込み機能を内蔵しています。また、割り込みの処理モードとして、次に示す 3 種類のモードを用意しています。

- ・ベクタ割り込み処理
- ・マクロ・サービス
- ・コンテキスト・スイッチング

この割り込み処理機能により複雑なマルチタスク処理を効率よく、かつ高速に行うことができます。

表 5 - 1 割り込み要求の種類と処理モード

割り込み要求 \ 処理モード	ベクタ割り込み処理	マクロ・サービス	コンテキスト・スイッチング
ノンマスクابل割り込み		-	-
マスクابل割り込み			
ソフトウェア割り込み		-	
オペコード・トラップ割り込み		-	-

5.1 割り込み要求の種類

μPD78372 ( A ) の割り込み要求は次の 4 種類に分けられます。

- ・ノンマスクابل割り込み
- ・マスクابل割り込み
- ・ソフトウェア割り込み
- ・オペコード・トラップ割り込み

それぞれの概要を次に示します。

( 1 ) ノンマスクابل割り込み

ノンマスクابل割り込みは、命令などによる割り込み受け付け禁止ができない ( ノンマスクابلな ) 割り込み要求です。この割り込みは常時受け付けが可能です。ノンマスクابل割り込みには、次の 2 つがあります。

- ・NMI端子入力 ( NMI )
- ・ウォッチドッグ・タイマ出力 ( WDT )

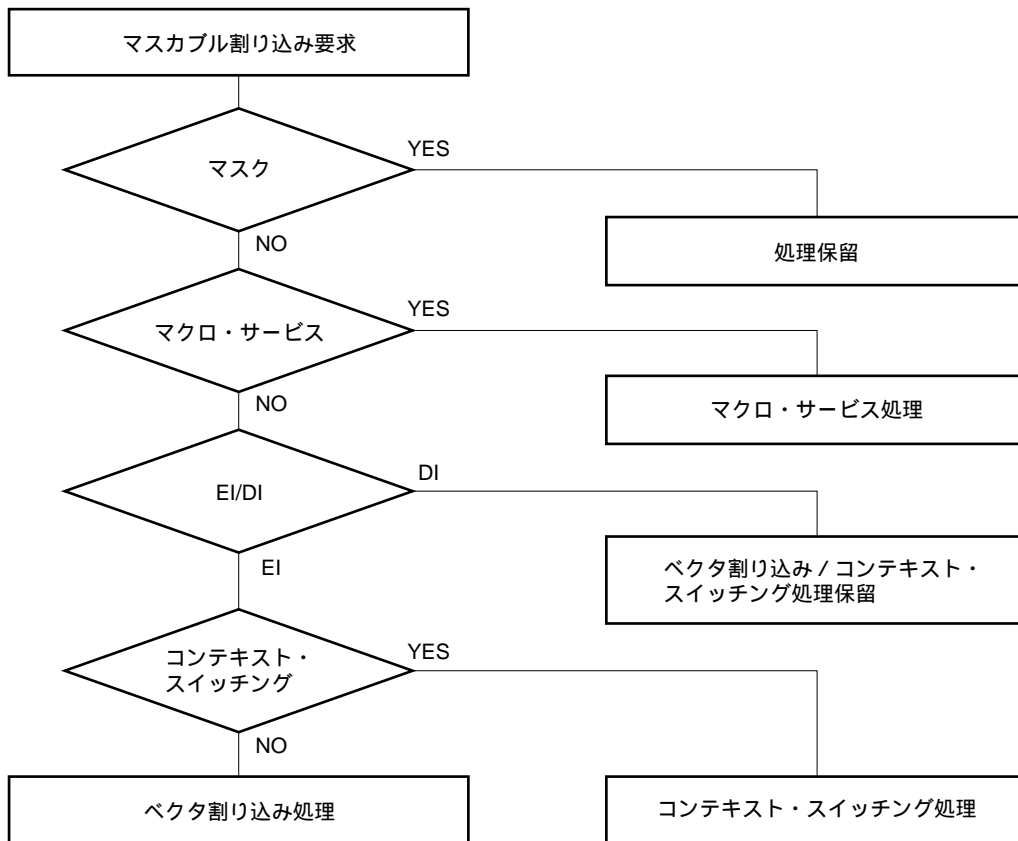
ノンマスクابل割り込みは、ベクタ割り込み処理が可能です。

(2) マスカブル割り込み

制御レジスタにより、割り込み受け付けをマスクできる割り込み要求で、21の割り込み要因があります。マスカブル割り込みは、次の3つの中から処理モードを選択することができます。

- ・ベクタ割り込み処理
- ・マクロ・サービス
- ・コンテキスト・スイッチング

図5 - 1 マスカブル割り込みの処理形態



複数のマスカブル割り込みが同時に発生した場合は、デフォルト・プライオリティによりその優先順位が決定します。また、デフォルト・プライオリティとは別に、ソフトウェアにより4レベルの優先順位設定が可能です。

### (3) ソフトウェア割り込み

ソフトウェア割り込みは、CPUのブレーク命令実行による割り込み要求で、常時受け付け可能です。割り込みの処理は、ベクタ割り込みで行われます。ソフトウェア割り込みを発生する命令には、次の2つがあります。

- ・BRK : メモリの003EH, 003FH番地の内容で示されるアドレスに分岐。
- ・BRKCS : コンテキスト・スイッチング処理による分岐。命令中で指定されるレジスタ・バンクにスイッチング。

### (4) オペコード・トラップ割り込み

オペコード・トラップ割り込みは、スタンバイ・コントロール・レジスタ (STBC) および、ウォッチドッグ・タイマ・モード・レジスタ (WDM) への書き込み命令が正常に動作しなかった場合に発生する割り込み要求です。ベクタ割り込み処理が可能です。

## 5.2 割り込み処理モード

μPD78372 (A) の割り込み処理には、次の3つのモードがあります。

- ・ベクタ割り込み処理
- ・マクロ・サービス
- ・コンテキスト・スイッチング

### (1) ベクタ割り込み処理

割り込みが受け付けられると、自動的にPC, PSWをスタック・メモリに退避し、ベクタ・テーブルに格納されているデータで示されるアドレスに分岐し、割り込み処理プログラムを実行します。

### (2) マクロ・サービス

割り込みが受け付けられると、CPUの実行を一時中断し、ファームウエアで設定されているサービスを実行します。マクロ・サービスは、CPUを介さずに行われるため、PC, PSWなどのCPUステータスを退避 / 復帰する必要がありません。したがって、CPUのサービス時間を向上させる大きな効果があります。

### (3) コンテキスト・スイッチング

割り込みが受け付けられると、ハードウエアにより所定のレジスタ・バンクを選択し、レジスタ・バンク内にあらかじめ設定しておいたベクタ・アドレスに分岐すると同時に、現在のPC, PSWをレジスタ・バンク内に退避します。

**備考** コンテキストとは、プログラムの実行において、そのプログラムからアクセス可能なCPUのレジスタのことです。このレジスタには、汎用レジスタ、PC, PSW, SPが含まれます。

表5 - 2に割り込み要因一覧を示します。

表 5 - 2 割り込み要因一覧

タイプ	注	割り込み要因		発生 ユニット	ベクタ・テーブル・ アドレス	マクロ・ サービス	コンテキスト・ スイッチ
		名 称	ト リ ガ				
ノンマス カブル	-	NMI	NMI端子入力	外部	0002H	なし	なし
	-	INTWDT	ウォッチドッグ・タイマ	WDT	0004H		
マスカブ ル	0	INTOV0	タイマ0のオーバフロー	RPU	0006H	あり	あり
	1	INTOV1	タイマ1のオーバフロー		0008H		
	2	INTP0L/INTCC00	INTP0端子立ち下がり入力/CC00 一致信号	外部/RPU	000AH		
	3	INTP0H	INTP0端子立ち上がり入力	外部	000CH		
	4	INTP1L/INTCC01	INTP1端子立ち下がり入力/CC01 一致信号	外部/RPU	000EH		
	5	INTP1H	INTP1端子立ち上がり入力	外部	0010H		
	6	INTP2L	INTP2端子立ち下がり入力		0012H		
	7	INTP2H/INTCC02	INTP2端子立ち上がり入力/CC02 一致信号	外部/RPU	0014H		
	8	INTP3L	INTP3端子立ち下がり入力	外部	0016H		
	9	INTP3H/INTCC03	INTP3端子立ち上がり入力/CC03 一致信号	外部/RPU	0018H		
	10	INTP4/INTCC04	INTP4端子入力/CC04一致信号		001AH		
	11	INTP5/INTCC05	INTP5端子入力/CC05一致信号		001CH		
	12	INTCM10	CM10一致信号	RPU	001EH		
	13	INTCM11	CM11一致信号		0020H		
	14	INTCM12	CM12一致信号		0022H		
	15	INTCM13	CM13一致信号		0024H		
	16	INTSER	UART受信エラー	UART	0026H		
	17	INTSR	UART受信終了		0028H		
	18	INTST	UART送信終了		002AH		
	19	INTCSI	CSI送受信終了	CSI	002CH		
20	INTAD	A/D変換終了	A/D	002EH			
ソフト ウェア	-	BRK	BRK命令	-	003EH	なし	なし
	-	BRKCS	BRKCS命令	-	-		あり
例 外	-	TRAP	不正オペコード・トラップ	-	003CH		なし
リセット	-	RESET	リセット入力	-	0000H		

注 デフォルト・プライオリティ：複数のマスカブル割り込みが同時に発生している場合に優先される順位です。

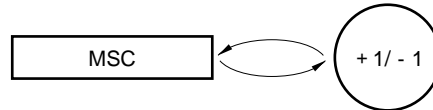
0 が最高順位，20が最低順位です。

5.3 マクロ・サービス

μPD78372 (A) は、合計 5 種類のマクロ・サービスを持っています。各マクロ・サービスの概要を次に示します。

(1) カウンタ・モード : EVTCNT

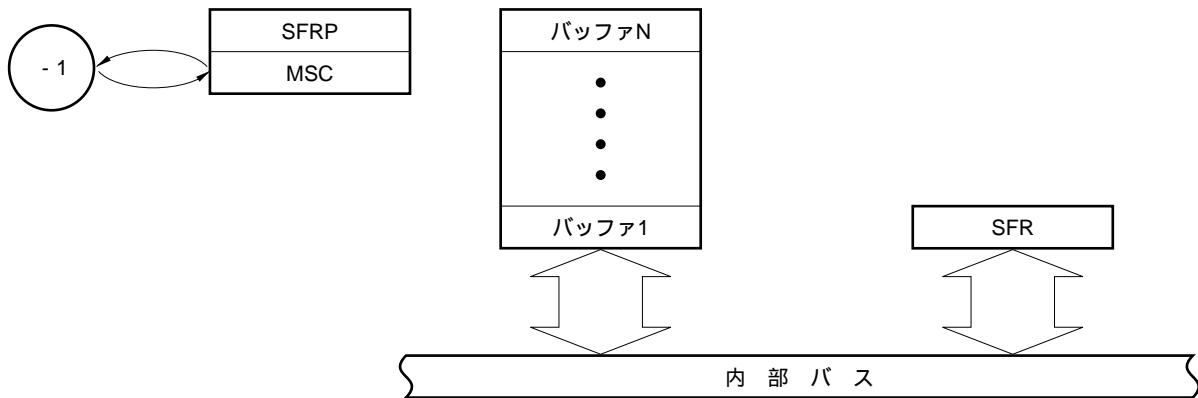
- ・動作 (a) 8ビットのマクロ・サービス・カウンタ (MSC) をインクリメントまたは、デクリメントします。
- (b) MSCが0になるとベクタ割り込み要求が発生します。



- ・応用例 イベント・カウンタ, キャプチャ回数の測定

(2) ブロック転送モード : BLKTRS

- ・動作 (a) バッファと、SFRポインタ (SFRP) で指定するSFRとの間で、データのブロック転送を行います。
- (b) 転送元 / 転送先指定は、SFR / バッファ・エリアのいずれも可能です。また、転送するデータ長をバイト / ワードのいずれかに指定できます。
- (c) データ転送回数 (ブロック・サイズ) はMSCで指定します。
- (d) マクロ・サービス実行ごとに、MSCはオート・デクリメント (-1) されます。
- (e) MSCが0になるとベクタ割り込み要求が発生します。

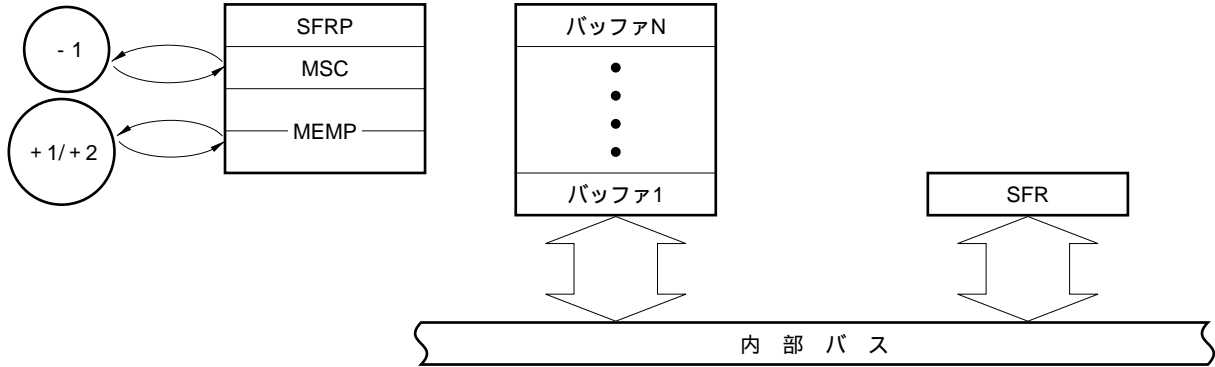


- ・応用例 シリアル・インタフェースでのデータ送受信などに使用

(3) ブロック転送モード (メモリ・ポインタ付き) : BLKTRS-P

・動作 (2) のブロック転送モードに、メモリ・ポインタ (MEMP) が付加されたモードです。MEMPの付加バッファ・エリアをメモリ空間上に自由に設定できます。

備考 マクロ・サービス実行ごとに、MEMPはオート・インクリメント (+ 1 : バイト・データ転送 / + 2 : ワード・データ転送) されます。

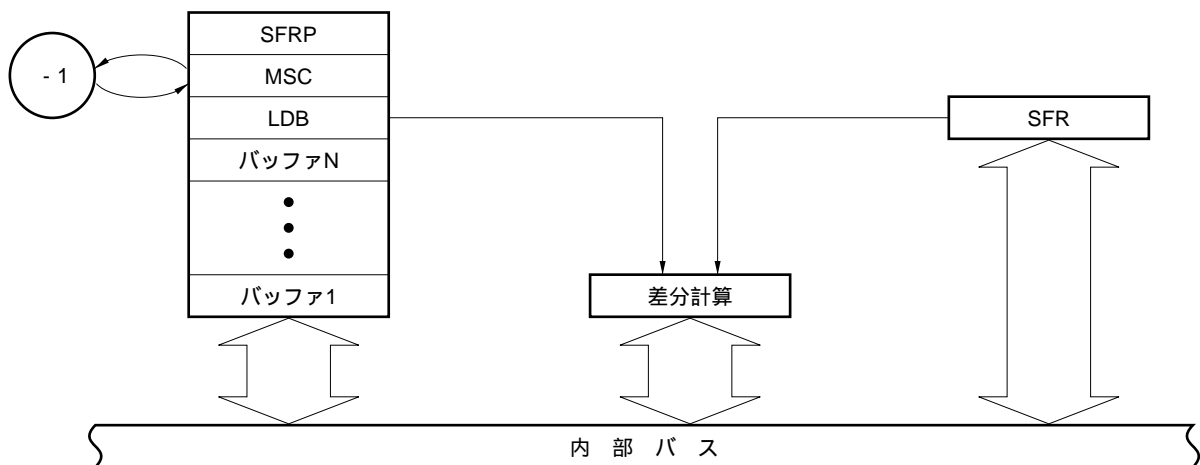


・応用例 (2) に同じ

(4) データ差分モード : DTADIF

- ・動作 (a) SFRPで指定するSFRの内容 (カレント値) と、ラスト・データ・バッファ (LDB) に取り込んでおいたSFRの内容との差分計算を行います。
- (b) 計算結果を、あらかじめ決められたバッファ・エリアに格納します。
- (c) SFRのカレント値の内容を、LDBに格納します。
- (d) データ転送回数 (ブロック・サイズ) はMSCで指定します。マクロ・サービス実行ごとに、MSCはオート・デクリメント (- 1) されます。
- (e) MSCが0になるとベクタ割り込み要求が発生します。

備考 差分計算は16ビット構成のSFRのみ行うことができます。



・応用例 リアルタイム・パルス・ユニット (RPU) のキャプチャ・レジスタによる周期、パルス幅の測定

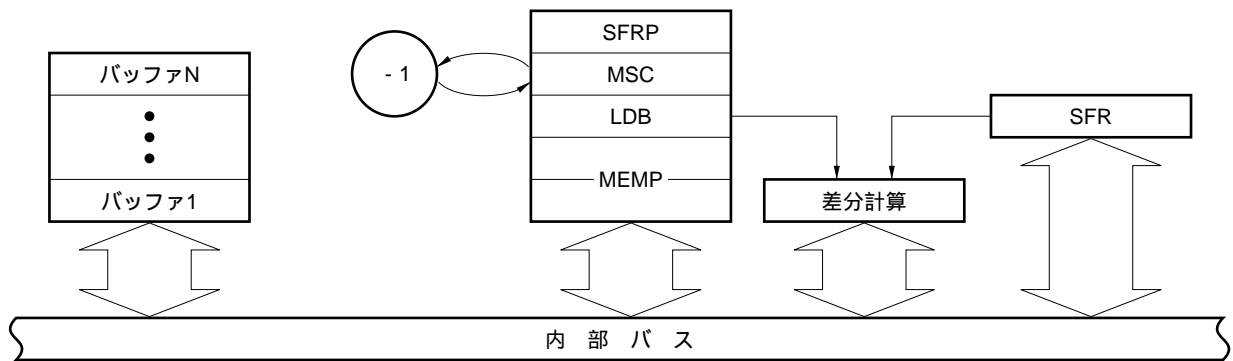
(5) データ差分モード (メモリ・ポインタ付き) : DTADIF-P

・動作 (4) のデータ差分モードに、メモリ・ポインタ (MEMP) が付加されたモードです。MEMPの付加により差分データを格納するバッファ・エリアをメモリ空間上に自由に設定できます。

備考1 . 差分計算は16ビット構成のSFRのみ行うことができます。

2 . バッファの指定は、MEMPとMSCの演算結果<sup>注</sup>で行います。データ転送後のMEMPの更新は行われません。

注 MEMP - (MSC × 2) + 2



・応用例 (4) に同じ



5.4 コンテキスト・スイッチング

割り込みの発生または、BRKCS命令により、ハードウェア的に所定のレジスタ・バンクを選択し、レジスタ・バンク内にあらかじめ設定しておいたベクタ・アドレスへ分岐すると同時に、現在のPC、PSWの内容をレジスタ・バンク内に退避する機能です。

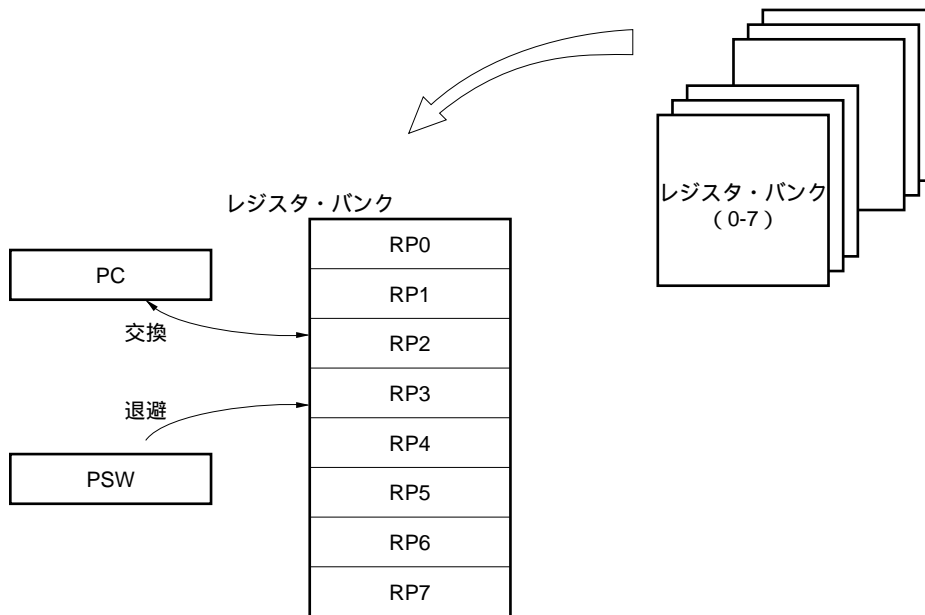
5.4.1 割り込み要求によるコンテキスト・スイッチング機能

EI（割り込み受け付け許可）状態で、各マスカブル割り込み要求に対応した、コンテキスト・スイッチング許可フラグのセット（1）により、コンテキスト・スイッチング機能の起動が可能になります。

割り込み要求によるコンテキスト・スイッチングの動作は、次のとおりです。

- (1) 割り込み要求が発生すると、対応するベクタ・テーブルのロウ・アドレス（偶数アドレス）の下位3ビットの内容で、コンテキスト・スイッチするレジスタ・バンクを指定します。
- (2) コンテキスト・スイッチするレジスタ・バンク内にあらかじめ設定しておいたベクタ・アドレスをPCに転送すると同時に、スイッチング動作の直前のPC、PSWの内容をレジスタ・バンク内に退避します。
- (3) 新たに設定されたPCの内容で示されるアドレスに分岐します。

図5 - 2 コンテキスト・スイッチングの動作



#### 5.4.2 BRKCS命令によるコンテキスト・スイッチング機能

BRKCS命令により、コンテキスト・スイッチング機能を起動することができます。

割り込み要求によるコンテキスト・スイッチングの動作は、次のとおりです。

- (1) BRKCS命令のオペランドで8ビット・レジスタを指定します。このレジスタの内容で、コンテキスト・スイッチするレジスタ・バンクを指定します(8ビットの下位3ビットのみ有効です)。
- (2) コンテキスト・スイッチするレジスタ・バンク内にあらかじめ設定しておいたベクタ・アドレスを、PCに転送すると同時に、スイッチング動作の直前のPC、PSWの内容をレジスタ・バンク内に退避します。
- (3) 新たに設定されたPCの内容に分岐します。

#### 5.4.3 コンテキスト・スイッチングからの復帰

コンテキスト・スイッチングからの復帰は、次の2つの命令で行います。それぞれの命令は、コンテキスト・スイッチングを起動した要因により使い分けます。

表5 - 3 コンテキスト・スイッチングからの復帰命令

復帰命令	コンテキスト・スイッチング起動要因
RETCS	割り込み発生による起動
RETCSB	BRKCS命令による起動

6. 外部デバイス拡張機能

μPD78372 (A) は内部ROM, RAM領域以外に外部デバイス (データ・メモリ, プログラム・メモリ, 周辺デバイス) の拡張が可能です。外部デバイス接続時には, ポート4, 5, 9を使用して, アドレス/データ・バス, リード/ライト・ストロブなどの制御を行います。ポート4, 5, 9の端子機能の設定は, メモリ拡張モード・レジスタ (MM) により行います。

μPD78372 (A) は, 低速の周辺回路などを接続するときに必要なウエイト期間を発生するプログラマブル・ウエイト機能や, 外部からのウエイト信号を入力するWAIT端子を備えています。また, プログラマブル・ウエイト・コントロール・レジスタ (PWC) により, データ・バス幅を8ビットまたは16ビットに指定できます (バス・サイジング機能)。

表6 - 1 端子機能の設定 (外部8ビット・バス指定時)

MMレジスタ	端子機能				
	ポート4	ポート5	ポート9		
MM0-MM2	P40-P47	P50-P57	P90	P91	P92
ポート・モード注	汎用ポート				
外部メモリ拡張モード	AD0-AD7	・ μPD78370 (A) AD8-AD15 ・ μPD78372 (A) 段階的にAD8-AD15に設定。 残りの端子は汎用ポートとして使用可能。	$\overline{RD}$	$\overline{LWR}$	汎用ポート

注 μPD78370 (A) には, ポート・モードはありません。外部メモリ拡張モードに固定です。

備考 AD8-AD15はアドレス・バスとして使用します。

μPD78372 (A) の場合, 外部8ビット・バス指定時, ポート5は外部に拡張するメモリの大きさ (外部アドレス空間) に応じて, アドレス・バスとして使用する端子数を変更することが可能で, 段階的にメモリを拡張できます。アドレス・バスとして使用しない端子は, 汎用の入出力ポートとして使用できます (表6 - 2参照)。外部アドレス空間は, MMレジスタにより4段階に設定できます。μPD78370 (A) には, 段階的にメモリを拡張する機能はありません。

表6 - 2 μPD78372 (A) のポート5の動作 (外部メモリ拡張モード, 外部8ビット・バス指定時)

P50	P51	P52	P53	P54	P55	P56	P57	外部アドレス空間
汎用ポート								256バイト以内
AD8	AD9	AD10	AD11					4 Kバイト以内
				AD12	AD13			約16 Kバイト以内
						AD14	AD15	フル拡張モード

表 6 - 3 端子機能の設定 (外部16ビット・バス指定時)

MMレジスタ	端 子 機 能				
	ポート4	ポート5	ポート9		
MM0-MM2	P40-P47	P50-P57	P90	P91	P92
ポート・モード注	汎用ポート				
外部メモリ拡張モード	AD0-AD7	AD8-AD15	$\overline{RD}$	$\overline{LWR}$	$\overline{HWR}$

注 μPD78370 ( A ) には , ポート・モードはありません。外部メモリ拡張モードに固定です。

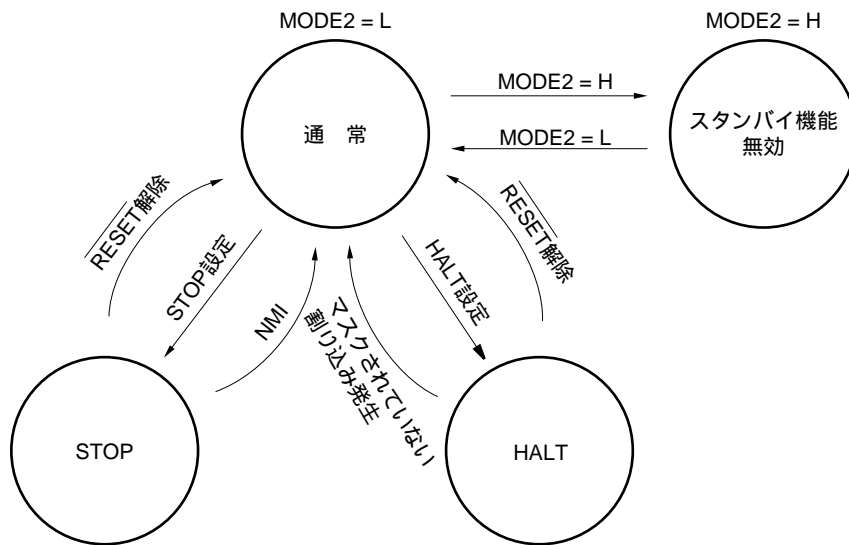
7. スタンバイ機能

μPD78372(A)には、システムの消費電力を低減させるスタンバイ機能があります。スタンバイ機能にはHALTモードとSTOPモードがあります。また、この2つのモードは、MODE2端子をハイ・レベルにすることにより、無効にすることができます。

- ・HALTモード...CPUの動作クロックを停止させるモードです。通常動作モードとの組み合わせによる間欠動作により、システムのトータル消費電力を低下させることができます。
- ・STOPモード...発振器を停止させ、システム全体が停止するモードです。  
リーク電流だけの超低消費電力にすることができます。
- ・スタンバイ機能無効モード...MODE2端子をハイ・レベルにすることにより、HALTモードまたはSTOPモードの機能を無効にすることができます。

HALTモード、STOPモードにはソフトウェアによって設定します。図7-1にスタンバイ・モード(STOP/HALTモード)の遷移図を示します。

図7-1 スタンバイ状態遷移図



8. リセット機能

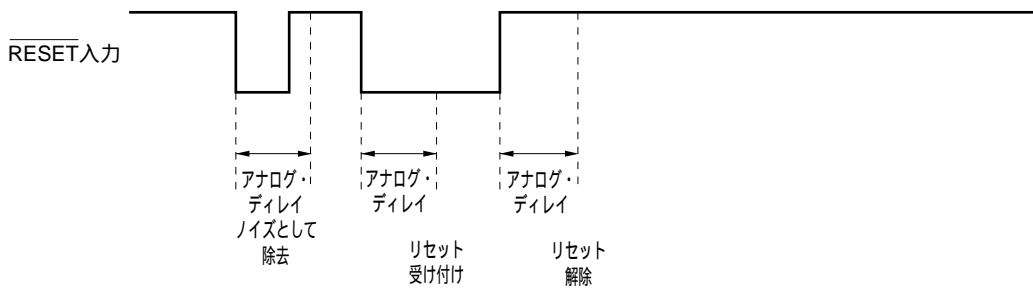
RESET入力端子にロウ・レベルが入力されると、システム・リセットがかかり各ハードウェアは表8 - 1に示すような状態になります。RESET入力がハイ・レベルになるとリセット状態が解除され、プログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

特に、プログラマブル・ウエイト・コントロール・レジスタ (PWC) は必要に応じてサイクル数を変更してください。

RESET入力端子は、ノイズによる誤動作を防ぐためアナログ・ディレイによるノイズ除去回路を内蔵しています。

- 注意 1 . RESETがアクティブ (ロウ・レベル) の期間は全端子がハイ・インピーダンスになります (WDTO , CLKOUT , AVREF , AVDD , AVSS , VDD , VSS , X1 , X2端子を除く)。
- 2 . 外部にRAMを拡張しているときには、P90/RD , P91/LWR , P92/HWR端子にプルアップ抵抗を付けてください。P90/RD , P91/LWR , P92/HWR端子がハイ・インピーダンスとなり、外部RAMの内容を破壊する可能性があります。また、アドレス/データ・バス上で信号の衝突が起き、入出力回路を破壊する可能性があります。

図 8 - 1 リセット信号の受け付け



電源立ち上がり時のリセット動作では、図8 - 2のように電源立ち上がりからリセット受け付けまで発振安定時間を確保してください。

図 8 - 2 電源立ち上がり時のリセット

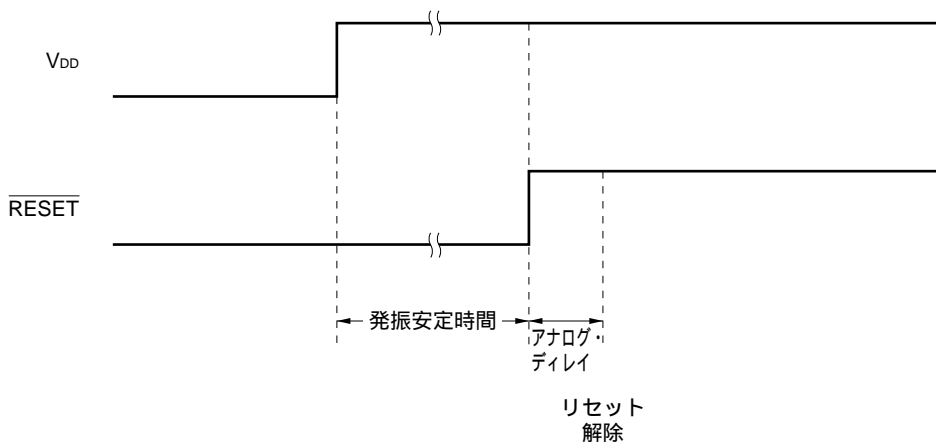


表8-1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態	
制御レジスタ	プログラム・カウンタ (PC)	リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる	
	スタック・ポインタ (SP)	不定 <sup>注</sup>	
	プログラム・ステータス・ワード (PSW)	0000H	
	CPUコントロール・ワード (CCW)	00H	
内部RAM	データ・メモリ	不定 <sup>注</sup>	
	汎用レジスタ (R0-R15)		
ポート	出力ラッチ (P0-P5, P9)	不定	
	モード・レジスタ	(PM0)	xxxx 1111B
		(PM1, PM5)	FFH
		(PM2)	x111 1111B
		(PM3)	xx11 1111B
		(PM9)	xxxx x111B
	モード・コントロール・レジスタ	(PMC0)	xxxx 0000B
		(PMC2)	x000 0000B
		(PMC3)	xx00 0000B
	ブルアップ抵抗オプション・レジスタ (PUOL, PUOH)	00H	
ポート・リード・コントロール・レジスタ (PRDC)			
リアルタイム・パルス・ユニット (RPU)	タイマ・レジスタ (TM0, TM1)	0000H	
	タイマ・ロウ・アクセス・レジスタ (TLA)	不定	
	タイマ・ユニット・モード・レジスタ (TUM0, TUM1)	00H	
	タイマ・モード・コントロール・レジスタ (TMC)		
	タイマ出力コントロール・レジスタ (TOC0-TOC2)		
	プリスケアラ・モード・レジスタ (PRM)		
	ノイズ・プロテクション・コントロール・レジスタ (NPC)		
	コンペア・レジスタ (CM10-CM13)	不定	
キャプチャ/コンペア・レジスタ (CC00-CC05)			
A/Dコンバータ	A/Dコンバータ・モード・レジスタ (ADM)	00H	
	A/Dコンバージョン・リザルト・レジスタ (ADCR0-ADCR7, ADCR0H-ADCR7H)	不定	

注 STOPモードをRESET入力で解除した場合は、STOPモード設定前の値を保持しています。

表 8 - 1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		リセット後の状態	
シリアル・ インタフェース	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)	80H	
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)	00H	
	クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM)	不定	
	シリアルI/Oシフト・レジスタ (SIO)		
	シリアル受信バッファ (RXB)		
	シリアル送信シフト・レジスタ (TXS)		
	ポー・レート・ジェネレータ・モード・レジスタ (BRGM)	00H	
	ポー・レート・ジェネレータ・レジスタ (BRG)	不定	
ウォッチドッグ・タイマ	ウォッチドッグ・タイマ・モード・レジスタ (WDM)	00H	
割り込み機能	外部割り込みモード・レジスタ (INTM0, INTM1)	00H	
	割り込みモード・コントロール・レジスタ (IMC)	80H	
	割り込みマスク・レジスタ	(MK0L, MK0H)	FFH
		(MK1L)	1FH
		(MK0)	FFFFH
		(MK1)	001FH
	割り込み制御レジスタ (OVIC0, OVIC1, PLIC0-PLIC3, PHIC0-PHIC3, PIC4, PIC5, CMIC10-CMIC13, SERIC, SRIC, STIC, CSIIC, ADIC)	43H	
インサースビス・プライオリティ・レジスタ (ISPR)	00H		
外部拡張機能	メモリ拡張モード・レジスタ (MM)	00H	
	プログラマブル・ウエイト・コントロール・レジスタ (PWC)	C0AAH <sup>注</sup>	
CPU制御	スタンバイ・コントロール・レジスタ (STBC)	0000 × 000B	

注 外部16ビット・バスのROMレス・モード (MODE0, 1 = HH) 時のみCFAAHになります。



9 . 命令セット

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述します（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および+、-、#、\$、!、[ ]記号はキー・ワードであり、そのまま記述します。

イミディエト・データの場合は、適当な数値またはラベルを記述します。ラベルで記述する際も#、\$、!、[ ]記号は必ず記述してください。

表9 - 1 オペランドの表現形式と記述方法

表現形式	記述方法
r	R0, R1, R2, R3, R4, R5, R6, R7, R8, R9, R10, R11, R12, R13, R14, R15
r1	R0, R1, R2, R3, R4, R5, R6, R7
r2	C, B
rp	RP0, RP1, RP2, RP3, RP4, RP5, RP6, RP7
rp1	RP0, RP1, RP2, RP3, RP4, RP5, RP6, RP7
rp2	DE, HL, VP, UP
sfr	特殊機能レジスタ略号（表2 - 1参照）
sfrp	特殊機能レジスタ略号（16ビット操作可能レジスタ；表2 - 1参照）
post	RP0, RP1, RP2, RP3, RP4, RP5/PSW, RP6, RP7 （複数記述可能。ただし、RP5はPUSH, POP命令, PSWはPUSHU, POPU命令に限る。）
mem	[ DE ], [ HL ], [ DE + ], [ HL + ], [ DE - ], [ HL - ], [ VP ], [ UP ] ; レジスタ・インダイレクト・モード [ DE + A ], [ HL + A ], [ DE + B ], [ HL + B ], [ VP + DE ], [ VP + HL ] ; ベースト・インデクスト・モード [ DE + byte ], [ HL + byte ], [ VP + byte ], [ UP + byte ], [ SP + byte ] ; ベースト・モード word[ A ], word[ B ], word[ DE ], word[ HL ] ; インデクスト・モード
saddr	FE20H-FF1FHイミディエト・データまたはラベル
saddrp	FE20H-FF1EHイミディエト・データ（ただし、bit0 = 0）またはラベル（16ビット操作時）
\$ addr16	0000H-FDFFHイミディエト・データまたはラベル；レラティブ・アドレッシング
! addr16	0000H-FDFFHイミディエト・データまたはラベル；イミディエト・アドレッシング （ただし、MOV命令ではFFFFHまで記述可能、MOVTBLW命令ではFE00H-FEFFFHのみ記述可能）
addr11	800H-FFFHイミディエト・データまたはラベル
addr5	40H-7EHイミディエト・データ（ただし、bit0 = 0） <sup>注</sup> またはラベル
word	16ビット・イミディエト・データまたはラベル
byte	8ビット・イミディエト・データまたはラベル
bit	3ビット・イミディエト・データまたはラベル
n	3ビット・イミディエト・データ（0-7）

注 bit0 = 1（奇数アドレス）へのワード・アクセスはしないでください。

備考1 . rpとrp1は記述できるレジスタ名は同じですが、発生するコードが異なります。

- 2 . r, r1, rp, rp1およびpostは、絶対名称（R0-R15, RP0-RP7）のほかに機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL, VP, UP）でも記述可能。
- 3 . イミディエト・アドレッシングは、全空間をアドレス可能。レラティブ・アドレッシングは、次に続く命令の先頭アドレスから - 128 ~ + 127の範囲のみアドレス可能。

命令群	二モニック	オペランド	バイト	オペレーション	フラグ					
					S	Z	AC	PV	CY	
8ビット・データ転送	MOV	r1 ,# byte	2	r1 byte						
		saddr ,# byte	3	( saddr ) byte						
		sfr <sup>注</sup> ,# byte	3	sfr byte						
		r r1	2	r r1						
		A r1	1	A r1						
		A saddr	2	A ( saddr )						
		saddr A	2	( saddr ) A						
		saddr saddr	3	( saddr ) ( saddr )						
		A sfr	2	A sfr						
		sfr A	2	sfr A						
		A mem	1-4	A ( mem )						
		mem A	1-4	( mem ) A						
		A [ saddrp ]	2	A (( saddrp ))						
		[ saddrp ] A	2	(( saddrp )) A						
		A !addr16	4	A ( addr16 )						
		!addr16 A	4	( addr16 ) A						
		PSWL ,# byte	3	PSWL byte			x	x	x	x
		PSWH ,# byte	3	PSWH byte						
		PSWL A	2	PSWL A			x	x	x	x
		PSWH A	2	PSWH A						
	A PSWL	2	A PSWL							
	A PSWH	2	A PSWH							
	XCH	A r1	1	A r1						
		r r1	2	r r1						
		A mem	2-4	A ( mem )						
		A saddr	2	A ( saddr )						
		A sfr	3	A sfr						
		A [ saddrp ]	2	A (( saddrp ))						
saddr saddr		3	( saddr ) ( saddr )							

注 sfrにSTBC , WDMを記述した場合は別の専用命令となり , バイト数がこの命令とは異なります。

備考 フラグ動作欄の記号は次の表を参照してください。

記号	説明
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
x	結果に従ってセット/クリアされる
P	P/Vフラグが , パリティ・フラグとして動作する
V	P/Vフラグが , オーバフロー・フラグとして動作する
R	以前に退避した値がリストアされる

命令群	二モニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	PV	CY
16ビット・データ転送	MOVW	rp1 ,# word	3	rp1 word					
		saddrp ,# word	4	( saddrp ) word					
		sfrp ,# word	4	sfrp word					
		rp ,rp1	2	rp rp1					
		AX ,saddrp	2	AX ( saddrp )					
		saddrp AX	2	( saddrp ) AX					
		saddrp ,saddrp	3	( saddrp ) ( saddrp )					
		AX ,sfrp	2	AX sfrp					
		sfrp AX	2	sfrp AX					
		rp1 ,!addr16	4	rp1 ( addr16 )					
		!addr16 ,rp1	4	( addr16 ) rp1					
		AX ,mem	2-4	AX ( mem )					
	mem AX	2-4	( mem ) AX						
	XCHW	AX ,saddrp	2	AX ( saddrp )					
		AX ,sfrp	3	AX sfrp					
saddrp ,saddrp		3	( saddrp ) ( saddrp )						
rp ,rp1		2	rp rp1						
AX ,mem		2-4	AX ( mem )						
8ビット演算	ADD	A ,# byte	2	A ,CY A + byte	x	x	x	V	x
		saddr ,# byte	3	( saddr ),CY ( saddr )+ byte	x	x	x	V	x
		sfr ,# byte	4	sfr ,CY sfr + byte	x	x	x	V	x
		r ,r1	2	r ,CY r + r1	x	x	x	V	x
		A ,saddr	2	A ,CY A +( saddr )	x	x	x	V	x
		A ,sfr	3	A ,CY A + sfr	x	x	x	V	x
		saddr ,saddr	3	( saddr ),CY ( saddr )+( saddr )	x	x	x	V	x
		A ,mem	2-4	A ,CY A +( mem )	x	x	x	V	x
		mem A	2-4	( mem ),CY ( mem )+ A	x	x	x	V	x
	ADDC	A ,# byte	2	A ,CY A + byte + CY	x	x	x	V	x
		saddr ,# byte	3	( saddr ),CY ( saddr )+ byte + CY	x	x	x	V	x
		sfr ,# byte	4	sfr ,CY sfr + byte + CY	x	x	x	V	x
		r ,r1	2	r ,CY r + r1 + CY	x	x	x	V	x
		A ,saddr	2	A ,CY A +( saddr )+ CY	x	x	x	V	x
		A ,sfr	3	A ,CY A + sfr + CY	x	x	x	V	x
saddr ,saddr		3	( saddr ),CY ( saddr )+( saddr )+ CY	x	x	x	V	x	
A ,mem		2-4	A ,CY A +( mem )+ CY	x	x	x	V	x	
mem A		2-4	( mem ),CY ( mem )+ A + CY	x	x	x	V	x	

命令群	二モニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
8ビット演算	SUB	A ,# byte	2	A ,CY A - byte	x	x	x	V	x
		saddr ,# byte	3	( saddr ),CY ( saddr ) - byte	x	x	x	V	x
		sfr ,# byte	4	sfr ,CY sfr - byte	x	x	x	V	x
		r ,r1	2	r ,CY r - r1	x	x	x	V	x
		A ,saddr	2	A ,CY A - ( saddr )	x	x	x	V	x
		A ,sfr	3	A ,CY A - sfr	x	x	x	V	x
		saddr ,saddr	3	( saddr ),CY ( saddr ) - ( saddr )	x	x	x	V	x
		A ,mem	2-4	A ,CY A - ( mem )	x	x	x	V	x
		mem A	2-4	( mem ),CY ( mem ) - A	x	x	x	V	x
	SUBC	A ,# byte	2	A ,CY A - byte - CY	x	x	x	V	x
		saddr ,# byte	3	( saddr ),CY ( saddr ) - byte - CY	x	x	x	V	x
		sfr ,# byte	4	sfr ,CY sfr - byte - CY	x	x	x	V	x
		r ,r1	2	r ,CY r - r1 - CY	x	x	x	V	x
		A ,saddr	2	A ,CY A - ( saddr ) - CY	x	x	x	V	x
		A ,sfr	3	A ,CY A - sfr - CY	x	x	x	V	x
		saddr ,saddr	3	( saddr ),CY ( saddr ) - ( saddr ) - CY	x	x	x	V	x
		A ,mem	2-4	A ,CY A - ( mem ) - CY	x	x	x	V	x
		mem A	2-4	( mem ),CY ( mem ) - A - CY	x	x	x	V	x
	AND	A ,# byte	2	A A byte	x	x			P
		saddr ,# byte	3	( saddr ) ( saddr ) byte	x	x			P
		sfr ,# byte	4	sfr sfr byte	x	x			P
		r ,r1	2	r r r1	x	x			P
		A ,saddr	2	A A ( saddr )	x	x			P
		A ,sfr	3	A A sfr	x	x			P
		saddr ,saddr	3	( saddr ) ( saddr ) ( saddr )	x	x			P
		A ,mem	2-4	A A ( mem )	x	x			P
		mem A	2-4	( mem ) ( mem ) A	x	x			P

命令群	二モニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	PV	CY
8ビット演算	OR	A ,# byte	2	A A byte	x	x		P	
		saddr ,# byte	3	( saddr ) ( saddr ) byte	x	x		P	
		sfr ,# byte	4	sfr sfr byte	x	x		P	
		r ,r1	2	r r r1	x	x		P	
		A ,saddr	2	A A ( saddr )	x	x		P	
		A ,sfr	3	A A sfr	x	x		P	
		saddr ,saddr	3	( saddr ) ( saddr ) ( saddr )	x	x		P	
		A ,mem	2-4	A A ( mem )	x	x		P	
		mem A	2-4	( mem ) ( mem ) A	x	x		P	
	XOR	A ,# byte	2	A A ∨ byte	x	x		P	
		saddr ,# byte	3	( saddr ) ( saddr ) ∨ byte	x	x		P	
		sfr ,# byte	4	sfr sfr ∨ byte	x	x		P	
		r ,r1	2	r r ∨ r1	x	x		P	
		A ,saddr	2	A A ∨ ( saddr )	x	x		P	
		A ,sfr	3	A A ∨ sfr	x	x		P	
		saddr ,saddr	3	( saddr ) ( saddr ) ∨ ( saddr )	x	x		P	
		A ,mem	2-4	A A ∨ ( mem )	x	x		P	
		mem A	2-4	( mem ) ( mem ) ∨ A	x	x		P	
	CMP	A ,# byte	2	A - byte	x	x	x	V	x
		saddr ,# byte	3	( saddr ) - byte	x	x	x	V	x
		sfr ,# byte	4	sfr - byte	x	x	x	V	x
		r ,r1	2	r - r1	x	x	x	V	x
		A ,saddr	2	A - ( saddr )	x	x	x	V	x
		A ,sfr	3	A - sfr	x	x	x	V	x
		saddr ,saddr	3	( saddr ) - ( saddr )	x	x	x	V	x
		A ,mem	2-4	A - ( mem )	x	x	x	V	x
		mem A	2-4	( mem ) - A	x	x	x	V	x

命令群	二モニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
16ビット演算	ADDW	AX ,# word	3	AX ,CY AX + word	x	x	x	V	x
		saddrp ,# word	4	( saddrp ) ,CY ( saddrp ) + word	x	x	x	V	x
		sfrp ,# word	5	sfrp ,CY sfrp + word	x	x	x	V	x
		rp ,rp1	2	rp ,CY rp + rp1	x	x	x	V	x
		AX ,saddrp	2	AX ,CY AX +( saddrp )	x	x	x	V	x
		AX ,sfrp	3	AX ,CY AX + sfrp	x	x	x	V	x
		saddrp ,saddrp	3	( saddrp ) ,CY ( saddrp ) +( saddrp )	x	x	x	V	x
	SUBW	AX ,# word	3	AX ,CY AX - word	x	x	x	V	x
		saddrp ,# word	4	( saddrp ) ,CY ( saddrp ) - word	x	x	x	V	x
		sfrp ,# word	5	sfrp ,CY sfrp - word	x	x	x	V	x
		rp ,rp1	2	rp ,CY rp - rp1	x	x	x	V	x
		AX ,saddrp	2	AX ,CY AX -( saddrp )	x	x	x	V	x
		AX ,sfrp	3	AX ,CY AX - sfrp	x	x	x	V	x
		saddrp ,saddrp	3	( saddrp ) ,CY ( saddrp ) -( saddrp )	x	x	x	V	x
	CMPW	AX ,# word	3	AX - word	x	x	x	V	x
		saddrp ,# word	4	( saddrp ) - word	x	x	x	V	x
		sfrp ,# word	5	sfrp - word	x	x	x	V	x
		rp ,rp1	2	rp - rp1	x	x	x	V	x
		AX ,saddrp	2	AX -( saddrp )	x	x	x	V	x
		AX ,sfrp	3	AX - sfrp	x	x	x	V	x
		saddrp ,saddrp	3	( saddrp ) -( saddrp )	x	x	x	V	x
乗除算	MULU	r1	2	AX AX x r1					
	DIVUW	r1	2	AX( 商 ) ,r1( 余り ) AX ÷ r1					
	MULUW	rp1	2	AX( 上位16ビット ) ,rp1( 下位16ビット ) AX x rp1					
	DIVUX	rp1	2	AXDE( 商 ) ,rp1( 余り ) AXDE ÷ rp1					
乗算 符号付き	MULW	rp1	2	AX( 上位16ビット ) ,rp1( 下位16ビット ) AX x rp1					
積和演算	MACW	n	3	AXDE ( B ) x ( C ) + AXDE B B + 2 ,C C + 2 ,n n - 1 End if n = 0 or P/V = 1	x	x	x	V	x
飽和付き積和演算	MACSW	n	3	AXDE ( B ) x ( C ) + AXDE B B + 2 ,C C + 2 ,n n - 1 if overflow( P/V = 1 )then AXDE 7FFFFFFFH if underflow( P/V = 1 )then AXDE 80000000H end if n = 0 or P/V = 1	x	x	x	V	x
相関演算	SACW	[ DE + ][ HL + ]	4	AX AX + ( DE ) -( HL ) DE DE + 2 HL HL + 2 C C - 1 end if C = 0 or cy = 1	x	x	x	V	x

命令群	二モニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	PV	CY
シフト・テーブル・	MOVTBLW	! addr16 n	4	(addr16 + 2) (addr16) n n - 1 addr16 addr16 - 2 End if n = 0					
増減	INC	r1	1	r1 r1 + 1	x	x	x	V	
		saddr	2	(saddr) (saddr) + 1	x	x	x	V	
	DEC	r1	1	r1 r1 - 1	x	x	x	V	
		saddr	2	(saddr) (saddr) - 1	x	x	x	V	
	INCW	rp2	1	rp2 rp2 + 1					
		saddrp	3	(saddrp) (saddrp) + 1					
DECW	rp2	1	rp2 rp2 - 1						
	saddrp	3	(saddrp) (saddrp) - 1						
シフト・ローテート	ROR	r1 n	2	(CY r17 r10 r1m-1 r1m) x n回				P	x
	ROL	r1 n	2	(CY r10 r17 r1m+1 r1m) x n回				P	x
	RORC	r1 n	2	(CY r10 r17 CY r1m-1 r1m) x n回				P	x
	ROLC	r1 n	2	(CY r17 r10 CY r1m+1 r1m) x n回				P	x
	SHR	r1 n	2	(CY r10 r17 0 r1m-1 r1m) x n回	x	x	0	P	x
	SHL	r1 n	2	(CY r17 r10 0 r1m+1 r1m) x n回	x	x	0	P	x
	SHRW	rp1 n	2	(CY rp10 rp15 0 rp1m-1 rp1m) x n回	x	x	0	P	x
	SHLW	rp1 n	2	(CY rp15 rp10 0 rp1m+1 rp1m) x n回	x	x	0	P	x
	ROR4	[rp1]	2	A3-0 (rp1) b-0, (rp1) b-4 A3-0, (rp1) b-0 (rp1) b-4					
	ROL4	[rp1]	2	A3-0 (rp1) b-4, (rp1) b-0 A3-0, (rp1) b-4 (rp1) b-0					
BCD補正	ADJBA		2	Decimal Adjust Accumulator	x	x	x	P	x
	ADJBS								
データ変換	CVTBW		1	A7 = 0のときX A A 00H A7 = 1のときX A A FFH					

備考1 . シフト・ローテート命令のnは , シフト・ローテート命令の回数を示します。

2 . テーブル・シフト命令のアドレス範囲はFE00H-FEFFHです。

命令群	二モニック	オペランド	バイト	オペレーション	フラグ						
					S	Z	AC	P/V	CY		
ビット操作	MOV1	CY $\text{saddr.bit}$	3	CY ( $\text{saddr.bit}$ )						x	
		CY $\text{sfr.bit}$	3	CY $\text{sfr.bit}$						x	
		CY $\text{A.bit}$	2	CY $\text{A.bit}$						x	
		CY $\text{X.bit}$	2	CY $\text{X.bit}$						x	
		CY $\text{PSWH.bit}$	2	CY $\text{PSWH.bit}$						x	
		CY $\text{PSWL.bit}$	2	CY $\text{PSWL.bit}$						x	
		$\text{saddr.bit} \text{ ,CY}$	3	( $\text{saddr.bit}$ ) CY							
		$\text{sfr.bit} \text{ ,CY}$	3	$\text{sfr.bit}$ CY							
		$\text{A.bit} \text{ ,CY}$	2	$\text{A.bit}$ CY							
		$\text{X.bit} \text{ ,CY}$	2	$\text{X.bit}$ CY							
		$\text{PSWH.bit} \text{ ,CY}$	2	$\text{PSWH.bit}$ CY							
		$\text{PSWL.bit} \text{ ,CY}$	2	$\text{PSWL.bit}$ CY			x	x	x	x	
	AND1	CY $\text{saddr.bit}$	3	CY CY ( $\text{saddr.bit}$ )						x	
		CY $\text{/saddr.bit}$	3	CY CY ( $\overline{\text{saddr.bit}}$ )						x	
		CY $\text{sfr.bit}$	3	CY CY $\text{sfr.bit}$						x	
		CY $\text{/sfr.bit}$	3	CY CY $\overline{\text{sfr.bit}}$						x	
		CY $\text{A.bit}$	2	CY CY $\text{A.bit}$						x	
		CY $\text{/A.bit}$	2	CY CY $\overline{\text{A.bit}}$						x	
		CY $\text{X.bit}$	2	CY CY $\text{X.bit}$						x	
		CY $\text{/X.bit}$	2	CY CY $\overline{\text{X.bit}}$						x	
		CY $\text{PSWH.bit}$	2	CY CY $\text{PSWH.bit}$						x	
		CY $\text{/PSWH.bit}$	2	CY CY $\overline{\text{PSWH.bit}}$						x	
		CY $\text{PSWL.bit}$	2	CY CY $\text{PSWL.bit}$						x	
		CY $\text{/PSWL.bit}$	2	CY CY $\overline{\text{PSWL.bit}}$						x	
	OR1	CY $\text{saddr.bit}$	3	CY CY ( $\text{saddr.bit}$ )						x	
		CY $\text{/saddr.bit}$	3	CY CY ( $\overline{\text{saddr.bit}}$ )						x	
		CY $\text{sfr.bit}$	3	CY CY $\text{sfr.bit}$						x	
		CY $\text{/sfr.bit}$	3	CY CY $\overline{\text{sfr.bit}}$						x	
		CY $\text{A.bit}$	2	CY CY $\text{A.bit}$						x	
		CY $\text{/A.bit}$	2	CY CY $\overline{\text{A.bit}}$						x	
		CY $\text{X.bit}$	2	CY CY $\text{X.bit}$						x	
		CY $\text{/X.bit}$	2	CY CY $\overline{\text{X.bit}}$						x	
		CY $\text{PSWH.bit}$	2	CY CY $\text{PSWH.bit}$						x	
CY $\text{/PSWH.bit}$		2	CY CY $\overline{\text{PSWH.bit}}$						x		
CY $\text{PSWL.bit}$		2	CY CY $\text{PSWL.bit}$						x		
CY $\text{/PSWL.bit}$		2	CY CY $\overline{\text{PSWL.bit}}$						x		



命令群	二モニック	オペランド	バイト	オペレーション	フラグ					
					S	Z	AC	PV	CY	
ビット操作	XOR1	CY $\overline{saddr.bit}$	3	CY $\overline{CY \vee (saddr.bit)}$						x
		CY $\overline{sfr.bit}$	3	CY $\overline{CY \vee sfr.bit}$						x
		CY $\overline{A.bit}$	2	CY $\overline{CY \vee A.bit}$						x
		CY $\overline{X.bit}$	2	CY $\overline{CY \vee X.bit}$						x
		CY $\overline{PSWH.bit}$	2	CY $\overline{CY \vee PSWH.bit}$						x
		CY $\overline{PSWL.bit}$	2	CY $\overline{CY \vee PSWL.bit}$						x
	SET1	saddr.bit	2	(saddr.bit) 1						
		sfr.bit	3	sfr.bit 1						
		A.bit	2	A.bit 1						
		X.bit	2	X.bit 1						
		PSWH.bit	2	PSWH.bit 1						
		PSWL.bit	2	PSWL.bit 1			x	x	x	x
	CLR1	saddr.bit	2	(saddr.bit) 0						
		sfr.bit	3	sfr.bit 0						
		A.bit	2	A.bit 0						
		X.bit	2	X.bit 0						
		PSWH.bit	2	PSWH.bit 0						
		PSWL.bit	2	PSWL.bit 0			x	x	x	x
	NOT1	saddr.bit	3	(saddr.bit) ( $\overline{saddr.bit}$ )						
		sfr.bit	3	sfr.bit $\overline{sfr.bit}$						
		A.bit	2	A.bit $\overline{A.bit}$						
		X.bit	2	X.bit $\overline{X.bit}$						
		PSWH.bit	2	PSWH.bit $\overline{PSWH.bit}$						
		PSWL.bit	2	PSWL.bit $\overline{PSWL.bit}$			x	x	x	x
SET1	CY	1	CY 1						1	
CLR1	CY	1	CY 0						0	
NOT1	CY	1	CY $\overline{CY}$						x	

命令群	二モニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
コール・リターン	CALL	! addr16	3	( SP - 1 ) ( PC + 3 ) <sub>H</sub> ( SP - 2 ) ( PC + 3 ) , PC addr16 ,SP SP - 2					
	CALLF	! addr11	2	( SP - 1 ) ( PC + 2 ) <sub>H</sub> ( SP - 2 ) ( PC + 2 ) , PC <sub>15-11</sub> 00001 ,PC <sub>10-0</sub> addr11 ,SP SP - 2					
	CALLT	[ addr5 ]	1	( SP - 1 ) ( PC + 1 ) <sub>H</sub> ( SP - 2 ) ( PC + 1 ) , PC <sub>H</sub> ( TPF ,00000000 addr5 + 1 ) , PC <sub>L</sub> ( TPF ,00000000 addr5 ) ,SP SP - 2					
	CALL	rp1	2	( SP - 1 ) ( PC + 2 ) <sub>H</sub> ( SP - 2 ) ( PC + 2 ) , PC <sub>H</sub> rp1 <sub>H</sub> ,PC <sub>L</sub> rp1 <sub>L</sub> ,SP SP - 2					
		[ rp1 ]	2	( SP - 1 ) ( PC + 2 ) <sub>H</sub> ( SP - 2 ) ( PC + 2 ) , PC <sub>H</sub> ( rp1 + 1 ) ,PC <sub>L</sub> ( rp1 ) ,SP SP - 2					
	BRK		1	( SP - 1 ) PSW <sub>H</sub> ( SP - 2 ) PSW <sub>L</sub> , ( SP - 3 ) ( PC + 1 ) <sub>H</sub> ( SP - 4 ) ( PC + 1 ) , PC <sub>L</sub> ( 003EH ) ,PC <sub>H</sub> ( 003FH ) ,SP SP - 4 , IE 0					
	RET		1	PC <sub>L</sub> ( SP ) ,PC <sub>H</sub> ( SP + 1 ) ,SP SP + 2					
	RETB		1	PC <sub>L</sub> ( SP ) ,PC <sub>H</sub> ( SP + 1 ) PSW <sub>L</sub> ( SP + 2 ) ,PSW <sub>H</sub> ( SP + 3 ) SP SP + 4	R	R	R	R	R
RETI		1	PC <sub>L</sub> ( SP ) ,PC <sub>H</sub> ( SP + 1 ) PSW <sub>L</sub> ( SP + 2 ) ,PSW <sub>H</sub> ( SP + 3 ) SP SP + 4	R	R	R	R	R	
スタック操作	PUSH	sfrp	3	( SP - 1 ) sfr <sub>H</sub> ( SP - 2 ) sfr <sub>L</sub> SP SP - 2					
		post	2	{ ( SP - 1 ) post <sub>H</sub> ( SP - 2 ) post <sub>L</sub> ,SP SP - 2 } x n回					
		PSW	1	( SP - 1 ) PSW <sub>H</sub> ( SP - 2 ) PSW <sub>L</sub> ,SP SP - 2					
	PUSHU	post	2	{ ( UP - 1 ) post <sub>H</sub> ( UP - 2 ) post <sub>L</sub> ,UP UP - 2 } x n回					
	POP	sfrp	3	sfr <sub>L</sub> ( SP ) sfr <sub>H</sub> ( SP + 1 ) SP SP + 2					
		post	2	{ post <sub>L</sub> ( SP ) ,post <sub>H</sub> ( SP + 1 ) ,SP SP + 2 } x n回					
		PSW	1	PSW <sub>L</sub> ( SP ) ,PSW <sub>H</sub> ( SP + 1 ) ,SP SP + 2	R	R	R	R	R
	POPU	post	2	{ post <sub>L</sub> ( UP ) ,post <sub>H</sub> ( UP + 1 ) ,UP UP + 2 } x n回					
	MOVW	SP ,# word	4	SP word					
		SP ,AX	2	SP AX					
		AX ,SP	2	AX SP					
	INCW	SP	2	SP SP + 1					
DECW	SP	2	SP SP - 1						

備考 スタック操作命令のnは , postとして記述したレジスタの数です。

命令群	二モニック	オペランド	バイト	オペレーション	フラグ										
					S	Z	AC	PV	CY						
特殊	CHKL	sfr	3	(端子レベル)∨(出力バッファ前の信号レベル)	x	x		P							
	CHKLA	sfr	3	A (端子レベル)∨(出力バッファ前の信号レベル)	x	x		P							
無条件分岐	BR	! addr16	3	PC addr16											
		rp1	2	PC <sub>H</sub> rp1 <sub>H</sub> ,PC <sub>L</sub> rp1 <sub>L</sub>											
		[ rp1 ]	2	PC <sub>H</sub> ( rp1 + 1 ),PC <sub>L</sub> ( rp1 )											
		\$ addr16	2	PC PC + 2 + jdisp8											
条件付き分岐	BC	\$ addr16	2	PC PC + 2 + jdisp8 if CY = 1											
										BL					
	BNC	\$ addr16	2	PC PC + 2 + jdisp8 if CY = 0											
										BNL					
	BZ	\$ addr16	2	PC PC + 2 + jdisp8 if Z = 1											
										BE					
	BNZ	\$ addr16	2	PC PC + 2 + jdisp8 if Z = 0											
										BNE					
	BV	\$ addr16	2	PC PC + 2 + jdisp8 if P/V = 1											
										BPE					
	BNV	\$ addr16	2	PC PC + 2 + jdisp8 if P/V = 0											
										BPO					
	BN	\$ addr16	2	PC PC + 2 + jdisp8 if S = 1											
										BP					
	BGT	\$ addr16	3	PC PC + 3 + jdisp8 if ( P/V ∨ S ) Z = 0											
										BGE					
	BLT	\$ addr16	3	PC PC + 3 + jdisp8 if P/V ∨ S = 1											
										BLE					
	BH	\$ addr16	3	PC PC + 3 + jdisp8 if Z CY = 0											
										BNH					
	BT	saddr.bit , \$ addr16	3	PC PC + 3 + jdisp8 if ( saddr.bit ) = 1											
										sfr.bit , \$ addr16	4	PC PC + 4 + jdisp8 if sfr.bit = 1			
										A.bit , \$ addr16	3	PC PC + 3 + jdisp8 if A.bit = 1			
										X.bit , \$ addr16	3	PC PC + 3 + jdisp8 if X.bit = 1			
PSWH.bit , \$ addr16										3	PC PC + 3 + jdisp8 if PSWH.bit = 1				
PSWL.bit , \$ addr16										3	PC PC + 3 + jdisp8 if PSWL.bit = 1				
BF	saddr.bit , \$ addr16	4	PC PC + 4 + jdisp8 if ( saddr.bit ) = 0												
									sfr.bit , \$ addr16	4	PC PC + 4 + jdisp8 if sfr.bit = 0				
									A.bit , \$ addr16	3	PC PC + 3 + jdisp8 if A.bit = 0				
									X.bit , \$ addr16	3	PC PC + 3 + jdisp8 if X.bit = 0				
									PSWH.bit , \$ addr16	3	PC PC + 3 + jdisp8 if PSWH.bit = 0				
									PSWL.bit , \$ addr16	3	PC PC + 3 + jdisp8 if PSWL.bit = 0				

命令群	二モニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	PV	CY
条件付き分岐	BTCLR	saddr.bit , \$ addr16	4	PC PC + 4 + jdisp8 if( saddr.bit )= 1 then rese( saddr.bit )					
		sfr.bit , \$ addr16	4	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit					
		A.bit , \$ addr16	3	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit					
		X.bit , \$ addr16	3	PC PC + 3 + jdisp8 if X.bit = 1 then reset X.bit					
		PSWH.bit , \$ addr16	3	PC PC + 3 + jdisp8 if PSWH.bit = 1 then reset PSWH.bit					
		PSWL.bit , \$ addr16	3	PC PC + 3 + jdisp8 if PSWL.bit = 1 then reset PSWL.bit	x	x	x	x	x
	BFSET	saddr.bit , \$ addr16	4	PC PC + 4 + jdisp8 if( saddr.bit )= 0 then se( saddr.bit )					
		sfr.bit , \$ addr16	4	PC PC + 4 + jdisp8 if sfr.bit = 0 then set sfr.bit					
		A.bit , \$ addr16	3	PC PC + 3 + jdisp8 if A.bit = 0 then set A.bit					
		X.bit , \$ addr16	3	PC PC + 3 + jdisp8 if X.bit = 0 then set X.bit					
		PSWH.bit , \$ addr16	3	PC PC + 3 + jdisp8 if PSWH.bit = 0 then set PSWH.bit					
		PSWL.bit , \$ addr16	3	PC PC + 3 + jdisp8 if PSWL.bit = 0 then set PSWL.bit	x	x	x	x	x
DBNZ	r2 , \$ addr16	2	r2 r2 - 1 , then PC PC + 2 + jdisp8 if r2 0						
	saddr , \$ addr16	3	( saddr ) ( saddr ) - 1 , then PC PC + 3 + jdisp8 if( saddr ) 0						
スロツチキチング:	BRKCS	RBn	2	PC <sub>H</sub> R5 ,PC <sub>L</sub> R4 ,R7 PSW <sub>H</sub> , R6 PSW <sub>L</sub> RBS2-0 n ,RSS 0 ,IE 0					
	RETCS	! addr16	3	PC <sub>H</sub> R5 ,PC <sub>L</sub> R4 ,R5 ,R4 addr16 , PSW <sub>H</sub> R7 ,PSW <sub>L</sub> R6	R	R	R	R	R
	RETCSB	! addr16	4	PC <sub>H</sub> R5 ,PC <sub>L</sub> R4 ,R5 ,R4 addr16 , PSW <sub>H</sub> R7 ,PSW <sub>L</sub> R6	R	R	R	R	R

命令群	二モニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	PV	CY
ストリング	MOVMM	[ DE + ] A	2	( DE + ) A, C C - 1 End if C = 0					
		[ DE - ] A	2	( DE - ) A, C C - 1 End if C = 0					
	MOVBK	[ DE + ][ HL + ]	2	( DE + ) ( HL + ), C C - 1 End if C = 0					
		[ DE - ][ HL - ]	2	( DE - ) ( HL - ), C C - 1 End if C = 0					
	XCHM	[ DE + ] A	2	( DE + ) A, C C - 1 End if C = 0					
		[ DE - ] A	2	( DE - ) A, C C - 1 End if C = 0					
	XCHBK	[ DE + ][ HL + ]	2	( DE + ) ( HL + ), C C - 1 End if C = 0					
		[ DE - ][ HL - ]	2	( DE - ) ( HL - ), C C - 1 End if C = 0					
	CMPME	[ DE + ] A	2	( DE + ) - A, C C - 1 End if C = 0 or Z = 0	x	x	x	V	x
		[ DE - ] A	2	( DE - ) - A, C C - 1 End if C = 0 or Z = 0	x	x	x	V	x
	CMPBKE	[ DE + ][ HL + ]	2	( DE + ) - ( HL + ), C C - 1 End if C = 0 or Z = 0	x	x	x	V	x
		[ DE - ][ HL - ]	2	( DE - ) - ( HL - ), C C - 1 End if C = 0 or Z = 0	x	x	x	V	x
	CMPMNE	[ DE + ] A	2	( DE + ) - A, C C - 1 End if C = 0 or Z = 1	x	x	x	V	x
		[ DE - ] A	2	( DE - ) - A, C C - 1 End if C = 0 or Z = 1	x	x	x	V	x
	CMPBKNE	[ DE + ][ HL + ]	2	( DE + ) - ( HL + ), C C - 1 End if C = 0 or Z = 1	x	x	x	V	x
		[ DE - ][ HL - ]	2	( DE - ) - ( HL - ), C C - 1 End if C = 0 or Z = 1	x	x	x	V	x
CMPMC	[ DE + ] A	2	( DE + ) - A, C C - 1 End if C = 0 or CY = 0	x	x	x	V	x	
	[ DE - ] A	2	( DE - ) - A, C C - 1 End if C = 0 or CY = 0	x	x	x	V	x	
CMPBKC	[ DE + ][ HL + ]	2	( DE + ) - ( HL + ), C C - 1 End if C = 0 or CY = 0	x	x	x	V	x	
	[ DE - ][ HL - ]	2	( DE - ) - ( HL - ), C C - 1 End if C = 0 or CY = 0	x	x	x	V	x	

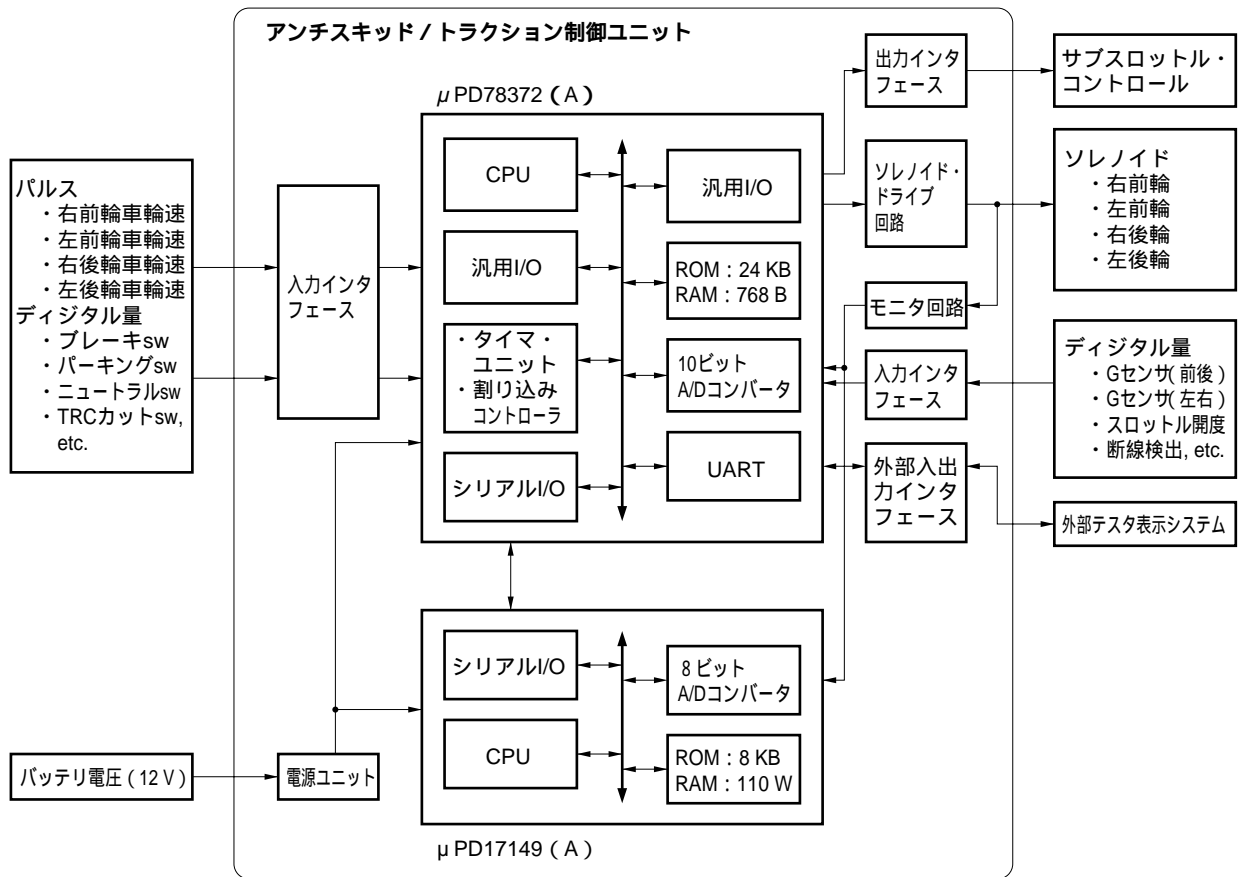
命令群	二モニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	PV	CY
ストリング	CMPMNC	[ DE + ] A	2	( DE + ) - A, C C - 1 End if C = 0 or CY = 1	x	x	x	V	x
		[ DE - ] A	2	( DE - ) - A, C C - 1 End if C = 0 or CY = 1	x	x	x	V	x
	CMPBKNC	[ DE + ][ HL + ]	2	( DE + ) - ( HL + ), C C - 1 End if C = 0 or CY = 1	x	x	x	V	x
		[ DE - ][ HL - ]	2	( DE - ) - ( HL - ), C C - 1 End if C = 0 or CY = 1	x	x	x	V	x
CPU制御	MOV	STBC ,# byte	4	STBC byte <sup>注</sup>					
		WDM ,# byte	4	WDM byte <sup>注</sup>					
	SWRS		1	RSS $\overline{RSS}$					
	SEL	RBn	2	RBS2-0 n ,RSS 0					
		RBn ALT	2	RBS2-0 n ,RSS 1					
	NOP		1	No Operation					
	EI		1	IE 1( Enable Interrupt )					
DI		1	IE 0( Disable Interrupt )						

注 STBCレジスタ，WDMレジスタ操作命令のオペコードが異常のとき，オペコード・トラップ割り込みを発生します。

トラップ時のオペレーション：

- ( SP - 1 ) PSW<sub>H</sub> , ( SP - 2 ) PSW<sub>L</sub> ,
- ( SP - 3 ) ( PC - 4 )<sub>H</sub> , ( SP - 4 ) ( PC - 4 )<sub>L</sub> ,
- PC<sub>L</sub> ( 003CH ) , PC<sub>H</sub> ( 003DH ) ,
- SP SP - 4 , IE 0

10. システム構成例



11. 電気的特性

注意  $\mu$ PD78372 (A), (A1), (A2) の電気的特性です。  $\mu$ PD78370 (A), (A1), (A2) については、目標スペックです。

(1)  $\mu$ PD78370 (A), 78372 (A) の電気的特性 (1/9)

絶対最大定格 (T<sub>A</sub> = 25 )

項目	略号	条件	定格	単位
電源電圧	V <sub>DD</sub>		- 0.5 ~ + 7.0	V
	AV <sub>DD</sub>		- 0.5 ~ V <sub>DD</sub> + 0.5	V
	AV <sub>SS</sub>		- 0.5 ~ + 0.5	V
入力電圧	V <sub>I</sub>	注 1, 2	- 0.5 ~ V <sub>DD</sub> + 0.5	V
出力電圧	V <sub>O</sub>		- 0.5 ~ V <sub>DD</sub> + 0.5	V
ロウ・レベル出力電流	I <sub>OL</sub>	全出力端子	4.0	mA
		全出力端子合計	100	mA
ハイ・レベル出力電流	I <sub>OH</sub>	全出力端子	- 1.0	mA
		全出力端子合計	- 20	mA
アナログ入力電圧	V <sub>IAN</sub>	注 1, 3 AV <sub>DD</sub> > V <sub>DD</sub>	- 0.5 ~ V <sub>DD</sub> + 0.5	V
		V <sub>DD</sub> AV <sub>DD</sub>	- 0.5 ~ AV <sub>DD</sub> + 0.5	
A/Dコンバータ基準入力電圧	AV <sub>REF</sub>	AV <sub>DD</sub> > V <sub>DD</sub>	- 0.5 ~ V <sub>DD</sub> + 0.5	V
		V <sub>DD</sub> AV <sub>DD</sub>	- 0.5 ~ AV <sub>DD</sub> + 0.5	
動作周囲温度	T <sub>A</sub>		- 40 ~ + 85	
保存温度	T <sub>stg</sub>		- 65 ~ + 150	

注 1 . 過電圧印加における許容端子注入電流特性の過電圧条件を除きます。

2 . 注 3 に記載以外の端子。

3 . P70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15端子。

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。



(1) μPD78370(A), 78372(A)の電気的特性(2/9)

**過電圧印加における許容端子注入電流特性 (TA = -40 ~ +85, VDD = +5V ± 10%, VSS = 0V)**

項目	略号	条件		MIN.	TYP.	MAX.	単位
正方向注入電流 (VIN > VDD)	I <sub>JH1</sub>	1端子	ANIn (n = 0-15) 以外の入力 ポート	ピーク値		10	mA
				平均値		0.5	mA
	I <sub>JH2</sub>		ANIn (n = 0-15)	ピーク値		3	mA
				平均値		1	mA
	I <sub>JH</sub>		全入力端子合計	ピーク値		100	mA
				平均値		5	mA
負方向注入電流 (VIN < VSS)	I <sub>JL1</sub>	1端子	ANIn (n = 0-15) 以外の入力 ポート	ピーク値		- 4	mA
				平均値		- 0.4	mA
	I <sub>JL2</sub>		ANIn (n = 0-15)	ピーク値		- 4	mA
				平均値		- 0.3	mA
	I <sub>JL</sub>		全入力端子合計	ピーク値		- 40	mA
				平均値		- 3	mA

注意1. アナログ入力端子 (ANIn : n = 0-15) に注入電流が流れた場合、電流注入端子に隣接するアナログ入力のA/D変換結果は、注入電流が流れていない場合の規格に ±2LSBを加えた値となります。

2. 端子注入電流の平均値 (絶対値) は、次の式により求められます。

$$\text{平均値} = \left( \frac{1}{T} \int_0^T |i(t)|^{3/2} dt \right)^{2/3}$$

ここで i ( t ) は端子注入電流です。また | i ( t ) | の最大値がピーク値となります。

**推奨動作条件**

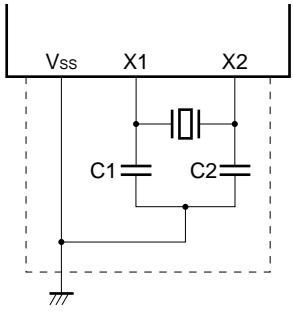
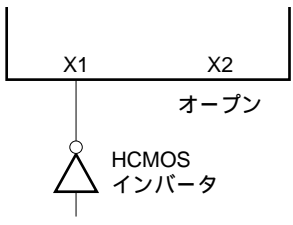
発振周波数	TA	VDD
8 MHz f <sub>xx</sub> 25 MHz	- 40 ~ + 85	+ 5.0 V ± 10 %

**容量 (TA = 25, VSS = VDD = 0V)**

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C <sub>i</sub>	f = 1 MHz			20	pF
出力容量	C <sub>o</sub>	被測定端子以外は0V			20	pF
入出力容量	C <sub>io</sub>				20	pF

(1) μPD78370(A), 78372(A)の電気的特性(3/9)

発振器特性 (TA = -40 ~ +85, VDD = +5V ± 10%, VSS = 0V)

発振器	推奨回路	項目	MIN.	MAX.	単位
セラミック発振子 または水晶振動子		発振周波数 (f <sub>xx</sub> )	8	25	MHz
外部クロック		X1入力周波数 (f <sub>x</sub> )	8	25	MHz
		X1入力立ち上がり, 立ち下がり時間 (t <sub>xR</sub> , t <sub>xF</sub> )	0	10	ns
		X1入力ハイ, ロウ・レベル幅 (t <sub>wXH</sub> , t <sub>wXL</sub> )	10	115	ns

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、上図の破線の部分を次のように配線してください。

- ・配線を極力短くする。
- ・ほかの信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV<sub>SS</sub>と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- ・発振回路から信号を取り出さない。

推奨発振回路定数

セラミック発振子

メーカー	品名	周波数 [MHz]	外付け容量 [pF]	
			C1	C2
村田製作所	CSA12.0MTZ	12.00	30	30
	CST12.0MTW		内蔵	内蔵
	CSA16.00MXZ040	16.00	15	15
	CST16.00MXW0C3		内蔵	内蔵
	CSA20.00MXZ040	20.00	15	15
	CST20.00MXW040		内蔵	内蔵
CSA25.00MXZ040	25.00	7	7	

注意 発振回路定数は、安定して発振する条件を示すものであり、発振周波数精度を保証するものではありません。実装回路にて発振周波数精度を必要とする場合、実装回路にて発振子の発振周波数を調整する必要がありますので、ご使用になる発振子のメーカーに直接お問い合わせください。

( 1 ) μPD78370 ( A ) , 78372 ( A ) の電気的特性 ( 4/9 )

DC特性 (TA = - 40 ~ + 85 , VDD = + 5 V ± 10 % , VSS = 0 V )

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ロウ・レベル入力電圧	V <sub>IL</sub>				0.8	V
ハイ・レベル入力電圧	V <sub>IH1</sub>	注 1	2.2			V
	V <sub>IH2</sub>	注 2	0.8V <sub>DD</sub>			
ロウ・レベル出力電圧	V <sub>OL</sub>	I <sub>oL</sub> = 2.0 mA			0.45	V
ハイ・レベル出力電圧	V <sub>OH</sub>	I <sub>oH</sub> = - 400 μA	V <sub>DD</sub> - 1.0			V
入力リーク電流	I <sub>LI</sub>	注 3	0 V Vi VDD		± 10	μA
アナログ端子入力リーク電流	I <sub>LIAN</sub>	注 4	0 V Vi AVDD		± 1	μA
出力リーク電流	I <sub>LO</sub>	0 V Vo VDD			± 10	μA
V <sub>DD</sub> 電源電流	I <sub>DD1</sub>	動作モード ( f <sub>xx</sub> = 25 MHz )		50	65	mA
	I <sub>DD2</sub>	HALTモード ( f <sub>xx</sub> = 25 MHz )		40	55	
データ保持電圧	V <sub>DDDR</sub>	STOPモード	2.5			V
データ保持電流	I <sub>DDDR</sub>	STOPモード	V <sub>DDDR</sub> = 2.5 V	2	15	μA
			V <sub>DDDR</sub> = 5 V ± 10 %	15	50	μA
SBF反転電圧	V <sub>DDFR</sub>		0.8	1.3	2.4	V
プルアップ抵抗	R <sub>L</sub>	Vi = 0 V	15	40	80	k

注 1 . 注 2 に記載以外の端子。

- 2 . RESET, X1, X2, P20/NMI, P21/INTP0/TO00, P22/INTP1/TO01, P23/INTP2/TO02, P24/INTP3/TO03, P25/INTP4/TO04, P26/INTP5/TO05/TI, P32/SCK0, P33/SO, P34/SI, P35/SCK1端子。
- 3 . 入力および入出力端子 (ただし, X1, X2, アナログ入力として使用しているP70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15を除く)。
- 4 . P70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15端子 (アナログ入力として使用している端子で, 非サンプリング動作時のみ)。

(1) μPD78370(A), 78372(A)の電気的特性(5/9)

AC特性 (TA = -40 ~ +85, VDD = +5V ± 10%, VSS = 0V, CL = 100 pF)

リード/ライト・オペレーション(汎用メモリ接続時)

項目	略号	条件	MIN.	MAX.	単位
システム・クロック・サイクル・タイム	tCYK		80	250	ns
アドレス・セットアップ時間(対ASTB)	tSAST		16		ns
アドレス・ホールド時間(対ASTB)	tHSTA		20		ns
$\overline{RD}$ アドレス・フロート時間	tFRA			0	ns
アドレス データ入力時間	tDAID			144	ns
$\overline{RD}$ データ入力時間	tDRID			72	ns
ASTB $\overline{RD}$ 遅延時間	tDSTR		24		ns
データ・ホールド時間(対 $\overline{RD}$ )	tHRID		0		ns
$\overline{RD}$ アドレス・アクティブ時間	tDRA		26		ns
$\overline{RD}$ ロウ・レベル幅	tWRL		90		ns
ASTBハイ・レベル幅	tWSTH		23		ns
$\overline{LWR}$ , $\overline{HWR}$ データ出力時間	tDWOD			30	ns
ASTB $\overline{LWR}$ , $\overline{HWR}$ 遅延時間	tDSTW		24		ns
$\overline{LWR}$ , $\overline{HWR}$ ASTB 遅延時間	tDWST		105		ns
データ・セットアップ時間(対 $\overline{LWR}$ , $\overline{HWR}$ )	tSODW		75		ns
データ・ホールド時間(対 $\overline{LWR}$ , $\overline{HWR}$ )	tHWOD		8		ns
$\overline{LWR}$ , $\overline{HWR}$ ロウ・レベル幅	tWWL		84		ns
$\overline{WAIT}$ セットアップ時間(対アドレス)	tSAWT			62	ns
$\overline{WAIT}$ ホールド時間(対アドレス)	tHAWT		120		ns
$\overline{WAIT}$ セットアップ時間(対ASTB)	tSASRY			24	ns
$\overline{WAIT}$ ホールド時間(対ASTB)	tHASRY		71		ns
$\overline{WAIT}$ セットアップ時間(対 $\overline{RD}$ )	tSRRY			- 25	ns
$\overline{WAIT}$ セットアップ時間(対 $\overline{LWR}$ , $\overline{HWR}$ )	tSWRY			- 25	ns
$\overline{WAIT}$ ホールド時間(対 $\overline{RD}$ )	tHRRY		31		ns
$\overline{WAIT}$ ホールド時間(対 $\overline{LWR}$ , $\overline{HWR}$ )	tHWRY		31		ns
アドレス $\overline{RD}$ 遅延時間	tDAR			95	ns
アドレス $\overline{LWR}$ , $\overline{HWR}$ 遅延時間	tDAW			95	ns

(1) μPD78370(A), 78372(A)の電気的特性(6/9)

t<sub>cyk</sub>依存のバス・タイミング定義

項目	計算式	MIN./MAX.	単位
t <sub>SAST</sub>	$(0.5 + a)T - 24$	MIN.	ns
t <sub>HSTA</sub>	$0.5T - 20$	MIN.	ns
t <sub>WSTH</sub>	$(0.5 + a)T - 17$	MIN.	ns
t <sub>DSTR</sub>	$0.5T - 16$	MIN.	ns
t <sub>WRL</sub>	$(1.5 + n)T - 30$	MIN.	ns
t <sub>DAID</sub>	$(2.5 + a + n)T - 56$	MAX.	ns
t <sub>DRID</sub>	$(1.5 + n)T - 48$	MAX.	ns
t <sub>DRA</sub>	$0.5T - 14$	MIN.	ns
t <sub>DSTW</sub>	$0.5T - 16$	MIN.	ns
t <sub>DWST</sub>	$1.5T - 15$	MIN.	ns
t <sub>WWL</sub>	$(1.5 + n)T - 36$	MIN.	ns
t <sub>DWOD</sub>	$0.5T - 10$	MAX.	ns
t <sub>SODW</sub>	$(1 + n)T - 5$	MIN.	ns
t <sub>SAWT</sub>	$(a + n)T - 18$	MAX.	ns
t <sub>HAWT</sub>	$(0.5 + a + n)T$	MIN.	ns
t <sub>SASRY</sub>	$(n - 0.5)T - 16$	MAX.	ns
t <sub>HASRY</sub>	$(n - 0.5)T + 31$	MIN.	ns
t <sub>SRRY</sub>	$(n - 1)T - 25$	MAX.	ns
t <sub>SWRY</sub>	$(n - 1)T - 25$	MAX.	ns
t <sub>HRRY</sub>	$(n - 0.5)T - 9$	MIN.	ns
t <sub>HWRY</sub>	$(n - 0.5)T - 9$	MIN.	ns
t <sub>DAR</sub>	$(a + 1)T + 15$	MAX.	ns
t <sub>DAW</sub>	$(a + 1)T + 15$	MAX.	ns

備考1 . T = t<sub>cyk</sub> = 1/f<sub>clk</sub> ( f<sub>clk</sub>は内部システム・クロック周波数 )

- 2 . a は、アドレス・ウエイト挿入時に1になり、その他のときは0になります。
- 3 . n は、外部ウエイト端子 (  $\overline{\text{WAIT}}$  ) またはPWCレジスタの指定により挿入されるウエイト・サイクル数です。
- 4 . バス・タイミングのうち、この表に示す項目のみt<sub>cyk</sub>に依存します。

(1) μPD78370(A), 78372(A)の電気的特性(7/9)

シリアル・オペレーション (TA = -40 ~ +85, VDD = +5V ± 10%, VSS = 0V)

項目	略号	条件		MIN.	MAX.	単位
シリアル・クロック・サイクル・タイム	tcysk	SCK0, SCK1出力	内部8分周	640		ns
		SCK0, SCK1入力	外部クロック	640		ns
シリアル・クロック・ロウ・レベル幅	twskl	SCK0, SCK1出力	内部8分周	280		ns
		SCK0, SCK1入力	外部クロック	280		ns
シリアル・クロック・ハイ・レベル幅	twskh	SCK0, SCK1出力	内部8分周	280		ns
		SCK0, SCK1入力	外部クロック	280		ns
SIセットアップ時間(対SCK1)	tsrxsk			80		ns
SIホールド時間(対SCK1)	tHSKRX			80		ns
SCK1 SO遅延時間	tDSKTX	R = 1k, C = 100pF			110	ns

tcyk依存のシリアル・オペレーション

略号	条件		計算式	MIN./MAX.	単位
tcysk	SCK0, SCK1出力	内部8分周	8T	MIN.	ns
	SCK0, SCK1入力	外部クロック	8T	MIN.	ns
twskl	SCK0, SCK1出力	内部8分周	4T - 40	MIN.	ns
	SCK0, SCK1入力	外部クロック	4T - 40	MIN.	ns
twskh	SCK0, SCK1出力	内部8分周	4T - 40	MIN.	ns
	SCK0, SCK1入力	外部クロック	4T - 40	MIN.	ns

備考1. T = tcyk = 1/fCLK (fCLKは内部システム・クロック周波数)

2. シリアル・オペレーションのうち、この表に示す項目のみtcykに依存します。

(1) μPD78370(A), 78372(A)の電気的特性(8/9)

その他のオペレーション (TA = -40 ~ +85, VDD = +5V ± 10%, VSS = 0V)

項目	略号	条件	MIN.	MAX.	単位
NMIハイ, ロウ・レベル幅	tWNIH, tWNIL		2.5		μs
INTP0ハイ, ロウ・レベル幅	tWI0H, tWI0L		320		ns
INTP1ハイ, ロウ・レベル幅	tWI1H, tWI1L		320		ns
INTP2ハイ, ロウ・レベル幅	tWI2H, tWI2L		320		ns
INTP3ハイ, ロウ・レベル幅	tWI3H, tWI3L		320		ns
INTP4ハイ, ロウ・レベル幅	tWI4H, tWI4L		320		ns
INTP5ハイ, ロウ・レベル幅	tWI5H, tWI5L		320		ns
TIハイ, ロウ・レベル幅	tWTIH, tWTIL	NI = 0	320		ns
		NI = 1	1.28		μs
RESETハイ, ロウ・レベル幅	tWRSH, tWRSL		2.5		μs

備考 NI: ノイズ・プロテクション・コントロール・レジスタ (NPC) のビット 0

t<sub>cyk</sub>依存のその他のオペレーション

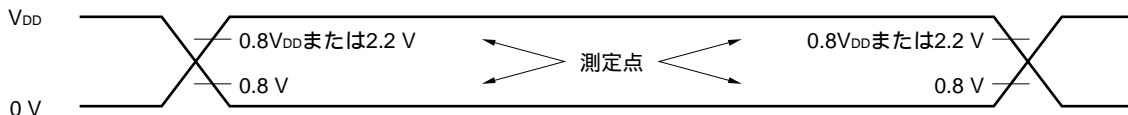
略号	条件	計算式	MIN./MAX.	単位
tWI0H, tWI0L		4T	MIN.	ns
tWI1H, tWI1L		4T	MIN.	ns
tWI2H, tWI2L		4T	MIN.	ns
tWI3H, tWI3L		4T	MIN.	ns
tWI4H, tWI4L		4T	MIN.	ns
tWI5H, tWI5L		4T	MIN.	ns
tWTIH, tWTIL	NI = 0	4T	MIN.	ns
	NI = 1	16T		

備考 1 . T = t<sub>cyk</sub> = 1/f<sub>clk</sub> ( f<sub>clk</sub>は内部システム・クロック周波数 )

2 . この表に示す項目のみt<sub>cyk</sub>に依存します。

3 . NI: ノイズ・プロテクション・コントロール・レジスタ (NPC) のビット 0

ACタイミング測定点



(1) μPD78370(A), 78372(A)の電気的特性(9/9)

A/Dコンバータ特性 (TA = -40 ~ +85, VDD = +5V ± 10%, VSS = AVSS = 0V,  
VDD - 0.5V AVDD VDD)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10			bit
総合誤差 <sup>注1</sup>		4.5V AVREF AVDD			± 0.4	%FSR
		3.4V AVREF < 4.5V			± 0.7	%FSR
量子化誤差					± 1/2	LSB
変換時間	tCONV	80 ns tCYK 250 ns	168			tCYK
サンプリング時間	tSAMP	80 ns tCYK 250 ns	47			tCYK
ゼロスケール誤差 <sup>注1</sup>		4.5V AVREF AVDD		± 1.5	± 2.5	LSB
		3.4V AVREF < 4.5V		± 1.5	± 4.5	LSB
フルスケール誤差 <sup>注1</sup>		4.5V AVREF AVDD		± 1.5	± 2.5	LSB
		3.4V AVREF < 4.5V		± 1.5	± 4.5	LSB
非直線性誤差 <sup>注1</sup>		4.5V AVREF AVDD		± 1.5	± 2.5	LSB
		3.4V AVREF < 4.5V		± 1.5	± 4.5	LSB
アナログ入力電圧 <sup>注2</sup>	VIAN		- 0.3		AVDD + 0.3	V
アナログ入力インピーダンス	RAN	非サンプリング時		10		M
		サンプリング時		<b>注3</b>		
基準電圧	AVREF		3.4		AVDD	V
AVREF電流	AIREF			3.0	4.0	mA
AVDD電源電流	AIDD			1.0	3.0	mA
A/Dコンバータ・データ保持電流	AlDDDR	STOP	AVDDDR = 2.5V	2	10	μA
		モード	AVDDDR = 5V ± 10%	10	50	μA

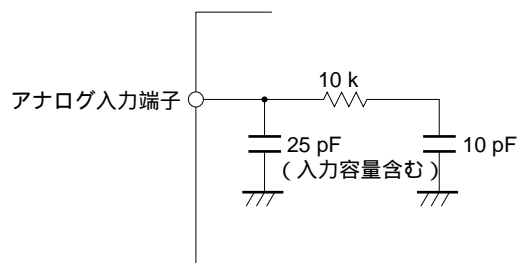
注1 . 量子化誤差を除きます。

2 . - 0.3V VIAN 0Vのときは、変換結果が000Hになります。

0V < VIAN < AVREFのときは、10ビット分解能で変換を行います。

AVREF VIAN AVDD + 0.3Vのときは、変換結果が3FFHになります。

3 . サンプリング時のアナログ入力インピーダンスは、下図の等価回路と同一となります（図中の値はTYP.値で、保証値ではありません）。



備考 T = tCYK = 1/fCLK (fCLKは内部システム・クロック周波数)



( 2 )  $\mu$ PD78370 ( A1 ) , 78372 ( A1 ) の電気的特性 ( 1/9 )

絶対最大定格 (  $T_A = 25$  )

項 目	略 号	条 件	定 格	単 位
電源電圧	$V_{DD}$		- 0.5 ~ + 7.0	V
	$AV_{DD}$		- 0.5 ~ $V_{DD} + 0.5$	V
	$AV_{SS}$		- 0.5 ~ + 0.5	V
入力電圧	$V_I$	注 1 , 2	- 0.5 ~ $V_{DD} + 0.5$	V
出力電圧	$V_O$		- 0.5 ~ $V_{DD} + 0.5$	V
ロウ・レベル出力電流	$I_{OL}$	全出力端子	4.0	mA
		全出力端子合計	100	mA
ハイ・レベル出力電流	$I_{OH}$	全出力端子	- 1.0	mA
		全出力端子合計	- 20	mA
アナログ入力電圧	$V_{IAN}$	注 1 , 3 $AV_{DD} > V_{DD}$	- 0.5 ~ $V_{DD} + 0.5$	V
		$V_{DD} \leq AV_{DD}$	- 0.5 ~ $AV_{DD} + 0.5$	
A/Dコンバータ基準入力電圧	$AV_{REF}$	$AV_{DD} > V_{DD}$	- 0.5 ~ $V_{DD} + 0.5$	V
		$V_{DD} \leq AV_{DD}$	- 0.5 ~ $AV_{DD} + 0.5$	
動作周囲温度	$T_A$		- 40 ~ + 110	
保存温度	$T_{stg}$		- 65 ~ + 150	

注 1 . 過電圧印加における許容端子注入電流特性の過電圧条件を除きます。

2 . 注 3 に記載以外の端子。

3 . P70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15端子。

**注意** 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

(2) μPD78370 (A1) , 78372 (A1) の電氣的特性 (2/9)

過電圧印加における許容端子注入電流特性 (TA = -40 ~ +110 , VDD = +5 V ± 10 % , VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
正方向注入電流 (VIN > VDD)	I <sub>JH1</sub>	1 端子	ANIn (n = 0-15) 以外の入力 ポート	ピーク値		10	mA
				平均値		0.5	mA
	I <sub>JH2</sub>		ANIn (n = 0-15)	ピーク値		3	mA
				平均値		1	mA
	I <sub>JH</sub>		全入力端子合計	ピーク値		100	mA
				平均値		5	mA
負方向注入電流 (VIN < VSS)	I <sub>JL1</sub>	1 端子	ANIn (n = 0-15) 以外の入力 ポート	ピーク値		- 4	mA
				平均値		- 0.4	mA
	I <sub>JL2</sub>		ANIn (n = 0-15)	ピーク値		- 4	mA
				平均値		- 0.3	mA
	I <sub>JL</sub>		全入力端子合計	ピーク値		- 40	mA
				平均値		- 3	mA

注意 1 . アナログ入力端子 (ANIn : n = 0-15) に注入電流が流れた場合 , 電流注入端子に隣接するアナログ入力の A/D変換結果は , 注入電流が流れていない場合の規格に ±2LSBを加えた値となります。

2 . 端子注入電流の平均値 (絶対値) は , 次の式により求められます。

$$\text{平均値} = \left( \frac{1}{T} \int_0^T |i(t)|^{3/2} dt \right)^{2/3}$$

ここで i ( t ) は端子注入電流です。また | i ( t ) | の最大値がピーク値となります。

推奨動作条件

発振周波数	TA	VDD
8 MHz f <sub>xx</sub> 20 MHz	- 40 ~ + 110	+ 5.0 V ± 10 %

容量 (TA = 25 , VSS = VDD = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C <sub>i</sub>	f = 1 MHz			20	pF
出力容量	C <sub>o</sub>	被測定端子以外は0 V			20	pF
入出力容量	C <sub>io</sub>				20	pF

(2)  $\mu$ PD78370 (A1) , 78372 (A1) の電気的特性 (3/9)

発振器特性 ( $T_A = -40 \sim +110$  ,  $V_{DD} = +5V \pm 10\%$  ,  $V_{SS} = 0V$ )

発振子	推奨回路	項目	MIN.	MAX.	単位
セラミック発振子 または水晶振動子		発振周波数 ( $f_{XX}$ )	8	20	MHz
外部クロック		X1入力周波数 ( $f_X$ )	8	20	MHz
		X1入力立ち上がり, 立ち下がり時間 ( $t_{XR}, t_{XF}$ )	0	10	ns
		X1入力ハイ, ロウ・レベル幅 ( $t_{WXH}, t_{WXL}$ )	20	115	ns

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、上図の破線の部分を次のように配線してください。

- ・配線を極力短くする。
- ・ほかの信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に $V_{SS}$ と同電位となるようにする。大電流が流れるグラウンド・パターンには接地しない。
- ・発振回路から信号を取り出さない。

( 2 ) μPD78370 ( A1 ) , 78372 ( A1 ) の電氣的特性 ( 4/9 )

DC特性 (  $T_A = - 40 \sim + 110$  ,  $V_{DD} = + 5 V \pm 10 \%$  ,  $V_{SS} = 0 V$  )

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ロウ・レベル入力電圧	$V_{IL}$				0.8	V
ハイ・レベル入力電圧	$V_{IH1}$	注 1	2.2			V
	$V_{IH2}$	注 2	$0.8V_{DD}$			
ロウ・レベル出力電圧	$V_{OL}$	$I_{OL} = 2.0 \text{ mA}$			0.45	V
ハイ・レベル出力電圧	$V_{OH}$	$I_{OH} = - 400 \mu\text{A}$	$V_{DD} - 1.0$			V
入力リーク電流	$I_{LI}$	注 3	0 V $V_i$ $V_{DD}$		$\pm 10$	$\mu\text{A}$
アナログ端子入力リーク電流	$I_{LIAN}$	注 4	0 V $V_i$ $AV_{DD}$		$\pm 2$	$\mu\text{A}$
出力リーク電流	$I_{LO}$	0 V $V_o$ $V_{DD}$			$\pm 10$	$\mu\text{A}$
$V_{DD}$ 電源電流	$I_{DD1}$	動作モード ( $f_{XX} = 20 \text{ MHz}$ )		45	55	mA
	$I_{DD2}$	HALTモード ( $f_{XX} = 20 \text{ MHz}$ )		30	50	
データ保持電圧	$V_{DDDR}$	STOPモード	2.5			V
データ保持電流	$I_{DDDR}$	STOPモード	$V_{DDDR} = 2.5 \text{ V}$	2	100	$\mu\text{A}$
			$V_{DDDR} = 5 \text{ V} \pm 10 \%$	15	1000	$\mu\text{A}$
SBF反転電圧	$V_{DDFR}$		0.8	1.3	2.4	V
プルアップ抵抗	$R_L$	$V_i = 0 \text{ V}$	15	40	80	k

注 1 . 注 2 に記載以外の端子。

- 2 .  $\overline{\text{RESET}}$ , X1, X2, P20/NMI, P21/INTP0/TO00, P22/INTP1/TO01, P23/INTP2/TO02, P24/INTP3/TO03, P25/INTP4/TO04, P26/INTP5/TO05/TI, P32/SCK0, P33/SO, P34/SI, P35/SCK1端子。
- 3 . 入力および入出力端子 (ただし, X1, X2, アナログ入力として使用しているP70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15を除く)。
- 4 . P70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15端子 (アナログ入力として使用している端子で, 非サンプリング動作時のみ)。

(2) μPD78370 (A1) , 78372 (A1) の電気的特性 (5/9)

AC特性 (TA = - 40 ~ + 110 , VDD = + 5 V ± 10 % , VSS = 0 V , CL = 100 pF)

リード/ライト・オペレーション (汎用メモリ接続時)

項 目	略 号	条 件	MIN.	MAX.	単 位
システム・クロック・サイクル・タイム	t <sub>CYK</sub>		100	250	ns
アドレス・セットアップ時間 (対ASTB )	t <sub>SAST</sub>		26		ns
アドレス・ホールド時間 (対ASTB )	t <sub>HSTA</sub>		30		ns
$\overline{RD}$ アドレス・フロート時間	t <sub>FRA</sub>			0	ns
アドレス データ入力時間	t <sub>DAID</sub>			194	ns
$\overline{RD}$ データ入力時間	t <sub>DRID</sub>			97	ns
ASTB $\overline{RD}$ 遅延時間	t <sub>DSTR</sub>		34		ns
データ・ホールド時間 (対 $\overline{RD}$ )	t <sub>HRID</sub>		0		ns
$\overline{RD}$ アドレス・アクティブ時間	t <sub>DRA</sub>		36		ns
$\overline{RD}$ ロウ・レベル幅	t <sub>WRL</sub>		120		ns
ASTBハイ・レベル幅	t <sub>WSTH</sub>		33		ns
$\overline{LWR}$ , $\overline{HWR}$ データ出力時間	t <sub>DWOD</sub>			40	ns
ASTB $\overline{LWR}$ , $\overline{HWR}$ 遅延時間	t <sub>DSTW</sub>		34		ns
$\overline{LWR}$ , $\overline{HWR}$ ASTB 遅延時間	t <sub>DWST</sub>		135		ns
データ・セットアップ時間 (対 $\overline{LWR}$ , $\overline{HWR}$ )	t <sub>SODW</sub>		95		ns
データ・ホールド時間 (対 $\overline{LWR}$ , $\overline{HWR}$ )	t <sub>HWOD</sub>		8		ns
$\overline{LWR}$ , $\overline{HWR}$ ロウ・レベル幅	t <sub>WWL</sub>		114		ns
$\overline{WAIT}$ セットアップ時間 (対アドレス)	t <sub>SAWT</sub>			82	ns
$\overline{WAIT}$ ホールド時間 (対アドレス)	t <sub>HAWT</sub>		150		ns
$\overline{WAIT}$ セットアップ時間 (対ASTB )	t <sub>SASRY</sub>			34	ns
$\overline{WAIT}$ ホールド時間 (対ASTB )	t <sub>HASRY</sub>		81		ns
$\overline{WAIT}$ セットアップ時間 (対 $\overline{RD}$ )	t <sub>SRRY</sub>			- 25	ns
$\overline{WAIT}$ セットアップ時間 (対 $\overline{LWR}$ , $\overline{HWR}$ )	t <sub>SWRY</sub>			- 25	ns
$\overline{WAIT}$ ホールド時間 (対 $\overline{RD}$ )	t <sub>HRRY</sub>		41		ns
$\overline{WAIT}$ ホールド時間 (対 $\overline{LWR}$ , $\overline{HWR}$ )	t <sub>HWRY</sub>		41		ns
アドレス $\overline{RD}$ 遅延時間	t <sub>DAR</sub>			115	ns
アドレス $\overline{LWR}$ , $\overline{HWR}$ 遅延時間	t <sub>DAW</sub>			115	ns

( 2 ) μPD78370 ( A1 ) , 78372 ( A1 ) の電気的特性 ( 6/9 )

t<sub>cyk</sub>依存のバス・タイミング定義

項 目	計 算 式	MIN./MAX.	単 位
t <sub>SAST</sub>	$(0.5 + a)T - 24$	MIN.	ns
t <sub>HSTA</sub>	$0.5T - 20$	MIN.	ns
t <sub>WSTH</sub>	$(0.5 + a)T - 17$	MIN.	ns
t <sub>DSTR</sub>	$0.5T - 16$	MIN.	ns
t <sub>WRL</sub>	$(1.5 + n)T - 30$	MIN.	ns
t <sub>DAID</sub>	$(2.5 + a + n)T - 56$	MAX.	ns
t <sub>DRID</sub>	$(1.5 + n)T - 53$	MAX.	ns
t <sub>DRA</sub>	$0.5T - 14$	MIN.	ns
t <sub>DSTW</sub>	$0.5T - 16$	MIN.	ns
t <sub>DWST</sub>	$1.5T - 15$	MIN.	ns
t <sub>WWL</sub>	$(1.5 + n)T - 36$	MIN.	ns
t <sub>DWOD</sub>	$0.5T - 10$	MAX.	ns
t <sub>SODW</sub>	$(1 + n)T - 5$	MIN.	ns
t <sub>SAWT</sub>	$(a + n)T - 18$	MAX.	ns
t <sub>HAWT</sub>	$(0.5 + a + n)T$	MIN.	ns
t <sub>SASRY</sub>	$(n - 0.5)T - 16$	MAX.	ns
t <sub>HASRY</sub>	$(n - 0.5)T + 31$	MIN.	ns
t <sub>SRRY</sub>	$(n - 1)T - 25$	MAX.	ns
t <sub>SWRY</sub>	$(n - 1)T - 25$	MAX.	ns
t <sub>HRRY</sub>	$(n - 0.5)T - 9$	MIN.	ns
t <sub>HWRY</sub>	$(n - 0.5)T - 9$	MIN.	ns
t <sub>DAR</sub>	$(a + 1)T + 15$	MAX.	ns
t <sub>DAW</sub>	$(a + 1)T + 15$	MAX.	ns

備考 1 . T = t<sub>cyk</sub> = 1/f<sub>clk</sub> ( f<sub>clk</sub>は内部システム・クロック周波数 )

- 2 . a は、アドレス・ウエイト挿入時に 1 になり、その他のときは 0 になります。
- 3 . n は、外部ウエイト端子 ( WAIT ) またはPWCレジスタの指定により挿入されるウエイト・サイクル数です。
- 4 . バス・タイミングのうち、この表に示す項目のみt<sub>cyk</sub>に依存します。

(2) μPD78370 (A1) , 78372 (A1) の電気的特性 (7/9)

シリアル・オペレーション (TA = -40 ~ +110 , VDD = +5V ± 10% , VSS = 0V)

項目	略号	条件		MIN.	MAX.	単位
シリアル・クロック・サイクル・タイム	tcysk	SCK0, SCK1出力	内部8分周	800		ns
		SCK0, SCK1入力	外部クロック	800		ns
シリアル・クロック・ロウ・レベル幅	twskl	SCK0, SCK1出力	内部8分周	360		ns
		SCK0, SCK1入力	外部クロック	360		ns
シリアル・クロック・ハイ・レベル幅	twskh	SCK0, SCK1出力	内部8分周	360		ns
		SCK0, SCK1入力	外部クロック	360		ns
SIセットアップ時間 (対SCK1)	tsrxsk			80		ns
SIホールド時間 (対SCK1)	tshskrx			80		ns
SCK1 SO遅延時間	tdsktx	R = 1 k , C = 100 pF			110	ns

tcysk依存のシリアル・オペレーション

略号	条件		計算式	MIN./MAX.	単位
tcysk	SCK0, SCK1出力	内部8分周	8T	MIN.	ns
	SCK0, SCK1入力	外部クロック	8T	MIN.	ns
twskl	SCK0, SCK1出力	内部8分周	4T - 40	MIN.	ns
	SCK0, SCK1入力	外部クロック	4T - 40	MIN.	ns
twskh	SCK0, SCK1出力	内部8分周	4T - 40	MIN.	ns
	SCK0, SCK1入力	外部クロック	4T - 40	MIN.	ns

備考1 . T = tcysk = 1/fCLK ( fCLKは内部システム・クロック周波数 )

2 . シリアル・オペレーションのうち、この表に示す項目のみtcyskに依存します。

(2) μPD78370 (A1) , 78372 (A1) の電気的特性 (8/9)

その他のオペレーション (TA = -40 ~ +110 , VDD = +5V ± 10% , VSS = 0V)

項目	略号	条件	MIN.	MAX.	単位
NMIハイ, ロウ・レベル幅	tWNIH, tWNIL		3		μs
INTP0ハイ, ロウ・レベル幅	tWI0H, tWI0L		400		ns
INTP1ハイ, ロウ・レベル幅	tWI1H, tWI1L		400		ns
INTP2ハイ, ロウ・レベル幅	tWI2H, tWI2L		400		ns
INTP3ハイ, ロウ・レベル幅	tWI3H, tWI3L		400		ns
INTP4ハイ, ロウ・レベル幅	tWI4H, tWI4L		400		ns
INTP5ハイ, ロウ・レベル幅	tWI5H, tWI5L		400		ns
TIハイ, ロウ・レベル幅	tWTIH, tWTIL	NI = 0	400		ns
		NI = 1	1.6		μs
RESETハイ, ロウ・レベル幅	tWRSH, tWRSL		3		μs

備考 NI: ノイズ・プロテクション・コントロール・レジスタ (NPC) のビット 0

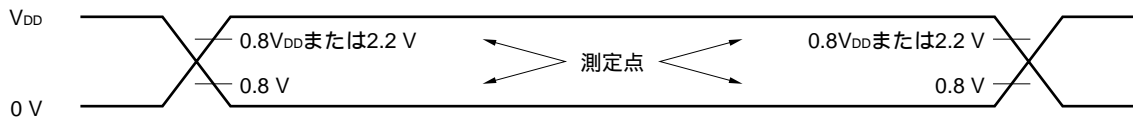
t<sub>cyk</sub>依存のその他のオペレーション

略号	条件	計算式	MIN./MAX.	単位
tWI0H, tWI0L		4T	MIN.	ns
tWI1H, tWI1L		4T	MIN.	ns
tWI2H, tWI2L		4T	MIN.	ns
tWI3H, tWI3L		4T	MIN.	ns
tWI4H, tWI4L		4T	MIN.	ns
tWI5H, tWI5L		4T	MIN.	ns
tWTIH, tWTIL	NI = 0	4T	MIN.	ns
	NI = 1	16T		

備考 1 . T = t<sub>cyk</sub> = 1/f<sub>clk</sub> ( f<sub>clk</sub>は内部システム・クロック周波数 )

- この表に示す項目のみt<sub>cyk</sub>に依存します。
- NI: ノイズ・プロテクション・コントロール・レジスタ (NPC) のビット 0

ACタイミング測定点





(2) μPD78370 (A1) , 78372 (A1) の電気的特性 (9/9)

A/Dコンバータ特性 (TA = -40 ~ +110 , VDD = +5V ± 10% , VSS = AVSS = 0V,  
VDD - 0.5V AVDD VDD)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10			bit
総合誤差 <sup>注1</sup>		4.5V AVREF AVDD			± 0.4	%FSR
		3.4V AVREF < 4.5V			± 0.7	%FSR
量子化誤差					± 1/2	LSB
変換時間	tCONV	100 ns tCYK 250 ns	168			tCYK
サンプリング時間	tSAMP	100 ns tCYK 250 ns	47			tCYK
ゼロスケール誤差 <sup>注1</sup>		4.5V AVREF AVDD		± 1.5	± 2.5	LSB
		3.4V AVREF < 4.5V		± 1.5	± 4.5	LSB
フルスケール誤差 <sup>注1</sup>		4.5V AVREF AVDD		± 1.5	± 2.5	LSB
		3.4V AVREF < 4.5V		± 1.5	± 4.5	LSB
非直線性誤差 <sup>注1</sup>		4.5V AVREF AVDD		± 1.5	± 2.5	LSB
		3.4V AVREF < 4.5V		± 1.5	± 4.5	LSB
アナログ入力電圧 <sup>注2</sup>	VIAN		- 0.3		AVDD + 0.3	V
アナログ入力インピーダンス	RAN	非サンプリング時		10		M
		サンプリング時		<b>注3</b>		
基準電圧	AVREF		3.4		AVDD	V
AVREF電流	AIREF			3.0	4.0	mA
AVDD電源電流	AlDD			1.0	3.0	mA
A/Dコンバータ・データ保持電流	AlDDDR	STOP	AVDDDR = 2.5V	2	100	μA
		モード	AVDDDR = 5V ± 10%	10	1000	μA

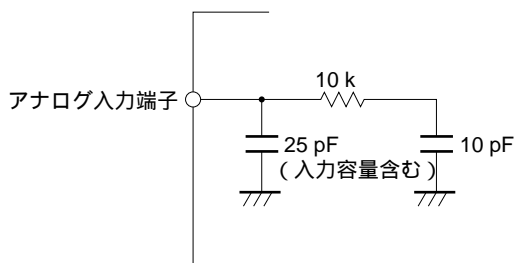
注1 . 量子化誤差を除きます。

2 . - 0.3V VIAN 0Vのときは、変換結果が000Hになります。

0V < VIAN < AVREFのときは、10ビット分解能で変換を行います。

AVREF VIAN AVDD + 0.3Vのときは、変換結果が3FFHになります。

3 . サンプリング時のアナログ入力インピーダンスは、下図の等価回路と同一となります ( 図中の値はTYP.値で、保証値ではありません ) 。



備考 T = tCYK = 1/fCLK ( fCLKは内部システム・クロック周波数 )

( 3 ) μPD78370 ( A2 ) , 78372 ( A2 ) の電気的特性 ( 1/9 )

絶対最大定格 ( T<sub>A</sub> = 25 )

項 目	略 号	条 件	定 格	単 位
電源電圧	V <sub>DD</sub>		- 0.5 ~ + 7.0	V
	AV <sub>DD</sub>		- 0.5 ~ V <sub>DD</sub> + 0.5	V
	AV <sub>SS</sub>		- 0.5 ~ + 0.5	V
入力電圧	V <sub>I</sub>	注 1 , 2	- 0.5 ~ V <sub>DD</sub> + 0.5	V
出力電圧	V <sub>O</sub>		- 0.5 ~ V <sub>DD</sub> + 0.5	V
ロウ・レベル出力電流	I <sub>OL</sub>	全出力端子	4.0	mA
		全出力端子合計	100	mA
ハイ・レベル出力電流	I <sub>OH</sub>	全出力端子	- 1.0	mA
		全出力端子合計	- 20	mA
アナログ入力電圧	V <sub>IAN</sub>	注 1 , 3 AV <sub>DD</sub> > V <sub>DD</sub>	- 0.5 ~ V <sub>DD</sub> + 0.5	V
		V <sub>DD</sub> AV <sub>DD</sub>	- 0.5 ~ AV <sub>DD</sub> + 0.5	
A/Dコンバータ基準入力電圧	AV <sub>REF</sub>	AV <sub>DD</sub> > V <sub>DD</sub>	- 0.5 ~ V <sub>DD</sub> + 0.5	V
		V <sub>DD</sub> AV <sub>DD</sub>	- 0.5 ~ AV <sub>DD</sub> + 0.5	
動作周囲温度	T <sub>A</sub>		- 40 ~ + 125	
保存温度	T <sub>stg</sub>		- 65 ~ + 150	

注 1 . 過電圧印加における許容端子注入電流特性の過電圧条件を除きます。

2 . 注 3 に記載以外の端子。

3 . P70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15端子。

**注意** 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

(3) μPD78370 (A2) , 78372 (A2) の電氣的特性 (2/9)

過電圧印加における許容端子注入電流特性 (T<sub>A</sub> = -40 ~ +125 , V<sub>DD</sub> = +5 V ± 10 % , V<sub>SS</sub> = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
正方向注入電流 (V <sub>IN</sub> > V <sub>DD</sub> )	I <sub>JH1</sub>	1端子	ANIn (n = 0-15) 以外の入力 ポート	ピーク値		10	mA
				平均値		0.5	mA
	I <sub>JH2</sub>		ANIn (n = 0-15)	ピーク値		3	mA
				平均値		1	mA
	I <sub>JH</sub>		全入力端子合計	ピーク値		100	mA
				平均値		5	mA
負方向注入電流 (V <sub>IN</sub> < V <sub>SS</sub> )	I <sub>JL1</sub>	1端子	ANIn (n = 0-15) 以外の入力 ポート	ピーク値		- 4	mA
				平均値		- 0.4	mA
	I <sub>JL2</sub>		ANIn (n = 0-15)	ピーク値		- 4	mA
				平均値		- 0.3	mA
	I <sub>JL</sub>		全入力端子合計	ピーク値		- 40	mA
				平均値		- 3	mA

注意1. アナログ入力端子 (ANIn : n = 0-15) に注入電流が流れた場合、電流注入端子に隣接するアナログ入力の A/D変換結果は、注入電流が流れていない場合の規格に ±2LSBを加えた値となります。

2. 端子注入電流の平均値 (絶対値) は、次の式により求められます。

$$\text{平均値} = \left( \frac{1}{T} \int_0^T |i(t)|^{3/2} dt \right)^{2/3}$$

ここで i ( t ) は端子注入電流です。また | i ( t ) | の最大値がピーク値となります。

推奨動作条件

発振周波数	T <sub>A</sub>	V <sub>DD</sub>
8 MHz f <sub>xx</sub> 20 MHz	- 40 ~ + 125	+ 5.0 V ± 10 %

容量 (T<sub>A</sub> = 25 , V<sub>SS</sub> = V<sub>DD</sub> = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C <sub>i</sub>	f = 1 MHz			20	pF
出力容量	C <sub>o</sub>	被測定端子以外は0 V			20	pF
入出力容量	C <sub>io</sub>				20	pF

(3)  $\mu$ PD78370 (A2) , 78372 (A2) の電気的特性 (3/9)

発振器特性 ( $T_A = -40 \sim +125$  ,  $V_{DD} = +5V \pm 10\%$  ,  $V_{SS} = 0V$ )

発振子	推奨回路	項目	MIN.	MAX.	単位
セラミック発振子 または水晶振動子		発振周波数 ( $f_{XX}$ )	8	20	MHz
外部クロック		X1入力周波数 ( $f_X$ )	8	20	MHz
		X1入力立ち上がり, 立ち下がり時間 ( $t_{XR}, t_{XF}$ )	0	10	ns
		X1入力ハイ, ロウ・レベル幅 ( $t_{WXH}, t_{WXL}$ )	20	115	ns

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、上図の破線の部分を次のように配線してください。

- ・配線を極力短くする。
- ・ほかの信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に $V_{SS}$ と同電位となるようにする。大電流が流れるグラウンド・パターンには接地しない。
- ・発振回路から信号を取り出さない。

( 3 ) μPD78370 ( A2 ) , 78372 ( A2 ) の電気的特性 ( 4/9 )

DC特性 (  $T_A = - 40 \sim + 125$  ,  $V_{DD} = + 5 V \pm 10 \%$  ,  $V_{SS} = 0 V$  )

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ロウ・レベル入力電圧	$V_{IL}$				0.8	V
ハイ・レベル入力電圧	$V_{IH1}$	注 1	2.2			V
	$V_{IH2}$	注 2	$0.8V_{DD}$			
ロウ・レベル出力電圧	$V_{OL}$	$I_{OL} = 2.0 \text{ mA}$			0.45	V
ハイ・レベル出力電圧	$V_{OH}$	$I_{OH} = - 400 \mu\text{A}$	$V_{DD} - 1.0$			V
入力リーク電流	$I_{LI}$	注 3	$0 V \quad V_i \quad V_{DD}$		$\pm 10$	$\mu\text{A}$
アナログ端子入力リーク電流	$I_{LIAN}$	注 4	$0 V \quad V_i \quad AV_{DD}$		$\pm 2$	$\mu\text{A}$
出力リーク電流	$I_{LO}$		$0 V \quad V_o \quad V_{DD}$		$\pm 10$	$\mu\text{A}$
$V_{DD}$ 電源電流	$I_{DD1}$	動作モード ( $f_{XX} = 20 \text{ MHz}$ )		45	55	mA
	$I_{DD2}$	HALTモード ( $f_{XX} = 20 \text{ MHz}$ )		30	50	mA
データ保持電圧	$V_{DDDR}$	STOPモード	2.5			V
データ保持電流	$I_{DDDR}$	STOPモード	$V_{DDDR} = 2.5 V$	2	100	$\mu\text{A}$
			$V_{DDDR} = 5 V \pm 10 \%$	15	1000	$\mu\text{A}$
SBF反転電圧	$V_{DDFR}$		0.8	1.3	2.4	V
プルアップ抵抗	$R_L$	$V_i = 0 V$	15	40	80	k

注 1 . 注 2 に記載以外の端子。

- 2 . RESET, X1, X2, P20/NMI, P21/INTP0/TO00, P22/INTP1/TO01, P23/INTP2/TO02, P24/INTP3/TO03, P25/INTP4/TO04, P26/INTP5/TO05/TI, P32/SCK0, P33/SO, P34/SI, P35/SCK1端子。
- 3 . 入力および入出力端子 (ただし, X1, X2, アナログ入力として使用しているP70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15を除く)。
- 4 . P70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15端子 (アナログ入力として使用している端子で, 非サンプリング動作時のみ)。

(3) μPD78370 (A2) , 78372 (A2) の電気的特性 (5/9)

AC特性 (TA = - 40 ~ + 125 , VDD = + 5 V ± 10 % , VSS = 0 V , CL = 100 pF)

リード/ライト・オペレーション (汎用メモリ接続時)

項 目	略 号	条 件	MIN.	MAX.	単 位
システム・クロック・サイクル・タイム	t <sub>CYK</sub>		100	250	ns
アドレス・セットアップ時間 (対ASTB )	t <sub>SAST</sub>		26		ns
アドレス・ホールド時間 (対ASTB )	t <sub>HSTA</sub>		30		ns
$\overline{RD}$ アドレス・フロート時間	t <sub>FRA</sub>			0	ns
アドレス データ入力時間	t <sub>DAID</sub>			194	ns
$\overline{RD}$ データ入力時間	t <sub>DRID</sub>			97	ns
ASTB $\overline{RD}$ 遅延時間	t <sub>DSTR</sub>		34		ns
データ・ホールド時間 (対 $\overline{RD}$ )	t <sub>HRID</sub>		0		ns
$\overline{RD}$ アドレス・アクティブ時間	t <sub>DRA</sub>		36		ns
$\overline{RD}$ 口ウ・レベル幅	t <sub>WRL</sub>		120		ns
ASTBハイ・レベル幅	t <sub>WSTH</sub>		33		ns
$\overline{LWR}$ , $\overline{HWR}$ データ出力時間	t <sub>DWOD</sub>			40	ns
ASTB $\overline{LWR}$ , $\overline{HWR}$ 遅延時間	t <sub>DSTW</sub>		34		ns
$\overline{LWR}$ , $\overline{HWR}$ ASTB 遅延時間	t <sub>DWST</sub>		135		ns
データ・セットアップ時間 (対 $\overline{LWR}$ , $\overline{HWR}$ )	t <sub>SODW</sub>		95		ns
データ・ホールド時間 (対 $\overline{LWR}$ , $\overline{HWR}$ )	t <sub>HWOD</sub>		8		ns
$\overline{LWR}$ , $\overline{HWR}$ 口ウ・レベル幅	t <sub>WWL</sub>		114		ns
$\overline{WAIT}$ セットアップ時間 (対アドレス)	t <sub>SAWT</sub>			82	ns
$\overline{WAIT}$ ホールド時間 (対アドレス)	t <sub>HAWT</sub>		150		ns
$\overline{WAIT}$ セットアップ時間 (対ASTB )	t <sub>SASRY</sub>			34	ns
$\overline{WAIT}$ ホールド時間 (対ASTB )	t <sub>HASRY</sub>		81		ns
$\overline{WAIT}$ セットアップ時間 (対 $\overline{RD}$ )	t <sub>SRRY</sub>			- 25	ns
$\overline{WAIT}$ セットアップ時間 (対 $\overline{LWR}$ , $\overline{HWR}$ )	t <sub>SWRY</sub>			- 25	ns
$\overline{WAIT}$ ホールド時間 (対 $\overline{RD}$ )	t <sub>HRRY</sub>		41		ns
$\overline{WAIT}$ ホールド時間 (対 $\overline{LWR}$ , $\overline{HWR}$ )	t <sub>HWRY</sub>		41		ns
アドレス $\overline{RD}$ 遅延時間	t <sub>DAR</sub>			115	ns
アドレス $\overline{LWR}$ , $\overline{HWR}$ 遅延時間	t <sub>DAW</sub>			115	ns

(3) μPD78370 (A2) , 78372 (A2) の電気的特性 (6/9)

t<sub>CYK</sub>依存のバス・タイミング定義

項目	計算式	MIN./MAX.	単位
t <sub>SAST</sub>	(0.5 + a)T - 24	MIN.	ns
t <sub>HSTA</sub>	0.5T - 20	MIN.	ns
t <sub>WSTH</sub>	(0.5 + a)T - 17	MIN.	ns
t <sub>DSTR</sub>	0.5T - 16	MIN.	ns
t <sub>WRL</sub>	(1.5 + n)T - 30	MIN.	ns
t <sub>DAID</sub>	(2.5 + a + n)T - 56	MAX.	ns
t <sub>DRID</sub>	(1.5 + n)T - 53	MAX.	ns
t <sub>DRA</sub>	0.5T - 14	MIN.	ns
t <sub>DSTW</sub>	0.5T - 16	MIN.	ns
t <sub>DWST</sub>	1.5T - 15	MIN.	ns
t <sub>WWL</sub>	(1.5 + n)T - 36	MIN.	ns
t <sub>DWOD</sub>	0.5T - 10	MAX.	ns
t <sub>SODW</sub>	(1 + n)T - 5	MIN.	ns
t <sub>SAWT</sub>	(a + n)T - 18	MAX.	ns
t <sub>HAWT</sub>	(0.5 + a + n)T	MIN.	ns
t <sub>SASRY</sub>	(n - 0.5)T - 16	MAX.	ns
t <sub>HASRY</sub>	(n - 0.5)T + 31	MIN.	ns
t <sub>SRRY</sub>	(n - 1)T - 25	MAX.	ns
t <sub>SWRY</sub>	(n - 1)T - 25	MAX.	ns
t <sub>HRRY</sub>	(n - 0.5)T - 9	MIN.	ns
t <sub>HWRY</sub>	(n - 0.5)T - 9	MIN.	ns
t <sub>DAR</sub>	(a + 1)T + 15	MAX.	ns
t <sub>DAW</sub>	(a + 1)T + 15	MAX.	ns

備考1 . T = t<sub>CYK</sub> = 1/f<sub>CLK</sub> ( f<sub>CLK</sub>は内部システム・クロック周波数 )

- 2 . a は、アドレス・ウエイト挿入時に1になり、その他のときは0になります。
- 3 . n は、外部ウエイト端子 ( WAIT ) またはPWCレジスタの指定により挿入されるウエイト・サイクル数です。
- 4 . バス・タイミングのうち、この表に示す項目のみt<sub>CYK</sub>に依存します。

(3) μPD78370 (A2) , 78372 (A2) の電気的特性 (7/9)

シリアル・オペレーション (T<sub>A</sub> = -40 ~ +125 , V<sub>DD</sub> = +5V ± 10% , V<sub>SS</sub> = 0V)

項目	略号	条件		MIN.	MAX.	単位
シリアル・クロック・サイクル・タイム	tcysk	SCK0, SCK1出力	内部8分周	800		ns
		SCK0, SCK1入力	外部クロック	800		ns
シリアル・クロック・ロウ・レベル幅	twskl	SCK0, SCK1出力	内部8分周	360		ns
		SCK0, SCK1入力	外部クロック	360		ns
シリアル・クロック・ハイ・レベル幅	twskh	SCK0, SCK1出力	内部8分周	360		ns
		SCK0, SCK1入力	外部クロック	360		ns
SIセットアップ時間 (対SCK1)	tsrxsk			80		ns
SIホールド時間 (対SCK1)	tHSKRX			80		ns
SCK1 SO遅延時間	tdsktx	R = 1 k , C = 100 pF			110	ns

t<sub>cyk</sub>依存のシリアル・オペレーション

略号	条件		計算式	MIN./MAX.	単位
tcysk	SCK0, SCK1出力	内部8分周	8T	MIN.	ns
	SCK0, SCK1入力	外部クロック	8T	MIN.	ns
twskl	SCK0, SCK1出力	内部8分周	4T - 40	MIN.	ns
	SCK0, SCK1入力	外部クロック	4T - 40	MIN.	ns
twskh	SCK0, SCK1出力	内部8分周	4T - 40	MIN.	ns
	SCK0, SCK1入力	外部クロック	4T - 40	MIN.	ns

備考1 . T = t<sub>cyk</sub> = 1/f<sub>clk</sub> ( f<sub>clk</sub>は内部システム・クロック周波数 )

2 . シリアル・オペレーションのうち、この表に示す項目のみt<sub>cyk</sub>に依存します。



(3) μPD78370 (A2) , 78372 (A2) の電気的特性 (8/9)

その他のオペレーション (TA = -40 ~ +125 , VDD = +5V ± 10% , VSS = 0V)

項目	略号	条件	MIN.	MAX.	単位
NMIハイ, ロウ・レベル幅	tWNIH, tWNIL		3		μs
INTP0ハイ, ロウ・レベル幅	tWI0H, tWI0L		400		ns
INTP1ハイ, ロウ・レベル幅	tWI1H, tWI1L		400		ns
INTP2ハイ, ロウ・レベル幅	tWI2H, tWI2L		400		ns
INTP3ハイ, ロウ・レベル幅	tWI3H, tWI3L		400		ns
INTP4ハイ, ロウ・レベル幅	tWI4H, tWI4L		400		ns
INTP5ハイ, ロウ・レベル幅	tWI5H, tWI5L		400		ns
TIハイ, ロウ・レベル幅	tWTIH, tWTIL	NI = 0	400		ns
		NI = 1	1.6		μs
RESETハイ, ロウ・レベル幅	tWRSH, tWRSL		3		μs

備考 NI: ノイズ・プロテクション・コントロール・レジスタ (NPC) のビット 0

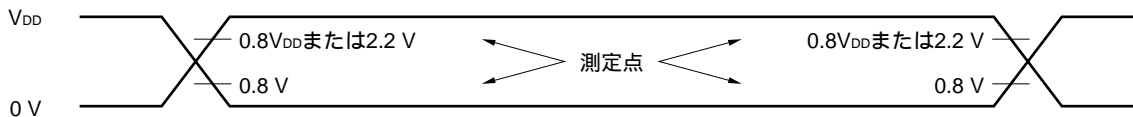
t<sub>cyk</sub>依存のその他のオペレーション

略号	条件	計算式	MIN./MAX.	単位
tWI0H, tWI0L		4T	MIN.	ns
tWI1H, tWI1L		4T	MIN.	ns
tWI2H, tWI2L		4T	MIN.	ns
tWI3H, tWI3L		4T	MIN.	ns
tWI4H, tWI4L		4T	MIN.	ns
tWI5H, tWI5L		4T	MIN.	ns
tWTIH, tWTIL	NI = 0	4T	MIN.	ns
	NI = 1	16T		

備考 1 . T = t<sub>cyk</sub> = 1/f<sub>clk</sub> ( f<sub>clk</sub>は内部システム・クロック周波数 )

- この表に示す項目のみt<sub>cyk</sub>に依存します。
- NI: ノイズ・プロテクション・コントロール・レジスタ (NPC) のビット 0

ACタイミング測定点



(3) μPD78370 (A2) , 78372 (A2) の電気的特性 (9/9)

A/Dコンバータ特性 (TA = -40 ~ +125 , VDD = +5 V ± 10 % , VSS = AVSS = 0 V,  
VDD - 0.5 V AVDD VDD)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10			bit
総合誤差 <sup>注1</sup>		4.5 V AVREF AVDD			± 0.4	%FSR
		3.4 V AVREF < 4.5 V			± 0.7	%FSR
量子化誤差					± 1/2	LSB
変換時間	tCONV	100 ns tCYK 250 ns	168			tCYK
サンプリング時間	tSAMP	100 ns tCYK 250 ns	47			tCYK
ゼロスケール誤差 <sup>注1</sup>		4.5 V AVREF AVDD		± 1.5	± 2.5	LSB
		3.4 V AVREF < 4.5 V		± 1.5	± 4.5	LSB
フルスケール誤差 <sup>注1</sup>		4.5 V AVREF AVDD		± 1.5	± 2.5	LSB
		3.4 V AVREF < 4.5 V		± 1.5	± 4.5	LSB
非直線性誤差 <sup>注1</sup>		4.5 V AVREF AVDD		± 1.5	± 2.5	LSB
		3.4 V AVREF < 4.5 V		± 1.5	± 4.5	LSB
アナログ入力電圧 <sup>注2</sup>	VIAN		- 0.3		AVDD + 0.3	V
アナログ入力インピーダンス	RAN	非サンプリング時		10		M
		サンプリング時		<b>注3</b>		
基準電圧	AVREF		3.4		AVDD	V
AVREF電流	AIREF			3.0	4.0	mA
AVDD電源電流	AlDD			1.0	3.0	mA
A/Dコンバータ・データ保持電流	AlDDDR	STOP	AVDDDR = 2.5 V	2	100	μA
		モード	AVDDDR = 5 V ± 10 %	10	1000	μA

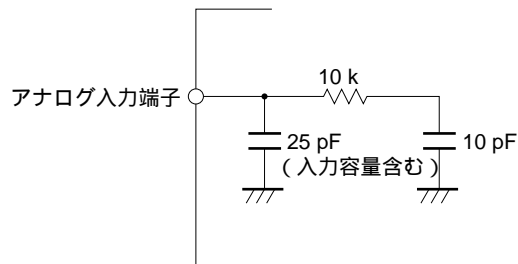
注1 . 量子化誤差を除きます。

2 . - 0.3 V VIAN 0 Vのときは , 変換結果が000Hになります。

0 V < VIAN < AVREFのときは , 10ビット分解能で変換を行います。

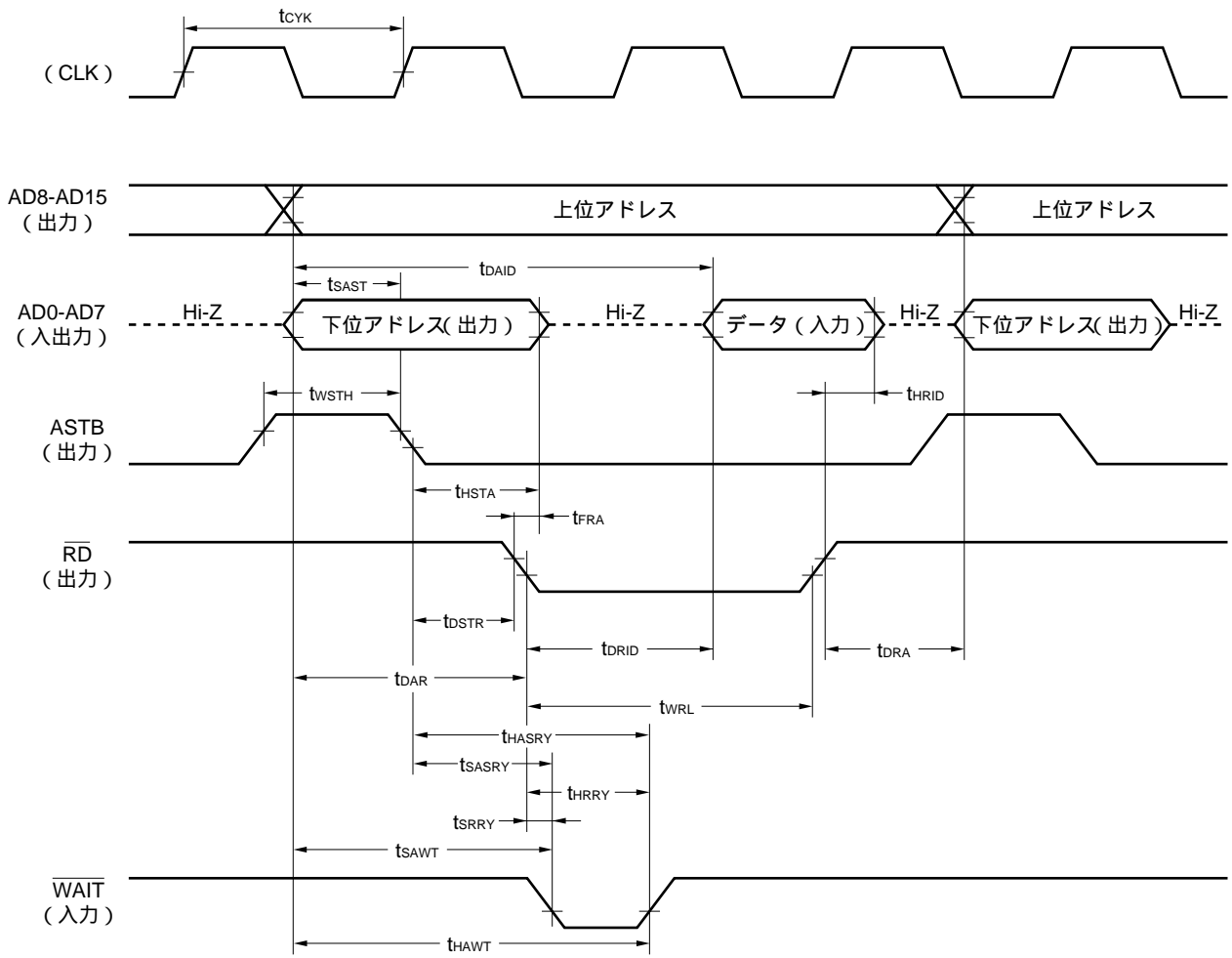
AVREF VIAN AVDD + 0.3 Vのときは , 変換結果が3FFHになります。

3 . サンプリング時のアナログ入力インピーダンスは , 下図の等価回路と同一となります ( 図中の値はTYP.値で , 保証値ではありません ) 。

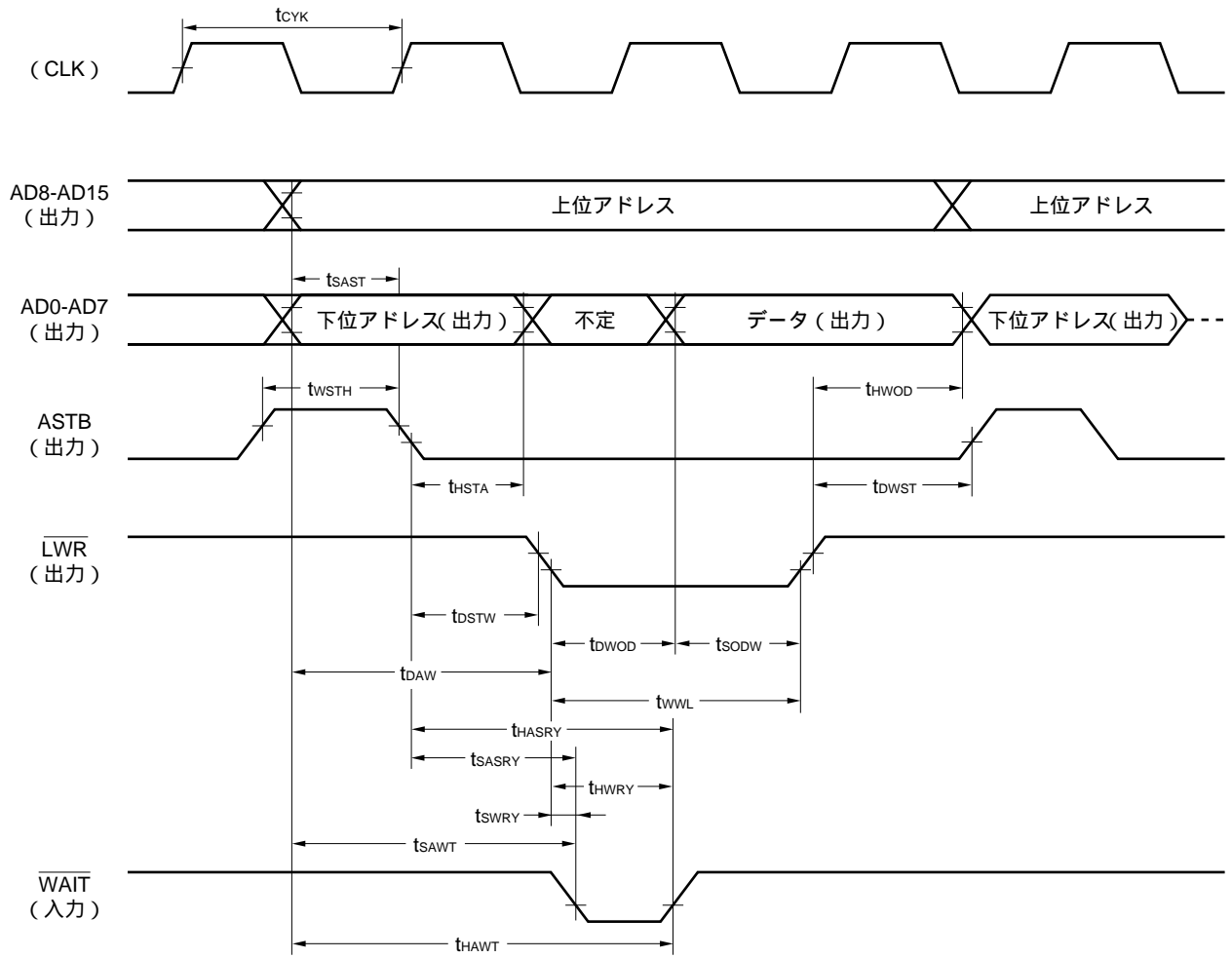


備考 T = tCYK = 1/fCLK ( fCLKは内部システム・クロック周波数 )

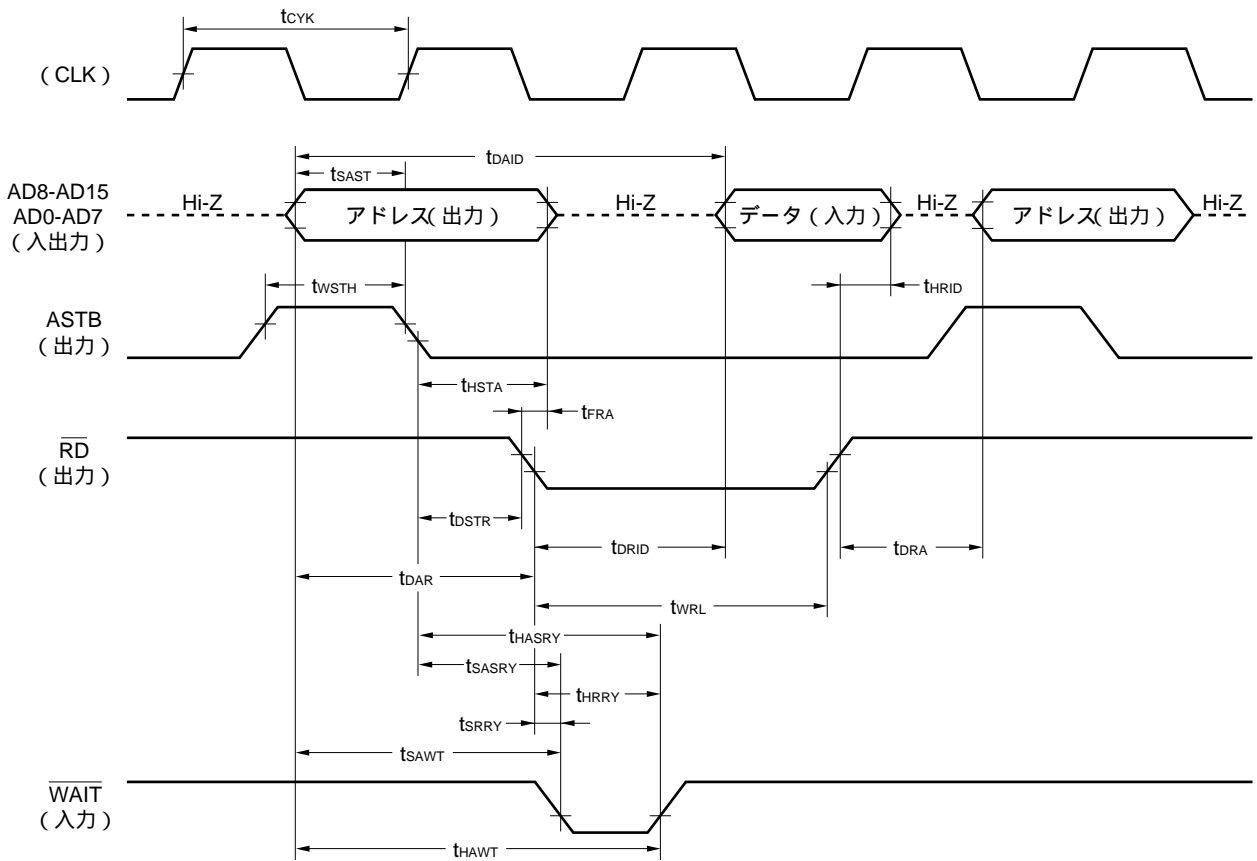
リード・オペレーション (8ビット)



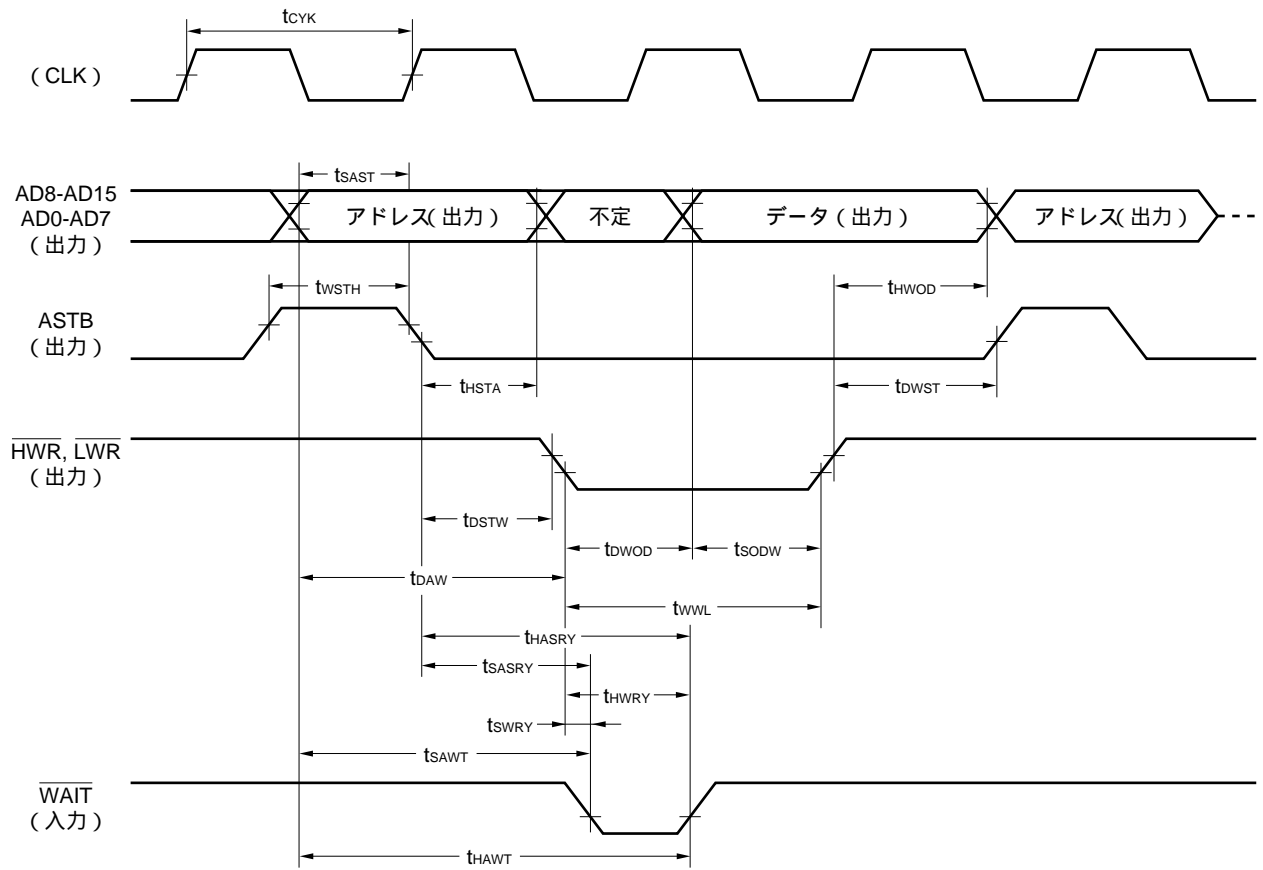
ライト・オペレーション (8ビット)



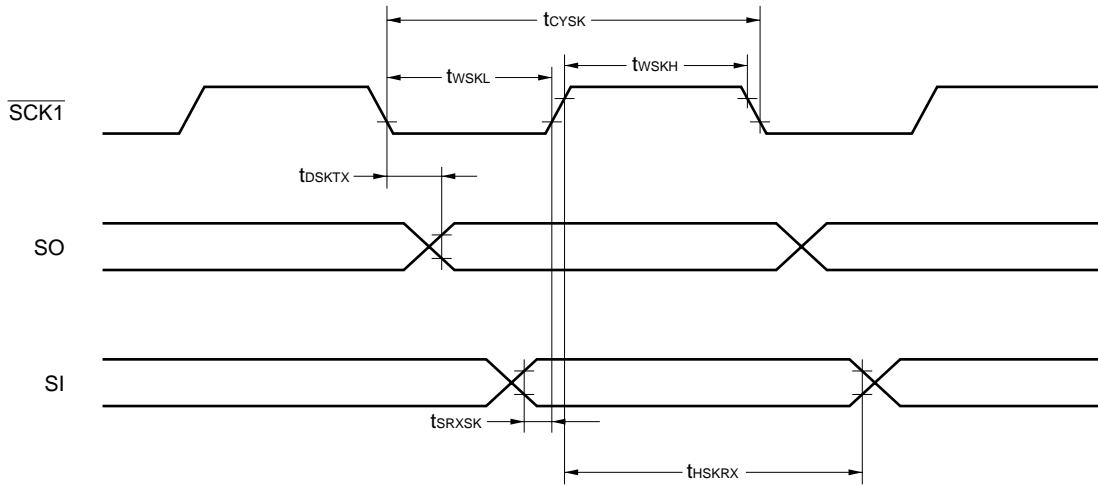
リード・オペレーション (16ビット)



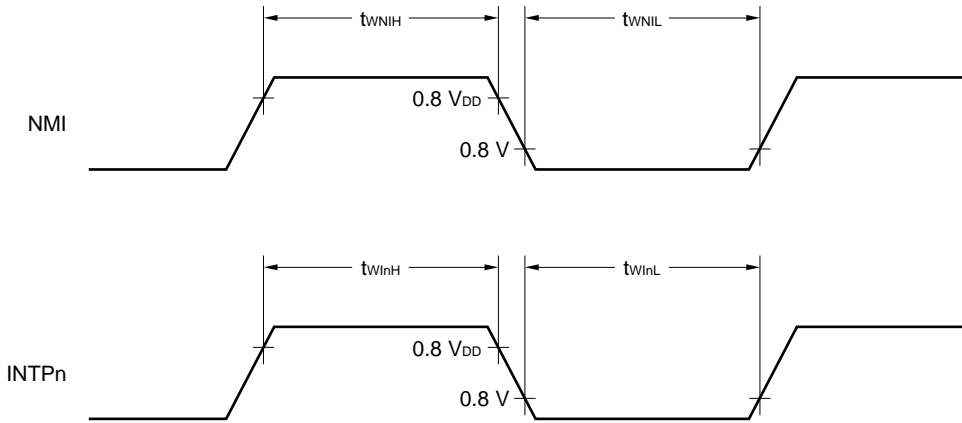
ライト・オペレーション (16ビット)



シリアル・オペレーション

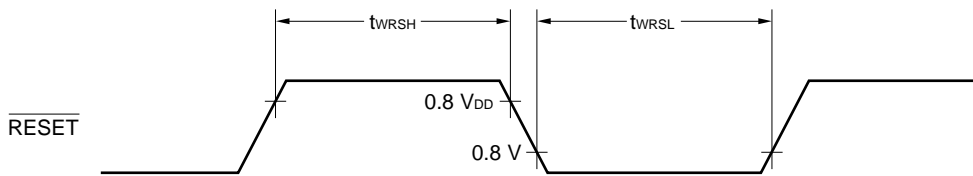


割り込み入力タイミング

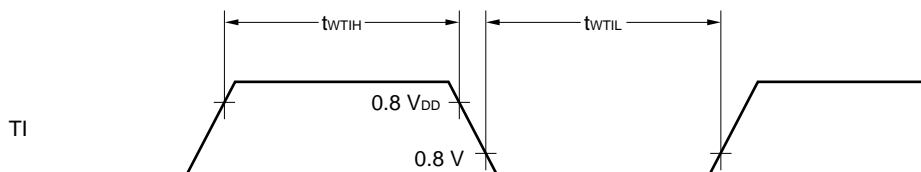


備考 n = 0 - 5

リセット入力タイミング

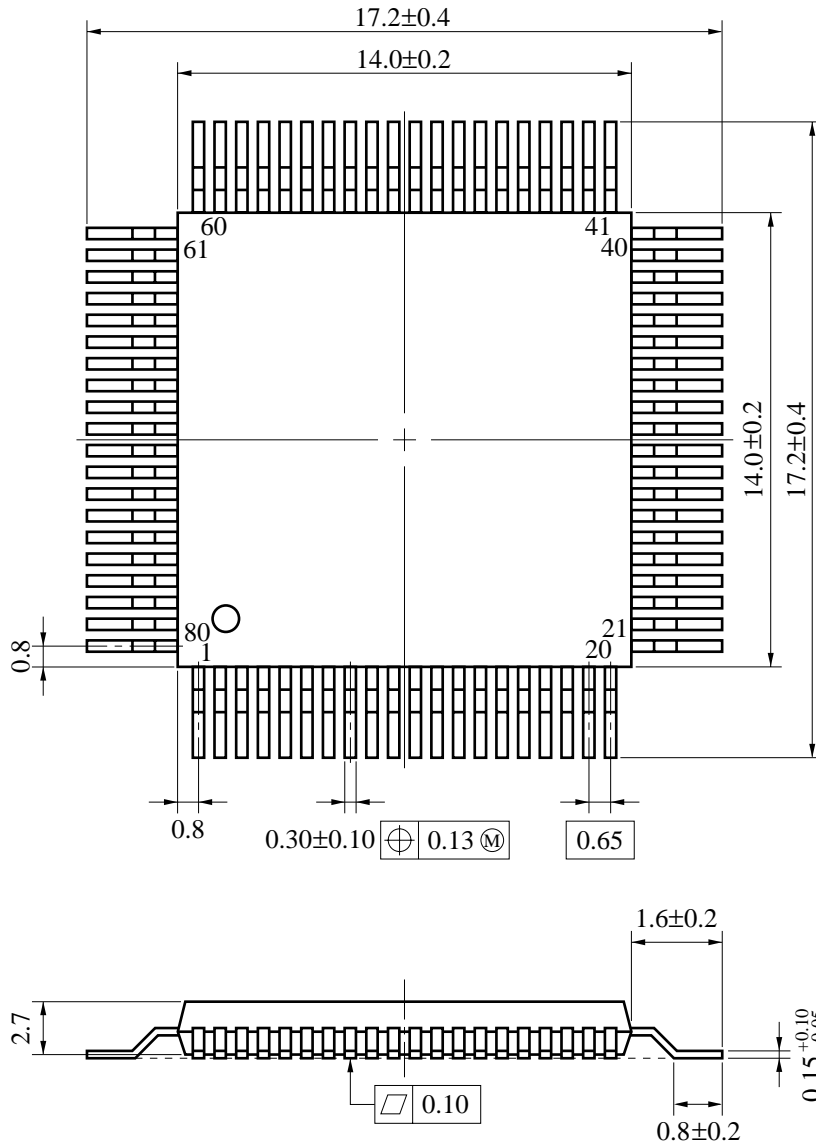


タイマ入力タイミング

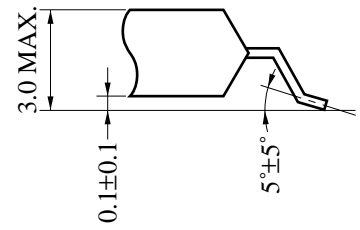


12. 外形図

80ピン・プラスチック QFP ( 14 ) 外形図 ( 単位 : mm )



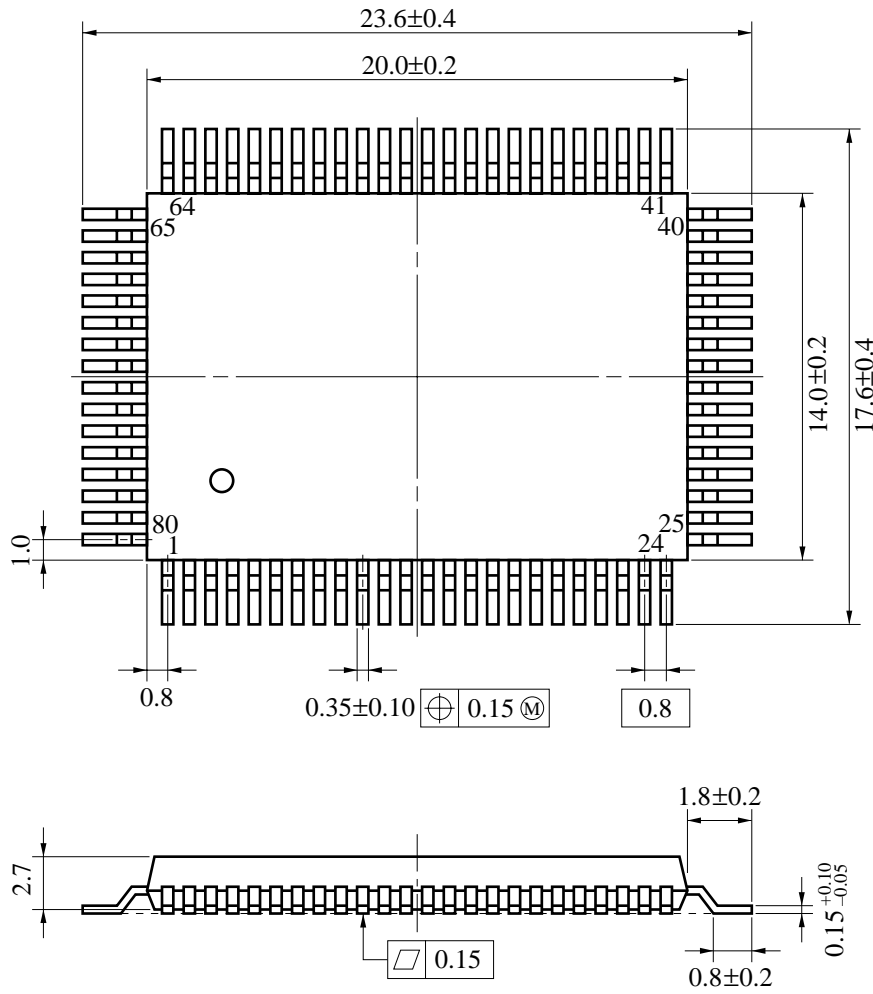
端子先端形状詳細図



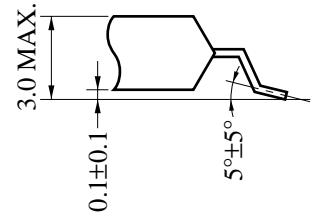
S80GC-65-3B9-3



80ピン・プラスチック QFP (14×20) 外形図 (単位：mm)



端子先端形状詳細図



P80GF-80-3B9-2

13. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表13 - 1 表面実装タイプの半田付け条件

- μPD78372GC ( A ) - x x x -3B9 : 80ピン・プラスチックQFP ( 14 mm )
- μPD78372GC ( A1 ) - x x x -3B9 : "
- μPD78372GC ( A2 ) - x x x -3B9 : "
- μPD78372GF ( A ) - x x x -3B9 : 80ピン・プラスチックQFP ( 14 x 20 mm )
- μPD78372GF ( A1 ) - x x x -3B9 : "
- μPD78372GF ( A2 ) - x x x -3B9 : "

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：2回以内 留意事項 （1）2回目のリフロは1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 （2）1回目のリフロ後の水によるフラックス洗浄は避けください。	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：2回以内 留意事項 （1）2回目のリフロは1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 （2）1回目のリフロ後の水によるフラックス洗浄は避けください。	VP15-00-2
ウェーブ・ソルダリング	半田槽温度：260 以下，時間：10秒以内，回数：1回， 予備加熱温度：120 MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：300 以下，時間：3秒以内（デバイスの一辺当たり）	-

注意 1 . 半田付け方式の併用は避けください（ただし，端子部分加熱方式は除く）。

2 . μPD78370 ( A ) ， ( A1 ) ， ( A2 ) は開発中のため，半田付け条件は未定です。

付録A . μPD78372 ( A ) と μPD78324 ( A ) との違い

品 名		μPD78372 ( A )	μPD78324 ( A )
項目			
最小命令実行時間		160 ns 〔 内部クロック : 12.5 MHz動作時 〕 〔 外部クロック : 25 MHz動作時 〕	250 ns 〔 内部クロック : 8 MHz動作時 〕 〔 外部クロック : 16 MHz動作時 〕
内部メモリ	ROM	24 Kバイト	32 Kバイト
	RAM	768バイト	1 Kバイト
メモリ空間	64Kバイト ( 外部拡張可能 )		
汎用レジスタ	8 ビット × 16本 × 8バンク		
基本命令数	115	111	
命令セット	<ul style="list-style-type: none"> <li>・ 16ビット転送 / 演算</li> <li>・ 乗除算 ( 16ビット × 16ビット , 32ビット ÷ 16ビット )</li> <li>・ ビット操作</li> <li>・ ストリング</li> </ul>		
	<ul style="list-style-type: none"> <li>・ 積和演算 ( 16ビット × 16ビット + 32ビット )</li> <li>・ 相関演算</li> </ul>		-
入出力ライン	入力	17 ( アナログ入力兼用 : 16 )	16 ( アナログ入力兼用 : 8 )
	入出力	43	39
リアルタイム・パルス・ユニット	<ul style="list-style-type: none"> <li>・ 18/16ビット・タイマ・カウンタ × 1</li> <li>・ 16ビット・タイマ/イベント・カウンタ × 1</li> <li>・ 18/16ビット・キャプチャ/コンペア・レジスタ × 6</li> <li>・ 16ビット・コンペア・レジスタ × 4</li> <li>・ タイマ出力 × 10</li> </ul>	<ul style="list-style-type: none"> <li>・ 18/16ビット・フリー・ランニング・タイマ × 1</li> <li>・ 16ビット・タイマ/イベント・カウンタ × 1</li> <li>・ 16ビット・コンペア・レジスタ × 6</li> <li>・ 18ビット・キャプチャ・レジスタ × 4</li> <li>・ 18ビット・キャプチャ/コンペア・レジスタ × 2</li> </ul>	
リアルタイム出力ポート	-	8	
A/Dコンバータ	10ビット分解能16チャンネル		10ビット分解能8チャンネル
シリアル・インタフェース	専用ボー・レート・ジェネレータ付き UART : 1チャンネル クロック同期式シリアル・インタフェース : 1チャンネル		専用ボー・レート・ジェネレータ付き UART : 1チャンネル クロック同期式シリアル・インタフェース/ SBI : 1チャンネル
割り込み機能	<ul style="list-style-type: none"> <li>・ 外部11 , 内部18 ( 外部兼用 6 )</li> <li>・ 4レベル・プログラマブル優先順位</li> </ul>		<ul style="list-style-type: none"> <li>・ 外部8 , 内部14 ( 外部兼用 2 )</li> <li>・ 3レベル・プログラマブル優先順位</li> </ul>
	<ul style="list-style-type: none"> <li>・ 3種類の処理形態を選択可能 ( ベクタ割り込み / マクロ・サービス / コンテキスト・スイッチング )</li> </ul>		
パス・サイジング機能	8/16ビット外部データ・パス幅選択可能		-
パッケージ	・ 80ピン・プラスチックQFP ( 14 mm )		・ 68ピン・プラスチックQFJ ( 950 mil )
	・ 80ピン・プラスチックQFP ( 14 × 20 mm )		・ 74ピン・プラスチックQFP ( 20 mm )
その他	<ul style="list-style-type: none"> <li>・ ウォッチドッグ・タイマ内蔵</li> <li>・ スタンバイ機能 ( HALTモード , STOPモード )</li> </ul>		
	スタンバイ機能無効モード内蔵		-

付録B . ツール

B.1 開発ツール

μPD78372 (A) を使用するシステム開発のために、次のような開発ツールを用意しています。

言語プロセッサ

78K/ シリーズ リロケータブル・アセンブラ ( RA78K/ )	78K/ シリーズに共通に使用できるリロケータブル・アセンブラです。マクロ機能付きのリロケータブル・アセンブラですので、開発効率の向上が図れます。また、プログラム制御構造を明示的に記述できる構造化アセンブラも添付されており、プログラムの生産性や保守性を向上することができます。			
	ホスト・マシン		オーダ名称 (品名)	
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS™	3.5インチ2HD	μ S5A13RA78K3
			5インチ2HD	μ S5A10RA78K3
	IBM PC/AT™ およびその互換機	PC DOS™	3.5インチ2HC	μ S7B13RA78K3
			5インチ2HC	μ S7B10RA78K3
	HP9000シリーズ700™	HP-UX™	DAT	μ S3P16RA78K3
SPARCstation™	SunOS™	カートリッジ・テープ ( QIC-24 )	μ S3K15RA78K3	
NEWS™	NEWS-OS™		μ S3R15RA78K3	
78K/ シリーズ Cコンパイラ ( CC78K/ )	78K/ シリーズに共通に使用できるCコンパイラです。C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。このコンパイラ使用時には、78K/ シリーズ リロケータブル・アセンブラ ( RA78K/ ) が必要です。			
	ホスト・マシン		オーダ名称 (品名)	
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13CC78K3
			5インチ2HD	μ S5A10CC78K3
	IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μ S7B13CC78K3
			5インチ2HC	μ S7B10CC78K3
	HP9000シリーズ700	HP-UX	DAT	μ S3P16CC78K3
SPARCstation	SunOS	カートリッジ・テープ ( QIC-24 )	μ S3K15CC78K3	
NEWS	NEWS-OS		μ S3R15CC78K3	

備考 リロケータブル・アセンブラ，Cコンパイラの動作は，上記のホスト・マシンとOS上でのみ保証されます。

PROM書き込み用ツール

ハードウェア	PG-1500	付属ボードおよび別売のプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンまたは、ホスト・マシンからの操作によりプログラミングできるPROMプログラマです。また、256 Kビットから4 Mビットまでの代表的なPROMをプログラミングすることもできます。			
	PA-78P372GC PA-78P372GF	PG-1500などの汎用PROMプログラマ上で、μPD78P372(A)にプログラムを書き込むためのPROMプログラマ・アダプタです。 PA-78P372GC ... μPD78P372GC(A)用 PA-78P372GF ... μPD78P372GF(A)用			
ソフトウェア	PG-1500コントローラ	PG-1500とホスト・マシンをシリアル・インタフェースおよびパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。			
		ホスト・マシン	オーダ名称(品名)		
			OS	供給媒体	
		PC-9800シリーズ	MS-DOS	3.5インチ2HD	μS5A13PG1500
				5インチ2HD	μS5A10PG1500
	IBM PC/AT およびその互換機	PC DOS	3.5インチ2HD	μS7B13PG1500	
			5インチ2HC	μS7B10PG1500	

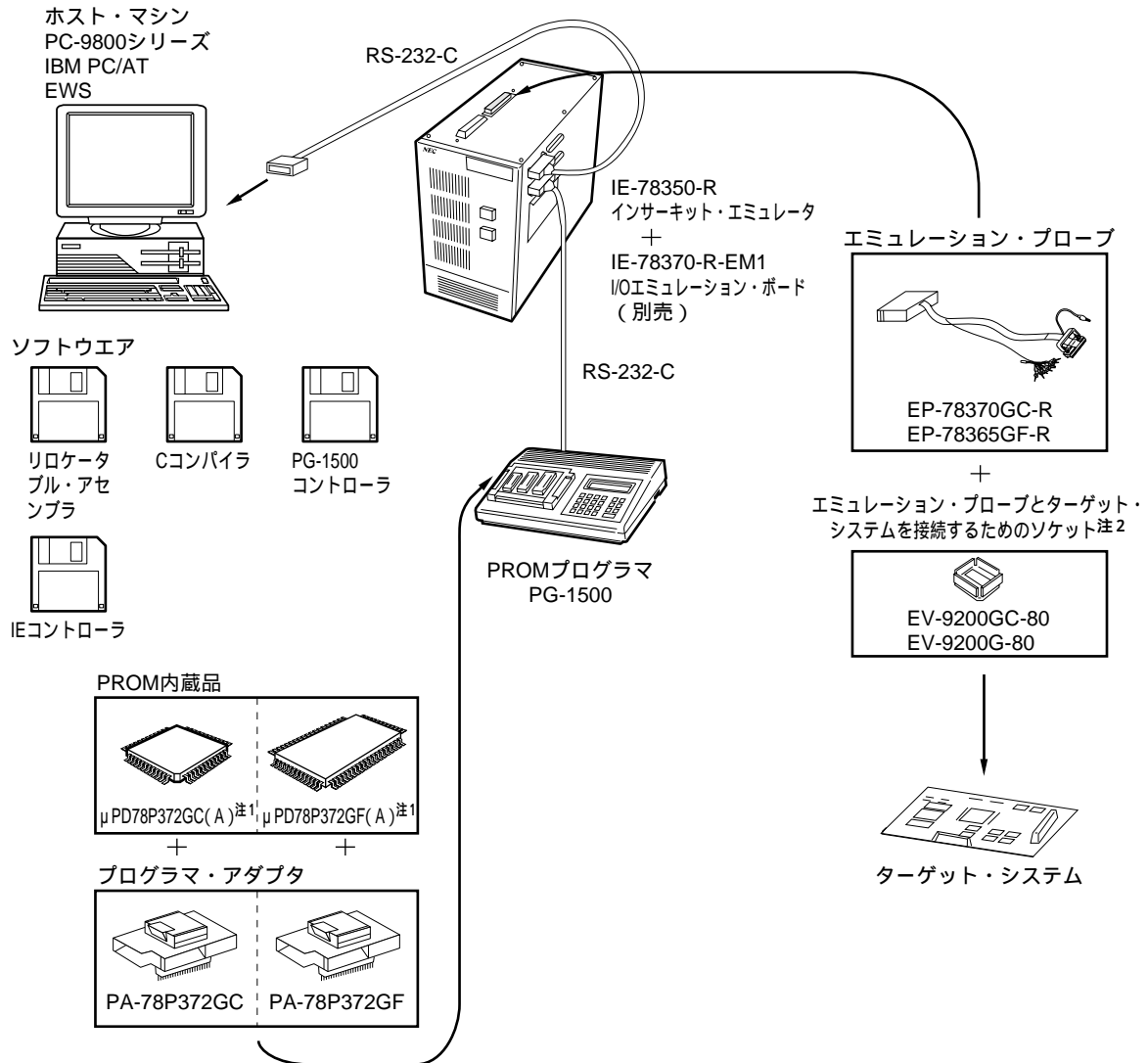
備考 PG-1500コントローラの動作は、上記のホスト・マシンとOS上でのみ保証されます。

ディバグ用ツール (IEコントローラを使用する場合)

ハードウェア	IE-78350-R	応用システムの開発、ディバグに使用できるインサートキット・エミュレータです。ホスト・マシンを接続して、ディバグを行います。			
	IE-78370-R-EM1	対象デバイスの入出力ポートなどの周辺機能のエミュレーションを行うためのI/Oエミュレーション・ボードです。			
	EP-78370GC-R EV-9200GC-80	IE-78350-Rをターゲット・システムに接続するためのエミュレーション・プローブです。ターゲット・システムとの接続に使用する変換ソケットEV-9200GC-80が1個添付されています。			
	EP-78365GF-R EV-9200G-80	IE-78350-Rをターゲット・システムに接続するためのエミュレーション・プローブです。ターゲット・システムとの接続に使用する変換ソケットEV-9200G-80が1個添付されています。			
ソフトウェア	IE-78350-R コントロール・プログラム (IEコントローラ)	IE-78350-Rをホスト・マシン上でコントロールするためのプログラムです。コマンドの自動実行などを行うことができ、より効率の良いディバグが可能です。			
		ホスト・マシン	オーダ名称(品名)		
			OS	供給媒体	
		PC-9800シリーズ	MS-DOS	3.5インチ2HD	μS5A13IE78370
				5インチ2HD	μS5A10IE78370
	IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μS7B13IE78370	
			5インチ2HC	μS7B10IE78370	

備考 IEコントローラの動作は、上記のホスト・マシンとOS上でのみ保証されます。

開発ツール構成 (IEコントローラを使用する場合)



注1. 開発中

2. ソケットは, エミュレーション・プローブに添付されています。

備考1. ホスト・マシンとPG-1500をRS-232-Cで直接接続して使用することもできます。

2. この図では, ソフトウェアの供給媒体を3.5インチFDで代表しています。

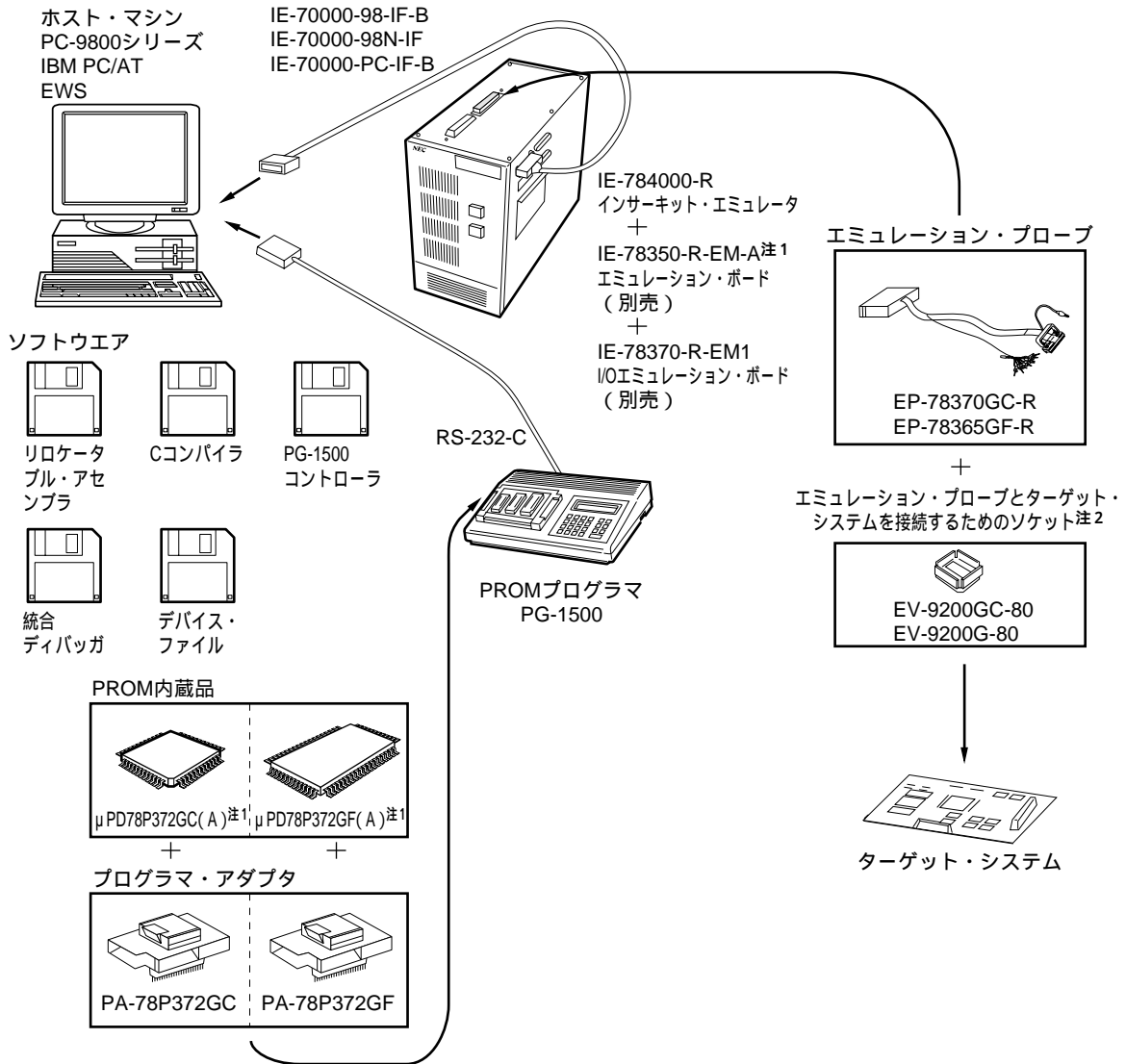
ディバグ用ツール ( 統合ディバグを使用する場合 )

ハードウェア	IE-784000-R	応用システムの開発、ディバグに使用できるインサーキット・エミュレータです。ホスト・マシンを接続して、ディバグを行います。			
	IE-78350-R-EM-A <sup>注</sup>	対象デバイスの入出力ポートなどの周辺機能のエミュレーションを行うためのエミュレーション・ボードです。			
	IE-78370-R-EM1	対象デバイスの入出力ポートなどの周辺機能のエミュレーションを行うためのI/Oエミュレーション・ボードです。			
	EP-78370GC-R	IE-784000-Rをターゲット・システムに接続するためのエミュレーション・プローブです。ターゲット・システムとの接続に使用する変換ソケットEV-9200GC-80が1個添付されています。			
	EV-9200GC-80				
	EP-78365GF-R	IE-784000-Rをターゲット・システムに接続するためのエミュレーション・プローブです。ターゲット・システムとの接続に使用する変換ソケットEV-9200G-80が1個添付されています。			
	EV-9200G-80				
	IE-70000-98-IF-B	ホスト・マシンとしてPC-9800シリーズ ( ノート型パソコンを除く ) を使用するときのインタフェース・アダプタです。			
	IE-70000-98N-IF	ホスト・マシンとしてPC-9800シリーズのノート型パソコンを使用するときのインタフェース・アダプタとケーブルです。			
	IE-70000-PC-IF-B	ホスト・マシンとしてIBM PC/ATを使用するときのインタフェース・アダプタです。			
IE-78000-R-SV3	ホスト・マシンとしてEWSを使用するときのインタフェース・アダプタとケーブルです。				
ソフトウェア	統合ディバグ ( ID78K/ ) <sup>注</sup>	78K/ シリーズ用のインサーキット・エミュレータをコントロールするためのプログラムです。デバイス・ファイル ( DF78370 ) と組み合わせて使用します。 C言語、構造化アセンブリ言語、アセンブリ言語で書かれたソース・プログラム・レベルでのディバグができます。また、ホスト・マシンの画面を分割し、さまざまな情報を同時に表示することができるため、効率の良いディバグが行えます。			
		ホスト・マシン	オーダ名称 ( 品名 )		
			OS	供給媒体	
		PC-9800シリーズ	MS-DOS + Windows™	3.5インチ2HD	μ SAA13ID78K3
				5インチ2HD	μ SAA10ID78K3
		IBM PC/AT およびその互換機 ( 日本語Windows )	PC DOS + Windows	3.5インチ2HC	μ SAB13ID78K3
				5インチ2HC	μ SAB10ID78K3
		IBM PC/AT およびその互換機 ( 英語Windows )		3.5インチ2HC	μ SBB13ID78K3
				5インチ2HC	μ SBB10ID78K3
	デバイス・ファイル ( DF78370 ) <sup>注</sup>	デバイス固有の情報が入ったファイルです。アセンブラ ( RA78K/ ) , Cコンパイラ ( CC78K/ ) , 統合ディバグ ( ID78K/ ) と組み合わせて使用します。			
		ホスト・マシン	オーダ名称 ( 品名 )		
			OS	供給媒体	
		PC-9800 シリーズ	MS-DOS	3.5インチ2HD	μ S5A13DF78370
				5インチ2HD	μ S5A10DF78370
	IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μ S7B13DF78370	
			5インチ2HC	μ S7B10DF78370	

注 開発中

備考 統合ディバグ、デバイス・ファイルの動作は、上記のホスト・マシンとOS上でのみ保証されます。

開発ツール構成 (統合ディバッガを使用する場合)



注1. 開発中

2. ソケットは、エミュレーション・プローブに添付されています。

備考1. この図では、ホスト・マシンをデスクトップ型パソコンで代表しています。

2. この図では、ソフトウェアの供給媒体を3.5インチFDで代表しています。



**B.2 組み込み用ソフトウェア**

プログラム開発やメンテナンスをより効率的に行うために次の組み込み用ソフトウェアを用意しています。

**リアルタイムOS**

リアルタイムOS (RX78K/ )注	RX78K/ は、リアルタイム性の要求される制御分野を対象として、マルチタスク環境を実現することを目的としています。CPUのアイドル時間を他の処理に割り当て、システム全体としての性能の向上を図ることができます。		
	RX78K/ では、μITRON仕様に準拠したシステム・コールを提供しています。		
	RX78K/ パッケージでは、RX78K/ のニュークリアスと複数の情報テーブルを作成するためのツール（コンフィギュレータ）を提供します。		
	ホスト・マシン		オーダ名称（品名）
		OS	供給媒体
PC-9800シリーズ	MS-DOS	3.5インチ2HD	未定
		5インチ2HD	未定
IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	未定
		5インチ2HC	未定

注 開発中

**注意** ご購入される場合、事前に購入申込書にご記入のうえ、使用許諾契約書を締結する必要があります。

**備考** RX78K/ リアルタイムOSを使用するときは、RA78K/ アセンブラ・パッケージ（別売）が必要です。

ファジィ推論開発支援システム

ファジィ知識データ作成ツール (FE9000, FE9200)	ファジィ知識データ (ファジィ・ルールおよびメンバシップ関数) の入力 / 編集 (エディット) と評価 (シミュレーション) を支援するプログラムです。			
	ホスト・マシン			オーダ名称 (品名)
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13FE9000
			5インチ2HD	μ S5A10FE9000
IBM PC/AT およびその互換機	PC DOS + Windows	3.5インチ2HC	μ S7B13FE9200	
		5インチ2HC	μ S7B10FE9200	
トランスレータ (FT78K3) 注	ファジィ知識データ作成ツールを用いて得たファジィ知識データをRA78K/ 用のアセンブラ・ソース・プログラムに変換するプログラムです。			
	ホスト・マシン			オーダ名称 (品名)
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13FT78K3
			5インチ2HD	μ S5A10FT78K3
IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μ S7B13FT78K3	
		5インチ2HC	μ S7B10FT78K3	
ファジィ推論モジュール (FI78K/ ) 注	ファジィ推論を実行するプログラムです。トランスレータで変換されたファジィ知識データとリンクすることでファジィ推論を実行します。			
	ホスト・マシン			オーダ名称 (品名)
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13FI78K3
			5インチ2HD	μ S5A10FI78K3
IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μ S7B13FI78K3	
		5インチ2HC	μ S7B10FI78K3	
ファジィ推論ディバッガ (FD78K/ )	インサーキット・エミュレータを使用し、ファジィ知識データをハードウェア・レベルで評価、調整するための支援ソフトウェアです。			
	ホスト・マシン			オーダ名称 (品名)
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13FD78K3
			5インチ2HD	μ S5A10FD78K3
IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μ S7B13FD78K3	
		5インチ2HC	μ S7B10FD78K3	

注 開発中

## CMOSデバイスの一般的注意事項

**静電気対策 (MOS全般)**

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

**未使用入力の処理 (CMOS特有)**

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介してV<sub>DD</sub>またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

**初期化以前の状態 (MOS全般)**

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

MS-DOS, Windowsは、米国マイクロソフト社の商標です。

PC/AT, PC DOSは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc. の商標です。

SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

TRONは、The Realtime Operating system Nucleusの略称です。

ITRONは、Industrial TRONの略称です。

本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μPD78370 (A) , 78370 (A1) , 78370 (A2)

ユーザ判定品 : μPD78372 (A) , 78372 (A1) , 78372 (A2)

文書による当社の承諾なしに本資料の転載複製を禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意ください。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災 / 防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート / データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

**【営業関係お問い合わせ先】**

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 札幌 (011)231-0161	宇都宮支店 宇都宮 (0286)21-2281	富山支店 富山 (0764)31-8461
東北支社 仙台 (022)261-5511	小山支店 小山 (0285)24-5011	三重支店 津 (0592)25-7341
岩手支店 盛岡 (0196)51-4344	長野支社 長野 (0262)35-1444	京都支社 京都 (075)344-7824
山形支店 山形 (0236)23-5511	松本支店 松本 (0263)35-1666	神戸支社 神戸 (078)333-3854
郡山支店 郡山 (0249)23-5511	上諏訪支店 諏訪 (0266)53-5350	中国支社 広島 (082)242-5504
いわき支店 いわき (0246)21-5511	甲府支店 甲府 (0552)24-4141	鳥取支店 鳥取 (0857)27-5311
長岡支店 長岡 (0258)36-2155	埼玉支社 大宮 (048)641-1411	岡山支店 岡山 (086)225-4455
土浦支店 土浦 (0298)23-6161	立川支社 立川 (0425)26-5981	四国支社 高松 (0878)36-1200
水戸支店 水戸 (0292)26-1717	千葉支社 千葉 (043)238-8116	新居浜支店 新居浜 (0897)32-5001
神奈川支社 横浜 (045)324-5511	静岡支社 静岡 (054)255-2211	松山支店 松山 (0899)45-4111
群馬支店 高崎 (0273)26-1255	北陸支社 金沢 (0762)23-1621	九州支社 福岡 (092)271-7700
太田支店 太田 (0276)46-4011	福井支店 福井 (0776)22-1866	北九州支店 北九州 (093)541-2887

**【本資料に関する技術お問い合わせ先】**

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7924	半導体 インフォメーションセンター FAX (044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	