

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μPD78361A, 78362A

16/8ビット・シングルチップ・マイクロコンピュータ

μPD78362Aは、高速、高性能16ビットCPUコアを内蔵し、強力な演算機能を備えています。また、従来製品のμPD78328に比べ、高分解能なPWM信号出力機能を内蔵しているため、インバータ制御の性能を大幅に向上させています。

PROM内蔵品としてμPD78P364Aを用意しています。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μPD78362A ユーザーズ・マニュアル ハードウェア編 : U10745J

μPD78356 ユーザーズ・マニュアル 命令編 : U12117J

特 徴

- 内部16ビット・アーキテクチャ、外部8ビット・データ・バス
- パイプライン制御方式と動作クロックの高速化による高速処理
 - ・最小命令実行時間：125 ns（内部クロック：16 MHz，外部クロック：8 MHz動作時）
- インバータ制御に適したリアルタイム・パルス・ユニット
- 10ビット分解能A/Dコンバータ：8チャンネル
- 8/9/10/12ビット分解能可変PWM信号出力機能：2チャンネル
- 強力なシリアル・インタフェース：2チャンネル
- 内部メモリ：ROM 32 Kバイト（μPD78361A）
24 Kバイト（μPD78362A）
RAM 2 Kバイト（μPD78361A）
768バイト（μPD78362A）

応用分野

- インバータ・エアコン
- ロボット，自動工作機械などのFA分野

オーダ情報

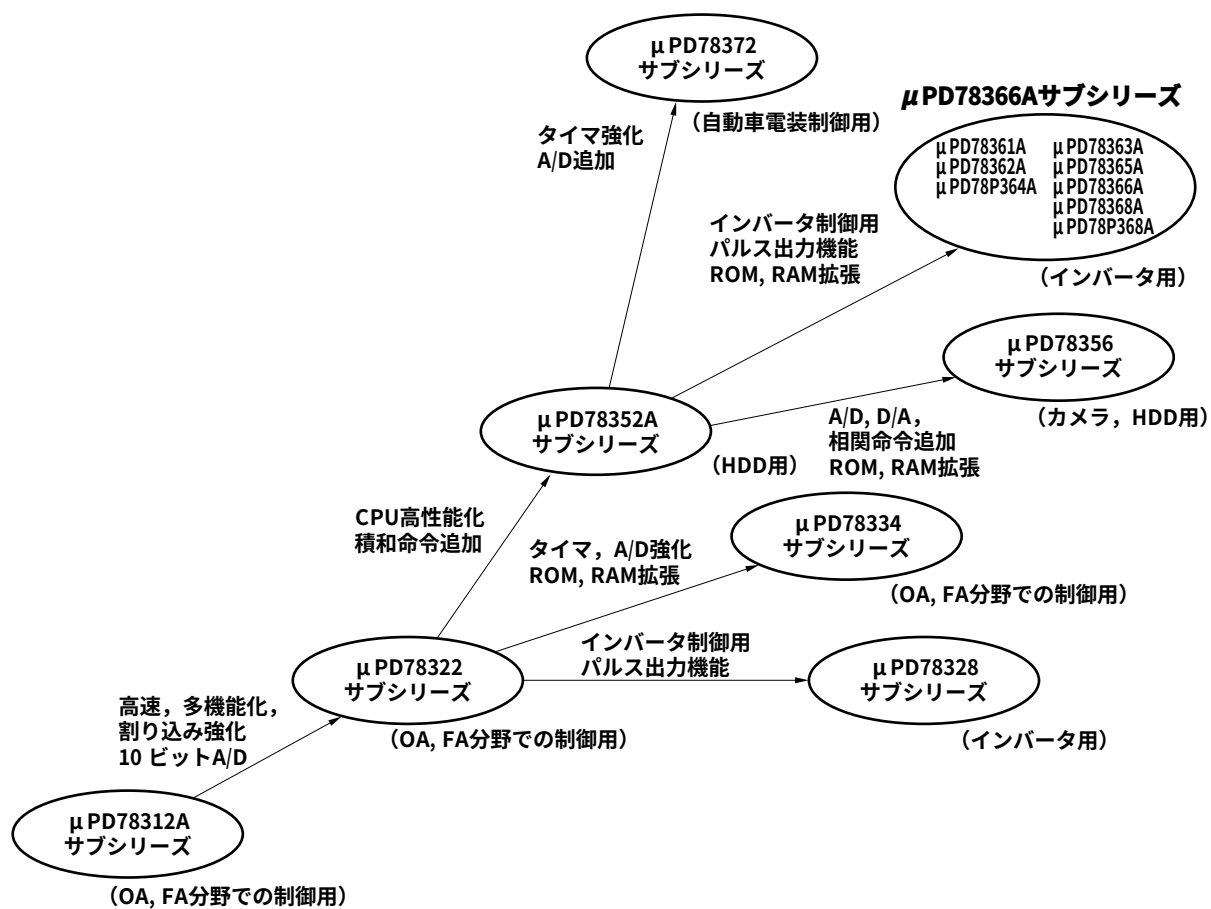
	オーダ名称	パッケージ	内部ROM
★	μPD78361ACW-×××	64ピン・プラスチック・シュリンクDIP (750 mil)	マスクROM
	μPD78362ACW-×××	"	"

備考 ×××はROMコード番号です。

この資料では、特に断りがないかぎりμPD78362Aを代表製品として説明しています。

本資料の内容は、後日変更する場合があります。

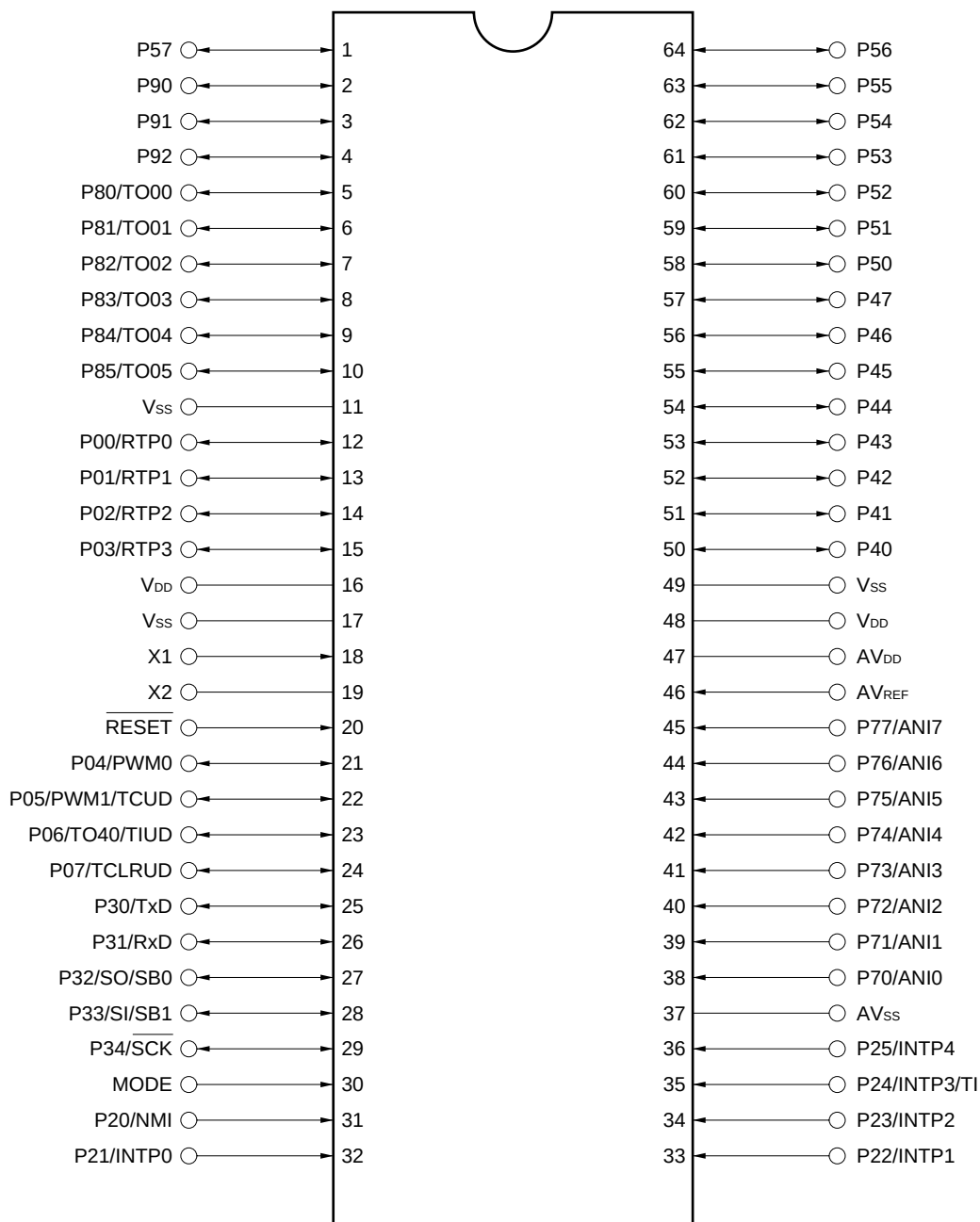
78K/IIIシリーズ製品展開



端子接続図 (Top View)

・64ピン・プラスチック・シュリンクDIP (750 mil)

★ μPD78361ACW-×××, 78362ACW-×××



備考 ×××はROMコード番号です。

P00-P07	: Port0	ANI0-ANI7	: Analog Input
P20-P25	: Port2	TxD	: Transmit Data
P30-P34	: Port3	RxD	: Receive Data
P40-P47	: Port4	SI	: Serial Input
P50-P57	: Port5	SO	: Serial Output
P70-P77	: Port7	SB0, SB1	: Serial Bus
P80-P85	: Port8	$\overline{\text{SCK}}$	: Serial Clock
P90-P92	: Port9	PWM0, PWM1	: Pulse Width Modulation Output
RTP0-RTP3	: Real-time Port	MODE	: Mode
NMI	: Nonmaskable Interrupt	$\overline{\text{RESET}}$	: Reset
INTP0-INTP4	: Interrupt From Peripherals	X1, X2	: Crystal
TO00-TO05, TO40	: Timer Output	AV _{DD}	: Analog V _{DD}
TI	: Timer Input	AV _{SS}	: Analog V _{SS}
TIUD	: Timer Input Up Down Counter	AV _{REF}	: Analog Reference Voltage
TCUD	: Timer Control Up Down Counter	V _{DD}	: Power Supply
TCLRUD	: Timer Clear Up Down Counter	V _{SS}	: Ground

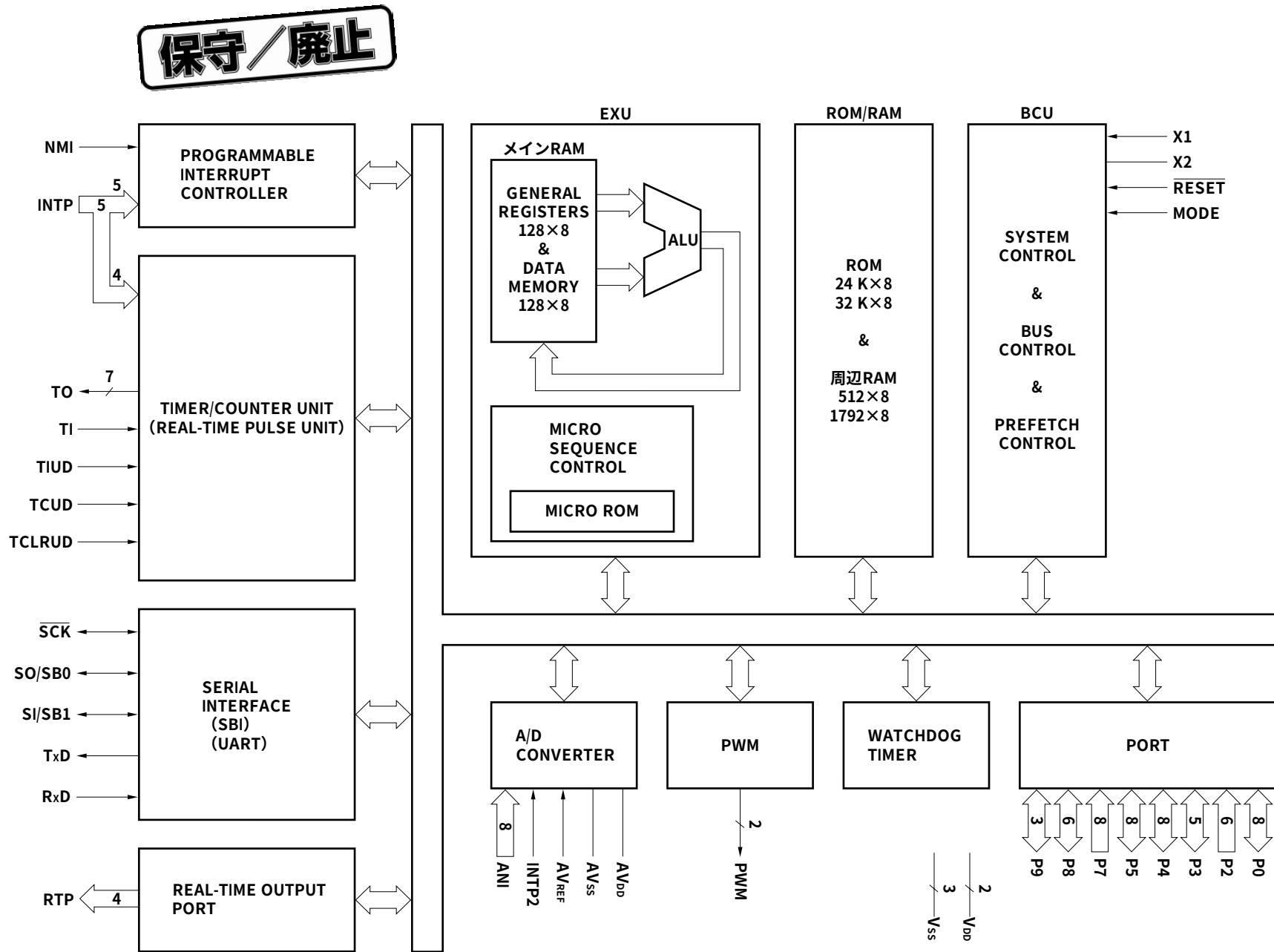
機能概要

項 目		μ PD78361A	μ PD78362A
最小命令実行時間		125 ns (内部クロック：16 MHz, 外部クロック：8 MHz動作時)	
内部メモリ	ROM	32 Kバイト	24 Kバイト
	RAM	2 Kバイト	768バイト
メモリ空間		64 Kバイト	
汎用レジスタ		8 ビット×16本× 8 バンク	
基本命令数		115	
命令セット		・16ビット転送／演算 ・乗除算 (16ビット×16ビット, 32ビット÷16ビット) ・ビット操作 ・ストリング ・積和演算 (16ビット×16ビット+32ビット) ・相関演算	
入出力ライン	入 力	14 (アナログ入力兼用：8)	
	入出力	38	
リアルタイム・パルス・ユニット		・16ビット・タイマ×1 10ビット・デッド・タイム・タイマ×3 16ビット・コンペア・レジスタ×4 2種類の出力モードを選択可能 - モード0 セット・リセット出力：6チャンネル - モード1 バッファ出力：6チャンネル ・16ビット・タイマ×1 16ビット・コンペア・レジスタ×1 ・16ビット・タイマ×1 16ビット・キャプチャ・レジスタ×1 16ビット・キャプチャ／コンペア・レジスタ×1 ・16ビット・タイマ×1 16ビット・キャプチャ・レジスタ×2 16ビット・キャプチャ／コンペア・レジスタ×1 ・16ビット・タイマ×1 16ビット・コンペア・レジスタ×2 16ビット分解能PWM出力：1チャンネル	
リアルタイム出力ポート		リアルタイム・パルス・ユニットに連動させたパルス出力：4本	
PWMユニット		8/9/10/12ビット分解能可変PWM出力：2チャンネル	
A/Dコンバータ		10ビット分解能8チャンネル	
シリアル・インタフェース		専用ボー・レート・ジェネレータ付き UART：1チャンネル クロック同期式シリアル・インタフェース／SBI：1チャンネル	
割り込み機能		・外部：6, 内部：14 (外部兼用：2) ・4レベルの優先順位をソフトウェアにより指定可能 ・3種類の処理形態を選択可能 (ベクタ割り込み／マクロ・サービス／コンテキスト・スイッチング)	
パッケージ		64ピン・プラスチック・シュリンクDIP (750 mil)	
その他		・ウォッチドッグ・タイマ内蔵 ・スタンバイ機能 (HALTモード, STOPモード) ・PLL制御回路内蔵	

μPD78362AとμPD78366Aの違い

品 名		μPD78362A	μPD78366A
項 目			
内部メモリ	ROM	24 Kバイト	32 Kバイト
	RAM	768バイト	2 Kバイト
入出力ライン	入 力	14 (アナログ入力兼用：8)	
	入出力	38	49
シリアル・インタフェース		専用ボー・レート・ジェネレータ付き UART：1チャンネル クロック同期式シリアル・インタフェース /SBI：1チャンネル	専用ボー・レート・ジェネレータ付き UART(端子切り替え機能付き)：1チャンネル クロック同期式シリアル・インタフェース /SBI：1チャンネル
外部拡張機能		なし	あり
ROMレス・モード		なし	あり
MODEの設定		必ず次の設定にしてください MODE = L	・通常動作モード MODE0, 1 = LL ・ROMレス・モード MODE0, 1 = HH
パッケージ		64ピン・プラスチック・シュリンクDIP(750 mil)	80ピン・プラスチックQFP (14×20 mm)

ブロック図



備考 内部ROM, RAM容量は、製品によって異なります。

目 次

1. 端子機能	10
1.1 ポート端子	10
1.2 ポート以外の端子	11
1.3 端子の入出力回路と未使用端子の処理	12
2. CPUアーキテクチャ	14
2.1 メモリ空間	14
2.2 データ・メモリ・アドレッシング	16
2.3 プロセッサ・レジスタ	18
2.3.1 制御レジスタ	18
2.3.2 汎用レジスタ	19
2.3.3 特殊機能レジスタ (SFR)	20
3. ブロック機能	26
3.1 エグゼキューション・ユニット (EXU)	26
3.2 バス・コントロール・ユニット (BCU)	26
3.3 ROM/RAM	26
3.4 ポート機能	26
3.5 クロック発生回路	28
3.6 リアルタイム・パルス・ユニット (RPU)	30
3.7 リアルタイム出力ポート (RTP)	38
3.8 A/Dコンバータ	39
3.9 シリアル・インタフェース	40
3.10 PWMユニット	42
3.11 ウォッチドッグ・タイマ (WDT)	42
4. 割り込み機能	43
4.1 概 要	43
4.2 マクロ・サービス	44
4.3 コンテキスト・スイッチング	47
4.3.1 割り込み要求によるコンテキスト・スイッチング機能	47
4.3.2 BRKCS命令によるコンテキスト・スイッチング機能	48
4.3.3 コンテキスト・スイッチングからの復帰	48
5. スタンバイ機能	49
6. リセット機能	50
7. 命令セット	51

8. システム構成例	…	65
9. 電気的特性	…	66
10. 外形図	…	75
11. 半田付け推奨条件	…	76
付録A. μ PD78362Aと μ PD78328との違い	…	77
付録B. ツール	…	78
B.1 開発ツール	…	78
B.2 組み込み用ソフトウェア	…	83

1. 端子機能

1.1 ポート端子

端子名称	入出力	機 能	兼用端子
P00-P03	入出力	ポート0 8ビット入出力ポート 1ビット単位で入力／出力の指定が可能	RTP0-RTP3
P04			PWM0
P05			TCUD/PWM1
P06			TIUD/TO40
P07			TCLRUD
P20	入 力	ポート2 6ビット入力専用ポート	NMI
P21			INTP0
P22			INTP1
P23			INTP2
P24			INTP3/TI
P25			INTP4
P30	入出力	ポート3 5ビット入出力ポート 1ビット単位で入力／出力の指定が可能	TxD
P31			RxD
P32			SO/SB0
P33			SI/SB1
P34			SCK
P40-P47	入出力	ポート4 8ビット入出力ポート 8ビット単位で入力／出力の指定が可能	—
P50-P57	入出力	ポート5 8ビット入出力ポート 1ビット単位で入力／出力の指定が可能	—
P70-P77	入 力	ポート7 8ビット入力専用ポート	ANI0-ANI7
P80-P85	入出力	ポート8 6ビット入出力ポート 1ビット単位で入力／出力の指定が可能	TO00-TO05
P90-P92	入出力	ポート9 3ビット入出力ポート 1ビット単位で入力／出力の指定が可能	—

1.2 ポート以外の端子

端子名称	入出力	機 能	兼用端子
RTP0-RTP3	出 力	リアルタイム・パルス・ユニットからのトリガ信号に同期して、パルス出力を行うリアルタイム出力ポート。	P00-P03
NMI	入 力	ノンマスクابل割り込み要求入力。	P20
INTP0		外部割り込み要求入力。	P21
INTP1			P22
INTP2			P23
INTP3			P24/TI
INTP4			P25
TI	入 力	タイマ1への外部カウント・クロック入力。	P24/INTP3
TCUD		アップ／ダウン・カウンタ（タイマ4）へのカウント動作切り替え制御信号入力。	P05/PWM1
TIUD		アップ／ダウン・カウンタ（タイマ4）への外部カウント・クロック入力。	P06/TO40
TCLRUD		アップ／ダウン・カウンタ（タイマ4）へのクリア信号入力。	P07
TO00-TO05	出 力	リアルタイム・パルス・ユニットからのパルス出力。	P80-P85
TO40			P06/TIUD
ANI0-ANI7	入 力	A/Dコンバータへのアナログ入力。	P70-P77
TxD	出 力	アシンクロナス・シリアル・インタフェースのシリアル・データ出力。	P30
RxD	入 力	アシンクロナス・シリアル・インタフェースのシリアル・データ入力。	P31
SCK	入出力	クロック同期式シリアル・インタフェースのシリアル・クロック入出力。	P34
SI	入 力	クロック同期式シリアル・インタフェースの3線式モードでのシリアル・データ入力。	P33/SB1
SO	出 力	クロック同期式シリアル・インタフェースの3線式モードでのシリアル・データ出力。	P32/SB0
SB0	入出力	クロック同期式シリアル・インタフェースのSBIモードでのシリアル・データ入出力。	P32/SO
SB1			P33/SI
PWM0	出 力	PWM信号出力。	P04
PWM1			P05/TCUD
MODE	入 力	動作モードを設定するための制御信号入力。V _{SS} に接続。	—
RESET	入 力	システム・リセット入力。	—
X1	入 力	システム・クロック発振用クリスタル接続端子。外部からクロックを供給する場合は、X1端子に入力。X2端子はオープン。	—
X2	—		
AV _{REF}	入 力	A/Dコンバータ用基準電圧入力。	—
AV _{DD}	—	A/Dコンバータ用アナログ電源。	—
AV _{SS}	—	A/Dコンバータ用GND。	—
V _{DD}	—	正電源。	—
V _{SS}	—	GND。	—

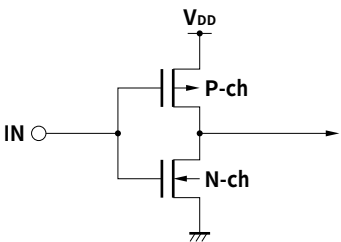
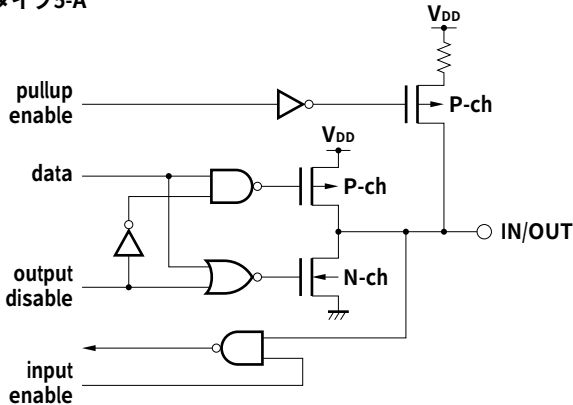
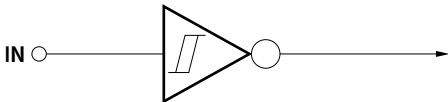
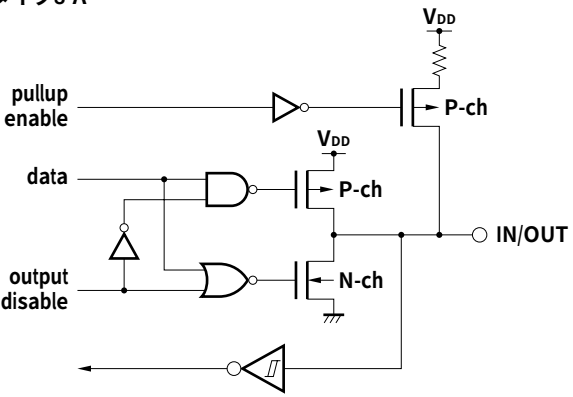
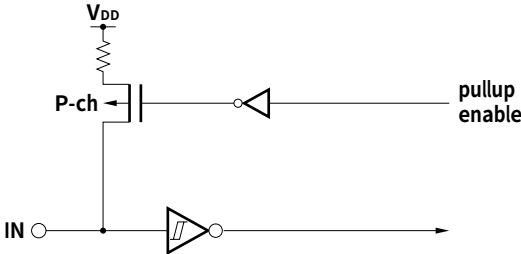
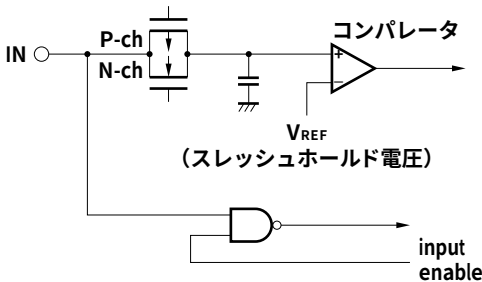
1.3 端子の入出力回路と未使用端子の処理

表 1-1 は、各端子の入出力回路タイプと、未使用時の処理方法を示します。また、図 1-1 は各タイプの回路です。

表 1-1 端子の入出力回路タイプと未使用時の推奨接続方法

端 子	入出力回路タイプ	推 奨 接 続 方 法
P00/RTP0-P03/RTP3	5-A	入力状態：個別に抵抗を介して，V _{DD} またはV _{SS} に接続 出力状態：オープン
P04/PWM0		
P05/TCUD/PWM1		
P06/TIUD/TO40		
P07/TCLRUD		
P20/NMI	2	V _{SS} に接続
P21/INTP0	2-A	
P22/INTP1		
P23/INTP2		
P24/INTP3/TI		
P25/INTP4		
P30/TxD	5-A	入力状態：個別に抵抗を介して，V _{DD} またはV _{SS} に接続 出力状態：オープン
P31/RxD		
P32/SO/SB0	8-A	
P33/SI/SB1		
P34/ $\overline{\text{SCK}}$		
P40-P47	5-A	
P50-P57		
P70/ANI0-P77/ANI7	9	V _{SS} に接続
P80/TO00-P85/TO05	5-A	入力状態：個別に抵抗を介して，V _{DD} またはV _{SS} に接続 出力状態：オープン
P90-P92		
MODE	1	—
$\overline{\text{RESET}}$	2	
AV _{REF} ，AV _{SS}	—	V _{SS} に接続
AV _{DD}		V _{DD} に接続

図 1-1 端子の入出力回路

タイプ 1 	タイプ 5-A 
タイプ 2  ヒステリシス特性を有するシュミット・トリガ入力となっています。	タイプ 8-A 
タイプ 2-A  ヒステリシス特性を有するシュミット・トリガ入力です。	タイプ 9 

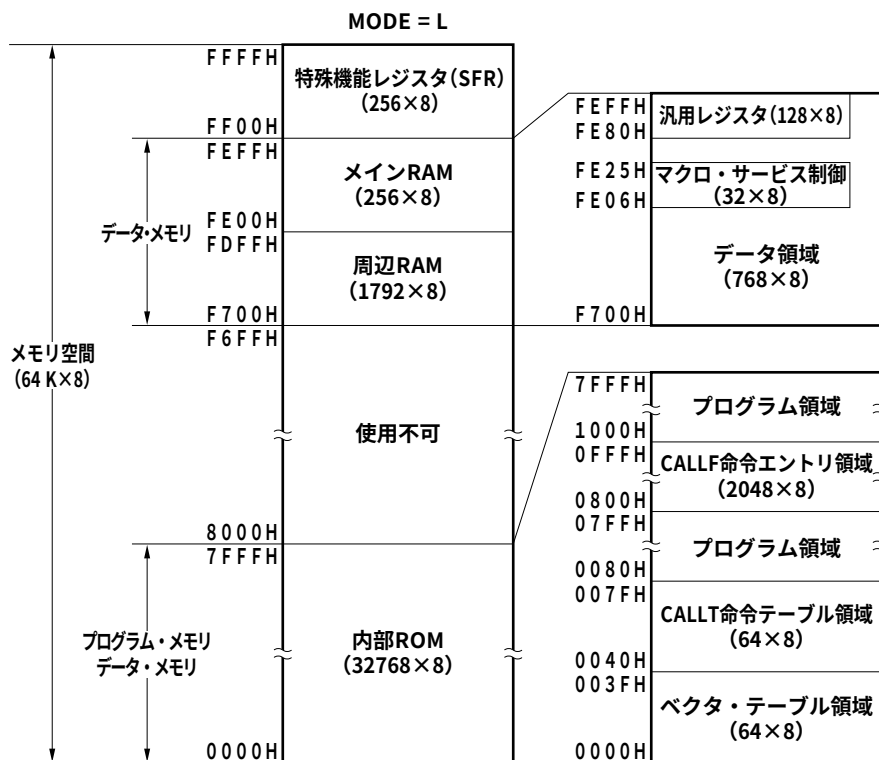
2. CPUアーキテクチャ

2.1 メモリ空間

μPD78362Aは、64Kバイトのメモリ空間をアクセスできます。図2-1、2-2に、メモリ・マップを示します。

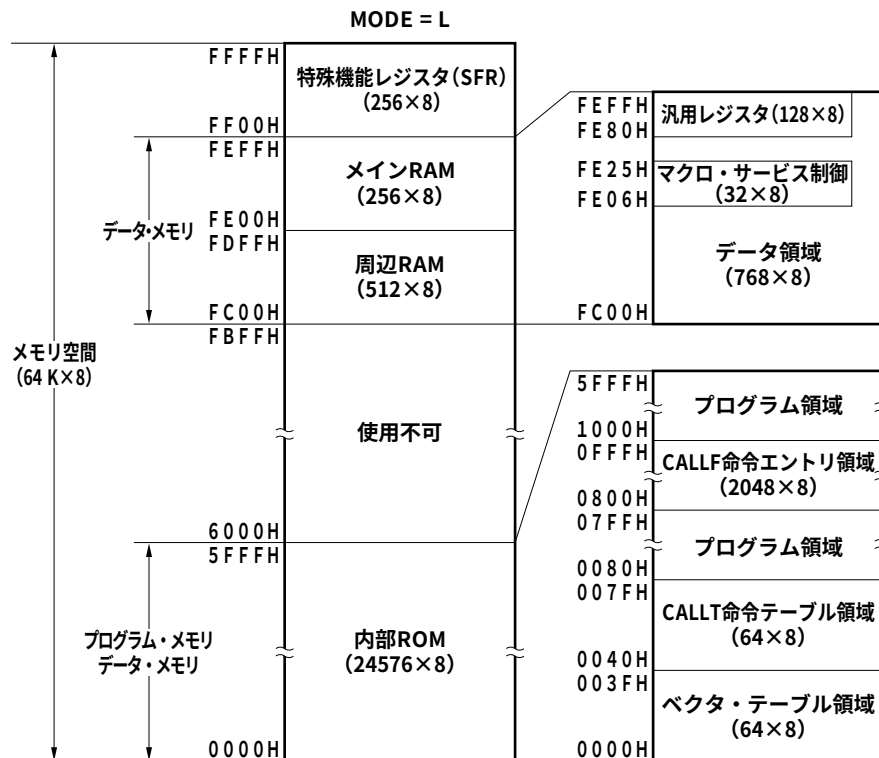
★

図2-1 メモリ・マップ (μPD78361A)



注意 メインRAM領域 (FE00H-FEFFFH) へのワード・アクセス (スタック操作を含む) を実行する場合、オペランドで指定するアドレスは偶数に限ります。

図 2-2 メモリ・マップ (μPD78362A)



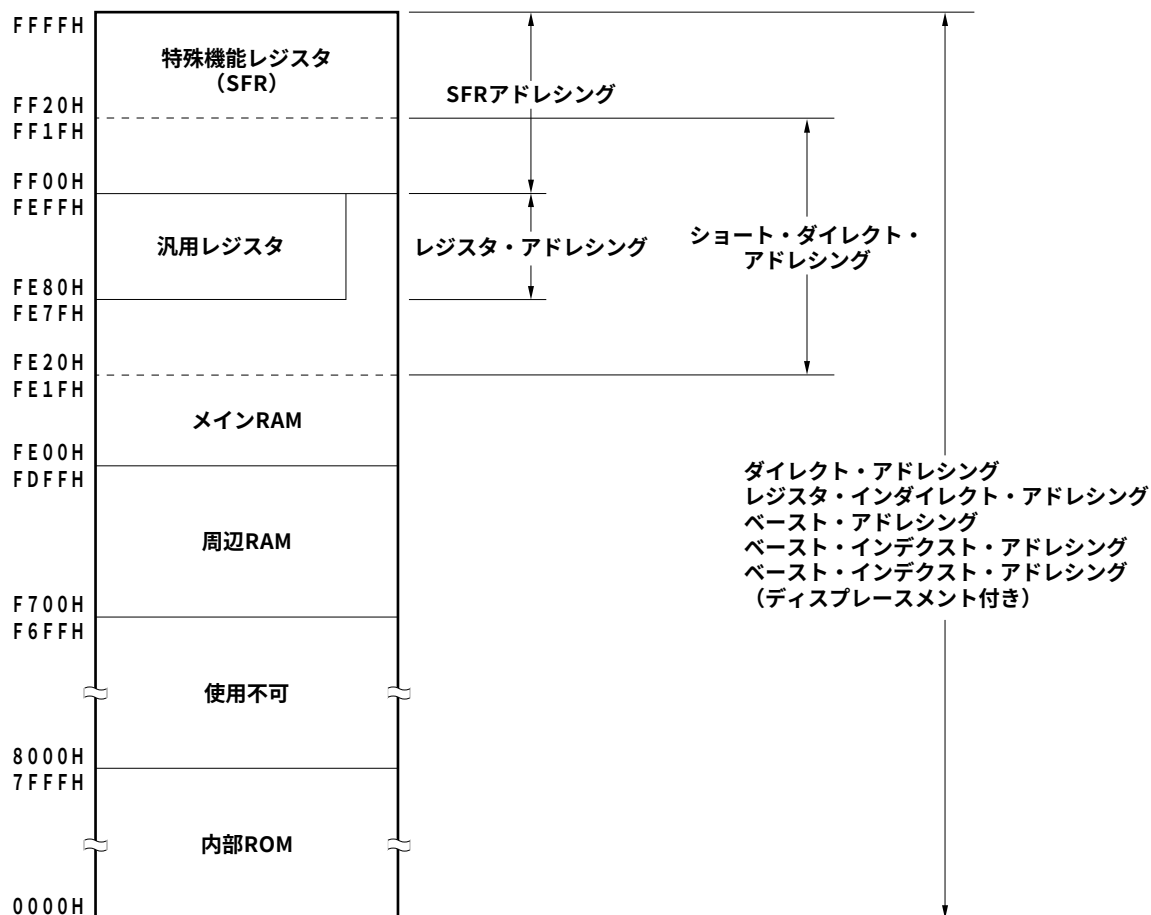
注意 メインRAM領域 (FE00H-FEFFFH) へのワード・アクセス (スタック操作を含む) を実行する場合、オペランドで指定するアドレスは偶数に限ります。

2.2 データ・メモリ・アドレッシング

μPD78362Aは、メモリの操作性や高級言語対応を考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵しているFC00H - FFFFH（μPD78361AはF700H-FFFFH）の領域では、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。

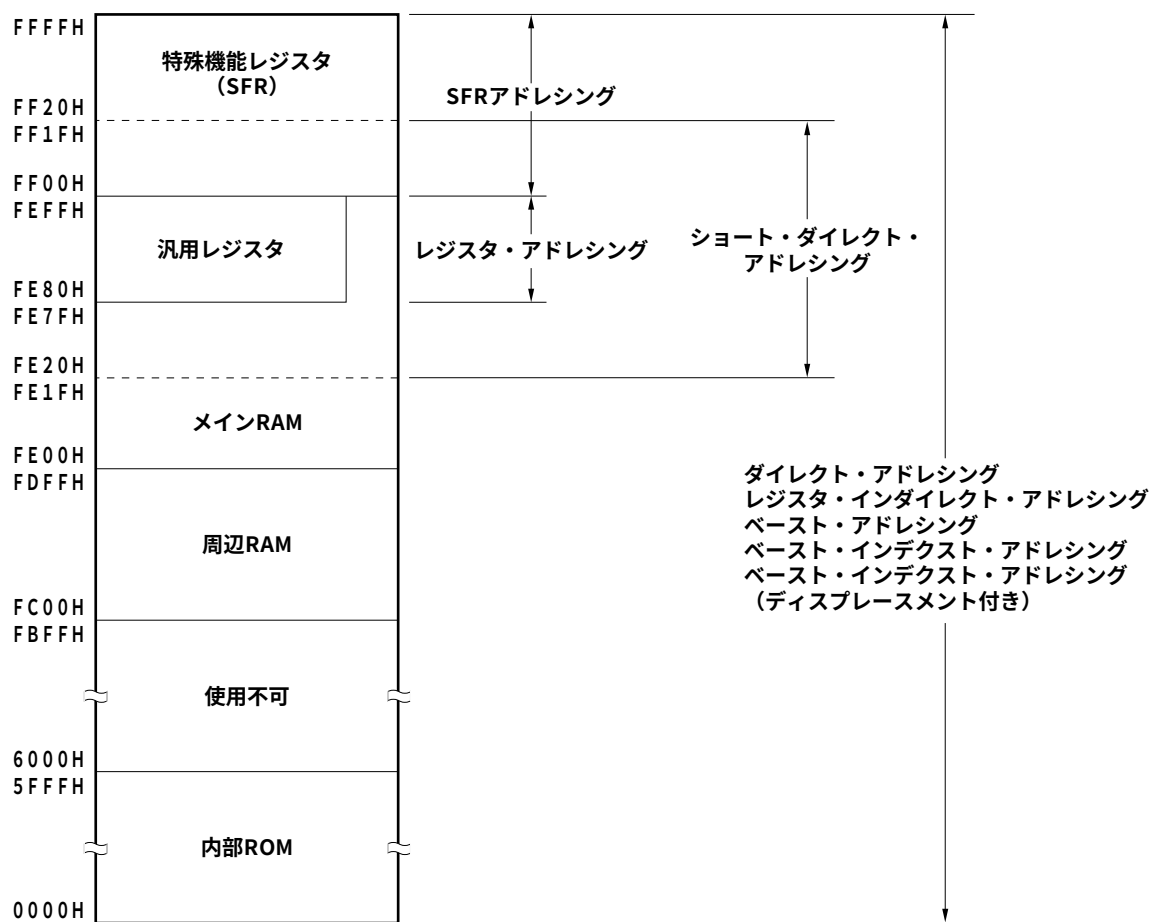
★

図2-3 データ・メモリのアドレッシング（μPD78361A）



注意 メインRAM領域（FE00H - FEF7FH）へのワード・アクセス（スタック操作を含む）を実行する場合、オペランドで指定するアドレスは偶数に限ります。

図2-4 データ・メモリのアドレッシング (μPD78362A)



注意 メインRAM領域 (FE00H - FEFFH) へのワード・アクセス (スタック操作を含む) を実行する場合、オペランドで指定するアドレスは偶数に限ります。

2.3 プロセッサ・レジスタ

μPD78362Aは、次に示す3つのプロセッサ・レジスタを内蔵しています。

- ・制御レジスタ
- ・汎用レジスタ
- ・特殊機能レジスタ（SFR）

2.3.1 制御レジスタ

（1）プログラム・カウンタ（PC）

次に実行する命令のアドレスを保持する16ビット・レジスタです。

（2）プログラム・ステータス・ワード（PSW）

命令実行結果によるCPUのステータスを示す16ビット・レジスタです。

（3）スタック・ポインタ（SP）

メモリのスタック領域（LIFO形式）の先頭アドレスを示す16ビット・レジスタです。

図2-5 制御レジスタの構成

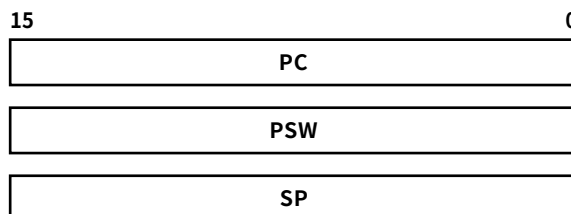
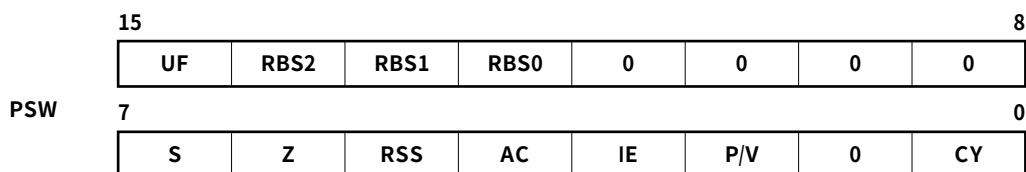


図2-6 PSWの構成



- UF : ユーザ・フラグ
- RBS0-RBS2 : レジスタ・バンク選択フラグ
- S : サイン・フラグ（演算結果のMSB）
- Z : ゼロ・フラグ
- RSS : レジスタ・セット選択フラグ
- AC : 補助キャリー・フラグ
- IE : 割り込み要求許可フラグ
- P/V : パリティ／オーバフロー・フラグ
- CY : キャリー・フラグ

2.3.2 汎用レジスタ

8ワード×16ビットを1バンクとして8バンク内蔵しています。汎用レジスタの構成を図2-7に示します。汎用レジスタはFE80H-FEFFFHの領域にマッピングされています。8ビット・レジスタとして機能する以外に16ビット・レジスタとしての使用も可能です（図2-8参照）。この豊富なレジスタによって、複雑なマルチタスク処理を容易に制御できます。

図2-7 汎用レジスタの構成

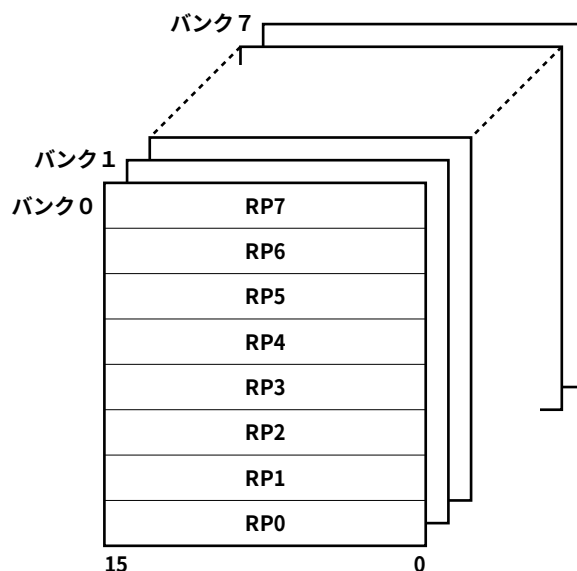


図2-8 汎用レジスタの処理ビット

		8ビット処理		16ビット処理		
FEFFH	RBNK0		R15	R14	(FH) RP7 (EH)	
	RBNK1		R13	R12	(DH) RP6 (CH)	
	RBNK2		R11	R10	(BH) RP5 (AH)	
	RBNK3		R9	R8	(9H) RP4 (8H)	
	RBNK4		R7	R6	(7H) RP3 (6H)	
	RBNK5		R5	R4	(5H) RP2 (4H)	
	RBNK6		R3	R2	(3H) RP1 (2H)	
	RBNK7		R1	R0	(1H) RP0 (0H)	
FE80H		7	0 7	0	15	0

2.3.3 特殊機能レジスタ (SFR)

内蔵周辺ハードウェアのモード・レジスタ、コントロール・レジスタなどの特別な機能が割り付けられたレジスタで、FF00H - FFFFHの256バイトの空間にマッピングされています。

表2-1に特殊機能レジスタ (SFR) の一覧を示します。表中の項目の意味は次のようになります。

- ・略 号 内蔵されたSFRを示す記号。命令のオペランド欄に記述できます。
- ・R/W 該当するSFRが読み出し／書き込みが可能かどうかを示します。
 - R/W : 読み出し (Read) ／書き込み (Write) 可能
 - R : 読み出し (Read) のみ
 - W : 書き込み (Write) のみ
- ・操作可能ビット単位... 該当するSFRを操作する場合に、適応可能な操作ビット単位を示します。16ビット操作可能なSFRはオペランドのsfrpに記述でき、アドレスで指定する場合は偶数アドレスを記述します。
 - 1ビット操作可能なSFRは、ビット操作命令に記述できます。
- ・リセット時 RESET入力時の各レジスタの状態を示します。

注意1. FF00H - FFFFHの領域で、特殊機能レジスタが割り付けられていないアドレスは、アクセスしないでください。アクセスすると誤動作することがあります。

2. 読み出しのみのレジスタに書き込みをしないでください。書き込みをすると内部回路が正常に動作しなくなることがあります。
3. 読み出しデータをバイト・データとして使用する場合、不定ビットを処置してから使用してください。
4. TOUT, TXSは書き込みのみ可能なレジスタです。読み出しをしないでください。
5. SBICのビット0, 1, 4は書き込みのみ可能なビットです。このビットを読み出すと“0”が読み出されます。

表2-1 特殊機能レジスタ一覧 (1/5)

アドレス	特殊機能レジスタ（SFR）名称	略 号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF00H	ポート0	P0	R/W	○	○	—	不定
FF02H	ポート2	P2	R	—	○	—	
FF03H	ポート3	P3	R/W	○	○	—	
FF04H	ポート4	P4		○	○	—	
FF05H	ポート5	P5		○	○	—	
FF07H	ポート7	P7	R	—	○	—	
FF08H	ポート8	P8	R/W	○	○	—	
FF09H	ポート9	P9		○	○	—	
FF10H	コンペア・レジスタ00	CM00		—	—	○	
FF11H							
FF12H	コンペア・レジスタ01	CM01		—	—	○	
FF13H							
FF14H	コンペア・レジスタ02	CM02		—	—	○	
FF15H							
FF16H	コンペア・レジスタ03	CM03		—	—	○	
FF17H							
FF18H	バッファ・レジスタCM00	BFCM00		—	—	○	
FF19H							
FF1AH	バッファ・レジスタCM01	BFCM01		—	—	○	
FF1BH							
FF1CH	バッファ・レジスタCM02	BFCM02		—	—	○	
FF1DH							
FF1EH	タイマ・レジスタ0	TM0	R	—	—	○	0000H
FF1FH							
FF20H	ポート0モード・レジスタ	PM0	R/W	○	○	—	FFH
FF23H	ポート3モード・レジスタ	PM3		○	○	—	×××1 1111B
FF25H	ポート5モード・レジスタ	PM5		○	○	—	FFH
FF28H	ポート8モード・レジスタ	PM8		○	○	—	××11 1111B
FF29H	ポート9モード・レジスタ	PM9		○	○	—	×××××111B
FF2CH	リロード・レジスタ	DTIME	R/W	—	—	○	不定
FF2DH							
FF2EH	タイマ・ユニット・モード・レジスタ0	TUM0		○	○	—	00H
FF2FH	タイマ・ユニット・モード・レジスタ1	TUM1		○	○	—	
FF30H	コンペア・レジスタ10	CM10		—	—	○	不定
FF31H							
FF32H	タイマ・レジスタ1	TM1	R	—	—	○	0000H
FF33H							

表2-1 特殊機能レジスタ一覧 (2/5)

アドレス	特殊機能レジスタ (SFR) 名称	略 号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF34H	キャプチャ／コンペア・レジスタ20	CC20	R/W	—	—	○	不定
FF35H							
FF36H	キャプチャ・レジスタ20	CT20	R	—	—	○	
FF37H							
FF38H	タイマ・レジスタ2	TM2		—	—	○	0000H
FF39H							
FF3AH	バッファ・レジスタCM03	BFCM03	R/W	—	—	○	不定
FF3BH							
FF3CH	外部割り込みモード・レジスタ0	INTM0		○	○	—	00H
FF3DH	外部割り込みモード・レジスタ1	INTM1		○	○	—	
FF40H	ポート0モード・コントロール・レジスタ	PMC0		○	○	—	
FF43H	ポート3モード・コントロール・レジスタ	PMC3		○	○	—	×××0 0000B
FF44H	ブルアップ抵抗オプション・レジスタL	PUOL		○	○	—	00H
FF45H	ブルアップ抵抗オプション・レジスタH	PUOH		○	○	—	
FF48H	ポート8モード・コントロール・レジスタ	PMC8		○	○	—	××00 0000B
FF4EH	サンプリング・コントロール・レジスタ0	SMPC0		○	○	—	00H
FF4FH	サンプリング・コントロール・レジスタ1	SMPC1		○	○	—	
FF50H	キャプチャ／コンペア・レジスタ30	CC30		—	—	○	不定
FF51H							
FF52H	キャプチャ・レジスタ30	CT30	R	—	—	○	
FF53H							
FF54H	キャプチャ・レジスタ31	CT31		—	—	○	0000H
FF55H							
FF56H	タイマ・レジスタ3	TM3		—	—	○	
FF57H							
FF58H	コンペア・レジスタ40	CM40	R/W	—	—	○	不定
FF59H							
FF5AH	コンペア・レジスタ41	CM41		—	—	○	
FF5BH							
FF5CH	タイマ・レジスタ4	TM4	R	—	—	○	0000H
FF5DH							
FF5EH	タイマ・コントロール・レジスタ4	TMC4	R/W	○	○	—	00H
FF5FH	タイマ・アウト・レジスタ	TOUT	W	—	○	—	××01 0101B
FF60H	リアルタイム出力ポート・レジスタ	RTP	R/W	○	○	—	不定
FF61H	リアルタイム出力ポート・モード・レジスタ	RTPM		○	○	—	00H
FF62H	ポート・リード・コントロール・レジスタ	PRDC		○	○	—	
FF68H	A/Dコンバータ・モード・レジスタ	ADM		○	○	—	

表2-1 特殊機能レジスタ一覧 (3/5)

アドレス	特殊機能レジスタ (SFR) 名称	略 号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF70H	スレーブ・バッファ・レジスタ0	SBUF0	R/W	○	○	—	不定
FF71H	スレーブ・バッファ・レジスタ1	SBUF1		○	○	—	
FF72H	スレーブ・バッファ・レジスタ2	SBUF2		○	○	—	
FF73H	スレーブ・バッファ・レジスタ3	SBUF3		○	○	—	
FF74H	スレーブ・バッファ・レジスタ4	SBUF4		○	○	—	
FF75H	スレーブ・バッファ・レジスタ5	SBUF5		○	○	—	
FF76H	マスタ・バッファ・レジスタ0	MBUF0		○	○	—	
FF77H	マスタ・バッファ・レジスタ1	MBUF1		○	○	—	
FF78H	マスタ・バッファ・レジスタ2	MBUF2		○	○	—	
FF79H	マスタ・バッファ・レジスタ3	MBUF3		○	○	—	
FF7AH	マスタ・バッファ・レジスタ4	MBUF4		○	○	—	
FF7BH	マスタ・バッファ・レジスタ5	MBUF5		○	○	—	
FF7CH	タイマ・コントロール・レジスタ0	TMC0	R/W ^注	○	○	—	00H
FF7DH	タイマ・コントロール・レジスタ1	TMC1		○	○	—	
FF7EH	タイマ・コントロール・レジスタ2	TMC2		○	○	—	
FF7FH	タイマ・コントロール・レジスタ3	TMC3		○	○	—	
FF80H	クロック同期式シリアル・インタフェース・モード・レジスタ	CSIM		○	○	—	
FF82H	シリアル・バス・インタフェース・コントロール・レジスタ	SBIC	R/W	○	○	—	不定
FF84H	ポー・レート・ジェネレータ・コントロール・レジスタ	BRGC	R/W	○	○	—	
FF85H	ポー・レート・ジェネレータ・コンペア・レジスタ	BRG		—	○	—	
FF86H	シリアルI/Oシフト・レジスタ	SIO		○	○	—	
FF88H	アシンクロナス・シリアル・インタフェース・モード・レジスタ	ASIM		○	○	—	
FF8AH	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS	R	—	○	—	00H
FF8CH	シリアル受信バッファ : UART	RXB	W	—	○	—	不定
FF8EH	シリアル送信シフト・レジスタ : UART	TXS		—	○	—	
FFA0H	PWMコントロール・レジスタ0	PWMC0	R/W	○	○	—	00H
FFA1H	PWMコントロール・レジスタ1	PWMC1		○	○	—	
FFA2H	PWMレジスタ0L	PWM0L		○	○	—	不定
FFA2H	PWMレジスタ0	PWM0		—	—	○	
FFA3H							

注 ビット7, 5 : リード／ライト可能

ビット6, 3, 2 : リードのみ可能

ビット4, 1, 0 : ライトのみ可能

表 2-1 特殊機能レジスタ一覧 (4/5)

アドレス	特殊機能レジスタ（SFR）名称	略 号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
F F A 4 H	PWMレジスタ1L	PWM1L	R/W	○	○	－	不定
F F A 4 H	PWMレジスタ 1	PWM1		－	－	○	
F F A 5 H							
F F A 8 H	インサースビス・プライオリティ・レジスタ	ISPR	R	○	○	－	00H
F F A A H	割り込みモード・コントロール・レジスタ	IMC	R/W	○	○	－	80H
F F A C H	割り込みマスク・レジスタ0L	MK0L		○	○	－	FFH
F F A C H	割り込みマスク・レジスタ 0	MK0		－	－	○	FFFFH
F F A D H							
F F A D H	割り込みマスク・レジスタ0H	MK0H		○	○	－	FFH
F F B 0 H	A/Dコンバージョン・リザルト・レジスタ 0	ADCR0	R	－	－	○	不定
F F B 1 H							
F F B 1 H	A/Dコンバージョン・リザルト・レジスタ0H	ADCR0H		－	○	－	
F F B 2 H	A/Dコンバージョン・リザルト・レジスタ 1	ADCR1		－	－	○	
F F B 3 H							
F F B 3 H	A/Dコンバージョン・リザルト・レジスタ1H	ADCR1H		－	○	－	
F F B 4 H	A/Dコンバージョン・リザルト・レジスタ 2	ADCR2		－	－	○	
F F B 5 H							
F F B 5 H	A/Dコンバージョン・リザルト・レジスタ2H	ADCR2H		－	○	－	
F F B 6 H	A/Dコンバージョン・リザルト・レジスタ 3	ADCR3		－	－	○	
F F B 7 H							
F F B 7 H	A/Dコンバージョン・リザルト・レジスタ3H	ADCR3H		－	○	－	
F F B 8 H	A/Dコンバージョン・リザルト・レジスタ 4	ADCR4		－	－	○	
F F B 9 H							
F F B 9 H	A/Dコンバージョン・リザルト・レジスタ4H	ADCR4H		－	○	－	
F F B A H	A/Dコンバージョン・リザルト・レジスタ 5	ADCR5		－	－	○	
F F B B H							
F F B B H	A/Dコンバージョン・リザルト・レジスタ5H	ADCR5H		－	○	－	
F F B C H	A/Dコンバージョン・リザルト・レジスタ 6	ADCR6		－	－	○	
F F B D H							
F F B D H	A/Dコンバージョン・リザルト・レジスタ6H	ADCR6H		－	○	－	
F F B E H	A/Dコンバージョン・リザルト・レジスタ 7	ADCR7	－	－	○		
F F B F H							
F F B F H	A/Dコンバージョン・リザルト・レジスタ7H	ADCR7H	－	○	－		
F F C 0 H	スタンバイ・コントロール・レジスタ	STBC ^注	R/W	－	○	－	0000×000B
F F C 2 H	ウォッチドッグ・タイマ・モード・レジスタ	WDM ^注		－	○	－	00H

注 特殊命令のとき、ライト可能です。

表2-1 特殊機能レジスタ一覧 (5/5)

アドレス	特殊機能レジスタ（SFR）名称	略 号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
F F C 4 H	メモリ拡張モード・レジスタ	MM	R/W	○	○	－	注
F F C 6 H	プログラマブル・ウェイト・コントロール・	PWC		－	－	○	C0AAH
F F C 7 H	レジスタ						
F F E 0 H	割り込み制御レジスタ（INTOV3）	OVIC3		○	○	－	43H
F F E 1 H	〃（INTP0/INTCC30）	PIC0		○	○	－	
F F E 2 H	〃（INTP1）	PIC1		○	○	－	
F F E 3 H	〃（INTP2）	PIC2		○	○	－	
F F E 4 H	〃（INTP3/INTCC20）	PIC3		○	○	－	
F F E 5 H	〃（INTP4）	PIC4		○	○	－	
F F E 6 H	〃（INTTM0）	TMIC0		○	○	－	
F F E 7 H	〃（INTCM03）	CMIC03		○	○	－	
F F E 8 H	〃（INTCM10）	CMIC10		○	○	－	
F F E 9 H	〃（INTCM40）	CMIC40		○	○	－	
F F E A H	〃（INTCM41）	CMIC41		○	○	－	
F F E B H	〃（INTSER）	SERIC		○	○	－	
F F E C H	〃（INTSR）	SRIC		○	○	－	
F F E D H	〃（INTST）	STIC		○	○	－	
F F E E H	〃（INTCSI）	CSIIC		○	○	－	
F F E F H	〃（INTAD）	ADIC		○	○	－	

★ 注 MMレジスタは、製品によりリセット時の値が異なります。

μPD78361A…20H

μPD78362A…60H

3. ブロック機能

3.1 エグゼキューション・ユニット (EXU)

EXUでは、アドレス計算、算術論理演算、データ転送などが、マイクロプログラムで制御されます。EXU内部には、256バイトのメインRAMを内蔵しています。

EXU内部のメインRAMは、命令によって、周辺RAMよりも高速にアクセスできます。

3.2 バス・コントロール・ユニット (BCU)

BCUでは、エグゼキューション・ユニット (EXU) で得られた物理アドレスに基づいて、必要なバス・サイクルを起動します。EXUからバス・サイクル起動の要求がないときは、プリフェッチのためのアドレスを発生し、命令のプリフェッチを行います。プリフェッチした命令コードは、命令キューに取り込まれます。

3.3 ROM/RAM

- ★ 内部ROM, RAM容量は、製品により異なります。

μPD78361Aは、32 KバイトのROMと1792バイトの周辺RAMで構成されています。

μPD78362Aは、24 KバイトのROMと512バイトの周辺RAMで構成されています。

3.4 ポート機能

μPD78362Aは図3-1のようなポートを備えており、多様な制御ができます。

各ポートの機能は表3-1に示します。ディジタル・ポートとして動作するほかに、複合機能として内蔵ハードウェアの入出力端子としての機能を持っています。

図3-1 ポート構成

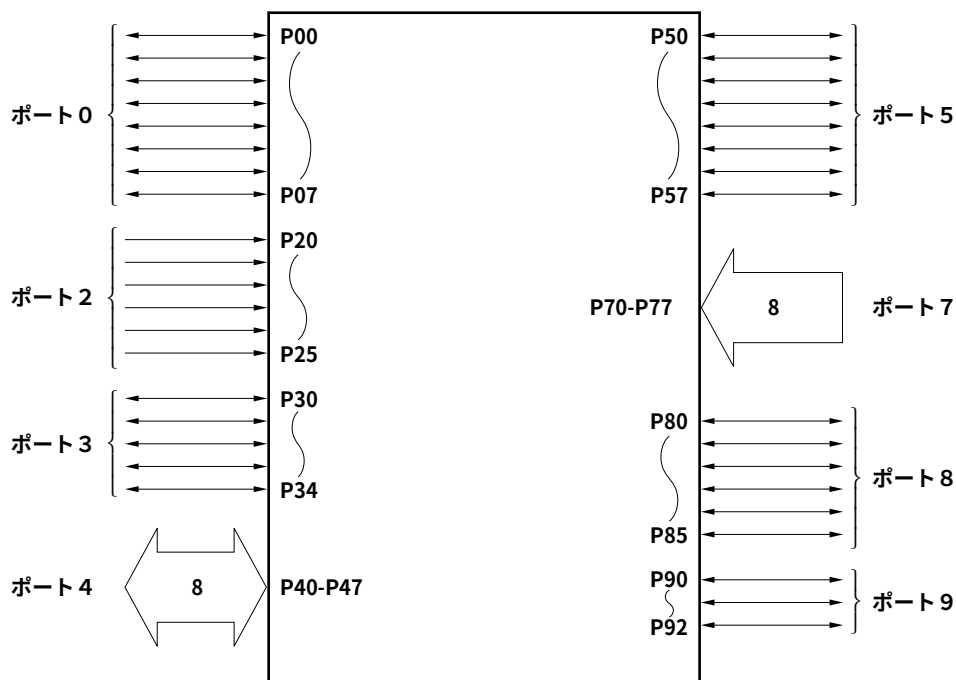


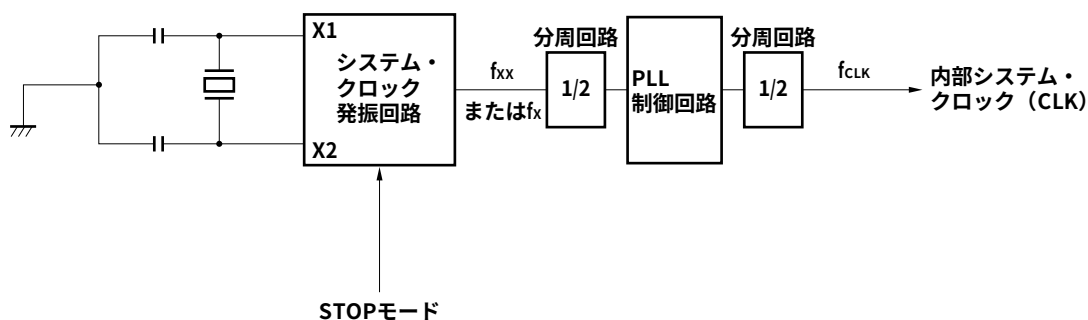
表 3-1 各ポートの機能と複合機能

ポート名	ポ ー ト 機 能	複 合 機 能
ポート 0	8ビット入出力ポート 1ビット単位で入力／出力を指定可能	コントロール・モードでは、リアルタイム出力ポート（RTP），リアルタイム・パルス・ユニット（RPU）の制御信号入力，およびPWM信号出力
ポート 2	6ビット入力専用ポート	外部割り込み入力，リアルタイム・パルス・ユニット（RPU）のカウント・パルス入力（コントロール・モードに固定）
ポート 3	5ビット入出力ポート 1ビット単位で入力／出力を指定可能	コントロール・モードでは，シリアル・インタフェース（UART，CSI）の入出力
ポート 4	8ビット入出力ポート 8ビット単位で入力／出力を指定可能	—
ポート 5	8ビット入出力ポート 1ビット単位で入力／出力を指定可能	—
ポート 7	8ビット入力専用ポート	A/Dコンバータのアナログ入力（コントロール・モードに固定）
ポート 8	6ビット入出力ポート 1ビット単位で入力／出力を指定可能	コントロール・モードでは，リアルタイム・パルス・ユニット（RPU）のタイマ出力
ポート 9	3ビット入出力ポート 1ビット単位で入力／出力を指定可能	—

3.5 クロック発生回路

クロック発生回路は、CPUに供給される内部システム・クロック（CLK）を発生、制御する回路です。

図3-2 クロック発生回路のブロック図



- 備考 1.** f_{xx} : クリスタル発振周波数
2. f_x : 外部クロック周波数
3. f_{CLK} : 内部システム・クロック周波数

8 MHzのクリスタル振動子をX1, X2端子に接続することにより、最大周波数16 MHzの内部システム・クロック (f_{CLK}) を生成することができます。

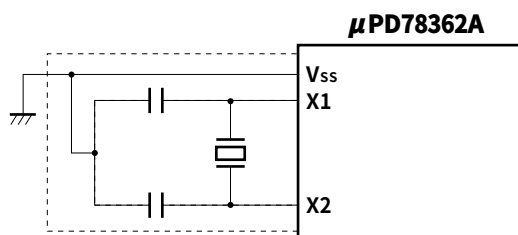
システム・クロック発振回路は、X1, X2端子に接続されたクリスタル振動子によって発振します。スタンバイ・モード（STOP）に設定すると、発振を停止します。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力します。X2端子はオープンにしてください。

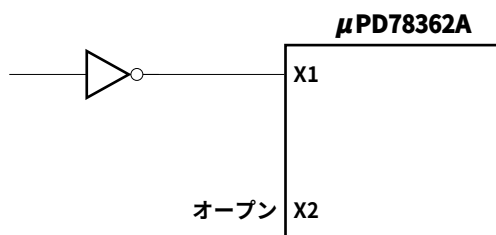
注意 外部クロックを使用する場合、STOPモードに設定しないでください。

図3-3 システム・クロック発振回路の外付け回路

(a) クリスタル発振



(b) 外部クロック



注意1. システム・クロック発振回路を使用する場合には、配線容量などの影響を避けるために、図3-3の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグラウンド・パターンには接地しない。
- ・発振回路から信号を取り出さない。

2. 外部クロックを入力する場合には、X2端子に配線容量などの負荷が接続されないようにしてください。

3.6 リアルタイム・パルス・ユニット (RPU)

リアルタイム・パルス・ユニット (RPU) は、パルス間隔や周波数の計測および、プログラマブルなパルス (6 チャネルPWM制御信号) の出力を容易に行うことができるユニットです。

RPUは、5つの16ビット・タイマ (タイマ0-タイマ4) で構成されています。タイマの1つは、10ビット・デッド・タイム・タイマを備えており、インバータ制御に最適です。また、ソフトウェア、外部割り込みによる出力オフ機能も備えています。

各タイマには次のような特徴があります。

○タイマ0…TO00-TO05出力端子のPWM周期を制御するほか、汎用のインターバル・タイマとして動作します。

タイマ0には次に示す5つの動作モードがあります。

- ・汎用インターバル・タイマ・モード
- ・PWMモード0 (対称三角波)
- ・PWMモード0 (非対称三角波)
- ・PWMモード0 (のこぎり波)
- ・PWMモード1

○タイマ1…汎用インターバル・タイマとして動作します。

○タイマ2, タイマ3…入力信号のノイズを除去するプログラマブル入力サンプリング回路を内蔵し、キャプチャ機能を備えています。

○タイマ4…汎用タイマまたはアップ／ダウン・カウンタとして動作します。汎用タイマのとき、TO40出力端子のPWM周期を制御することができます。タイマ4には次に示す2つの動作モードがあります。

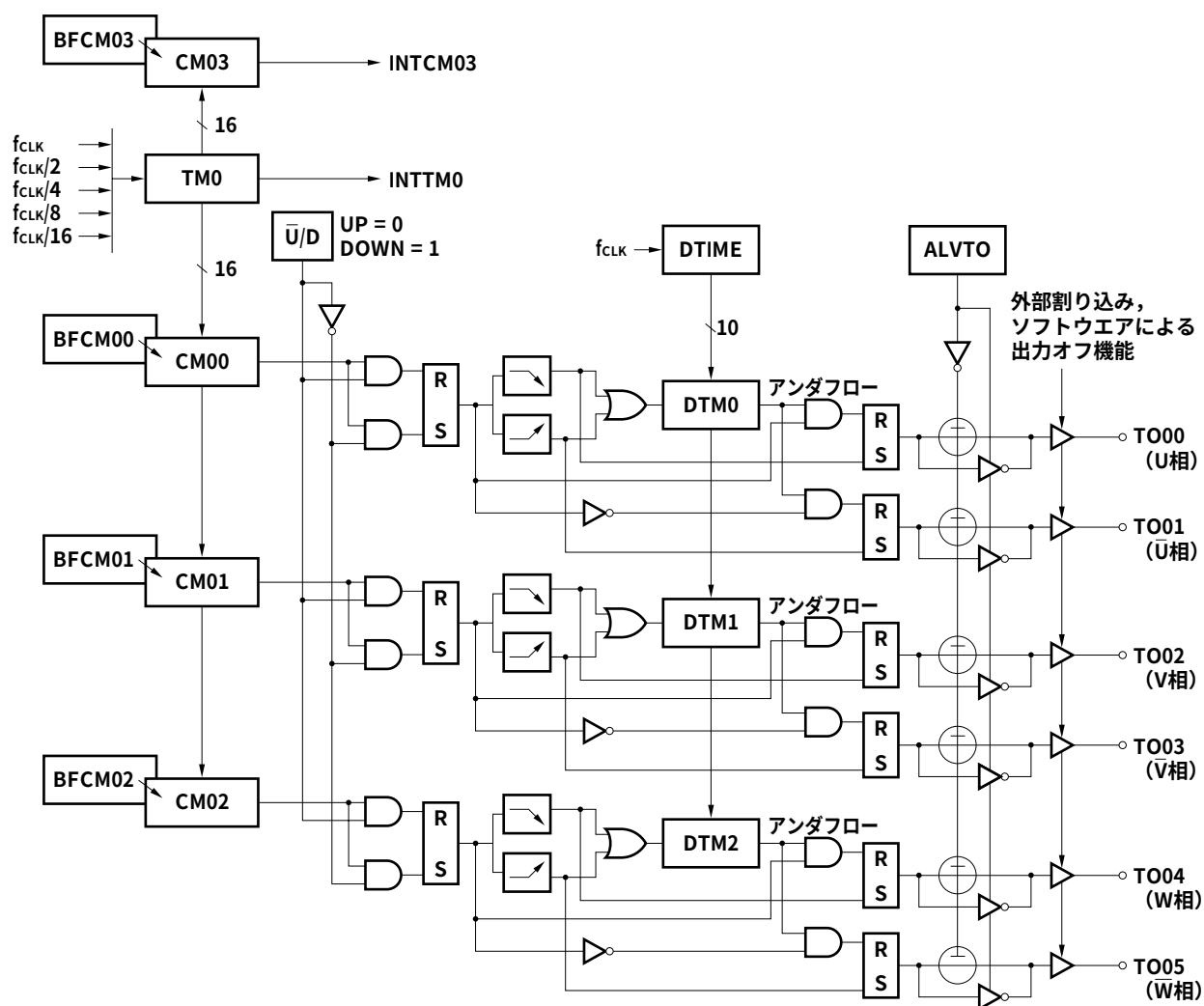
- ・汎用タイマ・モード
- ・アップ／ダウン・カウンタ・モード (UDCモード)

RPUは表3－2に示すハードウェアで構成されています。また、図3－4～図3－12に各タイマのブロック図を示します。

表3－2 リアルタイム・パルス・ユニット (RPU) の構成一覧

	タイマ・レジスタ	レ ジ ス タ	コンペア・レジスタ 一致割り込み	キャプチャ・ トリガ	タイマ 出 力	タイマ・クリア
タイ マ 0	16ビット・タイマ (TM0)	16ビット・コンペア・レジスタ (CM00)	—	—	6本	INTCM03
		〃 (CM01)	—			
		〃 (CM02)	—			
		〃 (CM03)	INTCM03			
タイ マ 1	16ビット・タイマ (TM1)	16ビット・コンペア・レジスタ (CM10)	INTCM10	—	—	INTCM10
タイ マ 2	16ビット・タイマ (TM2)	16ビット・キャプチャ／コンペア・レジスタ (CC20)	INTCC20	INTP3	—	INTCC20
		16ビット・キャプチャ・レジスタ (CT20)	—			
タイ マ 3	16ビット・タイマ (TM3)	16ビット・キャプチャ／コンペア・レジスタ (CC30)	INTCC30	INTP0	—	INTCC30
		16ビット・キャプチャ・レジスタ (CT30)	—	INTP1		
		〃 (CT31)	—	INTP4		
タイ マ 4	16ビット・タイマ (TM4)	16ビット・コンペア・レジスタ (CM40)	INTCM40	—	1本	TCLRUD INTCM40
		〃 (CM41)	INTCM41			

図3-4 タイマ0のブロック図 (PWMモード0…対称三角波, 非対称三角波)

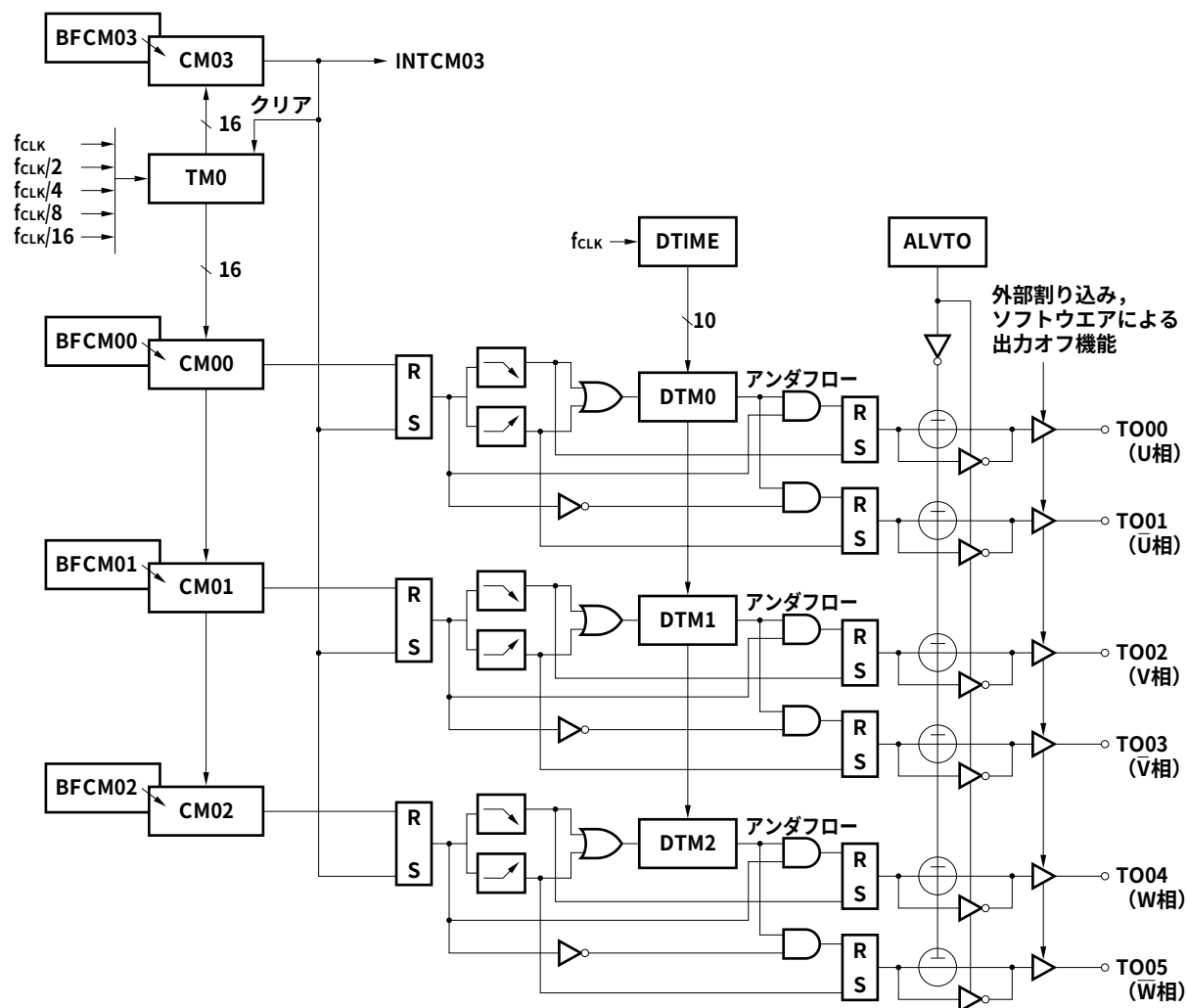


TM0 : タイマ・レジスタ
 CM00-CM03 : コンペア・レジスタ
 BFCM00-BFCM03 : バッファ・レジスタ
 DTIME : リロード・レジスタ
 DTM0-DTM2 : デッド・タイム・タイマ

ALVTO : TUM0レジスタのビット2
 $\bar{U}/D$: TMC0レジスタのビット3

備考 f_{CLK} : 内部システム・クロック

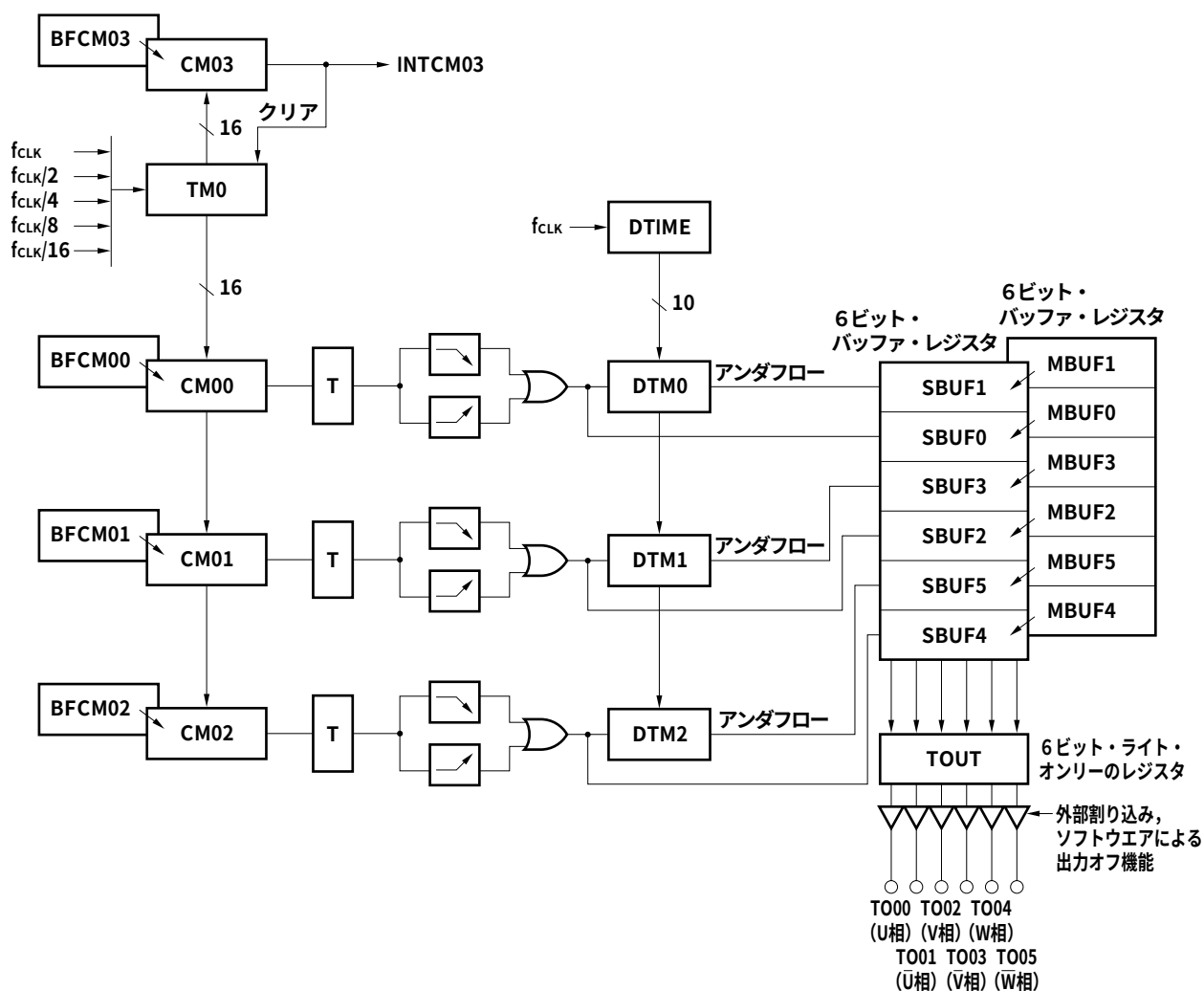
図3-5 タイマ0のブロック図 (PWMモード0…のこぎり波)



TM0 : タイマ・レジスタ
 CM00-CM03 : コンペア・レジスタ
 BFCM00-BFCM03 : バッファ・レジスタ
 DTIME : リロード・レジスタ
 DTM0-DTM2 : デッド・タイム・タイマ
 ALVTO : TUM0レジスタのビット2

備考 f_{CLK} : 内部システム・クロック

図3-6 タイマ0のブロック図 (PWMモード1)



TM0 : タイマ・レジスタ
 CM00-CM03 : コンペア・レジスタ
 BFCM00-BFCM03 : バッファ・レジスタ
 DTIME : リロード・レジスタ
 DTM0-DTM2 : デッド・タイム・タイマ

MBUF0-MBUF5 : マスタ・バッファ・レジスタ
 SBUF0-SBUF5 : スレーブ・バッファ・レジスタ
 TOUT : タイマ・アウト・レジスタ

備考 f_{CLK} : 内部システム・クロック

図3-7 タイマ0のブロック図（汎用インターバル・タイマ・モード）

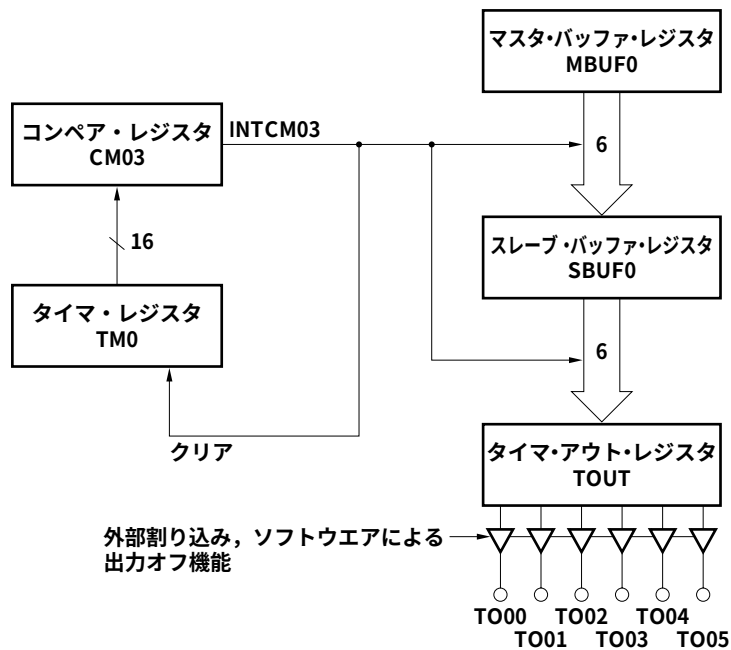
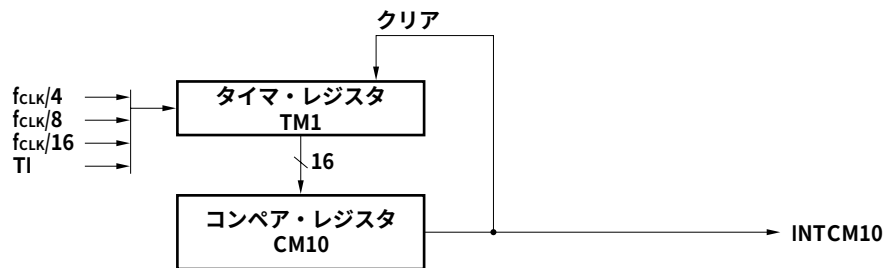
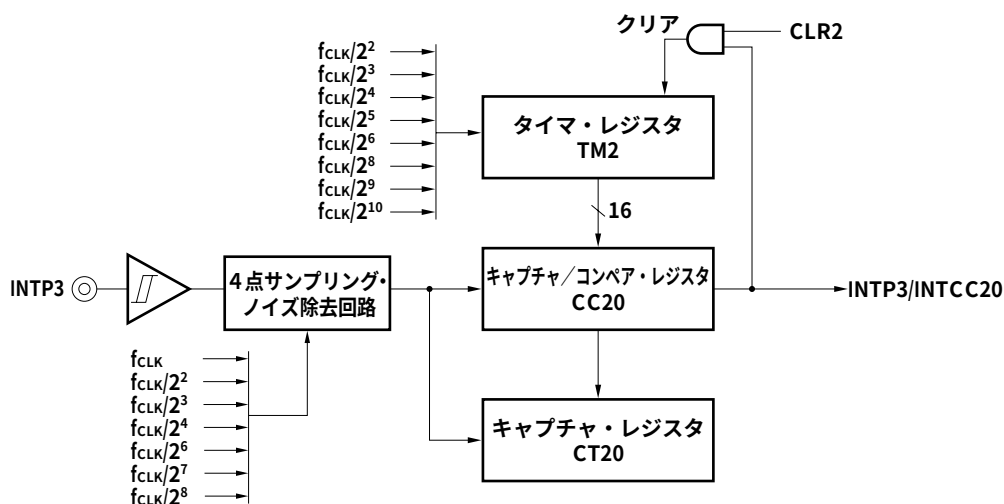


図3-8 タイマ1のブロック図



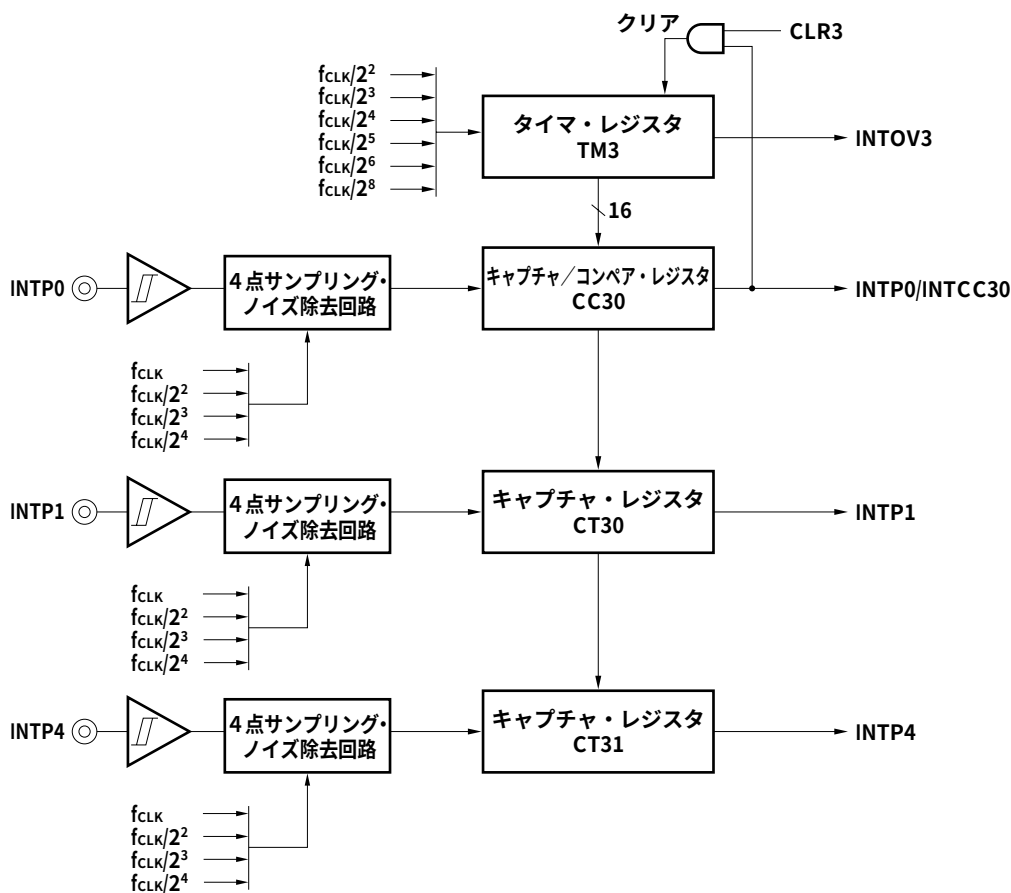
備考 f_{CLK}: 内部システム・クロック

図3-9 タイマ2のブロック図



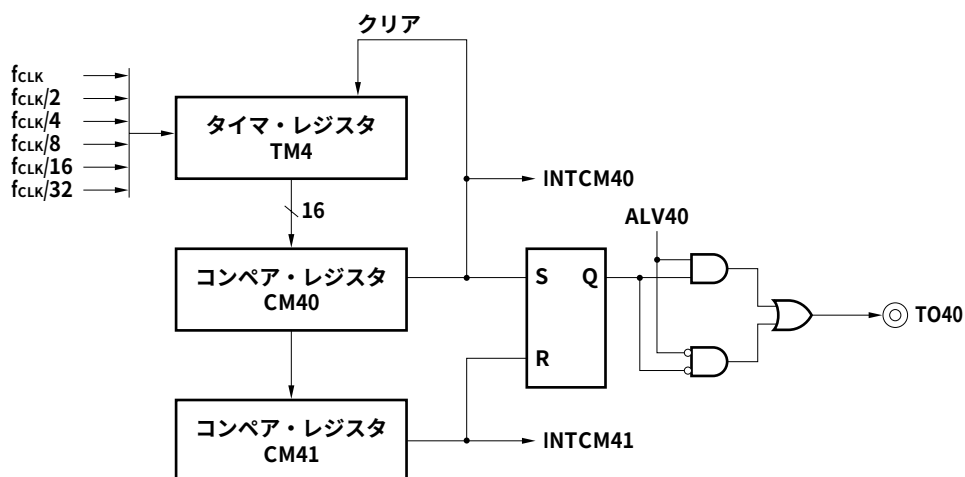
備考 f_CLK: 内部システム・クロック

図3-10 タイマ3のブロック図



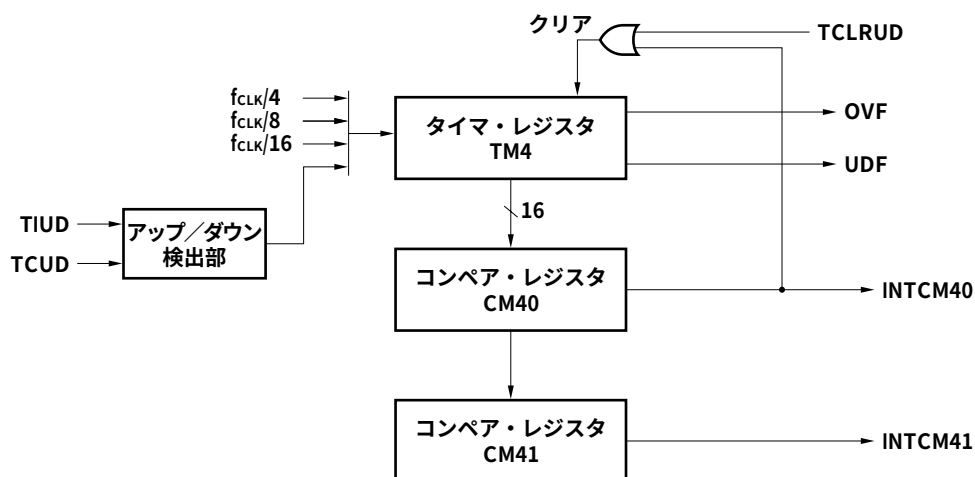
備考 f_CLK: 内部システム・クロック

図3-11 タイマ4のブロック図（汎用タイマ・モード）



備考 fCLK：内部システム・クロック

図3-12 タイマ4のブロック図（UDCモード）



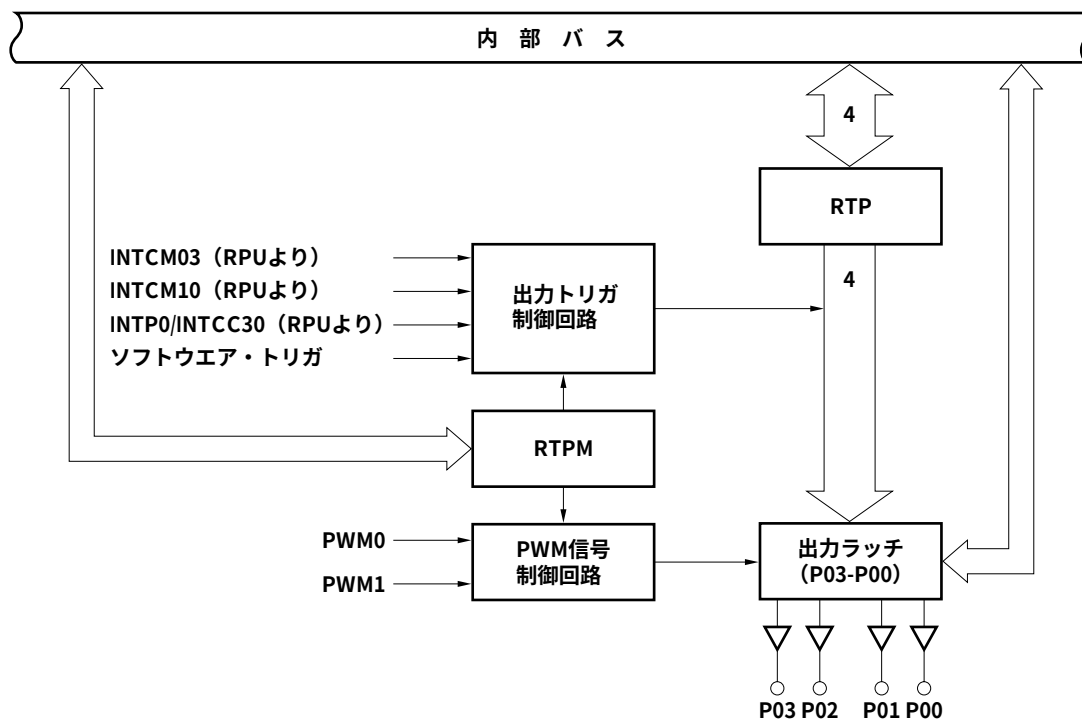
備考 fCLK：内部システム・クロック

3.7 リアルタイム出力ポート (RTP)

リアルタイム出力ポート (RTP) は、リアルタイム・パルス・ユニット (RPU) からのトリガ信号に同期して、リアルタイム出力ポート・レジスタ (RTP) の内容をP00-P03に出力できる4ビットのポートです。多チャネルの同期パルス出力を容易に行うことができます。

また、P00-P03に対してPWM変調をかけることが可能です。

図3-13 リアルタイム出力ポートのブロック図

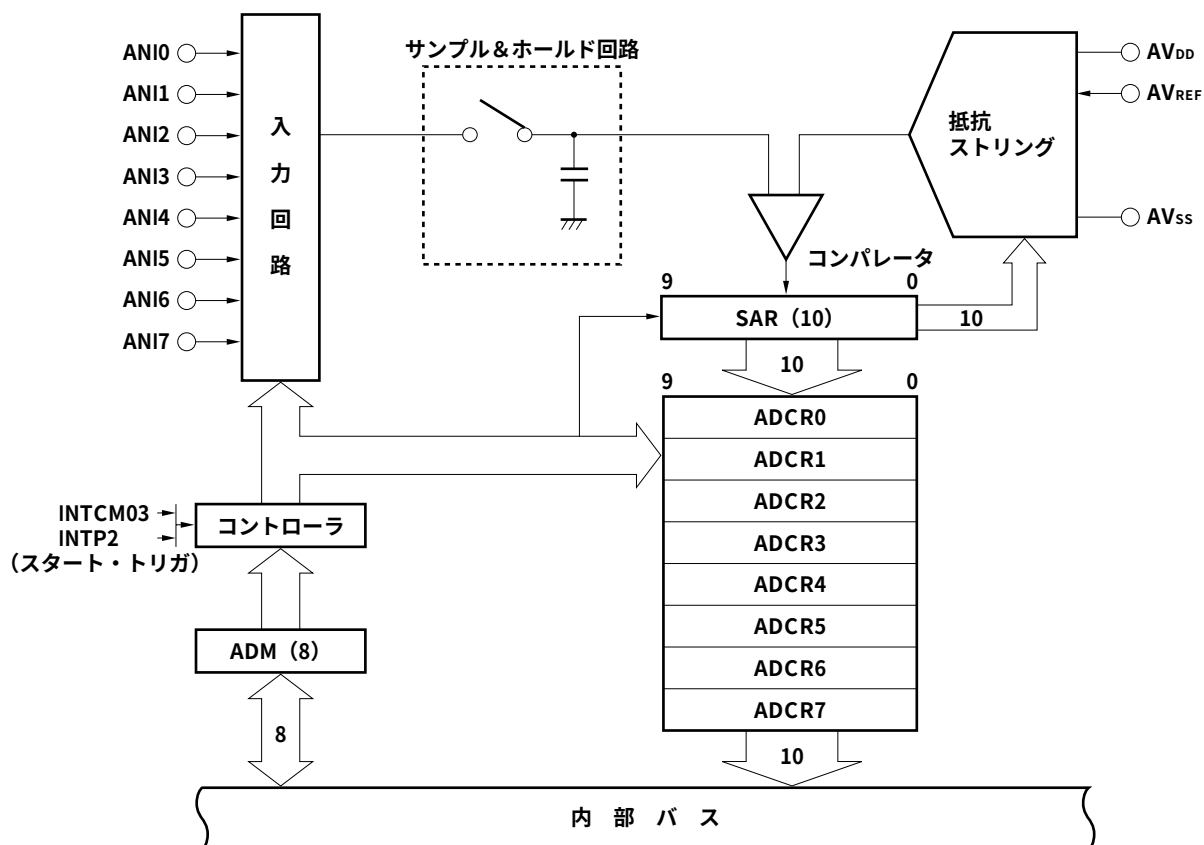


3.8 A/Dコンバータ

μPD78362Aは、高速、高分解能の10ビット・アナログ／ディジタル（A/D）コンバータを内蔵しています（変換時間12.6μs：内部クロック16 MHz動作時）。逐次比較方式を採用しています。8本のアナログ入力（ANI0-ANI7）を持ち、セレクト・モード、スキャン・モード、ミックス・モードなど応用にあわせた多彩な機能を内蔵しています。

A/D変換が終了すると内部割り込み（INTAD）を発生します。この割り込みにより、データの自動転送などをハードウェアで実行するマクロ・サービスを起動できます。

図3-14 A/Dコンバータのブロック図



3.9 シリアル・インタフェース

μPD78362Aは、独立した2チャンネルのシリアル・インタフェースを備えています。

- アシンクロナス・シリアル・インタフェース (UART)
- クロック同期式シリアル・インタフェース
 - ・3線式シリアルI/Oモード
 - ・シリアル・バス・インタフェース・モード (SBIモード)

また、μPD78362Aは、ポー・レート・ジェネレータ (BRG) を内蔵しているため、動作クロック周波数によらず任意のシリアル転送レートを設定することが可能です。ポー・レート・ジェネレータは、シリアル・インタフェースの送受信シフト・クロックを発生するブロックで、2チャンネルのシリアル・インタフェースに対して共通に機能します。

シリアル転送レートは、モード・レジスタの設定により、110 bps-38.4 Kbpsから選択できます。

図3-15 アシンクロナス・シリアル・インタフェースのブロック図

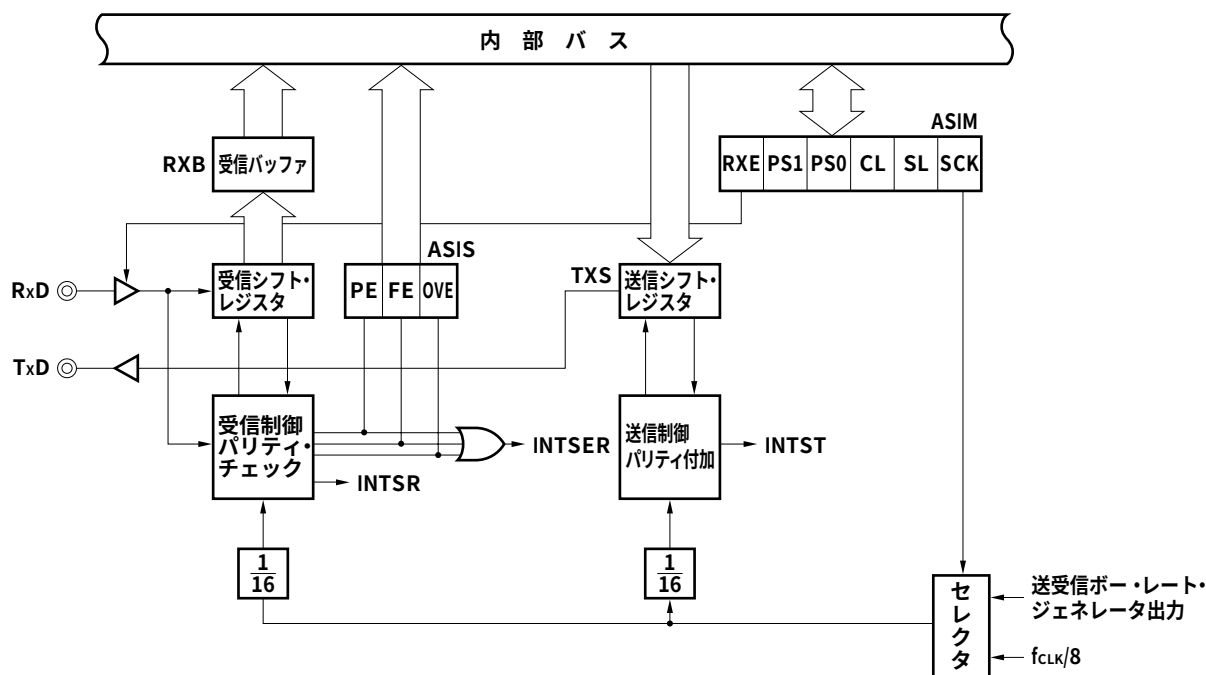


図3-16 クロック同期式シリアル・インタフェースのブロック図

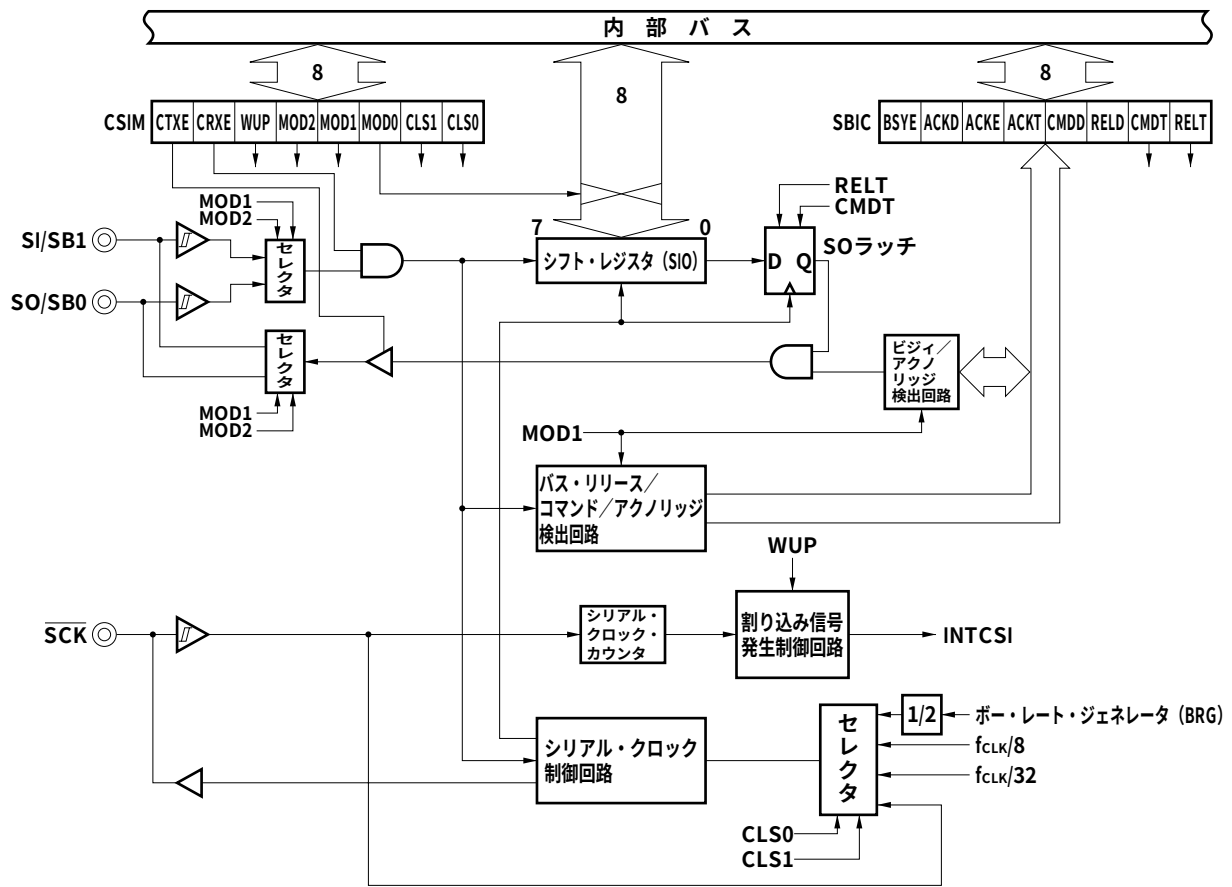
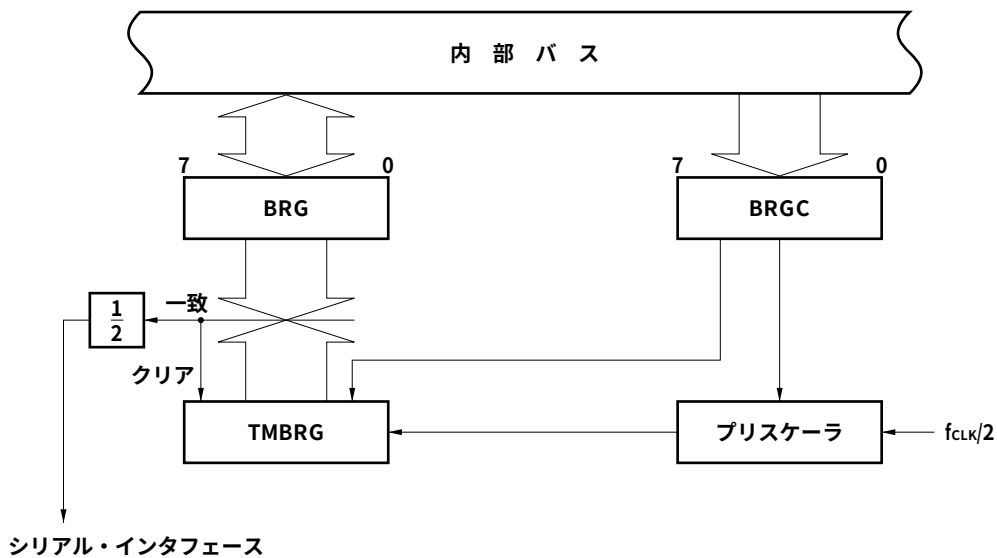


図3-17 ポークレート・ジェネレータのブロック図

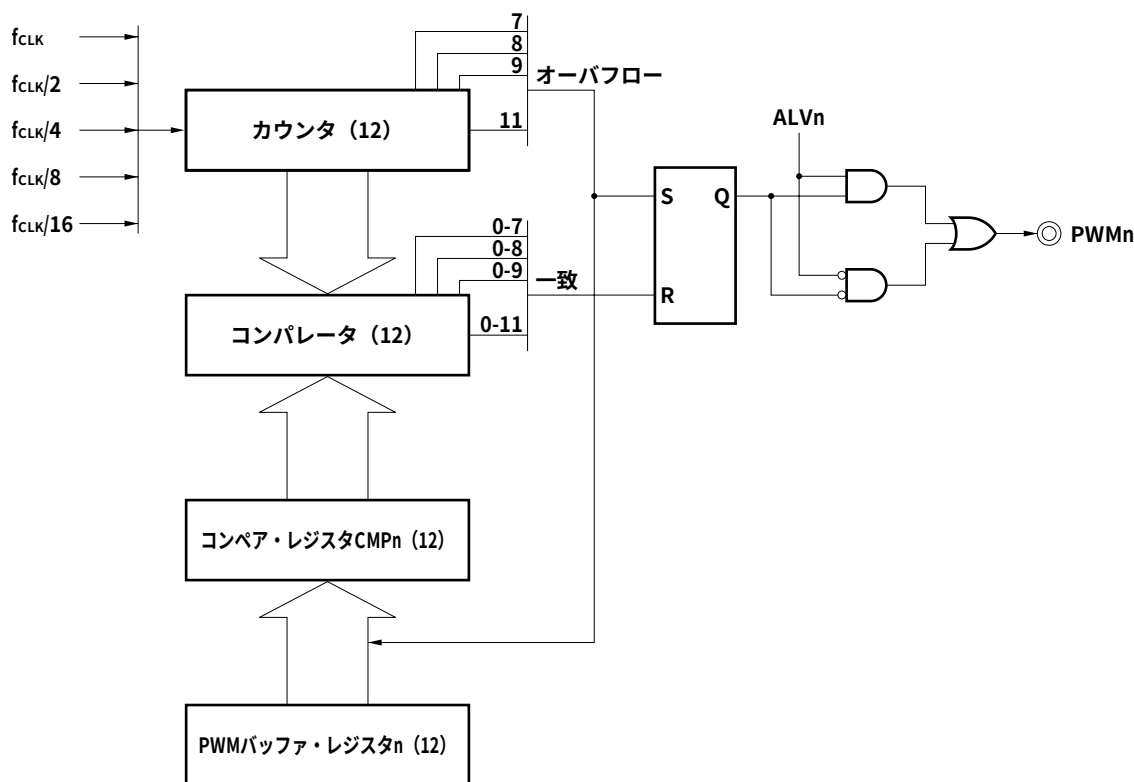


3.10 PWMユニット

μ PD78362Aは、8/9/10/12ビット分解能可変PWM信号出力を2本持っています。PWM出力は、外部にロウ・パス・フィルタを接続することによって、デジタル-アナログ変換出力として使用することができます。モータなどのアクチュエータ制御信号に最適です。

カウント・クロック（62.5 ns-1 μ s）とカウンタ・ビット長（8/9/10/12）の組み合わせにより、244 Hz-62.5 kHzの出力を得ることができます（内部クロック16 MHz動作時）。

図3-18 PWMユニットのブロック図

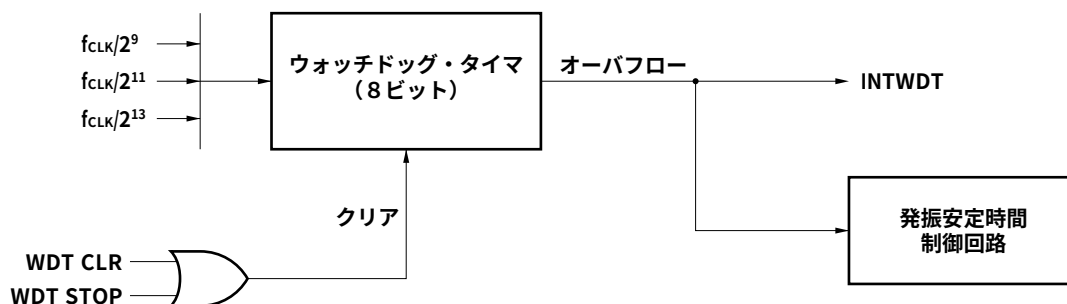


備考 n = 0, 1

3.11 ウォッチドッグ・タイマ (WDT)

ウォッチドッグ・タイマは、プログラムの暴走やデッドロックを防ぐためのノンマスカブル割り込み機能を持ったフリー・ランニング・タイマです。プログラムの異常は、ウォッチドッグ・タイマのオーバーフロー割り込み (INTWDT) の発生により知ることができます。

図3-19 ウォッチドッグ・タイマのブロック図



4. 割り込み機能

4.1 概 要

μPD78362Aは、周辺ハードウェアや外部から発生する割り込み要求を処理できる強力な割り込み機能を内蔵しています。また、割り込みの処理モードとして、次に示す3種類のモードを用意しています。また、4レベルの割り込み優先順位も指定できます。

- ・ベクタ割り込み処理
- ・マクロ・サービス
- ・コンテキスト・スイッチング

表4-1 割り込み要因一覧

タイプ	注	割 り 込 み 要 因		発生 ユニット	ベクタ・テーブル アドレス	マクロ・ サービス	コンテキスト・ スイッチ
		名 称	ト リ ガ				
ノンマスカブル	—	NMI	NMI端子入力	外部	0002H	なし	なし
	—	INTWDT	ウォッチドッグ・タイマ	WDT	0004H		
マスカブル	0	INTOV3	タイマ3のオーバフロー	RPU	0006H	あり	あり
	1	INTP0/INTCC30	INTP0端子入力／CC30一致信号	外部/RPU	0008H		
	2	INTP1	INTP1端子入力	外部	000AH		
	3	INTP2	INTP2端子入力		000CH		
	4	INTP3/INTCC20	INTP3端子入力／CC20一致信号	外部/RPU	000EH		
	5	INTP4	INTP4端子入力	外部	0010H		
	6	INTTM0	タイマ0のアンダフロー	RPU	0012H		
	7	INTCM03	CM03一致信号		0014H		
	8	INTCM10	CM10一致信号		0016H		
	9	INTCM40	CM40一致信号		0018H		
	10	INTCM41	CM41一致信号		001AH		
	11	INTSER	UARTの受信エラー	UART	001CH		
	12	INTSR	UART受信終了		001EH		
	13	INTST	UART送信終了		0020H		
	14	INTCSI	CSI送受信終了	CSI	0022H		
	15	INTAD	A/D変換終了	A/D	0024H		
ソフトウェア	—	BRK	BRK命令	—	003EH	なし	なし
	—	BRKCS	BRKCS命令	—	—		あり
例外	—	TRAP	不正オペコード・トラップ	—	003CH		なし
リセット	—	RESET	リセット入力	—	0000H		

注 ディフォルト・プライオリティ：複数のマスカブル割り込みが同時に発生している場合に優先される順位です。

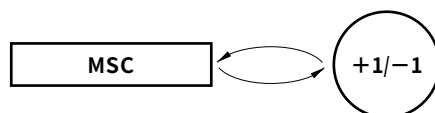
0が最高順位，15が最低順位です。

4.2 マクロ・サービス

μPD78362Aは、合計5種類のマクロ・サービスを持っています。各マクロ・サービスの概要を次に示します。

(1) カウンタ・モード：EVCNT

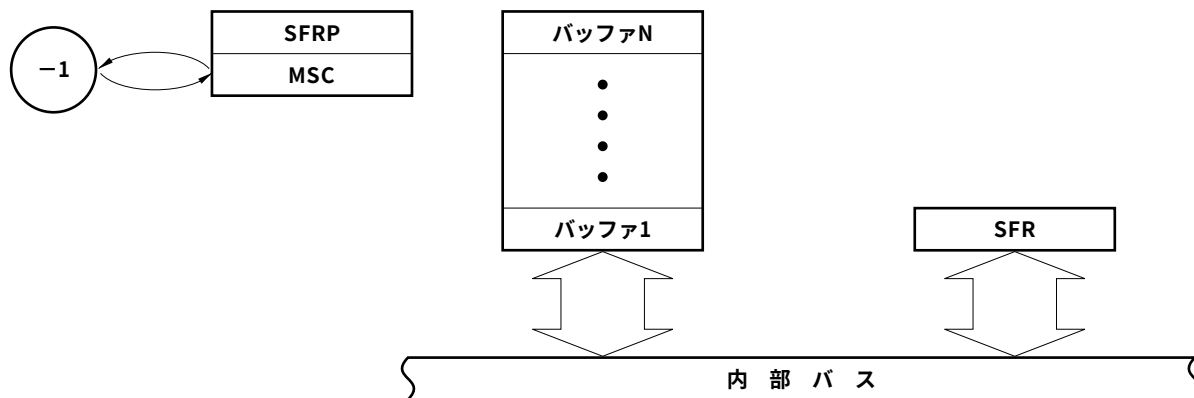
- ・動作 (a) 8ビットのマクロ・サービス・カウンタ (MSC) をインクリメントまたは、デクリメントします。
- (b) MSCが0になるとベクタ割り込み要求が発生します。



- ・応用例 イベント・カウンタ，キャプチャ回数の測定

(2) ブロック転送モード：BLKTRS

- ・動作 (a) バッファと、SFRポインタ (SFRP) で指定するSFRとの間で、データのブロック転送を行います。
- (b) 転送元／転送先指定は、SFR／バッファ・エリアのいずれも可能です。また、転送するデータ長をバイト／ワードのいずれかに指定できます。
- (c) データ転送回数 (ブロック・サイズ) はMSCで指定します。
- (d) マクロ・サービス実行ごとに、MSCはオート・デクリメント (−1) されます。
- (e) MSCが0になるとベクタ割り込み要求が発生します。

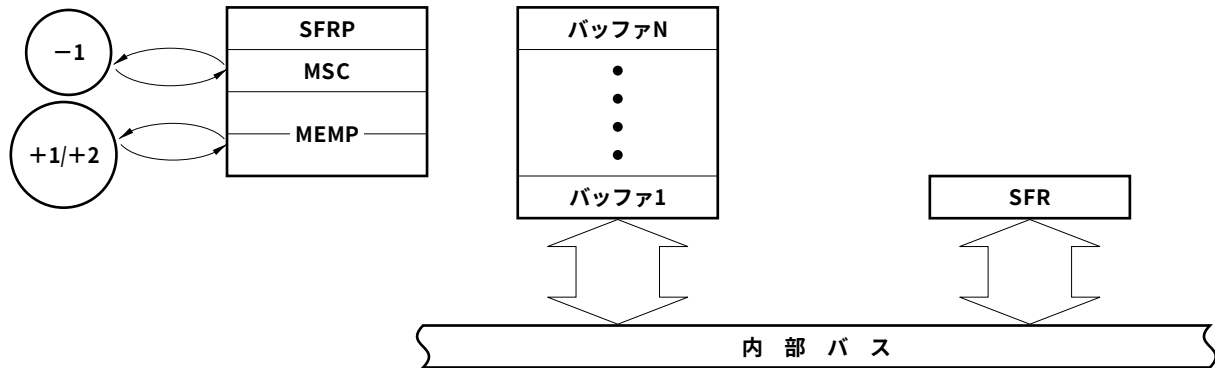


- ・応用例 シリアル・インタフェースでのデータ送受信などに使用

(3) ブロック転送モード（メモリ・ポインタ付き）：BLKTRS-P

- ・動作 (2) のブロック転送モードに、メモリ・ポインタ（MEMP）が付加されたモードです。MEMPの付加バッファ・エリアをメモリ空間上に自由に設定できます。

備考 マクロ・サービス実行ごとに、MEMPはオート・インクリメント（+1：バイト・データ転送／+2：ワード・データ転送）されます。

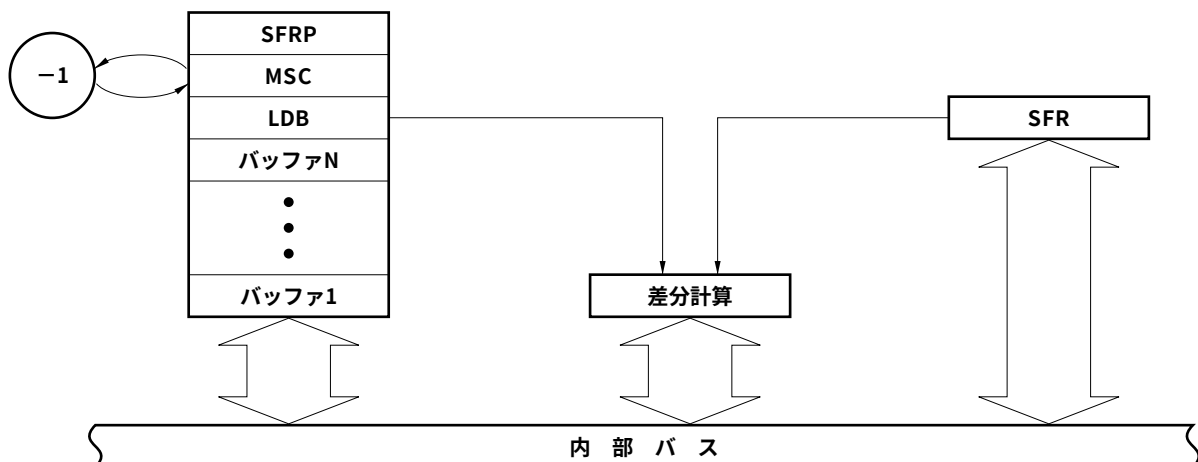


- ・応用例 (2) に同じ

(4) データ差分モード：DTADIF

- ・動作 (a) SFRPで指定するSFRの内容（カレント値）と、ラスト・データ・バッファ（LDB）に取り込んでおいたSFRの内容との差分計算を行います。
- (b) 計算結果を、あらかじめ決められたバッファ・エリアに格納します。
- (c) SFRのカレント値の内容を、LDBに格納します。
- (d) データ転送回数（ブロック・サイズ）はMSCで指定します。マクロ・サービス実行ごとに、MSCはオート・デクリメント（-1）されます。
- (e) MSCが0になるとベクタ割り込み要求が発生します。

備考 差分計算は16ビット構成のSFRのみ行うことができます。



- ・応用例 リアルタイム・パルス・ユニット（RPU）のキャプチャ・レジスタによる周期、パルス幅の測定

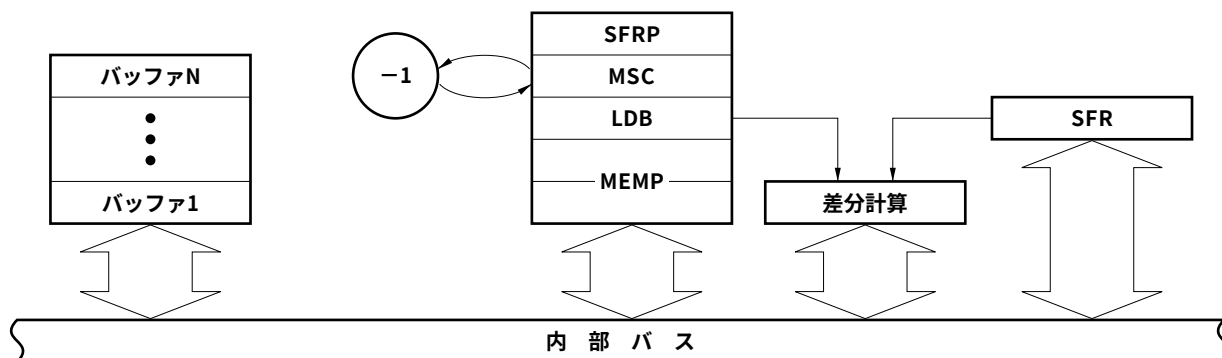
(5) データ差分モード（メモリ・ポインタ付き）：DTADIF-P

- ・動作 (4) のデータ差分モードに、メモリ・ポインタ（MEMP）が付加されたモードです。MEMPの付加により差分データを格納するバッファ・エリアをメモリ空間上に自由に設定できます。

備考1．差分計算は16ビット構成のSFRのみ行うことができます。

- 2．バッファの指定は、MEMPとMSCの演算結果[※]で行います。データ転送後のMEMPの更新は行われません。

注 MEMP－(MSC×2)＋2



- ・応用例 (4) に同じ

4.3 コンテキスト・スイッチング

割り込みの発生または、BRKCS命令により、ハードウェア的に所定のレジスタ・バンクを選択し、レジスタ・バンク内にあらかじめ設定しておいたベクタ・アドレスへ分岐すると同時に、現在のPC、PSWの内容をレジスタ・バンク内に退避する機能です。

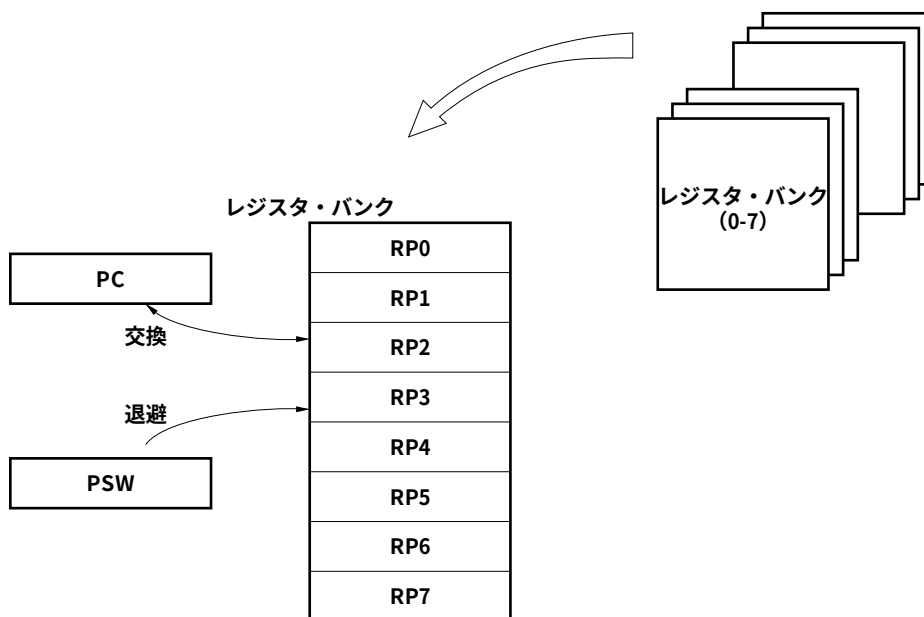
4.3.1 割り込み要求によるコンテキスト・スイッチング機能

EI（割り込み受け付け許可）状態で、各マスカブル割り込み要求に対応した、コンテキスト・スイッチング許可フラグのセット（1）により、コンテキスト・スイッチング機能の起動が可能になります。

割り込み要求によるコンテキスト・スイッチングの動作は、次のとおりです。

- （1）割り込み要求が発生すると、対応するベクタ・テーブルのロウ・アドレス（偶数アドレス）の下位3ビットの内容で、コンテキスト・スイッチするレジスタ・バンクを指定します。
- （2）コンテキスト・スイッチするレジスタ・バンク内にあらかじめ設定しておいたベクタ・アドレスをPCに転送すると同時に、スイッチング動作の直前のPC、PSWの内容をレジスタ・バンク内に退避します。
- （3）新たに設定されたPCの内容で示されるアドレスに分岐します。

図4-1 コンテキスト・スイッチングの動作



4.3.2 BRKCS命令によるコンテキスト・スイッチング機能

BRKCS命令により、コンテキスト・スイッチング機能を起動することができます。

割り込み要求によるコンテキスト・スイッチングの動作は、次のとおりです。

- (1) BRKCS命令のオペランドで8ビット・レジスタを指定します。このレジスタの内容で、コンテキスト・スイッチするレジスタ・バンクを指定します（8ビットの下位3ビットのみ有効です）。
- (2) コンテキスト・スイッチするレジスタ・バンク内にあらかじめ設定しておいたベクタ・アドレスを、PCに転送すると同時に、スイッチング動作の直前のPC、PSWの内容をレジスタ・バンク内に退避します。
- (3) 新たに設定されたPCの内容に分岐します。

4.3.3 コンテキスト・スイッチングからの復帰

コンテキスト・スイッチングからの復帰は、次の2つの命令で行います。それぞれの命令は、コンテキスト・スイッチングを起動した要因により使い分けます。

表4-2 コンテキスト・スイッチングからの復帰命令

復帰命令	コンテキスト・スイッチング起動要因
RETCS	割り込み発生による起動
RETCSB	BRKCS命令による起動

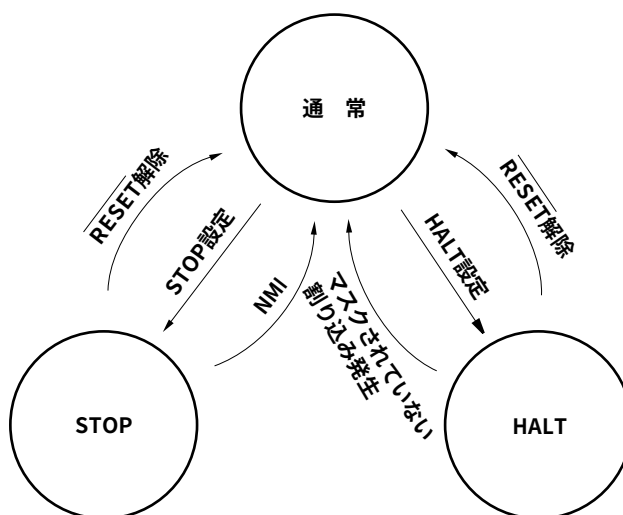
5. スタンバイ機能

μPD78362Aには、システムの消費電力を低減させるスタンバイ機能があります。スタンバイ機能には次のような2つのモードがあります。

- ・HALTモード…CPUの動作クロックを停止させるモードです。通常動作モードとの組み合わせによる間欠動作により、システムのトータル消費電力を低下させることができます。
- ・STOPモード…発振器を停止させ、システム全体が停止するモードです。
リーク電流だけの超低消費電力にすることができます。

各モードにはソフトウェアによって設定します。図5-1にスタンバイ・モード（STOP/HALTモード）の遷移図を示します。

図5-1 スタンバイ状態遷移図



6. リセット機能

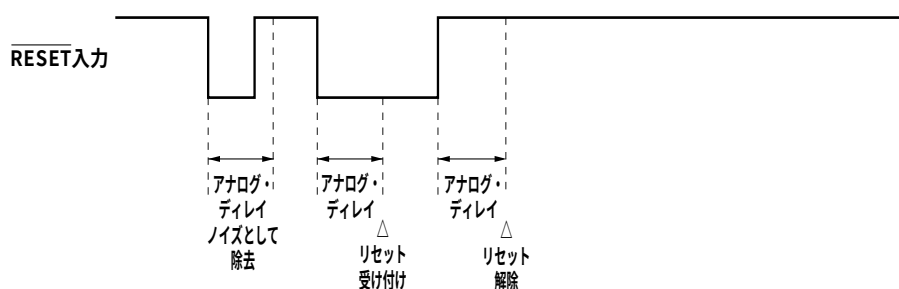
$\overline{\text{RESET}}$ 入力端子にロウ・レベルが入力されると、システム・リセットがかかり各ハードウェアは初期状態になります（リセット状態）。 $\overline{\text{RESET}}$ 入力が高・レベルになるとリセット状態が解除され、プログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

特に、プログラマブル・ウェイト・コントロール・レジスタは必要に応じてサイクル数を変更してください。

$\overline{\text{RESET}}$ 入力端子は、ノイズによる誤動作を防ぐためアナログ・ディレイによるノイズ除去回路を内蔵しています。

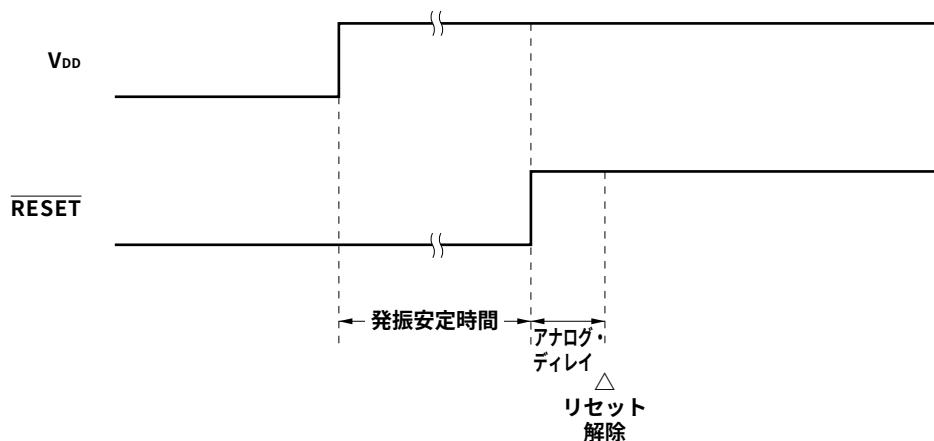
注意 $\overline{\text{RESET}}$ がアクティブ（ロウ・レベル）の期間は全端子が高・インピーダンスになります（ AV_{REF} , AV_{DD} , AV_{SS} , V_{DD} , V_{SS} , X1 , X2 端子を除く）。

図6-1 リセット信号の受け付け



電源立ち上がり時のリセット動作では、図6-2のように電源立ち上がりからリセット受け付けまで発振安定時間を確保してください。

図6-2 電源立ち上がり時のリセット



7. 命令セット

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述します（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および＋，－，＃，\$，！，[] 記号はキー・ワードであり、そのまま記述します。

イミディエト・データの場合は、適当な数値またはレーベルを記述します。レーベルで記述する際も＃，\$，！，[] 記号は必ず記述してください。

表7-1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	R0, R1, R2, R3, R4, R5, R6, R7, R8, R9, R10, R11, R12, R13, R14, R15
r1	R0, R1, R2, R3, R4, R5, R6, R7
r2	C, B
rp	RP0, RP1, RP2, RP3, RP4, RP5, RP6, RP7
rp1	RP0, RP1, RP2, RP3, RP4, RP5, RP6, RP7
rp2	DE, HL, VP, UP
sfr	特殊機能レジスタ略号（表2-1参照）
sfrp	特殊機能レジスタ略号（16ビット操作可能レジスタ；表2-1参照）
post	RP0, RP1, RP2, RP3, RP4, RP5/PSW, RP6, RP7 (複数記述可能。ただし、RP5はPUSH, POP命令, PSWはPUSHU, POPU命令に限る。)
mem	[DE], [HL], [DE+], [HL+], [DE-], [HL-], [VP], [UP] ; レジスタ・インダイレクト・モード [DE+A], [HL+A], [DE+B], [HL+B], [VP+DE], [VP+HL] ; ベース・インデクスト・モード [DE+byte], [HL+byte], [VP+byte], [UP+byte], [SP+byte] ; ベース・モード word[A], word[B], word[DE], word[HL] ; インデクスト・モード
saddr	FE20H-FF1FHイミディエト・データまたはレーベル
saddrp	FE20H-FF1EHイミディエト・データ（ただし、bit0 = 0）またはレーベル（16ビット操作時）
\$addr16	0000H-FDFFHイミディエト・データまたはレーベル；レラティブ・アドレッシング
!addr16	0000H-FDFFHイミディエト・データまたはレーベル；イミディエト・アドレッシング (ただし、MOV命令ではFFFFHまで記述可能、MOVTBLW命令ではFE00H-FEFFFHのみ記述可能)
addr11	800H-FFFHイミディエト・データまたはレーベル
addr5	40H-7EHイミディエト・データ（ただし、bit0 = 0） ^注 またはレーベル
word	16ビット・イミディエト・データまたはレーベル
byte	8ビット・イミディエト・データまたはレーベル
bit	3ビット・イミディエト・データまたはレーベル
n	3ビット・イミディエト・データ（0-7）

注 bit0 = 1（奇数アドレス）へのワード・アクセスはしないでください。

備考1. rpとrp1は記述できるレジスタ名は同じですが、発生するコードが異なります。

2. r, r1, rp, rp1およびpostは、絶対名称（R0-R15, RP0-RP7）のほかに機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL, VP, UP）でも記述可能。
3. イミディエト・アドレッシングは、全空間をアドレス可能。レラティブ・アドレッシングは、次に続く命令の先頭アドレスから-128～+127の範囲のみアドレス可能。

命令群	ニモニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
8ビット・データ転送	MOV	r1, # byte	2	r1←byte					
		saddr, # byte	3	(saddr)←byte					
		sfr ^注 , # byte	3	sfr←byte					
		r, r1	2	r←r1					
		A, r1	1	A←r1					
		A, saddr	2	A←(saddr)					
		saddr, A	2	(saddr)←A					
		saddr, saddr	3	(saddr)←(saddr)					
		A, sfr	2	A←sfr					
		sfr, A	2	sfr←A					
		A, mem	1-4	A←(mem)					
		mem, A	1-4	(mem)←A					
		A, [saddrp]	2	A←((saddrp))					
		[saddrp], A	2	((saddrp))←A					
		A, !addr16	4	A←(addr16)					
		!addr16, A	4	(addr16)←A					
		PSWL, # byte	3	PSWL←byte	×	×	×	×	×
		PSWH, # byte	3	PSWH←byte					
		PSWL, A	2	PSWL←A	×	×	×	×	×
		PSWH, A	2	PSWH←A					
		A, PSWL	2	A←PSWL					
		A, PSWH	2	A←PSWH					
	XCH	A, r1	1	A↔r1					
		r, r1	2	r↔r1					
		A, mem	2-4	A↔(mem)					
		A, saddr	2	A↔(saddr)					
		A, sfr	3	A↔sfr					
		A, [saddrp]	2	A↔((saddrp))					
		saddr, saddr	3	(saddr)↔(saddr)					

注 sfrにSTBC, WDMを記述した場合は別の専用命令となり、バイト数がこの命令とは異なります。

備考 フラグ動作欄の記号は次の表を参照してください。

記号	説明
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
×	結果に従ってセット／クリアされる
P	P/Vフラグが、パリティ・フラグとして動作する
V	P/Vフラグが、オーバーフロー・フラグとして動作する
R	以前に退避した値がリストアされる

命令群	ニモニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
16ビット・データ転送	MOVW	rp1, # word	3	rp1 ← word					
		saddrp, # word	4	(saddrp) ← word					
		sfrp, # word	4	sfrp ← word					
		rp, rp1	2	rp ← rp1					
		AX, saddrp	2	AX ← (saddrp)					
		saddrp, AX	2	(saddrp) ← AX					
		saddrp, saddrp	3	(saddrp) ← (saddrp)					
		AX, sfrp	2	AX ← sfrp					
		sfrp, AX	2	sfrp ← AX					
		rp1, !addr16	4	rp1 ← (addr16)					
		!addr16, rp1	4	(addr16) ← rp1					
		AX, mem	2-4	AX ← (mem)					
		mem, AX	2-4	(mem) ← AX					
	XCHW	AX, saddrp	2	AX ↔ (saddrp)					
		AX, sfrp	3	AX ↔ sfrp					
		saddrp, saddrp	3	(saddrp) ↔ (saddrp)					
		rp, rp1	2	rp ↔ rp1					
		AX, mem	2-4	AX ↔ (mem)					
8ビット演算	ADD	A, # byte	2	A, CY ← A + byte	×	×	×	V	×
		saddr, # byte	3	(saddr), CY ← (saddr) + byte	×	×	×	V	×
		sfr, # byte	4	sfr, CY ← sfr + byte	×	×	×	V	×
		r, r1	2	r, CY ← r + r1	×	×	×	V	×
		A, saddr	2	A, CY ← A + (saddr)	×	×	×	V	×
		A, sfr	3	A, CY ← A + sfr	×	×	×	V	×
		saddr, saddr	3	(saddr), CY ← (saddr) + (saddr)	×	×	×	V	×
		A, mem	2-4	A, CY ← A + (mem)	×	×	×	V	×
		mem, A	2-4	(mem), CY ← (mem) + A	×	×	×	V	×
	ADDC	A, # byte	2	A, CY ← A + byte + CY	×	×	×	V	×
		saddr, # byte	3	(saddr), CY ← (saddr) + byte + CY	×	×	×	V	×
		sfr, # byte	4	sfr, CY ← sfr + byte + CY	×	×	×	V	×
		r, r1	2	r, CY ← r + r1 + CY	×	×	×	V	×
		A, saddr	2	A, CY ← A + (saddr) + CY	×	×	×	V	×
		A, sfr	3	A, CY ← A + sfr + CY	×	×	×	V	×
		saddr, saddr	3	(saddr), CY ← (saddr) + (saddr) + CY	×	×	×	V	×
		A, mem	2-4	A, CY ← A + (mem) + CY	×	×	×	V	×
		mem, A	2-4	(mem), CY ← (mem) + A + CY	×	×	×	V	×

命令群	二モニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
8ビット演算	SUB	A, # byte	2	$A, CY \leftarrow A - \text{byte}$	×	×	×	V	×
		saddr, # byte	3	$(saddr), CY \leftarrow (saddr) - \text{byte}$	×	×	×	V	×
		sfr, # byte	4	$sfr, CY \leftarrow sfr - \text{byte}$	×	×	×	V	×
		r, r1	2	$r, CY \leftarrow r - r1$	×	×	×	V	×
		A, saddr	2	$A, CY \leftarrow A - (saddr)$	×	×	×	V	×
		A, sfr	3	$A, CY \leftarrow A - sfr$	×	×	×	V	×
		saddr, saddr	3	$(saddr), CY \leftarrow (saddr) - (saddr)$	×	×	×	V	×
		A, mem	2-4	$A, CY \leftarrow A - (\text{mem})$	×	×	×	V	×
		mem, A	2-4	$(\text{mem}), CY \leftarrow (\text{mem}) - A$	×	×	×	V	×
	SUBC	A, # byte	2	$A, CY \leftarrow A - \text{byte} - CY$	×	×	×	V	×
		saddr, # byte	3	$(saddr), CY \leftarrow (saddr) - \text{byte} - CY$	×	×	×	V	×
		sfr, # byte	4	$sfr, CY \leftarrow sfr - \text{byte} - CY$	×	×	×	V	×
		r, r1	2	$r, CY \leftarrow r - r1 - CY$	×	×	×	V	×
		A, saddr	2	$A, CY \leftarrow A - (saddr) - CY$	×	×	×	V	×
		A, sfr	3	$A, CY \leftarrow A - sfr - CY$	×	×	×	V	×
		saddr, saddr	3	$(saddr), CY \leftarrow (saddr) - (saddr) - CY$	×	×	×	V	×
		A, mem	2-4	$A, CY \leftarrow A - (\text{mem}) - CY$	×	×	×	V	×
		mem, A	2-4	$(\text{mem}), CY \leftarrow (\text{mem}) - A - CY$	×	×	×	V	×
	AND	A, # byte	2	$A \leftarrow A \wedge \text{byte}$	×	×		P	
		saddr, # byte	3	$(saddr) \leftarrow (saddr) \wedge \text{byte}$	×	×		P	
		sfr, # byte	4	$sfr \leftarrow sfr \wedge \text{byte}$	×	×		P	
		r, r1	2	$r \leftarrow r \wedge r1$	×	×		P	
		A, saddr	2	$A \leftarrow A \wedge (saddr)$	×	×		P	
		A, sfr	3	$A \leftarrow A \wedge sfr$	×	×		P	
		saddr, saddr	3	$(saddr) \leftarrow (saddr) \wedge (saddr)$	×	×		P	
		A, mem	2-4	$A \leftarrow A \wedge (\text{mem})$	×	×		P	
		mem, A	2-4	$(\text{mem}) \leftarrow (\text{mem}) \wedge A$	×	×		P	

命令群	二モニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
8ビット演算	OR	A, # byte	2	$A \leftarrow A \vee \text{byte}$	×	×		P	
		saddr, # byte	3	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	×	×		P	
		sfr, # byte	4	$\text{sfr} \leftarrow \text{sfr} \vee \text{byte}$	×	×		P	
		r, r1	2	$r \leftarrow r \vee r1$	×	×		P	
		A, saddr	2	$A \leftarrow A \vee (\text{saddr})$	×	×		P	
		A, sfr	3	$A \leftarrow A \vee \text{sfr}$	×	×		P	
		saddr, saddr	3	$(\text{saddr}) \leftarrow (\text{saddr}) \vee (\text{saddr})$	×	×		P	
		A, mem	2-4	$A \leftarrow A \vee (\text{mem})$	×	×		P	
		mem, A	2-4	$(\text{mem}) \leftarrow (\text{mem}) \vee A$	×	×		P	
	XOR	A, # byte	2	$A \leftarrow A \nabla \text{byte}$	×	×		P	
		saddr, # byte	3	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$	×	×		P	
		sfr, # byte	4	$\text{sfr} \leftarrow \text{sfr} \nabla \text{byte}$	×	×		P	
		r, r1	2	$r \leftarrow r \nabla r1$	×	×		P	
		A, saddr	2	$A \leftarrow A \nabla (\text{saddr})$	×	×		P	
		A, sfr	3	$A \leftarrow A \nabla \text{sfr}$	×	×		P	
		saddr, saddr	3	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla (\text{saddr})$	×	×		P	
		A, mem	2-4	$A \leftarrow A \nabla (\text{mem})$	×	×		P	
		mem, A	2-4	$(\text{mem}) \leftarrow (\text{mem}) \nabla A$	×	×		P	
	CMP	A, # byte	2	$A - \text{byte}$	×	×	×	V	×
		saddr, # byte	3	$(\text{saddr}) - \text{byte}$	×	×	×	V	×
		sfr, # byte	4	$\text{sfr} - \text{byte}$	×	×	×	V	×
		r, r1	2	$r - r1$	×	×	×	V	×
		A, saddr	2	$A - (\text{saddr})$	×	×	×	V	×
		A, sfr	3	$A - \text{sfr}$	×	×	×	V	×
		saddr, saddr	3	$(\text{saddr}) - (\text{saddr})$	×	×	×	V	×
		A, mem	2-4	$A - (\text{mem})$	×	×	×	V	×
		mem, A	2-4	$(\text{mem}) - A$	×	×	×	V	×

命令群	二モニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
16ビット演算	ADDW	AX, # word	3	AX, CY←AX+word	×	×	×	V	×
		saddrp, # word	4	(saddrp), CY←(saddrp)+word	×	×	×	V	×
		sfrp, # word	5	sfrp, CY←sfrp+word	×	×	×	V	×
		rp, rp1	2	rp, CY←rp+rp1	×	×	×	V	×
		AX, saddrp	2	AX, CY←AX+(saddrp)	×	×	×	V	×
		AX, sfrp	3	AX, CY←AX+sfrp	×	×	×	V	×
		saddrp, saddrp	3	(saddrp), CY←(saddrp)+(saddrp)	×	×	×	V	×
	SUBW	AX, # word	3	AX, CY←AX-word	×	×	×	V	×
		saddrp, # word	4	(saddrp), CY←(saddrp)-word	×	×	×	V	×
		sfrp, # word	5	sfrp, CY←sfrp-word	×	×	×	V	×
		rp, rp1	2	rp, CY←rp-rp1	×	×	×	V	×
		AX, saddrp	2	AX, CY←AX-(saddrp)	×	×	×	V	×
		AX, sfrp	3	AX, CY←AX-sfrp	×	×	×	V	×
		saddrp, saddrp	3	(saddrp), CY←(saddrp)-(saddrp)	×	×	×	V	×
	CMPW	AX, # word	3	AX-word	×	×	×	V	×
		saddrp, # word	4	(saddrp)-word	×	×	×	V	×
		sfrp, # word	5	sfrp-word	×	×	×	V	×
		rp, rp1	2	rp-rp1	×	×	×	V	×
		AX, saddrp	2	AX-(saddrp)	×	×	×	V	×
		AX, sfrp	3	AX-sfrp	×	×	×	V	×
		saddrp, saddrp	3	(saddrp)-(saddrp)	×	×	×	V	×
乗除算	MULU	r1	2	AX←AX×r1					
	DIVUW	r1	2	AX(商), r1(余り)←AX÷r1					
	MULUW	rp1	2	AX(上位16ビット), rp1(下位16ビット) ←AX×rp1					
	DIVUX	rp1	2	AXDE(商), rp1(余り)←AXDE÷rp1					
乗算・符号付き	MULW	rp1	2	AX(上位16ビット), rp1(下位16ビット) ←AX×rp1					
積和演算	MACW	n	3	AXDE←(B)×(C)+AXDE B←B+2, C←C+2, n←n-1 End if n=0 or P/V=1	×	×	×	V	×
飽和付き積和演算	MACSW	n	3	AXDE←(B)×(C)+AXDE B←B+2, C←C+2, n←n-1 if overflow(P/V=1) then AXDE←7FFFFFFFH if underflow(P/V=1) then AXDE←80000000H end if n=0 or P/V=1	×	×	×	V	×
関連演算	SACW	[DE+], [HL+]	4	AX←AX+ (DE)-(HL) DE←DE+2 HL←HL+2 C←C-1 end if C=0 or cy=1	×	×	×	V	×

命令群	ニモニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
シフト・テーブル・増減	MOVTBLW	! addr16,n	4	(addr16+2)←(addr16),n←n-1 addr16←addr16-2,End if n=0					
増減	INC	r1	1	r1←r1+1	×	×	×	V	
		saddr	2	(saddr)←(saddr)+1	×	×	×	V	
	DEC	r1	1	r1←r1-1	×	×	×	V	
		saddr	2	(saddr)←(saddr)-1	×	×	×	V	
	INCW	rp2	1	rp2←rp2+1					
		saddrp	3	(saddrp)←(saddrp)+1					
シフト・ローテート	DECW	rp2	1	rp2←rp2-1					
		saddrp	3	(saddrp)←(saddrp)-1					
	ROR	r1,n	2	(CY,r17←r10,r1m-1←r1m)×n回				P	×
	ROL	r1,n	2	(CY,r10←r17,r1m+1←r1m)×n回				P	×
	RORC	r1,n	2	(CY←r10,r17←CY,r1m-1←r1m)×n回				P	×
	ROLC	r1,n	2	(CY←r17,r10←CY,r1m+1←r1m)×n回				P	×
	SHR	r1,n	2	(CY←r10,r17←0,r1m-1←r1m)×n回	×	×	0	P	×
	SHL	r1,n	2	(CY←r17,r10←0,r1m+1←r1m)×n回	×	×	0	P	×
	SHRW	rp1,n	2	(CY←rp10,rp15←0,rp1m-1←rp1m)×n回	×	×	0	P	×
	SHLW	rp1,n	2	(CY←rp15,rp10←0,rp1m+1←rp1m)×n回	×	×	0	P	×
BCD補正	ROR4	[rp1]	2	A3-0←(rp1)3-0, (rp1)7-4←A3-0, (rp1)3-0←(rp1)7-4					
	ROL4	[rp1]	2	A3-0←(rp1)7-4, (rp1)3-0←A3-0, (rp1)7-4←(rp1)3-0					
	ADJBA		2	Decimal Adjust Accumulator	×	×	×	P	×
データ変換	ADJBS								
	CVTBW		1	A7=0のときX←A,A←00H A7=1のときX←A,A←FFH					

備考 1. シフト・ローテート命令のnは、シフト・ローテート命令の回数を示します。

2. テーブル・シフト命令のアドレス範囲はFE00H-FEFFHです。

命令群	ニモニク	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
ビット操作	MOV1	CY,saddr.bit	3	CY←(saddr.bit)					×
		CY,sfr.bit	3	CY←sfr.bit					×
		CY,A.bit	2	CY←A.bit					×
		CY,X.bit	2	CY←X.bit					×
		CY,PSWH.bit	2	CY←PSWH.bit					×
		CY,PSWL.bit	2	CY←PSWL.bit					×
		saddr.bit,CY	3	(saddr.bit)←CY					
		sfr.bit,CY	3	sfr.bit←CY					
		A.bit,CY	2	A.bit←CY					
		X.bit,CY	2	X.bit←CY					
		PSWH.bit,CY	2	PSWH.bit←CY					
		PSWL.bit,CY	2	PSWL.bit←CY	×	×	×	×	
	AND1	CY,saddr.bit	3	CY←CY∧(saddr.bit)					×
		CY,/saddr.bit	3	CY←CY∧(saddr.bit)					×
		CY,sfr.bit	3	CY←CY∧sfr.bit					×
		CY,/sfr.bit	3	CY←CY∧sfr.bit					×
		CY,A.bit	2	CY←CY∧A.bit					×
		CY,/A.bit	2	CY←CY∧A.bit					×
		CY,X.bit	2	CY←CY∧X.bit					×
		CY,/X.bit	2	CY←CY∧X.bit					×
		CY,PSWH.bit	2	CY←CY∧PSWH.bit					×
		CY,/PSWH.bit	2	CY←CY∧PSWH.bit					×
		CY,PSWL.bit	2	CY←CY∧PSWL.bit					×
		CY,/PSWL.bit	2	CY←CY∧PSWL.bit					×
	OR1	CY,saddr.bit	3	CY←CY∨(saddr.bit)					×
		CY,/saddr.bit	3	CY←CY∨(saddr.bit)					×
		CY,sfr.bit	3	CY←CY∨sfr.bit					×
		CY,/sfr.bit	3	CY←CY∨sfr.bit					×
		CY,A.bit	2	CY←CY∨A.bit					×
		CY,/A.bit	2	CY←CY∨A.bit					×
		CY,X.bit	2	CY←CY∨X.bit					×
		CY,/X.bit	2	CY←CY∨X.bit					×
		CY,PSWH.bit	2	CY←CY∨PSWH.bit					×
		CY,/PSWH.bit	2	CY←CY∨PSWH.bit					×
		CY,PSWL.bit	2	CY←CY∨PSWL.bit					×
		CY,/PSWL.bit	2	CY←CY∨PSWL.bit					×

命令群	ニモニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
ビット操作	XOR1	CY,saddr.bit	3	$CY \leftarrow CY \vee (saddr.bit)$					×
		CY,sfr.bit	3	$CY \leftarrow CY \vee sfr.bit$					×
		CY,A.bit	2	$CY \leftarrow CY \vee A.bit$					×
		CY,X.bit	2	$CY \leftarrow CY \vee X.bit$					×
		CY,PSWH.bit	2	$CY \leftarrow CY \vee PSWH.bit$					×
		CY,PSWL.bit	2	$CY \leftarrow CY \vee PSWL.bit$					×
	SET1	saddr.bit	2	$(saddr.bit) \leftarrow 1$					
		sfr.bit	3	$sfr.bit \leftarrow 1$					
		A.bit	2	$A.bit \leftarrow 1$					
		X.bit	2	$X.bit \leftarrow 1$					
		PSWH.bit	2	$PSWH.bit \leftarrow 1$					
		PSWL.bit	2	$PSWL.bit \leftarrow 1$	×	×	×	×	×
	CLR1	saddr.bit	2	$(saddr.bit) \leftarrow 0$					
		sfr.bit	3	$sfr.bit \leftarrow 0$					
		A.bit	2	$A.bit \leftarrow 0$					
		X.bit	2	$X.bit \leftarrow 0$					
		PSWH.bit	2	$PSWH.bit \leftarrow 0$					
		PSWL.bit	2	$PSWL.bit \leftarrow 0$	×	×	×	×	×
	NOT1	saddr.bit	3	$(saddr.bit) \leftarrow \overline{(saddr.bit)}$					
		sfr.bit	3	$sfr.bit \leftarrow \overline{sfr.bit}$					
		A.bit	2	$A.bit \leftarrow \overline{A.bit}$					
		X.bit	2	$X.bit \leftarrow \overline{X.bit}$					
		PSWH.bit	2	$PSWH.bit \leftarrow \overline{PSWH.bit}$					
		PSWL.bit	2	$PSWL.bit \leftarrow \overline{PSWL.bit}$	×	×	×	×	×
	SET1	CY	1	$CY \leftarrow 1$					1
	CLR1	CY	1	$CY \leftarrow 0$					0
	NOT1	CY	1	$CY \leftarrow \overline{CY}$					×

命令群	ニモニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
コール・リターン	CALL	! addr16	3	$(SP-1) \leftarrow (PC+3)_H, (SP-2) \leftarrow (PC+3)_L,$ $PC \leftarrow \text{addr16}, SP \leftarrow SP-2$					
	CALLF	! addr11	2	$(SP-1) \leftarrow (PC+2)_H, (SP-2) \leftarrow (PC+2)_L,$ $PC_{15-11} \leftarrow 00001, PC_{10-0} \leftarrow \text{addr11}, SP \leftarrow SP-2$					
	CALLT	[addr5]	1	$(SP-1) \leftarrow (PC+1)_H, (SP-2) \leftarrow (PC+1)_L,$ $PC_H \leftarrow (TPF, 00000000, \text{addr5}+1),$ $PC_L \leftarrow (TPF, 00000000, \text{addr5}), SP \leftarrow SP-2$					
	CALL	rp1	2	$(SP-1) \leftarrow (PC+2)_H, (SP-2) \leftarrow (PC+2)_L,$ $PC_H \leftarrow rp1_H, PC_L \leftarrow rp1_L, SP \leftarrow SP-2$					
		[rp1]	2	$(SP-1) \leftarrow (PC+2)_H, (SP-2) \leftarrow (PC+2)_L,$ $PC_H \leftarrow (rp1+1), PC_L \leftarrow (rp1), SP \leftarrow SP-2$					
	BRK		1	$(SP-1) \leftarrow PSW_H, (SP-2) \leftarrow PSW_L,$ $(SP-3) \leftarrow (PC+1)_H, (SP-4) \leftarrow (PC+1)_L,$ $PC_L \leftarrow (003EH), PC_H \leftarrow (003FH), SP \leftarrow SP-4,$ $IE \leftarrow 0$					
	RET		1	$PC_L \leftarrow (SP), PC_H \leftarrow (SP+1), SP \leftarrow SP+2$					
	RETB		1	$PC_L \leftarrow (SP), PC_H \leftarrow (SP+1)$ $PSW_L \leftarrow (SP+2), PSW_H \leftarrow (SP+3)$ $SP \leftarrow SP+4$	R	R	R	R	R
スタック操作	PUSH	sfrp	3	$(SP-1) \leftarrow sfr_H$ $(SP-2) \leftarrow sfr_L$ $SP \leftarrow SP-2$					
		post	2	$\{(SP-1) \leftarrow post_H, (SP-2) \leftarrow post_L, SP \leftarrow SP-2\}$ $\times n$ 回					
		PSW	1	$(SP-1) \leftarrow PSW_H, (SP-2) \leftarrow PSW_L, SP \leftarrow SP-2$					
	PUSHU	post	2	$\{(UP-1) \leftarrow post_H, (UP-2) \leftarrow post_L, UP \leftarrow UP-2\}$ $\times n$ 回					
	POP	sfrp	3	$sfr_L \leftarrow (SP)$ $sfr_H \leftarrow (SP+1)$ $SP \leftarrow SP+2$					
		post	2	$\{post_L \leftarrow (SP), post_H \leftarrow (SP+1), SP \leftarrow SP+2\}$ $\times n$ 回					
		PSW	1	$PSW_L \leftarrow (SP), PSW_H \leftarrow (SP+1), SP \leftarrow SP+2$	R	R	R	R	R
	POPU	post	2	$\{post_L \leftarrow (UP), post_H \leftarrow (UP+1), UP \leftarrow UP+2\}$ $\times n$ 回					
	MOVW	SP, # word	4	$SP \leftarrow \text{word}$					
		SP, AX	2	$SP \leftarrow AX$					
		AX, SP	2	$AX \leftarrow SP$					
	INCW	SP	2	$SP \leftarrow SP+1$					
	DECW	SP	2	$SP \leftarrow SP-1$					

備考 スタック操作命令のnは、postとして記述したレジスタの数です。

命令群	ニモニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
特殊	CHKL	sfr	3	(端子レベル) ∇ (出力バッファ前の信号レベル)	×	×		P	
	CHKLA	sfr	3	A $\leftarrow$ (端子レベル) ∇ (出力バッファ前の信号レベル)	×	×		P	
無条件分岐	BR	! addr16	3	PC $\leftarrow$ addr16					
		rp1	2	PC _H $\leftarrow$ rp1 _H , PC _L $\leftarrow$ rp1 _L					
		[rp1]	2	PC _H $\leftarrow$ (rp1+1), PC _L $\leftarrow$ (rp1)					
		\$ addr16	2	PC $\leftarrow$ PC+2+jdisp8					
条件付き分岐	BC	\$ addr16	2	PC $\leftarrow$ PC+2+jdisp8 if CY = 1					
	BL								
	BNC	\$ addr16	2	PC $\leftarrow$ PC+2+jdisp8 if CY = 0					
	BNL								
	BZ	\$ addr16	2	PC $\leftarrow$ PC+2+jdisp8 if Z = 1					
	BE								
	BNZ	\$ addr16	2	PC $\leftarrow$ PC+2+jdisp8 if Z = 0					
	BNE								
	BV	\$ addr16	2	PC $\leftarrow$ PC+2+jdisp8 if P/V = 1					
	BPE								
	BNV	\$ addr16	2	PC $\leftarrow$ PC+2+jdisp8 if P/V = 0					
	BPO								
	BN	\$ addr16	2	PC $\leftarrow$ PC+2+jdisp8 if S = 1					
	BP	\$ addr16	2	PC $\leftarrow$ PC+2+jdisp8 if S = 0					
	BGT	\$ addr16	3	PC $\leftarrow$ PC+3+jdisp8 if (P/V ∇ S) $\vee$ Z = 0					
	BGE	\$ addr16	3	PC $\leftarrow$ PC+3+jdisp8 if P/V ∇ S = 0					
	BLT	\$ addr16	3	PC $\leftarrow$ PC+3+jdisp8 if P/V ∇ S = 1					
	BLE	\$ addr16	3	PC $\leftarrow$ PC+3+jdisp8 if (P/V ∇ S) $\vee$ Z = 1					
	BH	\$ addr16	3	PC $\leftarrow$ PC+3+jdisp8 if Z $\vee$ CY = 0					
	BNH	\$ addr16	3	PC $\leftarrow$ PC+3+jdisp8 if Z $\vee$ CY = 1					
	BT	saddr.bit, \$ addr16	3	PC $\leftarrow$ PC+3+jdisp8 if (saddr.bit) = 1					
		sfr.bit, \$ addr16	4	PC $\leftarrow$ PC+4+jdisp8 if sfr.bit = 1					
		A.bit, \$ addr16	3	PC $\leftarrow$ PC+3+jdisp8 if A.bit = 1					
		X.bit, \$ addr16	3	PC $\leftarrow$ PC+3+jdisp8 if X.bit = 1					
		PSWH.bit, \$ addr16	3	PC $\leftarrow$ PC+3+jdisp8 if PSWH.bit = 1					
		PSWL.bit, \$ addr16	3	PC $\leftarrow$ PC+3+jdisp8 if PSWL.bit = 1					
	BF	saddr.bit, \$ addr16	4	PC $\leftarrow$ PC+4+jdisp8 if (saddr.bit) = 0					
		sfr.bit, \$ addr16	4	PC $\leftarrow$ PC+4+jdisp8 if sfr.bit = 0					
		A.bit, \$ addr16	3	PC $\leftarrow$ PC+3+jdisp8 if A.bit = 0					
		X.bit, \$ addr16	3	PC $\leftarrow$ PC+3+jdisp8 if X.bit = 0					
		PSWH.bit, \$ addr16	3	PC $\leftarrow$ PC+3+jdisp8 if PSWH.bit = 0					
		PSWL.bit, \$ addr16	3	PC $\leftarrow$ PC+3+jdisp8 if PSWL.bit = 0					

命令群	二モニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
条件付き分岐	BTCLR	saddr.bit, \$ addr16	4	PC←PC+4+jdisp8 if (saddr.bit) = 1 then reset(saddr.bit)					
		sfr.bit, \$ addr16	4	PC←PC+4+jdisp8 if sfr.bit = 1 then reset sfr.bit					
		A.bit, \$ addr16	3	PC←PC+3+jdisp8 if A.bit = 1 then reset A.bit					
		X.bit, \$ addr16	3	PC←PC+3+jdisp8 if X.bit = 1 then reset X.bit					
		PSWH.bit, \$ addr16	3	PC←PC+3+jdisp8 if PSWH.bit = 1 then reset PSWH.bit					
		PSWL.bit, \$ addr16	3	PC←PC+3+jdisp8 if PSL.bit = 1 then reset PSL.bit	×	×	×	×	×
	BFSET	saddr.bit, \$ addr16	4	PC←PC+4+jdisp8 if (saddr.bit) = 0 then set(saddr.bit)					
		sfr.bit, \$ addr16	4	PC←PC+4+jdisp8 if sfr.bit = 0 then set sfr.bit					
		A.bit, \$ addr16	3	PC←PC+3+jdisp8 if A.bit = 0 then set A.bit					
		X.bit, \$ addr16	3	PC←PC+3+jdisp8 if X.bit = 0 then set X.bit					
		PSWH.bit, \$ addr16	3	PC←PC+3+jdisp8 if PSWH.bit = 0 then set PSWH.bit					
		PSWL.bit, \$ addr16	3	PC←PC+3+jdisp8 if PSL.bit = 0 then set PSL.bit	×	×	×	×	×
	DBNZ	r2, \$ addr16	2	r2←r2−1, then PC←PC+2+jdisp8 if r2≠0					
		saddr, \$ addr16	3	(saddr)←(saddr)−1, then PC←PC+3+jdisp8 if(saddr)≠0					
コンテ キス グ・	BRKCS	RBn	2	PC _H ↔R5, PC _L ↔R4, R7←PSW _H , R6←PSW _L , RBS2-0←n, RSS←0, IE←0					
	RETCS	! addr16	3	PC _H ←R5, PC _L ←R4, R5, R4←addr16, PSW _H ←R7, PSW _L ←R6	R	R	R	R	R
	RETCSB	! addr16	4	PC _H ←R5, PC _L ←R4, R5, R4←addr16, PSW _H ←R7, PSW _L ←R6	R	R	R	R	R

命令群	ニモニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
ストリング	MOV _M	[DE+],A	2	(DE+)←A,C←C-1 End if C = 0					
		[DE-],A	2	(DE-)←A,C←C-1 End if C = 0					
	MOV _{BK}	[DE+],[HL+]	2	(DE+)←(HL+),C←C-1 End if C = 0					
		[DE-],[HL-]	2	(DE-)←(HL-),C←C-1 End if C = 0					
	XCH _M	[DE+],A	2	(DE+)↔A,C←C-1 End if C = 0					
		[DE-],A	2	(DE-)↔A,C←C-1 End if C = 0					
	XCH _{BK}	[DE+],[HL+]	2	(DE+)↔(HL+),C←C-1 End if C = 0					
		[DE-],[HL-]	2	(DE-)↔(HL-),C←C-1 End if C = 0					
	CMP _{ME}	[DE+],A	2	(DE+) - A,C←C-1 End if C = 0 or Z = 0	×	×	×	V	×
		[DE-],A	2	(DE-) - A,C←C-1 End if C = 0 or Z = 0	×	×	×	V	×
	CMP _{BKE}	[DE+],[HL+]	2	(DE+) - (HL+),C←C-1 End if C = 0 or Z = 0	×	×	×	V	×
		[DE-],[HL-]	2	(DE-) - (HL-),C←C-1 End if C = 0 or Z = 0	×	×	×	V	×
	CMP _{MNE}	[DE+],A	2	(DE+) - A,C←C-1 End if C = 0 or Z = 1	×	×	×	V	×
		[DE-],A	2	(DE-) - A,C←C-1 End if C = 0 or Z = 1	×	×	×	V	×
	CMP _{BKNE}	[DE+],[HL+]	2	(DE+) - (HL+),C←C-1 End if C = 0 or Z = 1	×	×	×	V	×
		[DE-],[HL-]	2	(DE-) - (HL-),C←C-1 End if C = 0 or Z = 1	×	×	×	V	×
	CMP _{MC}	[DE+],A	2	(DE+) - A,C←C-1 End if C = 0 or CY = 0	×	×	×	V	×
		[DE-],A	2	(DE-) - A,C←C-1 End if C = 0 or CY = 0	×	×	×	V	×
	CMP _{BKC}	[DE+],[HL+]	2	(DE+) - (HL+),C←C-1 End if C = 0 or CY = 0	×	×	×	V	×
		[DE-],[HL-]	2	(DE-) - (HL-),C←C-1 End if C = 0 or CY = 0	×	×	×	V	×

命令群	ニモニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
ストリング	CMPMNC	[DE+],A	2	(DE+)−A,C←C−1 End if C = 0 or CY = 1	×	×	×	V	×
		[DE−],A	2	(DE−)−A,C←C−1 End if C = 0 or CY = 1	×	×	×	V	×
	CMPBKNC	[DE+],[HL+]	2	(DE+)−(HL+),C←C−1 End if C = 0 or CY = 1	×	×	×	V	×
		[DE−],[HL−]	2	(DE−)−(HL−),C←C−1 End if C = 0 or CY = 1	×	×	×	V	×
CPU制御	MOV	STBC, # byte	4	STBC←byte ^注					
		WDM, # byte	4	WDM←byte ^注					
	SWRS		1	RSS← $\overline{\text{RSS}}$					
	SEL	RBn	2	RBS2-0←n,RSS←0					
		RBn,ALT	2	RBS2-0←n,RSS←1					
	NOP		1	No Operation					
	EI		1	IE←1 (Enable Interrupt)					
	DI		1	IE←0 (Disable Interrupt)					

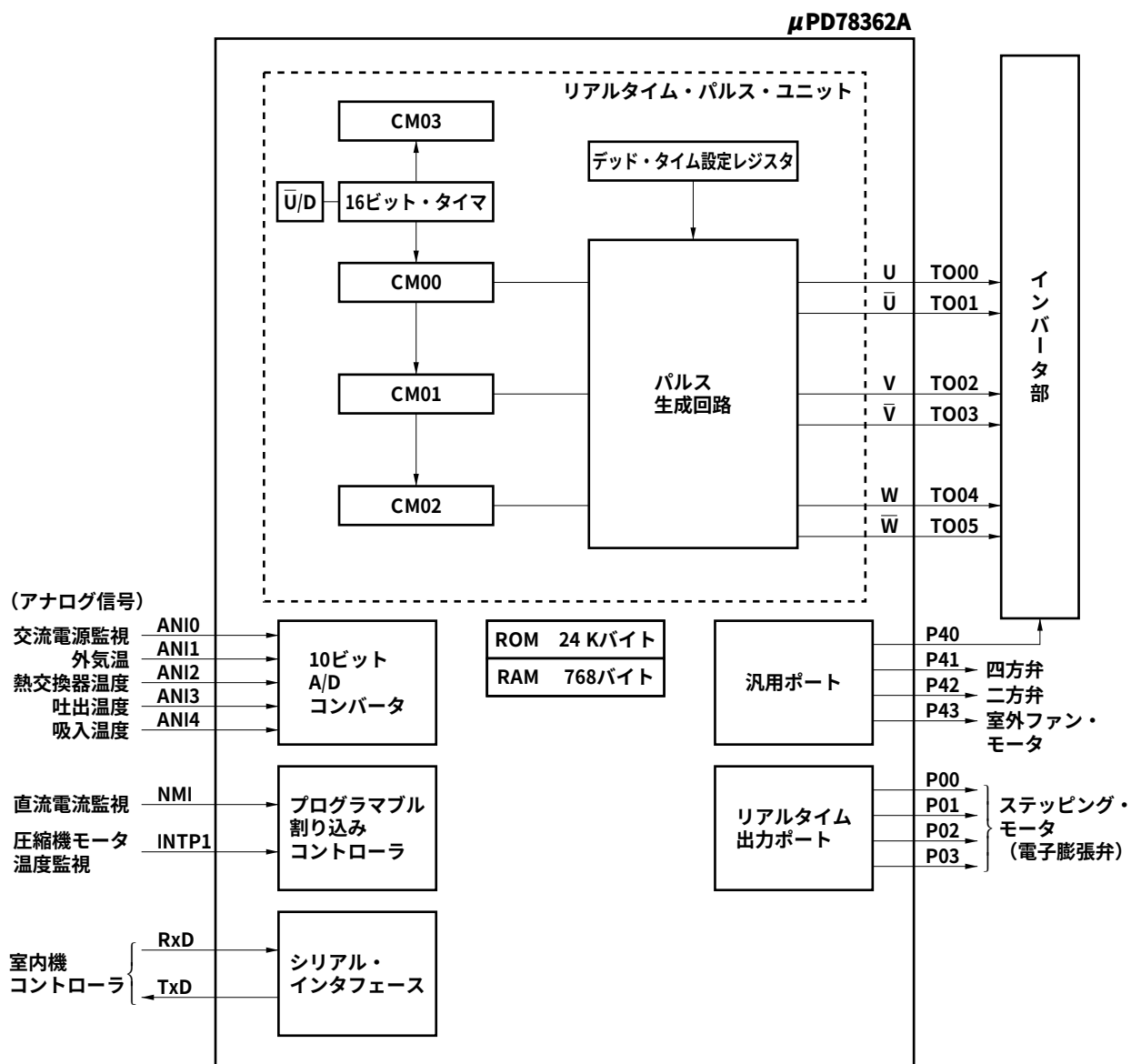
注 STBCレジスタ，WDMレジスタ操作命令のオペコードが異常のとき，オペコード・トラップ割り込みが発生します。

トラップ時のオペレーション：

(SP−1)←PSW_H，(SP−2)←PSW_L，
 (SP−3)←(PC−4)_H，(SP−4)←(PC−4)_L，
 PC_L←(003CH)，PC_H←(003DH)，
 SP←SP−4，IE←0

8. システム構成例

インバータ・エアコン室外機コントロール



9. 電気的特性

絶対最大定格 (T_A = 25 °C)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}		− 0.5 ~ + 7.0	V
	AV _{DD}		− 0.5 ~ V _{DD} + 0.5	V
	AV _{SS}		− 0.5 ~ + 0.5	V
入力電圧	V _I	P70/ANI0-P77/ANI7以外の端子	− 0.5 ~ V _{DD} + 0.5	V
出力電圧	V _O		− 0.5 ~ V _{DD} + 0.5	V
ロウ・レベル出力電流	I _{OL}	注	20	mA
		注以外の出力端子	4.0	mA
		全出力端子合計	200	mA
ハイ・レベル出力電流	I _{OH}	全出力端子	− 3.0	mA
		全出力端子合計	− 25	mA
アナログ入力電圧	V _{IAN}	P70/ANI0-P77/ANI7端子	AV _{SS} − 0.5 ~ AV _{DD} + 0.5	V
A/Dコンバータ基準入力電圧	AV _{REF}		AV _{SS} − 0.5 ~ AV _{DD} + 0.5	V
動作周囲温度	T _A		− 40 ~ + 85	°C
保存温度	T _{sig}		− 60 ~ + 150	°C

注 P00/RTP0-P03/RTP3, P04/PWM0, P05/TCUD/PWM1, P06/TIUD/TO40, P07/TCLRUD, P80/TO00-P85/TO05端子。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

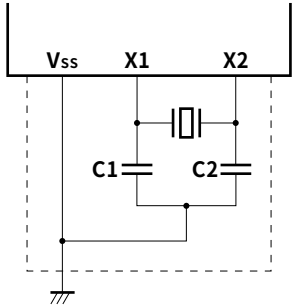
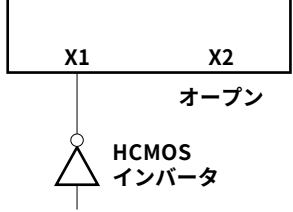
推奨動作条件

発振周波数	T _A	V _{DD}
3 MHz ≤ f _{xx} ≤ 8 MHz	− 40 ~ + 85 °C	+ 5.0 V ± 10 %

容 量 (T_A = 25 °C, V_{SS} = V_{DD} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力容量	C _i	f = 1 MHz			20	pF
出力容量	C _o	被測定端子以外は0 V			20	pF
入出力容量	C _{io}				20	pF

発振器特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$, $V_{SS} = 0\text{V}$)

発振子	推奨回路	項目	MIN.	MAX.	単位
セラミック発振子 または水晶振動子		発振周波数 (f_{xx})	3	8	MHz
外部クロック		X1入力周波数 (f_x)	3	8	MHz
		X1入力立ち上がり, 立ち下がり時間 (t_{XR} , t_{XF})	0	30	ns
		X1入力ハイ, ロウ・レベル幅 (t_{WXH} , t_{WXL})	40	170	ns

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、破線の部分を次のように配線してください。

- ・配線を極力短くする。
- ・ほかの信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるグラウンド・パターンには接地しない。
- ・発振回路から信号を取り出さない。

DC特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$, $V_{SS} = 0\text{V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ロウ・レベル入力電圧	V_{IL1}	注1	0		0.8	V
	V_{IL2}	注2	0		$0.2V_{DD}$	V
ハイ・レベル入力電圧	V_{IH1}	注1	2.2			V
	V_{IH2}	注2	$0.8V_{DD}$			V
ロウ・レベル出力電圧	V_{OL1}	注3	$I_{OL} = 2.0\text{mA}$		0.45	V
	V_{OL2}	注4	$I_{OL} = 15\text{mA}$		1.5	V
	V_{OL3}	注5	$I_{OL} = 10\text{mA}$		1.5	V
ハイ・レベル出力電圧	V_{OH}	$I_{OH} = -400\text{ }\mu\text{A}$		$V_{DD} - 1.0$		V
入力リーク電流	I_{LI}	$0\text{V} \leq V_i \leq V_{DD}$, $AV_{DD} = V_{DD}$			± 10	μA
出力リーク電流	I_{LO}	$0\text{V} \leq V_o \leq V_{DD}$, $AV_{DD} = V_{DD}$			± 10	μA
V_{DD} 電源電流	I_{DD1}	動作モード		70	120	mA
	I_{DD2}	HALTモード		45	70	mA
データ保持電圧	V_{DDDR}	STOPモード		2.5		V
データ保持電流	I_{DDDR}	STOPモード	$V_{DDDR} = 2.5\text{V}$	2	10	μA
			$V_{DDDR} = 5.0\text{V} \pm 10\%$	10	50	μA
プルアップ抵抗	R_L	$V_i = 0\text{V}$		15	60	$150\text{ k}\Omega$

注1．注2に記載以外の端子。

2．RESET, X1, X2, P20/NMI, P21/INTP0, P22/INTP1, P23/INTP2, P24/INTP3/TI, P25/INTP4, P32/SO/SB0, P33/SI/SB1, P34/SCK端子。

3．注4，5に記載以外の端子。

4．P80/TO00-P85/TO05端子 ($I_{OL} = 15\text{mA}$ 動作時，同時オン3本まで可能)。

5．P00/RTP0-P03/RTP3, P04/PWM0, P05/TCUD/PWM1, P06/TIUD/TO40, P07/TCLRUD端子 ($I_{OL} = 10\text{mA}$ 動作時，同時オン4本まで可能)。

注意 P80-P85, P00-P07端子を注4，5の条件で使用しない場合は，注3と同じ特性です。

AC特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$, $V_{SS} = 0\text{V}$, $C_L = 100\text{pF}$, $f_{XX} = 8\text{MHz}$)

システム・クロック・サイクル

項 目	略 号	条 件	MIN.	MAX.	単 位
システム・クロック・サイクル・タイム	t _{cyk}		62.5	166.7	ns

シリアル・オペレーション ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$, $V_{SS} = 0\text{V}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
シリアル・クロック・サイクル・タイム	t _{cysk}	SCK出力 内部8分周	500		ns
		SCK入力 外部クロック	500		ns
シリアル・クロック・ロウ・レベル幅	t _{wskl}	SCK出力 内部8分周	210		ns
		SCK入力 外部クロック	210		ns
シリアル・クロック・ハイ・レベル幅	t _{wskh}	SCK出力 内部8分周	210		ns
		SCK入力 外部クロック	210		ns
SIセットアップ時間 (対SCK↑)	t _{srxsk}		80		ns
SIホールド時間 (対SCK↑)	t _{hskr}		80		ns
SCK↓→SO遅延時間	t _{dsctx}	R = 1 kΩ, C = 100 pF		210	ns

アップ／ダウン・カウンタ・オペレーション ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$, $V_{SS} = 0\text{V}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
TIUDハイ, ロウ・レベル幅	t _{wtiuh} , t _{wtiul}	モード4以外	2T		ns
		モード4	4T		ns
TCUDハイ, ロウ・レベル幅	t _{wtcuh} , t _{wtcul}	モード4以外	2T		ns
		モード4	4T		ns
TCLRUDハイ, ロウ・レベル幅	t _{wcluh} , t _{wclul}		2T		ns
TCUDセットアップ時間 (対TIUD↑)	t _{stcu}	モード3	T		ns
TCUDホールド時間 (対TIUD↑)	t _{htcu}	モード3	T		ns
TIUDセットアップ時間 (対TCUD)	t _{s4tiu}	モード4	2T		ns
TIUDホールド時間 (対TCUD)	t _{h4tiu}	モード4	2T		ns
TIUD, TCUDサイクル・タイム	t _{cyc}	モード4以外		4	MHz
	t _{cyc4}	モード4		2	MHz

備考 T = t_{cyk} = 1/f_{clk} (f_{clk}は内部システム・クロック周波数)

その他のオペレーション ($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{DD} = +5\text{ V} \pm 10\%$, $V_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
NMI/ハイ, ロウ・レベル幅	t_{WNIH} , t_{WNIL}		2		μs
RESET/ハイ, ロウ・レベル幅	t_{WRSH} , $t_{WRS�}$		1.5		μs
INTP0/ハイ, ロウ・レベル幅	t_{WIOH} , t_{WIOL}	$T_s = T$	250		ns
		$T_s = 4T$	1.0		μs
		$T_s = 8T$	2.0		μs
		$T_s = 16T$	4.0		μs
INTP1/ハイ, ロウ・レベル幅	t_{WI1H} , t_{WI1L}	$T_s = T$	250		ns
		$T_s = 4T$	1.0		μs
		$T_s = 8T$	2.0		μs
		$T_s = 16T$	4.0		μs
INTP2/ハイ, ロウ・レベル幅	t_{WI2H} , t_{WI2L}	$T_s = T$	250		ns
		$T_s = 4T$	1.0		μs
INTP3(TI)/ハイ, ロウ・レベル幅	t_{WI3H} , t_{WI3L}	$T_s = T$	250		ns
		$T_s = 4T$	1.0		μs
		$T_s = 8T$	2.0		μs
		$T_s = 16T$	4.0		μs
		$T_s = 64T$	16.0		μs
		$T_s = 128T$	32.0		μs
		$T_s = 256T$	64.0		μs
INTP4/ハイ, ロウ・レベル幅	t_{WI4H} , t_{WI4L}	$T_s = T$	250		ns
		$T_s = 4T$	1.0		μs
		$T_s = 8T$	2.0		μs
		$T_s = 16T$	4.0		μs

備考 1. $T = t_{CYK} = 1/f_{CLK}$ (f_{CLK} は内部システム・クロック周波数)2. T_s は入力サンプリング周期で、INTP0-INTP4はプログラマブルに選択できます。

A/Dコンバータ特性 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$, $V_{SS} = AV_{SS} = 0\text{V}$,
 $V_{DD} - 0.5\text{V} \leq AV_{DD} \leq V_{DD}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			10			bit
総合誤差 ^{注1}		$4.5\text{V} \leq AV_{REF} \leq AV_{DD}$			± 0.4	%FSR
		$3.4\text{V} \leq AV_{REF} \leq AV_{DD}$			± 0.7	%FSR
量子化誤差					$\pm 1/2$	LSB
変換時間	t_{CONV}	$62.5\text{ns} \leq t_{CYK} < 80\text{ns}$	208			t_{CYK}
		$80\text{ns} \leq t_{CYK} \leq 166.6\text{ns}$	169			t_{CYK}
サンプリング時間	t_{SAMP}	$62.5\text{ns} \leq t_{CYK} < 80\text{ns}$	24			t_{CYK}
		$80\text{ns} \leq t_{CYK} \leq 166.6\text{ns}$	20			t_{CYK}
ゼロスケール誤差 ^{注1}		$4.5\text{V} \leq AV_{REF} \leq AV_{DD}$		± 1.5	± 2.5	LSB
		$3.4\text{V} \leq AV_{REF} \leq AV_{DD}$		± 1.5	± 4.5	LSB
フルスケール誤差 ^{注1}		$4.5\text{V} \leq AV_{REF} \leq AV_{DD}$		± 1.5	± 2.5	LSB
		$3.4\text{V} \leq AV_{REF} \leq AV_{DD}$		± 1.5	± 4.5	LSB
非直線性誤差 ^{注1}		$4.5\text{V} \leq AV_{REF} \leq AV_{DD}$		± 1.5	± 2.5	LSB
		$3.4\text{V} \leq AV_{REF} \leq AV_{DD}$		± 1.5	± 4.5	LSB
アナログ入力電圧 ^{注2}	V_{IAN}		-0.3		$AV_{REF} + 0.3$	V
アナログ入力インピーダンス	R_{AN}	非サンプリング時		10		MΩ
		サンプリング時		注3		
基準電圧	AV_{REF}		3.4		AV_{DD}	V
AV_{REF} 電流	AI_{REF}			1.0	3.0	mA
AV_{DD} 電源電流	AI_{DD}	動作モード		2.0	6.0	mA
A/Dコンバータ・データ保持電流	AI_{DDDR}	STOP	$AV_{DDDR} = 2.5\text{V}$	2	10	μA
		モード	$AV_{DDDR} = 5\text{V} \pm 10\%$	10	50	μA

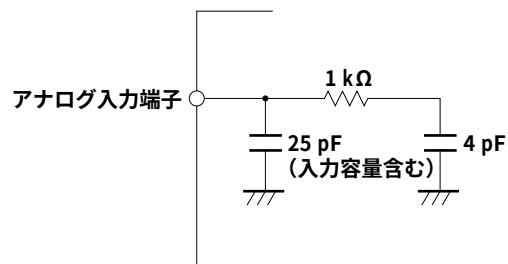
注1．量子化誤差を除きます。

2． $-0.3\text{V} \leq V_{IAN} \leq 0\text{V}$ のときは、変換結果が000Hになります。

$0\text{V} < V_{IAN} < AV_{REF}$ のときは、10ビット分解能で変換を行います。

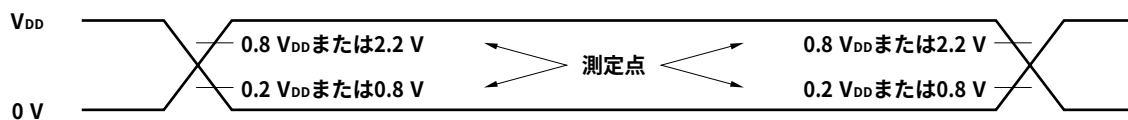
$AV_{REF} \leq V_{IAN} \leq AV_{REF} + 0.3\text{V}$ のときは、変換結果が3FFHになります。

3．サンプリング時のアナログ入力インピーダンスは、下図の等価回路と同一となります（図中の値はTYP.値で、保証値ではありません）。

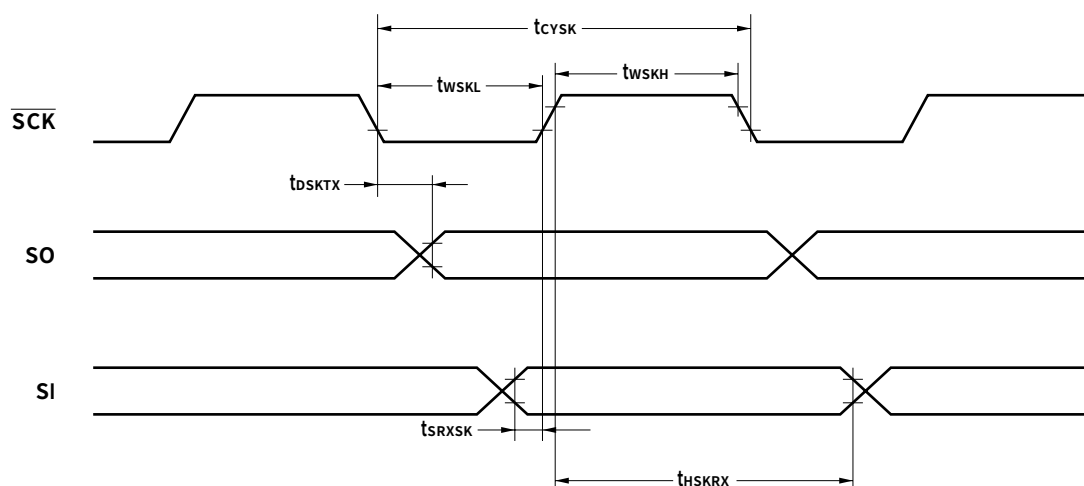


- 注意 1. P70/ANI0-P77/ANI7端子をデジタル入力とアナログ入力の混在で使用した場合、前記の特性は保証されません。したがって、P70/ANI0-P77/ANI7端子は必ず 8 本ともアナログ入力またはデジタル入力として使用してください。
2. P70/ANI0-P77/ANI7端子をデジタル入力として使用する場合、 $AV_{DD} = V_{DD}$ 、 $AV_{SS} = V_{SS}$ に設定してください。

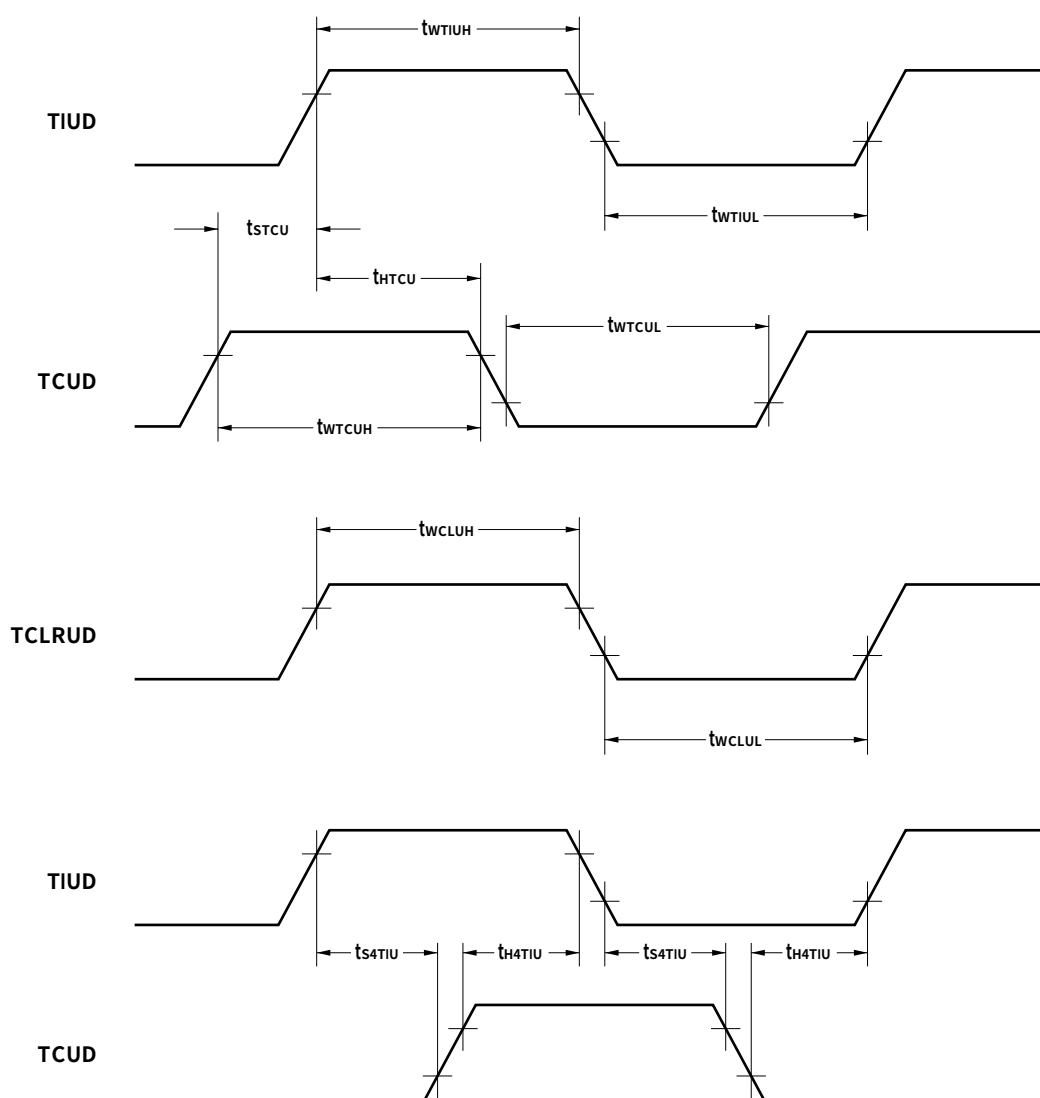
ACタイミング測定点



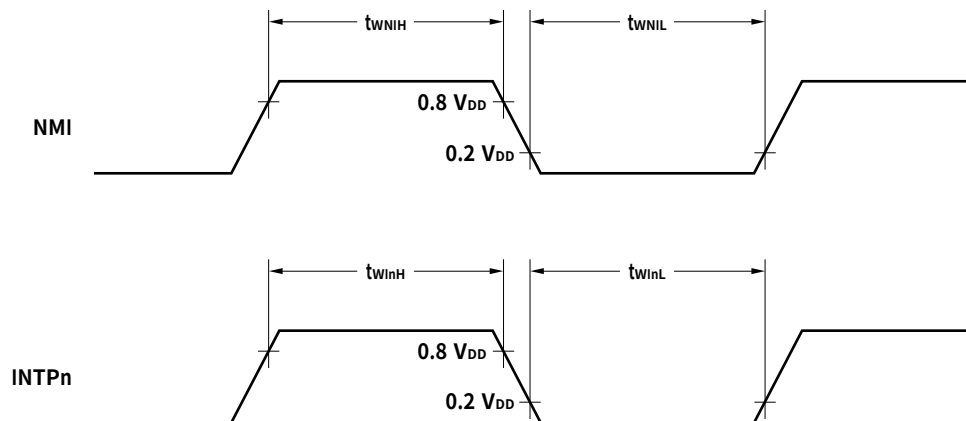
シリアル・オペレーション



アップ/ダウン・カウンタ (タイマ4) 入力タイミング

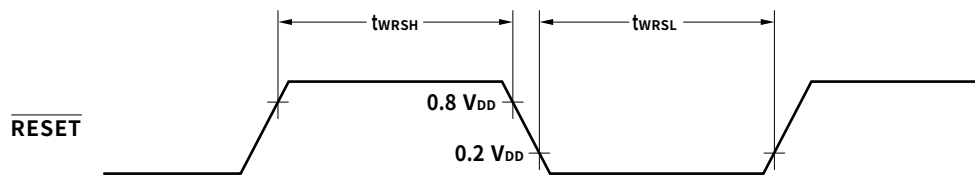


割り込み入力タイミング



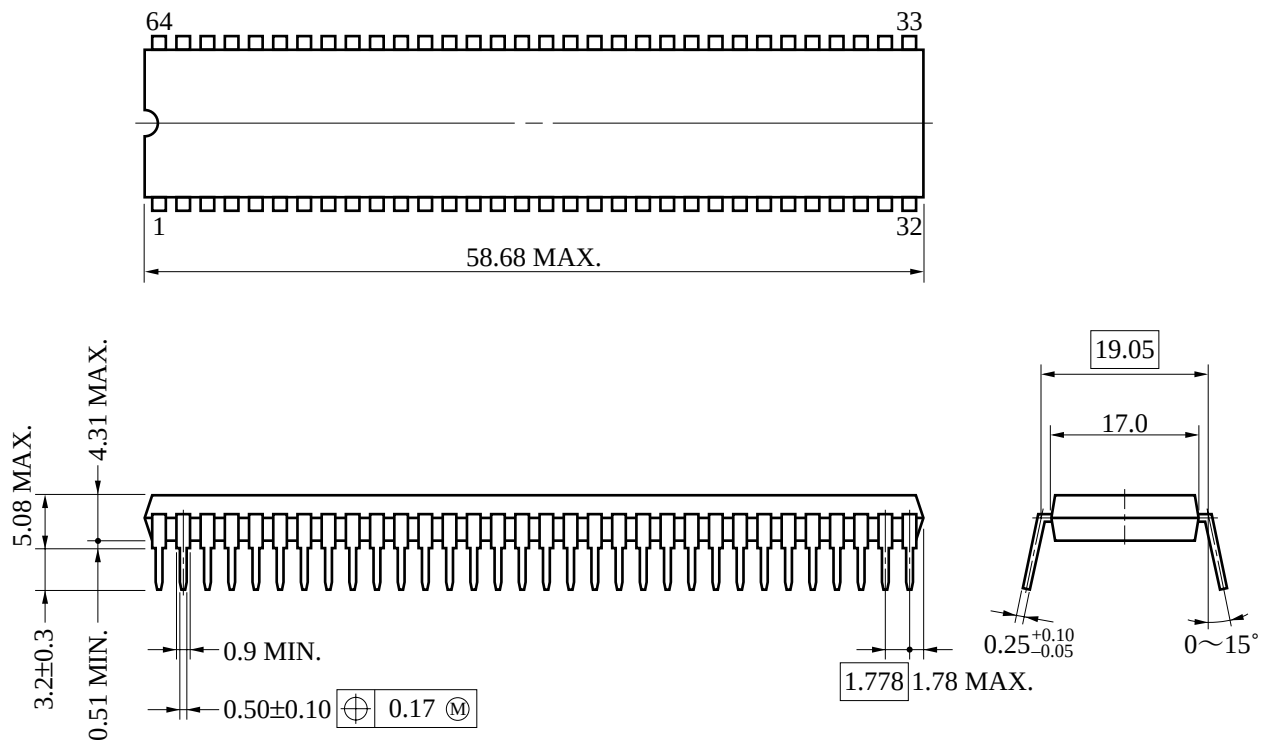
備考 $n = 0 - 4$

リセット入力タイミング



10. 外形図

64ピン・プラスチック・シュリンク DIP (750 mil) 外形図 (単位: mm)



P64C-70-750A,C-1

11. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」（C10535J）を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表11-1 挿入タイプの半田付け条件

★ μPD78361ACW-×××：64ピン・プラスチック・シュリンクDIP（750 mil）

μPD78362ACW-×××： //

半田付け方式	半 田 付 け 条 件
ウェーブ・ソルダーリング （端子のみ）	半田槽温度：260 °C以下，時間：10秒以内
端子部分加熱	端子温度：300 °C以下，時間：3 秒以内（1 端子当たり）

注意 ウェーブ・ソルダーリングは端子のみとし、噴流半田が直接本体に接触しないようにしてください。

付録A．μPD78362AとμPD78328との違い

項目		品名	μPD78362A	μPD78328
最小命令実行時間			125 ns 内部クロック：16 MHz動作時 外部クロック：8 MHz動作時	250 ns 内部クロック：8 MHz動作時 外部クロック：16 MHz動作時
内部メモリ	ROM		24 Kバイト	16 Kバイト
	RAM		768バイト	512バイト
汎用レジスタ			8ビット×16本×8バンク	
基本命令数			115	111
命令セット			・16ビット転送／演算 ・乗除算（16ビット×16ビット，32ビット÷16ビット） ・ビット操作 ・ストリング	
			・積和演算（16ビット×16ビット+32ビット） ・相関演算	—
入出力ライン	入 力		14（アナログ入力兼用：8）	11（アナログ入力兼用：8）
	入出力		38	41
リアルタイム・パルス・ユニット			・16ビット・タイマ×5 ・16ビット・コンペア・レジスタ×7 ・16ビット・キャプチャ・レジスタ×3 ・16ビット・キャプチャ／コンペア・レジスタ×2 ・2種類の出力モードを選択可能 - モード0 セット・リセット出力：6チャンネル - モード1 バッファ出力：6チャンネル ・16ビット分解能PWM出力：1チャンネル	・16ビット・タイマ×3 ・16ビット・コンペア・レジスタ×14 ・16ビット・キャプチャ／コンペア・レジスタ×1 ・2種類の出力モードを選択可能 - モード0 セット・リセット出力：6チャンネル - トグル出力：1チャンネル - モード1 バッファ出力：8チャンネル
リアルタイム出力ポート			4本（4ビット単位バッファ出力）	4/8本（4ビット／8ビット単位バッファ出力）
PWMユニット			8/9/10/12ビット分解能可変PWM出力：2チャンネル	8ビット分解能PWM出力：1チャンネル
A/Dコンバータ			10ビット分解能8チャンネル	
シリアル・インタフェース			専用ポー・レート・ジェネレータ付き UART：1チャンネル クロック同期式シリアル・インタフェース／SBI：1チャンネル	
割り込み機能			・外部6，内部14（外部兼用2） ・4レベル・プログラマブル優先順位	・外部4，内部17 ・3レベル・プログラマブル優先順位
			・3種類の処理形態を選択可能 （ベクタ割り込み／マクロ・サービス／コンテキスト・スイッチング）	
テスト要因			なし	内部1
外部拡張機能			なし	あり
PLL制御回路			あり（外部8 MHz→内部16 MHz）	なし
パッケージ			・64ピン・プラスチック・シュリンクDIP（750 mil）	・64ピン・プラスチック・シュリンクDIP
				・64ピン・プラスチックQFP（14×20 mm）
その他			・ウォッチドッグ・タイマ内蔵 ・スタンバイ機能（HALTモード，STOPモード）	

付録B. ツール

B.1 開発ツール

μPD78362Aを使用するシステム開発のために、次のような開発ツールを用意しています。

言語プロセッサ

78K/IIIシリーズ リロケータブル・アセンブラ (RA78K3)	78K/IIIシリーズに共通に使用できるリロケータブル・アセンブラです。マクロ機能付きのリロケータブル・アセンブラですので、開発効率の向上が図れます。また、プログラム制御構造を明示的に記述できる構造化アセンブラも添付されており、プログラムの生産性や保守性を向上することができます。		
	ホスト・マシン		オーダ名称（品名）
		OS	
	PC-9800シリーズ	MS-DOS™	3.5インチ2HD
			5インチ2HD
	IBM PC/AT™ およびその互換機	PC DOS™	3.5インチ2HC
			5インチ2HC
	HP9000シリーズ700™	HP-UX™	DAT
78K/IIIシリーズ Cコンパイラ (CC78K3)	SPARCstation™	SunOS™	カートリッジ・テープ
	NEWS™	NEWS-OS™	(QIC-24)
	ホスト・マシン		オーダ名称（品名）
		OS	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD
			5インチ2HD
	IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC
			5インチ2HC
	HP9000シリーズ700	HP-UX	DAT
	SPARCstation	SunOS	カートリッジ・テープ
	NEWS	NEWS-OS	(QIC-24)

備考 リロケータブル・アセンブラ、Cコンパイラの動作は、上記のホスト・マシンとOS上でのみ保証されます。

PROM書き込み用ツール

ハードウェア	PG-1500	付属ボードおよび別売のプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンまたは、ホスト・マシンからの操作によりプログラミングできるPROMプログラマです。また、256 Kビットから4 Mビットまでの代表的なPROMをプログラミングすることもできます。		
	PA-78P364CW	PG-1500などの汎用PROMプログラマ上で、μPD78P364Aにプログラムを書き込むためのPROMプログラマ・アダプタです。 PA-78P364CW…μPD78P364ACW用		
ソフトウェア	PG-1500コントローラ	PG-1500とホスト・マシンをシリアル・インタフェースおよびパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。		
		ホスト・マシン		オーダ名称（品名）
			OS	供給媒体
		PC-9800シリーズ	MS-DOS	3.5インチ2HD
				5インチ2HD
		IBM PC/AT およびその互換機	PC DOS	3.5インチ2HD
				5インチ2HC
				μ S5A13PG1500
				μ S5A10PG1500
				μ S7B13PG1500
				μ S7B10PG1500

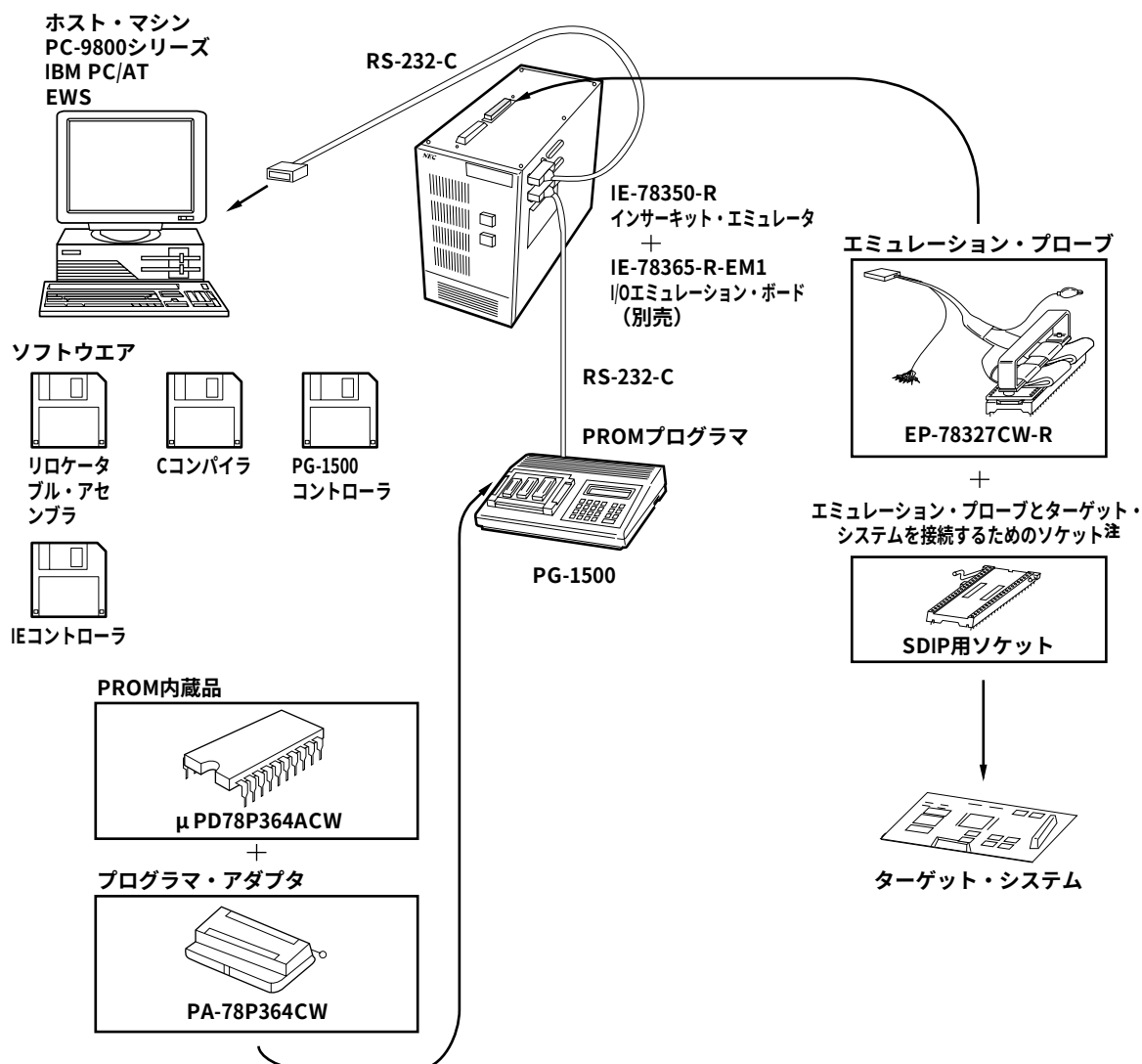
備考 PG-1500コントローラの動作は、上記のホスト・マシンとOS上でのみ保証されます。

ディバグ用ツール（IEコントローラを使用する場合）

ハードウェア	IE-78350-R	応用システムの開発、ディバグに使用できるインサーキット・エミュレータです。ホスト・マシンを接続して、ディバグを行います。		
	IE-78365-R-EM1	対象デバイスの入出力ポートなどの周辺機能のエミュレーションを行うためのI/Oエミュレーション・ボードです。		
	EP-78327CW-R	IE-78350-Rをターゲット・システムに接続するためのエミュレーション・プローブです。		
ソフトウェア	IE-78350-R コントロール・プログラム (IEコントローラ)	IE-78350-Rをホスト・マシン上でコントロールするためのプログラムです。コマンドの自動実行などを行うことができ、より効率の良いディバグが可能です。		
		ホスト・マシン		オーダ名称（品名）
			OS	供給媒体
		PC-9800シリーズ	MS-DOS	3.5インチ2HD
				5インチ2HD
		IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC
				5インチ2HC
				μ S5A13IE78365A
				μ S5A10IE78365A
				μ S7B13IE78365A
				μ S7B10IE78365A

備考 IEコントローラの動作は、上記のホスト・マシンとOS上でのみ保証されます。

開発ツール構成 (IEコントローラを使用する場合)



注 ソケットは、市販品をご使用ください。

備考1. ホスト・マシンとPG-1500をRS-232-Cで直接接続して使用することもできます。

2. この図では、ソフトウェアの供給媒体を3.5インチFDで代表しています。

ディバグ用ツール（統合ディバグを使用する場合）

ハードウェア

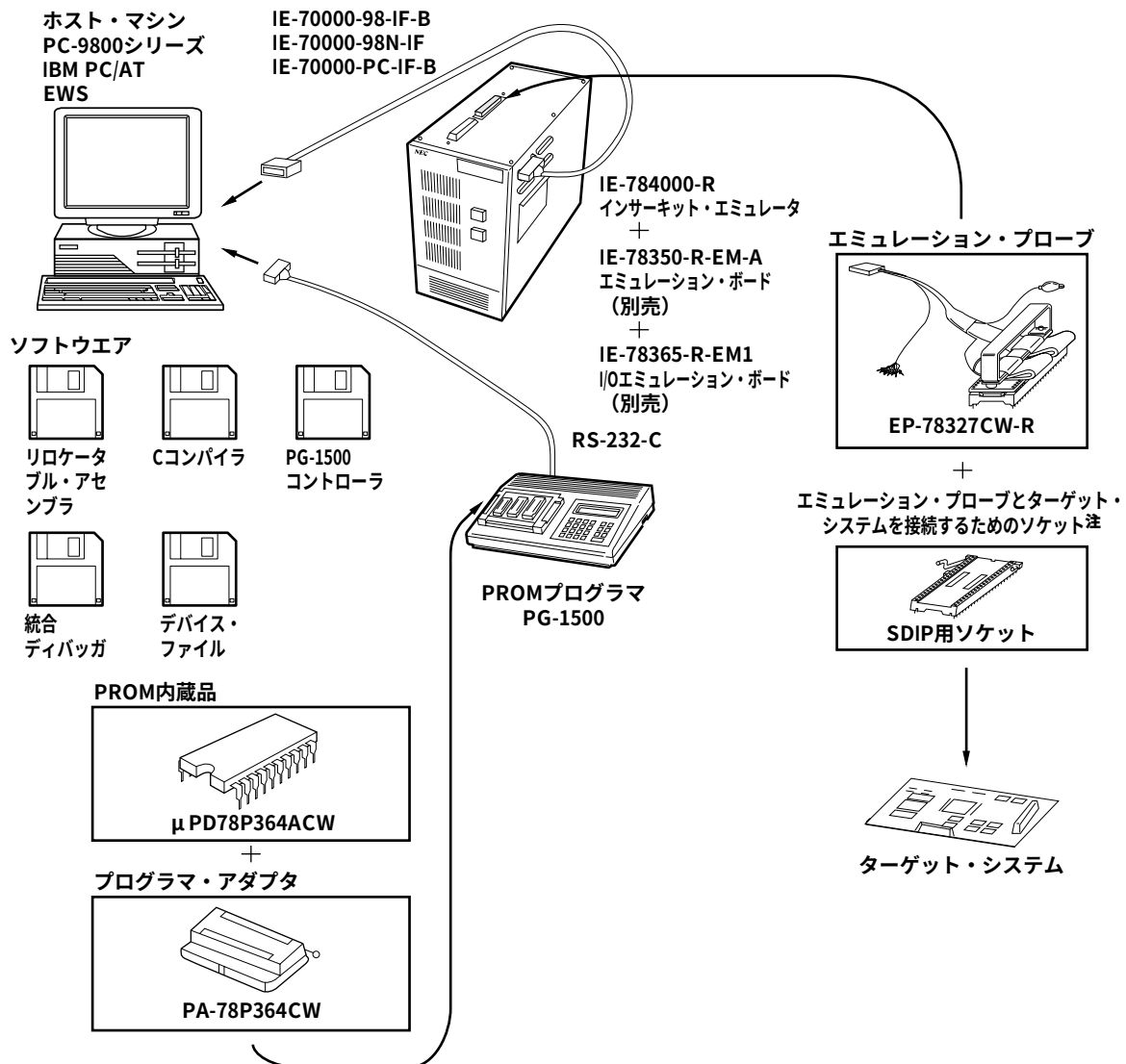
IE-784000-R	応用システムの開発、ディバグに使用できるインサーキット・エミュレータです。ホスト・マシンを接続して、ディバグを行います。		
IE-78350-R-EM-A	対象デバイスの入出力ポートなどの周辺機能のエミュレーションを行うためのエミュレーション・ボードです。		
IE-78365-R-EM1	対象デバイスの入出力ポートなどの周辺機能のエミュレーションを行うためのI/Oエミュレーション・ボードです。		
EP-78327CW-R	IE-784000-Rをターゲット・システムに接続するためのエミュレーション・プローブです。		
IE-70000-98-IF-B	ホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときのインタフェース・アダプタです。		
IE-70000-98N-IF	ホスト・マシンとしてPC-9800シリーズのノート型パソコンを使用するときのインタフェース・アダプタとケーブルです。		
IE-70000-PC-IF-B	ホスト・マシンとしてIBM PC/ATを使用するときのインタフェース・アダプタです。		
IE-78000-R-SV3	ホスト・マシンとしてEWSを使用するときのインタフェース・アダプタとケーブルです。		

ソフトウェア

統合ディバグ (ID78K3)	78K/IIIシリーズ用のインサーキット・エミュレータをコントロールするためのプログラムです。デバイス・ファイル（DF78365）と組み合わせて使用します。 C言語、構造化アセンブリ言語、アセンブリ言語で書かれたソース・プログラム・レベルでのディバグができます。また、ホスト・マシンの画面を分割し、さまざまな情報を同時に表示することができるため、効率の良いディバグが行えます。			
	ホスト・マシン			オーダ名称（品名）
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS + Windows™	3.5インチ2HD	μ SAA13ID78K3
			5 インチ2HD	μ SAA10ID78K3
	IBM PC/AT およびその互換機 (日本語Windows)	PC DOS + Windows	3.5インチ2HC	μ SAB13ID78K3
			5 インチ2HC	μ SAB10ID78K3
	IBM PC/AT およびその互換機 (英語Windows)		3.5インチ2HC	μ SBB13ID78K3
			5 インチ2HC	μ SBB10ID78K3
	デバイス・ファイル (DF78365)	デバイス固有の情報が入ったファイルです。アセンブラ（RA78K3）、Cコンパイラ（CC78K3）、統合ディバグ（ID78K3）と組み合わせて使用します。		
ホスト・マシン			オーダ名称（品名）	
		OS		供給媒体
PC-9800 シリーズ		MS-DOS	3.5インチ2HD	μ S5A13DF78365
			5 インチ2HD	μ S5A10DF78365
IBM PC/AT およびその互換機		PC DOS	3.5インチ2HC	μ S7B13DF78365
			5 インチ2HC	μ S7B10DF78365

備考 統合ディバグ、デバイス・ファイルの動作は、上記のホスト・マシンとOS上でのみ保証されます。

開発ツール構成（統合ディバッガを使用する場合）



注 ソケットは、市販品をご使用ください。

備考1. この図では、ホスト・マシンをデスクトップ型パソコンで代表しています。

2. この図では、ソフトウェアの供給媒体を3.5インチFDで代表しています。

B.2 組み込み用ソフトウェア

プログラム開発やメンテナンスをより効率的に行うために次の組み込み用ソフトウェアを用意しています。

リアルタイムOS

リアルタイムOS (RX78K/III) 注	RX78K/IIIは、リアルタイム性の要求される制御分野を対象として、マルチタスク環境を実現することを目的としています。CPUのアイドル時間を他の処理に割り当て、システム全体としての性能の向上を図ることができます。		
	RX78K/IIIでは、μITRON仕様に準拠したシステム・コールを提供しています。		
	RX78K/IIIパッケージでは、RX78K/IIIのニュークリアスと複数の情報テーブルを作成するためのツール（コンフィギュレータ）を提供します。		
	ホスト・マシン		オーダ名称（品名）
		OS	供給媒体
PC-9800シリーズ	MS-DOS	3.5インチ2HD	未定
		5インチ2HD	未定
IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	未定
		5インチ2HC	未定

注 開発中

注意 ご購入される場合、事前に購入申込書にご記入のうえ、使用許諾契約書を締結する必要があります。

備考 RX78K/III リアルタイムOSを使用するときは、RA78K3 アセンブラ・パッケージ（別売）が必要です。

ファジィ推論開発支援システム

ファジィ知識データ作成ツール (FE9000, FE9200)	ファジィ知識データ（ファジィ・ルールおよびメンバシップ関数）の入力／編集（エディット）と評価（シミュレーション）を支援するプログラムです。			
	ホスト・マシン			オーダ名称（品名）
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13FE9000
			5 インチ2HD	μ S5A10FE9000
	IBM PC/AT およびその互換機	PC DOS + Windows	3.5インチ2HC	μ S7B13FE9200
5 インチ2HC			μ S7B10FE9200	
トランスレータ (FT78K3) 注	ファジィ知識データ作成ツールを用いて得たファジィ知識データをRA78K3用のアセンブラ・ソース・プログラムに変換するプログラムです。			
	ホスト・マシン			オーダ名称（品名）
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13FT78K3
			5 インチ2HD	μ S5A10FT78K3
	IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μ S7B13FT78K3
5 インチ2HC			μ S7B10FT78K3	
ファジィ推論モジュール (FI78K/III) 注	ファジィ推論を実行するプログラムです。トランスレータで変換されたファジィ知識データとリンクすることでファジィ推論を実行します。			
	ホスト・マシン			オーダ名称（品名）
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13FI78K3
			5 インチ2HD	μ S5A10FI78K3
	IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μ S7B13FI78K3
5 インチ2HC			μ S7B10FI78K3	
ファジィ推論ディバグ (FD78K/III)	インサーキット・エミュレータを使用し、ファジィ知識データをハードウェア・レベルで評価，調整するための支援ソフトウェアです。			
	ホスト・マシン			オーダ名称（品名）
		OS	供給媒体	
	PC-9800シリーズ	MS-DOS	3.5インチ2HD	μ S5A13FD78K3
			5 インチ2HD	μ S5A10FD78K3
	IBM PC/AT およびその互換機	PC DOS	3.5インチ2HC	μ S7B13FD78K3
5 インチ2HC			μ S7B10FD78K3	

注 開発中

CMOSデバイスの一般的注意事項

①静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

MS-DOSおよびWindowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/AT, PC DOSは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc. の商標です。

SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

TRONは、The Realtime Operating system Nucleusの略称です。

ITRONは、Industrial TRONの略称です。

本製品が外国為替および外国貿易管理法の規定による戦略物資等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

—— お問い合わせは、最寄りのNECへ ——

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3454-1111 （大代表）
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2170 名古屋 (052)222-2190
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 東北支社 岩手支店 山形支店 郡山支店 いわき支店 長岡支店 土浦支店 水戸支店 神奈川支店 群馬支店	札幌 (011)231-0161 仙台 (022)267-8740 盛岡 (019)651-4344 山形 (0236)23-5511 郡山 (0249)23-5511 いわき (0246)21-5511 長岡 (0258)36-2155 土浦 (0298)23-6161 水戸 (029)226-1717 横浜 (045)324-5524 高崎 (0273)26-1255	太田支店 宇都宮支店 小山支店 長野支店 甲府支店 埼玉支店 千葉支店 静岡支店 金沢支店 福井支店 富山支店 三重支店 京都支店 神戸支店 中国支店 鳥取支店 岡山支店 四国支店 新居浜支店 松山支店 九州支店
	太田 (0276)46-4011 宇都宮 (028)621-2281 小山 (0285)24-5011 松本 (0263)35-1662 甲府 (0552)24-4141 大宮 (048)641-1411 立川 (0425)26-5981 千葉 (043)238-8116 静岡 (054)255-2211 金沢 (0762)23-1621 福井 (0776)22-1866	富山 (0764)31-8461 津 (0592)25-7341 京都 (075)344-7824 神戸 (078)333-3854 広島 (082)242-5504 鳥取 (0857)27-5311 岡山 (086)225-4455 高松 (0878)36-1200 新居浜 (0897)32-5001 松山 (089)945-4149 福岡 (092)271-7700

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7924	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3383	