

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD78327(A), 78328(A)

16/8ビット・シングルチップ・マイクロコンピュータ

μ PD78328(A)は、高性能16ビットCPUを内蔵した78K/IIIシリーズの製品です。 μ PD78322(A)のリアルタイム・パルス・ユニットのPWM信号出力機能を、特にインバータ制御用に強化して組み込みました。

μ PD78327(A)は、 μ PD78328(A)のROMレス品です。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD78328 ユーザーズ・マニュアル：IEU-693

特 徴

- μ PD78327, 78328 に比べて高信頼性
- パイプライン制御方式と命令プリフェッチによる高速処理
最小命令実行時間：250 ns (内部クロック 8 MHz, 外部クロック 16 MHz 動作時)
- インバータ制御に適したリアルタイム・パルス・ユニット
 - ・ 2種類のタイマ出力モードを選択可能 (セット・リセット出力6本/バッファ出力8本)
 - ・ 6相PWM信号を容易に出力可能
- 10ビットA/Dコンバータ内蔵：8チャンネル
- 高速8ビットPWM信号出力機能：1チャンネル

応用分野

- 自動車電装など

オーダ情報

| オーダ名称 | パッケージ | 内部ROM |
|---|---------------------------------|--------|
| μ PD78327CW(A) | 64ピン・プラスチック・シュリンク DIP (750 mil) | なし |
| μ PD78327GF(A)-3BE | 64ピン・プラスチック QFP (14×20 mm) | // |
| μ PD78328CW(A)- $\times\times\times$ | 64ピン・プラスチック・シュリンク DIP (750 mil) | マスクROM |
| μ PD78328GF(A)- $\times\times\times$ -3BE | 64ピン・プラスチック QFP (14×20 mm) | // |

備考 $\times\times\times$ はROMコード番号です。

品質水準

特別 (高信頼度電子機器用)

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(IEI-620)をご覧ください。

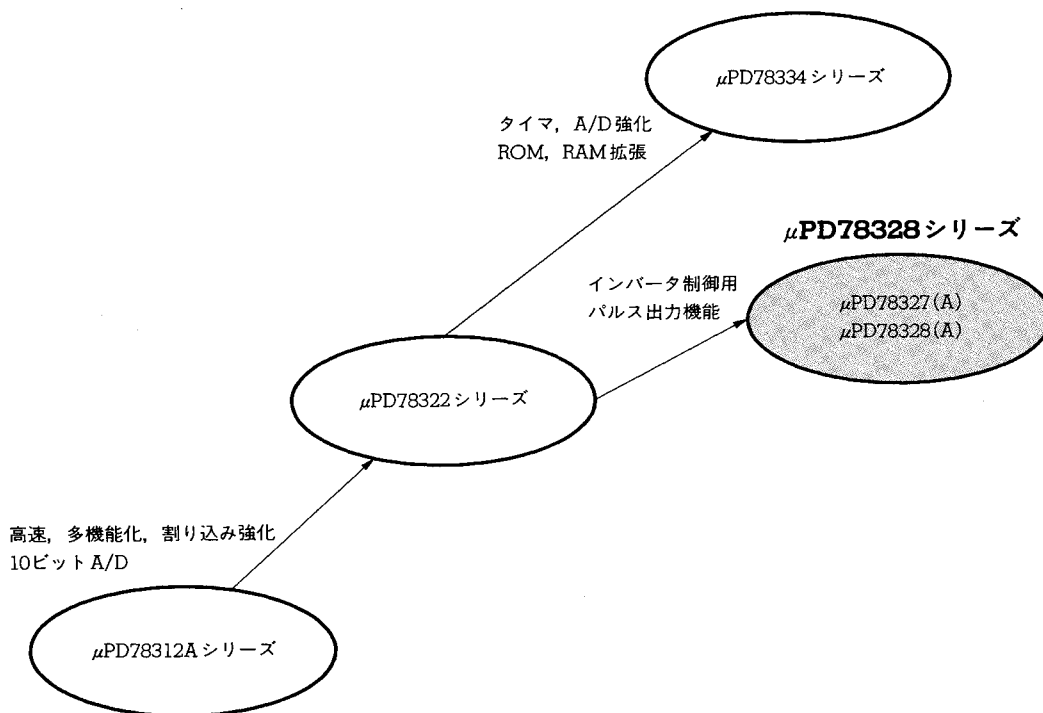
本資料の内容は、後日変更する場合があります。

μ PD78327(A), 78328(A)と μ PD78327, 78328の違い

| 項目 | | 品名 | |
|-------|---------------------|----------------------------|----------------------|
| | | μ PD78327(A), 78328(A) | μ PD78327, 78328 |
| 品質水準 | | 特別(高信頼度電子機器用) | 標準(一般電子機器用) |
| 電气的特性 | 絶対最大定格 | T_{opt} (動作温度) が異なります。 | |
| | 過電圧印加における許容端子注入電流特性 | あり | なし |
| | 推奨動作条件 | T_a (周囲温度) が異なります。 | |
| | AC特性 | バス・タイミングが異なります。 | |
| | A/Dコンバータ特性 | アナログ入力電圧が異なります。 | |

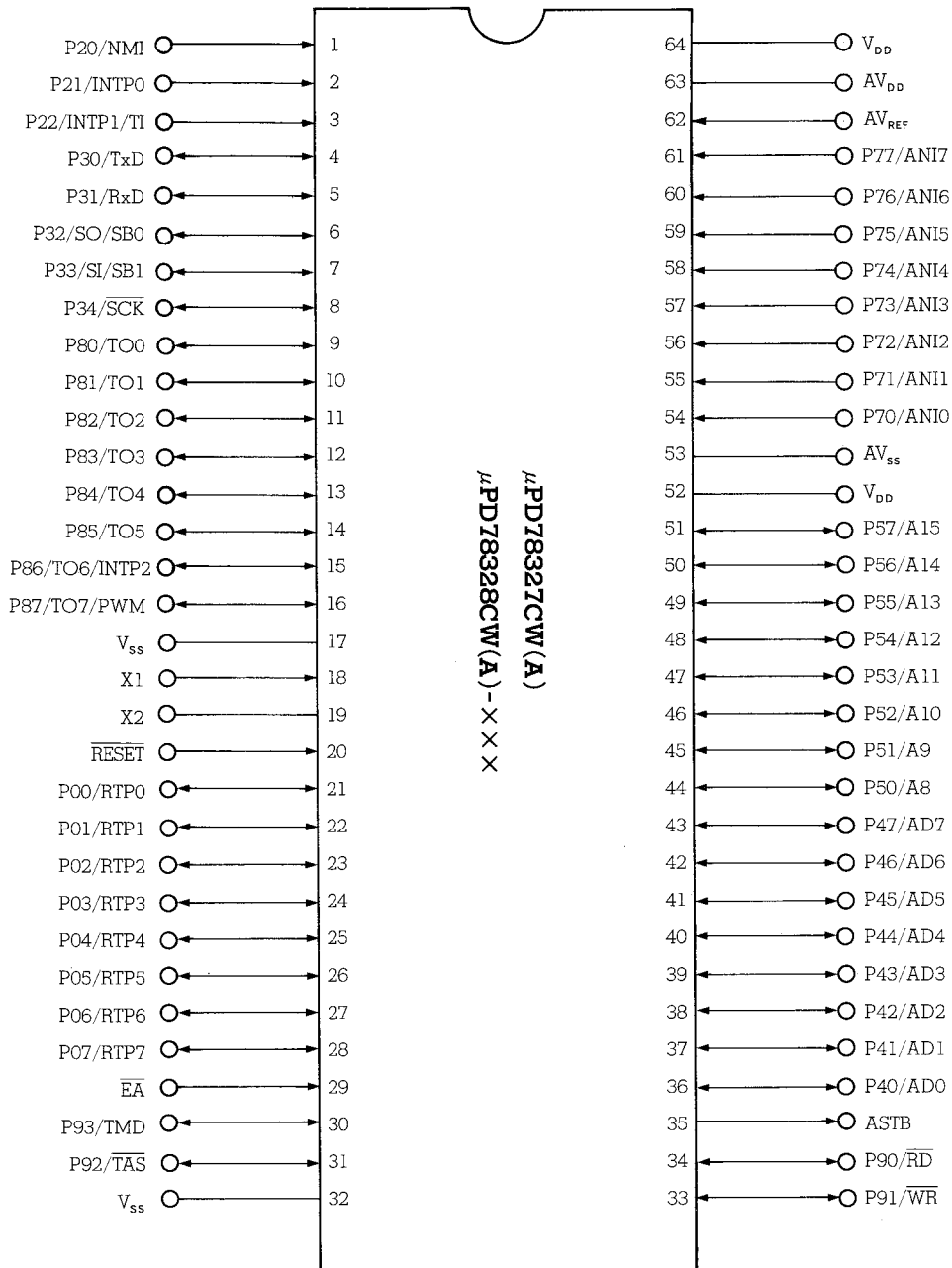
★

78K/Ⅲシリーズ製品展開 (特別品質水準品)

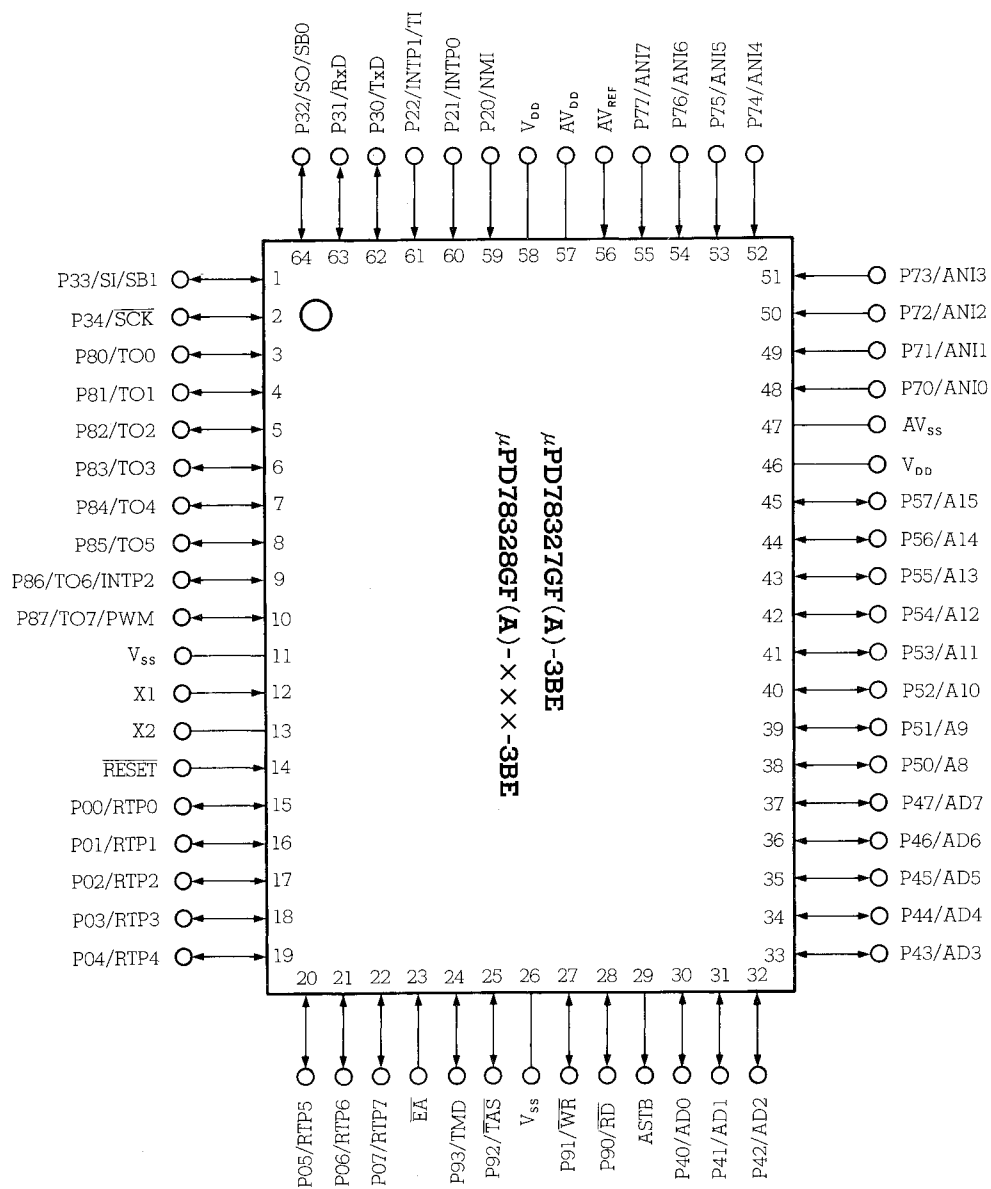


端子接続図

64ピン・プラスチック・シュリンク DIP (750 mil)



64ピン・プラスチックQFP (14×20mm)

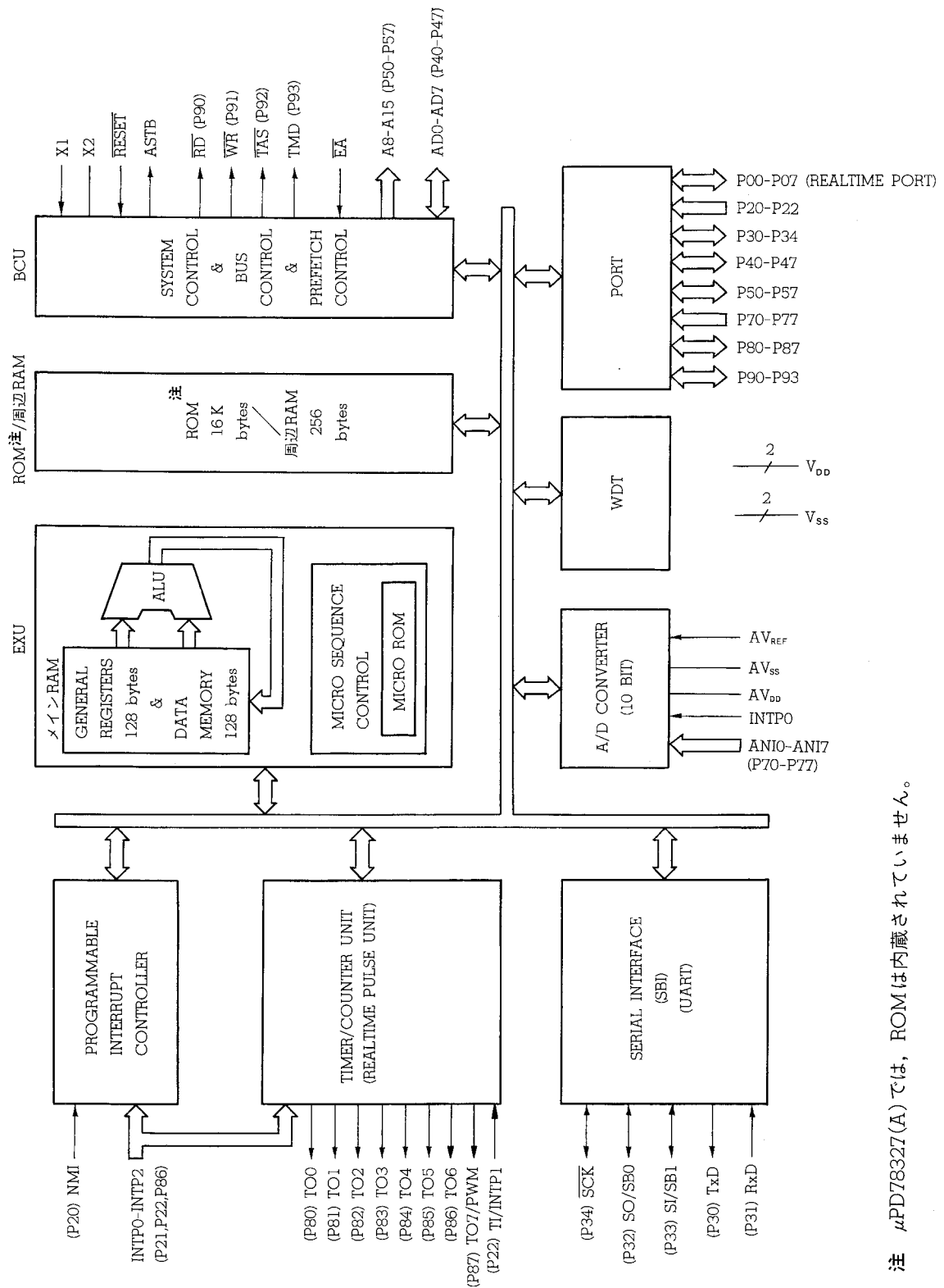


| | | | |
|-------------------------|------------------------------|---------------------------|---------------------------------|
| P00-P07 | : Port0 | $\overline{\text{RESET}}$ | : Reset |
| P20-P22 | : Port2 | X1, X2 | : Crystal |
| P30-P34 | : Port3 | PWM | : Pulse Width Modulation Output |
| P40-P47 | : Port4 | $\overline{\text{EA}}$ | : External Access |
| P50-P57 | : Port5 | TMD | : Turbo Mode |
| P70-P77 | : Port7 | $\overline{\text{TAS}}$ | : Turbo Access Strobe |
| P80-P87 | : Port8 | $\overline{\text{WR}}$ | : Write Strobe |
| P90-P93 | : Port9 | $\overline{\text{RD}}$ | : Read Strobe |
| NMI | : Nonmaskable Interrupt | ASTB | : Address Strobe |
| INTP0-INTP2 | : Interrupt From Peripherals | AD0-AD7 | : Address/Data Bus |
| RTP0-RTP7 | : Realtime Port | A8-A15 | : Address Bus |
| TI | : Timer Input | ANIO-ANI7 | : Analog Input |
| TxD | : Transmit Data | AV_{REF} | : Analog Reference Voltage |
| RxD | : Receive Data | AV_{SS} | : Analog V_{SS} |
| SB0/SO | : Serial Bus/Serial Output | AV_{DD} | : Analog V_{DD} |
| SB1/SI | : Serial Bus/Serial Input | V_{DD} | : Power Supply |
| $\overline{\text{SCK}}$ | : Serial Clock | V_{SS} | : Ground |
| TO0-TO7 | : Timer Output | | |

機能概要

| | μPD78327(A) | μPD78328(A) |
|-----------------|---|---|
| 基本命令数 | 111 | |
| 最小命令実行時間 | 250 ns (内部クロック 8 MHz, 外部クロック 16 MHz 動作時) | |
| 内部メモリ | <ul style="list-style-type: none"> • ROM : なし • RAM : 512 バイト | <ul style="list-style-type: none"> • ROM : 16 K バイト • RAM : 512 バイト |
| アドレッシング空間 | 64 K バイト | |
| 汎用レジスタ | 8 ビット × 16 × 8 バンク (メモリ・マッピング) | |
| リアルタイム・パルス・ユニット | <ul style="list-style-type: none"> • 16 ビット・タイマ : 2 本 • 16 ビット・タイマ/イベント・カウンタ : 1 本 • 16 ビット・コンペア・レジスタ : 14 本 • 16 ビット・キャプチャ/コンペア・レジスタ : 1 本 • 2 種類の出力モードを選択可能 <ul style="list-style-type: none"> モード 0 セット・リセット出力 : 6 チャンネル, トグル出力 : 1 チャンネル モード 1 バッファ出力 : 8 チャンネル | |
| PWM 信号出力機能 | 8 ビット分解能 : 1 チャンネル | |
| A/D コンバータ機能 | 10 ビット分解能 : 8 チャンネル | |
| 割り込み機能 | <ul style="list-style-type: none"> • 外部要因 4, 内部要因 16 • 3 レベルの優先順位をソフトウェアにより指定可能 • 3 種類の割り込み処理形態を選択可能 (ベクタ割り込み機能, コンテキスト・スイッチング機能, マクロ・サービス機能) | |
| テスト要因 | 内部要因 1 | |
| 入出力ライン | <ul style="list-style-type: none"> • 入力ポート : 11 本 • 入出力ポート : 23 本 | <ul style="list-style-type: none"> • 入力ポート : 11 本 • 入出力ポート : 41 本 |
| リアルタイム出力ポート | 4 ビット × 2 チャンネル / 8 ビット × 1 チャンネル 選択可能 | |
| シリアル・インタフェース | <ul style="list-style-type: none"> • 専用ポーレート・ジェネレータ付き • UART : 1 チャンネル • SBI (NEC シリアル・バス・インタフェース) : 1 チャンネル | |
| パッケージ | <ul style="list-style-type: none"> • 64 ピン・プラスチック・シュリンク DIP (750 mil) • 64 ピン・プラスチック QFP (14 × 20 mm) | |
| その他 | <ul style="list-style-type: none"> • ターボ・アクセス・マネージャ用制御信号出力機能 • スタンバイ機能 (STOP/HALT) • ウォッチドッグ・タイマ機能 | |

ブロック図



注 μPD78327(A)では、ROMは内蔵されていません。

目 次

1. 端子機能一覧 … 10
 - 1.1 ポート端子 … 10
 - 1.2 ポート以外の端子 … 11
 - 1.3 端子の入出力回路と未使用端子の処理 … 13

2. CPU アーキテクチャ … 15
 - 2.1 メモリ空間 … 15
 - 2.2 プロセッサ・レジスタ … 18
 - 2.2.1 制御レジスタ … 19
 - 2.2.2 汎用レジスタ … 21
 - 2.2.3 特殊機能レジスタ (SFR) … 23
 - 2.3 データ・メモリ・アドレッシング … 27
 - 2.3.1 汎用レジスタのアドレッシング … 27
 - 2.3.2 ショート・ダイレクト・アドレッシング … 27
 - 2.3.3 特殊機能レジスタ (SFR) アドレッシング … 27

3. ブロック機能 … 28
 - 3.1 クロック発生回路 … 28
 - 3.2 バス・コントロール・ユニット (BCU) … 30
 - 3.3 エグゼキューション・ユニット (EXU) … 30
 - 3.4 ROM/RAM … 30
 - 3.5 割り込みコントローラ … 30
 - 3.6 リアルタイム・パルス・ユニット (RPU) … 30
 - 3.7 A/D コンバータ … 35
 - 3.8 シリアル・インタフェース … 35
 - 3.9 ウォッチドッグ・タイマ … 38
 - 3.10 ポート … 38

4. 割り込み機能 … 39
 - 4.1 概 要 … 39
 - 4.2 マクロ・サービス … 40
 - 4.3 コンテキスト・スイッチング機能 … 41
 - 4.3.1 割り込み要求によるコンテキスト・スイッチング機能 … 41
 - 4.3.2 BRKCS 命令によるコンテキスト・スイッチング機能 … 42

5. スタンバイ機能 … 43
 - 5.1 構成と機能 … 43

6. 外部デバイス拡張機能 … 44

- 7. リセット後の動作 … 45
- 8. 命令セット … 46
 - 8.1 命令セットとそのオペレーション … 46
- 9. 電気的特性 … 60
- 10. 外形図 … 74
- 11. 半田付け推奨条件 … 75
- 付録A. μ PD78328(A)と μ PD78322(A)の相違点 … 76
- 付録B. ツール … 77
 - B.1 開発ツール … 77
 - B.2 評価ツール … 78

1. 端子機能一覧

1.1 ポート端子

| 端子名称 | 入出力 | 機 能 | 兼用端子 |
|---------|-----|--|-------------------------|
| P00-P07 | 入出力 | ポート0 4/8ビット入出力ポート 1ビット単位で入力/出力の指定が可能 また、リアルタイム出力ポートとしても機能します。 | RTP0-RTP7 |
| P20 | 入 力 | ポート2 3ビット入力専用ポート | NMI |
| P21 | | | INTP0 |
| P22 | | | INTP1/TI |
| P30 | 入出力 | ポート3 5ビット入出力ポート 1ビット単位で入力/出力の指定が可能 | TxD |
| P31 | | | RxD |
| P32 | | | SO/SB0 |
| P33 | | | SI/SB1 |
| P34 | | | $\overline{\text{SCK}}$ |
| P40-P47 | 入出力 | ポート4 8ビット入出力ポート 8ビット単位で入力/出力の指定が可能 | AD0-AD7 |
| P50-P57 | 入出力 | ポート5 8ビット入出力ポート 1ビット単位で入力/出力の指定が可能 | A8-A15 |
| P70-P77 | 入 力 | ポート7 8ビット入力専用ポート | ANIO-ANI7 |
| P80 | 入出力 | ポート8 8ビット入出力ポート 1ビット単位で入力/出力の指定が可能 | TO0 |
| P81 | | | TO1 |
| P82 | | | TO2 |
| P83 | | | TO3 |
| P84 | | | TO4 |
| P85 | | | TO5 |
| P86 | | | TO6/INTP2 |
| P87 | | | TO7/PWM |
| P90 | 入出力 | ポート9 4ビット入出力ポート 1ビット単位で入力/出力の指定が可能 | $\overline{\text{RD}}$ |
| P91 | | | $\overline{\text{WR}}$ |
| P92 | | | $\overline{\text{TAS}}$ |
| P93 | | | TMD |

1.2 ポート以外の端子 (1/2)

| 端子名称 | 入出力 | 機能 | 兼用端子 |
|------------|-----|---|-----------|
| RTPO-RTPO7 | 出力 | リアルタイム・パルス・ユニット (RPU) からのトリガ信号に同期して、パルス出力を行うリアルタイム出力ポートです。 | P00-P07 |
| NMI | 入力 | 有効エッジを、モード・レジスタによって立ち上がりまたは立ち下がりに指定することのできるノンマスクابل割り込み要求の入力です。 | P20 |
| INTPO | 入力 | 有効エッジを、モード・レジスタによって指定できる外部割り込み要求入力です。 | P21 |
| INTP1 | | | P22/TI |
| INTP2 | | | P86/TO6 |
| TI | 入力 | タイマ1 (TM1) への外部カウント・クロック入力です。 | P22/INTP1 |
| RxD | 入力 | アシンクロナス・シリアル・インタフェース(UART)のシリアル・データの入力です。 | P30 |
| TxD | 出力 | アシンクロナス・シリアル・インタフェース(UART)のシリアル・データの出力です。 | P31 |
| SO | 出力 | クロック同期式シリアル・インタフェースの3線式モードでのシリアル・データの出力です。 | P32/SB0 |
| SI | 入力 | クロック同期式シリアル・インタフェースの3線式モードでのシリアル・データの入力です。 | P33/SB1 |
| SB0 | 入出力 | クロック同期式シリアル・インタフェースのSBIモードでのシリアル・データの入出力です。 | P32/SO |
| SB1 | | | P33/SI |
| SCK | 入出力 | クロック同期式シリアル・インタフェースのシリアル・クロック入出力です。 | P34 |
| AD0-AD7 | 入出力 | 外部にメモリを拡張する場合の、マルチプレクスト・アドレス/データ・バスです。 | P40-P47 |
| A8-A15 | 出力 | 外部にメモリを拡張する場合の、アドレス・バスです。 | P50-P57 |
| TO0 | 出力 | リアルタイム・パルス・ユニットからのパルス出力です。 | P80 |
| TO1 | | | P81 |
| TO2 | | | P82 |
| TO3 | | | P83 |
| TO4 | | | P84 |
| TO5 | | | P85 |
| TO6 | | | P86/INTP2 |
| TO7 | | | P87/PWM |
| PWM | 出力 | リアルタイム・パルス・ユニットからのPWM信号出力です。 | P87/TO7 |
| RD | 出力 | 外部メモリのリード動作のために出力されるストロープ信号出力です。 | P90 |
| WR | | 外部メモリのライト動作のために出力されるストロープ信号出力です。 | P91 |
| TAS | | ターボ・アクセス・マネージャμPD71P301へのアクセスのために出力される制御信号出力です。 | P92 |
| TMD | | | P93 |
| ASTB | 出力 | 外部メモリをアクセスするために、ポート4から出力される下位アドレス情報を外部でラッチするタイミング信号出力です。 | — |
| EA | 入力 | μPD78328(A)では、通常EA端子をV _{DD} に接続します。EA端子をV _{SS} に接続することによって、ROMレス・モードとなり、外部メモリをアクセスします。μPD78327(A)では、“0”(ロウ・レベル)に固定してください。EA端子のレベルは、動作中に切り替えることはできません。 | — |

1.2 ポート以外の端子 (2/2)

| 端子名称 | 入出力 | 機能 | 兼用端子 |
|-------------------|-----|--|---------|
| ANIO-ANI7 | 入力 | A/Dコンバータへのアナログ入力です。 | P70-P77 |
| AV _{REF} | 入力 | A/Dコンバータ基準電圧入力です。 | — |
| AV _{DD} | — | A/Dコンバータのアナログ電源です。 | — |
| AV _{SS} | — | A/DコンバータのGNDです。 | — |
| RESET | — | システム・リセット入力です。 | — |
| X1 | 入力 | システム・クロック発振用クリスタル接続端子です。外部からクロックを供給する場合はX1端子に入力し、X2端子にはその逆相を入力します(X2端子はオープンも可能)。 | — |
| X2 | — | | — |
| V _{DD} | — | 正電源供給端子です。 | — |
| V _{SS} | — | GND端子です。 | — |

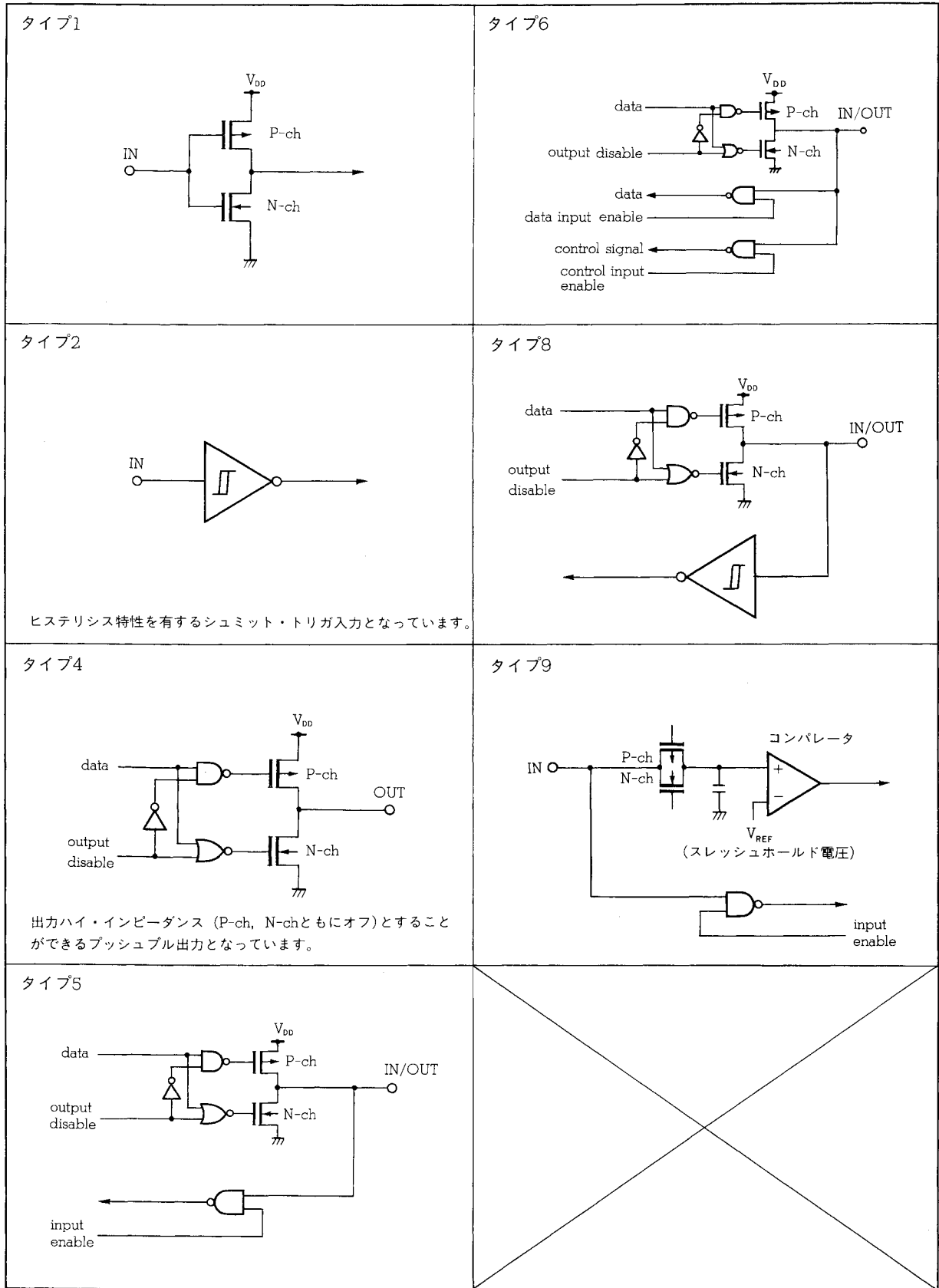
1.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路を、一部簡略化した形式を用いて表1-1、図1-1に示します。

表1-1 端子の入出力回路タイプと未使用時の推奨接続方法

| 端 子 | 入出力回路タイプ | 推 奨 接 続 方 法 |
|--|----------|--|
| P00-P07/RTPO-RTP7 | 5 | 入力状態：抵抗を介して V_{DD} または V_{SS} に接続 出力状態：オープン |
| P20/NMI P21/INTP0 P22/INTP1/TI | 2 | V_{SS} に接続 |
| P30/TxD P31/RxD | 5 | 入力状態：抵抗を介して V_{DD} または V_{SS} に接続 出力状態：オープン |
| P32/SO/SB0 P33/SI/SB1 P34/SC \bar{K} | 8 | |
| P40-P47/AD0-AD7 P50-P57/A8-A15 | 5 | |
| P70-P77/ANIO-ANI7 | 9 | V_{SS} に接続 |
| P80-P85/TO0-TO5 | 5 | 入力状態：抵抗を介して V_{DD} または V_{SS} に接続 出力状態：オープン |
| P86/TO6/INTP2 | 6 | |
| P87/TO7/PWM | 5 | |
| P90/ \overline{RD} P91/ \overline{WR} P92/ \overline{TAS} P93/TMD | 5 | |
| ASTB | 4 | オープン |
| \overline{EA} | 1 | — |
| \overline{RESET} | 2 | — |
| AV_{REF} , AV_{SS} | — | V_{SS} に接続 |
| AV_{DD} | — | V_{DD} に接続 |

図1-1 端子の入出力回路



2. CPU アーキテクチャ

2.1 メモリ空間

μPD78327(A), 78328(A)は、最大64Kバイトまでのメモリをアドレスできます (図2-1参照)。

プログラム・フェッチは、0000H-FDFFHの領域内で可能です。ただし、FE00H-FFFFHの領域(メインRAM, 特殊機能レジスタ領域)に外部メモリを拡張する場合には、この領域に対してもプログラム・フェッチが可能です。このときのプログラム・フェッチは、メインRAM, 特殊機能レジスタではなく外部メモリに対して行います。

(1) ベクタ・テーブル領域

0000H-003FHの64バイト領域に、周辺ハードウェアからの割り込み要求, リセット入力, 外部割り込み要求, およびブレーク命令による割り込み分岐アドレスを格納します。割り込み要求の発生により、各テーブルの偶数アドレスの内容がプログラム・カウンタ (PC) の下位8ビットに、奇数アドレスの内容が上位8ビットにセットされて分岐します。

| 割り込みソース | ベクタ・テーブル アドレス |
|---------------------------|--|
| $\overline{\text{RESET}}$ | ($\overline{\text{RESET}}$ 端子入力) 0000 H |
| NMI | (NMI 端子入力) 0002 H |
| WDT | (ウォッチドッグ・タイマ) 0004 H |
| INTOV0 | (タイマ0オーバーフロー) 0006 H |
| INTP0 | (INTP0 端子入力) 0008 H |
| INTP1/TI | (INTP1/TI 端子入力) 000AH |
| INTP2 | (INTP2 端子入力) 000CH |
| INTOV1 | (タイマ1オーバーフロー) 000E H |
| INTCM00 | (CM00 の一致信号) 0010 H |
| INTCM01 | (CM01 の一致信号) 0012 H |
| INTCM02 | (CM02 の一致信号) 0014 H |
| INTCM03 | (CM03 の一致信号) 0016 H |
| INTCM04 | (CM04 の一致信号) 0018 H |
| INTCM05 | (CM05 の一致信号) 001AH |
| INTCM06 | (CM06 の一致信号) 001CH |
| INTCC10 | (CC10 の一致信号) 001E H |
| INTCM20 | (CM20 の一致信号) 0020 H |
| INTSR | (シリアル受信終了割り込み) 0024 H |
| INTST | (シリアル送信終了割り込み) 0026 H |
| INTCSI | (シリアル送受信割り込み) 0028 H |
| INTAD | (A/D 変換終了割り込み) 002AH |
| オベコード・トラップ | 003CH |
| BRK | (ブレーク命令) 003E H |

CPU コントロール・ワード (CCW) のビット1 (TPF) セット (1) すると、割り込みベクタ・テーブルとして、0002H-003FHの代わりに外部メモリ領域の8002H-803FHが使用されます。

(2) CALLT テーブル領域

0040H-007FH の64バイト領域には、1バイト・コール命令 (CALLT) のコール・アドレスを32テーブル格納することができます。

CPU コントロール・ワード (CCW) のビット1 (TPF) をセット (1) すると、CALLT 命令テーブルとして、0040H-007FH のかわりに外部メモリ領域の 8040H-807FH が使用されます。

(3) CALLF エントリ領域

0800H-0FFFH の領域は、2バイト・コール命令 (CALLF) で直接サブルーチン・コールすることができます。

(4) 内部 RAM 領域

FD00H-FEFFFH の領域に、512バイトのRAMが内蔵されています。

この領域は、次の2つのRAMで構成されています。

- ・周辺RAM : FD00H-FDFFH (256バイト)
- ・メインRAM : FE00H-FEFFFH (256バイト)

メインRAMは、高速アクセスが可能です。

メインRAM領域のうち、FE06H-FE2BHの36バイトの領域にはマクロ・サービス・コントロール・ワードが、FE80H-FEFFFHの128バイトの領域には8個のレジスタ・バンクからなる汎用レジスタ群がマッピングされています。

(5) 特殊機能レジスタ (SFR) 領域

FF00H-FFFFHの領域に、オンチップ周辺ハードウェアのモード・レジスタ、制御レジスタなどの特別な機能を割り付けられたレジスタ群がマッピングされています。レジスタのマッピングされていないアドレスはアクセスできません。

(6) 外部メモリ領域

μPD78328(A)は、48Kバイト (4000H-FFFFH) の領域に、外部メモリ (ROM, RAM) を段階的に拡張することができます。

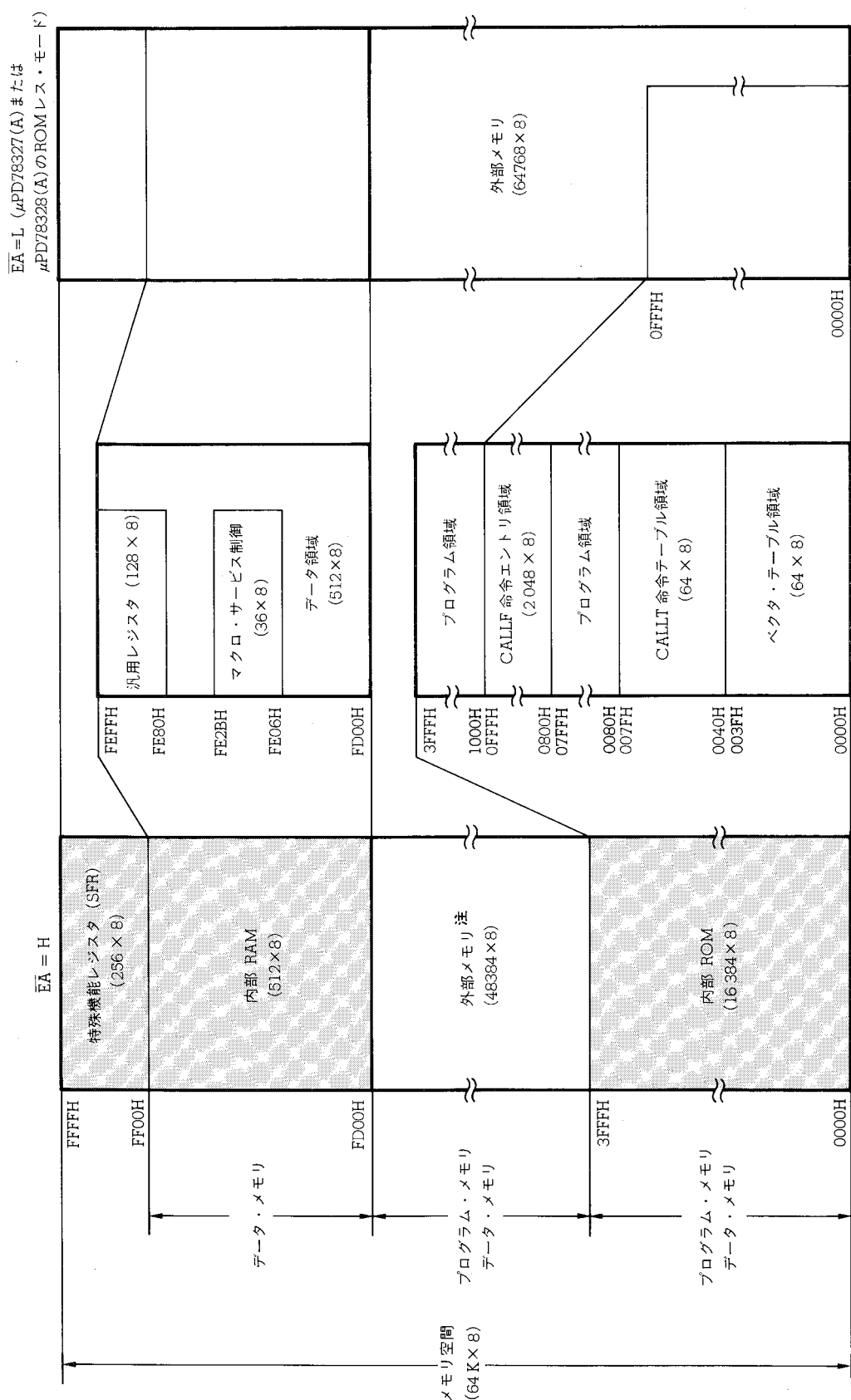
μPD78327(A)は、64Kバイト (0000H-FFFFH) の領域に、外部メモリ (ROM, RAM) を接続することができます。

外部メモリは、P40/AD0-P47/AD7 (マルチプレクスト・アドレス/データ・バス)、P50/A8-P57/A15 (アドレス・バス)、そして \overline{RD} 、 \overline{WR} 、ASTB信号を用いてアクセスします。

また、特殊機能レジスタ (SFR) のFFD0H-FFDFHの16バイト領域に、外部アクセス領域がマッピングされています。これによりSFRアドレッシングで外部メモリをアクセスすることができます。

ターボ・アクセス・マネージャ (μPD71P301) を接続するための専用端子 (\overline{TAS} 、TMD端子) を備えています。ターボ・アクセス・マネージャを使用した場合、内部ROMと同等のプログラム処理速度が得られます。

図2-1 メモリ・マップ



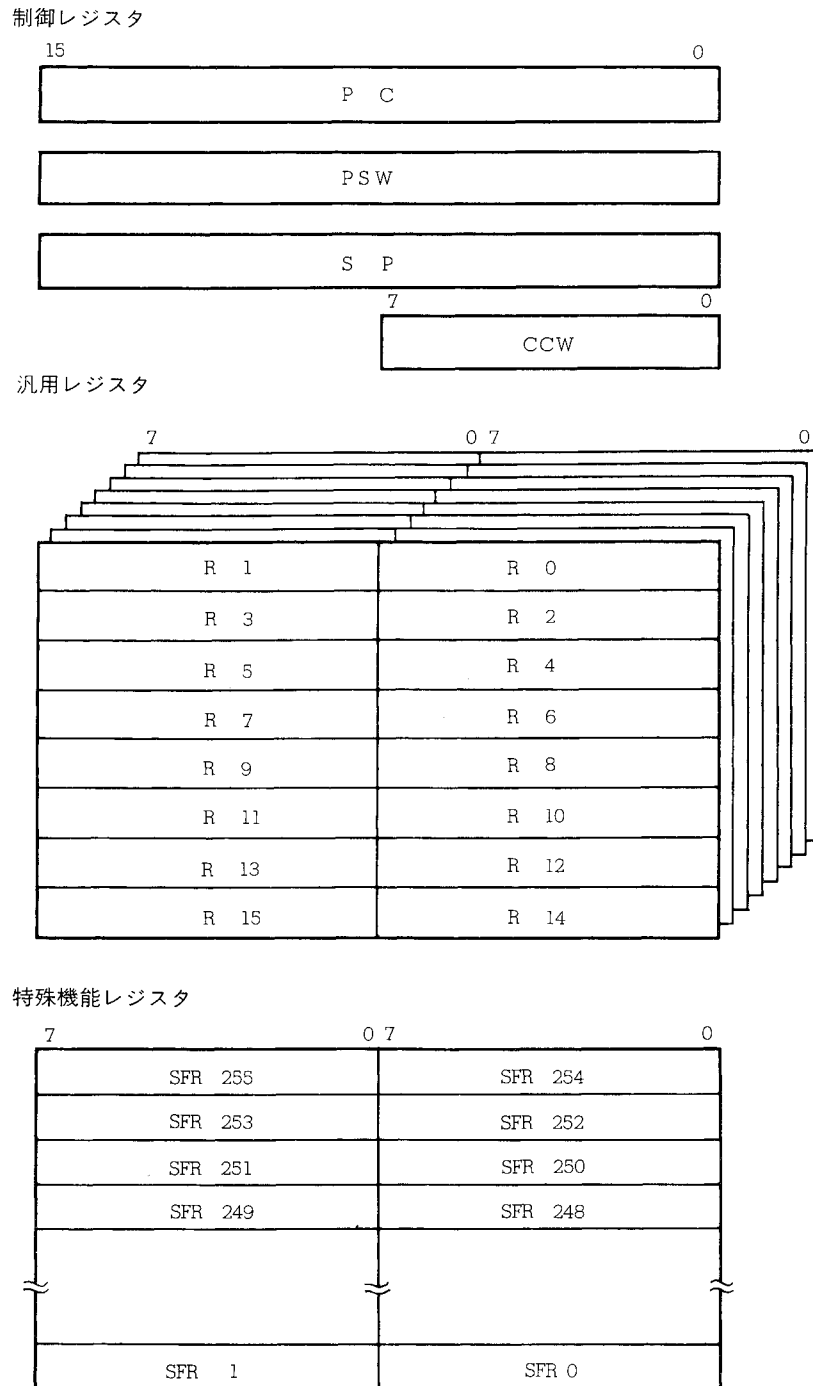
注 外部メモリ拡張モードでアクセス。

備考 は内部メモリ。

2.2 プロセッサ・レジスタ

中心となるのは、8ビット・レジスタ 16本のセットが8バンクで構成される汎用レジスタ群、8ビット・レジスタ 1本および16ビット・レジスタ 3本からなる制御レジスタ群、さらに周辺ハードウェアのI/Oモード・レジスタ等の特別な機能が割り付けられたレジスタで構成される特殊機能レジスタ群の3群です。

図2-2 レジスタ構成



備考 制御レジスタ群のCCWは特殊機能レジスタ (SFR) 領域にマッピングされています。

2.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御やオペランド・アドレッシングの修飾など、専用の機能を持ったレジスタ群です。16ビット・レジスタ3本と8ビット・レジスタ1本で構成されます。

(1) プログラム・カウンタ (PC)

次に実行するプログラムのアドレス情報を保持する16ビット・レジスタで、通常フェッチする命令のバイト数に応じて自動的にインクリメントされます。分岐を伴う命令を実行した場合、イミディエイト・データやレジスタの内容がセットされます。 $\overline{\text{RESET}}$ 入力により、0000Hと0001Hのリセット・ベクタ・テーブル内のデータがPCにセットされ分岐します。

(2) プログラム・ステータス・ワード (PSW)

命令の実行の結果によってセット、リセットされる各種のフラグで構成される16ビット・レジスタです。上位8ビット (PSWH)、下位8ビット (PSWL) 単位でリード/ライト・アクセスします。また、ビット操作命令により、各フラグの操作ができます。割り込み要求発生時、およびBRK命令実行時に自動的にスタックに回避し、RETI命令、または、RETB命令で復帰します。

$\overline{\text{RESET}}$ 入力により、全ビット・リセット (0) されます。

図2-3 PSWの構成

| | | | | | | | | |
|------|----|------|------|------|----|-----|----|----|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PSWH | UF | RBS2 | RBS1 | RBS0 | 0 | 0 | 0 | 0 |
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PSWL | S | Z | RSS | AC | IE | P/V | LT | CY |

(a) 割り込み優先順位レベル・トランジション・フラグ (LT)

割り込みの優先順位制御のためのフラグです。割り込み制御回路の正常動作のために、このビットはプログラムで操作しないでください。

(b) キャリー・フラグ (CY)

演算命令実行の結果、ビット7あるいはビット15からキャリーがあったとき、またはビット7あるいはビット15へのボローがあったときセット(1)され、それ以外のときリセット(0)されます。条件分岐命令でテストすることができます。

またビット操作命令実行時に、ビット・アキュムレータとして機能します。

(c) ゼロ・フラグ (Z)

演算結果がゼロのときセット(1)され、それ以外のときリセット(0)されます。条件分岐命令でテストすることができます。

(d) サイン・フラグ (S)

演算結果のMSBが "1" のときセット(1)され、"0" のときリセット(0)されます。条件分岐命令でテストすることができます。

(e) パリティ/オーバフロー・フラグ (P/V)

算術演算命令実行時、2の補数としてオーバフローおよびアンダフローが発生したときのみセット(1)されます。それ以外のときリセット(0)されます(オーバフロー・フラグ動作)。

論理演算命令実行時、演算結果のセット(1)されたビット数が偶数のときセット(1)され、奇数のときリセット(0)されます(パリティ・フラグ動作)。

条件分岐命令でテストすることができます。

(f) 補助キャリー・フラグ (AC)

演算の結果、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット(1)され、それ以外のときリセット(0)されます。条件分岐命令でテストすることができます。

(g) レジスタ・セット選択フラグ (RSS)

X, A, C, Bとして機能する汎用レジスタを指定するフラグです。RSSの内容により表2-1のように、各機能レジスタと絶対レジスタの対応が切り替わります。

したがって、RSSフラグを切り替えることにより、別のレジスタ・セット(X, A, C, B)を使用できます。

(h) 割り込み要求許可フラグ (IE)

割り込み要求の許可/禁止を示すフラグです。このフラグはEI命令の実行でセット(1)され、DI命令の実行または割り込みの受け付けでリセット(0)されます。

(i) レジスタ・バンク選択フラグ (RBSO-2)

8個のレジスタ・バンク(RBANK0-RBANK7)のうちの1つを選択する3ビットのフラグです。

(j) ユーザ・フラグ (UF)

ユーザ・プログラム上でセットおよびリセットし、プログラム制御に利用できるフラグです。

(3) スタック・ポインタ (SP)

SPは、メモリのスタック領域(LIFO形式)の先頭アドレスを保持している16ビット・レジスタです。専用命令により操作します。

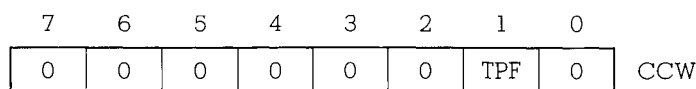
SPは、スタック・メモリへの書き込み(退避)動作に先立ってデクリメントされ、スタック・メモリからの読み取り(復帰)動作後にインクリメントされます。

RESET入力により不定になりますので、サブルーチン・コールなどを行う前には必ず設定を行ってください。

(4) CPUコントロール・ワード (CCW)

CPUの制御に関するフラグで構成される8ビットのレジスタで、特殊機能レジスタ領域にマッピングされており、ソフトウェアで制御することができます。RESET入力により全ビットがリセット(0)されます。

図2-4 CCWの構成



・テーブル・ポジション・フラグ (TPF)

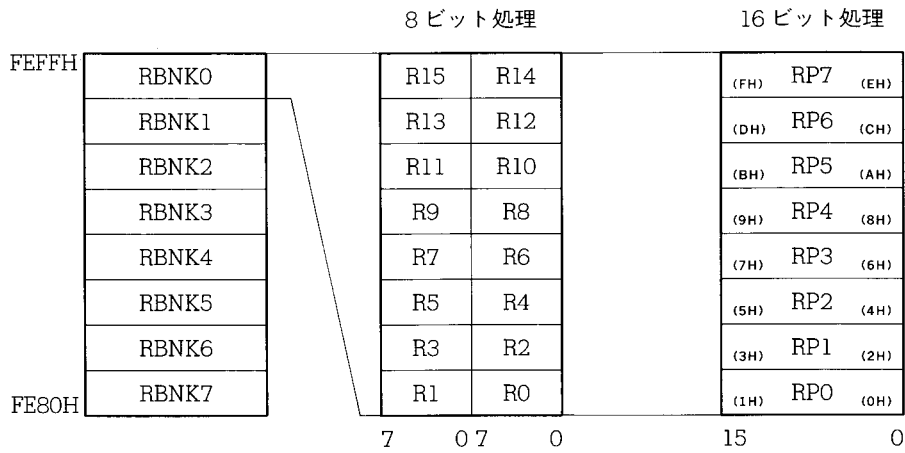
割り込みベクタ・テーブル領域, およびCALLT命令テーブル領域として使用するメモリ領域を指定するフラグです。

RESET入力後, TPFはリセット(0)されているので, 0000H-007FH番地が各テーブル領域として使用されます。ソフトウェアでTPFをセット(1)することにより, 0002H-007FH番地のかわりに外部メモリ領域の8002H-807FH番地を各テーブル領域として使用できます。ただし, BRK命令, オペコード・トラップ割り込み, リセット入力のベクタ・テーブルはそれぞれ003EH, 003CH, 0000Hに固定で, TPFの影響を受けません。

2.2.2 汎用レジスタ

汎用レジスタは内部RAM空間の特定領域 (FE80H-FEFFFH) にマッピングされた128バイトのレジスタ群で, 8個のレジスタ・バンクから構成されます。各レジスタ・バンクは, 16個の8ビット・レジスタから構成されます。

図2-5 汎用レジスタのメモリ・ロケーション



8ビット・レジスタは2本ペアとなって8個の16ビット・レジスタ・ペア (RPO-RP7) としても機能します。

16個の8ビット・レジスタは表2-1に示すように機能名称によって性格付けられます。Xレジスタは16ビット・アキュムレータの下位, Aレジスタは8ビット・アキュムレータまたは16ビット・アキュムレータの上位, BレジスタおよびCレジスタはカウンタ, DE, HL, VPおよびUPはレジスタ・ペアとなってアドレス・レジスタとしての機能があります。特にVPレジスタはベース・レジスタ, UPレジスタはユーザ・スタック・ポインタとしての機能を持ちます。

PSW内のレジスタ・セット選択フラグ(RSS)の値によって固有機能を持ったレジスタが表2-1のように変化します。

したがって, 機能名称によりプログラムを記述している場合には, RSSフラグを使用することにより, 別のX, A, C, Bレジスタ・セットを使用できます。

μPD78327(A), 78328(A)は, 処理データ・アドレスのアドレッシングとして各レジスタの固有機能を重視した機能名称によるインプライド・アドレッシングと, データ転送回数の少ない高速処理や記述性の高いプログラムの作成を目的とした絶対名称によるレジスタ・アドレッシングが可能です。

表2-1 汎用レジスタの構成

| 絶対名称 | 機能名称 | | 絶対名称 | 機能名称 | |
|------|-----------------|-----------------|------|-------|-------|
| | RSS=0 | RSS=1 | | RSS=0 | RSS=1 |
| R 0 | X | | RPO | AX | |
| R 1 | A | | RP1 | BC | |
| R 2 | C | | RP2 | | AX |
| R 3 | B | | RP3 | | BC |
| R 4 | | X | RP4 | VP | VP |
| R 5 | | A | RP5 | UP | UP |
| R 6 | | C | RP6 | DE | DE |
| R 7 | | B | RP7 | HL | HL |
| R 8 | VP _L | VP _L | | | |
| R 9 | VP _H | VP _H | | | |
| R 10 | UP _L | UP _L | | | |
| R 11 | UP _H | UP _H | | | |
| R 12 | E | E | | | |
| R 13 | D | D | | | |
| R 14 | L | L | | | |
| R 15 | H | H | | | |

2.2.3 特殊機能レジスタ (SFR)

各種周辺ハードウェアのモード・レジスタおよび制御レジスタ (CCW) 等の特別な機能が割り付けられたレジスタ群です。

特殊機能レジスタ群は FFO0H-FFFFH の 256 バイトの空間に割り付けられています。また、FF00H-FF1FH の 32 バイトの領域にはショート・ダイレクト・メモリ・アドレッシングが適用され、短い語長で処理することができます。

ビット操作命令、および演算、転送命令が全エリアで実行可能です。FFD0H-FFDFH の 16 バイトの領域は、SFR アドレッシングにより外部に対してアクセスすることができます。したがって、語長の短い命令での外部メモリのアクセスや外部デバイスのビット操作などが可能です。

表 2-2 に特殊機能レジスタ (SFR) の一覧を示します。表中の項目の意味は次のようになります。

- 略号……………内蔵された特殊機能レジスタのアドレスを示す記号。
命令のオペランド欄に記述できます。
- R/W ……………該当する特殊機能レジスタが、読み出し (Read)/書き込み (Write) 可能かどうかを示します。
R/W : 読み出し/書き込み可能
R : 読み出しのみ可能 (レジスタのビットのテストは可能)
W : 書き込みのみ可能
- 操作可能ビット単位
……………該当する特殊機能レジスタを操作する場合に、適応可能な操作ビット単位を示します。
16 ビット操作可能な SFR はオペランドの sfrp に記述でき、アドレスで指定する場合は偶数アドレスを記述します。
1 ビット操作可能な SFR は、ビット操作命令で記述できます。
- リセット時…………RESET 入力時の各レジスタの状態を示します。

- 注意 1. FFO0H-FFFFH の領域で、特殊機能レジスタが割り付けられていないアドレスは、アクセスできません。
2. 読み出しのみのレジスタに書き込みをしないでください。書き込みをすると内部回路が正常に動作しなくなることがあります。

表2-2 特殊機能レジスタ一覧表 (1/3)

| アドレス | 特殊機能レジスタ (SFR) 名称 | 略号 | R/W | 操作可能ビット単位 | | | リセット時 |
|-------|---|-------|-----|-----------|------|-------|------------|
| | | | | 1ビット | 8ビット | 16ビット | |
| FF00H | ポート0 | P0 | R/W | ○ | ○ | | 不定 |
| FF02H | ポート2 | P2 | R | | ○ | | 不定 |
| FF03H | ポート3 | P3 | R/W | ○ | ○ | | 不定 |
| FF04H | ポート4 | P4 | R/W | ○ | ○ | | 不定 |
| FF05H | ポート5 | P5 | R/W | ○ | ○ | | 不定 |
| FF07H | ポート7 | P7 | R | | ○ | | 不定 |
| FF08H | ポート8 | P8 | R/W | ○ | ○ | | 不定 |
| FF09H | ポート9 | P9 | R/W | ○ | ○ | | 不定 |
| FF0CH | タイマ・レジスタ2 | TM2 | R | | | ○ | 0000H |
| FF1CH | キャプチャ/コンペア・レジスタ10 | CC10 | R/W | | | ○ | 不定 |
| FF20H | ポート0 モード・レジスタ | PM0 | W | | ○ | | FFH |
| FF23H | ポート3 モード・レジスタ | PM3 | W | | ○ | | ×××1 1111B |
| FF25H | ポート5 モード・レジスタ | PM5 | W | | ○ | | FFH |
| FF28H | ポート8 モード・レジスタ | PM8 | W | | ○ | | FFH |
| FF29H | ポート9 モード・レジスタ | PM9 | W | | ○ | | ×××× 1111B |
| FF2AH | タイマ・レジスタ0 | TM0 | R | | | ○ | 0000H |
| FF2CH | タイマ・レジスタ1 | TM1 | R | | | ○ | 0000H |
| FF43H | ポート3 モード・コントロール・レジスタ | PMC3 | W | | ○ | | ×××0 0000B |
| FF48H | ポート8 モード・コントロール・レジスタ | PMC8 | W | | ○ | | 00H |
| FF4CH | ポー・レート・ジェネレータ | BRG | R/W | ○ | ○ | | 不定 |
| FF60H | ポート0バッファ・レジスタL | POL | R/W | ○ | ○ | | 不定 |
| FF61H | ポート0バッファ・レジスタH | POH | R/W | ○ | ○ | | 不定 |
| FF62H | ポート・リード・コントロール・レジスタ | PRDC | R/W | | ○ | | 00H |
| FF63H | リアルタイム出力ポート・コントロール・レジスタ | RTPC | R/W | ○ | ○ | | 00H |
| FF64H | PWM コントロール・レジスタ | PWMC | R/W | ○ | ○ | | 00H |
| FF66H | PWM バッファ・レジスタ | PWMB | R/W | ○ | ○ | | 不定 |
| FF68H | A/D コンバータ・モード・レジスタ | ADM | R/W | ○ | ○ | | 00H |
| FF6AH | A/D コンバージョン・リザルト・レジスタ (16ビット・アクセス時) | ADCR | R | | | ○ | 不定 |
| FF6BH | A/D コンバージョン・リザルト・レジスタ (上位8ビット・アクセス時) | ADCRH | R | | ○ | | 不定 |
| FF70H | コンペア・レジスタ00セット | CM00S | R/W | | | ○ | 不定 |
| FF72H | コンペア・レジスタ01セット | CM01S | R/W | | | ○ | 不定 |
| FF74H | コンペア・レジスタ02セット | CM02S | R/W | | | ○ | 不定 |
| FF76H | コンペア・レジスタ03セット | CM03S | R/W | | | ○ | 不定 |
| FF78H | コンペア・レジスタ04セット | CM04S | R/W | | | ○ | 不定 |
| FF7AH | コンペア・レジスタ05セット | CM05S | R/W | | | ○ | 不定 |
| FF7CH | コンペア・レジスタ06 | CM06 | R/W | | | ○ | 不定 |

表2-2 特殊機能レジスタ一覧表 (2/3)

| アドレス | 特殊機能レジスタ (SFR) 名称 | 略号 | R/W | 操作可能ビット単位 | | | リセット時 | |
|---------------------|---------------------------------|-------------------|-----|-----------|------|-------|-------------|-----|
| | | | | 1ビット | 8ビット | 16ビット | | |
| FF7EH | コンペア・レジスタ20 | CM20 | R/W | | | ○ | 不定 | |
| FF80H | クロック同期式シリアル・インタフェース・モード・レジスタ | CSIM | R/W | ○ | ○ | | 00H | |
| FF82H | シリアル・バス・インタフェース・コントロール・レジスタ | SBIC | R/W | ○ | ○ | | 00H | |
| FF86H | シリアル I/O シフト・レジスタ | SIO | R/W | ○ | ○ | | 不定 | |
| FF88H | アシンクロナス・シリアル・インタフェース・モード・レジスタ | ASIM | R/W | ○ | ○ | | 80H | |
| FF8AH | アシンクロナス・シリアル・インタフェース・ステータス・レジスタ | ASIS | R | ○ | ○ | | 00H | |
| FF8CH | シリアル受信レジスタ : UART | RXB | R | | ○ | | 不定 | |
| FF8EH | シリアル送信シフト・レジスタ : UART | TXS | W | | ○ | | 不定 | |
| FF90H | コンペア・レジスタ00リセット | CM00R | R/W | | | ○ | 不定 | |
| FF92H | コンペア・レジスタ01リセット | CM01R | R/W | | | ○ | 不定 | |
| FF94H | コンペア・レジスタ02リセット | CM02R | R/W | | | ○ | 不定 | |
| FF96H | コンペア・レジスタ03リセット | CM03R | R/W | | | ○ | 不定 | |
| FF98H | コンペア・レジスタ04リセット | CM04R | R/W | | | ○ | 不定 | |
| FF9AH | コンペア・レジスタ05リセット | CM05R | R/W | | | ○ | 不定 | |
| FFB0H | タイマ・コントロール・レジスタ0 | TMC0 | R/W | ○ | ○ | | 00H | |
| FFB1H | ポーレート・ジェネレータ・モード・レジスタ | BRGM | R/W | ○ | ○ | | 00H | |
| FFB2H | タイマ・コントロール・レジスタ1 | TMC1 | R/W | ○ | ○ | | 04H | |
| FFB4H | タイマ・ユニット・モード・レジスタ | TUM | R/W | ○ | ○ | | 00H | |
| FFBAH | タイマ出力レジスタ | TOUT | R/W | ○ | ○ | | FFH | |
| FFC0H | スタンバイ・コントロール・レジスタ | STBC ^注 | R/W | ○ | ○ | | 0000 × 000B | |
| FFC1H | CPU コントロール・ワード | CCW | R/W | ○ | ○ | | 00H | |
| FFC2H | ウォッチドッグ・タイマ・モード・レジスタ | WDM ^注 | R/W | ○ | ○ | | 00H | |
| FFC4H | メモリ拡張モード・レジスタ | MM | R/W | ○ | ○ | | 00H | |
| FFC6H | プログラマブル・ウェイト・コントロール・レジスタ | PWC | R/W | ○ | ○ | | 22H | |
| FFC9H | フェッチ・サイクル・コントロール・レジスタ | FCC | R/W | ○ | ○ | | 00H | |
| FFD0H FFDFH | 外部アクセス領域 | | R/W | ○ | ○ | | 不定 | |
| FFE0H | 割り込み要求フラグ・レジスタ 0L | IF0L | IF0 | R/W | ○ | ○ | ○ | 00H |
| FFE1H | 割り込み要求フラグ・レジスタ 0H | IF0H | | R/W | ○ | ○ | | 00H |
| FFE2H | 割り込み要求フラグ・レジスタ 1L | IF1L | IF1 | R/W | ○ | ○ | ○ | 00H |
| FFE3H | - | - | | - | - | - | | - |
| FFE4H | 割り込みマスク・フラグ・レジスタ 0L | MK0L | MK0 | R/W | ○ | ○ | ○ | FFH |
| FFESH | 割り込みマスク・フラグ・レジスタ 0H | MK0H | | R/W | ○ | ○ | | FFH |

注 特殊命令のとき、ライト可能です。

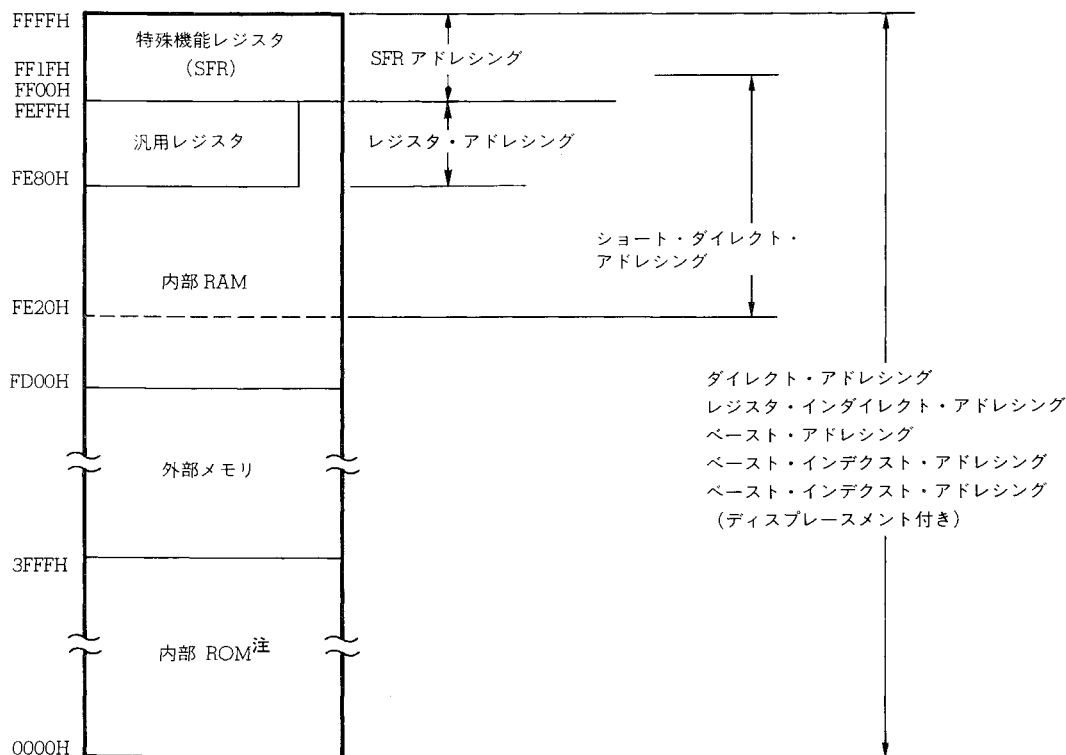
表2-2 特殊機能レジスタ一覧表 (3/3)

| アドレス | 特殊機能レジスタ (SFR) 名称 | 略号 | | R/W | 操作可能ビット単位 | | | リセット時 |
|-------|------------------------|-------|------|-----|-----------|------|-------|------------|
| | | | | | 1ビット | 8ビット | 16ビット | |
| FFE6H | 割り込みマスク・フラグ・レジスタ 1L | MK1L | MK1 | R/W | ○ | ○ | ○ | xxxx x111B |
| FFE7H | - | - | | - | - | - | - | - |
| FFE8H | 優先順位指定バッファ・レジスタ 0L | PB0L | PB0 | R/W | ○ | ○ | ○ | 00H |
| FFE9H | 優先順位指定バッファ・レジスタ 0H | PB0H | | R/W | ○ | ○ | ○ | 00H |
| FFEAH | 優先順位指定バッファ・レジスタ 1L | PB1L | PB1 | R/W | ○ | ○ | ○ | 00H |
| FFEBH | - | - | | - | - | - | - | - |
| FFECH | 割り込み処理モード指定レジスタ 0L | ISM0L | ISM0 | R/W | ○ | ○ | ○ | 00H |
| FFEDH | 割り込み処理モード指定レジスタ 0H | ISM0H | | R/W | ○ | ○ | ○ | 00H |
| FFEEH | 割り込み処理モード指定レジスタ 1L | ISM1L | ISM1 | R/W | ○ | ○ | ○ | 00H |
| FFEFH | - | - | | - | - | - | - | - |
| FFF0H | コンテキスト・スイッチング許可レジスタ 0L | CSE0L | CSE0 | R/W | ○ | ○ | ○ | 00H |
| FFF1H | コンテキスト・スイッチング許可レジスタ 0H | CSE0H | | R/W | ○ | ○ | ○ | 00H |
| FFF2H | コンテキスト・スイッチング許可レジスタ 1L | CSE1L | CSE1 | R/W | ○ | ○ | ○ | 00H |
| FFF3H | - | - | | - | - | - | - | - |
| FFF4H | 外部割り込みモード・レジスタ0 | INTMO | | R/W | ○ | ○ | | 00H |
| FFF8H | インサースビス・プライオリティ・レジスタ | ISPR | | R | | ○ | | 00H |
| FFF9H | 優先順位指定レジスタ | PRSL | | R/W | ○ | ○ | | 00H |

2.3 データ・メモリ・アドレッシング

μPD78327(A), 78328(A)では、FD00H-FFFFHの領域に内部RAM空間(FD00H-FEFFFH), および特殊機能レジスタ領域(FFO0H-FFFFH)がマッピングされています。データ・メモリの一部の空間(FE20H-FF1FH)では、ショート・ダイレクト・アドレッシングが適用され命令語中の1バイト・データで高速に直接アドレッシングが可能です。

図2-6 データ・メモリのアドレッシング



注 $\overline{EA}=L$, または μPD78327(A)の場合, 外部メモリになります。

2.3.1. 汎用レジスタのアドレッシング

汎用レジスタは、8ビット・レジスタ 16本または 16ビット・レジスタ 8本を1セットとする8個のレジスタ・バンクから構成されます。

汎用レジスタのアドレッシングは、命令語から供給される3ビットまたは4ビットのレジスタ指定フィールド、PSW中のレジスタ・バンク選択フラグ (RBS0-2), およびレジスタ・セット選択フラグ (RSS) によって行われます。

2.3.2 ショート・ダイレクト・アドレッシング

FE20H-FF1FHの空間は、命令語中の1バイト・データで高速に、直接アドレス指定することのできるショート・ダイレクト・アドレッシングが適用されます。ショート・ダイレクト・メモリは、8ビット・データまたは16ビット・データとしてアクセスされます。16ビット・データとしてアクセスする場合は、連続した偶数アドレス-奇数アドレスで指定される2バイト・データのみが可能です。このとき、アドレス指定データには偶数アドレスを指定してください (奇数アドレスを指定しないでください)。

2.3.3. 特殊機能レジスタ (SFR) アドレッシング

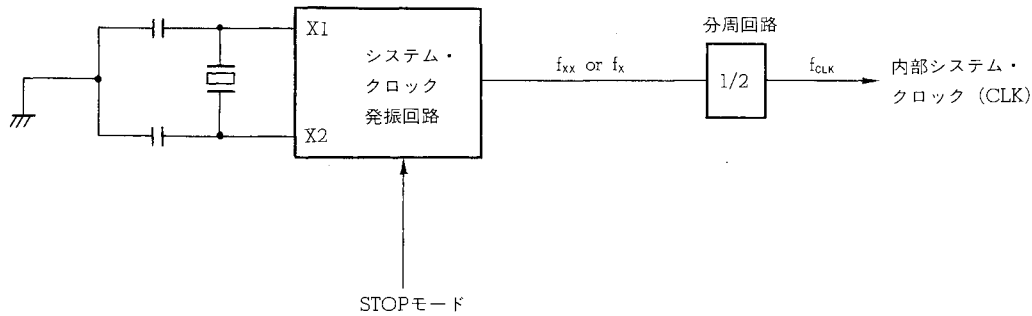
FFO0H-FFFFHのSFR領域にマッピングされている特殊機能レジスタ (SFR) に対して操作を行う場合に適用されます。特殊機能レジスタのアドレス下位8ビットに対応する命令語中の1バイト・データでアドレッシングを行います。16ビット操作可能なSFRを16ビット・アクセスする場合、ショート・ダイレクト・アドレッシングと同様に、連続した偶数アドレス-奇数アドレスで指定される2バイト・データがアクセスされます。

3. ブロック機能

3.1 クロック発生回路

クロック発生回路は、CPU に供給される内部システム・クロック (CLK) を発生、制御する回路です。クロック発生回路は、図 3-1 のように構成されています。

図 3-1 クロック発生回路のブロック図



- 備考1. f_{xx} : クリスタル発振周波数
 2. f_x : 外部クロック周波数
 3. f_{CLK} : 内部システム・クロック周波数

システム・クロック発振回路は、X1, X2端子に接続されたクリスタル振動子によって発振します。スタンバイ・モード (STOP) に設定されると、発振を停止します。

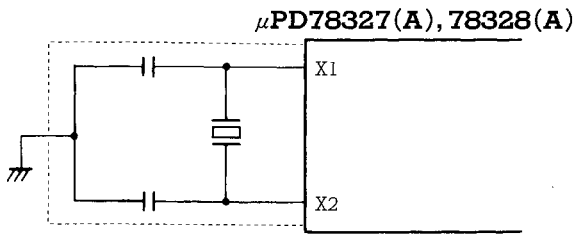
また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子にはその逆相を入力してください。ただし、X2端子はオープンも可能です。

注意 外部クロックを使用する場合、STBCのSTPビットをセットしないでください。

分周回路は、システム・クロック発振回路出力 (クリスタル発振の場合 f_{xx} , 外部クロックの場合 f_x) を2分周して、内部システム・クロック (f_{CLK}) を生成します。

図 3-2 システム・クロック発振回路の外付け回路

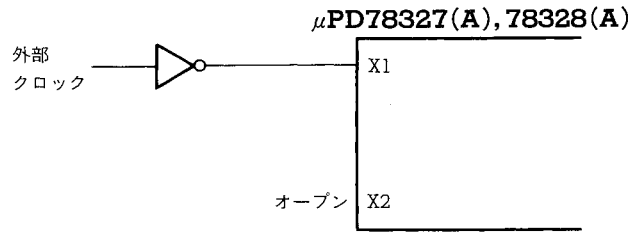
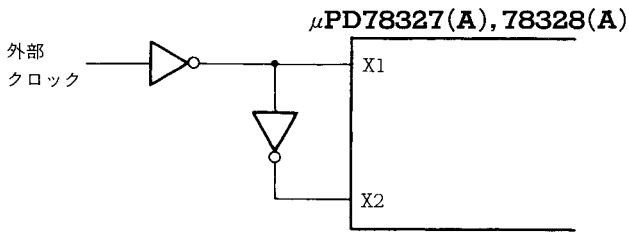
(a) クリスタル発振



(b) 外部クロック

(i) X1 端子に入力する外部クロックの逆相を X2 端子に入力する場合

(ii) X2 端子をオープンにする場合



注意1. システム・クロック発振回路を使用する場合には、配線容量などの影響を避けるために、図 3-2 の の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるグラウンド・パターンには接地しない。
- 発振回路から信号を取り出さない。

2. X1 端子に外部クロックを入力し、X2 端子をオープンにする場合、X2 端子に配線容量などの負荷が接続されないようにしてください。

3.2 バス・コントロール・ユニット (BCU)

BCUでは、エグゼキューション・ユニット (EXU) で得られた物理アドレスに基づいて、必要なバス・サイクルを起動します。EXUからバス・サイクル起動の要求がないときは、プリフェッチのためのアドレスを発生し、命令のプリフェッチを行います。プリフェッチした命令コードは、命令キューに取り込まれます。

3.3 エグゼキューション・ユニット (EXU)

EXUでは、アドレス計算、算術論理演算、データ転送などが、マイクロプログラムで制御されます。EXU内部には、256バイトのメインRAMを内蔵しています。

EXU内部のメインRAM (256バイト) は、命令によって、周辺RAM (256バイト) よりも高速にアクセスできます。

3.4 ROM/RAM

16KバイトのROMと256バイトの周辺RAMで構成されます。

\overline{EA} 端子によりROMのアクセスを禁止できます。

3.5 割り込みコントローラ

周辺ハードウェアおよび外部から発生する各種の割り込み要求 (NMI, INTPO-INTP2) を、コンテキスト・スイッチ、ベクタ割り込みまたはマクロ・サービス機能のいずれかによって処理します。

さらに、3レベルの割り込み優先順位も指定します。

3.6 リアルタイム・パルス・ユニット (RPU)

RPUは、次に示すハードウェアにより構成されています。

- 16ビット・タイマ : 2本
- 16ビット・タイマ/イベント・カウンタ : 1本
- 16ビット・コンペア・レジスタ : 14本
- 16ビット・キャプチャ/コンペア・レジスタ : 1本
- リアルタイム出力ポート : 8本 (4ビット×2 / 8ビット×1)

RPUは、プログラマブルなパルス出力、およびパルス間隔や周波数の測定を行うことができます。また、リアルタイム出力ポート (RTPO-RTP7) のポート出力のタイミングを制御します。

さらに、8ビットの高速PWM信号出力機能を内蔵しています。この機能は、一定周期のうち、アクティブ・レベルのデューティ可変の信号を出力することができます。カウント・クロックは f_{CLK} に固定されているので、PWM信号の周期は次のようになります。

PWM信号の周期

| | |
|--------------------------|--------------------------------|
| $f_{CLK}=6\text{ MHz}$ 時 | 42.6 μs (23.4 kHz) |
| $f_{CLK}=8\text{ MHz}$ 時 | 32.0 μs (31.25 kHz) |

★

図 3-3 モード 0 時の RPU ブロック図

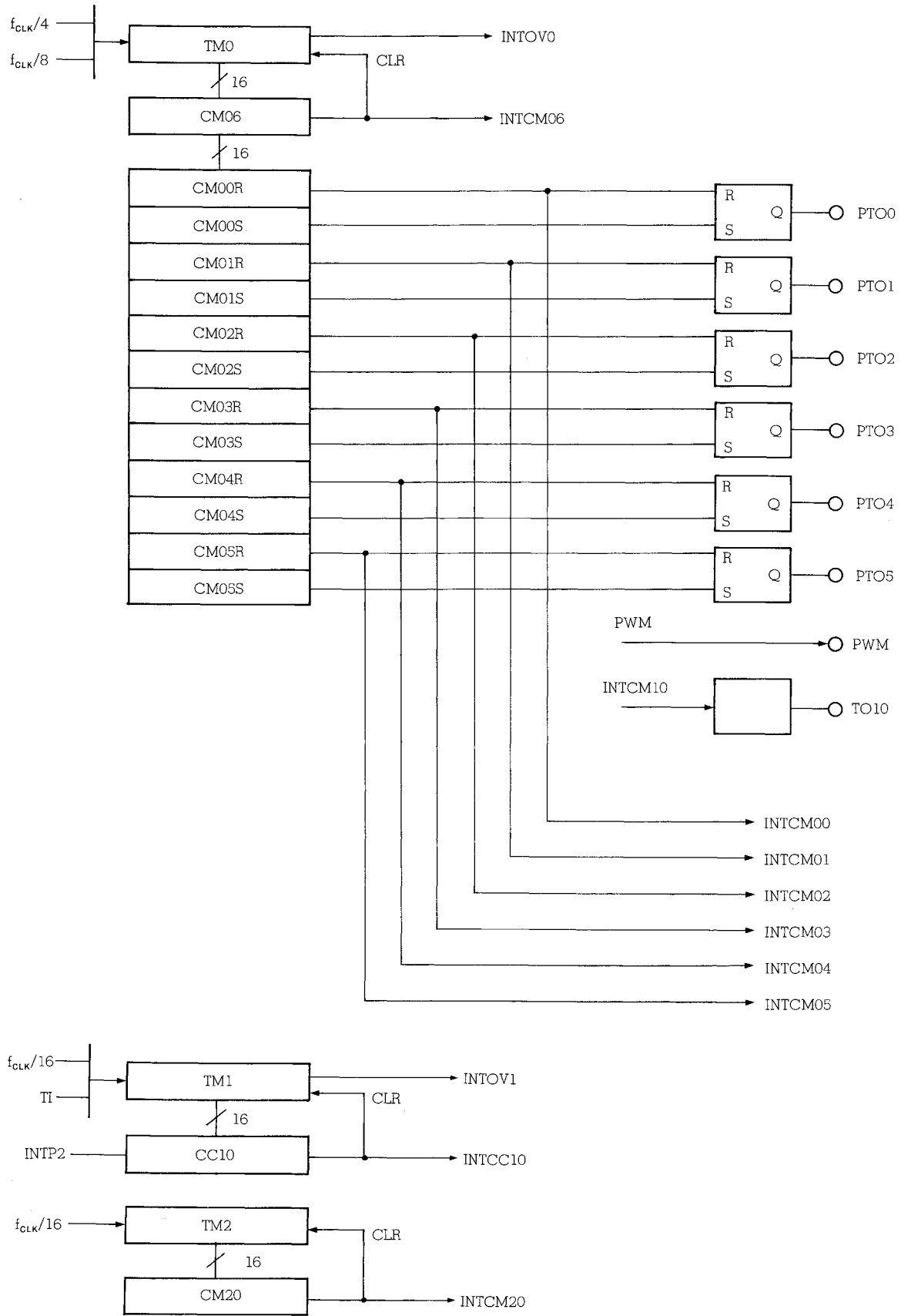


図 3-4 モード 1 時の RPU ブロック図

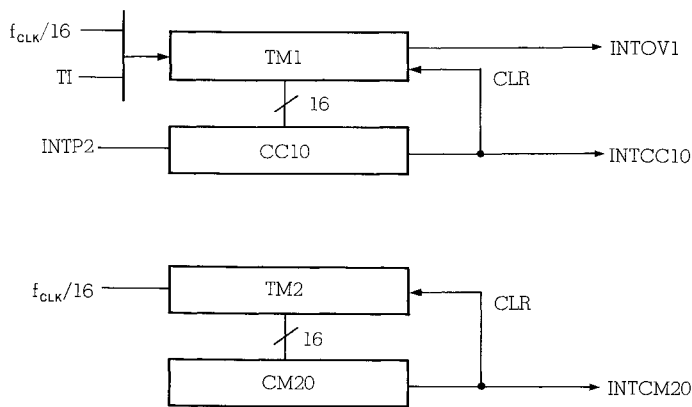
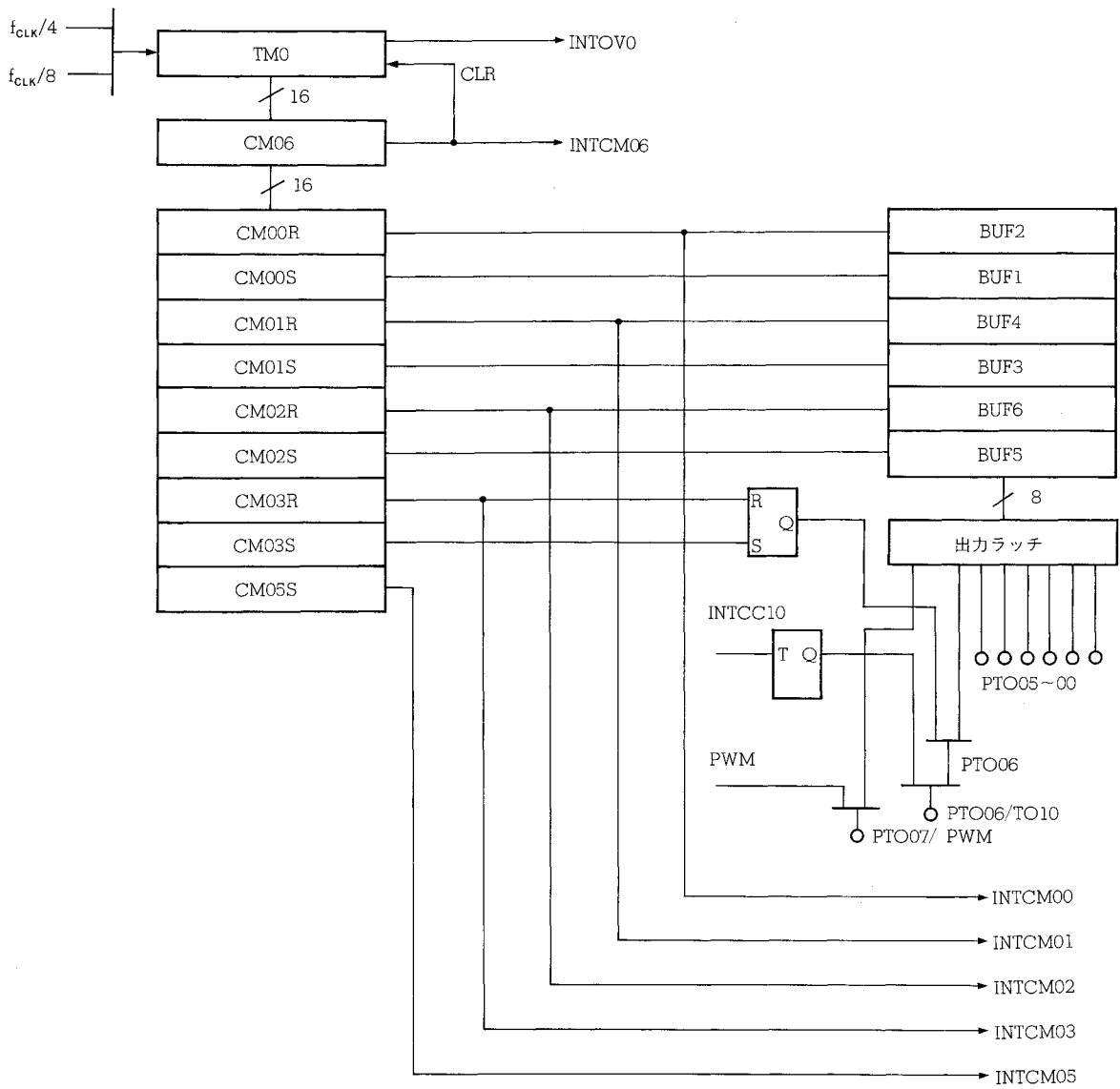


図 3-5 リアルタイム出力機能のブロック図

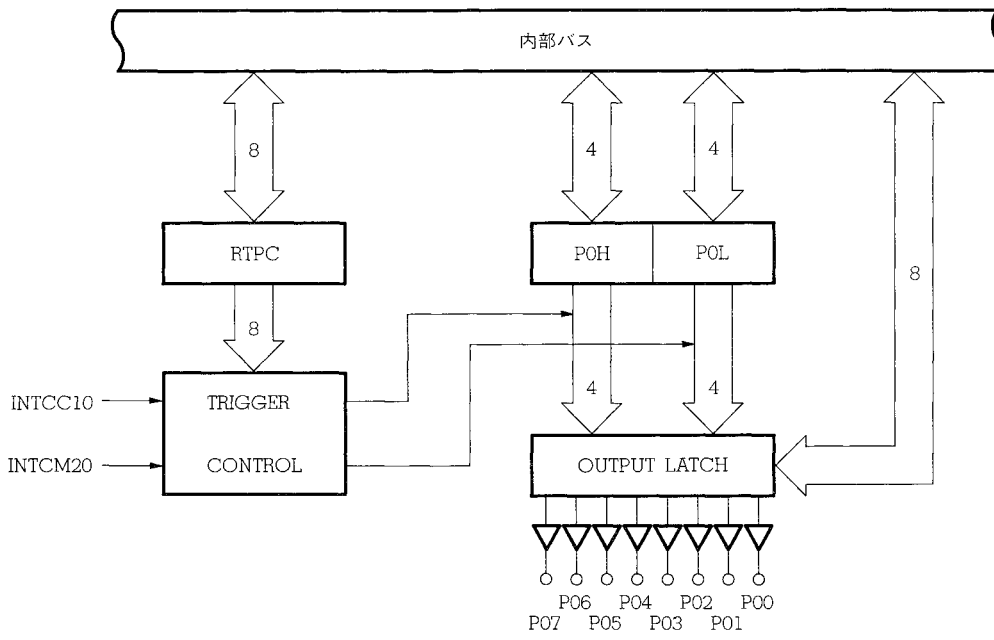
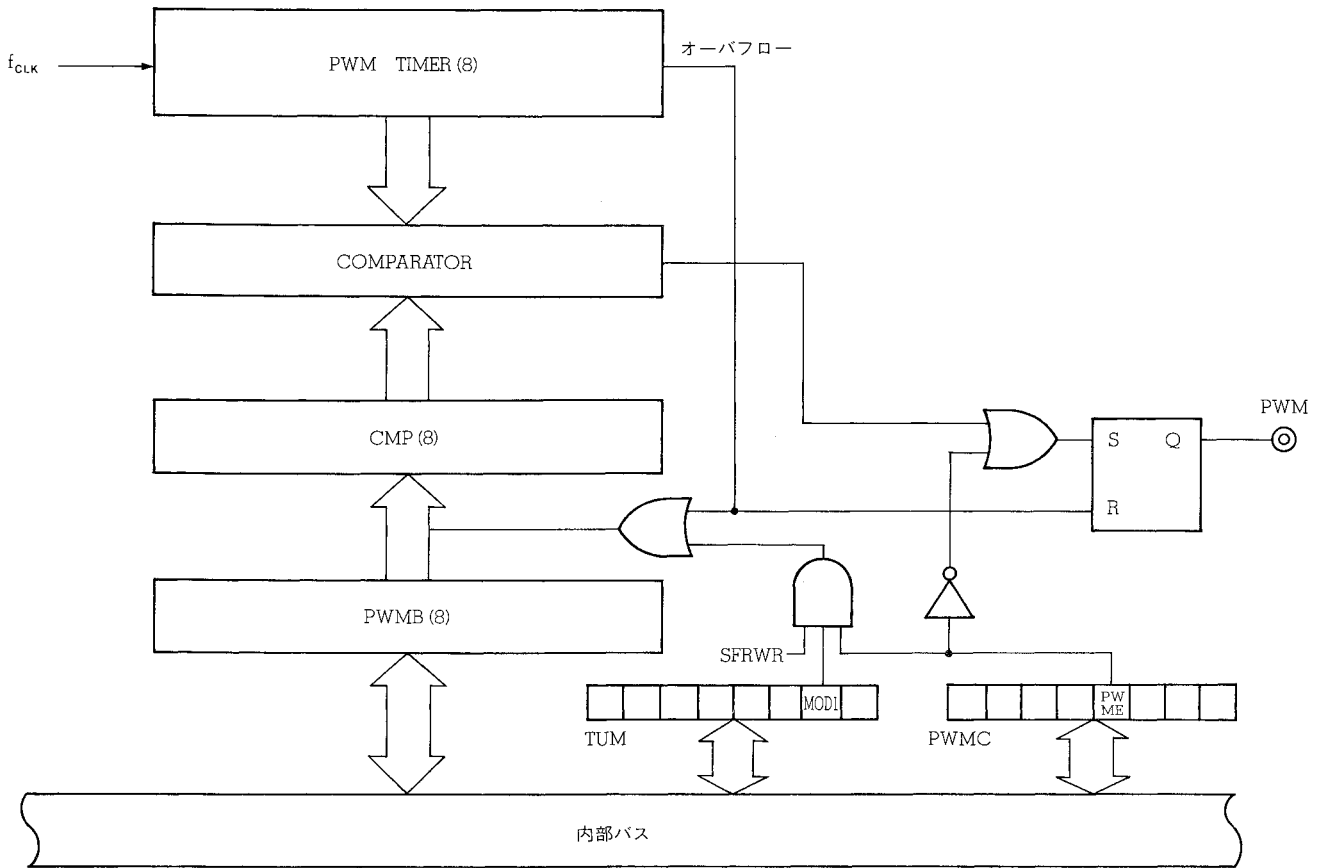


図 3-6 PWM信号出力ブロック図



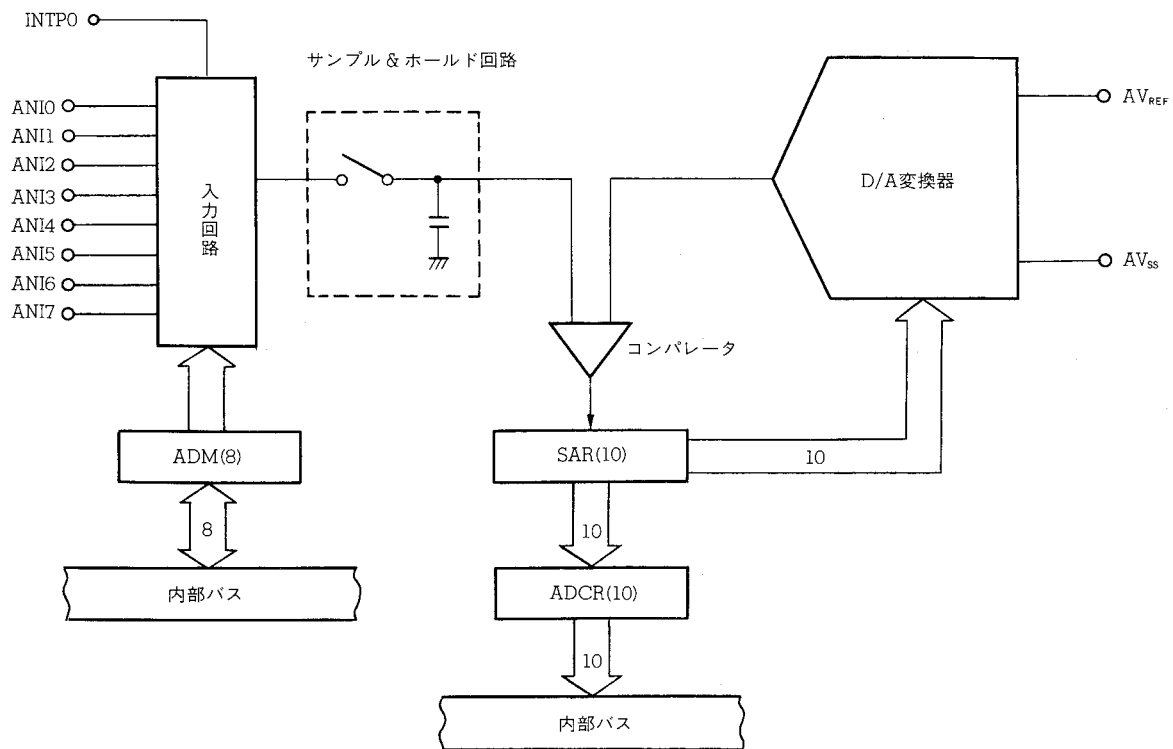
3.7 A/Dコンバータ

A/Dコンバータは、逐次比較方式を採用しています。8本のアナログ入力端子をもつ10ビット、高速、高分解能のA/Dコンバータです。

変換結果を16ビットのA/Dコンバージョン・リザルト・レジスタ (ADCR) に保持することにより、高速で高精度な変換を行います (変換時間18 μs : 内部クロック8 MHz動作時)。

★

図3-7 A/Dコンバータ・ブロック図



3.8 シリアル・インタフェース

アシンクロナス・シリアル・インタフェース (UART) とクロック同期式シリアル・インタフェースの2つを独立に備えています。

アシンクロナス・シリアル・インタフェースでは、TxD, RxDの2端子により、データの転送を行います。クロック同期式シリアル・インタフェースは次のような2つの動作モードを持っています。

- シリアル・バス・インタフェース (SBI) モード
シリアル・クロックとシリアル・データ・バスの2端子によりデータの転送を行います。
- 3線式シリアル I/O モード
シリアル・クロックと、シリアル入力、シリアル出力の3端子によりデータの転送を行います。

シリアル転送レートは、モード・レジスタの設定により、75 bps~19.2 Kbpsから選択できます。

★

図 3-8 アシクロナス・シリアル・インタフェースのブロック図

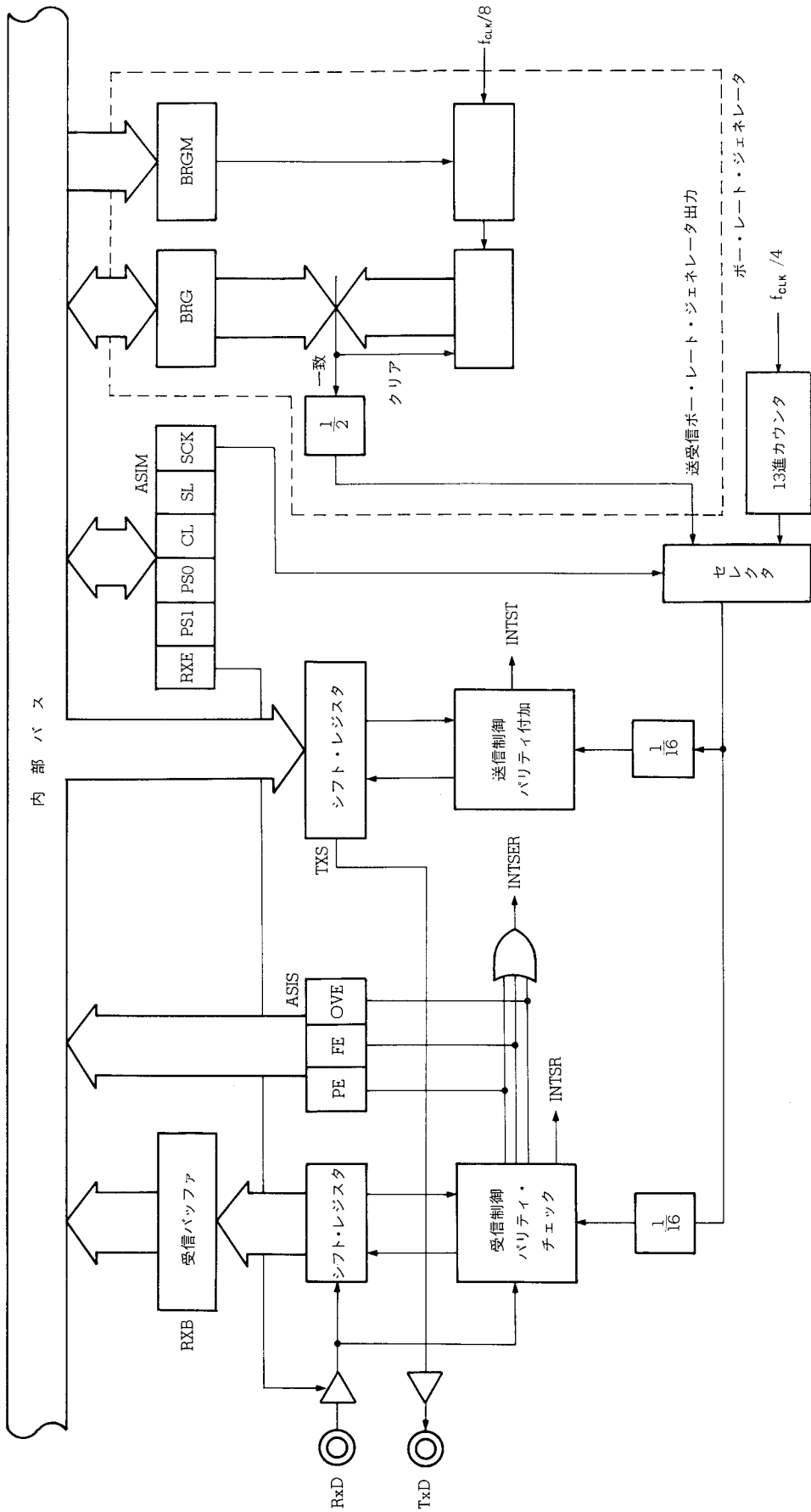
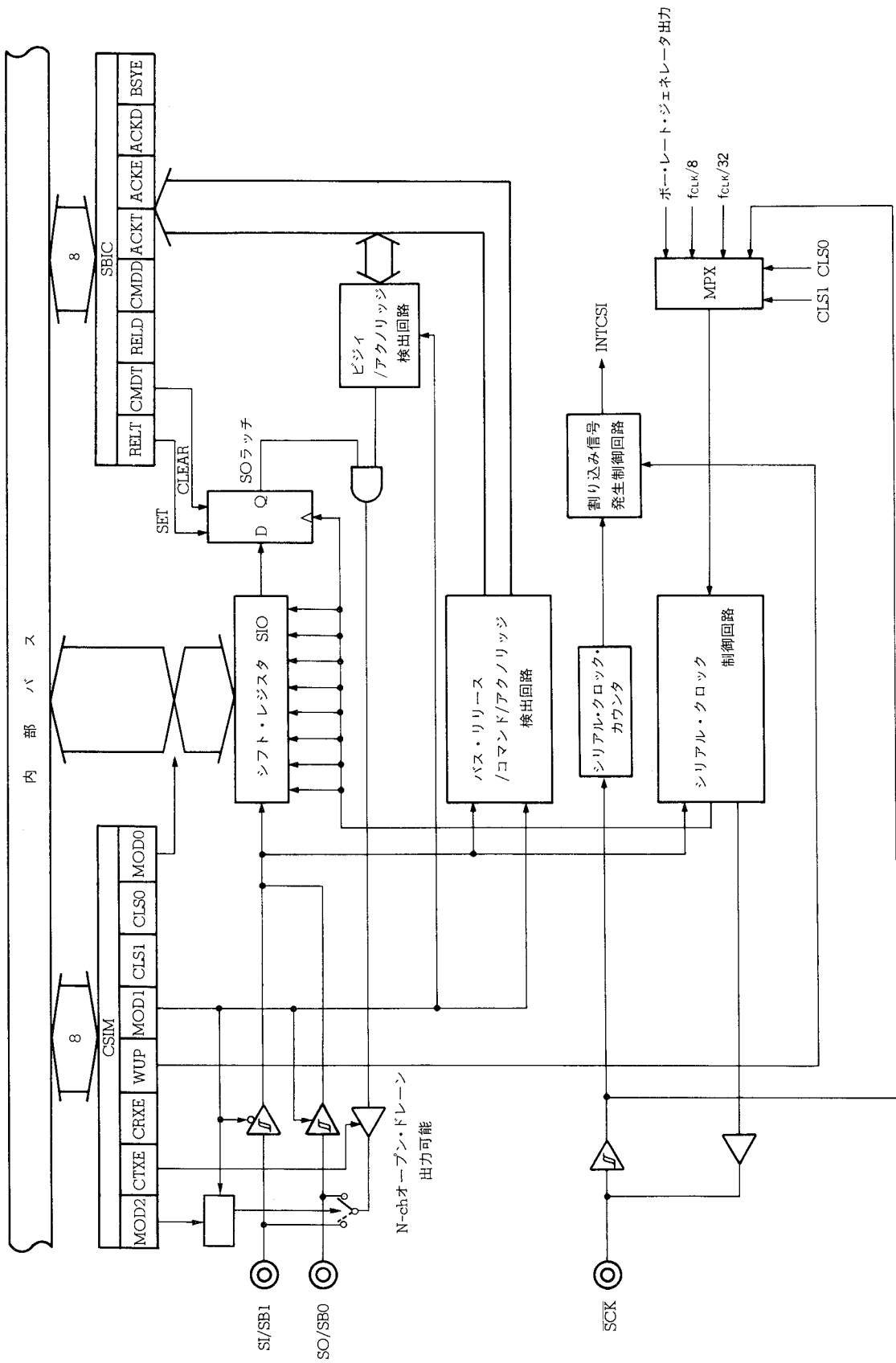


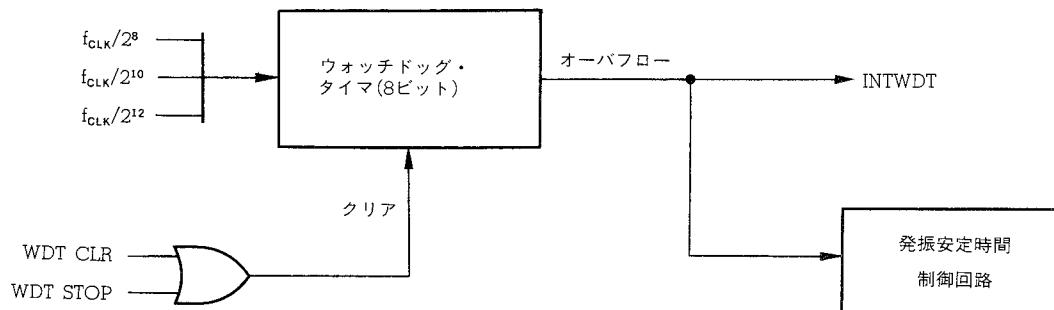
図 3-9 クロック同期式シリアル・インタフェースのブロック図



3.9 ウォッチドッグ・タイマ

プログラムの暴走、システムの異常等を検出するための8ビットのウォッチドッグ・タイマを内蔵しています。

図 3-10 ウォッチドッグ・タイマの構成



3.10 ポート

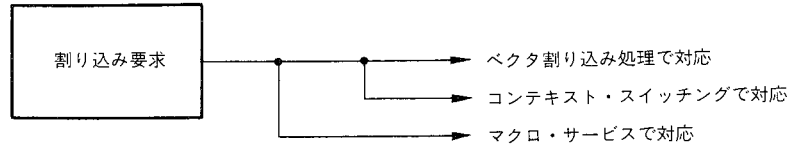
ポートは、次に示すように汎用ポートとしての機能と制御端子の機能を持っています。

| ポート | 入出力 | 機能 | |
|-----|-----------|-------|-----------------------------|
| P0 | 4/8ビット入出力 | 汎用ポート | リアルタイム出力ポート |
| P2 | 3ビット入力 | | 外部割り込み, RPU キャプチャ・トリガ |
| P3 | 5ビット入出力 | | シリアル・インタフェース |
| P4 | 8ビット入出力 | | アドレス/データ・バス |
| P5 | 8ビット入出力 | | アドレス・バス |
| P7 | 8ビット入力 | | A/D コンバータ入力 |
| P8 | 8ビット入出力 | | RPU タイマ出力, PWM 信号出力, 外部割り込み |
| P9 | 4ビット入出力 | | 外部アクセス制御信号出力 |

4. 割り込み機能

4.1 概要

μPD78327(A), 78328(A)では、オンチップ周辺ハードウェアおよび外部から発生する各種の割り込み要求を下図のように3つの処理モードで対応します。また、3レベルの割り込み優先順位も指定できます。★

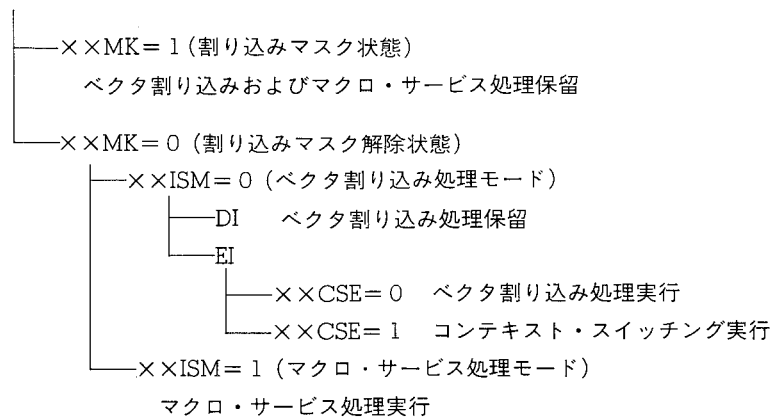


割り込み要求は次の3種類に分類されます。

- ノンマスカブル割り込み要求
- マスカブル割り込み要求
- ソフトウェアによる割り込み要求

マスカブル割り込み要求の処理形態は図4-1のようになっています。

図4-1 割り込み要求の処理形態

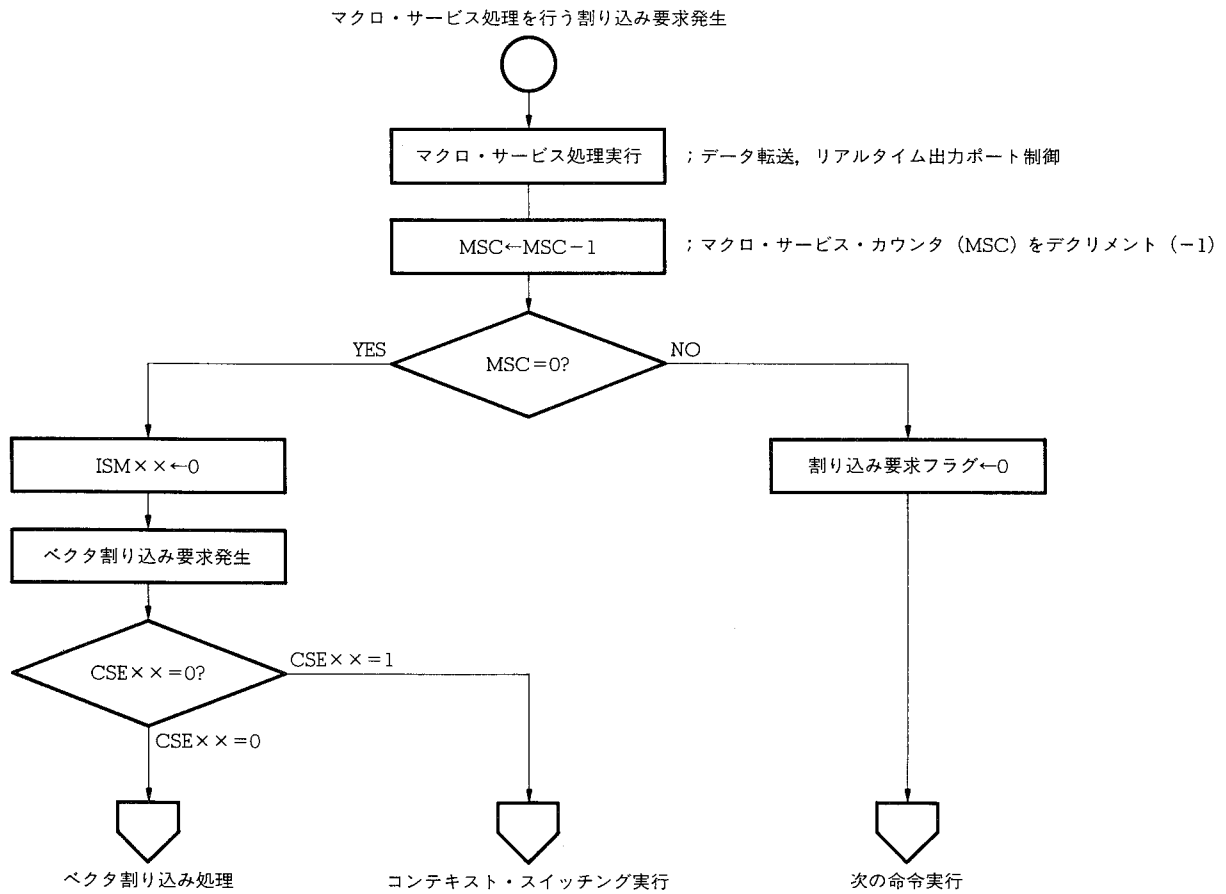


4.2 マクロ・サービス

マクロ・サービス機能は、割り込み要求によって、ハードウェア的に特殊機能レジスタ領域とメモリ空間の間でデータ演算や転送などの処理を行う機能です。

マクロ・サービスが起動すると、CPUはプログラム処理の実行を一時停止します。自動的に、特殊機能レジスタ(SFR)とメモリの間で、1バイト/2バイトのデータ演算や転送などの処理を行います。マクロ・サービスが終了すると、割り込み要求フラグをリセット(0)し、CPUは再びプログラム処理の実行を開始します。ただし、マクロ・サービス・カウンタ(MSC)に設定した回数だけマクロ・サービスを行ったときには、終了後にベクタ割り込み要求を発生します。

図 4-2 マクロ・サービス処理のシーケンス例



4.3 コンテキスト・スイッチング機能

割り込み要求の発生または、BRKCS命令の実行により、ハードウェア的に所定のレジスタ・バンクを選択し、レジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスへ分岐すると同時に、現在のPC, PSWの内容をレジスタ・バンク内にスタックする機能です。

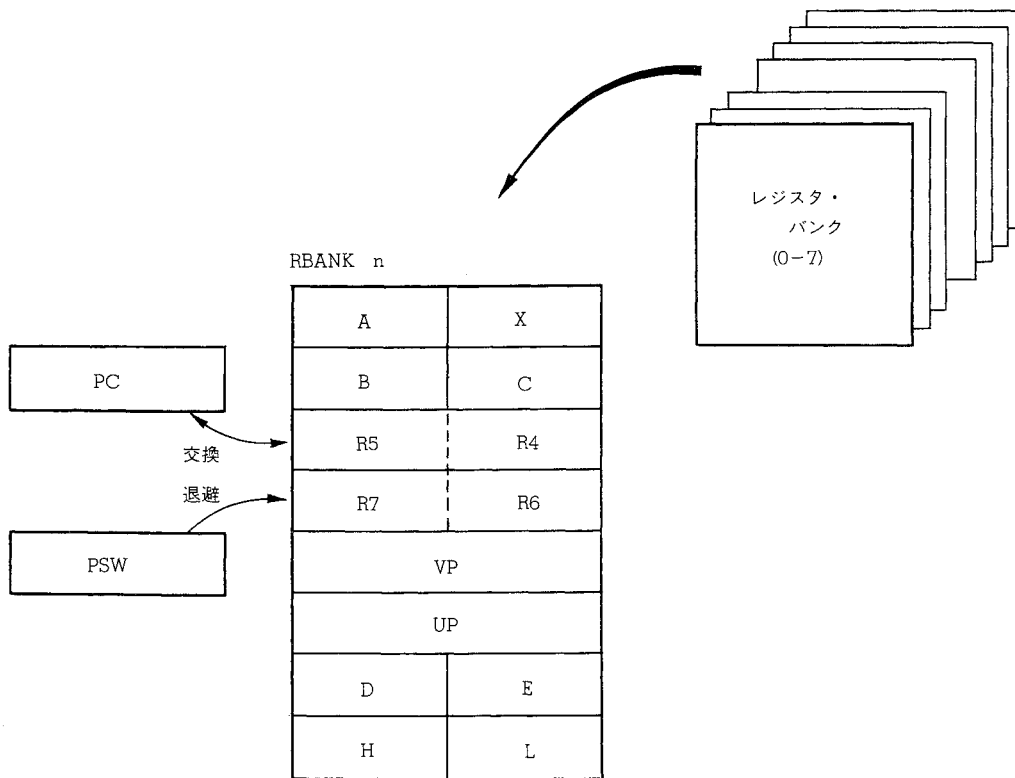
4.3.1 割り込み要求によるコンテキスト・スイッチング機能

各割り込み要求に対応して設定してある××CSEビットをセット(1)することにより、コンテキスト・スイッチング機能の起動を許可します。

EI状態において、マスクされておらず、かつコンテキスト・スイッチング機能が許可されている割り込み要求が発生すると、対応する割り込みのベクタ・テーブル・アドレスのロウ・アドレス(偶数アドレス)の下位3ビットで指定されるレジスタ・バンクが選択されます。選択されたレジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスをPCに転送すると同時に、それまでのPC, PSWの内容をレジスタ・バンク内に退避し、割り込み処理ルーチンへ分岐します。

RETCS命令の実行により復帰します。

図4-3 割り込み要求発生によるコンテキスト・スイッチング



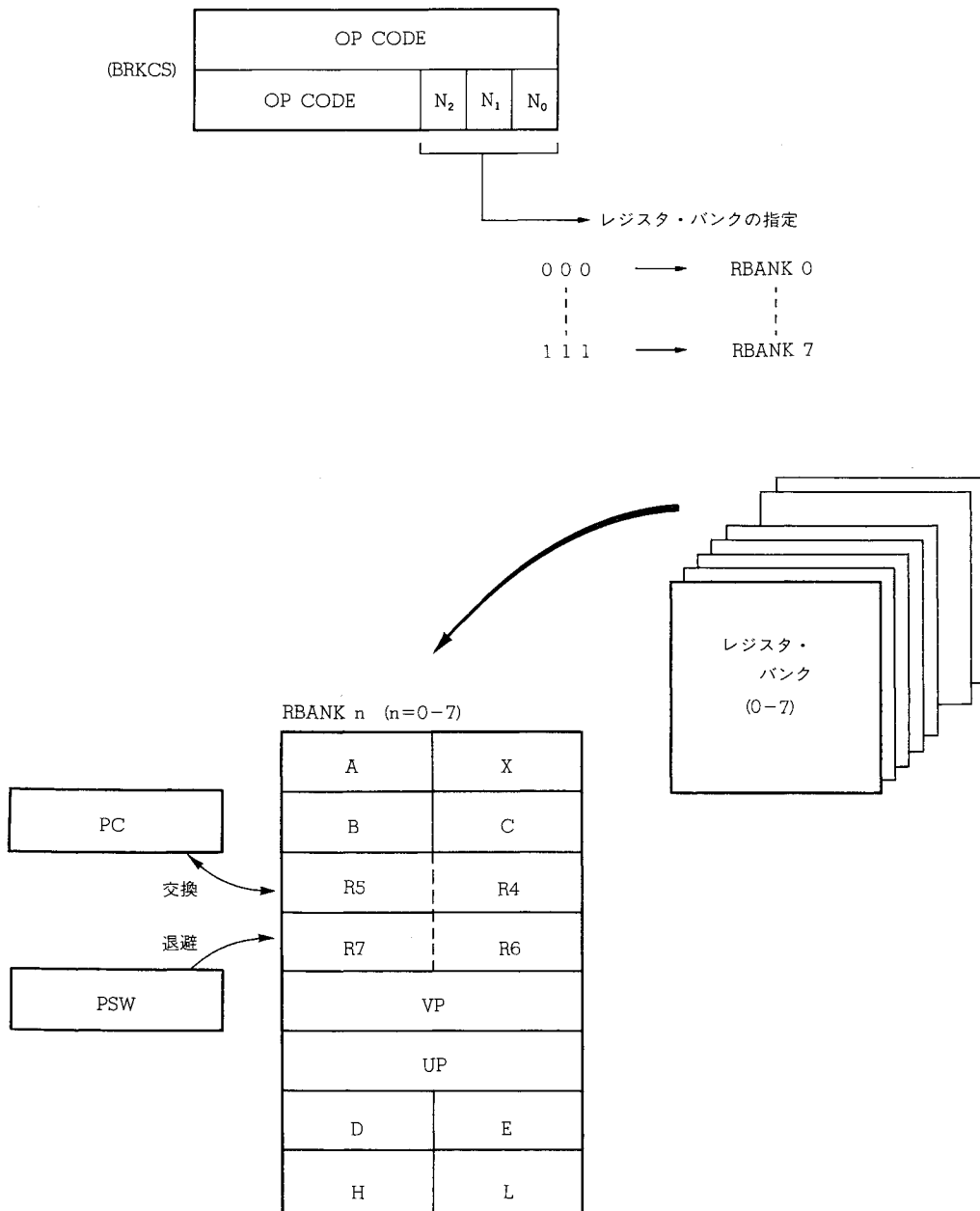
4.3.2 BRKCS命令によるコンテキスト・スイッチング機能

BRKCS命令の実行により、コンテキスト・スイッチング機能を起動することができます。

BRKCS命令の第2オペレーション・コードの下位3ビット・イミディエト・データで、コンテキスト・スイッチングしたあとのレジスタ・バンクを指定します。BRKCS命令を実行すると、3ビットのイミディエト・データで指定されるレジスタ・バンクを選択し、レジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスをPCにセットして分岐すると同時に、それまでのPC, PSWの内容をレジスタ・バンク内に退避します。

RETCSB命令の実行により復帰します。

図4-4 BRKCS命令実行によるコンテキスト・スイッチング



5. スタンバイ機能

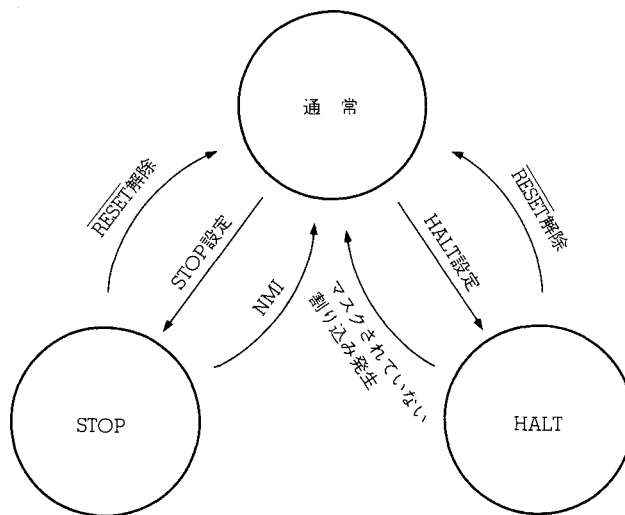
5.1 構成と機能

μPD78327(A), 78328(A)には、システムの消費電力を低減させるスタンバイ機能があります。スタンバイ機能には次のような2つのモードがあります。

- HALTモード……CPUの動作クロックを停止させるモードです。通常動作モードとの組み合わせによる間欠動作により、システムのトータル消費電力を低下させることができます。
- STOPモード……発振器を停止させ、システム全体が停止するモードです。リーク電流だけの超低消費電力にすることができます。

各モードにはソフトウェアによって設定します。図5-1にスタンバイ・モード (STOP/HALTモード) の遷移図を示します。

図5-1 スタンバイ状態遷移図



6. 外部デバイス拡張機能

μPD78327(A), 78328(A)は、内部ROM, RAM以外の領域 (4000H-FCFFH) に外部デバイス (データ・メモリ, プログラム・メモリ, 周辺デバイス) を拡張できます。外部デバイス・アクセス時に使用する端子と、その端子機能の設定方法を表6-1, 表6-3に示します。

表6-1 端子機能の設定 (μPD78328(A))

| EA端子 | メモリ拡張モード・レジスタ | | フェッチ・サイクル・コントロール・レジスタ | 端子機能 | | | | | | 備考 |
|------|---------------|-----|-----------------------|---------|---------------|-----|-----|-------|-----|-----------------|
| | MM0-MM2 | MM7 | | P40-P47 | P50-P57 | P90 | P91 | P92 | P93 | |
| 1 | ポート・モード | 0 | 00H | 汎用ポート | | | | | | — |
| | | 1 | 設定禁止 | | | | | | | |
| | 拡張モード | 0 | 00H | AD0-AD7 | 段階的にA8-A15に設定 | RD | WR | 汎用ポート | | 外部デバイスの接続モード |
| | | 1 | 00H以外 | | | | | TAS | TMD | μPD71P301の接続モード |

P50 - P57端子は外部に拡張するメモリの大きさに応じてアドレス・バスとして働くビット数を変更することが可能で、256バイトから約48 Kバイトまで段階的にメモリを拡張することができます。アドレス・バスとして使用しない端子は、汎用の入出力ポートとして使用できます。

表6-2 ポート5のポート／アドレス設定 (μPD78328(A))

| P57 | P56 | P55 | P54 | P53 | P52 | P51 | P50 | 外部アドレス空間 |
|-----|-----|-----|-----|-----|-----|-----|-----|------------|
| ポート | ポート | ポート | ポート | ポート | ポート | ポート | ポート | 256バイト以内 |
| ポート | ポート | ポート | ポート | A11 | A10 | A9 | A8 | 4 Kバイト以内 |
| ポート | ポート | A13 | A12 | A11 | A10 | A9 | A8 | 16 Kバイト以内 |
| A15 | A14 | A13 | A12 | A11 | A10 | A9 | A8 | 約48 Kバイト以内 |

表6-3 端子機能の設定 (μPD78327(A))

| EA端子 | メモリ拡張モード・レジスタ | | フェッチ・サイクル・コントロール・レジスタ | 端子機能 | | | | | | 備考 |
|------|---------------|-------|-----------------------|---------|---------|-----|-----|--------------|-----------------|--------------------------|
| | MM7 | MM7 | | P40-P47 | P50-P57 | P90 | P91 | P92 | P93 | |
| ASTB | — | — | — | AD0-AD7 | A8-A15 | RD | WR | TAS | TMD | μPD78328 エミュレーション・モード |
| 0 | 0 | 00H | 汎用ポート | | | | | 外部デバイスの接続モード | | |
| | 1 | 00H以外 | TAS | | | | | TMD | μPD71P301の接続モード | |

7. リセット後の動作

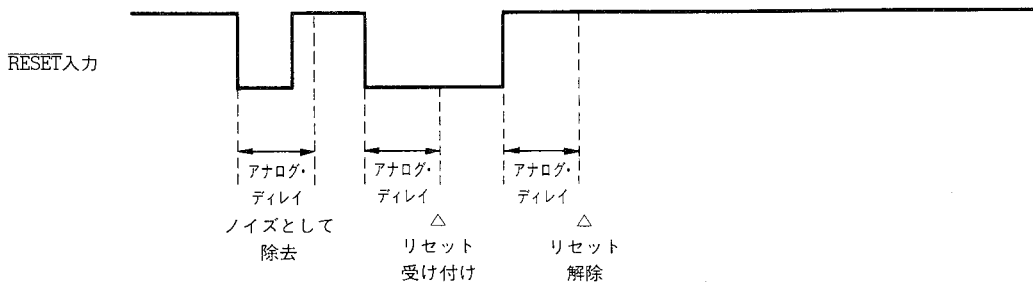
$\overline{\text{RESET}}$ 入力端子にロウ・レベルが入力されると、システム・リセットがかかり各ハードウェアは初期状態になります(リセット状態)。 $\overline{\text{RESET}}$ 入力がハイ・レベルになるとリセット状態が解除され、プログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

特に、プログラマブル・ウェイト・コントロール・レジスタとフェッチ・サイクル・コントロール・レジスタは必要に応じてサイクル数を変更してください。

$\overline{\text{RESET}}$ 入力端子は、ノイズによる誤動作を防ぐためアナログ・ディレイによるノイズ除去回路を内蔵しています。

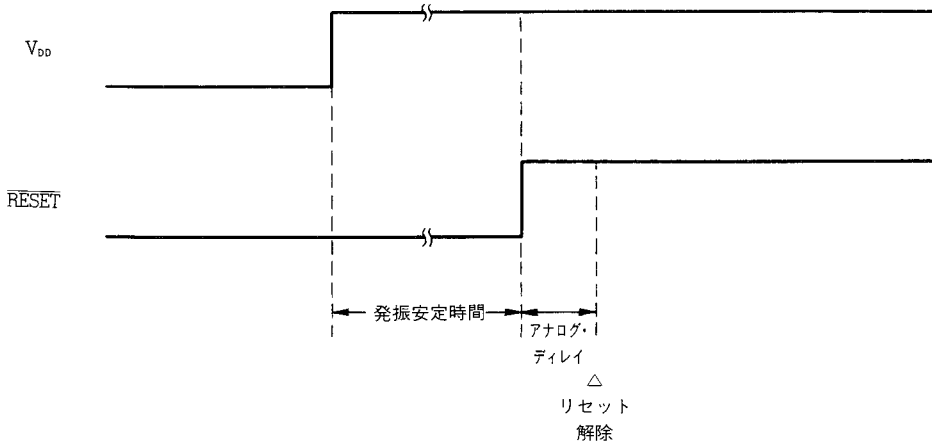
- 注意1. $\overline{\text{RESET}}$ がアクティブの期間は全端子がハイ・インピーダンスになります (AV_{REF} , AV_{DD} , AV_{SS} , V_{DD} , V_{SS} , X1, X2 端子を除く)。
- 2. 外部にRAMを拡張しているときには、P90/ $\overline{\text{RD}}$, P91/ $\overline{\text{WR}}$ 端子にプルアップ抵抗を付けてください。P90/ $\overline{\text{RD}}$, P91/ $\overline{\text{WR}}$ 端子がハイ・インピーダンスとなると、外部RAMの内容を破壊する可能性があります。また、アドレス/データ・バス上で信号の衝突が起き、入出力回路を破壊する可能性があります。

図7-1 リセット信号の受け付け



電源立ち上がり時のリセット動作では、図7-2のように電源立ち上がりからリセット受け付けまで40 ms程度の発振安定時間を確保してください。

図7-2 電源立ち上がり時のリセット



8. 命令セット

ここでは、命令のオペレーションについて説明しています。

命令コードおよび、命令の実行クロック数については、μPD78328 ユーザーズ・マニュアル (IEU-693) を参照してください。

8.1 命令セットとそのオペレーション

(1) オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述します (詳細は、アセンブラ仕様による)。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および+, -, #, \$, !, []記号はキー・ワードであり、そのまま記述します。

イミディエト・データの場合は、適当な数値またはラベルを記述します。ラベルで記述する際も#, \$, !, []記号は必ず記述してください。

表8-1 オペランドの表現形式と記述方法

| 表現形式 | 記 述 方 法 |
|-----------|--|
| r | R0, R1, R2, R3, R4, R5, R6, R7, R8, R9, R10, R11, R12, R13, R14, R15 |
| r1 | R0, R1, R2, R3, R4, R5, R6, R7 |
| r2 | C, B |
| rp | RP0, RP1, RP2, RP3, RP4, RP5, RP6, RP7 |
| rp1 | RP0, RP1, RP2, RP3, RP4, RP5, RP6, RP7 |
| rp2 | DE, HL, VP, UP |
| sfr | 特殊機能レジスタ略号 (表2-2参照) |
| sfrp | 特殊機能レジスタ略号 (16ビット操作可能レジスタ; 表2-2参照) |
| post | RP0, RP1, RP2, RP3, RP4, RP5/PSW, RP6, RP7 (複数記述可能。ただし、RP5はPUSH, POP命令, PSWはPUSHU, POPU命令に限る。) |
| mem | [DE], [HL], [DE+], [HL+], [DE-], [HL-], [VP], [UP] ;レジスタ・インダイレクト・モード [DE+A], [HL+A], [DE+B], [HL+B], [VP+DE], [VP+HL] ;ベースト・インデクスト・モード [DE+byte], [HL+byte], [VP+byte], [UP+byte], [SP+byte] ;ベースト・モード word[A], word[B], word[DE], word[HL] ;インデクスト・モード |
| saddr | FE20H-FF1FH イミディエト・データまたはラベル |
| saddrp | FE20H-FF1EH イミディエト・データ (ただし, bit0=0) またはラベル (16ビット操作時) |
| \$ addr16 | 0000H-FDFFH イミディエト・データまたはラベル; レラティブ・アドレッシング |
| ! addr16 | 0000H-FDFFH イミディエト・データまたはラベル; イミディエト・アドレッシング (ただしMOV命令ではFFFFHまで記述可能) |
| addr11 | 800H-FFFH イミディエト・データまたはラベル |
| addr5 | 40H-7EH イミディエト・データ (ただし, bit0=0) 注またはラベル |
| word | 16ビット・イミディエト・データまたはラベル |
| byte | 8ビット・イミディエト・データまたはラベル |
| bit | 3ビット・イミディエト・データまたはラベル |
| n | 3ビット・イミディエト・データ (0-7) |

注 bit0=1 (奇数アドレス) へのワード・アクセスはしないでください。

| 命令群 | ニモニック | オペランド | バイト | オペレーション | フラグ | | | | | |
|-----------------------------|-------|--------------------------|-----------------|------------------------|-----|---|----|-----|----|---|
| | | | | | S | Z | AC | P/V | CY | |
| 8 ビット データ 転送 命令 | MOV | r1, #byte | 2 | r1←byte | | | | | | |
| | | saddr, #byte | 3 | (saddr)←byte | | | | | | |
| | | sfr ^注 , #byte | 3 | sfr←byte | | | | | | |
| | | r, r1 | 2 | r←r1 | | | | | | |
| | | A, r1 | 1 | A←r1 | | | | | | |
| | | A, saddr | 2 | A←(saddr) | | | | | | |
| | | saddr, A | 2 | (saddr)←A | | | | | | |
| | | saddr, saddr | 3 | (saddr)←(saddr) | | | | | | |
| | | A, sfr | 2 | A←sfr | | | | | | |
| | | sfr, A | 2 | sfr←A | | | | | | |
| | | A, mem | 1-4 | A←(mem) | | | | | | |
| | | mem, A | 1-4 | (mem)←A | | | | | | |
| | | A, [saddrp] | 2 | A←((saddrp)) | | | | | | |
| | | [saddrp], A | 2 | ((saddrp))←A | | | | | | |
| | | A, !addr16 | 4 | A←(addr16) | | | | | | |
| | | !addr16, A | 4 | (addr16)←A | | | | | | |
| | | PSWL, #byte | 3 | PSW _L ←byte | | | × | × | × | × |
| | | PSWH, #byte | 3 | PSW _H ←byte | | | | | | |
| | | PSWL, A | 2 | PSW _L ←A | | | × | × | × | × |
| | | PSWH, A | 2 | PSW _H ←A | | | | | | |
| | | A, PSWL | 2 | A←PSW _L | | | | | | |
| | | A, PSWH | 2 | A←PSW _H | | | | | | |
| | XCH | A, r1 | 1 | A↔r1 | | | | | | |
| | | r, r1 | 2 | r↔r1 | | | | | | |
| | | A, mem | 2-4 | A↔(mem) | | | | | | |
| | | A, saddr | 2 | A↔(saddr) | | | | | | |
| | | A, sfr | 3 | A↔sfr | | | | | | |
| | | A, [saddrp] | 2 | A↔((saddrp)) | | | | | | |
| saddr, saddr | | 3 | (saddr)↔(saddr) | | | | | | | |

注 sfrにSTBC, WDMを記述した場合は別の専用命令となり、バイト数がこの命令とは異なります。

備考 フラグ動作欄の記号は次の表を参照してください。

| 記号 | 説明 |
|--------|---------------------------|
| (ブランク) | 変化なし |
| 0 | 0にクリアされる |
| 1 | 1にセットされる |
| × | 結果に従ってセット/クリアされる |
| P | P/Vフラグが、パリティ・フラグとして動作する |
| V | P/Vフラグが、オーバフロー・フラグとして動作する |
| R | 以前に退避した値がリストアされる |

| 命令群 | ニモニツク | オペランド | バイト | オペレーション | フラグ | | | | |
|--------------|---------|--------------------------------|----------|-----------------------------|-----|---|----|-----|----|
| | | | | | S | Z | AC | P/V | CY |
| 16ビットデータ転送命令 | MOVW | rp1, #word | 3 | rp1←word | | | | | |
| | | saddrp, #word | 4 | (saddrp)←word | | | | | |
| | | sfrp, #word | 4 | sfrp←word | | | | | |
| | | rp, rp1 | 2 | rp←rp1 | | | | | |
| | | AX, saddrp | 2 | AX←(saddrp) | | | | | |
| | | saddrp, AX | 2 | (saddrp)←AX | | | | | |
| | | saddrp, saddrp | 3 | (saddrp)←(saddrp) | | | | | |
| | | AX, sfrp | 2 | AX←sfrp | | | | | |
| | | sfrp, AX | 2 | sfrp←AX | | | | | |
| | | rp1, !addr16 | 4 | rp1←(addr16) | | | | | |
| | | !addr16, rp1 | 4 | (addr16)←rp1 | | | | | |
| | | AX, mem | 2-4 | AX←(mem) | | | | | |
| | mem, AX | 2-4 | (mem)←AX | | | | | | |
| | XCHW | AX, saddrp | 2 | AX↔(saddrp) | | | | | |
| | | AX, sfrp | 3 | AX↔sfrp | | | | | |
| | | saddrp, saddrp | 3 | (saddrp)↔(saddrp) | | | | | |
| rp, rp1 | | 2 | rp↔rp1 | | | | | | |
| AX, mem | | 2-4 | AX↔(mem) | | | | | | |
| 8ビット演算命令 | ADD | A, #byte | 2 | A, CY←A+byte | × | × | × | V | × |
| | | saddr, #byte | 3 | (saddr), CY←(saddr)+byte | × | × | × | V | × |
| | | sfr, #byte | 4 | sfr, CY←sfr+byte | × | × | × | V | × |
| | | r, r1 | 2 | r, CY←r+r1 | × | × | × | V | × |
| | | A, saddr | 2 | A, CY←A+(saddr) | × | × | × | V | × |
| | | A, sfr | 3 | A, CY←A+sfr | × | × | × | V | × |
| | | saddr, saddr | 3 | (saddr), CY←(saddr)+(saddr) | × | × | × | V | × |
| | | A, mem | 2-4 | A, CY←A+(mem) | × | × | × | V | × |
| | ADDC | mem, A | 2-4 | (mem), CY←(mem)+A | × | × | × | V | × |
| | | A, #byte | 2 | A, CY←A+byte+CY | × | × | × | V | × |
| | | saddr, #byte | 3 | (saddr), CY←(saddr)+byte+CY | × | × | × | V | × |
| | | sfr, #byte | 4 | sfr, CY←sfr+byte+CY | × | × | × | V | × |
| | | r, r1 | 2 | r, CY←r+r1+CY | × | × | × | V | × |
| | | A, saddr | 2 | A, CY←A+(saddr)+CY | × | × | × | V | × |
| | | A, sfr | 3 | A, CY←A+sfr+CY | × | × | × | V | × |
| saddr, saddr | 3 | (saddr), CY←(saddr)+(saddr)+CY | × | × | × | V | × | | |
| A, mem | 2-4 | A, CY←A+(mem)+CY | × | × | × | V | × | | |
| mem, A | 2-4 | (mem), CY←(mem)+A+CY | × | × | × | V | × | | |

| 命令群 | ニモニック | オペランド | バイト | オペレーション | フラグ | | | | |
|----------|-------|-------------------|-----|--------------------------------|-----|---|----|-----|----|
| | | | | | S | Z | AC | P/V | CY |
| 8ビット演算命令 | SUB | A, #byte | 2 | A, CY←A-byte | × | × | × | V | × |
| | | saddr, #byte | 3 | (saddr), CY←(saddr)-byte | × | × | × | V | × |
| | | sfr, #byte | 4 | sfr, CY←sfr-byte | × | × | × | V | × |
| | | r, r1 | 2 | r, CY←r-r1 | × | × | × | V | × |
| | | A, saddr | 2 | A, CY←A-(saddr) | × | × | × | V | × |
| | | A, sfr | 3 | A, CY←A-sfr | × | × | × | V | × |
| | | saddr, saddr | 3 | (saddr), CY←(saddr)-(saddr) | × | × | × | V | × |
| | | \bar{A} , mem | 2-4 | A, CY←A-(mem) | × | × | × | V | × |
| | | mem, A | 2-4 | (mem), CY←(mem)-A | × | × | × | V | × |
| | SUBC | A, #byte | 2 | A, CY←A-byte-CY | × | × | × | V | × |
| | | saddr, #byte | 3 | (saddr), CY←(saddr)-byte-CY | × | × | × | V | × |
| | | sfr, #byte | 4 | sfr, CY←sfr-byte-CY | × | × | × | V | × |
| | | r, r1 | 2 | r, CY←r-r1-CY | × | × | × | V | × |
| | | \bar{A} , saddr | 2 | A, CY←A-(saddr)-CY | × | × | × | V | × |
| | | A, sfr | 3 | A, CY←A-sfr-CY | × | × | × | V | × |
| | | saddr, saddr | 3 | (saddr), CY←(saddr)-(saddr)-CY | × | × | × | V | × |
| | | A, mem | 2-4 | A, CY←A-(mem)-CY | × | × | × | V | × |
| | | mem, A | 2-4 | (mem), CY←(mem)-A-CY | × | × | × | V | × |
| | AND | \bar{A} , #byte | 2 | A←A∧byte | × | × | | P | |
| | | saddr, #byte | 3 | (saddr)←(saddr)∧byte | × | × | | P | |
| | | sfr, #byte | 4 | sfr←sfr∧byte | × | × | | P | |
| | | r, r1 | 2 | r←r∧r1 | × | × | | P | |
| | | A, saddr | 2 | A←A∧(saddr) | × | × | | P | |
| | | \bar{A} , sfr | 3 | A←A∧sfr | × | × | | P | |
| | | saddr, saddr | 3 | (saddr)←(saddr)∧(saddr) | × | × | | P | |
| | | \bar{A} , mem | 2-4 | A←A∧(mem) | × | × | | P | |
| | | mem, A | 2-4 | (mem)←(mem)∧A | × | × | | P | |

| 命令群 | 二モニック | オペランド | バイト | オペレーション | フラグ | | | | |
|----------------------|--------|--------------|---|--|-----|---|----|-----|----|
| | | | | | S | Z | AC | P/V | CY |
| 8 ビット 演算 命令 | OR | A, #byte | 2 | $\bar{A} \leftarrow A \vee \text{byte}$ | × | × | | P | |
| | | saddr, #byte | 3 | $(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$ | × | × | | P | |
| | | sfr, #byte | 4 | $\text{sfr} \leftarrow \text{sfr} \vee \text{byte}$ | × | × | | P | |
| | | r, r1 | 2 | $r \leftarrow r \vee r1$ | × | × | | P | |
| | | A, saddr | 2 | $\bar{A} \leftarrow A \vee (\text{saddr})$ | × | × | | P | |
| | | A, sfr | 3 | $\bar{A} \leftarrow A \vee \text{sfr}$ | × | × | | P | |
| | | saddr, saddr | 3 | $(\text{saddr}) \leftarrow (\text{saddr}) \vee (\text{saddr})$ | × | × | | P | |
| | | A, mem | 2-4 | $\bar{A} \leftarrow A \vee (\text{mem})$ | × | × | | P | |
| | | mem, A | 2-4 | $(\text{mem}) \leftarrow (\text{mem}) \vee A$ | × | × | | P | |
| | XOR | A, #byte | 2 | $\bar{A} \leftarrow A \vee \text{byte}$ | × | × | | P | |
| | | saddr, #byte | 3 | $(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$ | × | × | | P | |
| | | sfr, #byte | 4 | $\text{sfr} \leftarrow \text{sfr} \vee \text{byte}$ | × | × | | P | |
| | | r, r1 | 2 | $r \leftarrow r \vee r1$ | × | × | | P | |
| | | A, saddr | 2 | $\bar{A} \leftarrow A \vee (\text{saddr})$ | × | × | | P | |
| | | A, sfr | 3 | $\bar{A} \leftarrow A \vee \text{sfr}$ | × | × | | P | |
| | | saddr, saddr | 3 | $(\text{saddr}) \leftarrow (\text{saddr}) \vee (\text{saddr})$ | × | × | | P | |
| | | A, mem | 2-4 | $\bar{A} \leftarrow A \vee (\text{mem})$ | × | × | | P | |
| | mem, A | 2-4 | $(\text{mem}) \leftarrow (\text{mem}) \vee A$ | × | × | | P | | |
| | CMP | A, #byte | 2 | $\bar{A} - \text{byte}$ | × | × | × | V | × |
| | | saddr, #byte | 3 | $(\text{saddr}) - \text{byte}$ | × | × | × | V | × |
| | | sfr, #byte | 4 | $\text{sfr} - \text{byte}$ | × | × | × | V | × |
| | | r, r1 | 2 | $r - r1$ | × | × | × | V | × |
| | | A, saddr | 2 | $\bar{A} - (\text{saddr})$ | × | × | × | V | × |
| | | A, sfr | 3 | $\bar{A} - \text{sfr}$ | × | × | × | V | × |
| | | saddr, saddr | 3 | $(\text{saddr}) - (\text{saddr})$ | × | × | × | V | × |
| | | A, mem | 2-4 | $\bar{A} - (\text{mem})$ | × | × | × | V | × |
| | mem, A | 2-4 | $(\text{mem}) - A$ | × | × | × | V | × | |

| 命令群 | 二モニック | オペランド | バイト | オペレーション | フラグ | | | | |
|----------------|-------|----------------|-------------------|--------------------------------------|-----|---|----|-----|----|
| | | | | | S | Z | AC | P/V | CY |
| 16ビット演算命令 | ADDW | AX, # word | 3 | AX, CY←AX+word | × | × | × | V | × |
| | | saddrp, # word | 4 | (saddrp), CY←(saddrp)+word | × | × | × | V | × |
| | | sfrp, # word | 5 | sfrp, CY←sfrp+word | × | × | × | V | × |
| | | rp, rp1 | 2 | rp, CY←rp+rp1 | × | × | × | V | × |
| | | AX, saddrp | 2 | AX, CY←AX+(saddrp) | × | × | × | V | × |
| | | AX, sfrp | 3 | AX, CY←AX+sfrp | × | × | × | V | × |
| | | saddrp, saddrp | 3 | (saddrp), CY←(saddrp)+(saddrp) | × | × | × | V | × |
| | SUBW | AX, # word | 3 | AX, CY←AX-word | × | × | × | V | × |
| | | saddrp, # word | 4 | (saddrp), CY←(saddrp)-word | × | × | × | V | × |
| | | sfrp, # word | 5 | sfrp, CY←sfrp-word | × | × | × | V | × |
| | | rp, rp1 | 2 | rp, CY←rp-rp1 | × | × | × | V | × |
| | | AX, saddrp | 2 | AX, CY←AX-(saddrp) | × | × | × | V | × |
| | | AX, sfrp | 3 | AX, CY←AX-sfrp | × | × | × | V | × |
| | | saddrp, saddrp | 3 | (saddrp), CY←(saddrp)-(saddrp) | × | × | × | V | × |
| | CMPW | AX, # word | 3 | AX-word | × | × | × | V | × |
| | | saddrp, # word | 4 | (saddrp)-word | × | × | × | V | × |
| sfrp, # word | | 5 | sfrp-word | × | × | × | V | × | |
| rp, rp1 | | 2 | rp-rp1 | × | × | × | V | × | |
| AX, saddrp | | 2 | AX-(saddrp) | × | × | × | V | × | |
| AX, sfrp | | 3 | AX-sfrp | × | × | × | V | × | |
| saddrp, saddrp | | 3 | (saddrp)-(saddrp) | × | × | × | V | × | |
| 乗除算命令 | MULU | r1 | 2 | AX←A×r1 | | | | | |
| | DIVUW | r1 | 2 | AX(商), r1(余り)←AX÷r1 | | | | | |
| | MULUW | rp1 | 2 | AX(上位16ビット), rp1(下位16ビット) ←AX×rp1 | | | | | |
| | DIVUX | rp1 | 2 | AXDE(商), rp1(余り)←AXDE÷rp1 | | | | | |
| 符号付き乗算命令 | MULW | rp1 | 2 | AX(上位16ビット), rp1(下位16ビット) ←AX×rp1 | | | | | |

| 命令群 | 二モニック | オペランド | バイト | オペレーション | フラグ | | | | |
|---------|-------|--------|-----|--|-----|---|----|-----|----|
| | | | | | S | Z | AC | P/V | CY |
| 増 | INC | rl | 1 | $rl \leftarrow rl + 1$ | × | × | × | V | |
| | | saddr | 2 | $(saddr) \leftarrow (saddr) + 1$ | × | × | × | V | |
| 減 | DEC | rl | 1 | $rl \leftarrow rl - 1$ | × | × | × | V | |
| | | saddr | 2 | $(saddr) \leftarrow (saddr) - 1$ | × | × | × | V | |
| 命令 | INCW | rp2 | 1 | $rp2 \leftarrow rp2 + 1$ | | | | | |
| | | saddrp | 3 | $(saddrp) \leftarrow (saddrp) + 1$ | | | | | |
| 命令 | DECW | rp2 | 1 | $rp2 \leftarrow rp2 - 1$ | | | | | |
| | | saddrp | 3 | $(saddrp) \leftarrow (saddrp) - 1$ | | | | | |
| シフト命令 | ROR | rl, n | 2 | $(CY, rl_7 \leftarrow rl_0, rl_{m-1} \leftarrow rl_m) \times n$ 回 | | | | P | × |
| | ROL | rl, n | 2 | $(CY, rl_0 \leftarrow rl_7, rl_{m+1} \leftarrow rl_m) \times n$ 回 | | | | P | × |
| | RORC | rl, n | 2 | $(CY \leftarrow rl_0, rl_7 \leftarrow CY, rl_{m-1} \leftarrow rl_m) \times n$ 回 | | | | P | × |
| | ROLC | rl, n | 2 | $(CY \leftarrow rl_7, rl_0 \leftarrow CY, rl_{m+1} \leftarrow rl_m) \times n$ 回 | | | | P | × |
| | SHR | rl, n | 2 | $(CY \leftarrow rl_0, rl_7 \leftarrow 0, rl_{m-1} \leftarrow rl_m) \times n$ 回 | × | × | 0 | P | × |
| | SHL | rl, n | 2 | $(CY \leftarrow rl_7, rl_0 \leftarrow 0, rl_{m+1} \leftarrow rl_m) \times n$ 回 | × | × | 0 | P | × |
| | SHRW | rpl, n | 2 | $(CY \leftarrow rpl_0, rpl_{15} \leftarrow 0, rpl_{m-1} \leftarrow rpl_m) \times n$ 回 | × | × | 0 | P | × |
| | SHLW | rpl, n | 2 | $(CY \leftarrow rpl_{15}, rpl_0 \leftarrow 0, rpl_{m+1} \leftarrow rpl_m) \times n$ 回 | × | × | 0 | P | × |
| 命令 | ROR4 | [rpl] | 2 | $A_{3-0} \leftarrow (rpl)_{3-0},$ $(rpl)_{7-4} \leftarrow A_{3-0},$ $(rpl)_{3-0} \leftarrow (rpl)_{7-4}$ | | | | | |
| | ROL4 | [rpl] | 2 | $A_{3-0} \leftarrow (rpl)_{7-4},$ $(rpl)_{3-0} \leftarrow A_{3-0},$ $(rpl)_{7-4} \leftarrow (rpl)_{3-0}$ | | | | | |
| BCD補正命令 | ADJBA | | 2 | Decimal Adjust Accumulator | × | × | × | P | × |
| | ADJBS | | | | | | | | |
| データ変換命令 | CVTBW | | 1 | $A_7=0$ のとき $X \leftarrow A, A \leftarrow 00H$ $A_7=1$ のとき $X \leftarrow A, A \leftarrow FFH$ | | | | | |

| 命令群 | ニモニク | オペランド | バイト | オペレーション | フラグ | | | | |
|---------------|------|----------------|-----------------------------|-----------------------------|-----|---|----|-----|----|
| | | | | | S | Z | AC | P/V | CY |
| ビット操作命令 | MOV1 | CY, saddr.bit | 3 | CY←(saddr.bit) | | | | | × |
| | | CY, sfr.bit | 3 | CY←sfr.bit | | | | | × |
| | | CY, A.bit | 2 | CY←A.bit | | | | | × |
| | | CY, X.bit | 2 | CY←X.bit | | | | | × |
| | | CY, PSWH.bit | 2 | CY←PSW _H .bit | | | | | × |
| | | CY, PSWL.bit | 2 | CY←PSW _L .bit | | | | | × |
| | | saddr.bit, CY | 3 | (saddr.bit)←CY | | | | | |
| | | sfr.bit, CY | 3 | sfr.bit←CY | | | | | |
| | | A.bit, CY | 2 | A.bit←CY | | | | | |
| | | X.bit, CY | 2 | X.bit←CY | | | | | |
| | | PSWH.bit, CY | 2 | PSW _H .bit←CY | | | | | |
| | | PSWL.bit, CY | 2 | PSW _L .bit←CY | | | | | |
| | AND1 | CY, saddr.bit | 3 | CY←CY∧(saddr.bit) | | | | | × |
| | | CY, /saddr.bit | 3 | CY←CY∧(saddr.bit) | | | | | × |
| | | CY, sfr.bit | 3 | CY←CY∧sfr.bit | | | | | × |
| | | CY, /sfr.bit | 3 | CY←CY∧sfr.bit | | | | | × |
| | | CY, A.bit | 2 | CY←CY∧A.bit | | | | | × |
| | | CY, /A.bit | 2 | CY←CY∧A.bit | | | | | × |
| | | CY, X.bit | 2 | CY←CY∧X.bit | | | | | × |
| | | CY, /X.bit | 2 | CY←CY∧X.bit | | | | | × |
| | | CY, PSWH.bit | 2 | CY←CY∧PSW _H .bit | | | | | × |
| | | CY, /PSWH.bit | 2 | CY←CY∧PSW _H .bit | | | | | × |
| | | CY, PSWL.bit | 2 | CY←CY∧PSW _L .bit | | | | | × |
| | | CY, /PSWL.bit | 2 | CY←CY∧PSW _L .bit | | | | | × |
| | OR1 | CY, saddr.bit | 3 | CY←CY∨(saddr.bit) | | | | | × |
| | | CY, /saddr.bit | 3 | CY←CY∨(saddr.bit) | | | | | × |
| | | CY, sfr.bit | 3 | CY←CY∨sfr.bit | | | | | × |
| | | CY, /sfr.bit | 3 | CY←CY∨sfr.bit | | | | | × |
| | | CY, A.bit | 2 | CY←CY∨A.bit | | | | | × |
| | | CY, /A.bit | 2 | CY←CY∨A.bit | | | | | × |
| | | CY, X.bit | 2 | CY←CY∨X.bit | | | | | × |
| | | CY, /X.bit | 2 | CY←CY∨X.bit | | | | | × |
| | | CY, PSWH.bit | 2 | CY←CY∨PSW _H .bit | | | | | × |
| CY, /PSWH.bit | | 2 | CY←CY∨PSW _H .bit | | | | | × | |
| CY, PSWL.bit | | 2 | CY←CY∨PSW _L .bit | | | | | × | |
| CY, /PSWL.bit | | 2 | CY←CY∨PSW _L .bit | | | | | × | |

| 命令群 | 二モニック | オペランド | バイト | オペレーション | フラグ | | | | | | | |
|-----|-------|---------------|-----|---|-----|---|----|-----|----|---|---|---|
| | | | | | S | Z | AC | P/V | CY | | | |
| ビット | XOR1 | CY, saddr.bit | 3 | $CY \leftarrow CY \vee (\text{saddr.bit})$ | | | | | | | × | |
| | | CY, sfr.bit | 3 | $CY \leftarrow CY \vee \text{sfr.bit}$ | | | | | | | × | |
| | | CY, A.bit | 2 | $CY \leftarrow CY \vee A.\text{bit}$ | | | | | | | × | |
| | | CY, X.bit | 2 | $CY \leftarrow CY \vee X.\text{bit}$ | | | | | | | × | |
| | | CY, PSWH.bit | 2 | $CY \leftarrow CY \vee \text{PSW}_H.\text{bit}$ | | | | | | | × | |
| | | CY, PSWL.bit | 2 | $CY \leftarrow CY \vee \text{PSW}_L.\text{bit}$ | | | | | | | × | |
| ツト | SET1 | saddr.bit | 2 | $(\text{saddr.bit}) \leftarrow 1$ | | | | | | | | |
| | | sfr.bit | 3 | $\text{sfr.bit} \leftarrow 1$ | | | | | | | | |
| | | A.bit | 2 | $A.\text{bit} \leftarrow 1$ | | | | | | | | |
| | | X.bit | 2 | $X.\text{bit} \leftarrow 1$ | | | | | | | | |
| | | PSWH.bit | 2 | $\text{PSW}_H.\text{bit} \leftarrow 1$ | | | | | | | | |
| | | PSWL.bit | 2 | $\text{PSW}_L.\text{bit} \leftarrow 1$ | | | | | | × | × | × |
| 操作 | CLR1 | saddr.bit | 2 | $(\text{saddr.bit}) \leftarrow 0$ | | | | | | | | |
| | | sfr.bit | 3 | $\text{sfr.bit} \leftarrow 0$ | | | | | | | | |
| | | A.bit | 2 | $A.\text{bit} \leftarrow 0$ | | | | | | | | |
| | | X.bit | 2 | $X.\text{bit} \leftarrow 0$ | | | | | | | | |
| | | PSWH.bit | 2 | $\text{PSW}_H.\text{bit} \leftarrow 0$ | | | | | | | | |
| | | PSWL.bit | 2 | $\text{PSW}_L.\text{bit} \leftarrow 0$ | | | | | | × | × | × |
| 命令 | NOT1 | saddr.bit | 3 | $(\text{saddr.bit}) \leftarrow \overline{(\text{saddr.bit})}$ | | | | | | | | |
| | | sfr.bit | 3 | $\text{sfr.bit} \leftarrow \overline{\text{sfr.bit}}$ | | | | | | | | |
| | | A.bit | 2 | $A.\text{bit} \leftarrow \overline{A.\text{bit}}$ | | | | | | | | |
| | | X.bit | 2 | $X.\text{bit} \leftarrow \overline{X.\text{bit}}$ | | | | | | | | |
| | | PSWH.bit | 2 | $\text{PSW}_H.\text{bit} \leftarrow \overline{\text{PSW}_H.\text{bit}}$ | | | | | | | | |
| | | PSWL.bit | 2 | $\text{PSW}_L.\text{bit} \leftarrow \overline{\text{PSW}_L.\text{bit}}$ | | | | | | × | × | × |
| | SET1 | CY | 1 | $CY \leftarrow 1$ | | | | | | | | 1 |
| | CLR1 | CY | 1 | $CY \leftarrow 0$ | | | | | | | | 0 |
| | NOT1 | CY | 1 | $CY \leftarrow \overline{CY}$ | | | | | | | | × |

| 命令群 | 二モニック | オペランド | バイト | オペレーション | フラグ | | | | |
|----------|-------|-----------|----------------------|---|-----|---|----|-----|----|
| | | | | | S | Z | AC | P/V | CY |
| コール | CALL | !addr16 | 3 | $(SP-1) \leftarrow (PC+3)_H, (SP-2) \leftarrow (PC+3)_L,$ $PC \leftarrow \text{addr16}, SP \leftarrow SP-2$ | | | | | |
| | CALLF | !addr11 | 2 | $(SP-1) \leftarrow (PC+2)_H, (SP-2) \leftarrow (PC+2)_L,$ $PC_{15-11} \leftarrow 00001, PC_{10-0} \leftarrow \text{addr11}, SP \leftarrow SP-2$ | | | | | |
| | CALLT | [addr5] | 1 | $(SP-1) \leftarrow (PC+1)_H, (SP-2) \leftarrow (PC+1)_L,$ $PC_H \leftarrow (TPF, 00000000, \text{addr5}+1),$ $PC_L \leftarrow (TPF, 00000000, \text{addr5}), SP \leftarrow SP-2$ | | | | | |
| | CALL | rp1 | 2 | $(SP-1) \leftarrow (PC+2)_H, (SP-2) \leftarrow (PC+2)_L,$ $PC_H \leftarrow \text{rp1}_H, PC_L \leftarrow \text{rp1}_L, SP \leftarrow SP-2$ | | | | | |
| | | [rp1] | 2 | $(SP-1) \leftarrow (PC+2)_H, (SP-2) \leftarrow (PC+2)_L,$ $PC_H \leftarrow (\text{rp1}+1), PC_L \leftarrow (\text{rp1}), SP \leftarrow SP-2$ | | | | | |
| | BRK | | 1 | $(SP-1) \leftarrow \text{PSW}_H, (SP-2) \leftarrow \text{PSW}_L$ $(SP-3) \leftarrow (PC+1)_H, (SP-4) \leftarrow (PC+1)_L,$ $PC_L \leftarrow (003EH), PC_H \leftarrow (003FH), SP \leftarrow SP-4,$ $IE \leftarrow 0$ | | | | | |
| | RET | | 1 | $PC_L \leftarrow (SP), PC_H \leftarrow (SP+1), SP \leftarrow SP+2$ | | | | | |
| 命令 | RETB | | 1 | $PC_L \leftarrow (SP), PC_H \leftarrow (SP+1)$ $\text{PSW}_L \leftarrow (SP+2), \text{PSW}_H \leftarrow (SP+3)$ $SP \leftarrow SP+4$ | R | R | R | R | R |
| | RETI | | 1 | $PC_L \leftarrow (SP), PC_H \leftarrow (SP+1)$ $\text{PSW}_L \leftarrow (SP+2), \text{PSW}_H \leftarrow (SP+3)$ $SP \leftarrow SP+4$ | R | R | R | R | R |
| スタック操作命令 | PUSH | sfrp | 3 | $(SP-1) \leftarrow \text{sfr}_H$ $(SP-2) \leftarrow \text{sfr}_L$ $SP \leftarrow SP-2$ | | | | | |
| | | post | 2 | $\{(SP-1) \leftarrow \text{post}_H, (SP-2) \leftarrow \text{post}_L, SP \leftarrow SP-2\}$ $\times n$ 回注 | | | | | |
| | | PSW | 1 | $(SP-1) \leftarrow \text{PSW}_H, (SP-2) \leftarrow \text{PSW}_L, SP \leftarrow SP-2$ | | | | | |
| | PUSHU | post | 2 | $\{(UP-1) \leftarrow \text{post}_H, (UP-2) \leftarrow \text{post}_L, UP \leftarrow UP-2\}$ $\times n$ 回注 | | | | | |
| | POP | sfrp | 3 | $\text{sfr}_L \leftarrow (SP)$ $\text{sfr}_H \leftarrow (SP+1)$ $SP \leftarrow SP+2$ | | | | | |
| | | post | 2 | $\{\text{post}_L \leftarrow (SP), \text{post}_H \leftarrow (SP+1), SP \leftarrow SP+2\}$ $\times n$ 回注 | | | | | |
| | | PSW | 1 | $\text{PSW}_L \leftarrow (SP), \text{PSW}_H \leftarrow (SP+1), SP \leftarrow SP+2$ | R | R | R | R | R |
| | POPU | post | 2 | $\{\text{post}_L \leftarrow (UP), \text{post}_H \leftarrow (UP+1), UP \leftarrow UP+2\}$ $\times n$ 回注 | | | | | |
| | MOVW | SP, #word | 4 | $SP \leftarrow \text{word}$ | | | | | |
| | | SP, AX | 2 | $SP \leftarrow AX$ | | | | | |
| AX, SP | | 2 | $AX \leftarrow SP$ | | | | | | |
| INCW | SP | 2 | $SP \leftarrow SP+1$ | | | | | | |
| DECW | SP | 2 | $SP \leftarrow SP-1$ | | | | | | |
| 特殊命令 | CHKL | sfr | 3 | (端子レベル) ∇ (出力バッファ前の信号レベル) | x | x | | | P |
| | CHKLA | sfr | 3 | A (端子レベル) ∇ (出力バッファ前の信号レベル) | x | x | | | P |

注 nは、postとして記述したレジスタの数です。

| 命令群 | モニタック | オペランド | バイト | オペレーション | フラグ | | | | |
|----------|-------|----------------------|-----|---|-----|---|----|-----|----|
| | | | | | S | Z | AC | P/V | CY |
| 無条件分岐命令 | BR | !addr16 | 3 | PC←addr16 | | | | | |
| | | rpl | 2 | PC _H ←rpl _H , PC _L ←rpl _L | | | | | |
| | | [rpl] | 2 | PC _H ←(rpl+1), PC _L ←(rpl) | | | | | |
| | | \$ addr16 | 2 | PC←PC+2+jdisp8 | | | | | |
| 条件付き分岐命令 | BC | \$ addr16 | 2 | PC←PC+2+jdisp8 if CY=1 | | | | | |
| | BL | | | | | | | | |
| | BNC | \$ addr16 | 2 | PC←PC+2+jdisp8 if CY=0 | | | | | |
| | BNL | | | | | | | | |
| | BZ | \$ addr16 | 2 | PC←PC+2+jdisp8 if Z=1 | | | | | |
| | BE | | | | | | | | |
| | BNZ | \$ addr16 | 2 | PC←PC+2+jdisp8 if Z=0 | | | | | |
| | BNE | | | | | | | | |
| | BV | \$ addr16 | 2 | PC←PC+2+jdisp8 if P/V=1 | | | | | |
| | BPE | | | | | | | | |
| | BNV | \$ addr16 | 2 | PC←PC+2+jdisp8 if P/V=0 | | | | | |
| | BPO | | | | | | | | |
| | BN | \$ addr16 | 2 | PC←PC+2+jdisp8 if S=1 | | | | | |
| | BP | \$ addr16 | 2 | PC←PC+2+jdisp8 if S=0 | | | | | |
| | BGT | \$ addr16 | 3 | PC←PC+3+jdisp8 if (P/V≠S)∨Z=0 | | | | | |
| | BGE | \$ addr16 | 3 | PC←PC+3+jdisp8 if P/V≠S=0 | | | | | |
| | BLT | \$ addr16 | 3 | PC←PC+3+jdisp8 if P/V≠S=1 | | | | | |
| | BLE | \$ addr16 | 3 | PC←PC+3+jdisp8 if (P/V≠S)∨Z=1 | | | | | |
| | BH | \$ addr16 | 3 | PC←PC+3+jdisp8 if Z∨CY=0 | | | | | |
| | BNH | \$ addr16 | 3 | PC←PC+3+jdisp8 if Z∨CY=1 | | | | | |
| 分岐命令 | BT | saddr.bit, \$ addr16 | 3 | PC←PC+3+jdisp8 if (saddr.bit)=1 | | | | | |
| | | sfr.bit, \$ addr16 | 4 | PC←PC+4+jdisp8 if sfr.bit=1 | | | | | |
| | | A.bit, \$ addr16 | 3 | PC←PC+3+jdisp8 if A.bit=1 | | | | | |
| | | X.bit, \$ addr16 | 3 | PC←PC+3+jdisp8 if X.bit=1 | | | | | |
| | | PSWH.bit, \$ addr16 | 3 | PC←PC+3+jdisp8 if PSW _H .bit=1 | | | | | |
| | | PSWL.bit, \$ addr16 | 3 | PC←PC+3+jdisp8 if PSW _L .bit=1 | | | | | |
| 命令 | BF | saddr.bit, \$ addr16 | 4 | PC←PC+4+jdisp8 if (saddr.bit)=0 | | | | | |
| | | sfr.bit, \$ addr16 | 4 | PC←PC+4+jdisp8 if sfr.bit=0 | | | | | |
| | | A.bit, \$ addr16 | 3 | PC←PC+3+jdisp8 if A.bit=0 | | | | | |
| | | X.bit, \$ addr16 | 3 | PC←PC+3+jdisp8 if X.bit=0 | | | | | |
| | | PSWH.bit, \$ addr16 | 3 | PC←PC+3+jdisp8 if PSW _H .bit=0 | | | | | |
| | | PSWL.bit, \$ addr16 | 3 | PC←PC+3+jdisp8 if PSW _L .bit=0 | | | | | |

| 命令群 | 二モニック | オペランド | バイト | オペレーション | フラグ | | | | | |
|--------------|------------------|----------------------|--|--|-----|---|----|-----|----|---|
| | | | | | S | Z | AC | P/V | CY | |
| 条件付き岐命令 | BTCLR | saddr.bit, \$ addr16 | 4 | PC←PC+4+jdisp8 if (saddr.bit)=1 then reset (saddr.bit) | | | | | | |
| | | sfr.bit, \$ addr16 | 4 | PC←PC+4+jdisp8 if sfr.bit=1 then reset sfr.bit | | | | | | |
| | | A.bit, \$ addr16 | 3 | PC←PC+3+jdisp8 if A.bit=1 then reset A.bit | | | | | | |
| | | X.bit, \$ addr16 | 3 | PC←PC+3+jdisp8 if X.bit=1 then reset X.bit | | | | | | |
| | | PSWH.bit, \$ addr16 | 3 | PC←PC+3+jdisp8 if PSW _H .bit=1 then reset PSW _H .bit | | | | | | |
| | | PSWL.bit, \$ addr16 | 3 | PC←PC+3+jdisp8 if PSW _L .bit=1 then reset PSW _L .bit | × | × | × | × | × | × |
| | BFSET | saddr.bit, \$ addr16 | 4 | PC←PC+4+jdisp8 if (saddr.bit)=0 then set (saddr.bit) | | | | | | |
| | | sfr.bit, \$ addr16 | 4 | PC←PC+4+jdisp8 if sfr.bit=0 then set sfr.bit | | | | | | |
| | | A.bit, \$ addr16 | 3 | PC←PC+3+jdisp8 if A.bit=0 then set A.bit | | | | | | |
| | | X.bit, \$ addr16 | 3 | PC←PC+3+jdisp8 if X.bit=0 then set X.bit | | | | | | |
| | | PSWH.bit, \$ addr16 | 3 | PC←PC+3+jdisp8 if PSW _H .bit=0 then set PSW _H .bit | | | | | | |
| | | PSWL.bit, \$ addr16 | 3 | PC←PC+3+jdisp8 if PSW _L .bit=0 then set PSW _L .bit | × | × | × | × | × | × |
| DBNZ | r2, \$ addr16 | 2 | r2←r2-1, then PC←PC+2+jdisp8 if r2≠0 | | | | | | | |
| | saddr, \$ addr16 | 3 | (saddr)←(saddr)-1, then PC←PC+3+jdisp8 if (saddr)≠0 | | | | | | | |
| ソフトウェアキシング命令 | BRKCS | RBn | 2 | PC _H ↔R5, PC _L ↔R4, R7←PSW _H , R6←PSW _L , RBS2-0←n, RSS←0, IE←0 | | | | | | |
| | RETCS | !addr16 | 3 | PC _H ←R5, PC _L ←R4, R5, R4←addr16, PSW _H ←R7, PSW _L ←R6 | R | R | R | R | R | |
| | RETCSB | !addr16 | 4 | PC _H ←R5, PC _L ←R4, R5, R4←addr16, PSW _H ←R7, PSW _L ←R6 | R | R | R | R | R | |

| 命令群 | 二モニック | オペランド | バイト | オペレーション | フラグ | | | | |
|--------------------|---------------------|--------------|--|---|-----|---|----|-----|----|
| | | | | | S | Z | AC | P/V | CY |
| ストリオン命令 | MOV _M | [DE+], A | 2 | (DE+)←A, C←C-1 End if C=0 | | | | | |
| | | [DE-], A | 2 | (DE-)←A, C←C-1 End if C=0 | | | | | |
| | MOV _{BK} | [DE+], [HL+] | 2 | (DE+)←(HL+), C←C-1 End if C=0 | | | | | |
| | | [DE-], [HL-] | 2 | (DE-)←(HL-), C←C-1 End if C=0 | | | | | |
| | XCH _M | [DE+], A | 2 | (DE+)↔A, C←C-1 End if C=0 | | | | | |
| | | [DE-], A | 2 | (DE-)↔A, C←C-1 End if C=0 | | | | | |
| | XCH _{BK} | [DE+], [HL+] | 2 | (DE+)↔(HL+), C←C-1 End if C=0 | | | | | |
| | | [DE-], [HL-] | 2 | (DE-)↔(HL-), C←C-1 End if C=0 | | | | | |
| | CMP _{ME} | [DE+], A | 2 | (DE+)-A, C←C-1 End if C=0 or Z=0 | × | × | × | V | × |
| | | [DE-], A | 2 | (DE-)-A, C←C-1 End if C=0 or Z=0 | × | × | × | V | × |
| | CMP _{BKE} | [DE+], [HL+] | 2 | (DE+)-(HL+), C←C-1 End if C=0 or Z=0 | × | × | × | V | × |
| | | [DE-], [HL-] | 2 | (DE-)-(HL-), C←C-1 End if C=0 or Z=0 | × | × | × | V | × |
| | CMP _{MNE} | [DE+], A | 2 | (DE+)-A, C←C-1 End if C=0 or Z=1 | × | × | × | V | × |
| | | [DE-], A | 2 | (DE-)-A, C←C-1 End if C=0 or Z=1 | × | × | × | V | × |
| | CMP _{BKNE} | [DE+], [HL+] | 2 | (DE+)-(HL+), C←C-1 End if C=0 or Z=1 | × | × | × | V | × |
| | | [DE-], [HL-] | 2 | (DE-)-(HL-), C←C-1 End if C=0 or Z=1 | × | × | × | V | × |
| CMP _{MC} | [DE+], A | 2 | (DE+)-A, C←C-1 End if C=0 or CY=0 | × | × | × | V | × | |
| | [DE-], A | 2 | (DE-)-A, C←C-1 End if C=0 or CY=0 | × | × | × | V | × | |
| CMP _{BKC} | [DE+], [HL+] | 2 | (DE+)-(HL+), C←C-1 End if C=0 or CY=0 | × | × | × | V | × | |
| | [DE-], [HL-] | 2 | (DE-)-(HL-), C←C-1 End if C=0 or CY=0 | × | × | × | V | × | |

| 命令群 | ニモニック | オペランド | バイト | オペレーション | フラグ | | | | |
|---------------------------------|---------|--------------|--------------------------|--|-----|---|----|-----|----|
| | | | | | S | Z | AC | P/V | CY |
| ストリング命令 | CMPMNC | [DE+], A | 2 | (DE+)←A, C←C-1 End if C=0 or CY=1 | × | × | × | V | × |
| | | [DE-], A | 2 | (DE-)←A, C←C-1 End if C=0 or CY=1 | × | × | × | V | × |
| | CMPBKNC | [DE+], [HL+] | 2 | (DE+)←(HL+), C←C-1 End if C=0 or CY=1 | × | × | × | V | × |
| | | [DE-], [HL-] | 2 | (DE-)←(HL-), C←C-1 End if C=0 or CY=1 | × | × | × | V | × |
| C P U 制 御 命 令 | MOV | STBC, #byte | 4 | STBC←byte ^注 | | | | | |
| | | WDM, #byte | 4 | WDM←byte ^注 | | | | | |
| | SWRS | | 1 | RSS← $\bar{R}SS$ | | | | | |
| | SEL | RBn | 2 | RBS2-0←n, RSS←0 | | | | | |
| | | RBn, ALT | 2 | RBS2-0←n, RSS←1 | | | | | |
| | NOP | | 1 | No Operation | | | | | |
| | EI | | 1 | IE←1 (Enable Interrupt) | | | | | |
| DI | | 1 | IE←0 (Disable Interrupt) | | | | | | |

注 STBCレジスタ, WDMレジスタ操作命令のオペコードが異常のとき, オペコード・トラップ割り込みを発生します。

トラップ時のオペレーション:

- (SP-1)←PSW_H, (SP-2)←PSW_L,
- (SP-3)←(PC-4)_H, (SP-4)←(PC-4)_L,
- PC_L←(003CH), PC_H←(003DH),
- SP←SP-4, IE←0

9. 電気的特性

絶対最大定格 ($T_a = 25^\circ\text{C}$)

| 項 目 | 略 号 | 条 件 | 定 格 | 単 位 | |
|----------------|------------|---------|--------------------------|---------------------------|---|
| 電 源 電 圧 | V_{DD} | | $-0.5 \sim +7.0$ | V | |
| | AV_{DD} | | $-0.5 \sim V_{DD} + 0.5$ | V | |
| | AV_{SS} | | $-0.5 \sim +0.5$ | V | |
| 入 力 電 圧 | V_I | 注1,2 | $-0.5 \sim V_{DD} + 0.5$ | V | |
| 出 力 電 圧 | V_O | | $-0.5 \sim V_{DD} + 0.5$ | V | |
| ロウ・レベル出力電流 | I_{OL} | 全出力端子 | 4.0 | mA | |
| | | 全出力端子合計 | 90 | mA | |
| ハイ・レベル出力電流 | I_{OH} | 全出力端子 | -1.0 | mA | |
| | | 全出力端子合計 | -20 | mA | |
| アナログ入力電圧 | V_{IAN} | 注2,3 | $AV_{DD} > V_{DD}$ | $-0.5 \sim V_{DD} + 0.5$ | V |
| | | | $V_{DD} \geq AV_{DD}$ | $-0.5 \sim AV_{DD} + 0.5$ | |
| A/Dコンバータ基準入力電圧 | AV_{REF} | | $AV_{DD} > V_{DD}$ | $-0.5 \sim V_{DD} + 0.3$ | V |
| | | | $V_{DD} \geq AV_{DD}$ | $-0.5 \sim AV_{DD} + 0.3$ | |
| 動 作 温 度 | T_{OPT} | | $-40 \sim +85$ | $^\circ\text{C}$ | |
| 保 存 温 度 | T_{STG} | | $-65 \sim +150$ | $^\circ\text{C}$ | |

注1. 注3に記載以外の端子。

2. 過電圧印加における許容端子注入電流特性の過電圧条件を除きます。

3. P70/ANIO-P77/ANI7端子。

過電圧印加における許容端子注入電流特性 (T_a = -40 ~ +85 °C, V_{DD} = +5 V ± 10 %, V_{SS} = 0 V) ★

| 項目 | 略号 | 条件 | | MIN. | TYP. | MAX. | 単位 |
|---|-------------------|---------|-------------------------|------|------|------|----|
| 正方向注入電流 (V _{IN} > V _{DD}) | I _{IJH1} | 1端子 | ANIn(n=0-7)以外の 入力ポート | ピーク値 | | 10 | mA |
| | | | | 平均値 | | 0.5 | mA |
| | I _{IJH2} | 1端子 | ANIn(n=0-7) | ピーク値 | | 3 | mA |
| | | | | 平均値 | | 1 | mA |
| | I _{IJH} | 全入力端子合計 | ピーク値 | | 100 | mA | |
| | | | 平均値 | | 5 | mA | |
| 負方向注入電流 (V _{IN} < V _{SS}) | I _{IJL1} | 1端子 | ANIn(n=0-7)以外の 入力ポート | ピーク値 | | -4 | mA |
| | | | | 平均値 | | -0.4 | mA |
| | I _{IJL2} | 1端子 | ANIn(n=0-7) | ピーク値 | | -4 | mA |
| | | | | 平均値 | | -0.3 | mA |
| | I _{IJL} | 全入力端子合計 | ピーク値 | | -40 | mA | |
| | | | 平均値 | | -3 | mA | |

注意1. アナログ入力端子 (ANIn : n=0-7) に注入電流が流れた場合、電流注入端子に隣接するアナログ入力の A/D変換結果は、注入電流が流れていない場合の規格に ±2LSB を加えた値となります。

2. 端子注入電流の平均値 (絶対値) は、次の式により求められます。

$$\text{平均値} = \left(\frac{1}{T} \int_0^T |i(t)|^{3/2} dt \right)^{2/3}$$

ここで i(t) は端子注入電流です。また、|i(t)| の最大値がピーク値となります。

推奨動作条件

| 発振周波数 | T _a | V _{DD} |
|----------------------------------|----------------|-----------------|
| 8 MHz ≤ f _{xx} ≤ 16 MHz | -40 ~ +85 °C | +5.0 V ± 10 % |

容量 (T_a = 25 °C, V_{SS} = V_{DD} = 0V)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|-------|-----------------|--------------------------|------|------|------|----|
| 入力容量 | C _i | f = 1 MHz 被測定端子以外は 0V | | | 20 | pF |
| 出力容量 | C _o | | | | 20 | pF |
| 入出力容量 | C _{io} | | | | 20 | pF |

発振器特性 ($T_a = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = +5 \text{ V} \pm 10\%$, $V_{SS} = 0 \text{ V}$)

| 発振子 | 推奨回路 | 項目 | MIN. | MAX. | 単位 |
|----------------------|------|--|------|------|-----|
| セラミック発振子 または水晶振動子 | | 発振周波数 (f_{XX}) | 8 | 16 | MHz |
| 外部クロック | | X1 入力周波数 (f_X) | 8 | 16 | MHz |
| | | X1 入力立ち上がり, 立ち下がり時間 (t_{XR} , t_{XF}) | 0 | 20 | ns |
| | | X1 入力ハイ,ロウ・レベル幅 (t_{WXH} , t_{WXL}) | 25 | 80 | ns |

★ 注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、 の部分を次のように配線してください。

- 配線を極力短くする。
- ほかの信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるグラウンド・パターンには接地しない。
- 発振回路から信号を取り出さない。

DC特性 ($T_a = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$, $V_{SS} = 0\text{V}$)

| 項 目 | 略 号 | 条 件 | MIN. | TYP. | MAX. | 単 位 | |
|---------------|------------|----------------------------------|-----------------------------------|------|----------|---------------|---------------|
| ロウ・レベル入力電圧 | V_{IL} | | 0 | | 0.8 | V | |
| ハイ・レベル入力電圧 | V_{IH1} | 注1 | 2.2 | | | V | |
| | V_{IH2} | 注2 | $0.8V_{DD}$ | | | | |
| ロウ・レベル出力電圧 | V_{OL} | $I_{OL} = 2.0\text{mA}$ | | | 0.45 | V | |
| ハイ・レベル出力電圧 | V_{OH} | $I_{OH} = -400\ \mu\text{A}$ | $V_{DD} - 1.0$ | | | V | |
| 入力リーク電流 | I_{LI} | $0\text{V} \leq V_i \leq V_{DD}$ | | | ± 10 | μA | |
| 出力リーク電流 | I_{LO} | $0\text{V} \leq V_o \leq V_{DD}$ | | | ± 10 | μA | |
| V_{DD} 電源電流 | I_{DD1} | 動作モード | | 45 | 75 | mA | |
| | I_{DD2} | HALTモード | | 25 | 45 | mA | |
| データ保持電圧 | V_{DDDR} | STOPモード | 2.5 | | | V | |
| データ保持電流 | I_{DDDR} | STOPモード | $V_{DDDR} = 2.5\text{V}$ | | 3 | 15 | μA |
| | | | $V_{DDDR} = 5.0\text{V} \pm 10\%$ | | 10 | 50 | μA |

注1. $\overline{\text{RESET}}$, X1, X2, P20/NMI, P21/INTP0, P22/INTP1/TI, P86/INTP2/TO0, P32/SO/SB0, P33/SI/SB1, P34/ $\overline{\text{SCK}}$ を除く端子。

2. $\overline{\text{RESET}}$, X1, X2, P20/NMI, P21/INTP0, P22/INTP1/TI, P86/INTP2/TO0, P32/SO/SB0, P33/SI/SB1, P34/ $\overline{\text{SCK}}$ 端子。

AC特性 (Ta = -40 ~ +85 °C, V_{DD} = +5V ± 10%, V_{SS} = 0V)

非連続リード/ライト・オペレーション (汎用メモリ/ターボ・アクセス・マネージャ接続時)

| 項 目 | 略 号 | 条 件 | MIN. | MAX. | 単 位 |
|------------------------|--------------------|-----|------|------|-----|
| システム・クロック・サイクル・タイム | t _{CYK} | | 125 | 250 | ns |
| アドレス・セットアップ時間 (対ASTB↓) | t _{SAST} | | 22 | | ns |
| アドレス・ホールド時間 (対ASTB↓) | t _{HSTA} | | 32 | | ns |
| アドレス → RD ↓ 遅延時間 | t _{DAR} | | 85 | | ns |
| RD ↓ → アドレス・フロート時間 | t _{FRA} | | | 8 | ns |
| アドレス → データ入力時間 | t _{DAID} | | | 222 | ns |
| RD ↓ → データ入力時間 | t _{DRID1} | | | 112 | ns |
| ASTB ↓ → RD ↓ 遅延時間 | t _{DSTR} | | 42 | | ns |
| データ・ホールド時間 (対RD↑) | t _{HRID} | | 0 | | ns |
| RD ↑ → アドレス・アクティブ時間 | t _{DRA} | | 37 | | ns |
| RD ロウ・レベル幅 | t _{WRL} | | 147 | | ns |
| ASTB ハイ・レベル幅 | t _{WSTH} | | 37 | | ns |
| アドレス → WR ↓ 遅延時間 | t _{DAW} | | 85 | | ns |
| ASTB ↓ → データ出力時間 | t _{DSTOD} | | | 102 | ns |
| WR ↓ → データ出力時間 | t _{DWOD} | | | 40 | ns |
| ASTB ↓ → WR ↓ 遅延時間 | t _{DSTW} | | 42 | | ns |
| データ・セットアップ時間 (対WR↑) | t _{SODW} | | 137 | | ns |
| データ・ホールド時間 (対WR↑) | t _{HWOD} | | 32 | | ns |
| WR ↑ → ASTB ↑ 遅延時間 | t _{DWST} | | 42 | | ns |
| WR ロウ・レベル幅 | t _{WWL} | | 147 | | ns |

分岐処理オペレーション

連続命令コード・フェッチ・オペレーション (ターボ・アクセス・マネージャ接続時)

| 項 目 | 略 号 | 条 件 | MIN. | MAX. | 単 位 |
|-----------------------|---------------------|-----|------|------|-----|
| TAS ロウ・レベル幅 | t _{WTAL} | | 32 | | ns |
| TAS ハイ・レベル幅 | t _{WTAH} | | 42 | | ns |
| TAS ↑ → データ入力時間 | t _{DTAID} | | | 80 | ns |
| TMD ↑ → TAS ↑ 遅延時間 | t _{DTMRTA} | | 157 | | ns |
| RD ↓ → データ入力時間 | t _{DRID2} | | | 65 | ns |
| TAS セットアップ時間 (対ASTB↓) | t _{STAST} | | 32 | | ns |
| TMD セットアップ時間 (対ASTB↓) | t _{STMST} | | 42 | | ns |
| TMD ↓ → TAS ↑ 遅延時間 | t _{DTMFTA} | | 95 | | ns |
| ASTB ↓ → TMD ↓ 遅延時間 | t _{DSTTM} | | 85 | | ns |
| データ・ホールド時間 (対TAS↑) | t _{HTMID} | | 0 | | ns |
| RESET ↑ → ASTB ↓ | t _{DRESAS} | | 1475 | | ns |

備考 t_{DRESAS} は、ターボ・アクセス・マネージャに対する最初のメモリ・アクセス

t_{CYK} 依存のバス・タイミング定義

| 項 目 | 計 算 式 | MIN./MAX. | 単 位 |
|---------------------|------------------|-----------|-----|
| t _{SAST} | 0.5T - 40 | MIN. | ns |
| t _{HSTA} | 0.5T - 30 | MIN. | ns |
| t _{DAR} | T - 40 | MIN. | ns |
| t _{DAID} | (2.5 + n) T - 90 | MAX. | ns |
| t _{DRID1} | (1.5 + n) T - 75 | MAX. | ns |
| t _{DSTR} | 0.5T - 20 | MIN. | ns |
| t _{DRA} | 0.5T - 25 | MIN. | ns |
| t _{WRL} | (1.5 + n) T - 40 | MIN. | ns |
| t _{WSTH} | 0.5T - 25 | MIN. | ns |
| t _{DAW} | T - 40 | MIN. | ns |
| t _{DSTOD} | 0.5T + 40 | MAX. | ns |
| t _{DSTW} | 0.5T - 20 | MIN. | ns |
| t _{SODW} | 1.5T - 50 | MIN. | ns |
| t _{HWOD} | 0.5T - 30 | MIN. | ns |
| t _{DWST} | 0.5T - 20 | MIN. | ns |
| t _{WWL} | (1.5 + n) T - 40 | MIN. | ns |
| t _{WTAL} | 0.5T - 30 | MIN. | ns |
| t _{WTAH} | 0.5T - 20 | MIN. | ns |
| t _{DTAID} | T - 50 | MAX. | ns |
| t _{DTMRTA} | 1.5T - 30 | MIN. | ns |
| t _{DRID2} | T - 60 | MAX. | ns |
| t _{STAST} | 0.5T - 30 | MIN. | ns |
| t _{STMST} | 0.5T - 20 | MIN. | ns |
| t _{DTMFTA} | T - 30 | MIN. | ns |
| t _{DSTTM} | T - 40 | MIN. | ns |
| t _{DRESAS} | 11T + 100 | MIN. | ns |

備考1. $T = t_{CYK} = 1/f_{CLK}$ (f_{CLK} は内部システム・クロック周波数で、 f_{XX} または f_X の2分周値です)

2. nはユーザ・ソフトウェアにより定義されるウエイト・サイクル数です。
3. この表に示す項のみt_{CYK}に依存します。

シリアル・オペレーション ($T_a = -40 \sim +85^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$, $V_{SS} = 0\text{V}$)

| 項 目 | 略 号 | 条 件 | MIN. | MAX. | 単 位 |
|--|---------------------|---|--------|---------|------------------|
| シリアル・クロック・サイクル・タイム | t_{CYSK} | 入 力 | 外部クロック | 1 | μs |
| | | 出 力 | 内部8分周 | 8T | t_{CYK} |
| | | | 内部32分周 | 32T | t_{CYK} |
| シリアル・クロック・ロウ・レベル幅 | t_{WSKL} | 入 力 | 外部クロック | 420 | ns |
| | | 出 力 | 内部8分周 | 4T-80 | ns |
| | | | 内部32分周 | 16T-100 | ns |
| シリアル・クロック・ハイ・レベル幅 | t_{WSKH} | 入 力 | 外部クロック | 420 | ns |
| | | 出 力 | 内部8分周 | 4T-80 | ns |
| | | | 内部32分周 | 16T-100 | ns |
| SIセットアップ時間(対 $\overline{\text{SCK}}\uparrow$) | t_{SRXSK} | | 80 | | ns |
| SIホールド時間(対 $\overline{\text{SCK}}\uparrow$) | t_{HSKRX} | | 80 | | ns |
| SO/SB0, SI/SB1 出力遅延時間(対 $\overline{\text{SCK}}\downarrow$) | t_{DSBSK1} | CMOS プッシュプル出力 (3線式シリアル I/O モード) | 0 | 210 | ns |
| | t_{DSBSK2} | オープン・ドレイン出力 (SBI モード), $R_L = 1\text{k}\Omega$ | 0 | 600 | ns |
| SB0, SB1 ハイ・ホールド時間(対 $\overline{\text{SCK}}\uparrow$) | t_{HSBSK} | SBI モード | 4T | | t_{CYK} |
| SB0, SB1 ロウ・セットアップ時間(対 $\overline{\text{SCK}}\downarrow$) | t_{SSBSK} | | 4T | | t_{CYK} |
| SB0, SB1 ロウ・レベル幅 | t_{WSBL} | | 4T-20 | | ns |
| SB0, SB1 ハイ・レベル幅 | t_{WBSH} | | 4T-20 | | ns |

備考 $T = t_{\text{CYK}} = 1/f_{\text{CLK}}$ (f_{CLK} は内部システム・クロック周波数で, f_{XX} または f_x の 2 分周値です)

その他のオペレーション ($T_a = -40 \sim +85^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$, $V_{SS} = 0\text{V}$)

| 項 目 | 略 号 | 条 件 | MIN. | MAX. | 単 位 |
|---------------------------------------|---------------------------|--------------------|------|------|---------------|
| NMI ハイ, ロウ・レベル幅 | $t_{WNIH'}$ t_{WNIL} | | 5 | | μs |
| INTPO ハイ, ロウ・レベル幅 | $t_{WIOH'}$ t_{WIOI} | | 8T | | t_{CYK} |
| INTP1 ハイ, ロウ・レベル幅 | $t_{WI1H'}$ t_{WI1L} | | 8T | | t_{CYK} |
| INTP2 ハイ, ロウ・レベル幅 | $t_{WI2H'}$ t_{WI2L} | | 8T | | t_{CYK} |
| $\overline{\text{RESET}}$ ハイ, ロウ・レベル幅 | $t_{WRSH'}$ t_{WRSL} | | 5 | | μs |
| TI ハイ, ロウ・レベル幅 | $t_{WTIH'}$ t_{WTIL} | TM1 イベント・カウンタ・モード時 | 8T | | t_{CYK} |

備考 $T = t_{CYK} = 1/f_{CLK}$ (f_{CLK} は内部システム・クロック周波数で, f_{xx} または f_x の 2 分周値です)

外部クロック・タイミング ($T_a = -40 \sim +85^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$, $V_{SS} = 0\text{V}$)

| 項 目 | 略 号 | 条 件 | MIN. | MAX. | 単 位 |
|---------------------|-------------------------|-----|------|------|-----|
| X1 入力ハイ, ロウ・レベル幅 | $t_{WXH'}$ t_{WXL} | | 25 | 80 | ns |
| X1 入力立ち上がり, 立ち下がり時間 | $t_{XR'}$ t_{XF} | | 0 | 20 | ns |
| X1 入力サイクル・タイム | t_{CYX} | | 62 | 125 | ns |

A/Dコンバータ特性 ($T_a = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = +5 \text{ V} \pm 10 \%$, $V_{SS} = AV_{SS} = 0 \text{ V}$,
 $V_{DD} - 0.5 \text{ V} \leq AV_{DD} \leq V_{DD}$)

| 項目 | 略号 | 条件 | MIN. | TYP. | MAX. | 単位 |
|------------------|-------------|--|------|-----------|-----------|---------------|
| 分解能 | | | 10 | | | bit |
| 総合誤差注1 | | $4.5 \text{ V} \leq AV_{REF} \leq AV_{DD}$ | | | ± 0.4 | %FSR |
| | | $3.4 \text{ V} \leq AV_{REF} \leq AV_{DD}$ | | | ± 0.7 | %FSR |
| 量子化誤差 | | | | | $\pm 1/2$ | LSB |
| 変換時間 | t_{CONV} | | 144 | | | t_{CYK} |
| サンプリング時間 | t_{SAMP} | | 24 | | | t_{CYK} |
| ゼロスケール誤差注1 | | $4.5 \text{ V} \leq AV_{REF} \leq AV_{DD}$ | | ± 1.5 | ± 2.5 | LSB |
| | | $3.4 \text{ V} \leq AV_{REF} \leq AV_{DD}$ | | ± 1.5 | ± 4.5 | LSB |
| フルスケール誤差注1 | | $4.5 \text{ V} \leq AV_{REF} \leq AV_{DD}$ | | ± 1.5 | ± 2.5 | LSB |
| | | $3.4 \text{ V} \leq AV_{REF} \leq AV_{DD}$ | | ± 1.5 | ± 4.5 | LSB |
| 非直線性誤差注1 | | $4.5 \text{ V} \leq AV_{REF} \leq AV_{DD}$ | | ± 1.5 | ± 2.5 | LSB |
| | | $3.4 \text{ V} \leq AV_{REF} \leq AV_{DD}$ | | ± 1.5 | ± 4.5 | LSB |
| ★アナログ入力電圧注2 | V_{IAN} | | 0 | | AV_{DD} | V |
| A/Dコンバータ基準入力電圧 | AV_{REF} | | 3.4 | | AV_{DD} | V |
| AV_{REF} 電流 | AI_{REF} | | | 1.0 | 3.0 | mA |
| AV_{DD} 電源電流 | AI_{DD} | | | 2.0 | 6.0 | mA |
| A/Dコンバータ・データ保持電流 | AI_{DDDR} | STOPモード | | | | |
| | | $AV_{DDDR} = 2.5 \text{ V}$ | | 2 | 10 | μA |
| | | $AV_{DDDR} = 5 \text{ V} \pm 10\%$ | | 10 | 50 | μA |

注1. 量子化誤差を除きます。

2. $V_{IAN} = 0$ のときは、変換結果が000Hになります。

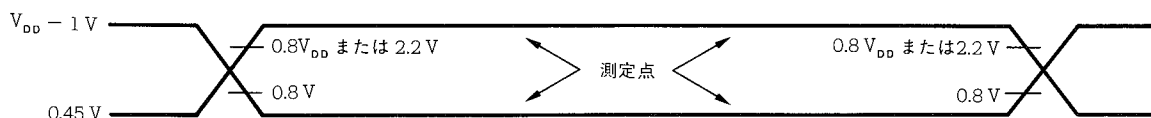
$0 < V_{IAN} < AV_{REF}$ のときは、10ビット分解能で変換を行います。

$AV_{REF} \leq V_{IAN} \leq AV_{DD}$ のときは、変換結果が3FFHになります。

スタンバイ・フラグ保持特性 ($T_a = -40 \sim +85 \text{ }^\circ\text{C}$)

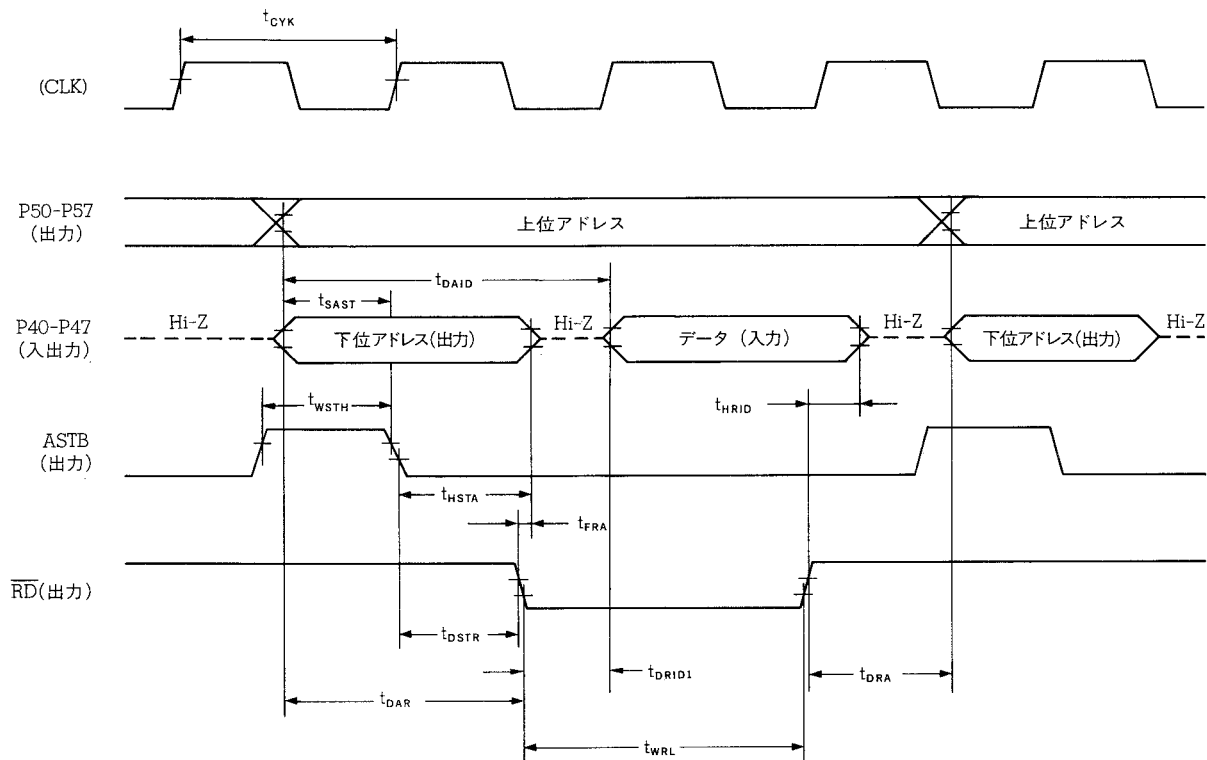
| 項目 | 略号 | 条件 | MIN. | MAX. | 単位 |
|-------------------------|--------------------------|----|------|------|----|
| スタンバイ・フラグ保持電源電圧 | V_{DDDR} | | 2.5 | 5.5 | V |
| V_{DD} 立ち上がり, 立ち下がり時間 | t_{RVD} , t_{FVD} | | 200 | | ns |

AC タイミング測定点

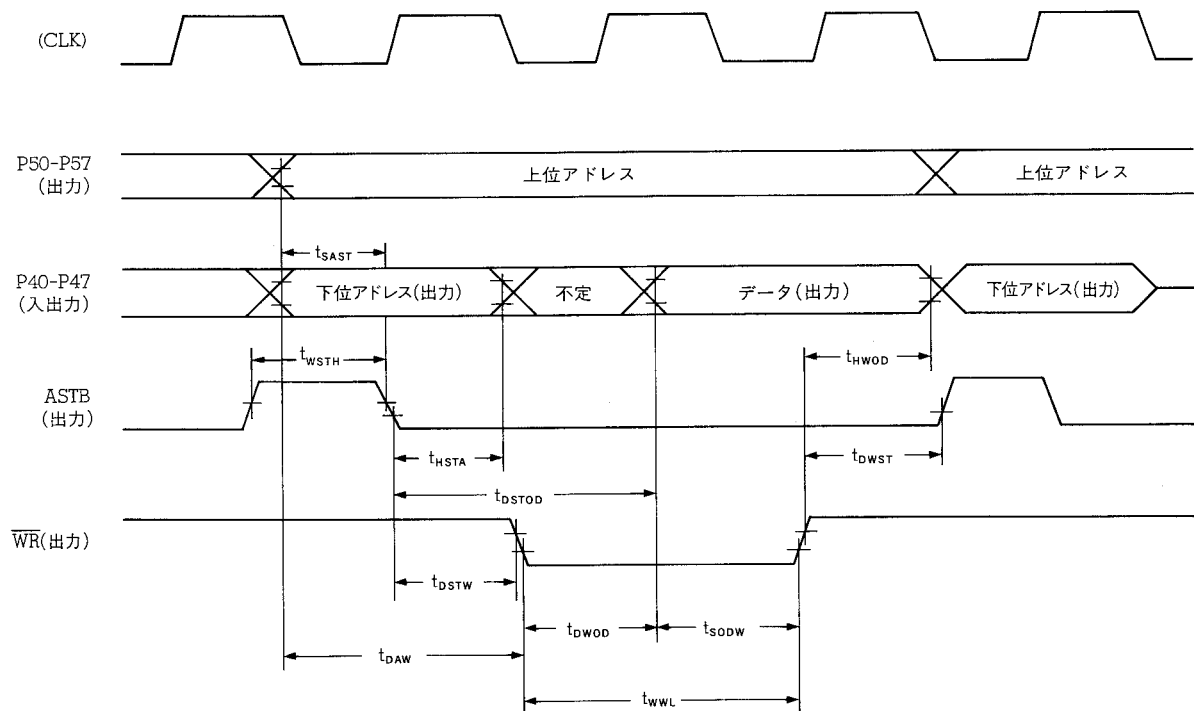


タイミング波形

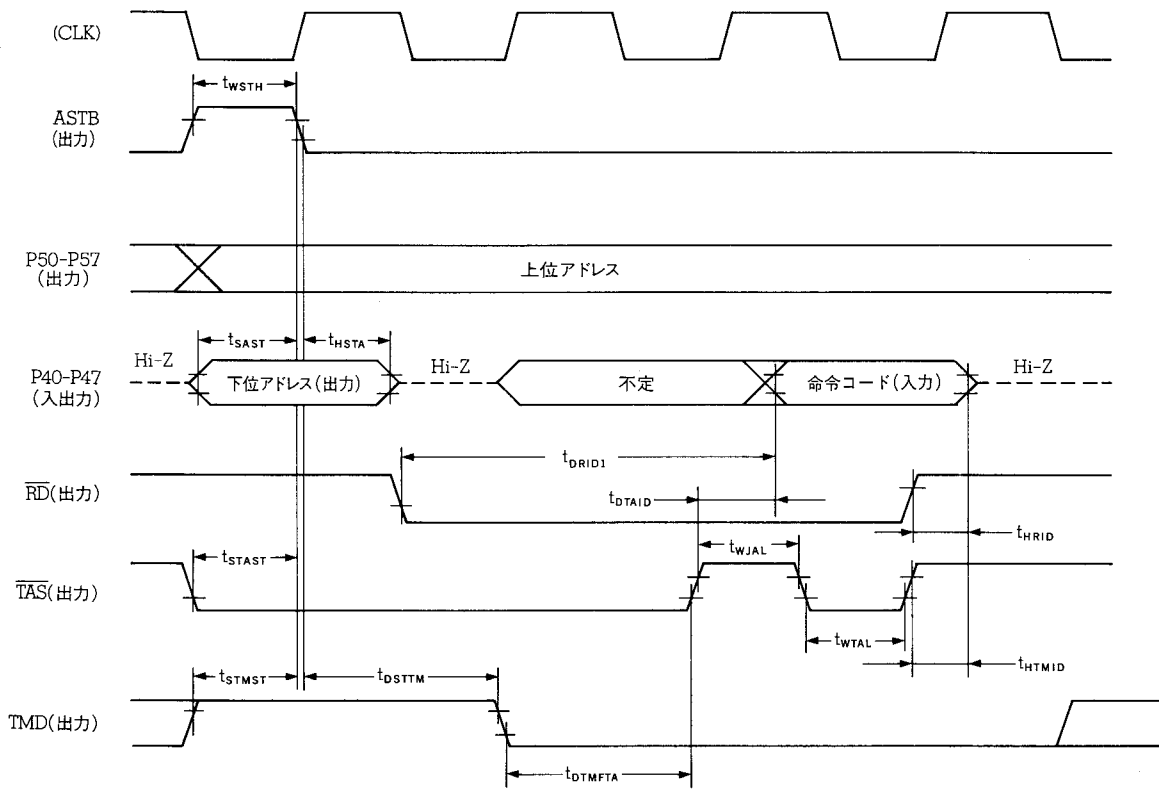
非連続リード・オペレーション



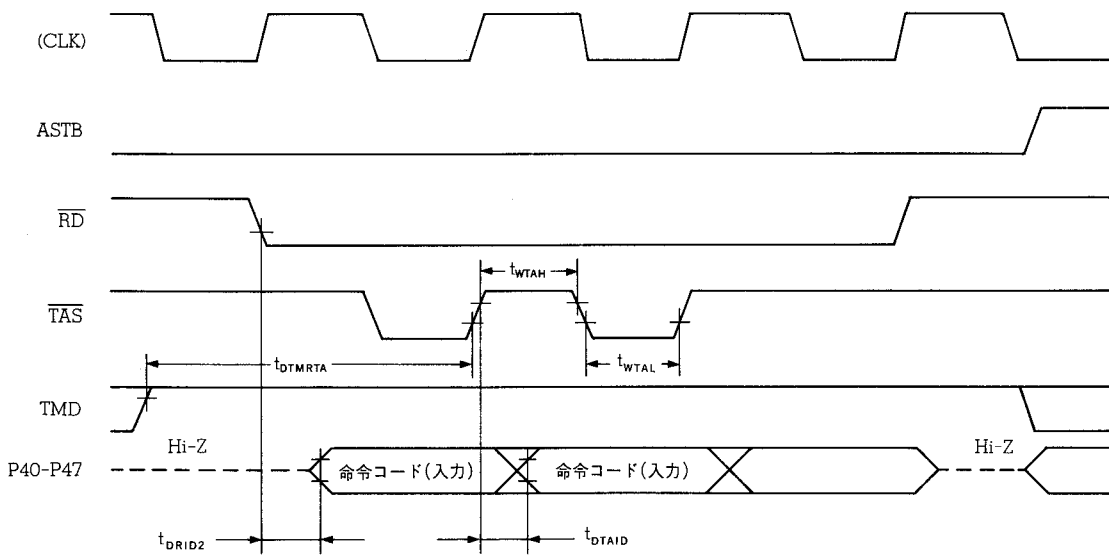
非連続ライト・オペレーション



分岐処理オペレーション

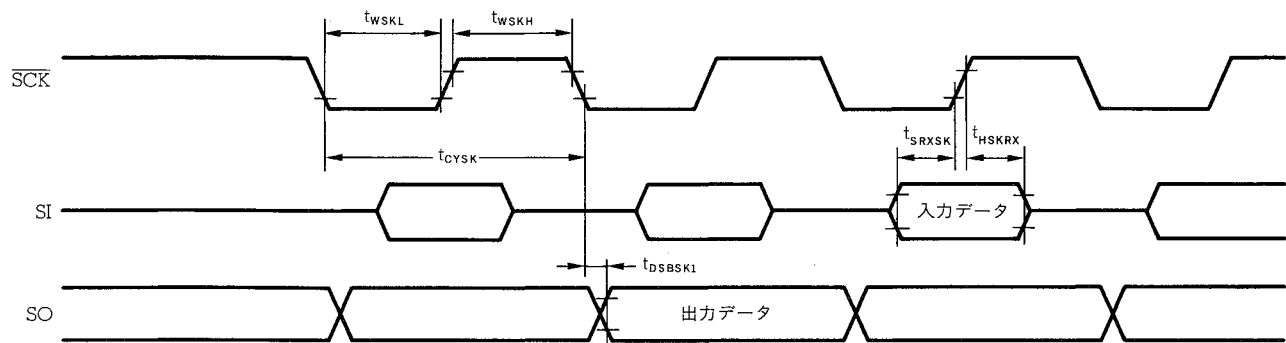


連続命令コード・フェッチ・オペレーション



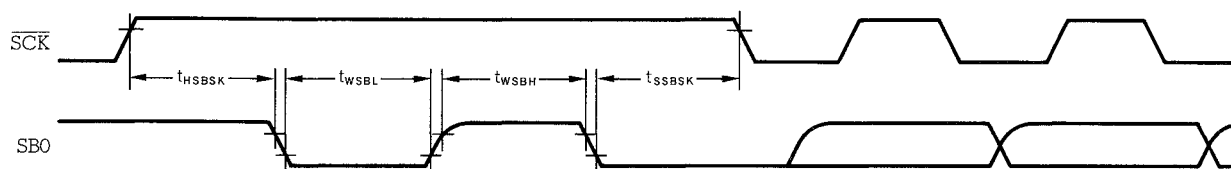
シリアル・オペレーション

3線式シリアル I/O モード

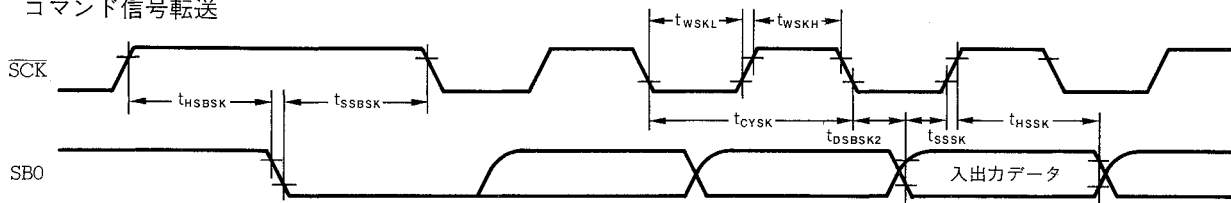


SBI モード

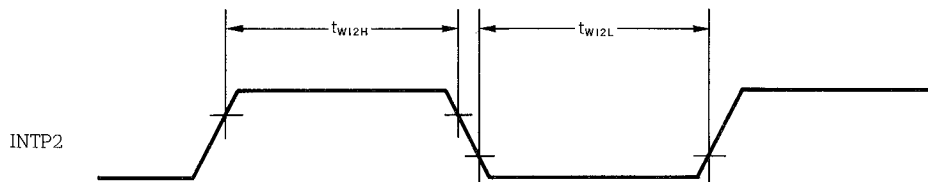
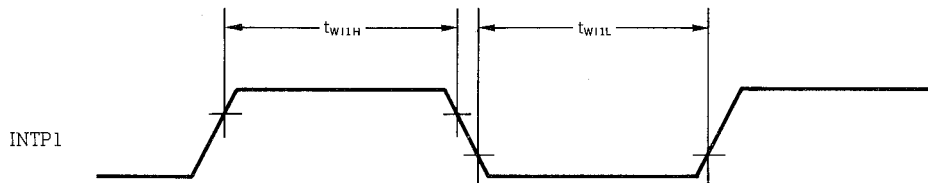
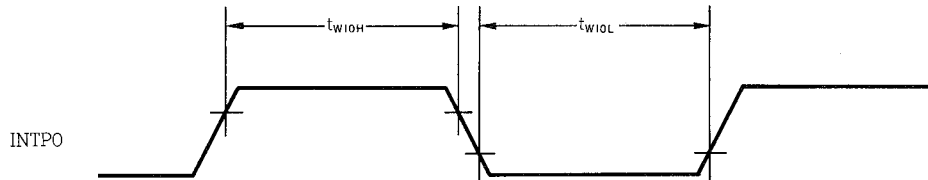
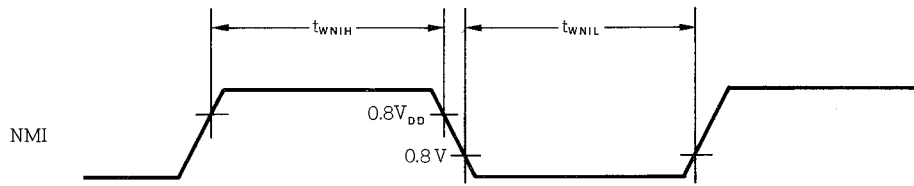
バス・リリース信号転送



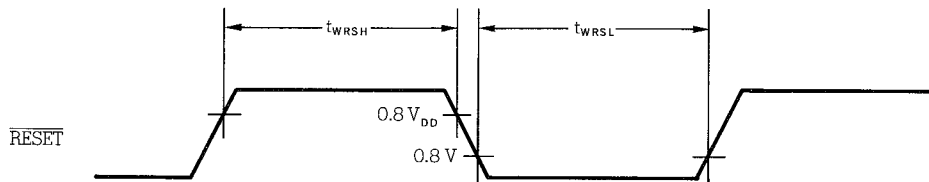
コマンド信号転送



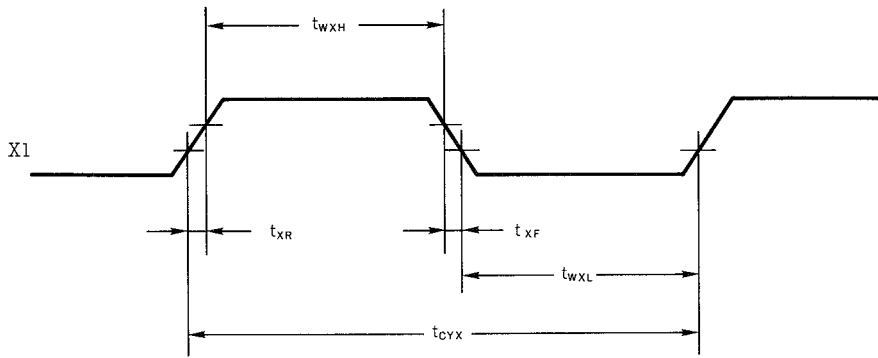
割り込み入力タイミング



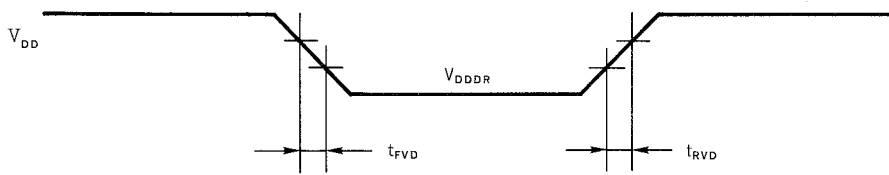
リセット入力タイミング



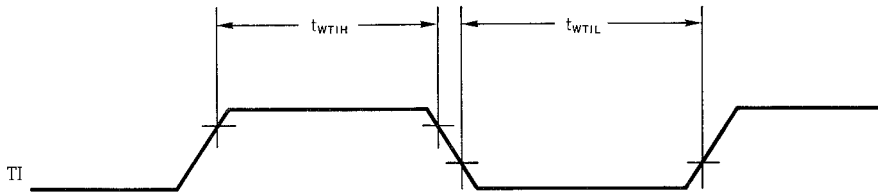
外部クロック・タイミング



スタンバイ・フラグ保持タイミング

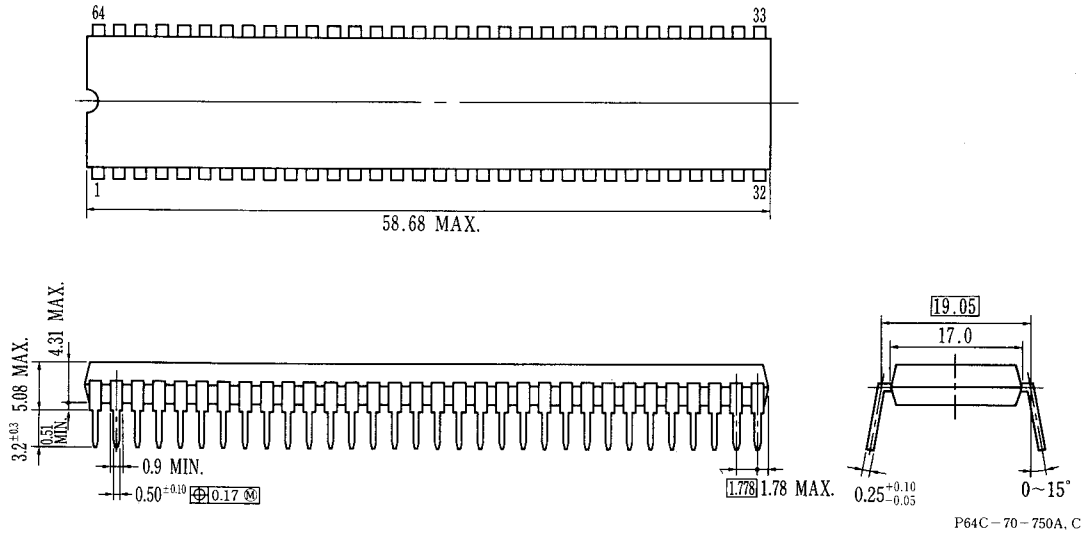


TI 端子入力タイミング

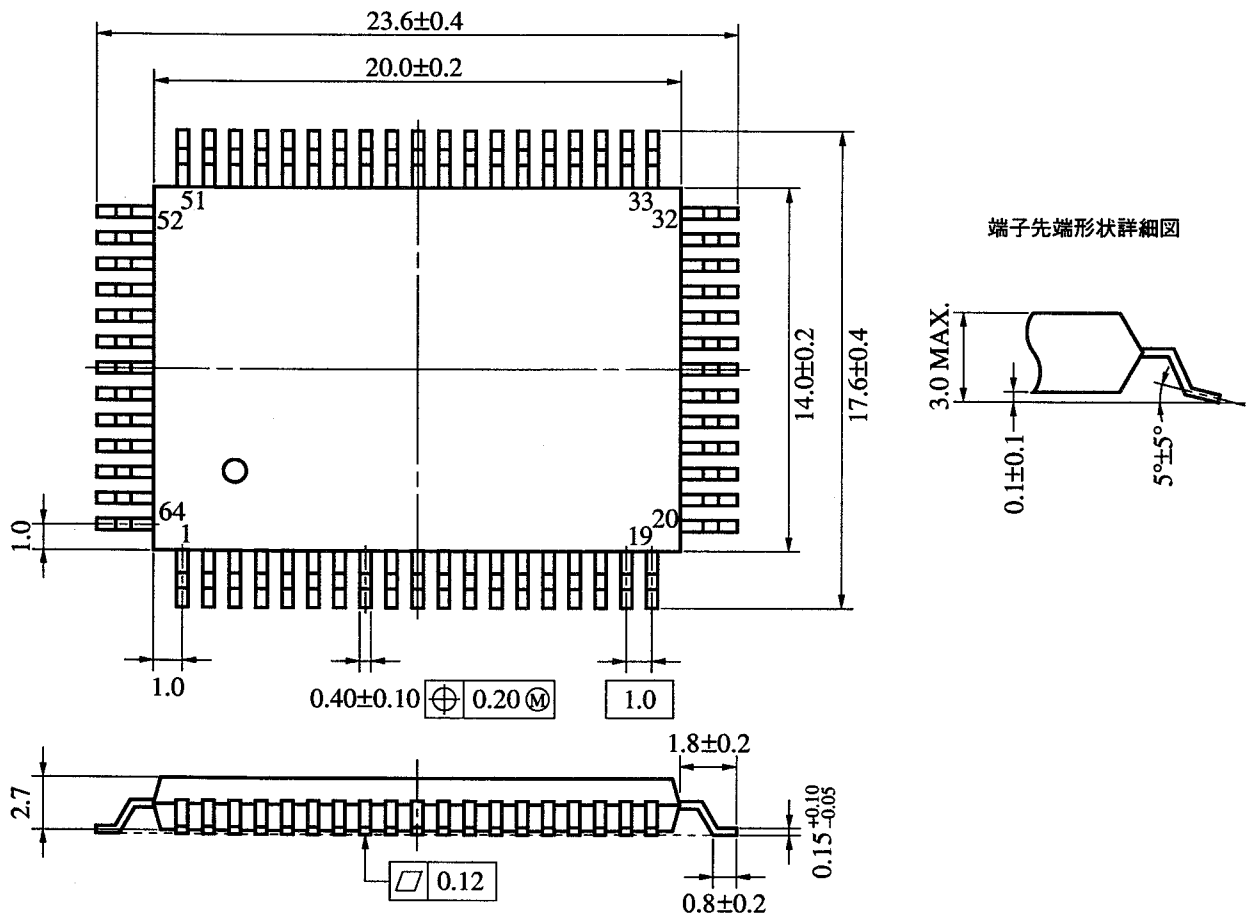


10. 外形図

64ピン・プラスチック・シュリンク DIP (750 mil) 外形図(単位: mm)



64ピン・プラスチック QFP (14×20) 外形図 (単位: mm)



11. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表 11-1 表面実装タイプの半田付け条件

μPD78327GF(A)-3BE : 64ピン・プラスチックQFP (14×20 mm)

μPD78328GF(A)-×××-3BE : //

| 半田付け方式 | 半田付け条件 | 推奨条件記号 |
|--------|---|------------|
| 赤外線リフロ | パッケージ・ピーク温度：230℃，時間：30秒以内(210℃以上)，回数：1回 制限日数：2日間注 (以降は125℃プリベーク16時間必要) | IR30-162-1 |
| VPS | パッケージ・ピーク温度：215℃，時間：40秒以内(200℃以上)，回数：1回 制限日数：2日間注 (以降は125℃プリベーク16時間必要) | VP15-162-1 |
| 端子部分加熱 | 端子部温度：300℃以下，時間：3秒以内 (デバイスの一辺当たり) | — |

注 ドライパック開封後の保管日数で、保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。

表 11-2 挿入タイプの半田付け条件

μPD78327CW(A) : 64ピン・プラスチック・シュリンクDIP (750 mil)

μPD78328CW(A)-××× : //

| 推奨条件記号 | 半田付け条件 |
|--------------------------|-----------------------|
| ウェーブ・ソルダーリング (リード部のみ) | 半田槽温度：260℃以下，時間：10秒以内 |
| 端子部分加熱 | 端子部温度：260℃以下，時間：10秒以内 |

注意 ウェーブ・ソルダーリングはリード部のみとし、噴流半田が直接本体に接触しないようにしてください。

お知らせ

本製品には、半田付け推奨条件改善品があります。

(改善内容：赤外線リフロ・ピーク温度拡張 (235℃)，回数2回，制限日数緩和など)

詳細につきましては、当社販売員までお問い合わせください。

★

付録A. μPD78328(A)とμPD78322(A)の相違点

| | | μPD78328(A) | μPD78322(A) |
|--------------------------------|------------------|--|--|
| パッケージ | | 64ピン・シュリンク DIP 64ピン QFP | 68ピン・プラスチック QFJ 74ピン QFP 80ピン QFP |
| RAM 容量 | | 512バイト | 640バイト |
| RPU 部 | タイマ数 | 3個 (16ビット×3) | 2個 (18/16ビット, 16ビット) |
| | コンペア・レジスタ数 | 14個 (16ビット×14) | 6個 (16ビット×6) |
| | キャプチャ・レジスタ数 | なし | 4個 (18/16ビット×4) |
| | キャプチャ/コンペア・レジスタ数 | 1個 (16ビット) | 2個 (18/16ビット×2) |
| | タイマ出力 | <ul style="list-style-type: none"> ・モード0: 7本 (セット・リセット出力: 6チャンネル, トグル出力: 1チャンネル) ・モード1: 8本 (バッファ出力: 7本, バッファ出力/セット・リセット出力/トグル出力: 1本) | 6本 (セット・リセット出力/トグル出力: 4本, トグル出力: 2本) |
| リアルタイム出力ポート | | 4/8本 (4ビット/8ビット単位バッファ出力) | 8本 (1ビット単位セット・リセット出力) |
| ポート部 | ポート 0 | 4/8ビット入出力 (4ビット単位にリアルタイム出力ポートに指定可能) | 8ビット入出力 (1ビット単位にリアルタイム出力ポートに指定可能) |
| | ポート 2 | 3ビット入力 | 8ビット入力 |
| | ポート 8 | 8ビット入出力 | 6ビット入出力 |
| 割り込み要求ソース | | <ul style="list-style-type: none"> ・外部: 4本 (NMIを含む) ・内部: 16本 | <ul style="list-style-type: none"> ・外部: 8本 (NMIを含む) ・内部: 14本(外部兼用: 2本) |
| テスト要因 | | 内部: 1本 | |
| マクロ・サービス機能 | | あり (μPD78322(A)よりもPWMインバータ制御に適した構成です) | あり |
| ウォッチドッグ・タイマ出力端子 | | なし | あり |
| 8ビット高速PWM信号出力機能 | | 1チャンネル | なし |
| UART 外部クロック 16MHz 時の最大ボーレート | | 9600 bps | 2400 bps |

付録 B. ツール

B.1 開発ツール

μPD78327(A), 78328(A) を使用するシステム開発のために、次のような開発ツールを用意しています。

言語プロセッサ

| | | | | |
|----------------------------|--|--|--------------|--------------|
| 78K/Ⅲシリーズ リロケータブル・アセンブラ | 78K/Ⅲシリーズに共通に使用できるリロケータブル・アセンブラです。マクロ機能付きのリロケータブル・アセンブラですので、開発効率の向上が図れます。 また、プログラム制御構造を明示的に記述できる構造化アセンブラも添付されており、プログラムの生産性や保守性を向上することができます。 | | | |
| | ホスト・マシン | OS | 供給媒体 | オーダ名称 (品名) |
| | PC-9800シリーズ | MS-DOS™ (Ver. 3.30 } Ver. 5.00A注) | 3.5インチ2HD | μS5A13RA78K3 |
| | | | 5インチ2HD | μS5A10RA78K3 |
| IBM PC/AT™ | PC DOS™ (Ver. 3.1) | 5インチ2HC | μS7B10RA78K3 | |

★

★

PROM書き込み用ツール

| | | | | | |
|-----------|----------------------------|--|---|-----------|--------------|
| ハードウェア | PG-1500 | 付属ボードおよび別売のプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンまたは、ホスト・マシンからの操作によりプログラミングできるPROMプログラマです。 また、256 Kビットから4 Mビットまでの代表的なPROMをプログラミングすることもできます。 | | | |
| | UNISITE 2900 | データ・アイ・オー・ジャパン製PROMプログラマです。 | | | |
| | PA-78P328CW PA-78P328GF | PG-1500などの汎用PROMプログラマ上で、μPD78P328にプログラムを書き込むためのPROMプログラマ・アダプタです。 PA-78P328CW…μPD78P328CW, 78P328DW用 PA-78P328GF…μPD78P328GF用 | | | |
| ソフトウェア | PG-1500コントローラ | PG-1500とホスト・マシンをシリアル・インタフェースおよびパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。 | | | |
| | | ホスト・マシン | OS | 供給媒体 | オーダ名称 (品名) |
| | | PC-9800シリーズ | MS-DOS (Ver. 3.30 } Ver. 5.00A注) | 3.5インチ2HD | μS5A13PG1500 |
| | | | | 5インチ2HD | μS5A10PG1500 |
| IBM PC/AT | PC DOS (Ver. 3.1) | 5インチ2HC | μS7B10PG1500 | | |

★

★

注 Ver. 5.00/5.00Aにはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考 リロケータブル・アセンブラ、PG-1500コントローラの動作は、上記のホスト・マシンとOS上でのみ保証されます。

ディバグ用ツール

| | | | | | |
|-----------|--|---|---|-----------|---------------|
| ハードウェア | IE-78327-R | 応用システムの開発、ディバグに使用できるインサーキット・エミュレータです。ホスト・マシンを接続して、ディバグを行います。 | | | |
| | EP-78327CW-R | IE-78327-Rをターゲット・システムに接続するための64ピン・プラスチック・シュリンク DIP用エミュレーション・プローブです。 | | | |
| | EP-78327GF-R | IE-78327-Rをターゲット・システムに接続するための64ピン・プラスチック QFP用エミュレーション・プローブです。 ターゲット・システムとの接続に使用する変換ソケットEV-9200G-64が1個添付されています。 | | | |
| ソフトウェア | IE-78327-R コントロール・プログラム (IEコントローラ) | IE-78327-Rをホスト・マシンからコントロールするためのプログラムです。コマンドの自動実行などを行うことができ、より効率の良いディバグが可能です。 | | | |
| | | ホスト・マシン | OS | 供給媒体 | |
| | | PC-9800シリーズ | MS-DOS (Ver.3.30 ↓ Ver.5.00A注) | 3.5インチ2HD | μS5A13IE78327 |
| | | | | 5インチ2HD | μS5A10IE78327 |
| IBM PC/AT | PC DOS (Ver.3.1) | 5インチ2HC | μS7B10IE78327 | | |

注 Ver.5.00/5.00Aにはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考 IEコントローラの動作は、上記のホスト・マシンとOS上でのみ保証されます。

B.2 評価ツール

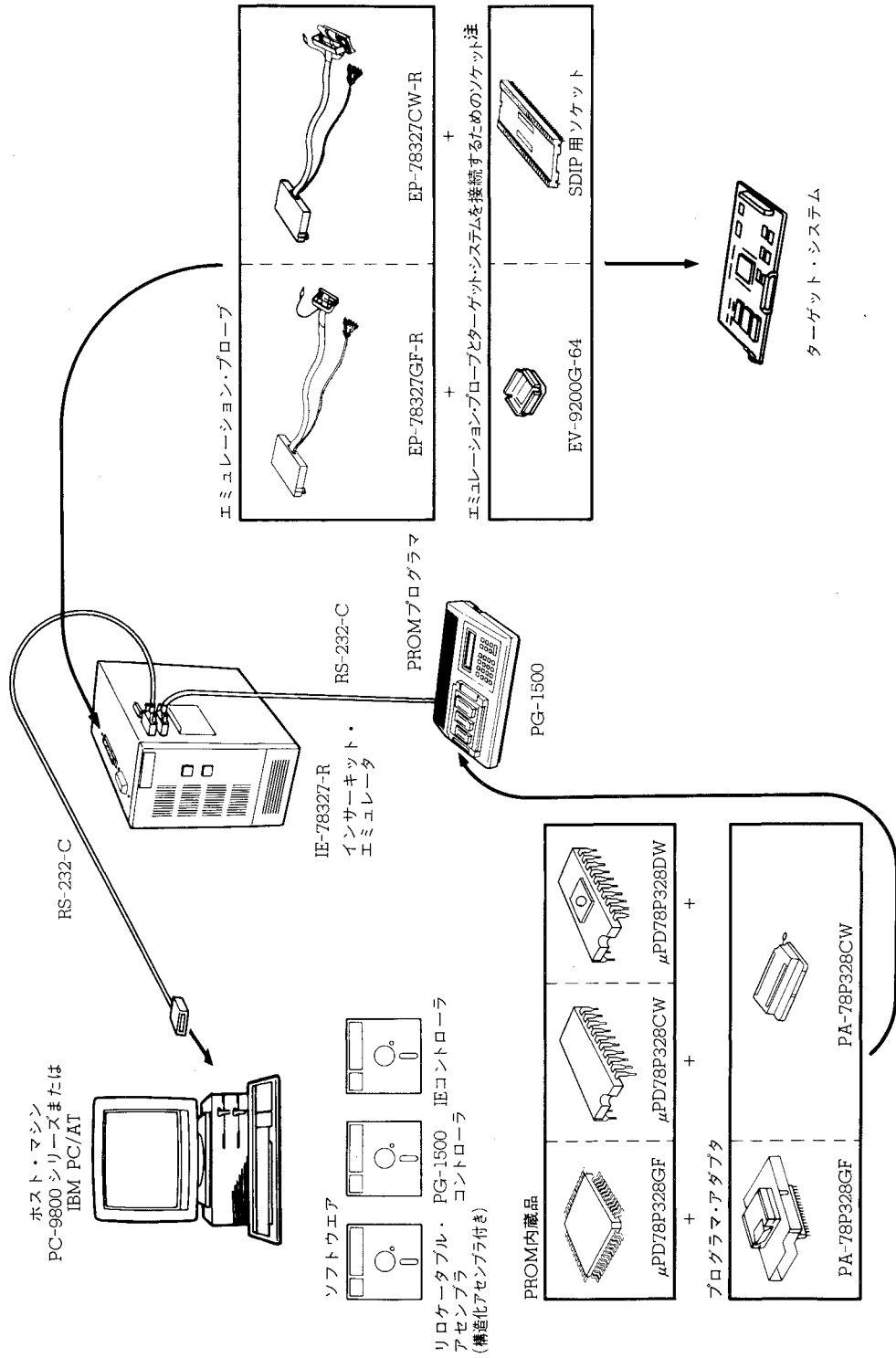
μPD78327(A), 78328(A) の機能を評価するために、次のような評価ツールを用意しています。

| オーダ名称(品名) | ホスト・マシン | 機能 |
|-------------|-------------|---|
| EB-78327-98 | PC-9800シリーズ | ホスト・マシンと接続することにより、μPD78327(A), 78328(A) が備える機能を簡単に評価することができます。EB-78327-98/PCのコマンド体系は、基本的にIE-78327-Rのコマンド体系に準じています。このため、IE-78327-Rによる応用システムの開発作業への移行が容易に行えます。 また、EB-78327-98/PCは、ターボ・アクセス・マネージャ (μPD71P301) を基板上に搭載することができます。 |
| EB-78327-PC | IBM PC/AT | |

注意1. EB-78327-98/PCは、μPD78327(A), 78328(A) 応用システムの開発ツールではありません。

2. EB-78327-98/PCでは、μPD78328(A) の内部ROM実行時のエミュレーション機能は備えていません。

開発ツール構成



注 ソケットは、エミュレーション・プローブに添付されています。

備考 ホスト・マシンとPG-1500をRS-232-Cで直接接続して使用することもできます。

[X ㇀]

CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

[メモ]

本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品：μPD78327(A)

ユーザ判定品：μPD78328(A)

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- この製品を使用したことにより、第三者の工業所有権等にかかわる問題が発生した場合、当社製品の構造製法に直接かかわるもの以外につきましては、当社はその責を負いませんのでご了承ください。
- 当社は、航空宇宙機器、海底中継器、原子力制御システム、生命維持のための医療用機器などに推奨できる製品を標準的には用意しておりません。当社製品をこれらの用途にご使用をお考えのお客様、および、『標準』品質水準品を当社が意図した用途以外にご使用をお考えのお客様は、事前に販売窓口までご連絡頂きますようお願い致します。

当社推奨の用途例

標準：コンピュータ、OA機器、通信機器、計測機器、工作機械、産業用ロボット、AV機器、家電等
 特別：輸送機器（列車、自動車等）、交通信号機器、防災／防犯装置等

- この製品は耐放射線設計をしておりません。

M4 92.6

MS-DOSは、米国マイクロソフト社の商標です。

PC DOS, PC/ATは、米国IBM社の商標です。

お問い合わせは、最寄りのNECへ

| | | |
|--|---|--|
| <p>本 社 〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)</p> <p>コンシューマ半導体販売事業部 OA半導体販売事業部 〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル) インダストリー半導体販売事業部 東京 (03)3454-1111</p> <p>中部支社半導体販売部 〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル) 名古屋 (052)242-2755</p> <p>関西支社半導体販売部 〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル) 大阪 (06)945-3178 大阪 (06)945-3200 大阪 (06)945-3208</p> | <p>北海道支社 (011)231-0161 札幌支店 (022)261-5511 仙台支店 (0196)51-4344 盛岡支店 (0236)23-5511 山形支店 (0249)23-5511 秋田支店 (0246)21-5511 岩手支店 (0258)36-2155 宮城支店 (0292)26-1717 福島支店 (045)324-5511 茨城支店 (0273)26-1255 栃木支店 (0276)46-4011 群馬支店 (0286)21-2281 東京都支店 (0285)24-5011 神奈川県支店 (0262)35-1444 長野支店 (0263)35-1666 新潟支店 (0266)53-5350 富山支店 (0552)24-4141 石川支店 (048)641-1411</p> | <p>立川支社 (0425)26-5981 川崎支店 (043)238-8116 東京支店 (054)255-2211 静岡支店 (0559)63-4455 沼津支店 (053)452-2711 浜松支店 (0762)23-1621 北陸支店 (0776)22-1866 福井支店 (0764)31-8461 富山支店 (075)344-7824 京都支店 (078)332-3311 神戶支店 (082)242-5504 大阪支店 (0857)27-5311 奈良支店 (086)225-4455 和歌山支店 (0878)36-1200 高松支店 (0897)32-5001 徳島支店 (0899)45-4111 香川支店 (092)271-7700 九州支店 (093)541-2887</p> |
|--|---|--|

(技術お問い合わせ先)

| | |
|--|---|
| 半導体応用技術本部 マイクロコンピュータ技術部 〒210 川崎市幸区塚越三丁目484番地 川崎 (044)548-8890 | 半導体応用技術本部 インフォメーションセンター FAX(044)548-7900 (FAXで対応させていただきます) |
| 半導体応用技術本部 中部応用システム技術部 〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル) 名古屋 (052)242-2762 | |
| 半導体応用技術本部 西日本応用システム技術部 〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル) 大阪 (06)945-3383 | |