

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

16/8ビット・シングルチップ・マイクロコンピュータ

μ PD78328 は、高性能16ビット CPU を内蔵した 78K/III シリーズの製品です。 μ PD78322 のリアルタイム・パルス・ユニットの PWM 信号出力機能を、特にインバータ制御用に強化して組み込みました。

μ PD78327 は、 μ PD78328 の ROM レス品です。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD78328 ユーザーズ・マニュアル：IEU-693

特 徴

- パイプライン制御方式と命令プリフェッチによる高速処理
 - 最小命令実行時間：250 ns (内部クロック 8 MHz, 外部クロック 16 MHz 動作時)
- 制御用途に適した命令セット
 - ・16ビット演算命令
 - ・乗除算命令 (16ビット×16ビット, 32ビット÷16ビット), etc.
- 10ビット A/D コンバータ内蔵：8チャンネル
- 高速8ビット PWM 信号出力機能：1チャンネル
- 高機能割り込みコントローラ内蔵
- インバータ制御に適したリアルタイム・パルス・ユニット
 - ・2種類のタイマ出力モードを選択可能 (セット・リセット出力 6本/バッファ出力 8本)
 - ・6相 PWM 信号を容易に出力可能
- 強力なシリアル・インタフェース (専用ポー・レート・ジェネレータ内蔵)
 - ・UART ……1チャンネル
 - ・SBI (NEC 標準シリアル・バス・インタフェース)/3線式シリアル I/O ……1チャンネル
- プログラム暴走を検出するウォッチドッグ・タイマ機能

応用分野

- PWM インバータ制御分野, インバータ・エアコン, etc.

オーダ情報

オーダ名称	パッケージ	内部 ROM
μ PD78327CW	64ピン・プラスチック・シュリンク DIP (750 mil)	なし
μ PD78327GF-3BE	64ピン・プラスチック QFP (14×20 mm)	//
μ PD78328CW-×××	64ピン・プラスチック・シュリンク DIP (750 mil)	マスク ROM
μ PD78328GF-×××-3BE	64ピン・プラスチック QFP (14×20 mm)	//

備考 ×××は ROM コード番号です。

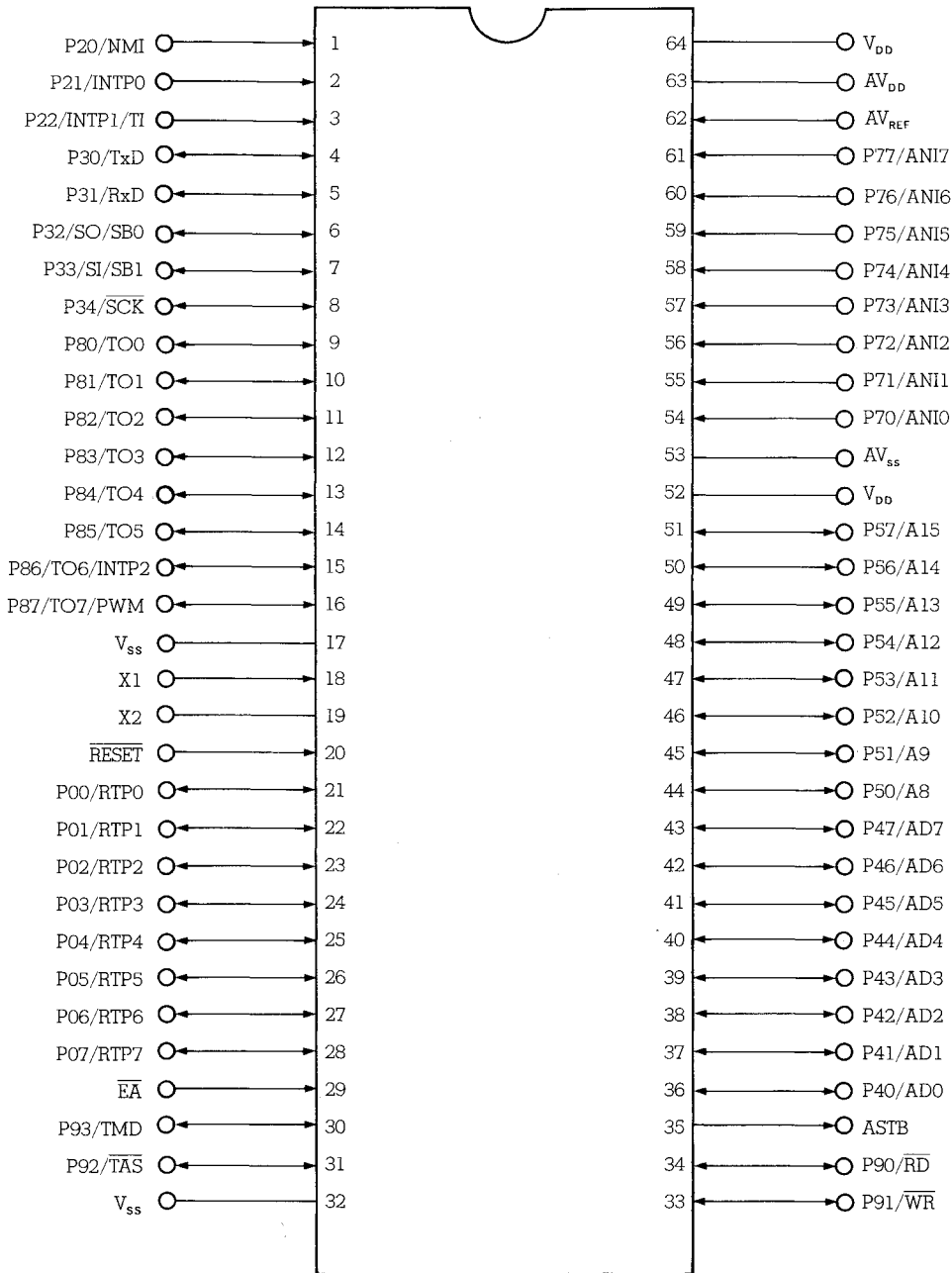
本資料の内容は、後日変更する場合があります。

端子接続図

• 64ピン・プラスチック・シュリンク DIP (750 mil)

μPD78327CW

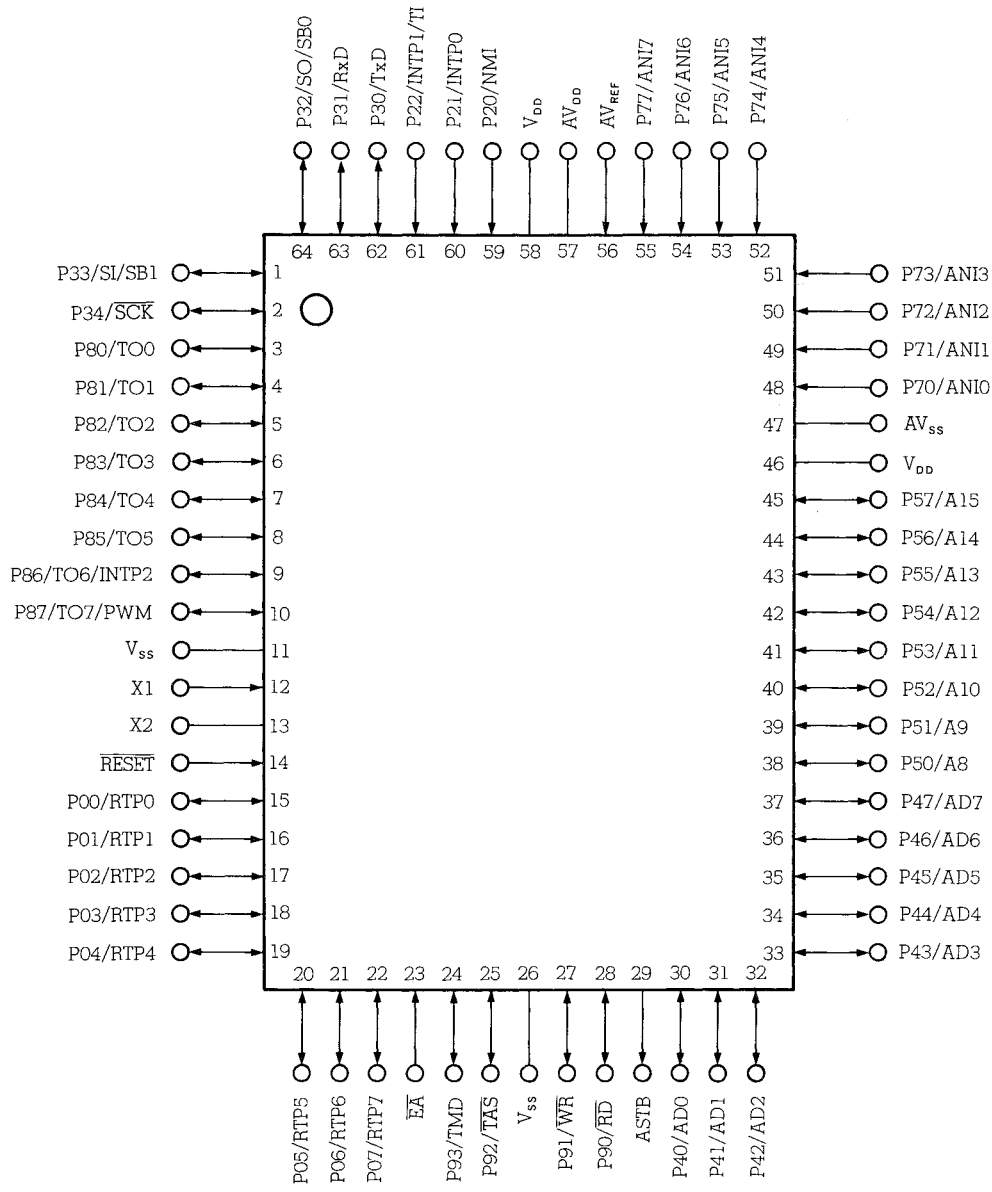
μPD78328CW-×××



• 64ピン・プラスチック QFP (14×20 mm)

μPD78327GF-3BE

μPD78328GF-×××-3BE

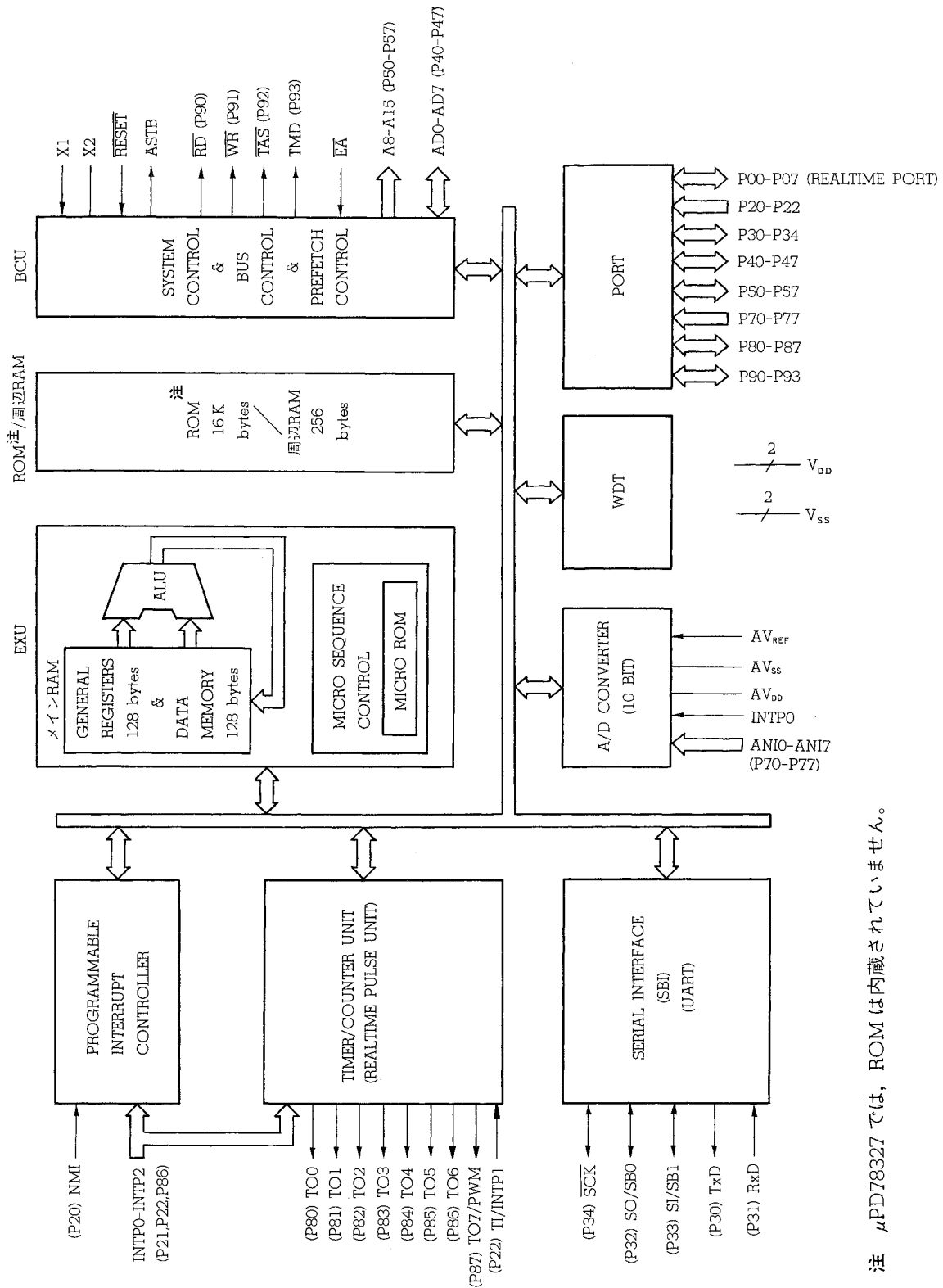


P00-P07	: Port0	$\overline{\text{RESET}}$: Reset
P20-P22	: Port2	X1, X2	: Crystal
P30-P34	: Port3	PWM	: Pulse Width Modulation Output
P40-P47	: Port4	$\overline{\text{EA}}$: External Access
P50-P57	: Port5	TMD	: Turbo Mode
P70-P77	: Port7	$\overline{\text{TAS}}$: Turbo Access Strobe
P80-P87	: Port8	$\overline{\text{WR}}$: Write Strobe
P90-P93	: Port9	$\overline{\text{RD}}$: Read Strobe
NMI	: Nonmaskable Interrupt	ASTB	: Address Strobe
INTP0-INTP2	: Interrupt From Peripherals	AD0-AD7	: Address/Data Bus
RTP0-RTP7	: Realtime Port	A8-A15	: Address Bus
TI	: Timer Input	ANIO-ANI7	: Analog Input
TxD	: Transmit Data	AV_{REF}	: Analog Reference Voltage
RxD	: Receive Data	AV_{SS}	: Analog V_{SS}
SBO/SO	: Serial Bus/Serial Output	AV_{DD}	: Analog V_{DD}
SB1/SI	: Serial Bus/Serial Input	V_{DD}	: Power Supply
$\overline{\text{SCK}}$: Serial Clock	V_{SS}	: Ground
TO0-TO7	: Timer Output		

機能概要

	μPD78327	μPD78328
基本命令数	111	
最小命令実行時間	250 ns (内部クロック 8 MHz, 外部クロック 16 MHz 動作時)	
内部メモリ	<ul style="list-style-type: none"> • ROM : なし • RAM : 512 バイト 	<ul style="list-style-type: none"> • ROM : 16 K バイト • RAM : 512 バイト
アドレッシング空間	64 K バイト	
汎用レジスタ	8 ビット × 16 × 8 バンク (メモリ・マッピング)	
リアルタイム・パルス・ユニット	<ul style="list-style-type: none"> • 16 ビット・タイマ : 2 本 • 16 ビット・タイマ/イベント・カウンタ : 1 本 • 16 ビット・コンペア・レジスタ : 14 本 • 16 ビット・キャプチャ/コンペア・レジスタ : 1 本 • 2 種類の出力モードを選択可能 <ul style="list-style-type: none"> モード 0 セット・リセット出力 : 6 チャンネル, トグル出力 : 1 チャンネル モード 1 バッファ出力 : 8 チャンネル 	
PWM 信号出力機能	8 ビット分解能 : 1 チャンネル	
A/D コンバータ機能	10 ビット分解能 : 8 チャンネル	
割り込み機能	<ul style="list-style-type: none"> • 外部要因 4, 内部要因 16 • 3 レベルの優先順位をソフトウェアにより指定可能 • 3 種類の割り込み処理形態を選択可能 (ベクタ割り込み機能, コンテキスト・スイッチング機能, マクロ・サービス機能) 	
テスト要因	内部要因 1	
入出力ライン	<ul style="list-style-type: none"> • 入力ポート : 11 本 • 入出力ポート : 23 本 	<ul style="list-style-type: none"> • 入力ポート : 11 本 • 入出力ポート : 41 本
リアルタイム出力ポート	4 ビット × 2 チャンネル / 8 ビット × 1 チャンネル 選択可能	
シリアル・インタフェース	<ul style="list-style-type: none"> • 専用ポーレート・ジェネレータ付き • UART : 1 チャンネル • SBI (NEC シリアル・バス・インタフェース) : 1 チャンネル 	
パッケージ	<ul style="list-style-type: none"> • 64 ピン・プラスチック・シュリンク DIP (750 mil) • 64 ピン・プラスチック QFP (14 × 20 mm) 	
その他	<ul style="list-style-type: none"> • スタンバイ機能 (STOP/HALT) • ウォッチドッグ・タイマ機能 	

ブロック図



注 μPD78327 では、ROM は内蔵されていません。

目 次

- 1. 端子機能一覧 … 9
 - 1.1 ポート端子 … 9
 - 1.2 ポート以外の端子 … 10
 - 1.3 端子の入出力回路と未使用端子の処理 … 12

- 2. CPU アーキテクチャ … 14
 - 2.1 メモリ空間 … 14
 - 2.2 プロセッサ・レジスタ … 17
 - 2.2.1 制御レジスタ … 18
 - 2.2.2 汎用レジスタ … 20
 - 2.2.3 特殊機能レジスタ (SFR) … 22
 - 2.3 データ・メモリ・アドレッシング … 26
 - 2.3.1 汎用レジスタのアドレッシング … 27
 - 2.3.2 ショート・ダイレクト・アドレッシング … 27
 - 2.3.3 特殊機能レジスタ (SFR) アドレッシング … 27

- 3. ブロック機能 … 28
 - 3.1 バス・コントロール・ユニット (BCU) … 28
 - 3.2 エグゼキューション・ユニット (EXU) … 28
 - 3.3 ROM/RAM … 28
 - 3.4 割り込みコントローラ … 28
 - 3.5 ポート機能 … 29
 - 3.6 クロック発生回路 … 30
 - 3.7 リアルタイム・パルス・ユニット (RPU) … 32
 - 3.7.1 構成 … 32
 - 3.7.2 リアルタイム出力機能 … 35
 - 3.7.3 8ビット高速PWM 信号出力機能 … 36
 - 3.8 A/D コンバータ … 37
 - 3.9 シリアル・インタフェース … 37
 - 3.10 ウォッチドッグ・タイマ … 40

- 4. 割り込み機能 … 41
 - 4.1 概 要 … 41
 - 4.2 マクロ・サービス … 43
 - 4.3 コンテキスト・スイッチング機能 … 44
 - 4.3.1 割り込み要求によるコンテキスト・スイッチング機能 … 44
 - 4.3.2 BRKCS 命令によるコンテキスト・スイッチング機能 … 45

- 5. スタンバイ機能 … 46

- 6. 外部デバイス拡張機能 … 47
- 7. リセット後の動作 … 48
- 8. 命令セット … 49
- 9. 電気的特性 … 63
- 10. 外形図 … 75
- 11. 半田付け推奨条件 … 77
- 付録A. μ PD78328 と μ PD78322 の相違点 … 78
- 付録B. ツール … 79
 - B.1 開発ツール … 79
 - B.2 評価ツール … 82
 - ★ B.3 組み込み用ソフトウェア … 82

1. 端子機能一覧

1.1 ポート端子

端子名称	入出力	機 能	兼用端子
P00-P07	入出力	ポート0 4/8ビット入出力ポート 1ビット単位で入力/出力の指定が可能 また、リアルタイム出力ポートとしても機能します。	RTP0-RTP7
P20	入 力	ポート2 3ビット入力専用ポート	NMI
P21			INTP0
P22			INTP1/TI
P30	入出力	ポート3 5ビット入出力ポート 1ビット単位で入力/出力の指定が可能	TxD
P31			RxD
P32			SO/SB0
P33			SI/SB1
P34			SC \bar{K}
P40-P47	入出力	ポート4 8ビット入出力ポート 8ビット単位で入力/出力の指定が可能	AD0-AD7
P50-P57	入出力	ポート5 8ビット入出力ポート 1ビット単位で入力/出力の指定が可能	A8-A15
P70-P77	入 力	ポート7 8ビット入力専用ポート	ANI0-ANI7
P80	入出力	ポート8 8ビット入出力ポート 1ビット単位で入力/出力の指定が可能	TO0
P81			TO1
P82			TO2
P83			TO3
P84			TO4
P85			TO5
P86			TO6/INTP2
P87			TO7/PWM
P90	入出力	ポート9 4ビット入出力ポート 1ビット単位で入力/出力の指定が可能	\bar{RD}
P91			\bar{WR}
P92			\bar{TAS}
P93			TMD

1.2 ポート以外の端子 (1/2)

端子名称	入出力	機能	兼用端子
RTPO-RTPO7	出力	リアルタイム・パルス・ユニット (RPU) からのトリガ信号に同期して、パルス出力を行うリアルタイム出力ポートです。	P00-P07
NMI	入力	有効エッジを、モード・レジスタによって立ち上がりまたは立ち下がり指定することのできるノンマスクابل割り込み要求の入力です。	P20
INTPO	入力	有効エッジを、モード・レジスタによって指定できる外部割り込み要求入力です。	P21
INTP1			P22/TI
INTP2			P86/TO6
TI	入力	タイマ1 (TM1) への外部カウント・クロック入力です。	P22/INTP1
RxD	入力	アシンクロナス・シリアル・インタフェース (UART) のシリアル・データの入力です。	P30
TxD	出力	アシンクロナス・シリアル・インタフェース (UART) のシリアル・データの出力です。	P31
SO	出力	クロック同期式シリアル・インタフェースの3線式モードでのシリアル・データの出力です。	P32/SB0
SI	入力	クロック同期式シリアル・インタフェースの3線式モードでのシリアル・データの出力です。	P33/SB1
SB0	入出力	クロック同期式シリアル・インタフェースのSBIモードでのシリアル・データの入出力です。	P32/SO
SB1			P33/SI
\overline{SCK}	入出力	クロック同期式シリアル・インタフェースのシリアル・クロック入出力です。	P34
AD0-AD7	入出力	外部にメモリを拡張する場合の、マルチプレクスト・アドレス/データ・バスです。	P40-P47
A8-A15	出力	外部にメモリを拡張する場合の、アドレス・バスです。	P50-P57
TO0	出力	リアルタイム・パルス・ユニットからのパルス出力です。	P80
TO1			P81
TO2			P82
TO3			P83
TO4			P84
TO5			P85
TO6			P86/INTP2
TO7			P87/PWM
PWM	出力	リアルタイム・パルス・ユニットからの PWM 信号出力です。	P87/TO7
\overline{RD}	出力	外部メモリのリード動作のために出力されるストロブ信号出力です。	P90
\overline{WR}		外部メモリのライト動作のために出力されるストロブ信号出力です。	P91
\overline{TAS}		ターボ・アクセス・マネージャ (μPD71P301) ^注 へのアクセスのために出力される制御信号出力です。	P92
TMD		制御信号出力です。	P93
ASTB	出力	外部メモリをアクセスするために、ポート4から出力される下位アドレス情報を外部でラッチするタイミング信号出力です。	-
\overline{EA}	入力	μPD78328 では、通常 \overline{EA} 端子を V_{DD} に接続します。 \overline{EA} 端子を V_{SS} に接続することによって、ROM レス・モードとなり、外部メモリをアクセスします。 μPD78327 では、“0” (ロウ・レベル) に固定してください。 \overline{EA} 端子のレベルは、動作中に切り替えることはできません。	-

★

注 ターボ・アクセス・マネージャ (μPD71P301) は保守製品です。

1.2 ポート以外の端子 (2/2)

端子名称	入出力	機能	兼用端子
ANIO-ANI7	入力	A/Dコンバータへのアナログ入力です。	P70-P77
AV _{REF}	入力	A/Dコンバータ基準電圧入力です。	—
AV _{DD}	—	A/Dコンバータのアナログ電源です。	—
AV _{SS}	—	A/DコンバータのGNDです。	—
$\overline{\text{RESET}}$	入力	システム・リセット入力です。	—
X1	入力	システム・クロック発振用クリスタル接続端子です。外部からクロックを供給する場合は X1 端子に入力し、X2 端子にはその逆相を入力します (X2 端子はオープンも可能)。	—
X2	—		—
V _{DD}	—	正電源供給端子です。	—
V _{SS}	—	GND端子です。	—

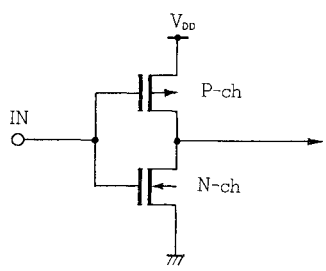
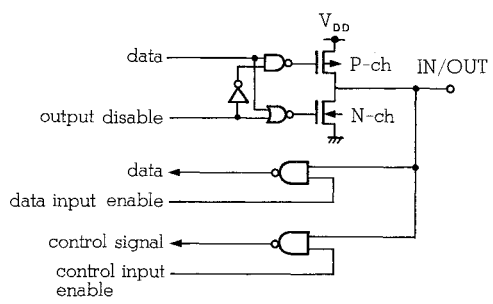
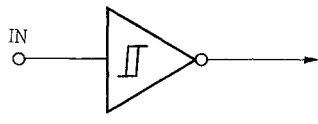
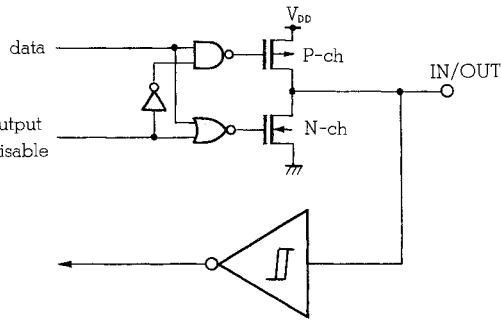
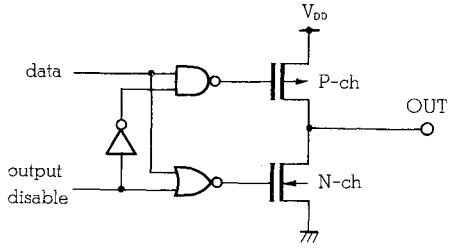
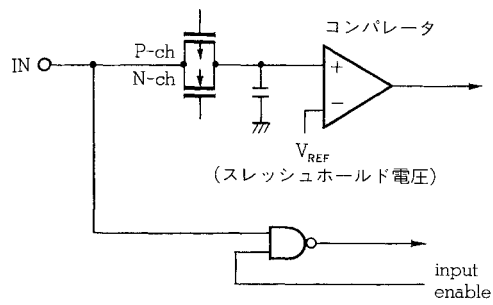
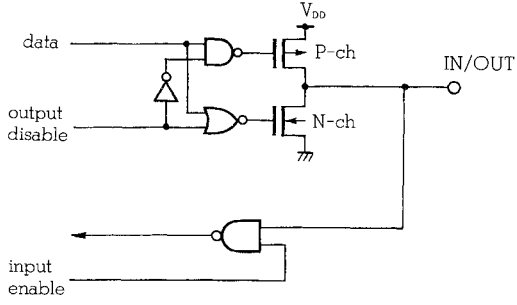
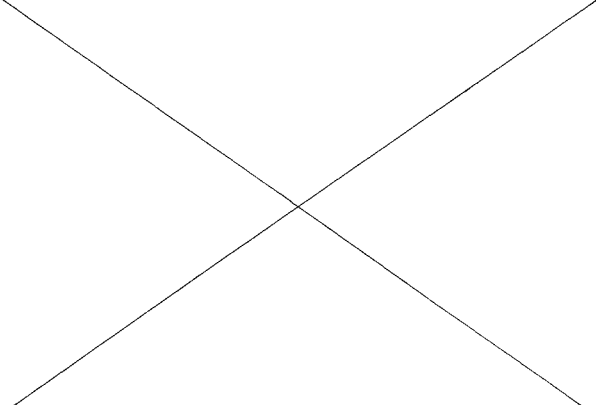
1.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路を、一部簡略化した形式を用いて表1-1、図1-1に示します。

表1-1 端子の入出力回路タイプと未使用時の推奨接続方法

端 子	入出力回路タイプ	推 奨 接 続 方 法
P00-P07/RTPO-RTP7	5	入力状態：個別に抵抗を介して V_{DD} または V_{SS} に接続 出力状態：オープン
P20/NMI P21/INTPO P22/INTP1/TI	2	V_{SS} に接続
P30/TxD P31/RxD	5	入力状態：個別に抵抗を介して V_{DD} または V_{SS} に接続 出力状態：オープン
P32/SO/SB0 P33/SI/SB1 P34/SCK	8	
P40-P47/AD0-AD7 P50-P57/A8-A15	5	
P70-P77/ANIO-ANI7	9	V_{SS} に接続
P80-P85/TO0-TO5	5	入力状態：個別に抵抗を介して V_{DD} または V_{SS} に接続 出力状態：オープン
P86/TO6/INTP2	6	
P87/TO7/PWM	5	
P90/RD P91/WR P92/TAS P93/TMD	5	
ASTB	4	オープン
\overline{EA}	1	—
\overline{RESET}	2	—
AV_{REF} , AV_{SS}	—	V_{SS} に接続
AV_{DD}	—	V_{DD} に接続

図1-1 端子の入出力回路

<p>タイプ1</p> 	<p>タイプ6</p> 
<p>タイプ2</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力となっています。</p>	<p>タイプ8</p> 
<p>タイプ4</p>  <p>出力ハイ・インピーダンス (P-ch, N-chともにオフ)とすることができるプッシュプル出力となっています。</p>	<p>タイプ9</p> 
<p>タイプ5</p> 	

2. CPU アーキテクチャ

2.1 メモリ空間

μPD78327, 78328は、最大 64 K バイトまでのメモリをアドレスできます (図2-1 参照)。

プログラム・フェッチは、0000H-FDFFH の領域内で可能です。ただし、FE00H-FFFFH の領域 (メイン RAM, 特殊機能レジスタ領域) に外部メモリを拡張する場合には、この領域に対してもプログラム・フェッチが可能です。このときのプログラム・フェッチは、メイン RAM, 特殊機能レジスタではなく外部メモリに対して行います。

(1) ベクタ・テーブル領域

0000H-003FH の64バイト領域に、周辺ハードウェアからの割り込み要求, リセット入力, 外部割り込み要求, およびブレーク命令による割り込み分岐アドレスを格納します。割り込み要求の発生により、各テーブルの偶数アドレスの内容がプログラム・カウンタ (PC) の下位8ビットに、奇数アドレスの内容が上位8ビットにセットされて分岐します。

割り込みソース	ベクタ・テーブル アドレス
RESET (RESET 端子入力)	0000 H
NMI (NMI 端子入力)	0002 H
WDT (ウォッチドッグ・タイマ)	0004 H
INTOV0 (タイマ0オーバーフロー)	0006 H
INTP0 (INTP0 端子入力)	0008 H
INTP1/TI (INTP1/TI 端子入力)	000AH
INTP2 (INTP2 端子入力)	000CH
INTOV1 (タイマ1オーバーフロー)	000E H
INTCM00 (CM00 の一致信号)	0010 H
INTCM01 (CM01 の一致信号)	0012 H
INTCM02 (CM02 の一致信号)	0014 H
INTCM03 (CM03 の一致信号)	0016 H
INTCM04 (CM04 の一致信号)	0018 H
INTCM05 (CM05 の一致信号)	001AH
INTCM06 (CM06 の一致信号)	001CH
INTCC10 (CC10 の一致信号)	001E H
INTCM20 (CM20 の一致信号)	0020 H
INTSR (シリアル受信終了割り込み)	0024 H
INTST (シリアル送信終了割り込み)	0026 H
INTCSI (シリアル送受信割り込み)	0028 H
INTAD (A/D 変換終了割り込み)	002AH
オペコード・トラップ	003CH
BRK (ブレーク命令)	003E H

CPU コントロール・ワード (CCW) のビット1 (TPF) セット (1) すると、割り込みベクタ・テーブルとして、0002H-003FH の代わりに外部メモリ領域の 8002H-803FH が使用されます。

(2) CALLT テーブル領域

0040H-007FH の64バイト領域には、1バイト・コール命令 (CALLT) のコール・アドレスを32テーブル格納することができます。

CPU コントロール・ワード (CCW) のビット1 (TPF) をセット (1) すると、CALLT 命令テーブルとして、0040H-007FH のかわりに外部メモリ領域の 8040H-807FH が使用されます。

(3) CALLF エントリ領域

0800H-0FFFH の領域は、2バイト・コール命令 (CALLF) で直接サブルーチン・コールすることができます。

(4) 内部 RAM 領域

F000H-FEFFFH の領域に、512バイトの RAM が内蔵されています。

この領域は、次の2つの RAM で構成されています。

- 周辺 RAM : F000H-FDFFFH (256 バイト)
- メイン RAM : FE00H-FEFFFH (256 バイト)

メイン RAM は、高速アクセスが可能です。

メイン RAM 領域のうち、FE06H-FE2BH の36バイトの領域にはマクロ・サービス・コントロール・ワードが、FE80H-FEFFFH の128バイトの領域には8個のレジスタ・バンクからなる汎用レジスタ群がマッピングされています。

(5) 特殊機能レジスタ (SFR) 領域

F000H-FFFFH の領域に、オンチップ周辺ハードウェアのモード・レジスタ、制御レジスタなどの特別な機能を割り付けられたレジスタ群がマッピングされています。レジスタのマッピングされていないアドレスはアクセスできません。

(6) 外部メモリ領域

μPD78328 は、48K バイト (4000H-FFFFH) の領域に、外部メモリ (ROM, RAM) を段階的に拡張することができます。

μPD78327 は、64K バイト (0000H-FFFFH) の領域に、外部メモリ (ROM, RAM) を接続することができます。

外部メモリは、P40/AD0-P47/AD7 (マルチプレクスト・アドレス/データ・バス)、P50/A8-P57/A15 (アドレス・バス)、そして RD, $\overline{\text{WR}}$, ASTB 信号を用いてアクセスします。

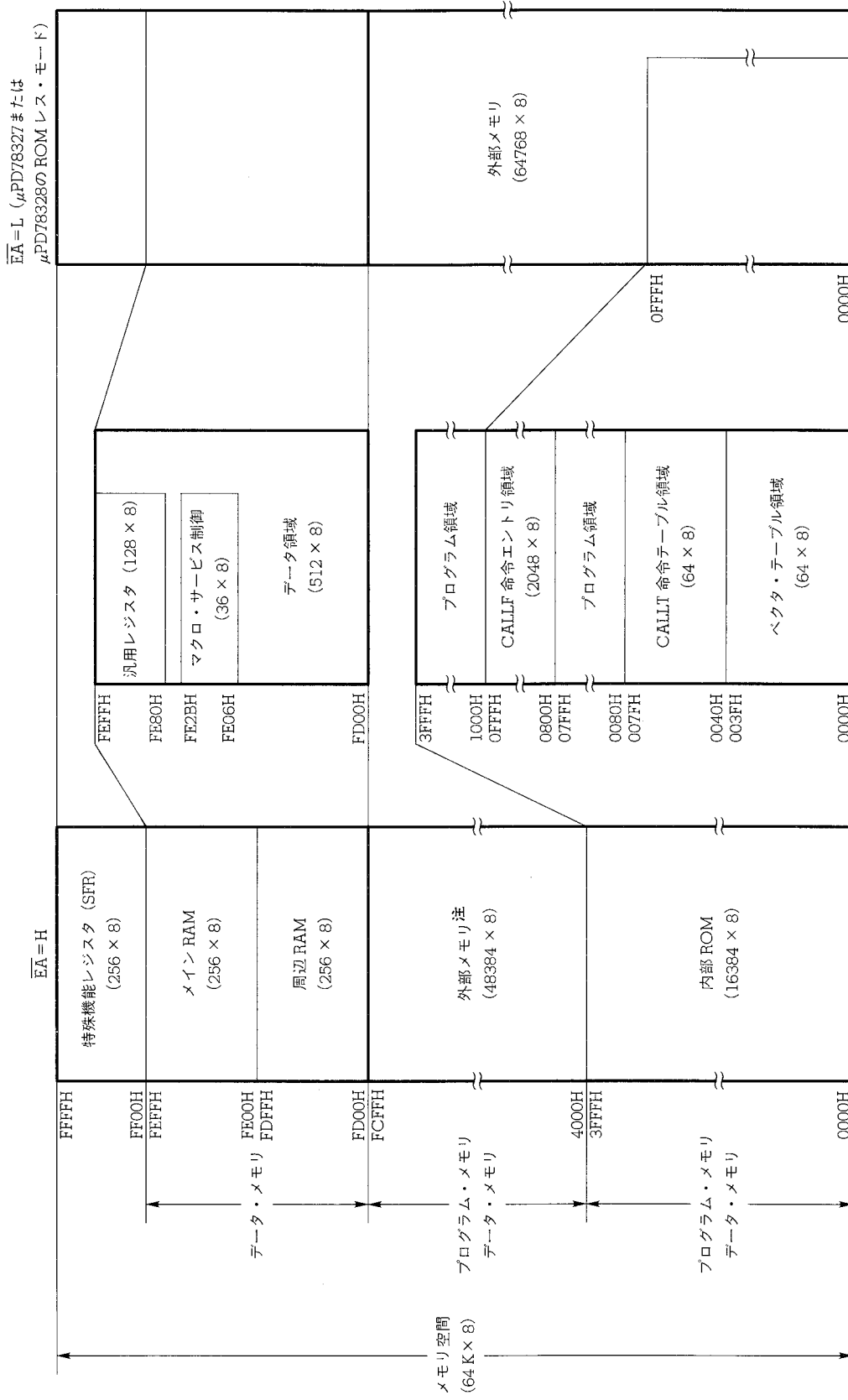
また、特殊機能レジスタ (SFR) の FFD0H-FFDFH の16バイト領域に、外部アクセス領域がマッピングされています。これにより SFR アドレッシングで外部メモリをアクセスすることができます。

ターボ・アクセス・マネージャ (μPD71P301)^注を接続するための専用端子 ($\overline{\text{TAS}}$, TMD 端子) を備えています。ターボ・アクセス・マネージャを使用した場合、内部 ROM と同等のプログラム処理速度が得られます。

★

注 ターボ・アクセス・マネージャ (μPD71P301) は保守製品です。

図 2-1 メモリ・マップ



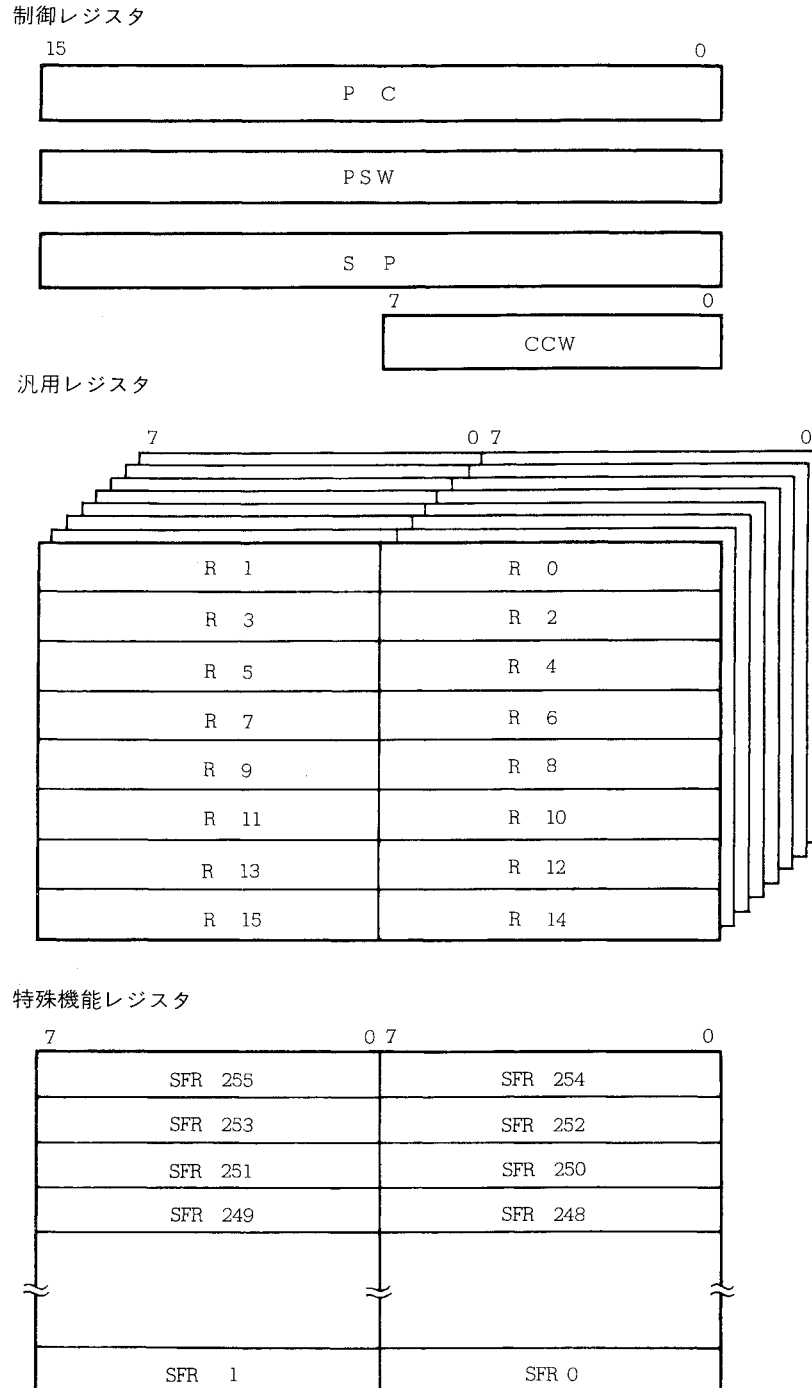
注 外部メモリ拡張モードでアクセス。

★ 注意 メイン RAM 領域(FE00H-FEFFFH)へのワード・アクセス(スタック操作を含む)を実行する場合、オペランドで指定するアドレスは偶数に限ります。

2.2 プロセッサ・レジスタ

中心となるのは、8ビット・レジスタ 16本のセットが8バンクで構成される汎用レジスタ群、8ビット・レジスタ 1本および16ビット・レジスタ 3本からなる制御レジスタ群、さらに周辺ハードウェアのI/Oモード・レジスタ等の特別な機能が割り付けられたレジスタで構成される特殊機能レジスタ群の3群です。

図2-2 レジスタ構成



備考 制御レジスタ群の CCW は特殊機能レジスタ (SFR) 領域にマッピングされています。

2.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御やオペランド・アドレッシングの修飾など、専用の機能を持ったレジスタ群です。16ビット・レジスタ3本と8ビット・レジスタ1本で構成されます。

(1) プログラム・カウンタ (PC)

次に実行するプログラムのアドレス情報を保持する16ビット・レジスタで、通常フェッチする命令のバイト数に応じて自動的にインクリメントされます。分岐を伴う命令を実行した場合、イミューディエト・データやレジスタの内容がセットされます。 $\overline{\text{RESET}}$ 入力により、0000Hと0001Hのリセット・ベクタ・テーブル内のデータがPCにセットされ分岐します。

(2) プログラム・ステータス・ワード (PSW)

命令の実行の結果によってセット、リセットされる各種のフラグで構成される16ビット・レジスタです。上位8ビット (PSWH), 下位8ビット (PSWL) 単位でリード/ライト・アクセスします。また、ビット操作命令により、各フラグの操作ができます。割り込み要求発生時、およびBRK命令実行時に自動的にスタックに退避し、RETI命令、または、RETB命令で復帰します。

$\overline{\text{RESET}}$ 入力により、全ビット・リセット (0) されます。

図2-3 PSWの構成

	7	6	5	4	3	2	1	0
PSWH	UF	RBS2	RBS1	RBS0	0	0	0	0
	7	6	5	4	3	2	1	0
PSWL	S	Z	RSS	AC	IE	P/V	LT	CY

(a) 割り込み優先順位レベル・トランジション・フラグ (LT)

割り込みの優先順位制御のためのフラグです。割り込み制御回路の正常動作のために、このビットはプログラムで操作しないでください。

(b) キャリー・フラグ (CY)

演算命令実行の結果、ビット7あるいはビット15からキャリーがあったとき、またはビット7あるいはビット15へのポローがあったときセット(1)され、それ以外のときリセット(0)されます。条件分岐命令でテストすることができます。

またビット操作命令実行時に、ビット・アキュムレータとして機能します。

(c) ゼロ・フラグ (Z)

演算結果がゼロのときセット(1)され、それ以外のときリセット(0)されます。条件分岐命令でテストすることができます。

(d) サイン・フラグ (S)

演算結果のMSBが“1”のときセット(1)され、“0”のときリセット(0)されます。条件分岐命令でテストすることができます。

(e) パリティ/オーバーフロー・フラグ (P/V)

算術演算命令実行時、2の補数としてオーバーフローおよびアンダフローが発生したときのみセット(1)されます。それ以外のときリセット(0)されます(オーバーフロー・フラグ動作)。

論理演算命令実行時、演算結果のセット(1)されたビット数が偶数のときセット(1)され、奇数のときリセット(0)されます(パリティ・フラグ動作)。

条件分岐命令でテストすることができます。

(f) 補助キャリー・フラグ (AC)

演算の結果、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット(1)され、それ以外のときリセット(0)されます。条件分岐命令でテストすることができます。

(g) レジスタ・セット選択フラグ (RSS)

X, A, C, Bとして機能する汎用レジスタを指定するフラグです。RSSの内容により表2-1のように、各機能レジスタと絶対レジスタの対応が切り替わります。

したがって、RSSフラグを切り替えることにより、別のレジスタ・セット(X, A, C, B)を使用できます。

(h) 割り込み要求許可フラグ (IE)

割り込み要求の許可/禁止を示すフラグです。このフラグはEI命令の実行でセット(1)され、DI命令の実行または割り込みの受け付けでリセット(0)されます。

(i) レジスタ・バンク選択フラグ (RBSO-2)

8個のレジスタ・バンク(RBANK0-RBANK7)のうちの1つを選択する3ビットのフラグです。

(j) ユーザ・フラグ (UF)

ユーザ・プログラム上でセットおよびリセットし、プログラム制御に利用できるフラグです。

(3) スタック・ポインタ (SP)

SPは、メモリのスタック領域(LIFO形式)の先頭アドレスを保持している16ビット・レジスタです。専用命令により操作します。

SPは、スタック・メモリへの書き込み(退避)動作に先立ってデクリメントされ、スタック・メモリからの読み取り(復帰)動作後にインクリメントされます。

$\overline{\text{RESET}}$ 入力により不定になりますので、サブルーチン・コールなどを行う前には必ず設定を行ってください。

(4) CPUコントロール・ワード (CCW)

CPUの制御に関するフラグで構成される8ビットのレジスタで、特殊機能レジスタ領域にマッピングされており、ソフトウェアで制御することができます。 $\overline{\text{RESET}}$ 入力により全ビットがリセット(0)されます。

図2-4 CCWの構成

7	6	5	4	3	2	1	0	
0	0	0	0	0	0	TPF	0	CCW

・テーブル・ポジション・フラグ (TPF)

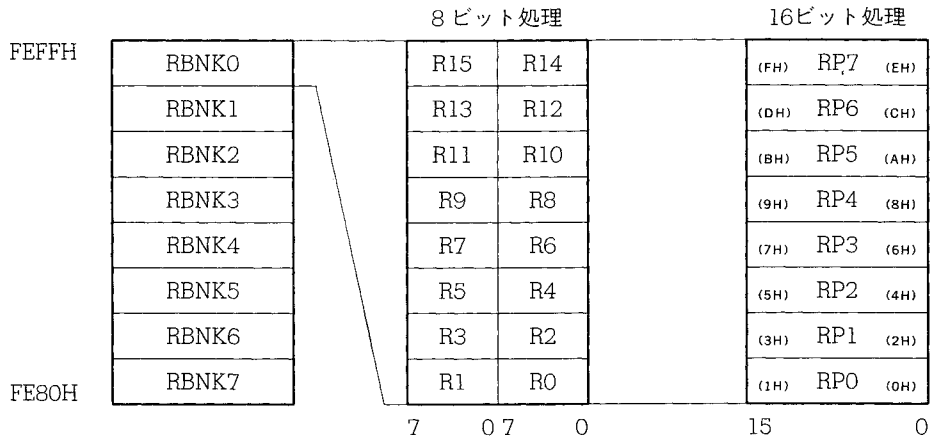
割り込みベクタ・テーブル領域, およびCALLT 命令テーブル領域として使用するメモリ領域を指定するフラグです。

RESET 入力後, TPF はリセット(0)されているので, 0000H-007FH 番地が各テーブル領域として使用されます。ソフトウェアで TPF をセット(1)することにより, 0002H-007FH 番地のかわりに外部メモリ領域の8002H-807FH 番地を各テーブル領域として使用できます。ただし, BRK 命令, オペコード・トラップ割り込み, リセット入力のベクタ・テーブルはそれぞれ 003EH, 003CH, 0000H に固定で, TPF の影響を受けません。

2.2.2 汎用レジスタ

汎用レジスタは内部RAM空間の特定領域 (FE80H-FEFFFH) にマッピングされた128バイトのレジスタ群で, 8個のレジスタ・バンクから構成されます。各レジスタ・バンクは, 16個の8ビット・レジスタから構成されます。

図2-5 汎用レジスタのメモリ・ロケーション



8ビット・レジスタは2本ペアとなって8個の16ビット・レジスタ・ペア (RP0-RP7) としても機能します。

16個の8ビット・レジスタは表2-1に示すように機能名称によって性格付けられます。Xレジスタは16ビット・アキュムレータの下位，Aレジスタは8ビット・アキュムレータまたは16ビット・アキュムレータの上位，BレジスタおよびCレジスタはカウンタ，DE，HL，VPおよびUPはレジスタ・ペアとなってアドレス・レジスタとしての機能があります。特にVPレジスタはベース・レジスタ，UPレジスタはユーザ・スタック・ポインタとしての機能を持ちます。

PSW内のレジスタ・セット選択フラグ(RSS)の値によって固有機能を持ったレジスタが表2-1のように変化します。

したがって，機能名称によりプログラムを記述している場合には，RSSフラグを使用することにより，別のX，A，C，Bレジスタ・セットを使用できます。

μPD78327，78328は，処理データ・アドレスのアドレッシングとして各レジスタの固有機能を重視した機能名称によるインプライド・アドレッシングと，データ転送回数の少ない高速処理や記述性の高いプログラムの作成を目的とした絶対名称によるレジスタ・アドレッシングが可能です。

表2-1 汎用レジスタの構成

絶対名称	機能名称		絶対名称	機能名称	
	RSS=0	RSS=1		RSS=0	RSS=1
R 0	X		RP0	AX	
R 1	A		RP1	BC	
R 2	C		RP2		AX
R 3	B		RP3		BC
R 4		X	RP4	VP	VP
R 5		A	RP5	UP	UP
R 6		C	RP6	DE	DE
R 7		B	RP7	HL	HL
R 8	VP _L	VP _L			
R 9	VP _H	VP _H			
R 10	UP _L	UP _L			
R 11	UP _H	UP _H			
R 12	E	E			
R 13	D	D			
R 14	L	L			
R 15	H	H			

2.2.3 特殊機能レジスタ (SFR)

各種周辺ハードウェアのモード・レジスタおよび制御レジスタ (CCW) 等の特別な機能が割り付けられたレジスタ群です。

特殊機能レジスタ群は FFO0H-FFFFH の 256 バイトの空間に割り付けられています。また、FF00H-FF1FH の 32 バイトの領域にはショート・ダイレクト・メモリ・アドレッシングが適用され、短い語長で処理することができます。

ビット操作命令、および演算、転送命令が全エリアで実行可能です。FFD0H-FFDFH の 16 バイトの領域は、SFR アドレッシングにより外部に対してアクセスすることができます。したがって、語長の短い命令での外部メモリのアクセスや外部デバイスのビット操作などが可能です。

表 2-2 に特殊機能レジスタ (SFR) の一覧を示します。表中の項目の意味は次のようになります。

- 略号……………内蔵された特殊機能レジスタのアドレスを示す記号。
命令のオペランド欄に記述できます。
- R/W……………該当する特殊機能レジスタが、読み出し (Read)/書き込み (Write) 可能かどうかを示します。
R/W : 読み出し/書き込み可能
R : 読み出しのみ可能 (レジスタのビットのテストは可能)
W : 書き込みのみ可能
- 操作可能ビット単位
……………該当する特殊機能レジスタを操作する場合に、適応可能な操作ビット単位を示します。
16 ビット操作可能な SFR はオペランドの sfrp に記述でき、アドレスで指定する場合は偶数アドレスを記述します。
1 ビット操作可能な SFR は、ビット操作命令で記述できます。
- リセット時…………… $\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

注意 1. FFO0H-FFFFH の領域で、特殊機能レジスタが割り付けられていないアドレスは、アクセスできません。

2. 読み出しのみのレジスタに書き込みをしないでください。書き込みをすると内部回路が正常に動作しなくなることがあります。

表2-2 特殊機能レジスタ一覧表 (1/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF00H	ポート0	P0	R/W	○	○		不定
FF02H	ポート2	P2	R		○		不定
FF03H	ポート3	P3	R/W	○	○		不定
FF04H	ポート4	P4	R/W	○	○		不定
FF05H	ポート5	P5	R/W	○	○		不定
FF07H	ポート7	P7	R		○		不定
FF08H	ポート8	P8	R/W	○	○		不定
FF09H	ポート9	P9	R/W	○	○		不定
FF0CH	タイマ・レジスタ2	TM2	R			○	0000H
FF1CH	キャプチャ/コンペア・レジスタ10	CC10	R/W			○	不定
FF20H	ポート0 モード・レジスタ	PM0	W		○		FFH
FF23H	ポート3 モード・レジスタ	PM3	W		○		×××1 1111B
FF25H	ポート5 モード・レジスタ	PM5	W		○		FFH
FF28H	ポート8 モード・レジスタ	PM8	W		○		FFH
FF29H	ポート9 モード・レジスタ	PM9	W		○		×××× 1111B
FF2AH	タイマ・レジスタ0	TM0	R			○	0000H
FF2CH	タイマ・レジスタ1	TM1	R			○	0000H
FF43H	ポート3 モード・コントロール・レジスタ	PMC3	W		○		×××0 0000B
FF48H	ポート8 モード・コントロール・レジスタ	PMC8	W		○		00H
FF4CH	ポー・レート・ジェネレータ	BRG	R/W	○	○		不定
FF60H	ポート0バッファ・レジスタL	POL	R/W	○	○		不定
FF61H	ポート0バッファ・レジスタH	POH	R/W	○	○		不定
FF62H	ポート・リード・コントロール・レジスタ	PRDC	R/W		○		00H
FF63H	リアルタイム出力ポート・コントロール・レジスタ	RTPC	R/W	○	○		00H
FF64H	PWM コントロール・レジスタ	PWMC	R/W	○	○		00H
FF66H	PWM バッファ・レジスタ	PWMB	R/W	○	○		不定
FF68H	A/D コンバータ・モード・レジスタ	ADM	R/W	○	○		00H
FF6AH	A/D コンバージョン・リザルト・レジスタ (16ビット・アクセス時)	ADCR	R			○	不定
FF6BH	A/D コンバージョン・リザルト・レジスタ (上位8ビット・アクセス時)	ADCRH	R		○		不定
FF70H	コンペア・レジスタ00セット	CM00S	R/W			○	不定
FF72H	コンペア・レジスタ01セット	CM01S	R/W			○	不定
FF74H	コンペア・レジスタ02セット	CM02S	R/W			○	不定
FF76H	コンペア・レジスタ03セット	CM03S	R/W			○	不定
FF78H	コンペア・レジスタ04セット	CM04S	R/W			○	不定
FF7AH	コンペア・レジスタ05セット	CM05S	R/W			○	不定
FF7CH	コンペア・レジスタ06	CM06	R/W			○	不定

表2-2 特殊機能レジスタ一覧表 (2/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時	
				1ビット	8ビット	16ビット		
FF7EH	コンペア・レジスタ20	CM20	R/W			○	不定	
FF80H	クロック同期式シリアル・インタフェース・モード・レジスタ	CSIM	R/W	○	○		00H	
FF82H	シリアル・バス・インタフェース・コントロール・レジスタ	SBIC	R/W	○	○		00H	
FF86H	シリアル I/O シフト・レジスタ	SIO	R/W	○	○		不定	
FF88H	アシンクロナス・シリアル・インタフェース・モード・レジスタ	ASIM	R/W	○	○		80H	
FF8AH	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS	R	○	○		00H	
FF8CH	シリアル受信レジスタ : UART	RXB	R		○		不定	
FF8EH	シリアル送信シフト・レジスタ : UART	TXS	W		○		不定	
FF90H	コンペア・レジスタ00リセット	CM00R	R/W			○	不定	
FF92H	コンペア・レジスタ01リセット	CM01R	R/W			○	不定	
FF94H	コンペア・レジスタ02リセット	CM02R	R/W			○	不定	
FF96H	コンペア・レジスタ03リセット	CM03R	R/W			○	不定	
FF98H	コンペア・レジスタ04リセット	CM04R	R/W			○	不定	
FF9AH	コンペア・レジスタ05リセット	CM05R	R/W			○	不定	
FFB0H	タイマ・コントロール・レジスタ0	TMC0	R/W	○	○		00H	
FFB1H	ポー・レート・ジェネレータ・モード・レジスタ	BRGM	R/W	○	○		00H	
FFB2H	タイマ・コントロール・レジスタ1	TMC1	R/W	○	○		04H	
FFB4H	タイマ・ユニット・モード・レジスタ	TUM	R/W	○	○		00H	
FFBAH	タイマ出力レジスタ	TOUT	R/W	○	○		FFH	
FFC0H	スタンバイ・コントロール・レジスタ	STBC ^注	R/W	○	○		0000 × 000B	
FFC1H	CPU コントロール・ワード	CCW	R/W	○	○		00H	
FFC2H	ウォッチドッグ・タイマ・モード・レジスタ	WDM ^注	R/W	○	○		00H	
FFC4H	メモリ拡張モード・レジスタ	MM	R/W	○	○		00H	
FFC6H	プログラマブル・ウェイト・コントロール・レジスタ	PWC	R/W	○	○		22H	
FFC9H	フェッチ・サイクル・コントロール・レジスタ	FCC	R/W	○	○		00H	
FFD0H FFDFH	外部アクセス領域		R/W	○	○		不定	
FFE0H	割り込み要求フラグ・レジスタ 0L	IF0L	IF0	R/W	○	○	○	00H
FFE1H	割り込み要求フラグ・レジスタ 0H	IF0H		R/W	○	○		00H
FFE2H	割り込み要求フラグ・レジスタ 1L	IF1L	IF1	R/W	○	○	○	00H
FFE3H	-	-		-	-	-		-
FFE4H	割り込みマスク・フラグ・レジスタ 0L	MK0L	MK0	R/W	○	○	○	FFH
FFE5H	割り込みマスク・フラグ・レジスタ 0H	MK0H		R/W	○	○		FFH

注 特殊命令のとき、ライト可能です。

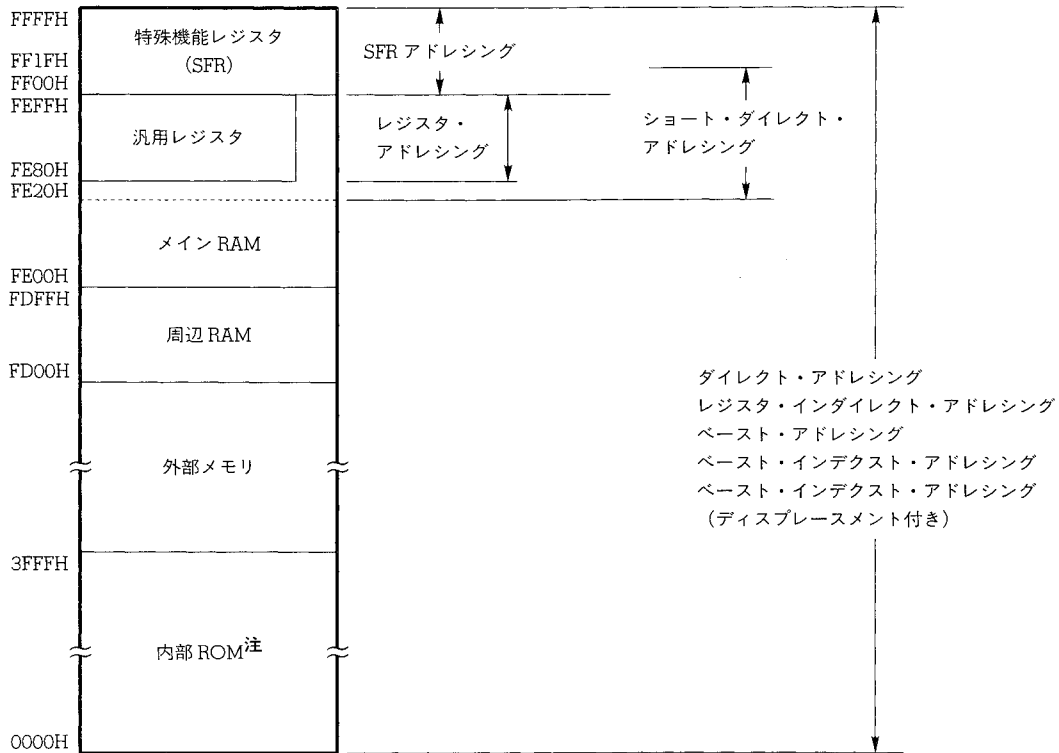
表2-2 特殊機能レジスタ一覧表 (3/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
FFE6H	割り込みマスク・フラグ・レジスタ 1L	MK1L	MK1	R/W	○	○	○	xxxx x111B
FFE7H	-	-		-	-	-	-	-
FFE8H	優先順位指定バッファ・レジスタ 0L	PB0L	PB0	R/W	○	○	○	00H
FFE9H	優先順位指定バッファ・レジスタ 0H	PB0H		R/W	○	○	-	00H
FFEAH	優先順位指定バッファ・レジスタ 1L	PB1L	PB1	R/W	○	○	○	00H
FFEBH	-	-		-	-	-	-	-
FFECH	割り込み処理モード指定レジスタ 0L	ISM0L	ISM0	R/W	○	○	○	00H
FFEDH	割り込み処理モード指定レジスタ 0H	ISM0H		R/W	○	○	-	00H
FFEEH	割り込み処理モード指定レジスタ 1L	ISM1L	ISM1	R/W	○	○	○	00H
FFEFH	-	-		-	-	-	-	-
FFF0H	コンテキスト・スイッチング許可レジスタ 0L	CSE0L	CSE0	R/W	○	○	○	00H
FFF1H	コンテキスト・スイッチング許可レジスタ 0H	CSE0H		R/W	○	○	-	00H
FFF2H	コンテキスト・スイッチング許可レジスタ 1L	CSE1L	CSE1	R/W	○	○	○	00H
FFF3H	-	-		-	-	-	-	-
FFF4H	外部割り込みモード・レジスタ 0	INTM0		R/W	○	○		00H
FFF8H	インサースビス・プライオリティ・レジスタ	ISPR		R		○		00H
FFF9H	優先順位指定レジスタ	PRSL		R/W	○	○		00H

2.3 データ・メモリ・アドレッシング

μPD78327,78328 では、FD00H-FFFFH の領域に内部 RAM 空間 (FD00H-FEFFFH)、および特殊機能レジスタ領域 (FF00H-FFFFH) がマッピングされています。データ・メモリの一部の空間 (FE20H-FF1FH) では、ショート・ダイレクト・アドレッシングが適用され命令語中の 1 バイト・データで高速に直接アドレッシングが可能です。

図2-6 データ・メモリのアドレッシング



注 $\overline{EA}=L$, または μPD78327 の場合, 外部メモリになります。

★

注意 メインRAM領域 (FE00H-FEFFFH) へのワード・アクセス (スタック操作を含む) を実行する場合, オペランドで指定するアドレスは偶数に限ります。

2.3.1. 汎用レジスタのアドレッシング

汎用レジスタは、8ビット・レジスタ 16本または 16ビット・レジスタ 8本を 1セットとする 8個のレジスタ・バンクから構成されます。

汎用レジスタのアドレッシングは、命令語から供給される 3ビットまたは 4ビットのレジスタ指定フィールド、PSW中のレジスタ・バンク選択フラグ (RBS0-2)、およびレジスタ・セット選択フラグ (RSS) によって行われます。

2.3.2. ショート・ダイレクト・アドレッシング

FE20H-FF1FHの空間は、命令語中の1バイト・データで高速に、直接アドレス指定することのできるショート・ダイレクト・アドレッシングが適用されます。ショート・ダイレクト・メモリは、8ビット・データまたは 16ビット・データとしてアクセスされます。16ビット・データとしてアクセスする場合は、連続した偶数アドレス-奇数アドレスで指定される 2バイト・データのみが可能です。このとき、アドレス指定データには偶数アドレスを指定してください (奇数アドレスを指定しないでください)。

2.3.3. 特殊機能レジスタ (SFR) アドレッシング

FF00H-FFFFHのSFR領域にマッピングされている特殊機能レジスタ (SFR) に対して操作を行う場合に適用されます。特殊機能レジスタのアドレス下位 8ビットに対応する命令語中の 1バイト・データでアドレッシングを行います。16ビット操作可能なSFRを 16ビット・アクセスする場合、ショート・ダイレクト・アドレッシングと同様に、連続した偶数アドレス-奇数アドレスで指定される2バイト・データがアクセスされます。

3. ブロック機能

3.1 バス・コントロール・ユニット (BCU)

BCUでは、エクゼキューション・ユニット (EXU) で得られた物理アドレスに基づいて、必要なバス・サイクルを起動します。EXUからバス・サイクル起動の要求がないときは、プリフェッチのためのアドレスを発生し、命令のプリフェッチを行います。プリフェッチした命令コードは、命令キューに取り込まれます。

3.2 エクゼキューション・ユニット (EXU)

EXUでは、アドレス計算、算術論理演算、データ転送などが、マイクロプログラムで制御されます。EXU内部には、256バイトのメインRAMを内蔵しています。

EXU内部のメインRAM (256バイト) は、命令によって、周辺RAM (256バイト) よりも高速にアクセスできます。

3.3 ROM/RAM

16 KバイトのROMと256バイトの周辺RAMで構成されます。

\overline{EA} 端子によりROMのアクセスを禁止できます。

3.4 割り込みコントローラ

周辺ハードウェアおよび外部から発生する各種の割り込み要求 (NMI, INTPO-INTP2) を、コンテキスト・スイッチ、ベクタ割り込みまたはマクロ・サービス機能のいずれかによって処理します。

さらに、3レベルの割り込み優先順位も指定します。

3.5 ポート機能

デジタル入出力ポートには、表3-1のような種類があります。

いずれのポートも、入出力データ 8 ビット操作のほかにはビット操作が可能で、きわめて多様な制御が行えます。

表3-1 各ポートの機能と特徴

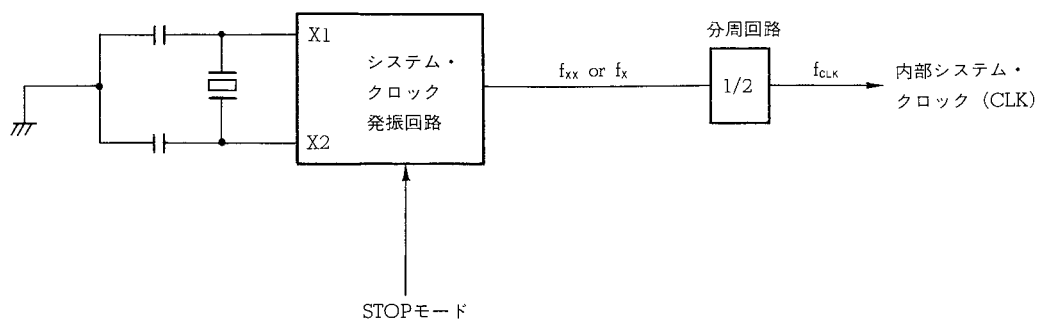
ポート名	機能	特徴	備考
ポート0	4/8ビット入出力	1ビット単位で入力または出力に指定可能。 4ビット単位でリアルタイム出力ポートにも指定可能。	RTP0-RTP7 と端子を兼用
ポート2	3ビット入力	入力ポート端子。外部割り込み入力としても機能。	NMI, INTPO, INTP1/TI と端子を兼用
ポート3	5ビット入出力	1ビット単位でポート端子またはコントロール端子に指定可能。	TxD, RxD, SO/SB0, SI/SB1, SCK と端子を兼用
ポート4	8ビット入出力	8ビット単位で入力または出力に指定可能。 外部メモリ拡張モード時は、マルチプレクスト・アドレス/データ・バス (AD0-AD7) として機能。	μPD78327 では、常にマルチプレクスト・アドレス/データ・バスとして機能
ポート5	8ビット入出力	1ビット単位で入力または出力に指定可能。 外部メモリ拡張モード時は、アドレス・バス (A8-A15) として機能。 アドレス・バスとして使用しない端子はポートとして使用可能。	μPD78327 では、常にアドレス・バスとして機能
ポート7	8ビット入力	入力ポート端子。A/D コンバータへのアナログ入力としても機能。	ANI0-ANI7 と端子を兼用
ポート8	8ビット入出力	1ビット単位でポート端子またはコントロール端子に指定可能。	TO0-TO5, TO6/INTP2, TO7/PWM と端子を兼用
ポート9	4ビット入出力	1ビット単位で入力または出力に指定可能。 外部メモリ拡張モード時, P90 は \overline{RD} 出力, P91 は \overline{WR} 出力として機能。 外部メモリの高速フェッチ・モード時, P92 は \overline{TAS} 出力, P93 は TMD 出力として機能。	μPD78327 では、常に P90 は \overline{RD} 出力, P91 は \overline{WR} 出力として機能

3.6 クロック発生回路

クロック発生回路は、CPU に供給される内部システム・クロック（CLK）を発生、制御する回路です。

クロック発生回路は、図 3-1 のように構成されています。

図 3-1 クロック発生回路のブロック図



- 備考1. f_{xx} : クリスタル発振周波数
 2. f_x : 外部クロック周波数
 3. f_{CLK} : 内部システム・クロック周波数

システム・クロック発生回路は、X1, X2端子に接続されたクリスタル振動子によって発振します。スタンバイ・モード（STOP）に設定されると、発振を停止します。

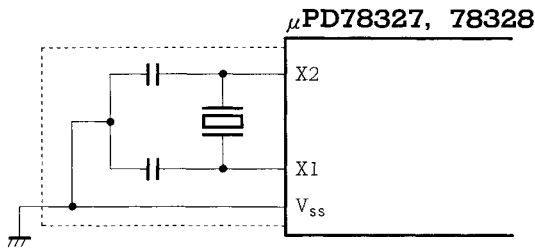
また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子にはその逆相を入力してください。ただし、X2端子はオープンも可能です。

注意 外部クロックを使用する場合、**STBC**の**STP**ビットをセットしないでください。

分周回路は、システム・クロック発生回路出力（クリスタル発振の場合 f_{xx} 、外部クロックの場合 f_x ）を2分周して、内部システム・クロック（ f_{CLK} ）を生成します。

図 3-2 システム・クロック発振回路の外付け回路

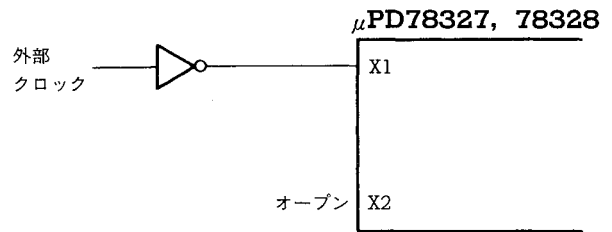
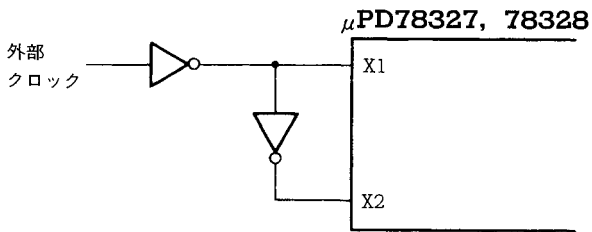
(a) クリスタル発振



(b) 外部クロック

(i) X1 端子に入力する外部クロックの逆相を X2 端子に入力する場合

(ii) X2 端子をオープンにする場合



注意 1. システム・クロック発振回路を使用する場合には、配線容量などの影響を避けるために、図 3-2 の の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるグラウンド・パターンには接地しない。
- 発振回路から信号を取り出さない。

2. X1 端子に外部クロックを入力し、X2 端子をオープンにする場合、X2 端子に配線容量などの負荷が接続されないようにしてください。

3.7 リアルタイム・パルス・ユニット (RPU)

RPU は、パルス間隔や周波数の計測および、プログラマブルなパルス (PWM 制御) の出力を行うことのできるユニットです。

RPU は3つのタイマを中心に構成されています。そのうちの1つは PWM 制御に適したレジスタ群を持ち、さらに、多くのアプリケーションに柔軟に対応することができるように2種類のタイマ出力モードを選択することができます。

また、リアルタイム出力ポート (P0) のポート出力のセット、リセット・タイミングを制御します。

3.7.1 構成

RPUは、図3-3, 3-4に示すように、16ビットのインターバル・タイマ/フリー・ランニング・カウンタとして機能するタイマ0 (TMO), 16ビットのインターバル・タイマ/フリー・ランニング・カウンタ/イベント・カウンタとして機能するタイマ1 (TM1), 16ビットのインターバル・タイマとして機能するタイマ2 (TM2) および、各コンペア・レジスタ, コンペア/キャプチャ・レジスタを中心に構成されています。

図 3-3 モード 0 時の RPU ブロック図

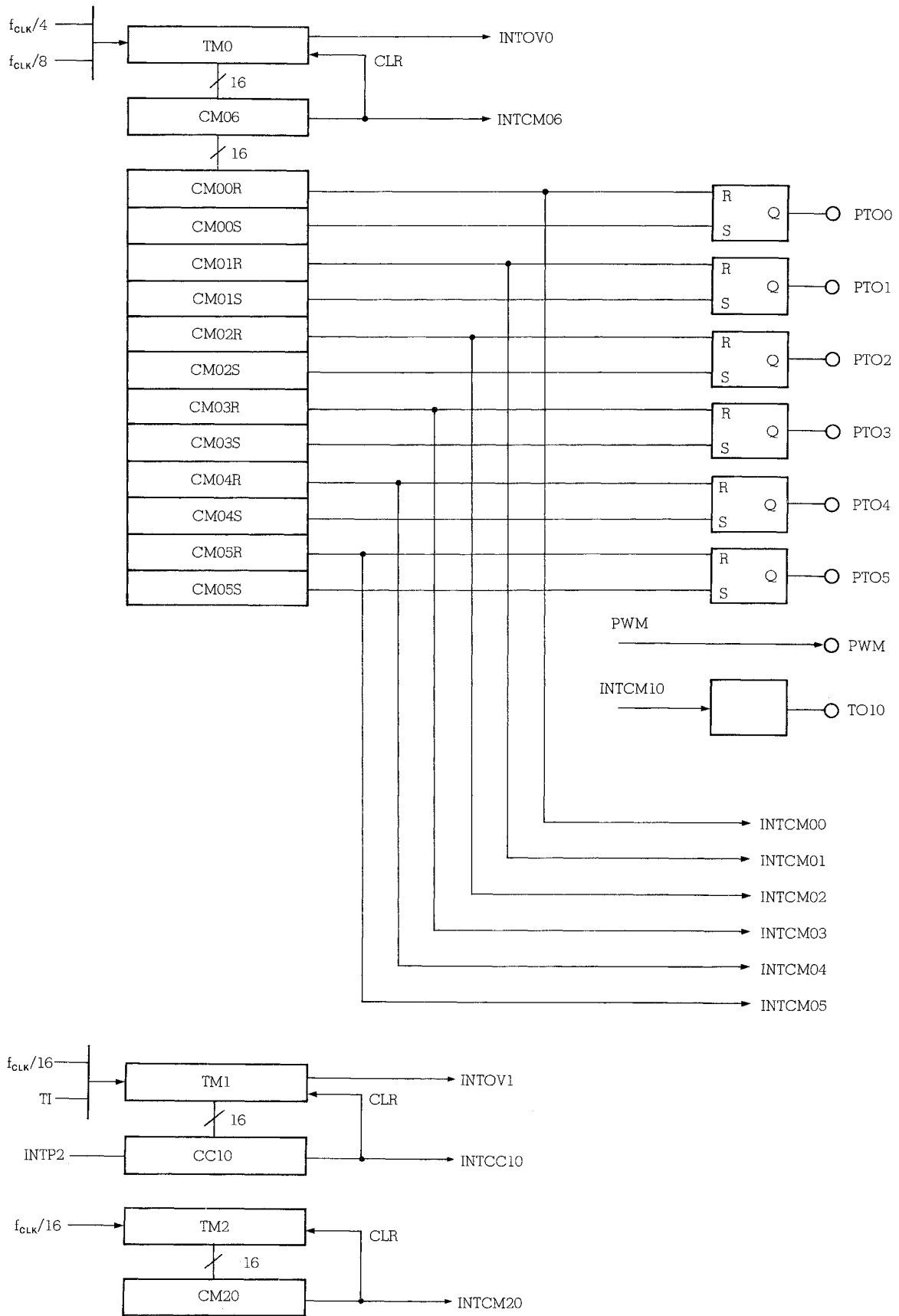
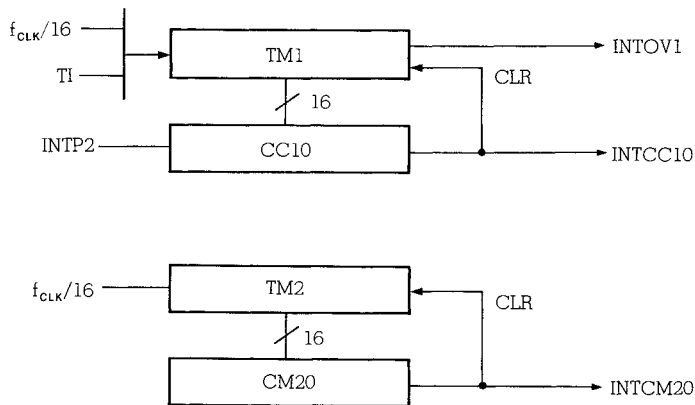
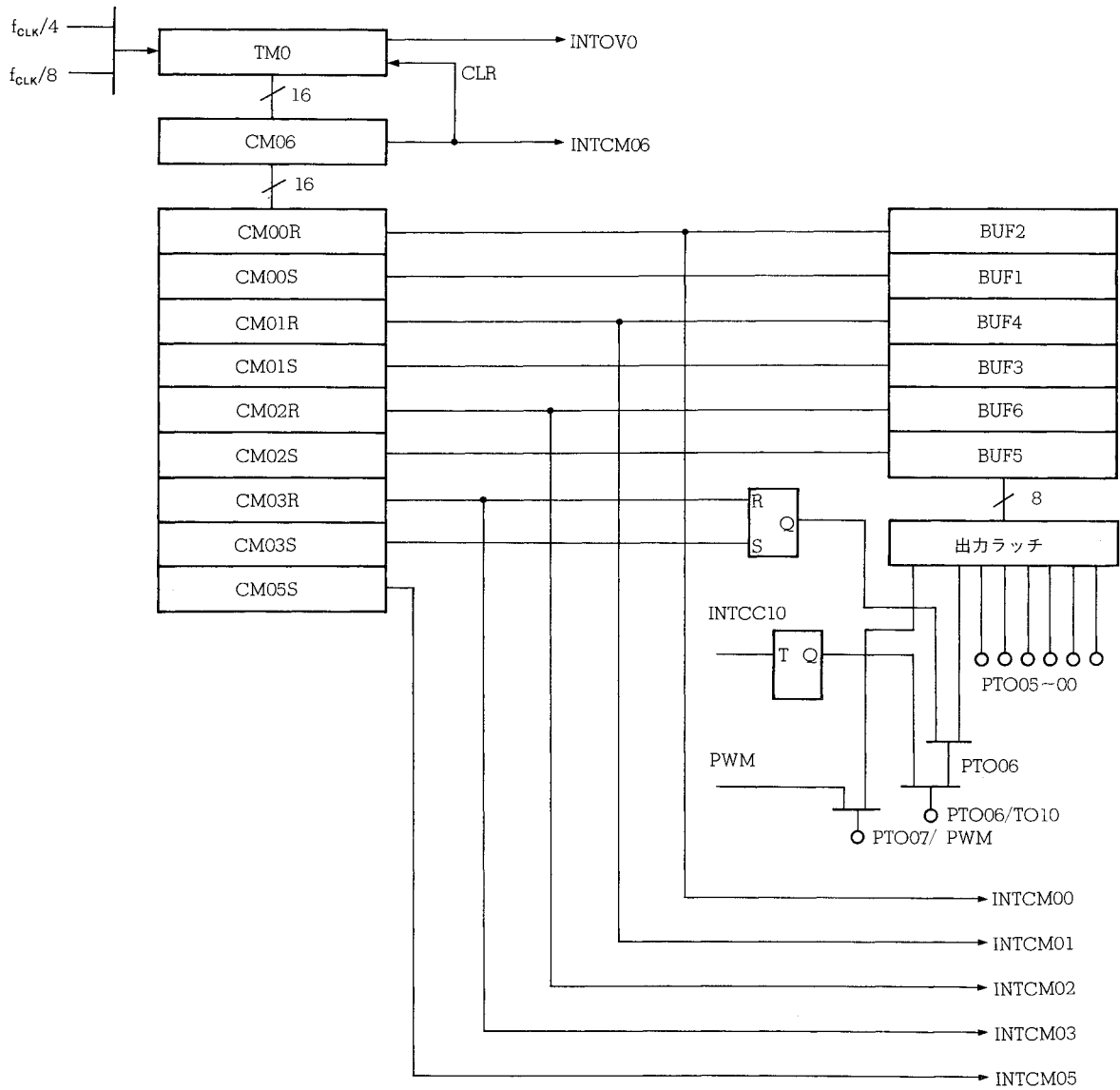


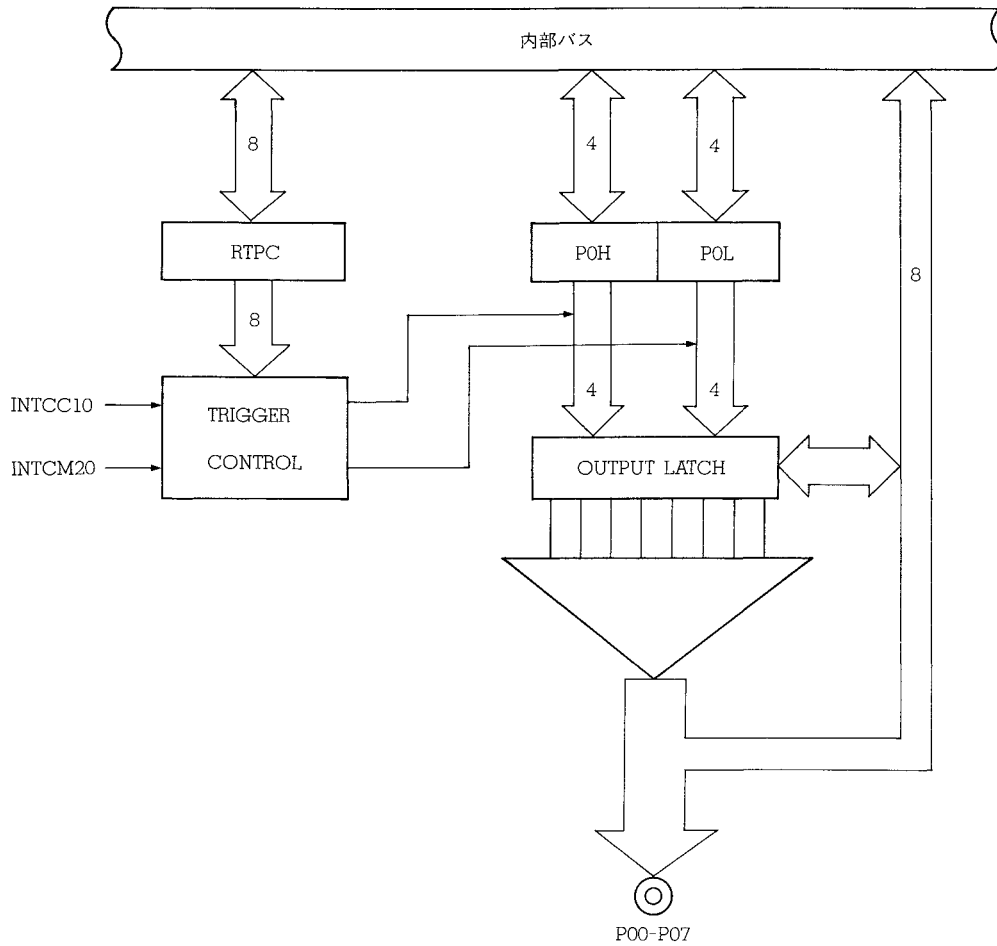
図 3-4 モード 1 時の RPU ブロック図



3.7.2 リアルタイム出力機能

リアルタイム出力機能は、リアルタイム・パルス・ユニットからのトリガ信号に同期して、4/8ビット単位でバッファの内容をポート0に転送できる機能です。多チャンネルの同期パルス出力を容易に行うことが可能です。ブロック図を図3-5に示します。

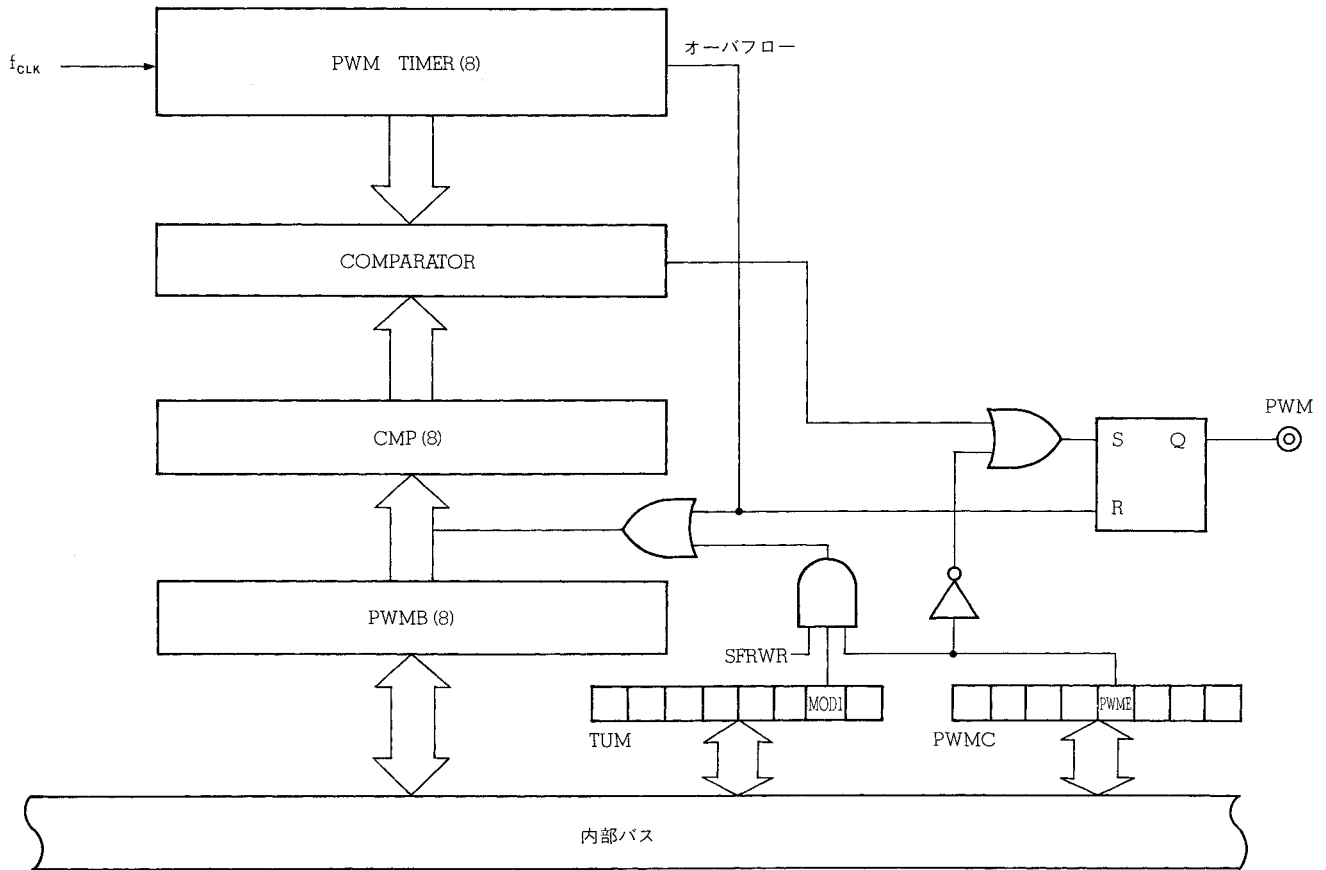
図3-5 ポート0のブロック図



3.7.3 8ビット高速 PWM 信号出力機能

リアルタイム・パルス・ユニットには、一定周期のうちアクティブ・レベルのデューティを変化させることができる、8ビット高速 PWM 信号出力機能が内蔵されています。ブロック図を図 3-6 に示します。

図 3-6 PWM 信号出力ブロック図

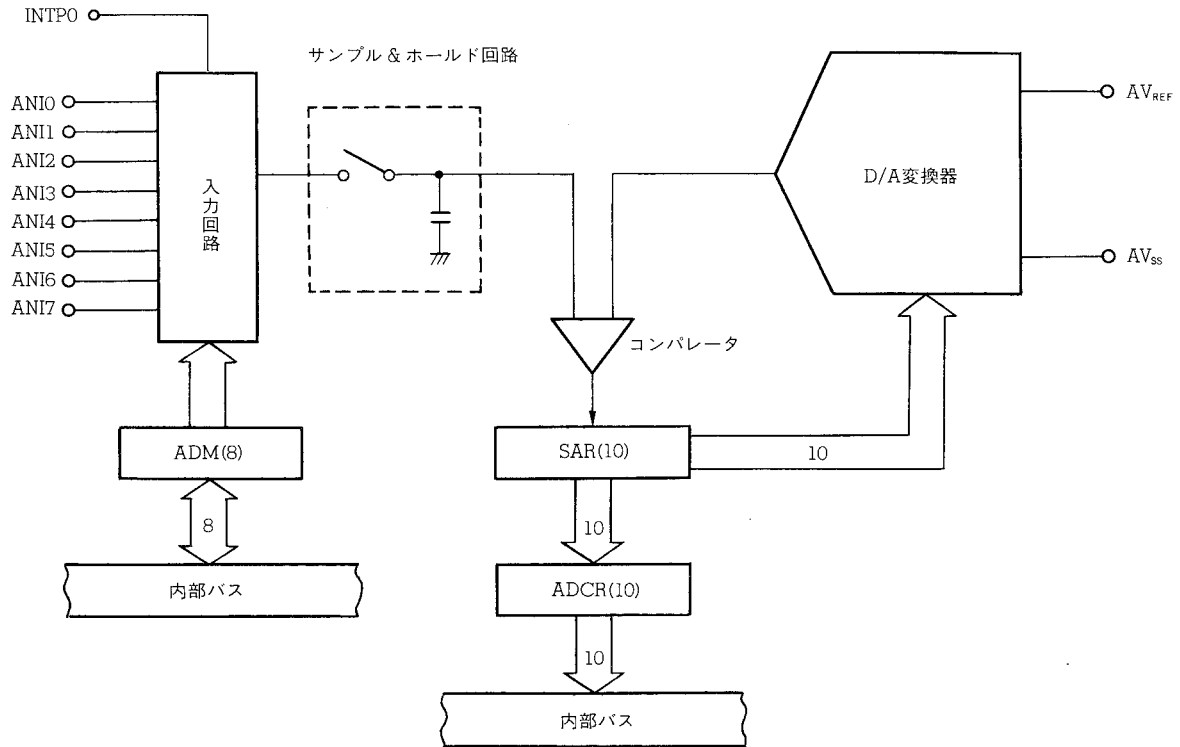


3.8 A/D コンバータ

μPD78327, 78328 は、高速、高分解能の 10ビット・アナログ/デジタル(A/D)コンバータを内蔵しています。このA/Dコンバータは8本のアナログ入力(ANI0-ANI7)や、変換結果を保持するA/Dコンバージョン・リザルト・レジスタ(ADCR)を備えています。また、外部から変換開始トリガ信号を入力することができます。

変換が終了すると、マクロ・サービスを起動できる割り込みが発生します。

図 3-7 A/D コンバータのブロック図



3.9 シリアル・インタフェース

μPD78327, 78328 はシリアル・インタフェース機能として次の2つのチャンネルを独立に備えています。

- アシンクロナス・シリアル・インタフェース
- クロック同期式シリアル・インタフェース
 - ・3線式シリアル I/O モード
 - ・シリアル・バス・インタフェース・モード (SBI モード)

また、μPD78327, 78328 はポー・レート・ジェネレータを内蔵しているため、動作周波数によらず任意のシリアル転送レートを設定することが可能です。ポー・レート・ジェネレータは、2チャンネルのシリアル・インタフェースに対して共通に機能します。

シリアル転送レートは、モード・レジスタの設定により、75 bps-19.2 Kbps から選択できます。

図 3-8 アシンクロナス・シリアル・インタフェースのブロック図

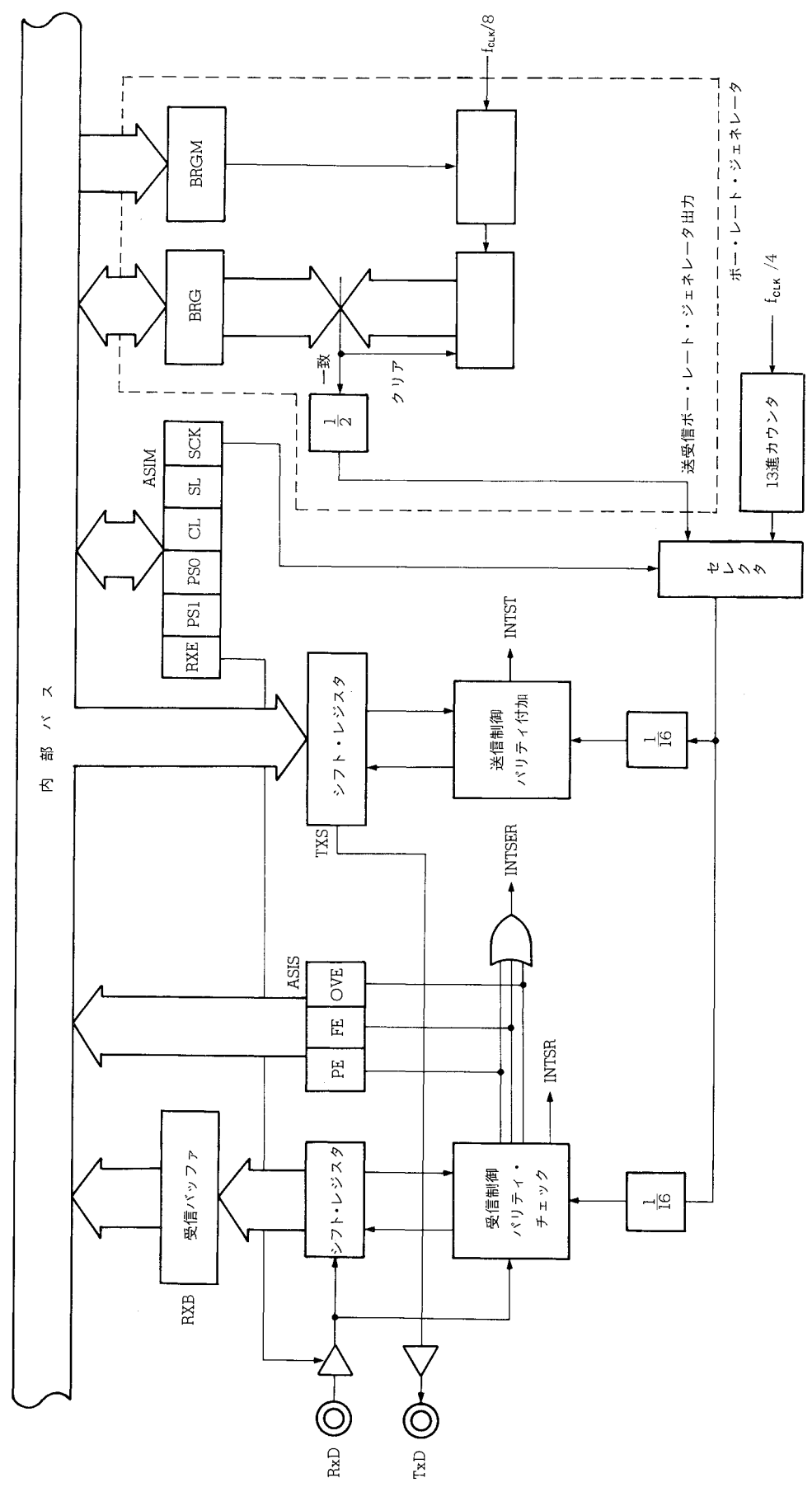
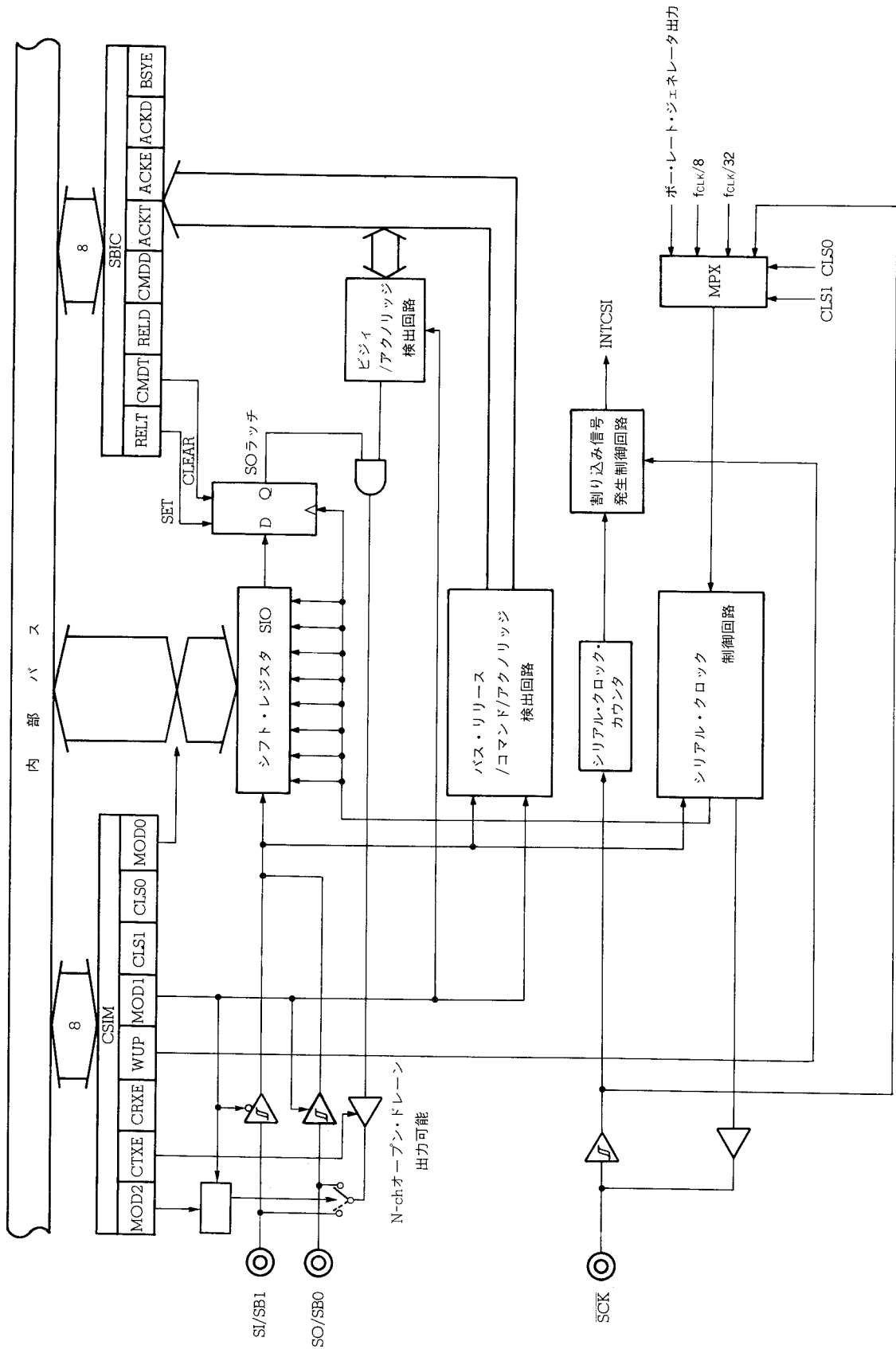


図3-9 クロック同期式シリアル・インタフェースのブロック図



3.10 ウォッチドッグ・タイマ

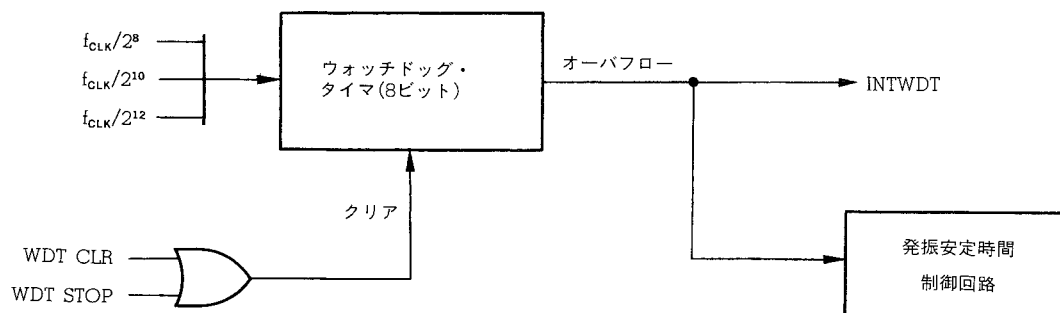
ウォッチドッグ・タイマは、プログラムの暴走やデッドロックを防ぐための機能です。ウォッチドッグ・タイマ割り込みが発生しないことによって、プログラムまたはシステムが正常に動作していることを確認します。そのため、プログラムの各モジュールごとに、ウォッチドッグ・タイマをクリア(タイマ・スタート)する命令を入れておきます。

ウォッチドッグ・タイマをクリアする命令が、ウォッチドッグ・タイマに設定した時間内にクリアされずにオーバーフローすると、ウォッチドッグ・タイマ割り込みが発生します。

ウォッチドッグ・タイマは、ストップ・モード解除時の発振器の発振安定時間確保にも使用できます。

図3-10にウォッチドッグ・タイマの構成を示します。

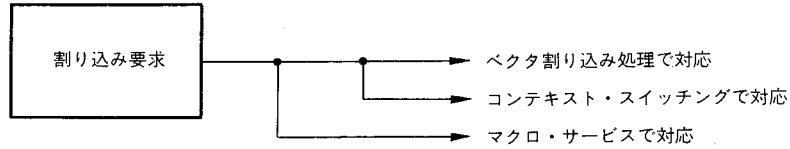
図3-10 ウォッチドッグ・タイマの構成



4. 割り込み機能

4.1 概要

μPD78327, 78328では、オンチップ周辺ハードウェアおよび外部から発生する各種の割り込み要求を下図のように3つの処理モードで対応します。



割り込み要求は次の3種類に分類されます。

- ノンマスカブル割り込み要求
- マスカブル割り込み要求
- ソフトウェアによる割り込み要求

マスカブル割り込み要求の処理形態は図4-1のようになっています。処理できる割り込み要因を表4-1に示します。

図4-1 割り込み要求の処理形態

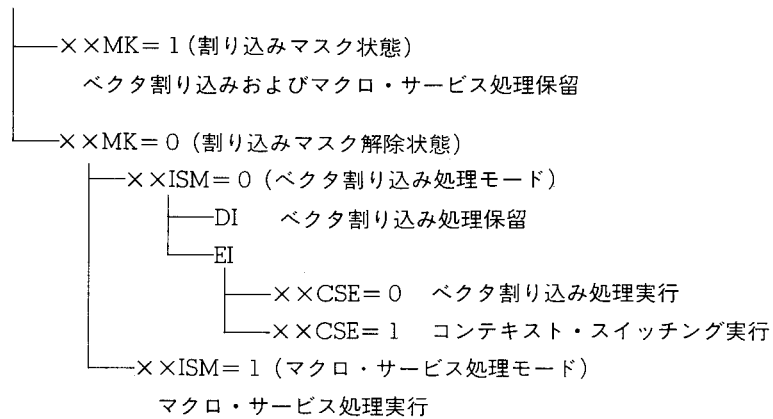




表 4-1 割り込み要因一覧表

割り込み 要求タイプ	デフォルト 優先順位	割 り 込 み 要 因		発生ユニット	マクロ・ サービス	ベクタ・ テーブル・ アドレス
		要求信号	機 能			
ソフトウェア	—	—	BRK 命令	—	—	003EH
	—	—	オペコード・トラップ	—	—	003CH
ノンマスクابل	—	NMI	NMI 端子入力	外部割り込み	—	0002H
	—	INTWDT	ウォッチドッグ・タイマ	WDT	—	0004H
マスクابل	0	INTOV0	タイマ 0 オーバフロー	RPU	YES	0006H
	1	INTP0	INTP0 端子入力	外部	YES	0008H
	2	INTP1	INTP1/TI 端子入力	外部	YES	000AH
	3	INTP2	INTP2 端子入力	外部	YES	000CH
	4	INTOV1	タイマ 1 オーバフロー	RPU	YES	000EH
	5	INTCM00	CM00R の一致信号	RPU	YES	0010H
	6	INTCM01	CM01R の一致信号	RPU	YES	0012H
	7	INTCM02	CM02R の一致信号	RPU	YES	0014H
	8	INTCM03	CM03R の一致信号	RPU	YES	0016H
	9	INTCM04	CM04R の一致信号	RPU	YES	0018H
	10	INTCM05	CM05R/CM05S の一致信号	RPU	YES	001AH
	11	INTCM06	CM06 の一致信号	RPU	YES	001CH
	12	INTCC10	CC10 の一致信号	RPU	YES	001EH
	13	INTCM20	CM20 の一致信号	RPU	YES	0020H
	14	INTSR	シリアル受信終了割り込み	UART	YES	0024H
	15	INTST	シリアル送信終了割り込み	UART	YES	0026H
	16	INTCSI	シリアル送受信終了割り込み	CSI	YES	0028H
17	INTAD	A/D 変換終了割り込み	A/D	YES	002AH	
—	—	INTSER ^注	シリアル受信エラー信号	UART	—	— ^注
リセット	—	RESET	RESET 端子入力	—	—	0000H

注 テスト要因です。ベクタ割り込みは発生しません。

4.2 マクロ・サービス

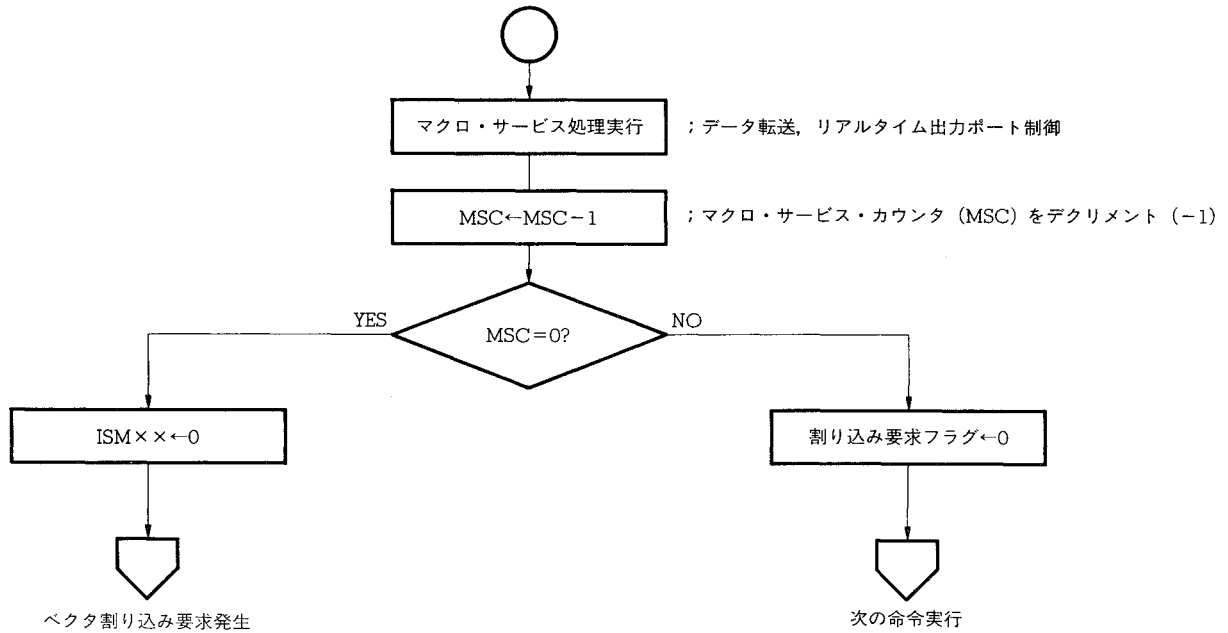
マクロ・サービス機能は、割り込み要求によって、ハードウェア的に特殊機能レジスタ領域とメモリ空間の間でデータ演算や転送などの処理を行う機能です。

マクロ・サービスが起動すると、CPUはプログラム処理の実行を一時停止します。自動的に、特殊機能レジスタ(SFR)とメモリの間で、1バイト/2バイトのデータ演算や転送などの処理を行います。マクロ・サービスが終了すると、割り込み要求フラグをリセット(0)し、CPUは再びプログラム処理の実行を開始します。ただし、マクロ・サービス・カウンタ(MSC)に設定した回数だけマクロ・サービスを行ったときには、終了後にベクタ割り込み要求が発生します。

図 4-2 マクロ・サービス処理のシーケンス例

★

マクロ・サービス処理を行う割り込み要求発生



4.3 コンテキスト・スイッチング機能

割り込み要求の発生または、BRKCS命令の実行により、ハードウェア的に所定のレジスタ・バンクを選択し、レジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスへ分岐すると同時に、現在のPC, PSWの内容をレジスタ・バンク内にスタックする機能です。

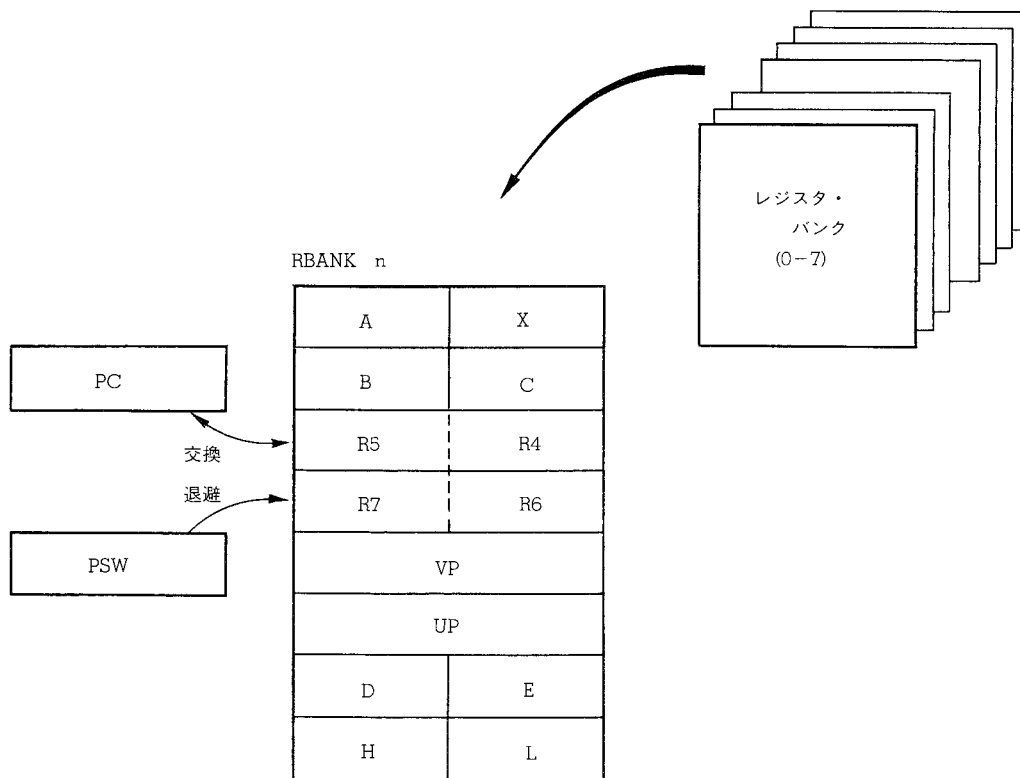
4.3.1 割り込み要求によるコンテキスト・スイッチング機能

各割り込み要求に対応して設定してある××CSEビットをセット(1)することにより、コンテキスト・スイッチング機能の起動を許可します。

EI状態において、マスクされておらず、かつコンテキスト・スイッチング機能が許可されている割り込み要求が発生すると、対応する割り込みのベクタ・テーブル・アドレスのロウ・アドレス（偶数アドレス）の下位3ビットで指定されるレジスタ・バンクが選択されます。選択されたレジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスをPCに転送すると同時に、それまでのPC, PSWの内容をレジスタ・バンク内に退避し、割り込み処理ルーチンへ分岐します。

RETCS命令の実行により復帰します。

図 4-3 割り込み要求発生によるコンテキスト・スイッチング



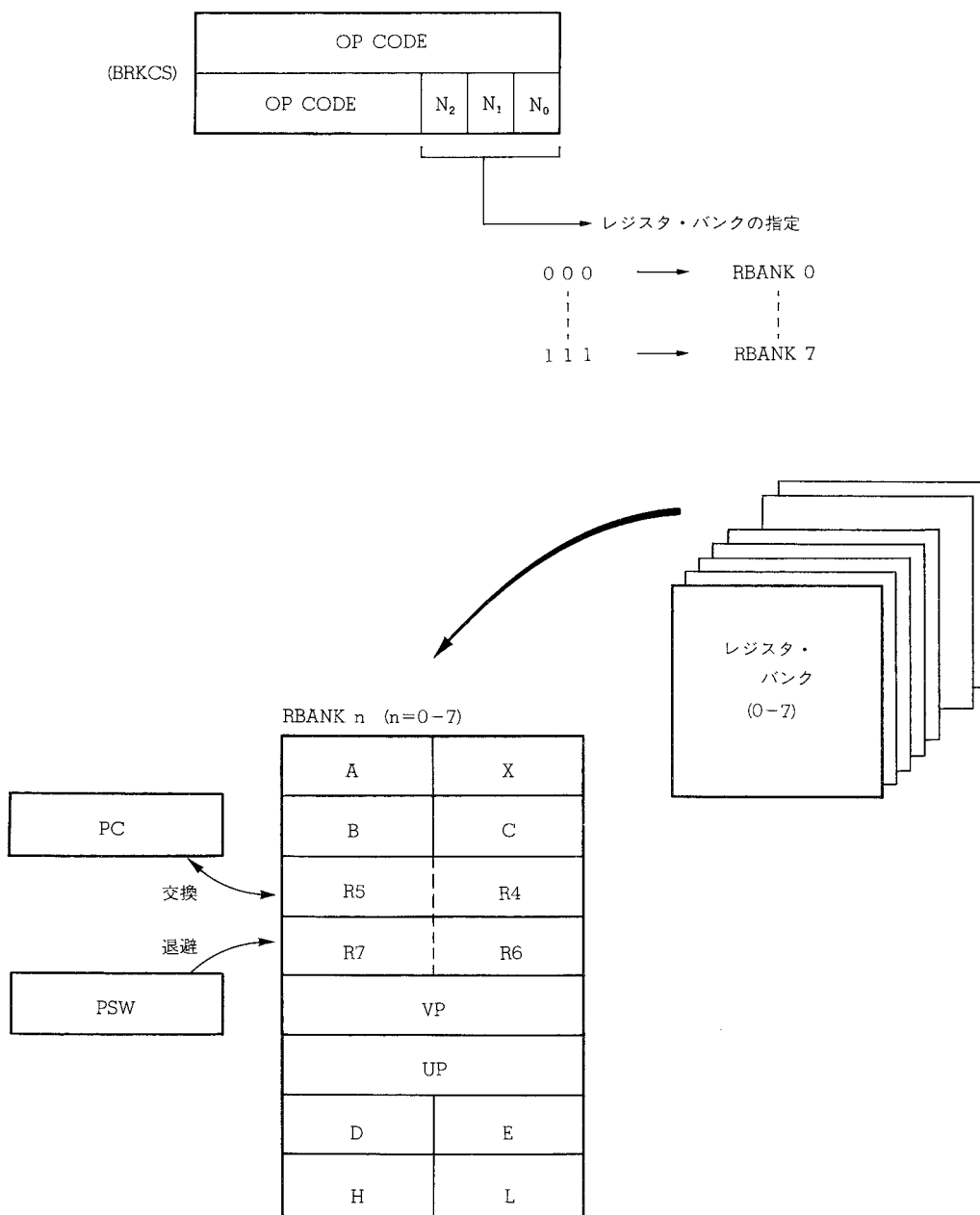
4.3.2 BRKCS命令によるコンテキスト・スイッチング機能

BRKCS 命令の実行により、コンテキスト・スイッチング機能を起動することができます。

BRKCS 命令の第2オペレーション・コードの下位3ビット・イミディエト・データで、コンテキスト・スイッチングしたあとのレジスタ・バンクを指定します。BRKCS 命令を実行すると、3ビットのイミディエト・データで指定されるレジスタ・バンクを選択し、レジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスをPCにセットして分岐すると同時に、それまでのPC, PSWの内容をレジスタ・バンク内に退避します。

RETCSB 命令の実行により復帰します。

図 4-4 BRKCS命令実行によるコンテキスト・スイッチング



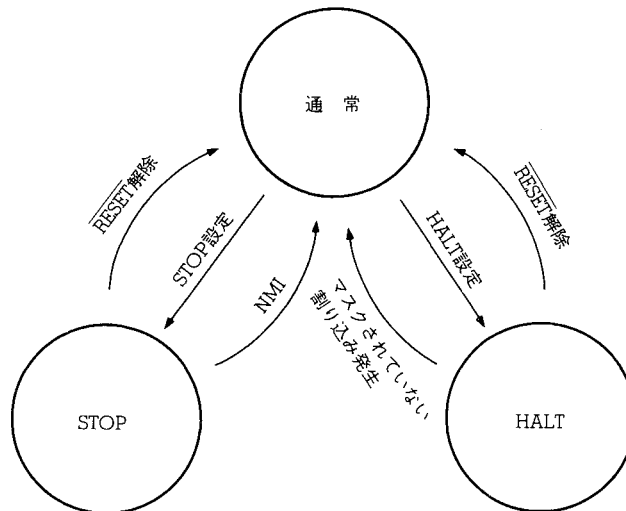
5. スタンバイ機能

μPD78327, 78328には、システムの消費電力を低減させるスタンバイ機能があります。スタンバイ機能には次のような2つのモードがあります。

- HALTモード……CPUの動作クロックを停止させるモードです。通常動作モードとの組み合わせによる間欠動作により、システムのトータル消費電力を低下させることができます。
- STOPモード……発振器を停止させ、システム全体が停止するモードです。リーク電流だけの超低消費電力にすることができます。

各モードにはソフトウェアによって設定します。図5-1にスタンバイ・モード (STOP/HALTモード) の遷移図を示します。

図5-1 スタンバイ状態遷移図



6. 外部デバイス拡張機能

μPD78327, 78328は、内部ROM, RAM以外の領域 (4000H-FCFFH) に外部デバイス (データ・メモリ, プログラム・メモリ, 周辺デバイス) を拡張できます。外部デバイス・アクセス時に使用する端子と、その端子機能の設定方法を表6-1, 6-3に示します。

表6-1 端子機能の設定 (μPD78328)

EA端子	メモリ拡張モード・レジスタ		フェッチ・サイクル・コントロール・レジスタ	端子機能						備考
	MM0-MM2	MM7		P40-P47	P50-P57	P90	P91	P92	P93	
1	ポート・モード	0	00H	汎用ポート						—
		1	設定禁止							
	拡張モード	0	00H	AD0-AD7	段階的にA8-A15に設定	RD	WR	汎用ポート		外部デバイスの接続モード
		1	00H以外					TAS	TMD	μPD71P301の接続モード

P50 - P57端子は外部に拡張するメモリの大きさに応じてアドレス・バスとして働くビット数を変更することが可能で、256バイトから約48 Kバイトまで段階的にメモリを拡張することができます。アドレス・バスとして使用しない端子は、汎用の入出力ポートとして使用できます。

表6-2 ポート5のポート/アドレス設定 (μPD78328)

P57	P56	P55	P54	P53	P52	P51	P50	外部アドレス空間
ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	256バイト以内
ポート	ポート	ポート	ポート	A11	A10	A9	A8	4 Kバイト以内
ポート	ポート	A13	A12	A11	A10	A9	A8	16 Kバイト以内
A15	A14	A13	A12	A11	A10	A9	A8	約48 Kバイト以内

表6-3 端子機能の設定 (μPD78327)

EA端子	メモリ拡張モード・レジスタ		フェッチ・サイクル・コントロール・レジスタ	端子機能						備考
	MM7			P40-P47	P50-P57	P90	P91	P92	P93	
ASTB	—	—	—	AD0-AD7	A8-A15	RD	WR	TAS	TMD	μPD78328 エミュレーション・モード
0	0	00H	汎用ポート					外部デバイスの接続モード		
	1	00H以外	TAS	TMD	μPD71P301の接続モード					

7. リセット後の動作

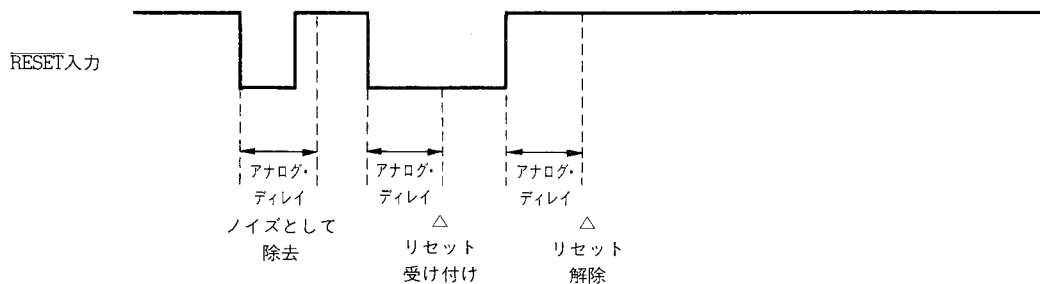
RESET入力端子にロウ・レベルが入力されると、システム・リセットがかかり各ハードウェアは初期状態になります(リセット状態)。RESET入力がハイ・レベルになるとリセット状態が解除され、プログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

特に、プログラマブル・ウェイト・コントロール・レジスタとフェッチ・サイクル・コントロール・レジスタは必要に応じてサイクル数を変更してください。

RESET入力端子は、ノイズによる誤動作を防ぐためアナログ・ディレイによるノイズ除去回路を内蔵しています。

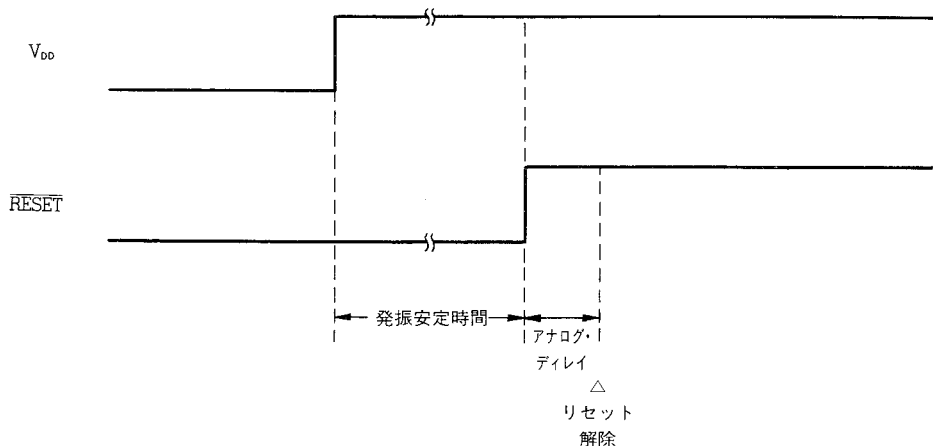
- 注意1. RESETがアクティブの期間は全端子がハイ・インピーダンスになります (AV_{REF} , AV_{DD} , AV_{SS} , V_{DD} , V_{SS} , X1, X2 端子を除く)。
- 2. 外部にRAMを拡張しているときには、P90/RD, P91/WR端子にプルアップ抵抗を付けてください。P90/RD, P91/WR端子がハイ・インピーダンスとなると、外部RAMの内容を破壊する可能性があります。また、アドレス/データ・バス上で信号の衝突が起き、入出力回路を破壊する可能性があります。

図 7-1 リセット信号の受け付け



電源立ち上がり時のリセット動作では、図 7-2 のように電源立ち上がりからリセット受け付けまで40 ms程度の発振安定時間を確保してください。

図 7-2 電源立ち上がり時のリセット



8. 命令セット

ここでは、命令のオペレーションについて説明しています。

命令コードおよび、命令の実行クロック数については、μPD78328 ユーザーズ・マニュアル (IEU-693) を参照してください。

(1) オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述します (詳細は、アセンブラ仕様による)。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および+, -, #, \$, !, []記号はキー・ワードであり、そのまま記述します。

イミューディエト・データの場合は、適当な数値またはレーベルを記述します。レーベルで記述する際も#, \$, !, []記号は必ず記述してください。

表 8-1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	R0, R1, R2, R3, R4, R5, R6, R7, R8, R9, R10, R11, R12, R13, R14, R15
r1	R0, R1, R2, R3, R4, R5, R6, R7
r2	C, B
rp	RP0, RP1, RP2, RP3, RP4, RP5, RP6, RP7
rp1	RP0, RP1, RP2, RP3, RP4, RP5, RP6, RP7
rp2	DE, HL, VP, UP
sfr	特殊機能レジスタ略号 (表2-2参照)
sfrp	特殊機能レジスタ略号 (16ビット操作可能レジスタ;表2-2参照)
post	RP0, RP1, RP2, RP3, RP4, RP5/PSW, RP6, RP7 (複数記述可能。ただし、RP5はPUSH, POP命令, PSWはPUSHU, POPU命令に限る。)
mem	[DE], [HL], [DE+], [HL+], [DE-], [HL-], [VP], [UP] ;レジスタ・インダイレクト・モード [DE+A], [HL+A], [DE+B], [HL+B], [VP+DE], [VP+HL] ;ベースト・インデクスト・モード [DE+byte], [HL+byte], [VP+byte], [UP+byte], [SP+byte] ;ベースト・モード word[A], word[B], word[DE], word[HL] ;インデクスト・モード
saddr	FE20H FF1FH イミューディエト・データまたはレーベル
saddrp	FE20H-FF1EH イミューディエト・データ (ただし, bit0=0) またはレーベル (16ビット操作時)
\$ addr16	0000H-FDFFHイミューディエト・データまたはレーベル;レラティブ・アドレッシング
! addr16	0000H-FDFFHイミューディエト・データまたはレーベル;イミューディエト・アドレッシング (ただしMOV命令ではFFFFHまで記述可能)
addr11	800H-FFFH イミューディエト・データまたはレーベル
addr5	40H-7EH イミューディエト・データ (ただし, bit0=0)注またはレーベル
word	16ビット・イミューディエト・データまたはレーベル
byte	8ビット・イミューディエト・データまたはレーベル
bit	3ビット・イミューディエト・データまたはレーベル
n	3ビット・イミューディエト・データ (0-7)

注 bit0=1 (奇数アドレス) へのワード・アクセスはしないでください。

備考1. rpとrp1は記述できるレジスタ名は同じですが、発生するコードが異なります。

2. r, r1, rp, rp1およびpostは、絶対名称 (R0-R15, RP0-RP7) のほかに機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL, VP, UP) でも記述可能 (それぞれの対応は表2-1参照)。

3. イミューディエト・アドレッシングは、全空間をアドレス可能。レラティブ・アドレッシングは、次に続く命令の先頭アドレスから-128~+127の範囲のみアドレス可能。

命令群	二モニク	オペランド	バイト	オペレーション	フラグ					
					S	Z	AC	P/V	CY	
8 ビット データ 転送 命令	MOV	r1, #byte	2	r1←byte						
		saddr, #byte	3	(saddr)←byte						
		sfr ^注 , #byte	3	sfr←byte						
		r, r1	2	r←r1						
		A, r1	1	A←r1						
		A, saddr	2	A←(saddr)						
		saddr, A	2	(saddr)←A						
		saddr, saddr	3	(saddr)←(saddr)						
		A, sfr	2	A←sfr						
		sfr, A	2	sfr←A						
		A, mem	1-4	A←(mem)						
		mem, A	1-4	(mem)←A						
		A, [saddrp]	2	A←((saddrp))						
		[saddrp], A	2	((saddrp))←A						
		A, !addr16	4	A←(addr16)						
		!addr16, A	4	(addr16)←A						
		PSWL, #byte	3	PSW _L ←byte			×	×	×	×
		PSWH, #byte	3	PSW _H ←byte						
		PSWL, A	2	PSW _L ←A			×	×	×	×
		PSWH, A	2	PSW _H ←A						
		A, PSWL	2	A←PSW _L						
A, PSWH	2	A←PSW _H								
XCH	A, r1	1	A↔r1							
	r, r1	2	r↔r1							
	A, mem	2-4	A↔(mem)							
	A, saddr	2	A↔(saddr)							
	A, sfr	3	A↔sfr							
	A, [saddrp]	2	A↔((saddrp))							
	saddr, saddr	3	(saddr)↔(saddr)							

注 sfrにSTBC, WDMを記述した場合は別の専用命令となり、バイト数がこの命令とは異なります。

備考 フラグ動作欄の記号は次の表を参照してください。

記号	説明
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
×	結果に従ってセット/クリアされる
P	P/Vフラグが、パリティ・フラグとして動作する
V	P/Vフラグが、オーバフロー・フラグとして動作する
R	以前に退避した値がリストアされる

命令群	ニモニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
16ビットデータ転送命令	MOVW	rpl, #word	3	rpl←word					
		saddrp, #word	4	(saddrp)←word					
		sfrp, #word	4	sfrp←word					
		rp, rpl	2	rp←rpl					
		AX, saddrp	2	AX←(saddrp)					
		saddrp, AX	2	(saddrp)←AX					
		saddrp, saddrp	3	(saddrp)←(saddrp)					
		AX, sfrp	2	AX←sfrp					
		sfrp, AX	2	sfrp←AX					
		rpl, laddr16	4	rpl←(addr16)					
		laddr16, rpl	4	(addr16)←rpl					
		AX, mem	2-4	AX←(mem)					
	mem, AX	2-4	(mem)←AX						
	XCHW	AX, saddrp	2	AX↔(saddrp)					
AX, sfrp		3	AX↔sfrp						
saddrp, saddrp		3	(saddrp)↔(saddrp)						
rp, rpl		2	rp↔rpl						
AX, mem		2-4	AX↔(mem)						
8ビット演算命令	ADD	A, #byte	2	A, CY←A+byte	×	×	×	V	×
		saddr, #byte	3	(saddr), CY←(saddr)+byte	×	×	×	V	×
		sfr, #byte	4	sfr, CY←sfr+byte	×	×	×	V	×
		r, r1	2	r, CY←r+r1	×	×	×	V	×
		A, saddr	2	A, CY←A+(saddr)	×	×	×	V	×
		A, sfr	3	A, CY←A+sfr	×	×	×	V	×
		saddr, saddr	3	(saddr), CY←(saddr)+(saddr)	×	×	×	V	×
		A, mem	2-4	A, CY←A+(mem)	×	×	×	V	×
	ADDC	mem, A	2-4	(mem), CY←(mem)+A	×	×	×	V	×
		A, #byte	2	A, CY←A+byte+CY	×	×	×	V	×
		saddr, #byte	3	(saddr), CY←(saddr)+byte+CY	×	×	×	V	×
		sfr, #byte	4	sfr, CY←sfr+byte+CY	×	×	×	V	×
		r, r1	2	r, CY←r+r1+CY	×	×	×	V	×
		A, saddr	2	A, CY←A+(saddr)+CY	×	×	×	V	×
A, sfr		3	A, CY←A+sfr+CY	×	×	×	V	×	
saddr, saddr		3	(saddr), CY←(saddr)+(saddr)+CY	×	×	×	V	×	
A, mem	2-4	A, CY←A+(mem)+CY	×	×	×	V	×		
mem, A	2-4	(mem), CY←(mem)+A+CY	×	×	×	V	×		

命令群	二モニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
8 ビット 演算 命令	SUB	A, #byte	2	A, CY←A-byte	×	×	×	V	×
		saddr, #byte	3	(saddr), CY←(saddr)-byte	×	×	×	V	×
		sfr, #byte	4	sfr, CY←sfr-byte	×	×	×	V	×
		r, rl	2	r, CY←r-rl	×	×	×	V	×
		A, saddr	2	A, CY←A-(saddr)	×	×	×	V	×
		A, sfr	3	A, CY←A-sfr	×	×	×	V	×
		saddr, saddr	3	(saddr), CY←(saddr)-(saddr)	×	×	×	V	×
		A, mem	2-4	A, CY←A-(mem)	×	×	×	V	×
		mem, A	2-4	(mem), CY←(mem)-A	×	×	×	V	×
	SUBC	A, #byte	2	A, CY←A-byte-CY	×	×	×	V	×
		saddr, #byte	3	(saddr), CY←(saddr)-byte-CY	×	×	×	V	×
		sfr, #byte	4	sfr, CY←sfr-byte-CY	×	×	×	V	×
		r, rl	2	r, CY←r-rl-CY	×	×	×	V	×
		A, saddr	2	A, CY←A-(saddr)-CY	×	×	×	V	×
		A, sfr	3	A, CY←A-sfr-CY	×	×	×	V	×
		saddr, saddr	3	(saddr), CY←(saddr)-(saddr)-CY	×	×	×	V	×
		A, mem	2-4	A, CY←A-(mem)-CY	×	×	×	V	×
		mem, A	2-4	(mem), CY←(mem)-A-CY	×	×	×	V	×
	AND	A, #byte	2	A←A∧byte	×	×		P	
		saddr, #byte	3	(saddr)←(saddr)∧byte	×	×		P	
		sfr, #byte	4	sfr←sfr∧byte	×	×		P	
		r, rl	2	r←r∧rl	×	×		P	
		A, saddr	2	A←A∧(saddr)	×	×		P	
		A, sfr	3	A←A∧sfr	×	×		P	
		saddr, saddr	3	(saddr)←(saddr)∧(saddr)	×	×		P	
		A, mem	2-4	A←A∧(mem)	×	×		P	
		mem, A	2-4	(mem)←(mem)∧A	×	×		P	

命令群	ニモニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
8ビット演算命令	OR	A, #byte	2	$A \leftarrow A \vee \text{byte}$	×	×		P	
		saddr, #byte	3	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	×	×		P	
		sfr, #byte	4	$\text{sfr} \leftarrow \text{sfr} \vee \text{byte}$	×	×		P	
		r, r1	2	$r \leftarrow r \vee r1$	×	×		P	
		A, saddr	2	$A \leftarrow A \vee (\text{saddr})$	×	×		P	
		A, sfr	3	$A \leftarrow A \vee \text{sfr}$	×	×		P	
		saddr, saddr	3	$(\text{saddr}) \leftarrow (\text{saddr}) \vee (\text{saddr})$	×	×		P	
		A, mem	2-4	$A \leftarrow A \vee (\text{mem})$	×	×		P	
	mem, A	2-4	$(\text{mem}) \leftarrow (\text{mem}) \vee A$	×	×		P		
	XOR	A, #byte	2	$A \leftarrow A \vee \text{byte}$	×	×		P	
		saddr, #byte	3	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	×	×		P	
		sfr, #byte	4	$\text{sfr} \leftarrow \text{sfr} \vee \text{byte}$	×	×		P	
		r, r1	2	$r \leftarrow r \vee r1$	×	×		P	
		A, saddr	2	$A \leftarrow A \vee (\text{saddr})$	×	×		P	
		A, sfr	3	$A \leftarrow A \vee \text{sfr}$	×	×		P	
		saddr, saddr	3	$(\text{saddr}) \leftarrow (\text{saddr}) \vee (\text{saddr})$	×	×		P	
		A, mem	2-4	$A \leftarrow A \vee (\text{mem})$	×	×		P	
	mem, A	2-4	$(\text{mem}) \leftarrow (\text{mem}) \vee A$	×	×		P		
	CMP	A, #byte	2	$A - \text{byte}$	×	×	×	V	×
		saddr, #byte	3	$(\text{saddr}) - \text{byte}$	×	×	×	V	×
		sfr, #byte	4	$\text{sfr} - \text{byte}$	×	×	×	V	×
		r, r1	2	$r - r1$	×	×	×	V	×
		A, saddr	2	$A - (\text{saddr})$	×	×	×	V	×
		A, sfr	3	$A - \text{sfr}$	×	×	×	V	×
		saddr, saddr	3	$(\text{saddr}) - (\text{saddr})$	×	×	×	V	×
		A, mem	2-4	$A - (\text{mem})$	×	×	×	V	×
	mem, A	2-4	$(\text{mem}) - A$	×	×	×	V	×	

命令群	ニモニツク	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
16 ビ ツ ト 演 算 命 令	ADDW	AX, # word	3	AX, CY←AX+word	×	×	×	V	×
		saddrp, # word	4	(saddrp), CY←(saddrp)+word	×	×	×	V	×
		sfrp, # word	5	sfrp, CY←sfrp+word	×	×	×	V	×
		rp, rpl	2	rp, CY←rp+rpl	×	×	×	V	×
		AX, saddrp	2	AX, CY←AX+(saddrp)	×	×	×	V	×
		AX, sfrp	3	AX, CY←AX+sfrp	×	×	×	V	×
		saddrp, saddrp	3	(saddrp), CY←(saddrp)+(saddrp)	×	×	×	V	×
	SUBW	AX, # word	3	AX, CY←AX-word	×	×	×	V	×
		saddrp, # word	4	(saddrp), CY←(saddrp)-word	×	×	×	V	×
		sfrp, # word	5	sfrp, CY←sfrp-word	×	×	×	V	×
		rp, rpl	2	rp, CY←rp-rpl	×	×	×	V	×
		AX, saddrp	2	AX, CY←AX-(saddrp)	×	×	×	V	×
		AX, sfrp	3	AX, CY←AX-sfrp	×	×	×	V	×
		saddrp, saddrp	3	(saddrp), CY←(saddrp)-(saddrp)	×	×	×	V	×
CMPW	AX, # word	3	AX-word	×	×	×	V	×	
	saddrp, # word	4	(saddrp)-word	×	×	×	V	×	
	sfrp, # word	5	sfrp-word	×	×	×	V	×	
	rp, rpl	2	rp-rpl	×	×	×	V	×	
	AX, saddrp	2	AX-(saddrp)	×	×	×	V	×	
	AX, sfrp	3	AX-sfrp	×	×	×	V	×	
	saddrp, saddrp	3	(saddrp)-(saddrp)	×	×	×	V	×	
乗除算命令	MULU	r1	2	AX←A×r1					
	DIVUW	r1	2	AX(商), r1(余り)←AX÷r1					
	MULUW	rpl	2	AX(上位16ビット), rpl(下位16ビット) ←AX×rpl					
	DIVUX	rpl	2	AXDE(商), rpl(余り)←AXDE÷rpl					
符号付き乗算命令	MULW	rpl	2	AX(上位16ビット), rpl(下位16ビット) ←AX×rpl					

命令群	ニモニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
増	INC	rl	1	$rl \leftarrow rl + 1$	×	×	×	V	
		saddr	2	$(saddr) \leftarrow (saddr) + 1$	×	×	×	V	
減	DEC	rl	1	$rl \leftarrow rl - 1$	×	×	×	V	
		saddr	2	$(saddr) \leftarrow (saddr) - 1$	×	×	×	V	
命令	INCW	rp2	1	$rp2 \leftarrow rp2 + 1$					
		saddrp	3	$(saddrp) \leftarrow (saddrp) + 1$					
命令	DECW	rp2	1	$rp2 \leftarrow rp2 - 1$					
		saddrp	3	$(saddrp) \leftarrow (saddrp) - 1$					
シフト	ROR	rl, n	2	$(CY, rl_7 \leftarrow rl_0, rl_{m-1} \leftarrow rl_m) \times n$ 回				P	×
	ROL	rl, n	2	$(CY, rl_0 \leftarrow rl_7, rl_{m+1} \leftarrow rl_m) \times n$ 回				P	×
シフト	RORC	rl, n	2	$(CY \leftarrow rl_0, rl_7 \leftarrow CY, rl_{m-1} \leftarrow rl_m) \times n$ 回				P	×
	ROLC	rl, n	2	$(CY \leftarrow rl_7, rl_0 \leftarrow CY, rl_{m+1} \leftarrow rl_m) \times n$ 回				P	×
シフト	SHR	rl, n	2	$(CY \leftarrow rl_0, rl_7 \leftarrow 0, rl_{m-1} \leftarrow rl_m) \times n$ 回	×	×	0	P	×
	SHL	rl, n	2	$(CY \leftarrow rl_7, rl_0 \leftarrow 0, rl_{m+1} \leftarrow rl_m) \times n$ 回	×	×	0	P	×
シフト	SHRW	rp1, n	2	$(CY \leftarrow rp1_0, rp1_{15} \leftarrow 0, rp1_{m-1} \leftarrow rp1_m) \times n$ 回	×	×	0	P	×
	SHLW	rp1, n	2	$(CY \leftarrow rp1_{15}, rp1_0 \leftarrow 0, rp1_{m+1} \leftarrow rp1_m) \times n$ 回	×	×	0	P	×
命令	ROR4	[rp1]	2	$A_{3-0} \leftarrow (rp1)_{3-0}$ $(rp1)_{7-4} \leftarrow A_{3-0}$ $(rp1)_{3-0} \leftarrow (rp1)_{7-4}$					
	ROL4	[rp1]	2	$A_{3-0} \leftarrow (rp1)_{7-4}$ $(rp1)_{3-0} \leftarrow A_{3-0}$ $(rp1)_{7-4} \leftarrow (rp1)_{3-0}$					
BCD補正命令	ADJBA		2	Decimal Adjust Accumulator	×	×	×	P	×
	ADJBS								
データ変換命令	CVTBW		1	$A_7=0$ のとき $X \leftarrow A, A \leftarrow 00H$ $A_7=1$ のとき $X \leftarrow A, A \leftarrow FFH$					

命令群	二モニック	オペランド	バイト	オペレーション	フラグ						
					S	Z	AC	P	V	CY	
ビット操作命令	MOV1	CY, saddr.bit	3	$CY \leftarrow (\text{saddr.bit})$						×	
		CY, sfr.bit	3	$CY \leftarrow \text{sfr.bit}$						×	
		CY, A.bit	2	$CY \leftarrow A.\text{bit}$						×	
		CY, X.bit	2	$CY \leftarrow X.\text{bit}$						×	
		CY, PSWH.bit	2	$CY \leftarrow \text{PSW}_H.\text{bit}$						×	
		CY, PSWL.bit	2	$CY \leftarrow \text{PSW}_L.\text{bit}$						×	
		saddr.bit, CY	3	$(\text{saddr.bit}) \leftarrow CY$							
		sfr.bit, CY	3	$\text{sfr.bit} \leftarrow CY$							
		A.bit, CY	2	$A.\text{bit} \leftarrow CY$							
		X.bit, CY	2	$X.\text{bit} \leftarrow CY$							
		PSWH.bit, CY	2	$\text{PSW}_H.\text{bit} \leftarrow CY$							
		PSWL.bit, CY	2	$\text{PSW}_L.\text{bit} \leftarrow CY$							
ビット操作命令	AND1	CY, saddr.bit	3	$CY \leftarrow CY \wedge (\text{saddr.bit})$						×	
		CY, /saddr.bit	3	$CY \leftarrow CY \wedge \overline{(\text{saddr.bit})}$						×	
		CY, sfr.bit	3	$CY \leftarrow CY \wedge \text{sfr.bit}$						×	
		CY, /sfr.bit	3	$CY \leftarrow CY \wedge \overline{\text{sfr.bit}}$						×	
		CY, A.bit	2	$CY \leftarrow CY \wedge A.\text{bit}$						×	
		CY, /A.bit	2	$CY \leftarrow CY \wedge \overline{A.\text{bit}}$						×	
		CY, X.bit	2	$CY \leftarrow CY \wedge X.\text{bit}$						×	
		CY, /X.bit	2	$CY \leftarrow CY \wedge \overline{X.\text{bit}}$						×	
		CY, PSWH.bit	2	$CY \leftarrow CY \wedge \text{PSW}_H.\text{bit}$						×	
		CY, /PSWH.bit	2	$CY \leftarrow CY \wedge \overline{\text{PSW}_H.\text{bit}}$						×	
		CY, PSWL.bit	2	$CY \leftarrow CY \wedge \text{PSW}_L.\text{bit}$						×	
		CY, /PSWL.bit	2	$CY \leftarrow CY \wedge \overline{\text{PSW}_L.\text{bit}}$						×	
ビット操作命令	OR1	CY, saddr.bit	3	$CY \leftarrow CY \vee (\text{saddr.bit})$						×	
		CY, /saddr.bit	3	$CY \leftarrow CY \vee \overline{(\text{saddr.bit})}$						×	
		CY, sfr.bit	3	$CY \leftarrow CY \vee \text{sfr.bit}$						×	
		CY, /sfr.bit	3	$CY \leftarrow CY \vee \overline{\text{sfr.bit}}$						×	
		CY, A.bit	2	$CY \leftarrow CY \vee A.\text{bit}$						×	
		CY, /A.bit	2	$CY \leftarrow CY \vee \overline{A.\text{bit}}$						×	
		CY, X.bit	2	$CY \leftarrow CY \vee X.\text{bit}$						×	
		CY, /X.bit	2	$CY \leftarrow CY \vee \overline{X.\text{bit}}$						×	
		CY, PSWH.bit	2	$CY \leftarrow CY \vee \text{PSW}_H.\text{bit}$						×	
		CY, /PSWH.bit	2	$CY \leftarrow CY \vee \overline{\text{PSW}_H.\text{bit}}$						×	
		CY, PSWL.bit	2	$CY \leftarrow CY \vee \text{PSW}_L.\text{bit}$						×	
		CY, /PSWL.bit	2	$CY \leftarrow CY \vee \overline{\text{PSW}_L.\text{bit}}$						×	

命令群	ニモニツク	オペランド	バイト	オペレーション	フラグ					
					S	Z	AC	P/V	CY	
ビット	XOR1	CY, saddr. bit	3	$CY \leftarrow CY \vee (\text{saddr. bit})$						×
		CY, sfr. bit	3	$CY \leftarrow CY \vee \text{sfr. bit}$						×
		CY, A. bit	2	$CY \leftarrow CY \vee A. \text{ bit}$						×
		CY, X. bit	2	$CY \leftarrow CY \vee X. \text{ bit}$						×
		CY, PSWH. bit	2	$CY \leftarrow CY \vee \text{PSW}_H. \text{ bit}$						×
		CY, PSWL. bit	2	$CY \leftarrow CY \vee \text{PSW}_L. \text{ bit}$						×
ツト	SET1	saddr. bit	2	$(\text{saddr. bit}) \leftarrow 1$						
		sfr. bit	3	$\text{sfr. bit} \leftarrow 1$						
		A. bit	2	$A. \text{ bit} \leftarrow 1$						
		X. bit	2	$X. \text{ bit} \leftarrow 1$						
		PSWH. bit	2	$\text{PSW}_H. \text{ bit} \leftarrow 1$						
		PSWL. bit	2	$\text{PSW}_L. \text{ bit} \leftarrow 1$			×	×	×	×
操作	CLR1	saddr. bit	2	$(\text{saddr. bit}) \leftarrow 0$						
		sfr. bit	3	$\text{sfr. bit} \leftarrow 0$						
		A. bit	2	$A. \text{ bit} \leftarrow 0$						
		X. bit	2	$X. \text{ bit} \leftarrow 0$						
		PSWH. bit	2	$\text{PSW}_H. \text{ bit} \leftarrow 0$						
		PSWL. bit	2	$\text{PSW}_L. \text{ bit} \leftarrow 0$			×	×	×	×
命令	NOT1	saddr. bit	3	$(\text{saddr. bit}) \leftarrow \overline{(\text{saddr. bit})}$						
		sfr. bit	3	$\text{sfr. bit} \leftarrow \overline{\text{sfr. bit}}$						
		A. bit	2	$A. \text{ bit} \leftarrow \overline{A. \text{ bit}}$						
		X. bit	2	$X. \text{ bit} \leftarrow \overline{X. \text{ bit}}$						
		PSWH. bit	2	$\text{PSW}_H. \text{ bit} \leftarrow \overline{\text{PSW}_H. \text{ bit}}$						
		PSWL. bit	2	$\text{PSW}_L. \text{ bit} \leftarrow \overline{\text{PSW}_L. \text{ bit}}$			×	×	×	×
	SET1	CY	1	$CY \leftarrow 1$						1
	CLR1	CY	1	$CY \leftarrow 0$						0
	NOT1	CY	1	$CY \leftarrow \overline{CY}$						×

命令群	ニモニク	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
コール	CALL	!addr16	3	(SP-1)←(PC+3) _H , (SP-2)←(PC+3) _L , PC←addr16, SP←SP-2					
	CALLF	!addr11	2	(SP-1)←(PC+2) _H , (SP-2)←(PC+2) _L , PC ₁₅₋₁₁ ←00001, PC ₁₀₋₀ ←addr11, SP←SP-2					
	CALLT	[addr5]	1	(SP-1)←(PC+1) _H , (SP-2)←(PC+1) _L , PC _H ←(TPF, 00000000, addr5+1), PC _L ←(TPF, 00000000, addr5), SP←SP-2					
	CALL	rpl	2	(SP-1)←(PC+2) _H , (SP-2)←(PC+2) _L , PC _H ←rpl _H , PC _L ←rpl _L , SP←SP-2					
		[rpl]	2	(SP-1)←(PC+2) _H , (SP-2)←(PC+2) _L , PC _H ←(rpl+1), PC _L ←(rpl), SP←SP-2					
	BRK		1	(SP-1)←PSW _H , (SP-2)←PSW _L , (SP-3)←(PC+1) _H , (SP-4)←(PC+1) _L , PC _L ←(003EH), PC _H ←(003FH), SP←SP-4, IE←0					
	RET		1	PC _L ←(SP), PC _H ←(SP+1), SP←SP+2					
命令	RETB		1	PC _L ←(SP), PC _H ←(SP+1) PSW _L ←(SP+2), PSW _H ←(SP+3) SP←SP+4	R	R	R	R	R
	RETI		1	PC _L ←(SP), PC _H ←(SP+1) PSW _L ←(SP+2), PSW _H ←(SP+3) SP←SP+4	R	R	R	R	R
スタック	PUSH	sfrp	3	(SP-1)←sfr _H (SP-2)←sfr _L SP←SP-2					
		post	2	{(SP-1)←post _H , (SP-2)←post _L , SP←SP-2} ×n回 ^注					
		PSW	1	(SP-1)←PSW _H , (SP-2)←PSW _L , SP←SP-2					
POP	post	2	{(UP-1)←post _H , (UP-2)←post _L , UP←UP-2} ×n回 ^注						
操作命令	POP	sfrp	3	sfr _L ←(SP) sfr _H ←(SP+1) SP←SP+2					
		post	2	{post _L ←(SP), post _H ←(SP+1), SP←SP+2} ×n回 ^注					
		PSW	1	PSW _L ←(SP), PSW _H ←(SP+1), SP←SP+2	R	R	R	R	R
	POPU	post	2	{post _L ←(UP), post _H ←(UP+1), UP←UP+2} ×n回 ^注					
MOVW	SP, #word	4	SP←word						
	SP, AX	2	SP←AX						
	AX, SP	2	AX←SP						
	INCW	SP	2	SP←SP+1					
DECW	SP	2	SP←SP-1						
特殊命令	CHKL	sfr	3	(端子レベル)∨(出力バッファ前の信号レベル)	×	×		P	
	CHKLA	sfr	3	A←(端子レベル)∨(出力バッファ前の信号レベル)	×	×		P	

注 nは、postとして記述したレジスタの数です。

命令群	ニモニック	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
無条件分岐命令	BR	!addr16	3	PC←addr16					
		rp1	2	PC _H ←rp1 _H , PC _L ←rp1 _L					
		[rp1]	2	PC _H ←(rp1+1), PC _L ←(rp1)					
		\$ addr16	2	PC←PC+2+jdisp8					
条件付き分岐命令	BC	\$ addr16	2	PC←PC+2+jdisp8 if CY=1					
	BL								
	BNC	\$ addr16	2	PC←PC+2+jdisp8 if CY=0					
	BNL								
	BZ	\$ addr16	2	PC←PC+2+jdisp8 if Z=1					
	BE								
	BNZ	\$ addr16	2	PC←PC+2+jdisp8 if Z=0					
	BNE								
	BV	\$ addr16	2	PC←PC+2+jdisp8 if P/V=1					
	BPE								
	BNV	\$ addr16	2	PC←PC+2+jdisp8 if P/V=0					
	BPO								
	BN	\$ addr16	2	PC←PC+2+jdisp8 if S=1					
	BP	\$ addr16	2	PC←PC+2+jdisp8 if S=0					
	BGT	\$ addr16	3	PC←PC+3+jdisp8 if (P/V≠S)∨Z=0					
	BGE	\$ addr16	3	PC←PC+3+jdisp8 if P/V≠S=0					
	BLT	\$ addr16	3	PC←PC+3+jdisp8 if P/V≠S=1					
	BLE	\$ addr16	3	PC←PC+3+jdisp8 if (P/V≠S)∨Z=1					
	BH	\$ addr16	3	PC←PC+3+jdisp8 if Z∨CY=0					
	BNH	\$ addr16	3	PC←PC+3+jdisp8 if Z∨CY=1					
BT	saddr.bit, \$ addr16	3	PC←PC+3+jdisp8 if (saddr.bit)=1						
	sfr.bit, \$ addr16	4	PC←PC+4+jdisp8 if sfr.bit=1						
	A.bit, \$ addr16	3	PC←PC+3+jdisp8 if A.bit=1						
	X.bit, \$ addr16	3	PC←PC+3+jdisp8 if X.bit=1						
	PSWH.bit, \$ addr16	3	PC←PC+3+jdisp8 if PSW _H .bit=1						
	PSWL.bit, \$ addr16	3	PC←PC+3+jdisp8 if PSW _L .bit=1						
BF	saddr.bit, \$ addr16	4	PC←PC+4+jdisp8 if (saddr.bit)=0						
	sfr.bit, \$ addr16	4	PC←PC+4+jdisp8 if sfr.bit=0						
	A.bit, \$ addr16	3	PC←PC+3+jdisp8 if A.bit=0						
	X.bit, \$ addr16	3	PC←PC+3+jdisp8 if X.bit=0						
	PSWH.bit, \$ addr16	3	PC←PC+3+jdisp8 if PSW _H .bit=0						
	PSWL.bit, \$ addr16	3	PC←PC+3+jdisp8 if PSW _L .bit=0						

命令群	ニモニク	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
条件付き岐命令	BTCLR	saddr.bit, \$ addr16	4	$PC \leftarrow PC + 4 + jdisp8$ if (saddr.bit) = 1 then reset (saddr.bit)					
		sfr.bit, \$ addr16	4	$PC \leftarrow PC + 4 + jdisp8$ if sfr.bit = 1 then reset sfr.bit					
		A.bit, \$ addr16	3	$PC \leftarrow PC + 3 + jdisp8$ if A.bit = 1 then reset A.bit					
		X.bit, \$ addr16	3	$PC \leftarrow PC + 3 + jdisp8$ if X.bit = 1 then reset X.bit					
		PSWH.bit, \$ addr16	3	$PC \leftarrow PC + 3 + jdisp8$ if PSW _H .bit = 1 then reset PSW _H .bit					
		PSWL.bit, \$ addr16	3	$PC \leftarrow PC + 3 + jdisp8$ if PSW _L .bit = 1 then reset PSW _L .bit	×	×	×	×	×
	BFSET	saddr.bit, \$ addr16	4	$PC \leftarrow PC + 4 + jdisp8$ if (saddr.bit) = 0 then set (saddr.bit)					
		sfr.bit, \$ addr16	4	$PC \leftarrow PC + 4 + jdisp8$ if sfr.bit = 0 then set sfr.bit					
		A.bit, \$ addr16	3	$PC \leftarrow PC + 3 + jdisp8$ if A.bit = 0 then set A.bit					
		X.bit, \$ addr16	3	$PC \leftarrow PC + 3 + jdisp8$ if X.bit = 0 then set X.bit					
		PSWH.bit, \$ addr16	3	$PC \leftarrow PC + 3 + jdisp8$ if PSW _H .bit = 0 then set PSW _H .bit					
		PSWL.bit, \$ addr16	3	$PC \leftarrow PC + 3 + jdisp8$ if PSW _L .bit = 0 then set PSW _L .bit	×	×	×	×	×
DBNZ	r2, \$ addr16	2	$r2 \leftarrow r2 - 1$, then $PC \leftarrow PC + 2 + jdisp8$ if $r2 \neq 0$						
	saddr, \$ addr16	3	(saddr) \leftarrow (saddr) - 1, then $PC \leftarrow PC + 3 + jdisp8$ if (saddr) $\neq 0$						
スイッチング命令	BRKCS	RBn	2	$PC_H \leftrightarrow R5, PC_L \leftrightarrow R4, R7 \leftarrow PSW_H,$ $R6 \leftarrow PSW_L, RBS2-0 \leftarrow n, RSS \leftarrow 0, IE \leftarrow 0$					
	RETCS	!addr16	3	$PC_H \leftarrow R5, PC_L \leftarrow R4, R5, R4 \leftarrow addr16,$ $PSW_H \leftarrow R7, PSW_L \leftarrow R6$	R	R	R	R	
	RETCSB	!addr16	4	$PC_H \leftarrow R5, PC_L \leftarrow R4, R5, R4 \leftarrow addr16,$ $PSW_H \leftarrow R7, PSW_L \leftarrow R6$	R	R	R	R	

命令群	二モニツク	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
ストリオンゲ命令	MOVMM	[DE+], A	2	(DE+)←A, C←C-1 End if C=0					
		[DE-], A	2	(DE-)←A, C←C-1 End if C=0					
	MOVBMK	[DE+], [HL+]	2	(DE+)←(HL+), C←C-1 End if C=0					
		[DE-], [HL-]	2	(DE-)←(HL-), C←C-1 End if C=0					
	XCHM	[DE+], A	2	(DE+)↔A, C←C-1 End if C=0					
		[DE-], A	2	(DE-)↔A, C←C-1 End if C=0					
	XCHBK	[DE+], [HL+]	2	(DE+)↔(HL+), C←C-1 End if C=0					
		[DE-], [HL-]	2	(DE-)↔(HL-), C←C-1 End if C=0					
	CMPME	[DE+], A	2	(DE+)-A, C←C-1 End if C=0 or Z=0	×	×	×	V	×
		[DE-], A	2	(DE-)-A, C←C-1 End if C=0 or Z=0	×	×	×	V	×
	CMPBKE	[DE+], [HL+]	2	(DE+)-(HL+), C←C-1 End if C=0 or Z=0	×	×	×	V	×
		[DE-], [HL-]	2	(DE-)-(HL-), C←C-1 End if C=0 or Z=0	×	×	×	V	×
	CMPMNE	[DE+], A	2	(DE+)-A, C←C-1 End if C=0 or Z=1	×	×	×	V	×
		[DE-], A	2	(DE-)-A, C←C-1 End if C=0 or Z=1	×	×	×	V	×
	CMPBKNE	[DE+], [HL+]	2	(DE+)-(HL+), C←C-1 End if C=0 or Z=1	×	×	×	V	×
		[DE-], [HL-]	2	(DE-)-(HL-), C←C-1 End if C=0 or Z=1	×	×	×	V	×
CMPMC	[DE+], A	2	(DE+)-A, C←C-1 End if C=0 or CY=0	×	×	×	V	×	
	[DE-], A	2	(DE-)-A, C←C-1 End if C=0 or CY=0	×	×	×	V	×	
CMPBKC	[DE+], [HL+]	2	(DE+)-(HL+), C←C-1 End if C=0 or CY=0	×	×	×	V	×	
	[DE-], [HL-]	2	(DE-)-(HL-), C←C-1 End if C=0 or CY=0	×	×	×	V	×	

命令群	ニモニク	オペランド	バイト	オペレーション	フラグ				
					S	Z	AC	P/V	CY
ストリング命令	CMPMNC	[DE+], A	2	(DE+)-A, C←C-1 End if C=0 or CY=1	×	×	×	V	×
		[DE-], A	2	(DE-)-A, C←C-1 End if C=0 or CY=1	×	×	×	V	×
	CMPBKNC	[DE+], [HL+]	2	(DE+)-(HL+), C←C-1 End if C=0 or CY=1	×	×	×	V	×
		[DE-], [HL-]	2	(DE-)-(HL-), C←C-1 End if C=0 or CY=1	×	×	×	V	×
CPU制御命令	MOV	STBC, #byte	4	STBC←byte ^注					
		WDM, #byte	4	WDM←byte ^注					
	SWRS		1	RSS← $\bar{R}SS$					
	SEL	RBn	2	RBS2-0←n, RSS←0					
		RBn, ALT	2	RBS2-0←n, RSS←1					
	NOP		1	No Operation					
	EI		1	IE←1 (Enable Interrupt)					
DI		1	IE←0 (Disable Interrupt)						

注 STBCレジスタ, WDMレジスタ操作命令のオペコードが異常のとき, オペコード・トラップ割り込みを発生します。

トラップ時のオペレーション:

- (SP-1)←PSW_H, (SP-2)←PSW_L,
- (SP-3)←(PC-4)_H, (SP-4)←(PC-4)_L,
- PC_L←(003CH), PC_H←(003DH),
- SP←SP-4, IE←0

9. 電気的特性

絶対最大定格 (T_A = 25 °C)

項 目	略 号	条 件	定 格	単 位
電 源 電 圧	V _{DD}		-0.5~+7.0	V
	AV _{DD}		-0.5~V _{DD} +0.5	V
	AV _{SS}		-0.5~+0.5	V
入 力 電 圧	V _I	注1	-0.5~V _{DD} +0.5	V
出 力 電 圧	V _O		-0.5~V _{DD} +0.5	V
ロウ・レベル出力電流	I _{OL}	全出力端子	4.0	mA
		全出力端子合計	90	mA
ハイ・レベル出力電流	I _{OH}	全出力端子	-1.0	mA
		全出力端子合計	-20	mA
アナログ入力電圧	V _{IAN}	注2 AV _{DD} >V _{DD}	-0.5~V _{DD} +0.5	V
		V _{DD} ≥AV _{DD}	-0.5~AV _{DD} +0.5	
A/Dコンバータ基準入力電圧	AV _{REF}	AV _{DD} >V _{DD}	-0.5~V _{DD} +0.3	V
		V _{DD} ≥AV _{DD}	-0.5~AV _{DD} +0.3	
動 作 周 囲 温 度	T _A		-10~+70	°C
保 存 温 度	T _{Stg}		-65~+150	°C

注 1. 注 2 に記載以外の端子。

2. P70/ANI0-P77/ANI7 端子。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

★

推奨動作条件

発 振 周 波 数	T _A	V _{DD}
8 MHz ≤ f _{xx} ≤ 16 MHz	-10 ~ +70 °C	+5.0 V ± 10 %

容量 (T_A = 25 °C, V_{SS} = V_{DD} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入 力 容 量	C _I	f = 1 MHz 被測定端子以外は0V			20	pF
出 力 容 量	C _O				20	pF
入 出 力 容 量	C _{I0}				20	pF

発振器特性 ($T_A = -10 \sim +70^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$, $V_{SS} = 0\text{V}$)

発振子	推奨回路	項目	MIN.	MAX.	単位
セラミック発振子 または水晶振動子		発振周波数 (f_{xx})	8	16	MHz
外部クロック	<p>HCMOS インバータ</p> <p>または</p> <p>オープン</p> <p>HCMOS インバータ</p>	X1 入力周波数 (f_x)	8	16	MHz
		X1 入力立ち上がり, 立ち下がり時間 (t_{xR} , t_{xF})	0	20	ns
		X1 入力ハイ, ロウ・レベル幅 (t_{WXH} , t_{WXL})	25	80	ns

★ 注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、 の部分を実のよう配線してください。

- 配線を極力短くする。
- ほかの信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- 発振回路から信号を取り出さない。

推奨発振回路定数

セラミック発振子

メーカー	品名	周波数 [MHz]	推奨定数	
			C1 [pF]	C2 [pF]
村田製作所	CSA8.00MT	8.0	30	30
	CSA12.0MT	12.0		
	CSA16.00MX040	16.0	15	15
	CST8.00MTW	8.0	内蔵	内蔵
	CST12.0MTW	12.0		
	CST16.00MXWOC3	16.0		

DC 特性 ($T_A = -10 \sim +70^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$, $V_{SS} = 0\text{V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ロウ・レベル入力電圧	V_{IL}		0		0.8	V
ハイ・レベル入力電圧	V_{IH1}	注1	2.2			V
	V_{IH2}	注2	$0.8V_{DD}$			
ロウ・レベル出力電圧	V_{OL}	$I_{OL} = 2.0\text{mA}$			0.45	V
ハイ・レベル出力電圧	V_{OH}	$I_{OH} = -400\mu\text{A}$	$V_{DD} - 1.0$			V
入力リーク電流	I_{LI}	$0\text{V} \leq V_i \leq V_{DD}$			± 10	μA
出力リーク電流	I_{LO}	$0\text{V} \leq V_o \leq V_{DD}$			± 10	μA
V_{DD} 電源電流	I_{DD1}	動作モード		45	75	mA
	I_{DD2}	HALTモード		25	45	mA
データ保持電圧	V_{DDDR}	STOPモード	2.5			V
データ保持電流	I_{DDDR}	STOPモード	$V_{DDDR} = 2.5\text{V}$	3	15	μA
			$V_{DDDR} = 5.0\text{V} \pm 10\%$	10	50	μA

注1. $\overline{\text{RESET}}$, X1, X2, P20/NMI, P21/INTP0, P22/INTP1/TI, P86/INTP2/TOO, P32/SO/SB0, P33/SI/SB1, P34/ $\overline{\text{SCK}}$ を除く端子。

2. $\overline{\text{RESET}}$, X1, X2, P20/NMI, P21/INTP0, P22/INTP1/TI, P86/INTP2/TOO, P32/SO/SB0, P33/SI/SB1, P34/ $\overline{\text{SCK}}$ 端子。

AC 特性 ($T_A = -10 \sim +70^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$, $V_{SS} = 0\text{V}$)

非連続リード/ライト・オペレーション (汎用メモリ接続時)

項 目	略 号	条 件	MIN.	MAX.	単 位
システム・クロック・サイクル・タイム	t_{CYK}		125	250	ns
アドレス・セットアップ時間 (対ASTB↓)	t_{SAST}		22		ns
アドレス・ホールド時間 (対ASTB↓)	t_{HSTA}		32		ns
アドレス → \overline{RD} ↓ 遅延時間	t_{DAR}		85		ns
\overline{RD} ↓ → アドレス・フロート時間	t_{FRA}			8	ns
アドレス → データ入力時間	t_{DAID}			222	ns
\overline{RD} ↓ → データ入力時間	t_{DRID}			112	ns
ASTB ↓ → \overline{RD} ↓ 遅延時間	t_{DSTR}		42		ns
データ・ホールド時間 (対 \overline{RD} ↑)	t_{HRID}		0		ns
\overline{RD} ↑ → アドレス・アクティブ時間	t_{DRA}		50		ns
\overline{RD} ロウ・レベル幅	t_{WRL}		147		ns
ASTB ハイ・レベル幅	t_{WSTH}		37		ns
アドレス → \overline{WR} ↓ 遅延時間	t_{DAW}		85		ns
ASTB ↓ → データ出力時間	t_{DSTOD}			102	ns
\overline{WR} ↓ → データ出力時間	t_{DWOD}			40	ns
ASTB ↓ → \overline{WR} ↓ 遅延時間	t_{DSTW}		42		ns
データ・セットアップ時間 (対 \overline{WR} ↑)	t_{SODW}		137		ns
データ・ホールド時間 (対 \overline{WR} ↑)	t_{HWOD}		32		ns
\overline{WR} ↑ → ASTB ↑ 遅延時間	t_{DWST}		42		ns
\overline{WR} ロウ・レベル幅	t_{WWL}		147		ns

t_{CYK} 依存のバス・タイミング定義

項 目	計 算 式	MIN./MAX.	単 位
t_{SAST}	$0.5T - 40$	MIN.	ns
t_{HSTA}	$0.5T - 30$	MIN.	ns
t_{DAR}	$T - 40$	MIN.	ns
t_{DAID}	$(2.5 + n) T - 90$	MAX.	ns
t_{DRID}	$(1.5 + n) T - 75$	MAX.	ns
t_{DSTR}	$0.5T - 20$	MIN.	ns
t_{DRA}	$0.5T - 12$	MIN.	ns
t_{WRL}	$(1.5 + n) T - 40$	MIN.	ns
t_{WSTH}	$0.5T - 25$	MIN.	ns
t_{DAW}	$T - 40$	MIN.	ns
t_{DSTOD}	$0.5T + 40$	MAX.	ns
t_{DSTW}	$0.5T - 20$	MIN.	ns
t_{SODW}	$1.5T - 50$	MIN.	ns
t_{HWOD}	$0.5T - 30$	MIN.	ns
t_{DWST}	$0.5T - 20$	MIN.	ns
t_{WWL}	$(1.5 + n) T - 40$	MIN.	ns

備考 1. $T = t_{CYK} = 1/f_{CLK}$ (f_{CLK} は内部システム・クロック周波数で、 f_{xx} または f_x の 2 分周値です)

2. n はユーザ・ソフトウェアにより定義されるウエイト・サイクル数です。
3. バス・タイミングのうち、この表に示す項目のみ t_{CYK} に依存します。

シリアル・オペレーション ($T_A = -10 \sim +70^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$, $V_{SS} = 0\text{V}$)

項 目	略 号	条 件		MIN.	MAX.	単 位
シリアル・クロック・サイクル・タイム	t_{CYSK}	入 力	外部クロック	1		μs
		出 力	内部8分周	8T		t_{CYK}
			内部32分周	32T		t_{CYK}
シリアル・クロック・ロウ・レベル幅	t_{WSKL}	入 力	外部クロック	420		ns
		出 力	内部8分周	4T-80		ns
			内部32分周	16T-100		ns
シリアル・クロック・ハイ・レベル幅	t_{WSKH}	入 力	外部クロック	420		ns
		出 力	内部8分周	4T-80		ns
			内部32分周	16T-100		ns
SIセットアップ時間 (対 $\overline{\text{SCK}} \uparrow$)	t_{SRXSK}			80		ns
SIホールド時間 (対 $\overline{\text{SCK}} \uparrow$)	t_{HSKRX}			80		ns
SO/SB0, SI/SB1 出力遅延時間 (対 $\overline{\text{SCK}} \downarrow$)	t_{DSBSK1}	CMOS プッシュプル出力 (3線式シリアル I/O モード)		0	210	ns
	t_{DSBSK2}	オープン・ドレイン出力 (SBI モード), $R_L = 1\text{k}\Omega$		0	600	ns
SB0, SB1 ハイ・ホールド時間 (対 $\overline{\text{SCK}} \uparrow$)	t_{HSBSK}	SBI モード		4T		t_{CYK}
SB0, SB1 ロウ・セットアップ時間 (対 $\overline{\text{SCK}} \downarrow$)	t_{SSBSK}			4T		t_{CYK}
SB0, SB1 ロウ・レベル幅	t_{WSBL}			4T-20		ns
SB0, SB1 ハイ・レベル幅	t_{WBSH}			4T-20		ns

備考 $T = t_{\text{CYK}} = 1/f_{\text{CLK}}$ (f_{CLK} は内部システム・クロック周波数で, f_{XX} または f_x の2分周値です)

その他のオペレーション ($T_A = -10 \sim +70^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$, $V_{SS} = 0\text{V}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
NMI ハイ, ロウ・レベル幅	t_{WNIH} t_{WNIL}		5		μs
INTPO ハイ, ロウ・レベル幅	t_{WIOH} t_{WIOL}		8T		t_{CYK}
INTP1 ハイ, ロウ・レベル幅	t_{WI1H} t_{WI1L}		8T		t_{CYK}
INTP2 ハイ, ロウ・レベル幅	t_{WI2H} t_{WI2L}		8T		t_{CYK}
$\overline{\text{RESET}}$ ハイ, ロウ・レベル幅	t_{WRSH} t_{WRSL}		5		μs
TI ハイ, ロウ・レベル幅	t_{WTIH} t_{WTIL}	TM1 イベント・カウンタ・モード時	8T		t_{CYK}

備考 $T = t_{\text{CYK}} = 1/f_{\text{CLK}}$ (f_{CLK} は内部システム・クロック周波数で, f_{XX} または f_x の2分周値です)

外部クロック・タイミング ($T_A = -10 \sim +70^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$, $V_{SS} = 0\text{V}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
X1 入力ハイ, ロウ・レベル幅	t_{WXH} t_{WXL}		25	80	ns
X1 入力立ち上がり, 立ち下がり時間	t_{XR} t_{XF}		0	20	ns
X1 入力サイクル・タイム	t_{CYX}		62	125	ns

A/D コンバータ特性 ($T_A = -10 \sim +70^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$, $V_{SS} = AV_{SS} = 0\text{V}$,
 $V_{DD} - 0.5\text{V} \leq AV_{DD} \leq V_{DD}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能			10			bit	
総合誤差 ^{注1}		$4.5\text{V} \leq AV_{REF} \leq AV_{DD}$			± 0.4	%FSR	
		$3.4\text{V} \leq AV_{REF} \leq AV_{DD}$			± 0.7	%FSR	
量子化誤差					$\pm 1/2$	LSB	
変換時間	t_{CONV}		144			t_{CYK}	
サンプリング時間	t_{SAMP}		24			t_{CYK}	
ゼロスケール誤差 ^{注1}		$4.5\text{V} \leq AV_{REF} \leq AV_{DD}$		+1.5	± 2.5	LSB	
		$3.4\text{V} \leq AV_{REF} \leq AV_{DD}$		+1.5	± 4.5	LSB	
フルスケール誤差 ^{注1}		$4.5\text{V} \leq AV_{REF} \leq AV_{DD}$		+1.5	± 2.5	LSB	
		$3.4\text{V} \leq AV_{REF} \leq AV_{DD}$		+1.5	± 4.5	LSB	
非直線性誤差 ^{注1}		$4.5\text{V} \leq AV_{REF} \leq AV_{DD}$		+1.5	± 2.5	LSB	
		$3.4\text{V} \leq AV_{REF} \leq AV_{DD}$		+1.5	± 4.5	LSB	
アナログ入力電圧 ^{注2}	V_{IAN}		-0.3		AV_{DD}	V	
基準電圧	AV_{REF}		3.4		AV_{DD}	V	
AV_{REF} 電流	AI_{REF}			1.0	3.0	mA	
AV_{DD} 電源電流	AI_{DD}			2.0	6.0	mA	
A/D コンバータ・データ保持電流	AI_{DDDR}	STOP	$AV_{DDDR} = 2.5\text{V}$		2.0	10	μA
		モード	$AV_{DDDR} = 5\text{V} \pm 10\%$		10	50	μA

★

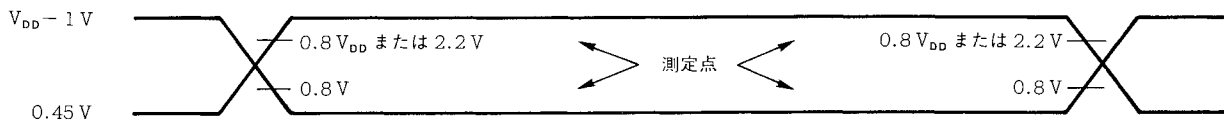
注 1. 量子化誤差は除きます。

- 2. $-0.3\text{V} \leq V_{IAN} \leq 0\text{V}$ のときは、変換結果が 000H になります。
 $0\text{V} < V_{IAN} < AV_{REF}$ のときは、10ビット分解能で変換を行います。
 $AV_{REF} \leq V_{IAN} \leq AV_{DD}$ のときは、変換結果が 3FFFH になります。

スタンバイ・フラグ保持特性 ($T_A = -10 \sim +70^\circ\text{C}$)

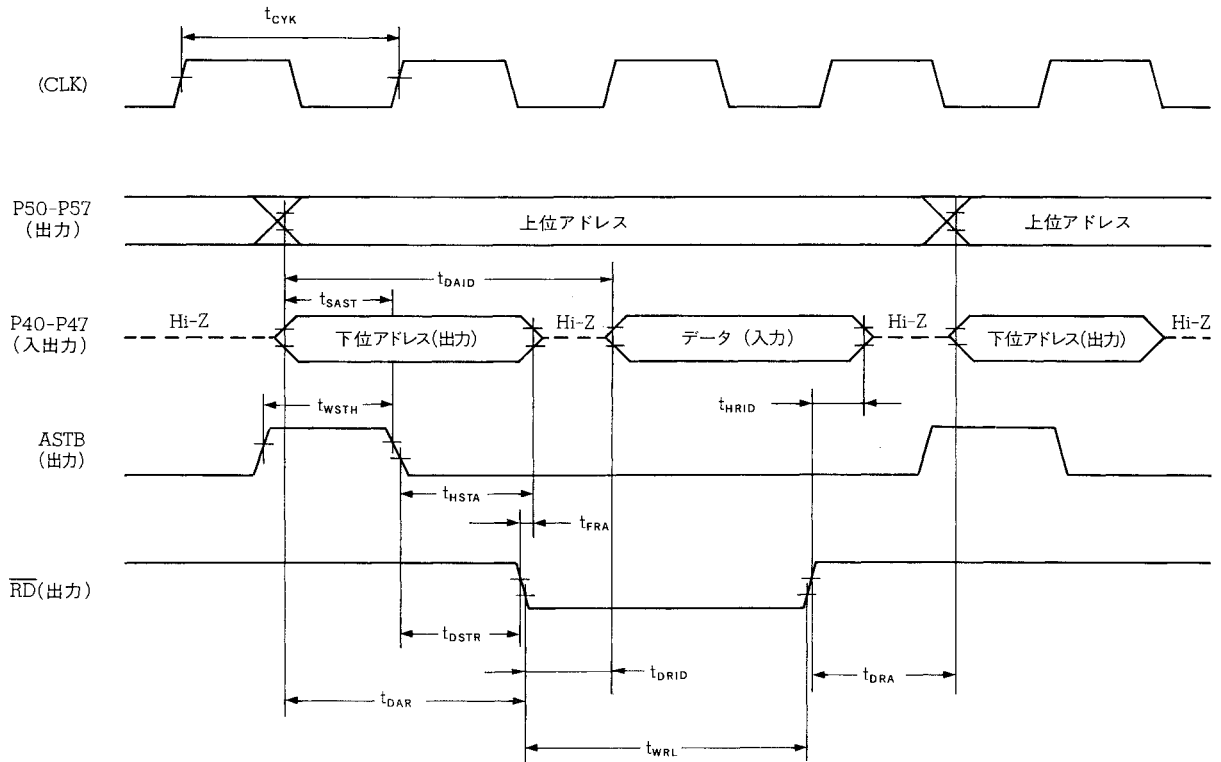
項目	略号	条件	MIN.	MAX.	単位
スタンバイ・フラグ保持電源電圧	V_{DDDR}		2.5	5.5	V
V_{DD} 立ち上がり, 立ち下がり時間	t_{RVD} , t_{FVD}		200		ns

AC タイミング測定点

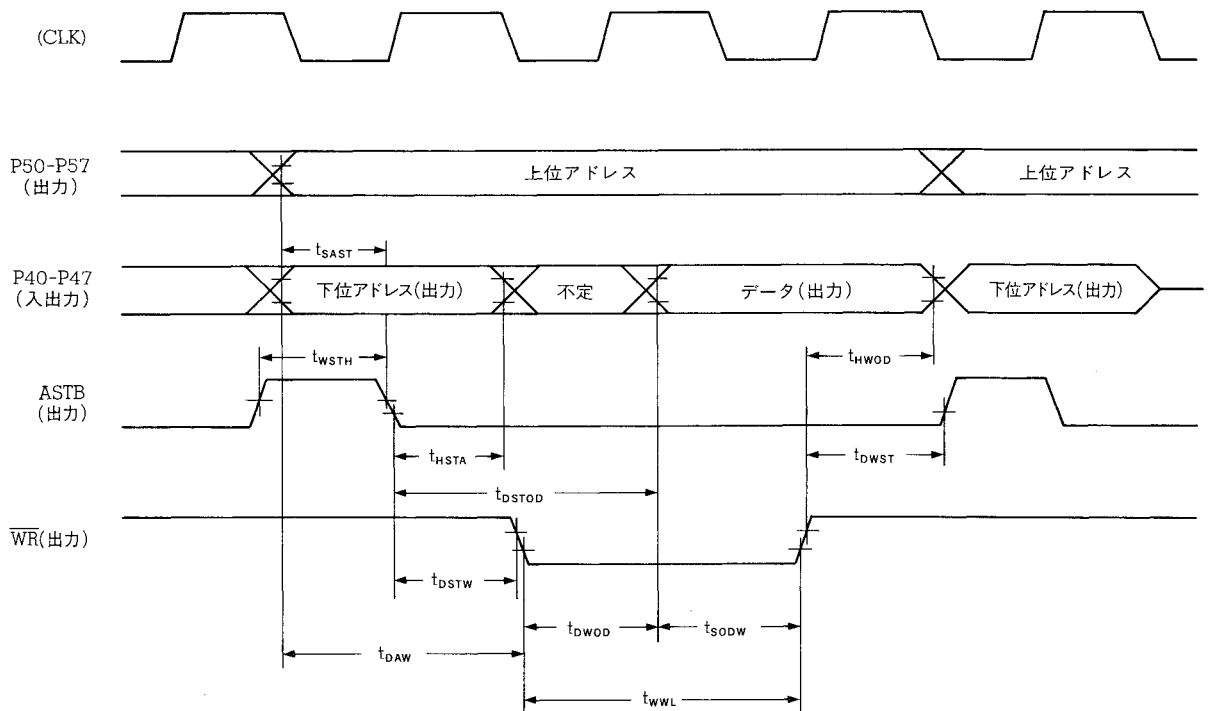


タイミング波形

非連続リード・オペレーション

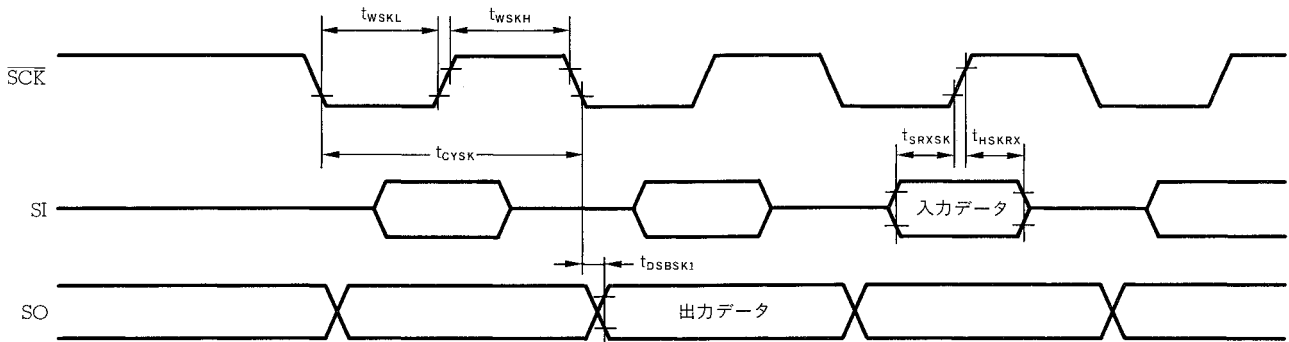


非連続ライト・オペレーション



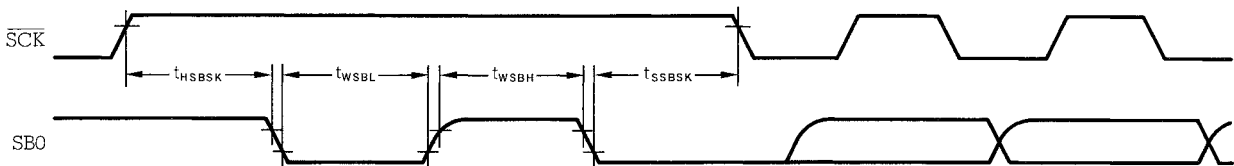
シリアル・オペレーション

3線式シリアル I/O モード

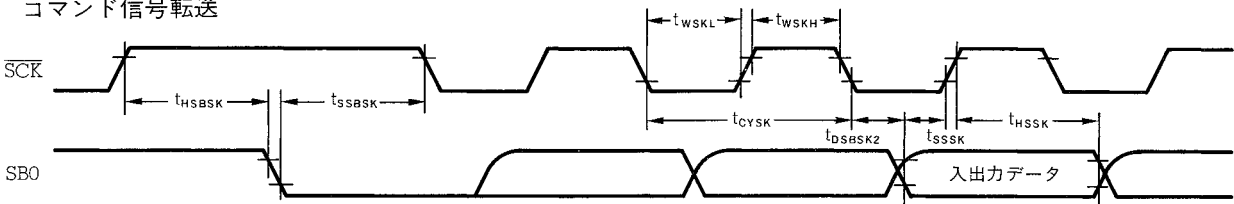


SBI モード

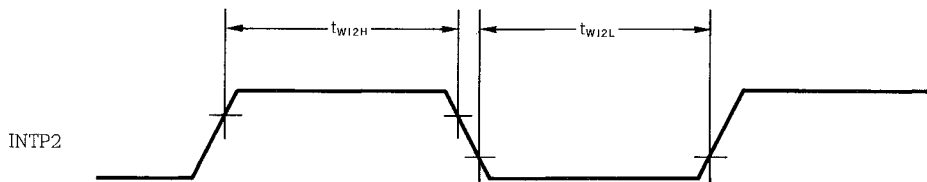
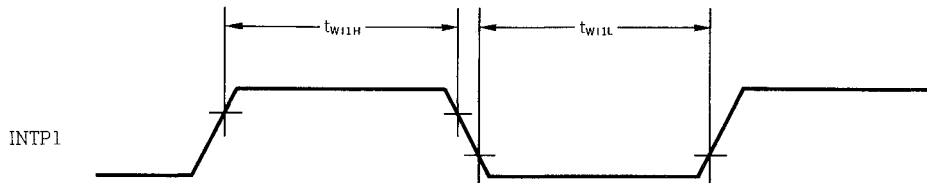
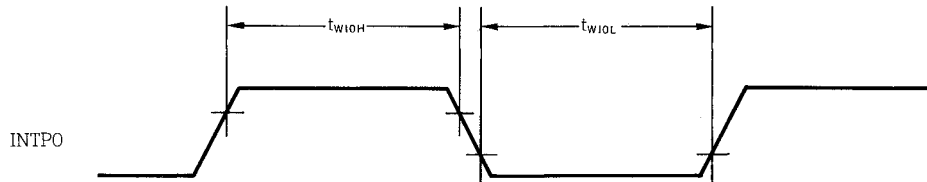
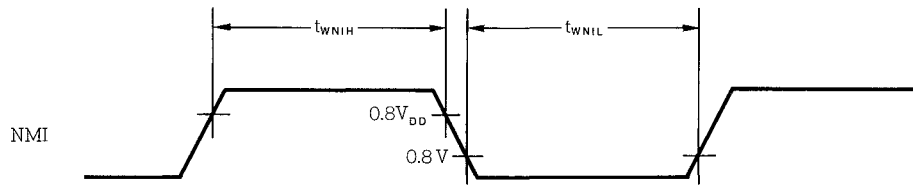
バス・リリース信号転送



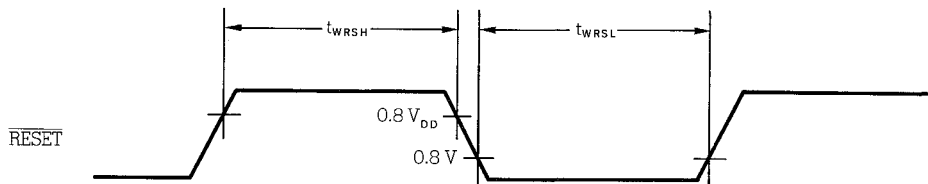
コマンド信号転送



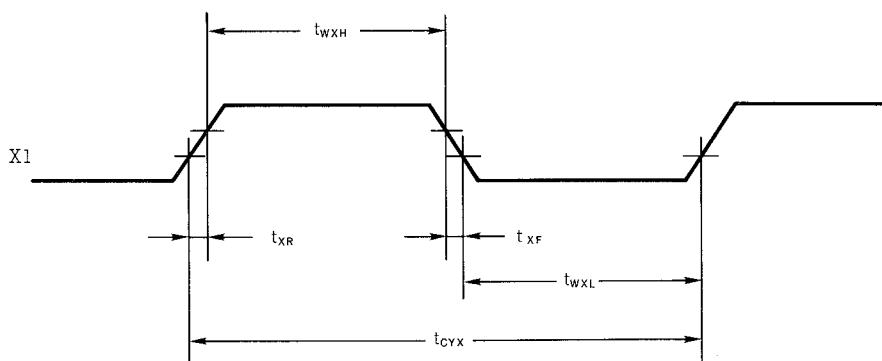
割り込み入力タイミング



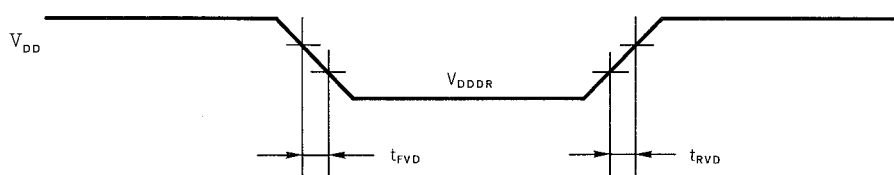
リセット入力タイミング



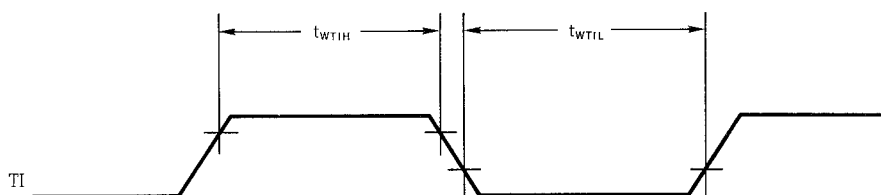
外部クロック・タイミング



スタンバイ・フラグ保持タイミング

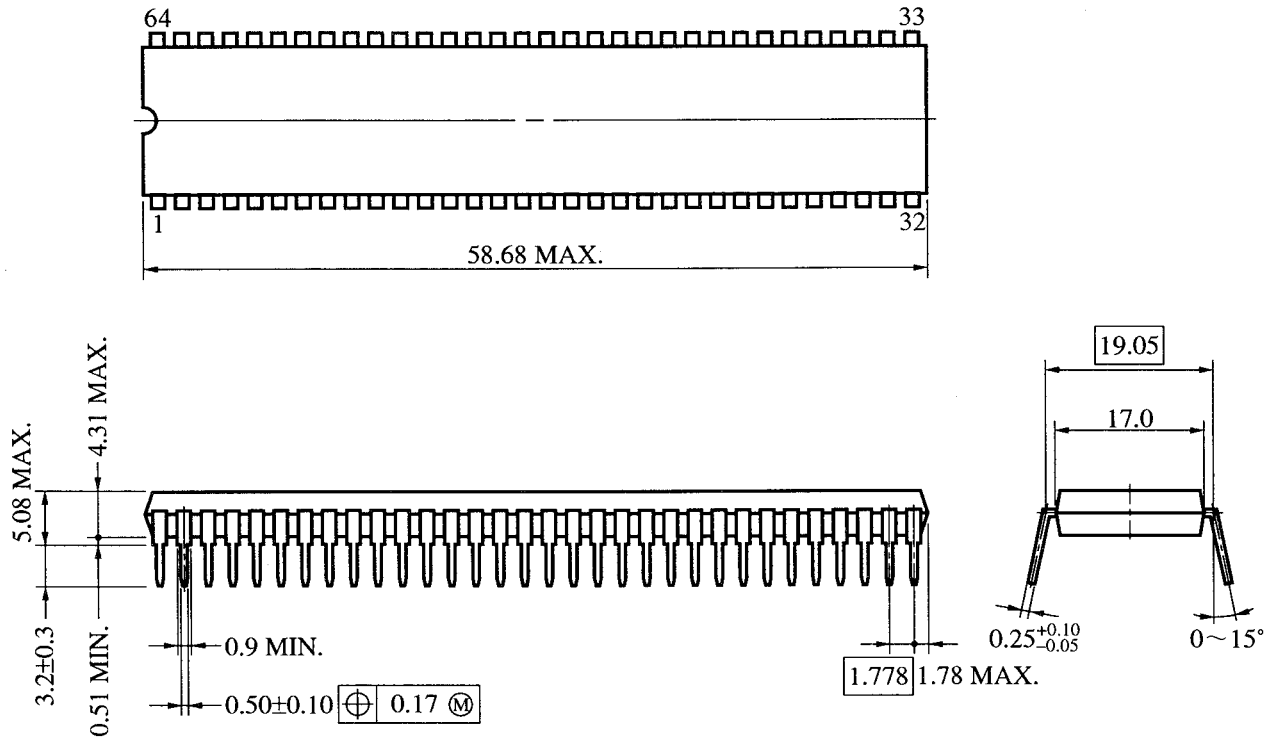


TI 端子入力タイミング



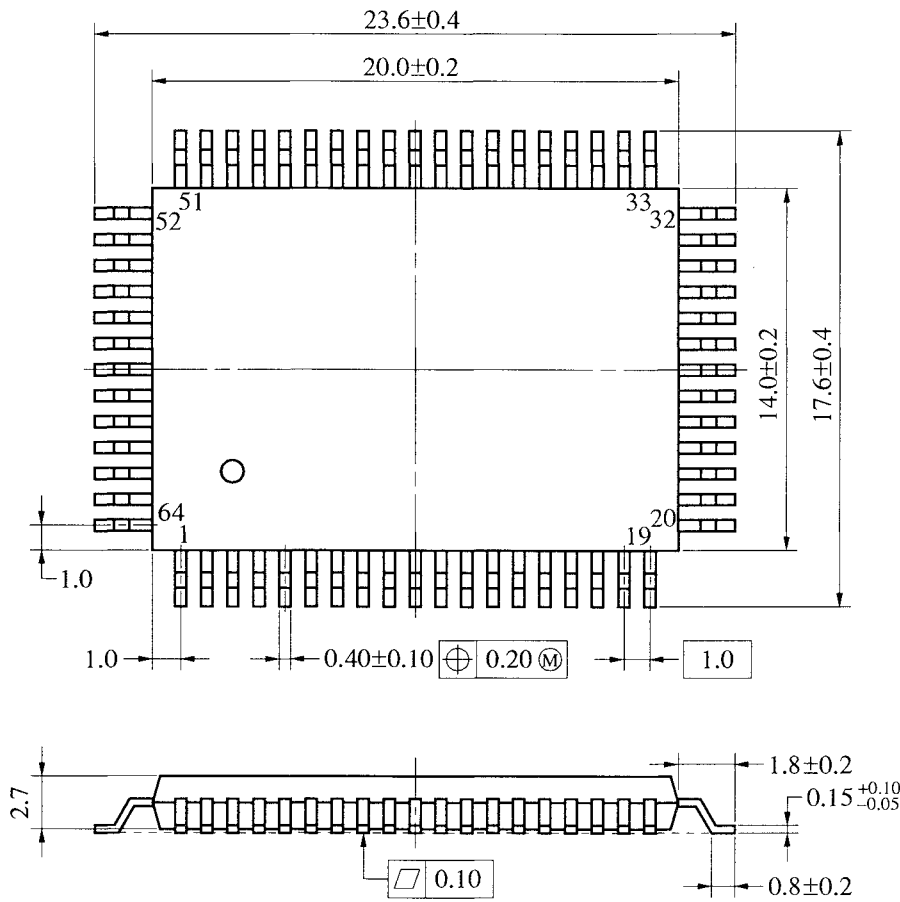
10. 外形図

64ピン・プラスチック・シュリンク DIP (750 mil) 外形図 (単位: mm)

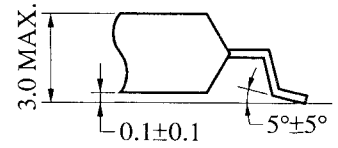


P64C-70-750A,C-1

64ピン・プラスチック QFP (14×20) 外形図 (単位: mm)



端子先端形状詳細図



P64GF-100-3B8,3BE,3BR-2

11. 半田付け推奨条件

★

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表 11-1 表面実装タイプの半田付け条件

μPD78327GF-3BE : 64ピン・プラスチック QFP (14×20 mm)

μPD78328GF-×××-3BE : //

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃, 時間：30秒以内 (210℃以上), 回数：2回以内 <留意事項> (1) 2回目のリフロは, 1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 (2) 1回目のリフロ後の水によるフラックス洗浄は避けください。	IR35-00-2
VPS	パッケージ・ピーク温度：215℃, 時間：40秒以内 (200℃以上), 回数：2回以内 <留意事項> (1) 2回目のリフロは, 1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 (2) 1回目のリフロ後の水によるフラックス洗浄は避けください。	VP15-00-2
ウェーブ・ソルダリング	半田槽温度：260℃以下, 時間：10秒以内, 回数：1回 予備加熱温度：120℃ MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：300℃以下, 時間：3秒以内 (デバイスの一辺当たり)	-

注意 半田付け方式の併用は避けください (ただし, 端子部分加熱方式は除く)。

表 11-2 挿入タイプの半田付け条件

μPD78327CW : 64ピン・プラスチック・シュリンク DIP (750 mil)

μPD78328CW-××× : //

半田付け方式	半田付け条件
ウェーブ・ソルダリング (端子のみ)	半田槽温度：260℃以下, 時間：10秒以内
端子部分加熱	端子温度：300℃以下, 時間：3秒以内 (1端子当たり)

注意 ウェーブ・ソルダリングは端子のみとし, 噴流半田が直接本体に接触しないようにしてください。

付録 A. μPD78328 と μPD78322 の相違点

		μPD78328	μPD78322
パッケージ		64ピン・シュリンク DIP 64ピン QFP	68ピン・プラスチック QFJ 74ピン QFP 80ピン QFP
RAM 容量		512バイト	640バイト
RPU 部	タイマ数	3個 (16ビット×3)	2個 (18/16ビット, 16ビット)
	コンペア・レジスタ数	14個 (16ビット×14)	6個 (16ビット×6)
	キャプチャ・レジスタ数	なし	4個 (18/16ビット×4)
	キャプチャ/コンペア・レジスタ数	1個 (16ビット)	2個 (18/16ビット×2)
	タイマ出力	<ul style="list-style-type: none"> ・モード0:7本 (セット・リセット出力:6チャンネル, トグル出力:1チャンネル) ・モード1:8本 (バッファ出力:7本, バッファ出力/セット・リセット出力/トグル出力:1本) 	6本 (セット・リセット出力/トグル出力:4本, トグル出力:2本)
リアルタイム出力ポート		4/8本 (4ビット/8ビット単位バッファ出力)	8本 (1ビット単位セット・リセット出力)
ポート部	ポート 0	4/8ビット入出力 (4ビット単位にリアルタイム出力ポートに指定可能)	8ビット入出力 (1ビット単位にリアルタイム出力ポートに指定可能)
	ポート 2	3ビット入力	8ビット入力
	ポート 8	8ビット入出力	6ビット入出力
割り込み要求ソース		<ul style="list-style-type: none"> ・外部:4本 (NMIを含む) ・内部:16本 	<ul style="list-style-type: none"> ・外部:8本 (NMIを含む) ・内部:14本 (外部兼用:2本)
テスト要因		内部:1本	
マクロ・サービス機能		あり (μPD78322 よりも PWM インバータ制御に適した構成です)	あり
ウォッチドッグ・タイマ出力端子		なし	あり
8ビット高速PWM信号出力機能		1チャンネル	なし
UART 外部クロック 16MHz 時の最大ボー・レート		9600 bps	2400 bps

付録 B. ツール



B.1 開発ツール

μPD78327, 78328を使用するシステム開発のために、次のような開発ツールを用意しています。

言語プロセッサ

78K/Ⅲシリーズ リロケータブル・アセンブラ (RA78K/Ⅲ)	78K/Ⅲシリーズに共通に使用できるリロケータブル・アセンブラです。マクロ機能付きのリロケータブル・アセンブラですので、開発効率の向上が図れます。また、プログラム制御構造を明示的に記述できる構造化アセンブラも添付されており、プログラムの生産性や保守性を向上することができます。			
	ホスト・マシン	OS	供給媒体	
	PC-9800 シリーズ	MS-DOS™	3.5インチ 2HD	μS5A13RA78K3
			5インチ 2HD	μS5A10RA78K3
	IBM PC/AT™ およびその互換機	PC DOS™	3.5インチ 2HC	μS7B13RA78K3
			5インチ 2HC	μS7B10RA78K3
	HP9000 シリーズ 700™	HP-UX™	DAT	μS3P16RA78K3
	SPARCstation™	SunOS™	カートリッジ・テープ	μS3K15RA78K3
NEWS™	NEWS-OS™	(QIC-24)	μS3R15RA78K3	
78K/Ⅲシリーズ C コンパイラ (CC78K/Ⅲ)	78K/Ⅲシリーズに共通に使用できる C コンパイラです。C 言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。このコンパイラ使用時には、78K/Ⅲシリーズ リロケータブル・アセンブラ (RA78K/Ⅲ) が必要です。			
	ホスト・マシン	OS	供給媒体	
	PC-9800 シリーズ	MS-DOS	3.5インチ 2HD	μS5A13CC78K3
			5インチ 2HD	μS5A10CC78K3
	IBM PC/AT およびその互換機	PC DOS	3.5インチ 2HC	μS7B13CC78K3
			5インチ 2HC	μS7B10CC78K3
	HP9000 シリーズ 700	HP-UX	DAT	μS3P16CC78K3
	SPARCstation	SunOS	カートリッジ・テープ	μS3K15CC78K3
NEWS	NEWS-OS	(QIC-24)	μS3R15CC78K3	

備考 リロケータブル・アセンブラ、C コンパイラの動作は、上記のホスト・マシンと OS 上でのみ保証されます。

PROM 書き込み用ツール

ハードウェア	PG-1500	付属ボードおよび別売のプログラマ・アダプタを接続することにより、PROM 内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンまたは、ホスト・マシンからの操作によりプログラミングできる PROM プログラマです。 また、256 K ビットから 4 M ビットまでの代表的な PROM をプログラミングすることもできます。			
	UNISITE 2900	データ・アイ・オー・ジャパン製 PROM プログラマです。			
	PA-78P328CW PA-78P328GF	PG-1500 などの汎用 PROM プログラマ上で、μPD78P328 にプログラムを書き込むための PROM プログラマ・アダプタです。 PA-78P328CW … μPD78P328CW, 78P328DW 用 PA-78P328GF … μPD78P328GF 用			
ソフトウェア	PG-1500 コントローラ	PG-1500 とホスト・マシンをシリアル・インタフェースおよびパラレル・インタフェースで接続し、ホスト・マシン上で PG-1500 を制御します。			
		ホスト・マシン	OS	供給媒体	オーダ名称 (品名)
		PC-9800 シリーズ	MS-DOS	3.5 インチ 2HD	μS5A13PG1500
				5 インチ 2HD	μS5A10PG1500
		IBM PC/AT およびその互換機	PC DOS	3.5 インチ 2HD	μS7B13PG1500
5 インチ 2HC	μS7B10PG1500				

備考 PG-1500 コントローラの動作は、上記のホスト・マシンと OS 上でのみ保証されます。

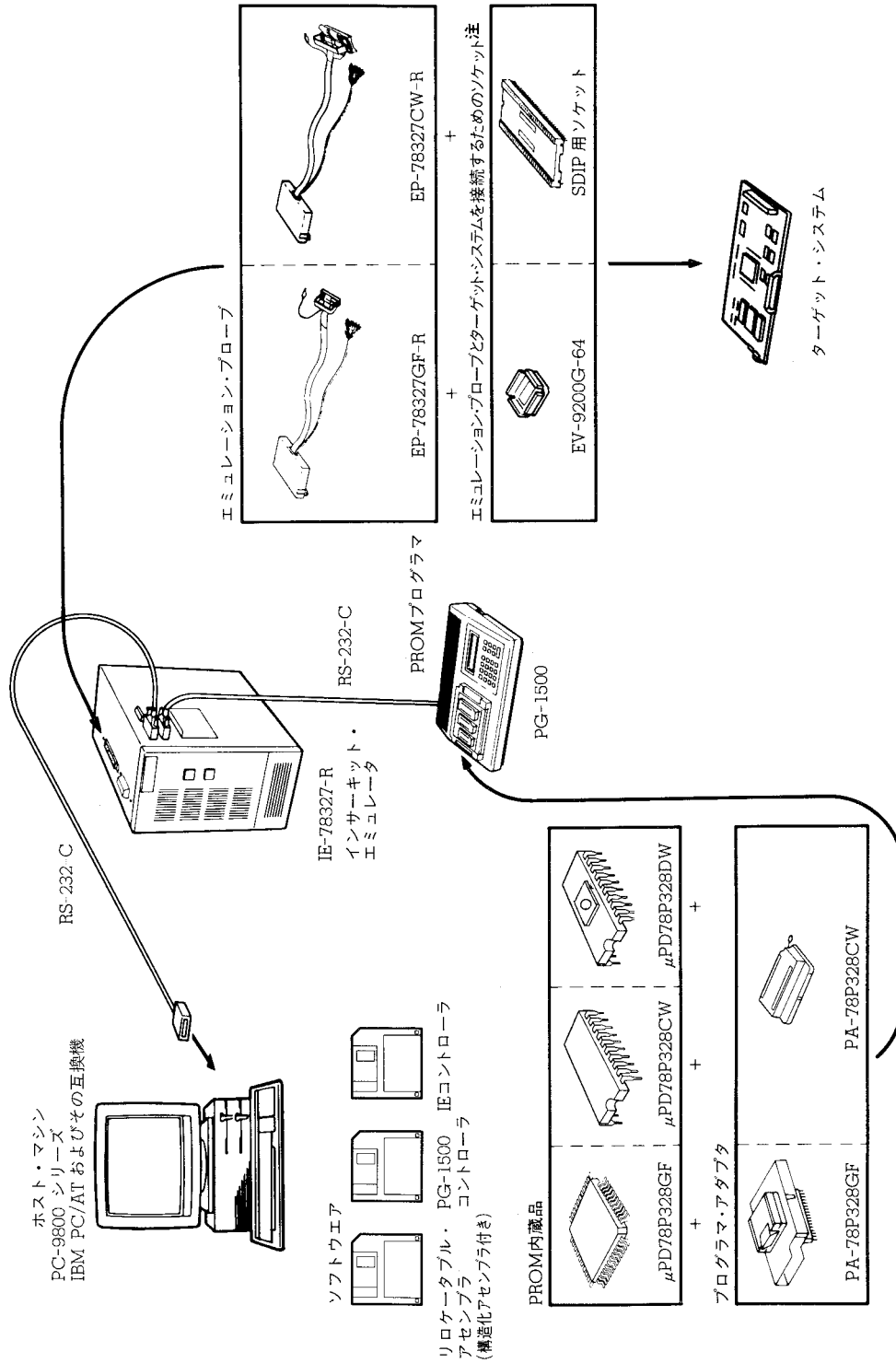
ディバグ用ツール

ハードウェア	IE-78327-R	応用システムの開発、ディバグに使用できるインサーキット・エミュレータです。ホスト・マシンを接続して、ディバグを行います。			
	EP-78327CW-R	IE-78327-R をターゲット・システムに接続するための 64 ピン・プラスチック・シュリンク DIP 用エミュレーション・プローブです。			
	EP-78327GF-R	IE-78327-R をターゲット・システムに接続するための 64 ピン・プラスチック QFP 用エミュレーション・プローブです。			
	EV-9200G-64	ターゲット・システムとの接続に使用する変換ソケット EV-9200G-64 が 1 個添付されています。			
ソフトウェア	IE-78327-R コントロール・プログラム (IE コントローラ)	IE-78327-R をホスト・マシンからコントロールするためのプログラムです。コマンドの自動実行などを行うことができ、より効率の良いディバグが可能です。			
		ホスト・マシン	OS	供給媒体	オーダ名称 (品名)
		PC-9800 シリーズ	MS-DOS	3.5 インチ 2HD	μS5A13IE78327
				5 インチ 2HD	μS5A10IE78327
		IBM PC/AT およびその互換機	PC DOS	3.5 インチ 2HC	μS7B13IE78327
5 インチ 2HC	μS7B10IE78327				

備考 IE コントローラの動作は、上記のホスト・マシンと OS 上でのみ保証されます。

保守/廃止

開発ツール構成



注 ソケットは、エミュレーション・プローブに添付されています。

- 備考 1. ホスト・マシンと PG-1500 を RS-232-C で直接接続して使用することもできます。
- 2. この図では、ソフトウェアの供給媒体を 3.5 インチ FD で代表しています。

B.2 評価ツール

μPD78327, 78328の機能を評価するために、次のような評価ツールを用意しています。

オーダ名称 (品名)	ホスト・マシン	機 能
EB-78327-98	PC-9800 シリーズ	ホスト・マシンと接続することにより、μPD78327, 78328が備える機能を簡単に評価することができます。この製品のコマンド体系は、基本的に IE-78327-R のコマンド体系に準じています。このため、IE-78327-R による応用システムの開発作業への移行が容易に行えます。また、この製品は、ターボ・アクセス・マネージャ (μPD71P301) ^注 を基板上に搭載することができます。
EB-78327-PC	IBM PC/AT およびその互換機	

注 ターボ・アクセス・マネージャ (μPD71P301) は保守製品です。

注意 1. この製品は、μPD78327, 78328応用システムの開発ツールではありません。

2. この製品では、μPD78328の内部 ROM 実行時のエミュレーション機能は備えていません。

B.3 組み込み用ソフトウェア

プログラム開発やメンテナンスをより効率的に行うために次の組み込み用ソフトウェアを用意しています。

リアルタイム OS

リアルタイム OS (RX78K/III)	RX78K/IIIは、リアルタイム性の要求される制御分野を対象として、マルチタスク環境を実現することを目的としています。CPUのアイドル時間を他の処理に割り当て、システム全体としての性能の向上を図ることができます。		
	RX78K/IIIでは、μITRON 仕様に基づいたシステム・コールを提供しています。		
	RX78K/IIIパッケージでは、RX78K/IIIのニュークリアスと複数の情報テーブルを作成するためのツール (コンフィギュレータ) を提供します。		
	ホスト・マシン	OS	供給媒体
	オーダ名称 (品名)		
PC-9800 シリーズ	MS-DOS	3.5インチ 2HD	μS5A13RX78320
		5インチ 2HD	μS5A10RX78320
IBM PC/AT およびその互換機	PC DOS	3.5インチ 2HC	μS7B13RX78320
		5インチ 2HC	μS7B10RX78320

注意 ご購入される場合、事前に購入申込書にご記入のうえ、使用許諾契約書を締結する必要があります。

備考 RX78K/III リアルタイム OS を使用するときは、RA78K/III アセンブラ・パッケージ (別売) が必要です。

ファジィ推論開発支援システム

ファジィ知識データ作成ツール (FE9000, FE9200)	ファジィ知識データ(ファジィ・ルールおよびメンバシップ関数)の入力/編集(エディット)と評価(シミュレーション)を支援するプログラムです。			
	ホスト・マシン			オーダ名称(品名)
		OS	供給媒体	
	PC-9800 シリーズ	MS-DOS	3.5インチ 2HD	μS5A13FE9000
			5インチ 2HD	μS5A10FE9000
IBM PC/AT およびその互換機	PC DOS	Windows™		
		3.5インチ 2HC	μS7B13FE9200	
		5インチ 2HC	μS7B10FE9200	
トランスレータ (FT78K3) ^注	ファジィ知識データ作成ツールを用いて得たファジィ知識データを RA78K/III用のアセンブラ・ソース・プログラムに変換するプログラムです。			
	ホスト・マシン			オーダ名称(品名)
		OS	供給媒体	
	PC-9800 シリーズ	MS-DOS	3.5インチ 2HD	μS5A13FT78K3
			5インチ 2HD	μS5A10FT78K3
IBM PC/AT およびその互換機	PC DOS	3.5インチ 2HC	μS7B13FT78K3	
		5インチ 2HC	μS7B10FT78K3	
ファジィ推論モジュール (FI78K/III) ^注	ファジィ推論を実行するプログラムです。トランスレータで変換されたファジィ知識データとリンクすることでファジィ推論を実行します。			
	ホスト・マシン			オーダ名称(品名)
		OS	供給媒体	
	PC-9800 シリーズ	MS-DOS	3.5インチ 2HD	μS5A13FI78K3
			5インチ 2HD	μS5A10FI78K3
IBM PC/AT およびその互換機	PC DOS	3.5インチ 2HC	μS7B13FI78K3	
		5インチ 2HC	μS7B10FI78K3	
ファジィ推論ディバग्ガ (FD78K/III)	インサーキット・エミュレータを使用し、ファジィ知識データをハードウェア・レベルで評価、調整するための支援ソフトウェアです。			
	ホスト・マシン			オーダ名称(品名)
		OS	供給媒体	
	PC-9800 シリーズ	MS-DOS	3.5インチ 2HD	μS5A13FD78K3
			5インチ 2HD	μS5A10FD78K3
IBM PC/AT およびその互換機	PC DOS	3.5インチ 2HC	μS7B13FD78K3	
		5インチ 2HC	μS7B10FD78K3	

注 開発中

[メ モ]

CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

MS-DOS, Windowsは、米国マイクロソフト社の商標です。

PC/AT, PC DOS は、米国 IBM 社の商標です。

HP9000シリーズ700, HP-UX は、米国ヒューレット・パッカード社の商標です。

SPARCstation は、米国 SPARC International, Inc. の商標です。

SunOS は、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OS は、ソニー株式会社の商標です。

TRON は、The Realtime Operating system Nucleus の略称です。

ITRON は、Industrial TRON の略称です。

本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品：μPD78327

ユーザ判定品：μPD78328

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 札幌 (011)231-0161 東北支社 仙台 (022)261-5511 岩手支社 盛岡 (0196)51-4344 山形支社 山形 (0236)23-5511 郡山支社 郡山 (0249)23-5511 いわき支社 いわき (0246)21-5511 長岡支社 長岡 (0258)36-2155 土浦支社 土浦 (0298)23-6161 水戸支社 水戸 (0292)26-1717 神奈川支社 横浜 (045)324-5511 群馬支社 高崎 (0273)26-1255 太田支社 太田 (0276)46-4011 宇都宮支社 宇都宮 (0286)21-2281	小山支店 小山 (0285)24-5011 長野支社 長野 (0262)35-1444 松本支店 松本 (0263)35-1666 上諏訪支店 諏訪 (0266)53-5350 甲府支店 甲府 (0552)24-4141 埼玉支店 大宮 (048)641-1411 立川支社 立川 (0425)26-5981 千葉支社 千葉 (043)238-8116 静岡支社 静岡 (054)255-2211 沼津支店 沼津 (0559)63-4455 浜松支店 浜松 (053)452-2711 北陸支社 金沢 (0762)23-1621 福井支店 福井 (0776)22-1866	富山支店 富山 (0764)31-8461 三重支店 津 (0592)25-7341 京都支社 京都 (075)344-7824 神戸支社 神戸 (078)333-3854 中国支社 広島 (082)242-5504 鳥取支店 鳥取 (0857)27-5311 岡山支店 岡山 (086)225-4455 四国支社 高松 (0878)36-1200 新居浜支店 新居浜 (0897)32-5001 松山支店 松山 (0899)45-4111 九州支社 福岡 (092)271-7700 北九州支店 北九州 (093)541-2887

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7924	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	