

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

8ビット・シングルチップ・マイクロコンピュータ

μ PD78243, 78244は、電氣的消去、書き込みが可能なEEPROM (512バイト)を内蔵した78K/IIシリーズの製品です。このシリーズは、外部拡張により1Mバイトのメモリ空間をアクセスできる8ビット・シングルチップ・マイクロコンピュータです。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD78244シリーズ ユーザーズ・マニュアル ハードウェア編 : IEU-747

78K/IIシリーズ ユーザーズ・マニュアル 命令編 : IEU-754

特 徴

- μ PD78213, 78214とピン・コンパチブル
- A/Dコンバータ内蔵 (8ビット×8チャンネル)
- 高速命令実行 (12 MHz動作時) : 333 ns (μ PD78244)
- I/O端子数 : 54本 (μ PD78244)
- 500 ns (μ PD78243)
- 36本 (μ PD78243)
- EEPROM内蔵 : 512バイト (データ・メモリ領域)
- リアルタイム出力ポート (8×1または4×2)
- 自動消去、書き込み機能
- シリアル・インタフェース : 2チャンネル
- 高性能割り込みコントローラ内蔵
- タイマ/カウンタ (16×1および8×3)

応用分野

プリンタ、タイプライタ、カメラ、PPC、FAXなど

★

オーダ情報

オーダ名称	パッケージ	内蔵ROM	内蔵RAM
μ PD78243CW	64ピン・プラスチック・シュリンク DIP (750 mil)	なし	512
μ PD78243GC-AB8	64ピン・プラスチック QFP (□14 mm)	//	//
μ PD78244CW-×××	64ピン・プラスチック・シュリンク DIP (750 mil)	16 K	//
μ PD78244GC-×××-AB8	64ピン・プラスチック QFP (□14 mm)	//	//

備考 ×××は、ROMコード番号です。

品質水準

標準 (一般電子機器用)

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(IEI-620)をご覧ください。

本資料の内容は、後日変更する場合があります。



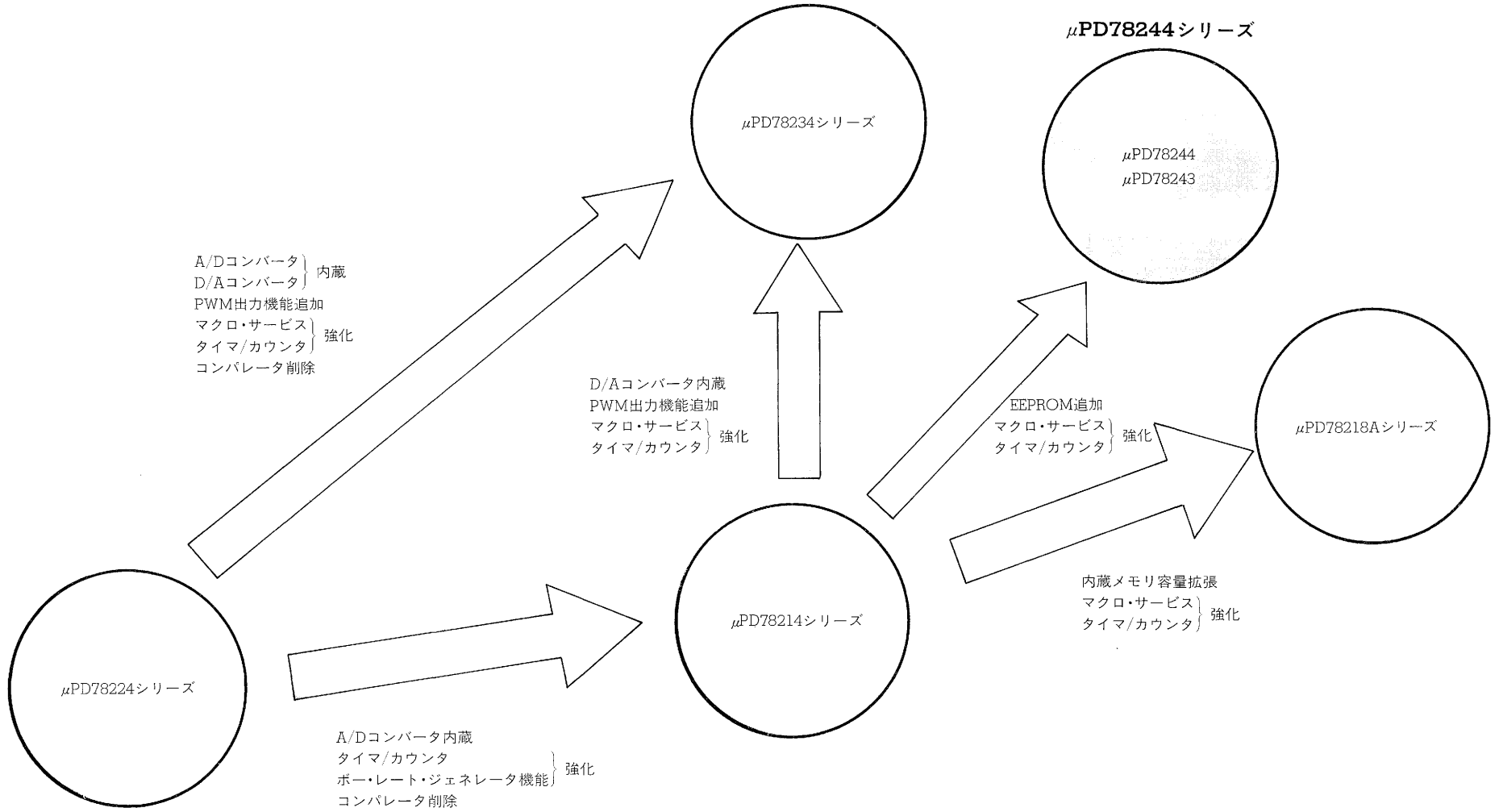
機能一覧

項 目		μPD78243	μPD78244
基本命令(ニモニック)数		65	
最小命令実行時間(12 MHz動作時)		500 ns	333 ns
内蔵メモリ容量	マスクROM	なし	16 Kバイト
	EEPROM	512バイト	
	RAM	512バイト	
メモリ空間		プログラム：64 K バイト， データ：1 Mバイト	
I/O端子	入 力	14	
	出 力	12	
	入 出 力	10	28
	合 計	36	54
注 付 き 加 機 能 端 子	プルアップ抵抗付き端子	16	34
	LEDダイレクト・ドライブ出力	—	16
	トランジスタ・ダイレクト・ドライブ出力	8	
ROMレス・モード設定		なし	EA端子 = ロウ・レベル
リアルタイム出力ポート		4ビット×2または8ビット×1	
汎用レジスタ		8ビット×8×4バンク(メモリ・マッピング)	
タイマ/カウンタ	16ビット・タイマ/カウンタ	タイマ・レジスタ×1 キャプチャ・レジスタ×1 コンペア・レジスタ×2	パルス出力可 (トグル出力 PWM/PPG出力 ワンショット・パルス出力)
	8ビット・タイマ/カウンタ1	タイマ・レジスタ×1 キャプチャ/コンペア・レジスタ×1 コンペア・レジスタ×1	パルス出力可 (リアルタイム出力：4ビ ット×2)
	8ビット・タイマ/カウンタ2	タイマ・レジスタ×1 キャプチャ・レジスタ×1 コンペア・レジスタ×2	パルス出力可 (トグル出力 PWM/PPG出力)
	8ビット・タイマ/カウンタ3	タイマ・レジスタ×1 コンペア・レジスタ×1	
シリアル・インタフェース		UART : 1チャンネル(専用ポー・レート・ジェネレータ内蔵) CSI(3線式シリアルI/O, SBI) : 1チャンネル	
A/Dコンバータ		8ビット分解能×8チャンネル	
割り込み		21要因(外部7, 内部14) + BRK命令 2レベルの優先順位(プログラマブル) 2種類の処理形態(ベクタ割り込み, マクロ・サービス)	
命令セット		16ビット演算 乗除算(8ビット×8ビット, 16ビット÷8ビット) ビット操作 BCD補正, その他	
パッケージ		64ピン・プラスチック・シュリンクDIP(750 mil) 64ピン・プラスチックQFP(□14 mm)	

注 付加機能付き端子は、I/O端子の中に含まれています。

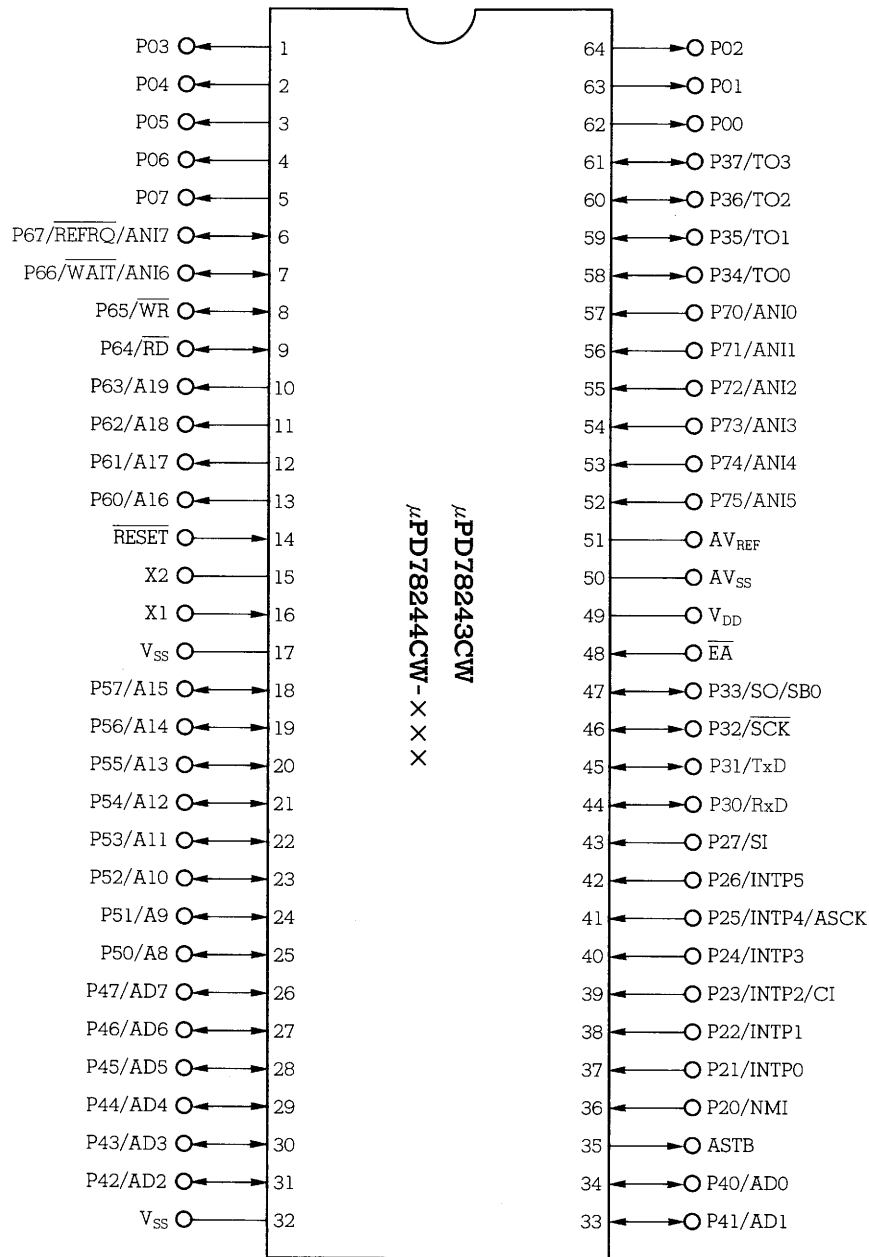
保守/廃止

78K/II 製品展開図



端子接続図 (Top View)

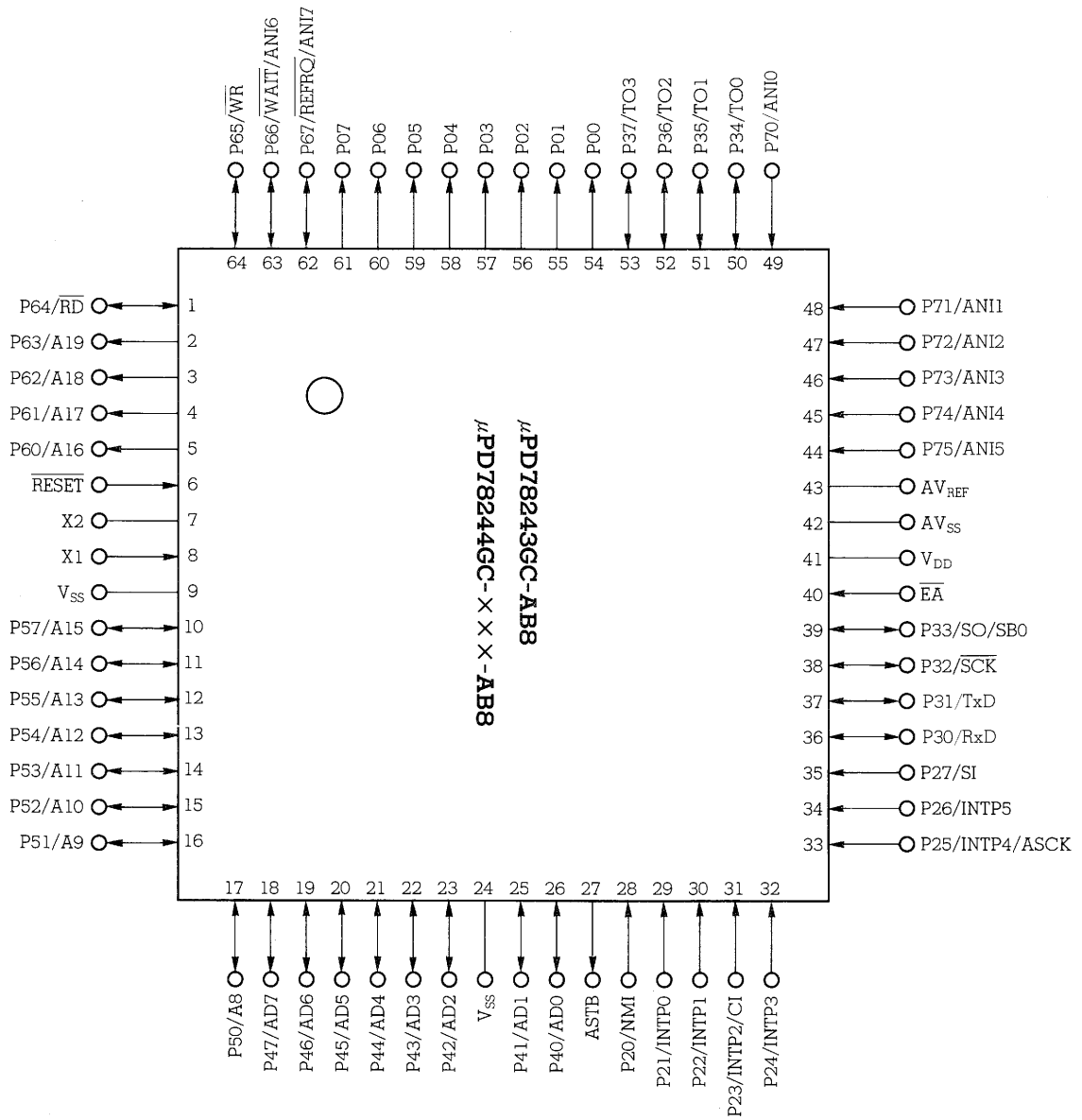
64ピン・プラスチック・シュリンクDIP (750 mil)



備考 μPD78213CW, 78214CW とピン・コンパチブルです。

保守/廃止

64ピン・プラスチックQFP (□14 mm)



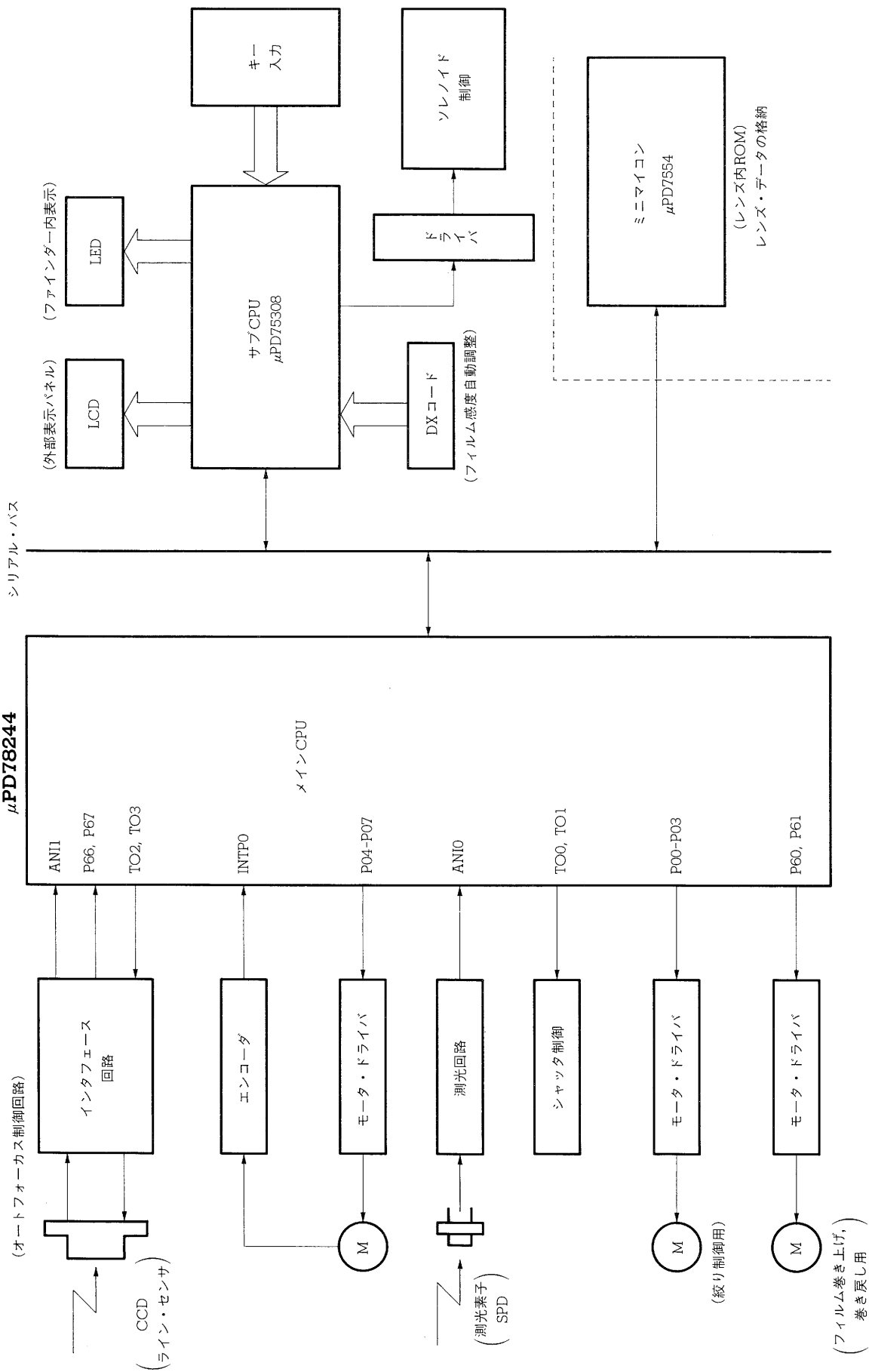
備考 μPD78213GC, 78214GC とピン・コンパチブルです。

保守 / 廃止

P00-P07	: Port 0	\overline{RD}	: Read Strobe
P20-P27	: Port 2	\overline{WR}	: Write Strobe
P30-P37	: Port 3	\overline{WAIT}	: Wait
P40-P47	: Port 4	ASTB	: Address Strobe
P50-P57	: Port 5	\overline{REFRQ}	: Refresh Request
P60-P67	: Port 6	\overline{RESET}	: Reset
P70-P75	: Port 7	X1, X2	: Crystal
TO0-TO3	: Timer Output	\overline{EA}	: External Access
CI	: Clock Input	ANIO-ANI7	: Analog Input
RxD	: Receive Data	AV _{REF}	: Reference Voltage
TxD	: Transmit Data	AV _{SS}	: Analog Ground
\overline{SCK}	: Serial Clock	V _{DD}	: Power Supply
ASCK	: Asynchronous Serial Clock	V _{SS}	: Ground
SBO	: Serial Bus		
SI	: Serial Input		
SO	: Serial Output		
NMI	: Non-maskable Interrupt		
INTP0-INTP5	: Interrupt From Peripherals		
AD0-AD7	: Address/Data Bus		
A8-A19	: Address Bus		

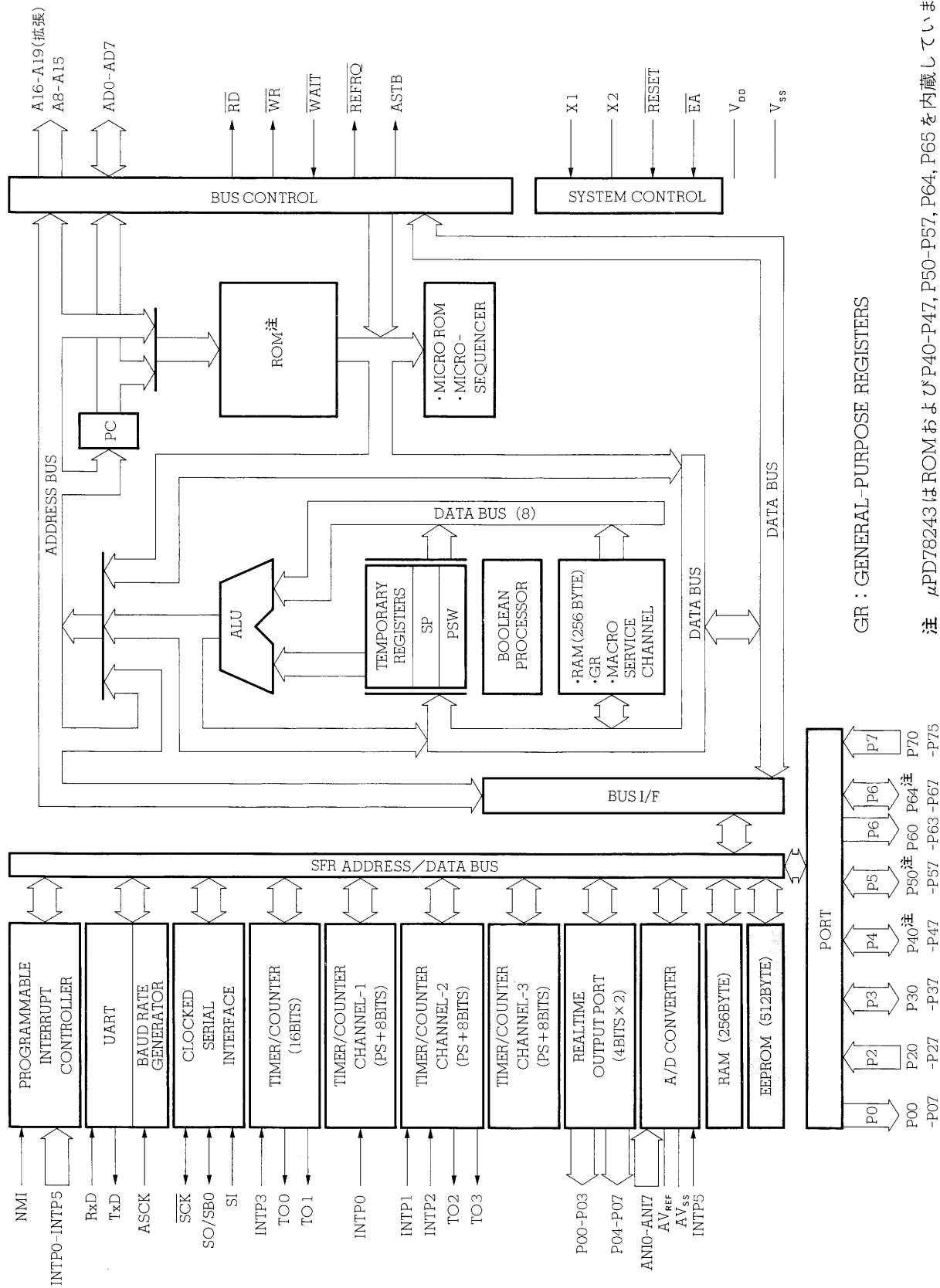
保守/廃止

システム構成例 (オートフォーカス1眼レフ・カメラ)



保守/廃止

内部ブロック図



GR : GENERAL-PURPOSE REGISTERS

注 μPD78243はROMおよびP40-P47, P50-P57, P64, P65を内蔵していません。

目 次

1. 端子機能 … 10
 - 1.1 ポート … 10
 - 1.2 ポート以外 … 11
 - 1.3 入出力回路と未使用端子の処理 … 12

2. 内部ブロック機能 … 14
 - 2.1 メモリ空間 … 14
 - 2.2 ポート … 16
 - 2.3 リアルタイム出力ポート … 17
 - 2.4 タイマ/カウンタ・ユニット … 18
 - 2.5 A/Dコンバータ … 20
 - 2.6 シリアル・インタフェース … 22
 - 2.6.1 アシンクロナス・シリアル・インタフェース … 23
 - 2.6.2 クロック同期式シリアル・インタフェース … 24
 - 2.7 EEPROM … 25

3. 内部/外部制御機能 … 26
 - 3.1 割り込み … 26
 - 3.1.1 割り込み要因 … 27
 - 3.1.2 ベクタ割り込み … 29
 - 3.1.3 マクロ・サービス … 29
 - 3.1.4 マクロ・サービスの応用例 … 30
 - 3.2 ローカル・バス・インタフェース … 32
 - 3.2.1 メモリ拡張 … 32
 - 3.2.2 プログラマブル・ウェイト … 32
 - 3.2.3 疑似スタティックRAMリフレッシュ機能 … 32
 - 3.3 スタンバイ … 33
 - 3.4 リセット … 34

4. 命令セット … 37

5. 電気的特性 … 41

6. 外形図 … 57

7. 半田付け推奨条件 … 59

- 付録A. 開発ツール … 60

- 付録B. 関連資料 … 62



1. 端子機能

1.1 ポート

端子名称	入出力	兼用端子	機能
P00-P07	出力	—	ポート0(P0) : リアルタイム出力ポート(4ビット×2)として使用可能 トランジスタのダイレクト・ドライブ可能
P20	入力	NMI	ポート2(P2) : P20は汎用ポートとしては使用不可(ノンマスクブル割り込み) ただし、割り込みルーチンにおいて、入力レベルの確認可 P22-P27は、6ビット一括でソフトウェアによる内蔵プルアップ抵抗の接続の指定可能
P21		INTPO	
P22		INTP1	
P23		INTP2/CI	
P24		INTP3	
P25		INTP4/ASCK	
P26		INTP5	
P27		SI	
P30	入出力	RxD	ポート3(P3) : ビットごとに入力/出力指定可能 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能
P31		TxD	
P32		\overline{SCK}	
P33		SO/SB0	
P34-P37		TO0-TO3	
P40-P47 ^注	入出力	AD0-AD7	ポート4(P4) : 8ビット一括で入力/出力指定可能 8ビット一括でソフトウェアによる内蔵プルアップ抵抗の接続の指定可能 LEDダイレクト・ドライブ可能
P50-P57 ^注	入出力	A8-A15	ポート5(P5) : ビットごとに入力/出力指定可能 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能 LEDダイレクト・ドライブ可能
P60-P63	出力	A16-A19	ポート6(P6) : P64-P67はビットごとに入力/出力指定可能 P64-P67は、入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能
P64 ^注	入出力	\overline{RD}	
P65 ^注		\overline{WR}	
P66		$\overline{WAIT}/ANI6$	
P67		$\overline{REFRQ}/ANI7$	
P70-P75	入力	ANIO-ANI5	ポート7(P7)

注 μPD78243では、ポートとして使用することはできません。

1.2 ポート以外

端子名称	入出力	機能	兼用端子
TO0-TO3	出力	タイマ出力	P34-P37
CI	入力	8ビット・タイマ/カウンタ2へのカウント・クロック入力	P23/INTP2
RxD	入力	シリアル・データ入力(UART)	P30
TxD	出力	シリアル・データ出力(UART)	P31
ASCK	入力	ボー・レート・クロック入力(UART)	P25/INTP4
SBO	入出力	シリアル・データ入出力(SBI)	P33/SO
SI	入力	シリアル・データ入力(3線式シリアルI/O)	P27
SO	出力	シリアル・データ出力(3線式シリアルI/O)	P33/SBO
SCK	入出力	シリアル・クロック入出力(SBI, 3線式シリアルI/O)	P32
NMI	入力	外部割り込み要求	P20
INTP0			P21
INTP1			P22
INTP2			P23/CI
INTP3			P24
INTP4			P25/ASCK
INTP5			P26
AD0-AD7			入出力
A8-A15	出力	上位アドレス・バス(外部メモリ接続)	P50-P57 ^注
A16-A19	出力	アドレス拡張時の上位アドレス(外部メモリ接続)	P60-P63
\overline{RD}	出力	外部メモリへのリード・ストローブ	P64 ^注
\overline{WR}	出力	外部メモリへのライト・ストローブ	P65 ^注
\overline{WAIT}	入力	ウェイト挿入	P66/ANI6
ASTB	出力	アドレス(A0-A7)のラッチ・タイミング出力(外部メモリ・アクセス時)	—
REFRQ	出力	外部疑似スタティック・メモリへのリフレッシュ・パルス出力	P67/ANI7
RESET	入力	チップ・リセット	—
X1	入力	システム・クロック発振用クリスタル接続(X1にクロック入力も可能)	—
X2	—		—
\overline{EA}	入力	ROMレス動作指示(内部ROMと同一空間の外部アクセス) μPD78244ではハイ・レベルに、μPD78243ではロウ・レベルにして使用します	—
ANIO-ANI5	入力	A/Dコンバータ用アナログ電圧入力	P70-P75
ANI6, ANI7			P66/ \overline{WAIT} , P67/REFRQ
AV _{REF}	—	A/Dコンバータ用基準電圧印加	—
AV _{SS}		A/Dコンバータ用GND	—
V _{DD}		正電源供給端子	
V _{SS}		GND端子	

注 μPD78243では、ポートとして使用することはできません。



1.3 入出力回路と未使用端子の処理

表 1-1 に、各端子の入出力回路タイプと未使用時の処理方法を示します。また、図 1-1 は各タイプの回路です。

表 1-1 各端子の入出力タイプと未使用時の処理

端子	入出力タイプ	入出力	未使用時の推奨接続方法
P00-P07	4	出力	オープン
P20/NMI	2	入力	V_{DD} または V_{SS} に接続
P21/INTP0			
P22/INTP1	2-A	入力	V_{DD} に接続
P23/INTP2/CI			
P24/INTP3			
P25/INTP4/ASCK			
P26/INTP5			
P27/SI			
P30/RxD	5-A	入出力	入力時： V_{DD} に接続 出力時：オープン
P31/TxD			
P32/ \overline{SCK}	8-A	入出力	入力時： V_{DD} に接続 出力時：オープン
P33/SB0/SO	10-A		
P34/TO0-P37/TO3	5-A		
P40/AD0-P47/AD7			
P50/A8-P57/A15	5-A		
P60/A16-P63/A19	4	出力	オープン
P64/ \overline{RD}	5-A	入出力	入力時： V_{DD} に接続 出力時：オープン
P65/ \overline{WR}			
P66/ \overline{WAIT} /ANI6	11	入出力	入力時： V_{DD} に接続 ^注 出力時：オープン
P67/ \overline{REFRQ} /ANI7			
P70/ANI0-P75/ANI5	9	入力	V_{SS} に接続
ASTB	4	出力	オープン
\overline{RESET}	2	入力	V_{SS} または V_{DD} に接続
\overline{EA}	1		
AV_{REF}	—		
AV_{SS}	—		

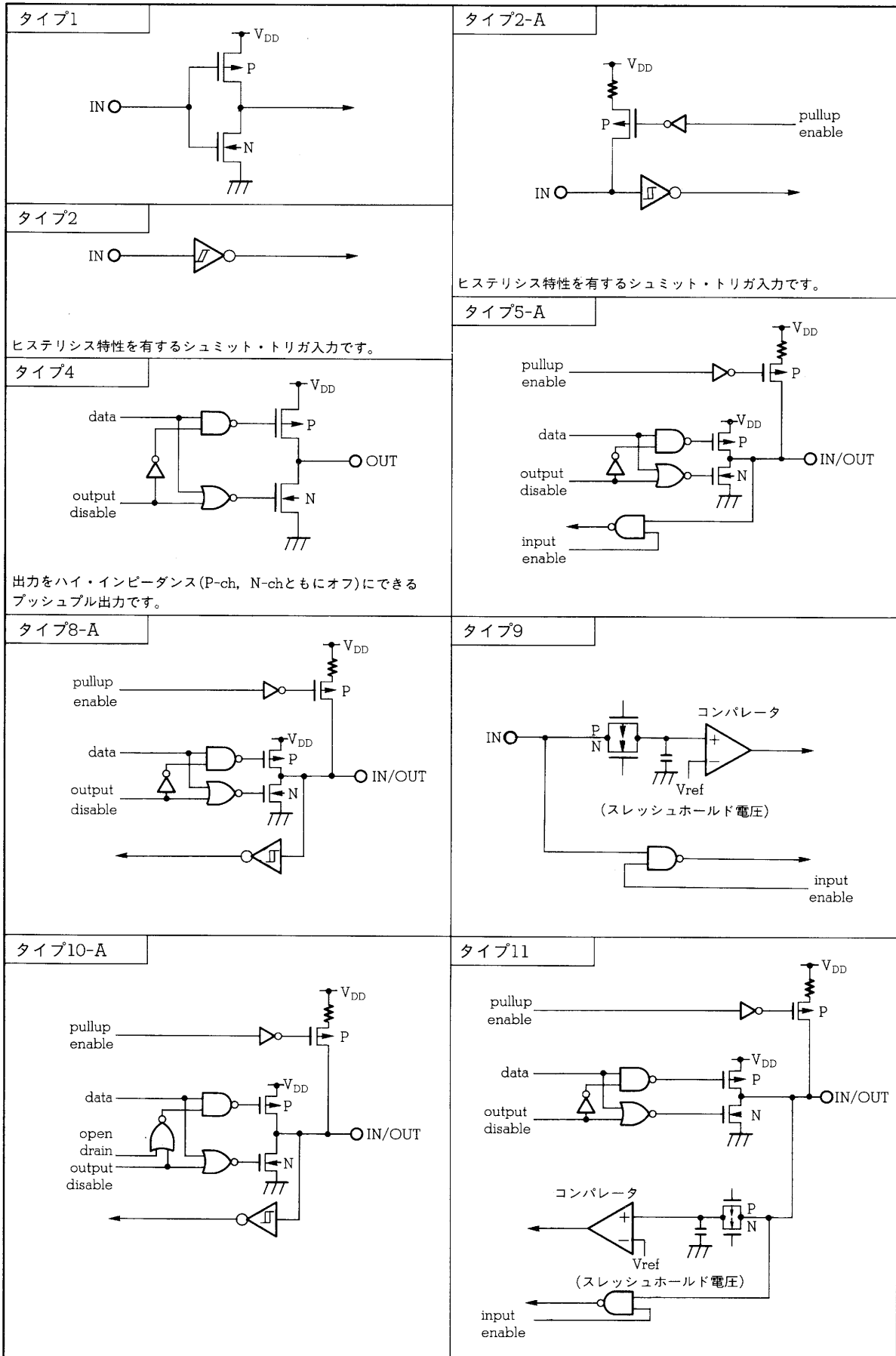
注 A/D 変換動作中の場合は、 $AV_{SS} - AV_{REF}$ の範囲外の電圧を印加しないでください。μPD78243,78244 が破壊する可能性があります。

★ 注意 入出力兼用端子で入出力のモードが不定な場合は、数十kΩの抵抗を介して V_{DD} に接続してください（特に、電源投入時にリセット入力端子がロウ・レベル入力電圧以上になる場合や、ソフトウェアで入出力を切り替えている場合）。

備考 タイプ番号は 78K シリーズで統一しているため、各製品内では連番とは限りません（内蔵しない回路あり）。

保守/廃止

図 1-1 端子の入出力回路



2. 内部ブロック機能

2.1 メモリ空間

1 Mバイトのメモリ空間をアクセスできます。図2-1にメモリ・マップを示します。 \overline{EA} 端子の状態によって、プログラム・メモリのマッピングが異なります。なお、μPD78243は、 $\overline{EA}=L$ として使用します。

(1) μPD78243の場合

プログラム・メモリを外部メモリ (64256バイト：00000H-0FAFFH) にマッピングしています。この領域は、データ・メモリとの共用も可能です。

データ・メモリは、内部EEPROMと内部RAMで構成されています。

内部EEPROM部は、512バイトの容量を持ち、0FBO0H-0FCFFHにマッピングされています。

また、内部RAMは、同じく512バイトの容量を持ち、0FD00H-0FEFFHにマッピングされています。

1 Mバイト拡張モードでは、外部メモリ (960 Kバイト：10000H-FFFFFFH) を拡張データ・メモリとしてマッピングできます。

(2) μPD78244の場合

プログラム・メモリを内部ROM (16 Kバイト：00000H-03FFFH) と外部メモリ (47872バイト：04000H-0FAFFH) にマッピングしています。外部メモリは、外部メモリ拡張モードでアクセスします。外部メモリにマッピングする領域は、データ・メモリとの共用も可能です。

データ・メモリは、内部EEPROMと内部RAMで構成されています。

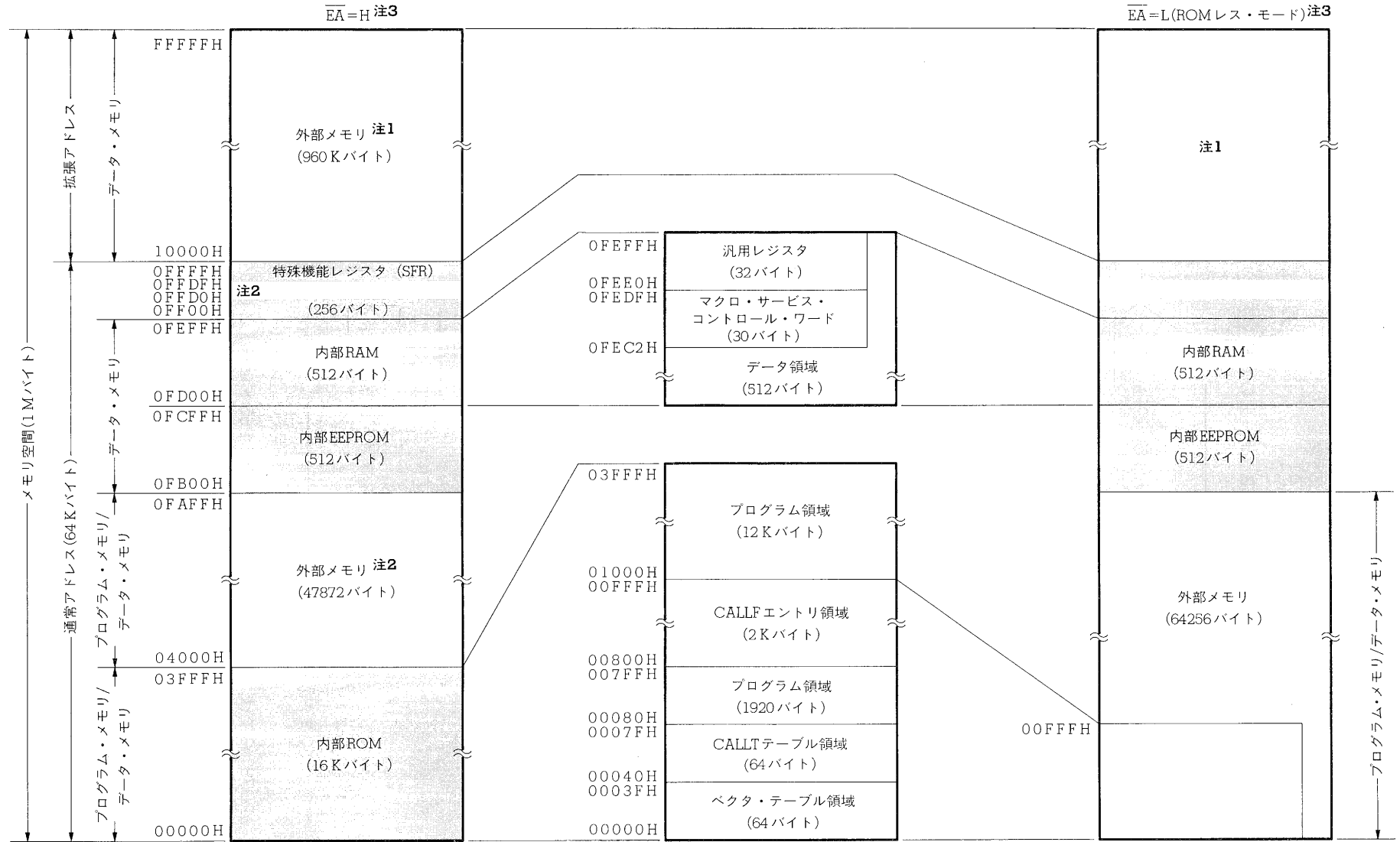
内部EEPROM部は、512バイトの容量を持ち、0FBO0H-0FCFFHにマッピングされています。

また、内部RAMは、同じく512バイトの容量を持ち、0FD00H-0FEFFHにマッピングされています。

1 Mバイト拡張モードでは、外部メモリ (960 Kバイト：10000H-FFFFFFH) を拡張データ・メモリとしてマッピングできます。

保守/廃止

図 2-1 メモリ・マップ

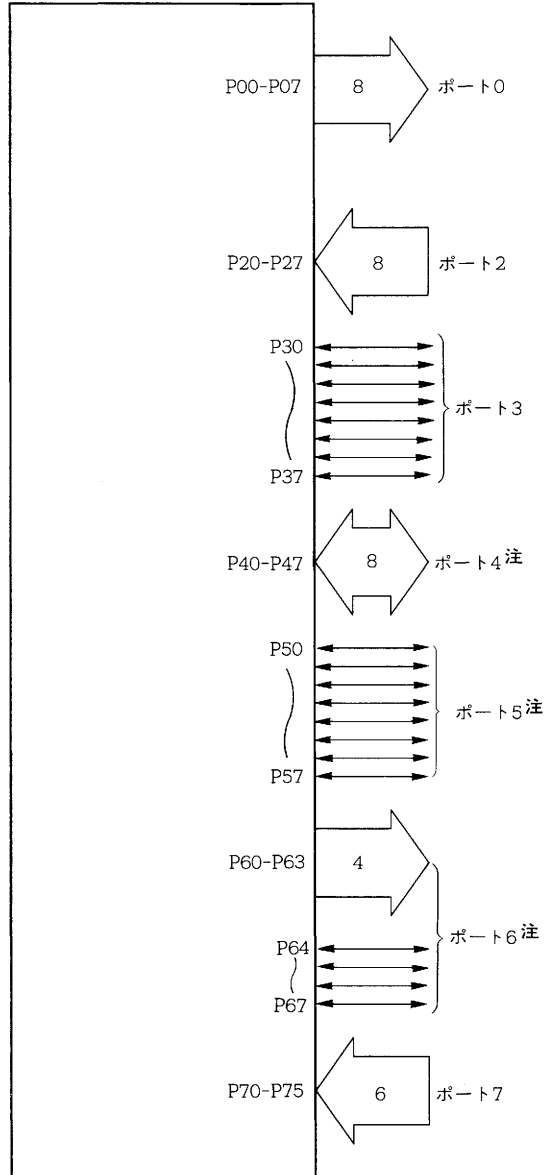


- 注1. 1 Mバイト拡張モードでアクセス () は内部メモリ
 注2. 外部メモリ拡張モードでアクセス
 注3. μPD78243は $\overline{EA}=L$ のときのみ。 $\overline{EA}=H$ として使用することはできません。

2.2 ポート

図2-2のようなポートを備えており、多様な制御ができます。各ポートの機能は表2-1のとおりです。ポート2からポート6は、入力時に、内蔵プルアップ抵抗の使用をソフトウェアで指定できます。

図 2 - 2 ポートの構成



注 μPD78243では、P40-P47, P50-P57, P64, P65をポートとして使用することはできません。

保守 / 廃止

表 2-1 ポートの機能

名称	端子名	機能	ソフトウェア・プルアップの指定
ポート 0	P00-P07	8ビット一括で出力かハイ・インピーダンスに指定可能。 4ビット・リアルタイム出力としても動作可能 (P00-P03, P04-P07)。 トランジスタ・ダイレクト・ドライブ可能。	————
ポート 2	P20-P27	入力ポート。	6ビット一括 (P22-P27)
ポート 3	P30-P37	ビットごとに入力か出力に指定可能。	入力モードの端子について一括して指定
ポート 4注	P40-P47	8ビット一括で入力か出力に指定可能。 LEDダイレクト・ドライブ可能。	8ビット一括
ポート 5注	P50-P57	ビットごとに入力か出力に指定可能。 LEDダイレクト・ドライブ可能。	入力モードの端子について一括して指定
ポート 6注	P60-P63	出力ポート。	————
	P64-P67	ビットごとに入力か出力に指定可能。	入力モードの端子について一括して指定
ポート 7	P70-P75	入力ポート。	————

注 μPD78243では、P40-P47, P50-P57, P64, P65をポートとして使用することはできません。

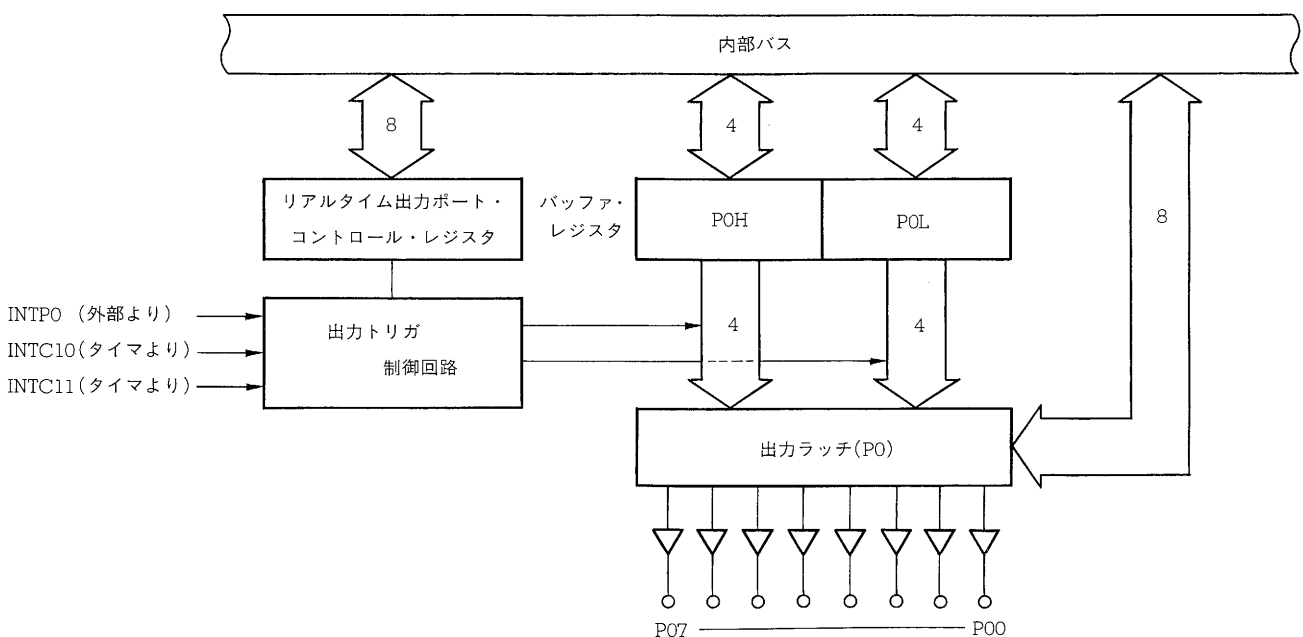
2.3 リアルタイム出力ポート

リアルタイム出力ポートは、バッファに格納しておいたデータを、タイマの一致割り込みや外部割り込みに同期して出力します。これによって、ジッタのないパルス出力を得られます。

したがって、任意の間隔で任意パターンを出力する応用（ステッピング・モータの開ループ制御など）に最適です。

図 2-3 のように、ポート 0 とバッファ・レジスタが構成の中心です。

図 2-3 リアルタイム出力ポートのブロック図



2.4 タイマ/カウンタ・ユニット

16ビット・タイマ/カウンタ・ユニットを1チャンネルと8ビット・タイマ/カウンタ・ユニットを3チャンネル内蔵しています。

表2-2 タイマ/カウンタの種類と機能

種類と機能		ユニット	16ビット・タイマ/ カウンタ	8ビット・タイマ/ カウンタ1	8ビット・タイマ/ カウンタ2	8ビット・タイマ/ カウンタ3
種類	インターバル・タイマ		2チャンネル	2チャンネル	2チャンネル	1チャンネル
	外部イベント・カウンタ		—	—	○	—
	ワンショット・タイマ注		—	—	○	—
機能	タイマ出力		2チャンネル	—	2チャンネル	—
	トグル出力		○	—	○	—
	PWM/PPG出力		○	—	○	—
	ワンショット・パルス出力注		○	—	○	—
機能	リアルタイム出力		—	○	—	—
	パルス幅測定		○	○	○	—
	割り込み要求数		2	2	2	1
	シリアル・インタフェースの クロック・ソース		—	—	—	○

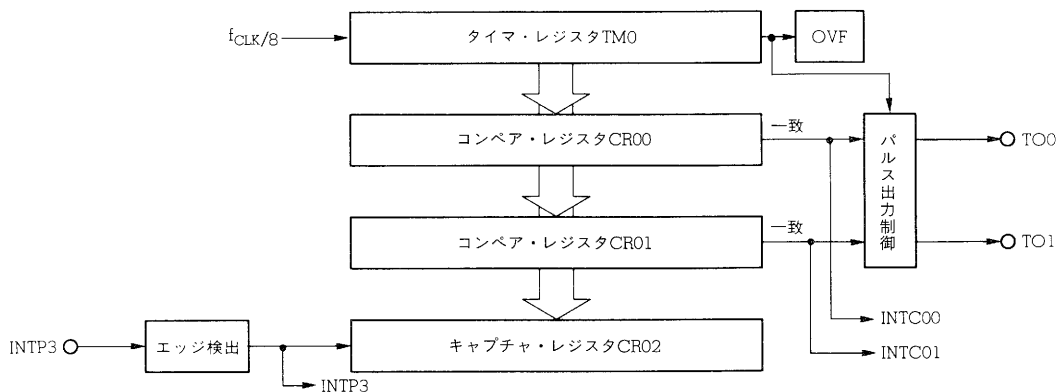
注 ワンショット・タイマ・モードは、8ビット・タイマ/カウンタ2のみが有するモードです。
これは、16ビット・タイマ/カウンタのワンショット・パルス出力機能とは機能的に異なります。したがって、16ビット・タイマ/カウンタには、ワンショット・タイマ・モードはありません。なお、16ビット・タイマ/カウンタのワンショット・パルス出力は、μPD78213, 78214から追加した機能です。

計7つの割り込み要求をサポートしているため、7チャンネルのタイマとして機能させることができます。

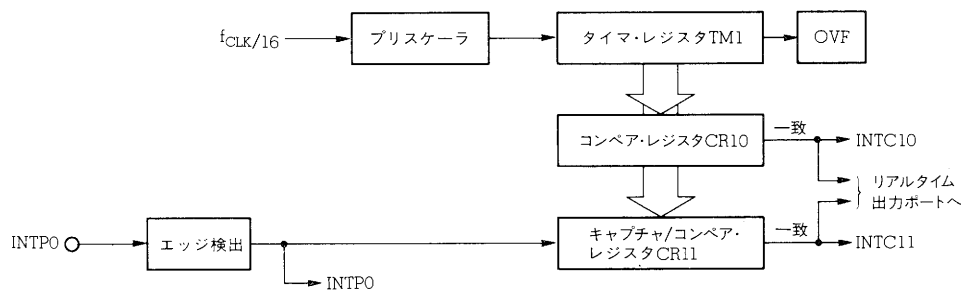
保守/廃止

図2-4 タイマ/カウンタ・ユニットのブロック図

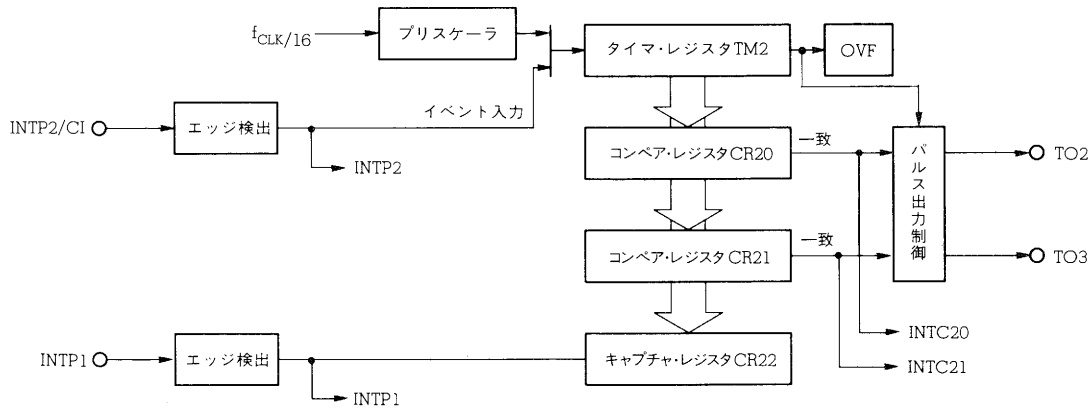
16ビット・タイマ/カウンタ・ユニット



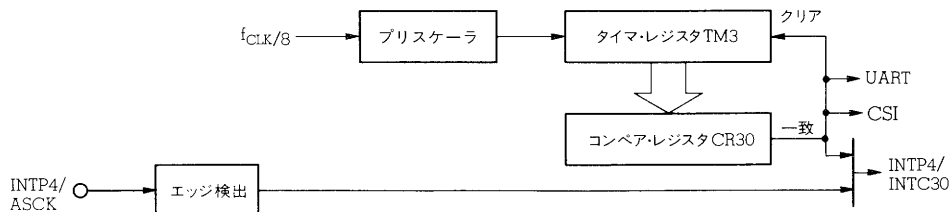
8ビット・タイマ/カウンタ・ユニット1



8ビット・タイマ/カウンタ・ユニット2



8ビット・タイマ/カウンタ・ユニット3



OVF：オーバーフロー・フラグ

2.5 A/Dコンバータ

8マルチプレクスト・アナログ入力（AN10-AN17）を持つアナログ／デジタル（A/D）コンバータを内蔵しています。

変換方式は逐次比較で、変換結果を8ビットのA/D変換結果レジスタ（ADCR）に保持します。このため、高速で高精度な変換を行います（変換時間約30 μs：12 MHz動作時）。

A/D変換動作の起動には、次のモードがあります。

- ハードウェア・スタート：トリガ入力（INTP5）により変換開始。
- ソフトウェア・スタート：A/Dコンバータ・モード・レジスタ（ADM）のビット設定により変換開始。

また、起動後の動作には、次のモードがあります。

- スキャン・モード：複数のアナログ入力を順次選択し、全端子からの変換データを得ます。
- セレクト・モード：アナログ入力を1端子に固定し、連続的な変換値を得ます。

以上のモードと変換動作の停止は、すべてADMで指定します。

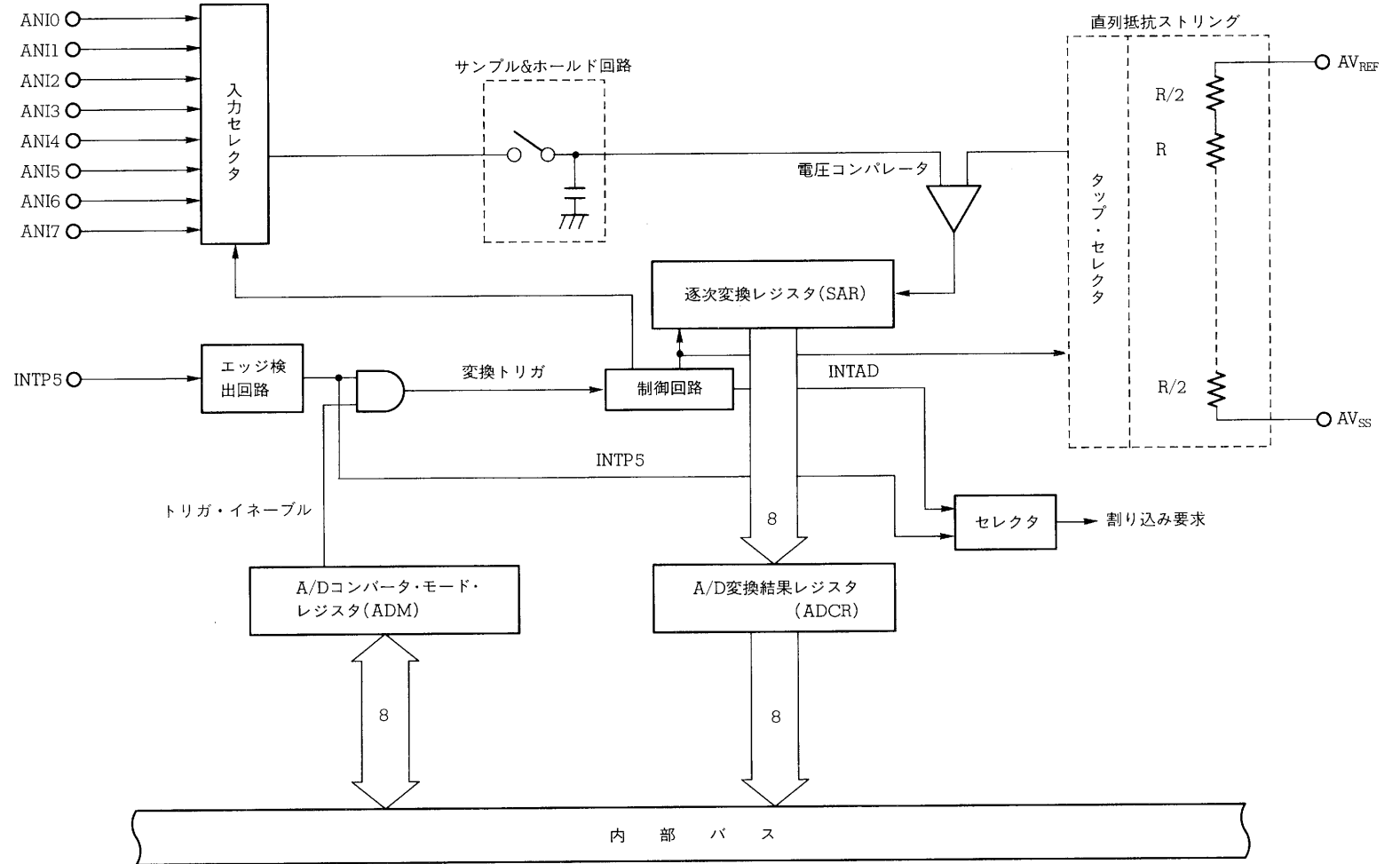
なお、変換結果をADCRへ転送すると、割り込み要求INTADを発生します（ソフトウェア・スタートのセレクト・モードを除く）。このため、マクロ・サービスによって、変換値をメモリへ連続的に転送することができます。

表 2-3 INTAD を発生するモード

	スキャン・モード	セレクト・モード
ハードウェア・スタート	○	○
ソフトウェア・スタート	○	—

保守/廃止

図 2-5 A/Dコンバータのブロック図



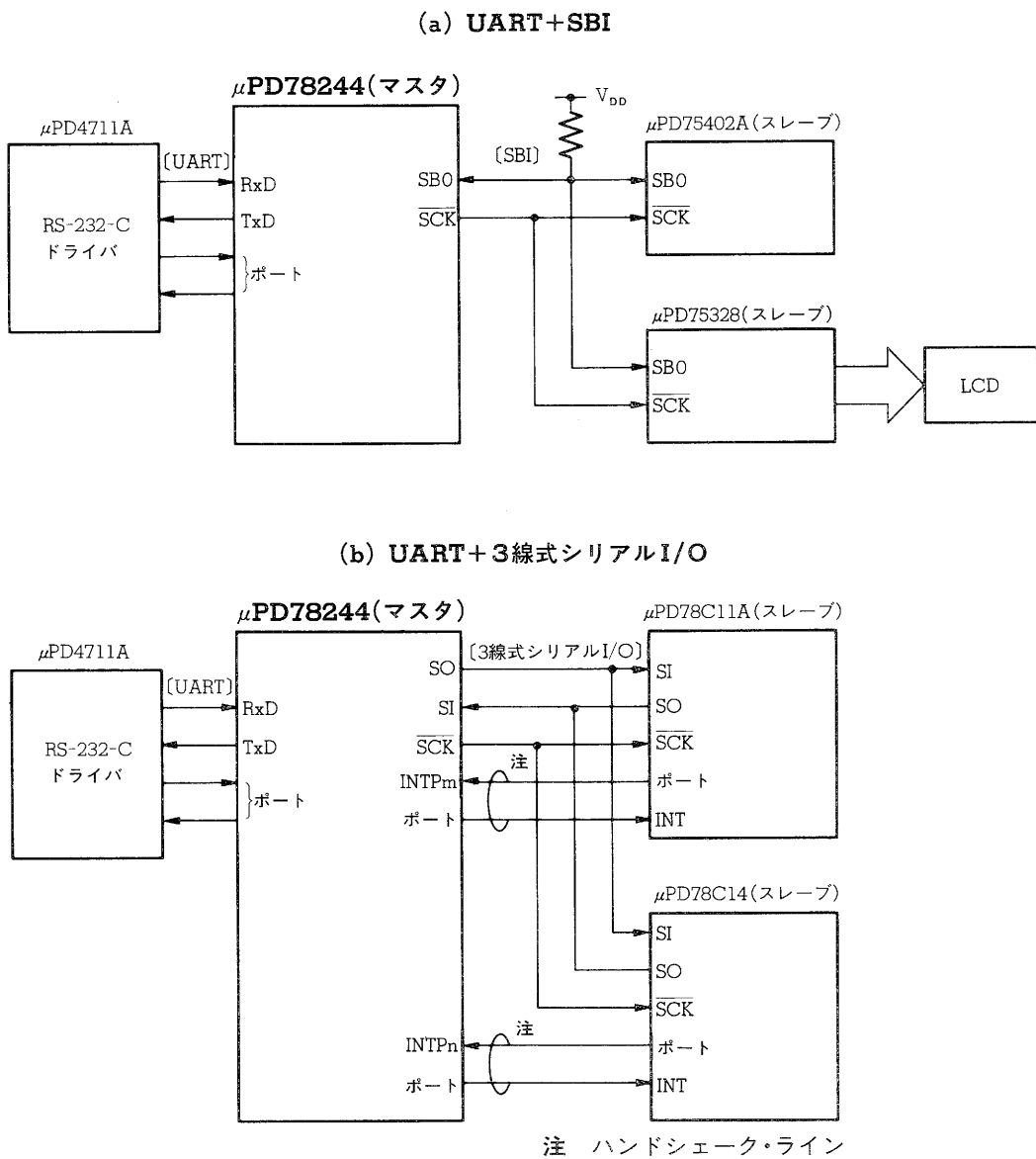
2.6 シリアル・インタフェース

独立した2チャンネルのシリアル・インタフェースを備えています。

- アシンクロナス・シリアル・インタフェース (UART)
- クロック同期式シリアル・インタフェース (CSI)
 - ・3線式シリアルI/O
 - ・シリアル・バス・インタフェース (SBI)

このため、システム外部との通信と、システム内部のローカルな通信とを同時に行うことができます (図2-6 参照)。

図 2-6 シリアル・インタフェース例



保守 / 廃止

2.6.1 アシクロナス・シリアル・インタフェース

アシクロナス・シリアル・インタフェースとして、UART (Universal Asynchronous Receiver Transmitter) を内蔵しています。これは、スタート・ビットに続く1バイトのデータを送信する方式です。

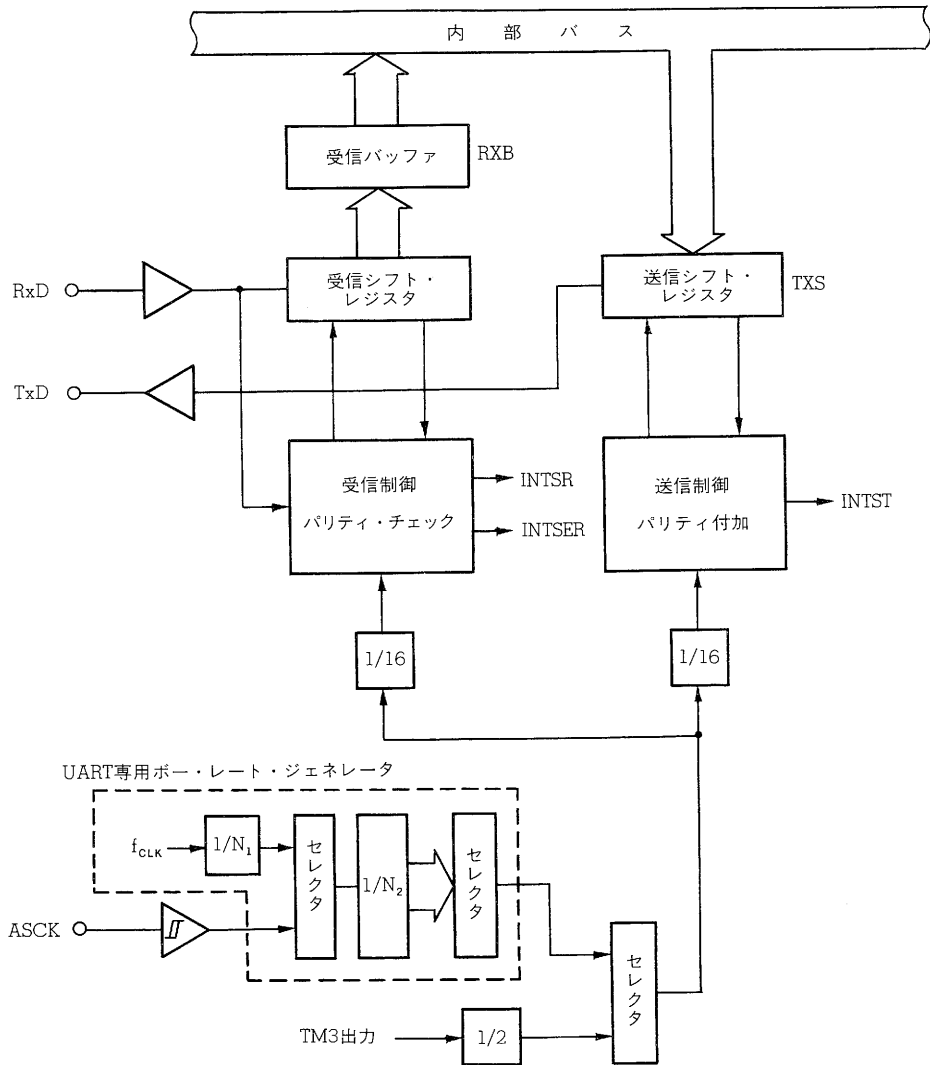
UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

また、ASCK端子への入力クロックを分周して、ポー・レートを定義することもできます。

さらに、8ビット・タイマ/カウンタ3でポー・レートを発生することもできます。

UART専用ポー・レート・ジェネレータを使用すると、MIDI規格のポー・レート (31.25 kbps) も得られます。

図2-7 アシクロナス・シリアル・インタフェースのブロック図

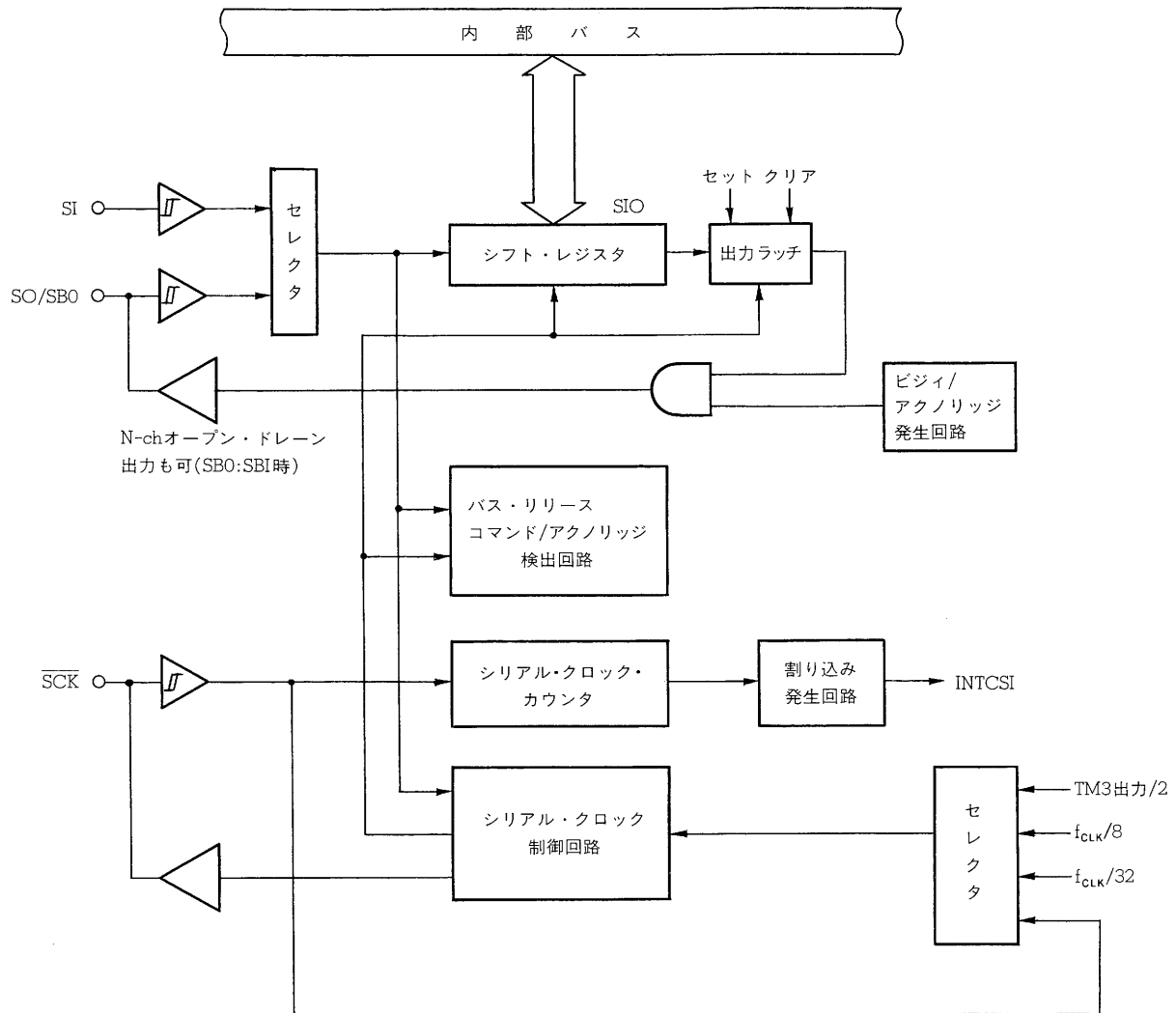


f_{CLK} : 内部システム・クロック周波数 (クロック発振周波数/2)

2.6.2 クロック同期式シリアル・インタフェース

マスタ・デバイスがシリアル・クロックをアクティブにして送信を開始し、このクロックに同期して1バイトのデータを通信する方式です。

図2-8 クロック同期式シリアル・インタフェースのブロック図



f_{CLK} : 内部システム・クロック周波数 (クロック発振周波数/2)

(1) 3線式シリアル I/O

従来のクロック同期式シリアル・インタフェースを内蔵するデバイスとの通信を行うためのインタフェースです。

基本的には、シリアル・クロック (\overline{SCK}) とシリアル・データ (SI, SO) の3線で通信します。複数のデバイスと接続する場合、ハンドシェイク・ラインが必要です。

(2) SBI

シリアル・クロック (\overline{SCK}) とシリアル・バス (SBO) の2線で複数のデバイスと通信します。NECの標準シリアル・インタフェースです。

マスタ・デバイスがSBO端子から“アドレス”を出力して、通信対象とするスレーブ・デバイスを選択します。その後、マスタ・スレーブ間で“コマンド”と“データ”を送受信します。

2.7 EEPROM

データ・メモリとして、内部RAM(512バイト)のほかに、512バイトのEEPROM (Electrically Erasable PROM) を内蔵しています。EEPROMは、プログラムでリード/ライトが可能なメモリです。通常のデータ・メモリと異なり、停電時でもデータの保持が可能です。

EEPROMは、データ・メモリ空間内の0FB00H-0FCFFHにマッピングされています。

EEPROMには、書き込み専用タイマが内蔵されています。EEPROMに書き込み動作を行うと、EEPROM内のメモリの内容を消去しデータを書き込む動作を自動的に行います。書き込み動作は、1バイトごとに行います。書き込みに要する時間は、約10 ms (消去時間約5 ms + 書き込み時間約5 ms) です。

内蔵されるEEPROMへのリード/ライト操作は、内蔵RAMへの操作と同じです。また、書き込み中にメモリの内容を読み出すことも可能です。

また、EEPROMから発生する割り込みには、次の2つがあります。

(1) INTEPW (EEPROM書き込み終了割り込み)

EEPROMへの書き込みが完了したときに発生する割り込みです。

(2) INTEER (EEPROM書き込みエラー割り込み)

EEPROMへの書き込みエラーが起こったときに発生する割り込みです。

この書き込みエラーとは、次のいずれかの場合を示します。

- EEPROM書き込み中にEEPROM書き込み命令を実行した場合
- EEPROM書き込み中にEEPROMを書き込み禁止にした場合

3. 内部/外部制御機能

3.1 割り込み

割り込み要求に対する処理として、表3-1のような2つの処理をプログラムで選択できます。

表3-1 割り込み要求の処理

処理モード	処理の主体	処 理	PC, PSWの内容
ベクタ割り込み	ソフトウェア	処理ルーチンへ分岐して実行(処理内容は任意)	退避, 復帰を伴う
マクロ・サービス	ファームウェア	メモリ-I/O間のデータ転送などを実行(処理内容は固定)	保持

3.1.1 割り込み要因

割り込み要因には、表 3-2 のような 21 種類（外部：7 要因，内部：14 要因）と BRK 命令実行があります。

割り込み処理の優先順位は、2 レベル（高優先レベルと低優先レベル）に設定できます。これによって、割り込み処理中のネスト制御や、同時発生した割り込み要求のレベル分けをすることができます（図 3-1，図 3-2 参照）。ただし、マクロ・サービスでは、必ずネスティングが進みます（保留されず）。

デフォルト・プライオリティは、同時に発生した同優先レベルの割り込み要求に対する処理の優先順位（固定）です（表 3-2 参照）。

表 3-2 割り込み要因

タイプ	デフォルト・プライオリティ	要 因		内部/外部	マクロ・サービス	
		名 称	ト リ ガ			
ソフトウェア	—	BRK	命令の実行	—	—	
ノンマスクابل		NMI	端子入力エッジ検出	外部		○
マスクابل	0 (最高)	INTP0	// (TM1 キャプチャ・トリガ)			
	1	INTP1	// (TM2 キャプチャ・トリガ)			
	2	INTP2	// (TM2 イベント・カウンタ入力)			
	3	INTP3	// (TM0 キャプチャ・トリガ)			
	4	INTC00	TM0-CR00 一致信号発生			
	5	INTC01	TM0-CR01 //			
	6	INTC10	TM1-CR10 //			
	7	INTC11	TM1-CR11 //			
	8	INTC21	TM2-CR21 //			
	9	INTP4	端子入力エッジ検出			
			INTC30		TM3-CR30 一致信号発生	
	10	INTP5	端子入力エッジ検出			
			INTAD		A/D コンバータ変換終了 (ADCR へ転送)	
	11	INTC20	TM2-CR20 一致信号発生			
	12	INTSER	ASI 受信エラー発生			
	13	INTSR	ASI 受信終了			
	14	INTST	ASI 送信終了			
15	INTCSI	CSI 転送終了				
16	INTEER	EEPROM 書き込みエラー発生				
17 (最低)	INTEPW	EEPROM 書き込み終了				

TM0 : 16ビット・タイマ

TM1-TM3: 8ビット・タイマ

ASI : アシクロナス・シリアル・インタフェース

CSI : クロック同期式シリアル・インタフェース

保守/廃止

図3-1 割り込み処理中に他の割り込み要求が発生した場合の処理例

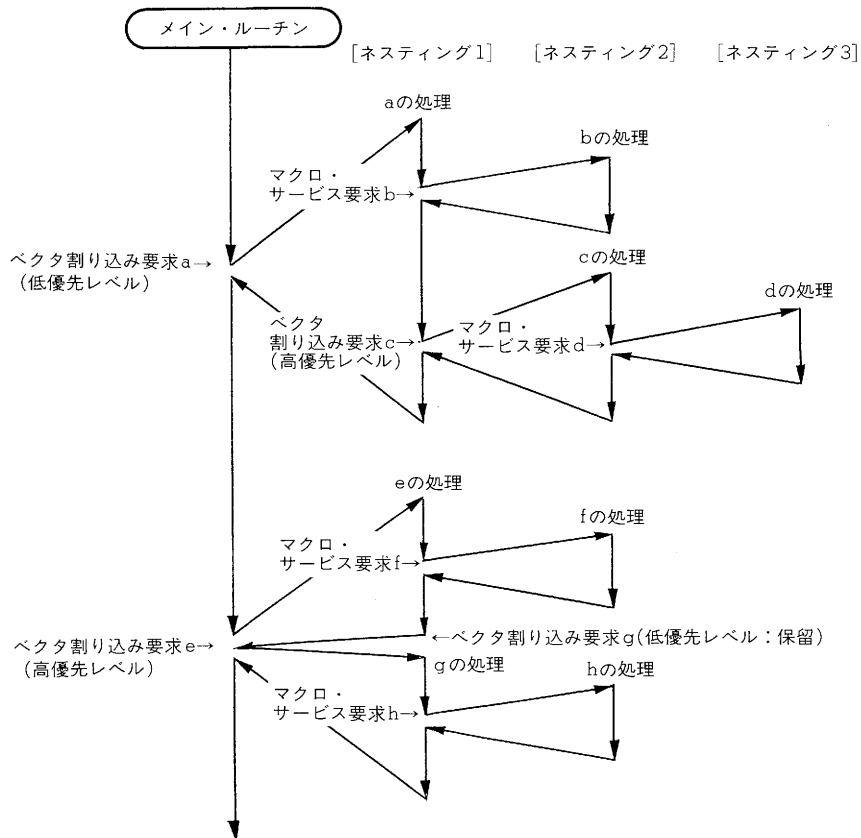
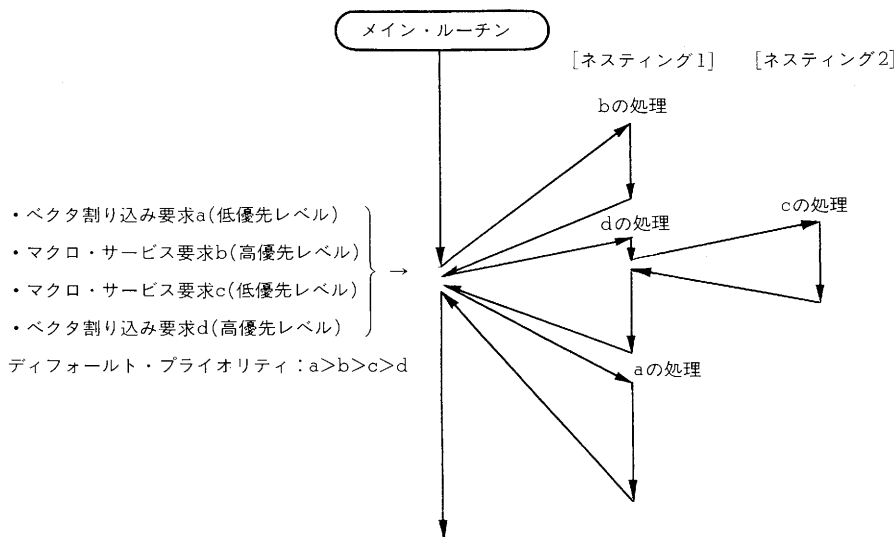


図3-2 同時発生した割り込み要求の処理例



保守 / 廃止

3.1.2 ベクタ割り込み

割り込み要因に対応するベクタ・テーブル・アドレスのメモリ内容を分岐先のアドレスとして、処理ルーチンへ分岐します。

CPUが割り込み処理を行うため、次のような動作が起こります。

- 分岐時：CPUの状態（PC, PSWの内容）をスタックへ退避。
- 復帰時： // をスタックから復帰。

なお、処理ルーチンからメイン・ルーチンへの復帰は、RETI命令で行います。

表 3-3 ベクタ・テーブル・アドレス

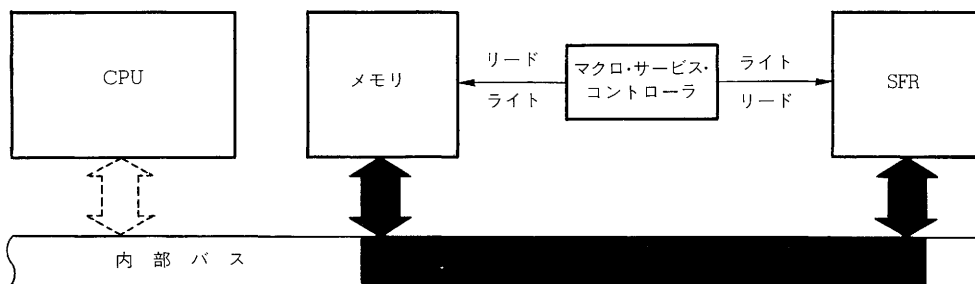
割り込み要因	ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス
BRK	003EH	INTP4	000EH
NMI	0002H	INTC30	
INTP0	0006H	INTP5	0010H
INTP1	0008H	INTAD	
INTP2	000AH	INTC20	0012H
INTP3	000CH	INTSER	0020H
INTC00	0014H	INTSR	0022H
INTC01	0016H	INTST	0024H
INTC10	0018H	INTCSI	0026H
INTC11	001AH	INTEER	0028H
INTC21	001CH	INTEPW	002AH

3.1.3 マクロ・サービス

メモリ-特殊機能レジスタ (SFR) 間のデータ転送を、CPUを介さずに行う機能です。マクロ・サービス・コントローラがメモリとSFRをアクセスし、データを取り込まずに直接転送します。

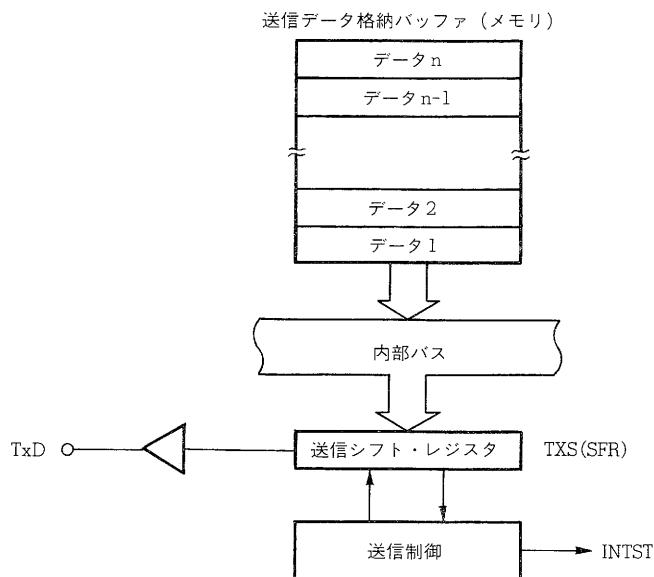
CPUの状態を退避、復帰したり、データを取り込んだりしないため、高速転送が行えます。

図 3-3 マクロ・サービス



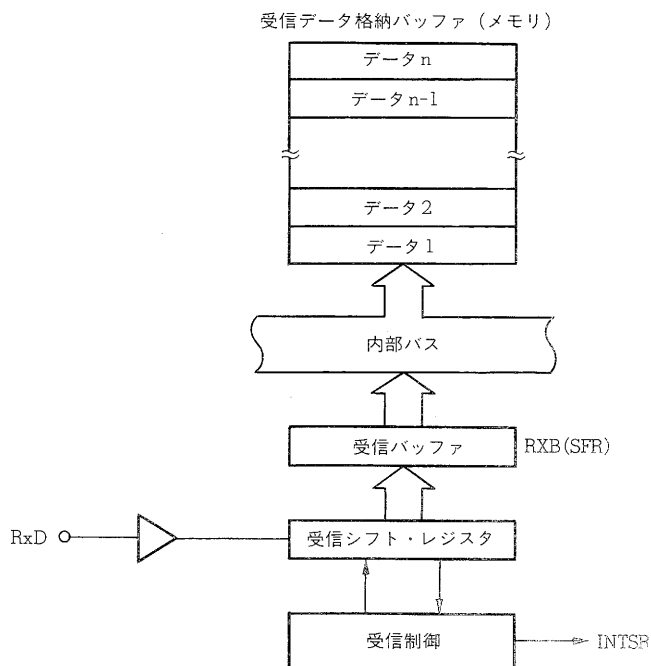
3.1.4 マクロ・サービスの応用例

(1) シリアル・インタフェースの送信動作



マクロ・サービス要求INTSTが発生するたびに、次の送信データをメモリからTXSへ転送します。データn（最終バイト）をTXSへ転送する（送信データ格納バッファが空になると、ベクタ割り込み要求INTSTが発生します。

(2) シリアル・インタフェースの受信動作

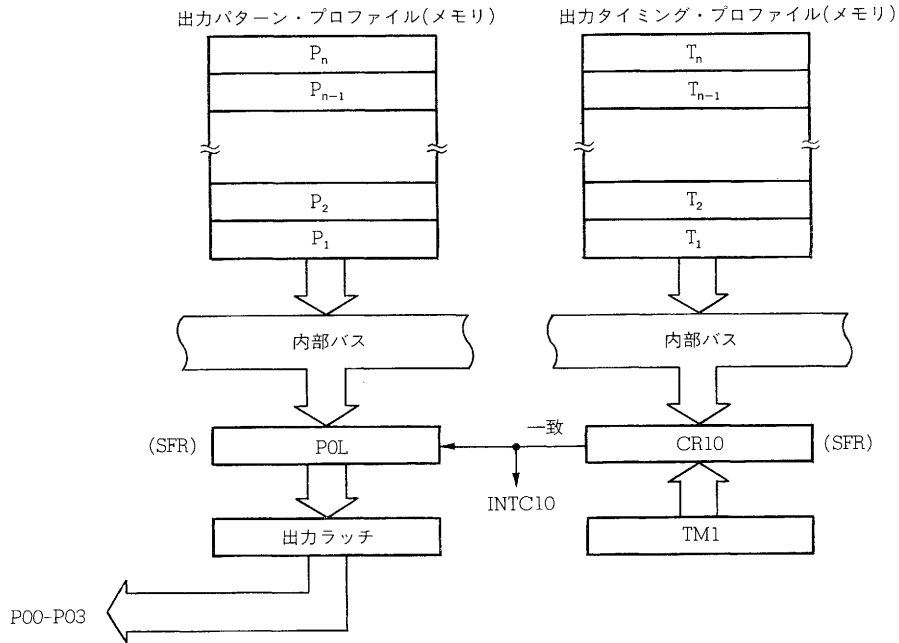


マクロ・サービス要求INTSRが発生するたびに、受信データをRXBからメモリへ転送します。データn（最終バイト）をメモリへ転送する（受信データ格納バッファに空きがなくなる）と、ベクタ割り込み要求INTSRが発生します。

保守/廃止

③ リアルタイム出力ポート

INTC10, INTC11はリアルタイム出力ポートの出力トリガとなります。これらに対するマクロ・サービスでは、次の出力パターンと間隔を同時に設定できます。このため、INTC10とINTC11は独立に、2系統のステップング・モータを制御できます。また、PWMやDCモータの制御などにも応用できます。



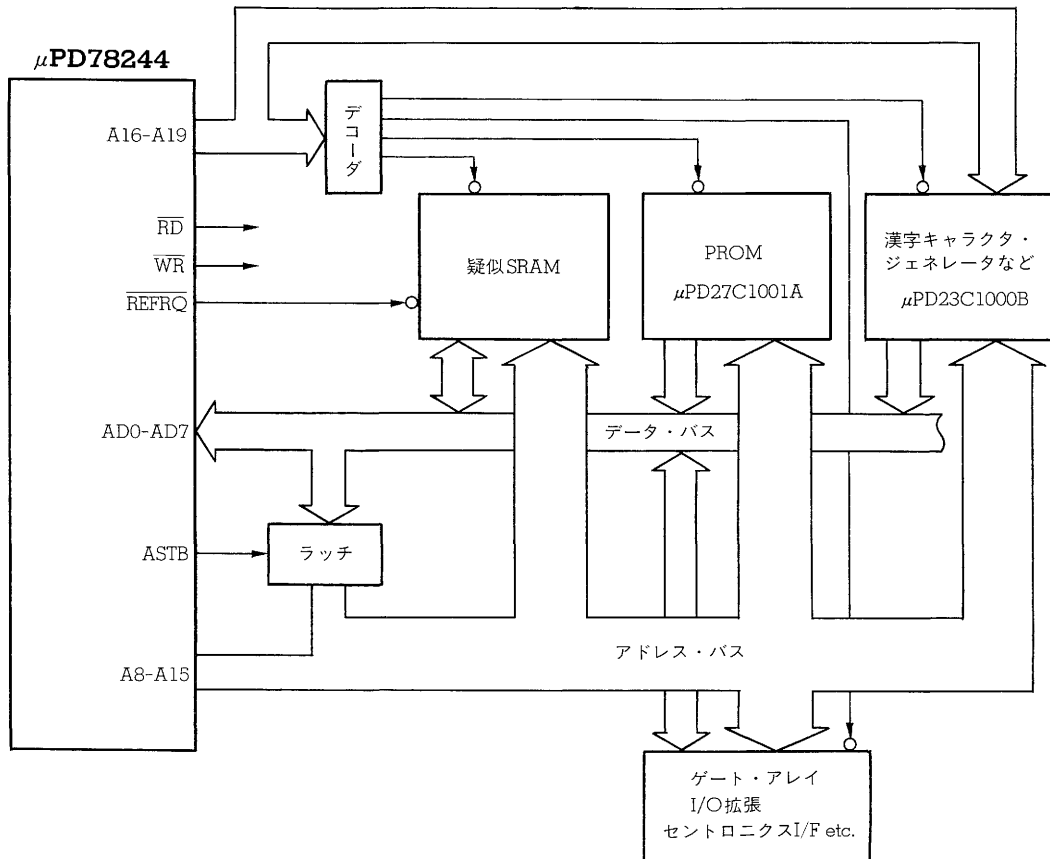
マクロ・サービス要求INTC10が発生するごとに、パターンとタイミングをPOLとCR10にそれぞれ転送します。TM1の内容がCR10の内容と一致すると、次のINTC10が発生するとともに、POLの内容を出力ラッチへ送ります。 T_n (最終バイト) がCR10へ転送されると、ベクタ割り込み要求INTC10が発生します。

INTC11についても同様の動作となります (相違点: CR10→CR11, POL→POH, P00-P03→P04-P07)。

3.2 ローカル・バス・インタフェース

外部にメモリやI/O（メモリ・マップトI/O）を接続でき、1Mバイトのメモリ空間をサポートします（図2-1参照）。

図3-4 ローカル・バス・インタフェース例



3.2.1 メモリ拡張

メモリ拡張機能として、次のようなモードがあります。

- 外部メモリ拡張モード：外部にプログラム・メモリやデータ・メモリを47872バイト拡張できます。ただし、ROMレス・モード ($\overline{EA}=L$) では、無条件にこの領域を使用できます。
- 1Mバイト拡張モード：外部にデータ・メモリを960Kバイト拡張でき、1Mバイトのメモリ空間となります。

3.2.2 プログラマブル・ウエイト

通常アドレス (00000H-0FFFFH) と拡張アドレス (10000H-FFFFFFH) にマッピングされるメモリに対し、独立にウエイトを挿入できます。このため、アクセス時間の異なるメモリを接続しても、システム全体の効率を低下させずに済みます。

3.2.3 疑似スタティックRAMリフレッシュ機能

リフレッシュ動作には、次のような動作があります。

- パルス・リフレッシュ：バス・サイクルに同期して、 \overline{REFRQ} 端子にリフレッシュ・パルスを出力します。
- パワー・ダウン・セルフ・リフレッシュ：スタンバイ・モード時、 \overline{REFRQ} 端子にロウ・レベルを出力し、疑似スタティックRAMの内容を保持します。

保守/廃止

3.3 スタンバイ

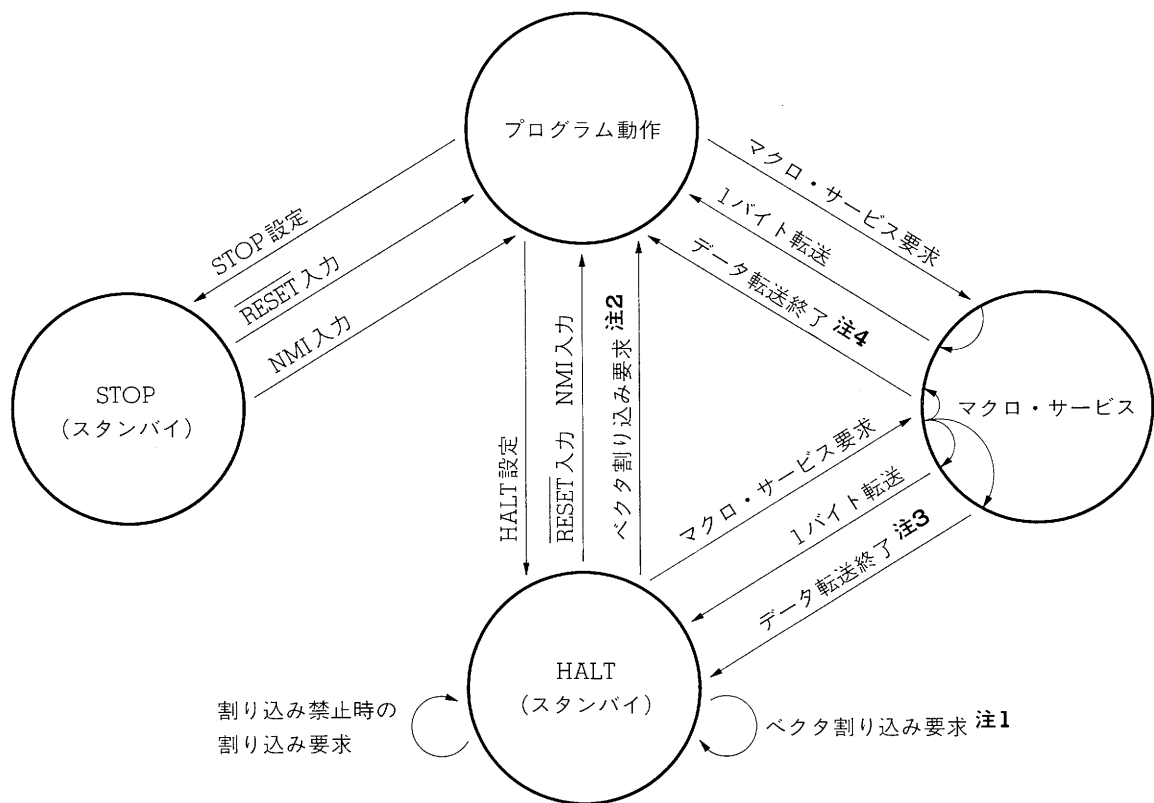
チップの消費電力を低減する機能です。次のようなモードがあります。

- HALTモード：CPUの動作クロックを停止させます。通常動作との間欠動作により、平均消費電力を低減できます。
- STOPモード：発振器を停止させます。チップ内部の動作をすべて停止させ、リーク電流だけの微少消費電力状態にします。

これらのモードはプログラマブルです。

また、HALTモードからマクロ・サービスを起動することができます。

図3-5 スタンバイの状態遷移



- 注1. 低優先レベルのベクタ割り込み要求の場合（HALT設定時に低優先順位の割り込み禁止状態）。
- 2. 高優先レベルのベクタ割り込み要求の場合，または，HALT設定時に低優先順位の割り込み許可状態の場合。
- 3. 低優先レベルのマクロ・サービスの場合（HALT設定時に低優先順位の割り込み禁止状態）。
- 4. 高優先レベルのマクロ・サービスの場合，または，HALT設定時に低優先順位の割り込み許可状態の場合。

3.4 リセット

$\overline{\text{RESET}}$ 端子にロウ・レベルを入力すると、内部ハードウェアは初期状態になります（リセット状態）。

$\overline{\text{RESET}}$ 入力がロウ・レベルからハイ・レベルになると、次のようなデータをプログラム・カウンタ (PC) に設定します。

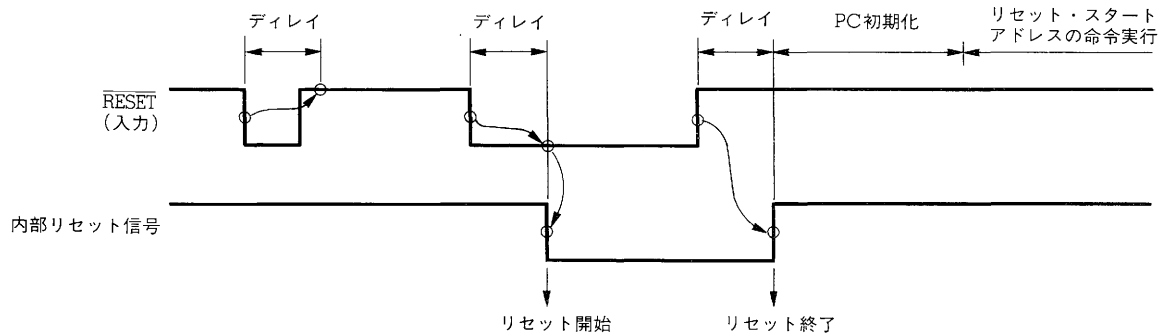
- PCの下位8ビット：0000H番地の内容
- PCの上位8ビット：0001H番地の内容

PCの設定内容を分岐先アドレスとし、そのアドレスからプログラムの実行を開始します。このため、任意の番地からリセット・スタートできます。

各レジスタの内容は、必要に応じてプログラムで設定してください。

ノイズによる誤動作を防ぐため、 $\overline{\text{RESET}}$ 入力回路にはノイズ除去回路を内蔵しています。このノイズ除去回路は、アナログ・ディレイによるサンプリング回路となっています。

図3-6 リセットの受け付け



電源投入時およびSTOPモード解除時のリセット動作では、発振安定時間（約40ms）が経過するまで $\overline{\text{RESET}}$ 信号をアクティブにしてください。

図3-7 電源投入時のリセット動作

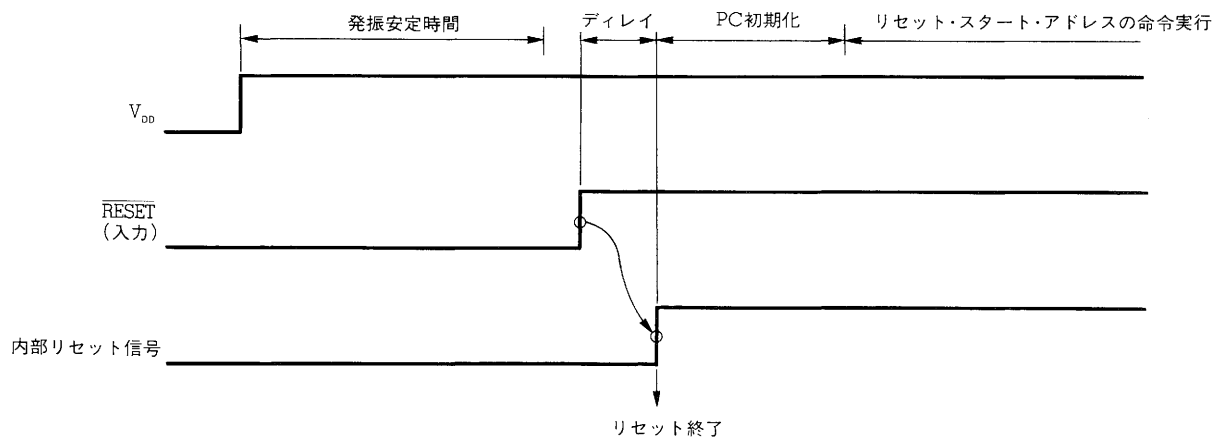




表 3-4 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態	
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。	
スタック・ポインタ (SP)		不 定	
プログラム・ステータス・ワード (PSW)		02H	
内蔵RAM	データ・メモリ	不 定 ^注	
	汎用レジスタ (X, A, C, B, E, D, L, H)		
ポ ー ト	ポート0, ポート2, ポート3, ポート4, ポート5, ポート7	不定 (ハイ・インピーダンス)	
	ポート6	×0H	
ポート・モード・レジスタ	(PM0)	FFH	
	(PM3, PM5)	FFH	
	(PM6)	F×H	
ポート3モード・コントロール・レジスタ (PMC3)		00H	
ブルアップ抵抗オプション・レジスタ (PUO)		00H	
メモリ拡張モード・レジスタ (MM)		20H	
タイマ/ カウンタ・ ユニット	16ビット・ タイマ/ カウンタ	タイマ (TM0)	0000H
		コンペア・レジスタ (CR00, CR01)	不 定
		キャプチャ・レジスタ (CR02)	
	8ビット・ タイマ/ カウンタ	タイマ (TM1, TM2, TM3)	00H
		コンペア・レジスタ (CR10, CR20, CR21, CR30)	不 定
		キャプチャ・レジスタ (CR22)	
		キャプチャ/コンペア・レジスタ (CR11)	
	タイマ・コントロール・レジスタ (TMC0, TMC1)		00H
	タイマ出力コントロール・レジスタ (TOC)		
	ワンショット・パルス出力制御レジスタ (OSPC)		
	キャプチャ/コンペア・ コントロール・レジスタ	(CRC0)	10H
		(CRC1, CRC2)	00H
プリスケアラ・モード・レジスタ (PRM0, PRM1)		00H	
A/Dコンバータ	モード・レジスタ (ADM)	00H	
	A/D変換結果レジスタ (ADCR)	不 定	

注 STOPモードをRESET入力で解除した場合は、STOPモード設定前の値を保持しています。



表 3-4 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		リセット後の状態	
シリアル・インタフェース	モード・レジスタ (CSIM)	00H	
	シフト・レジスタ (SIO)	不 定	
	アシンクロナス・モード・レジスタ (ASIM)	80H	
	アシンクロナス・ステータス・レジスタ (ASIS)	00H	
	シリアル・バス・コントロール・レジスタ (SBIC)	00H	
	シリアル受信バッファ (RXB)	不 定	
	シリアル送信シフト・レジスタ (TXS)	不 定	
	ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC)	00H	
リアルタイム出力ポート・コントロール・レジスタ (RTPC)		00H	
プログラマブル・ウェイト制御レジスタ (PW)		80H	
リフレッシュ・モード・レジスタ (RFM)		00H	
割り込み	割り込み要求フラグ・レジスタ	(IFOL, IFOH)	00H
		(IFIL)	×××× ××00B
	割り込みマスク・レジスタ	(MKOL, MKOH)	FFH
		(MKIL)	×××× ××11B
	優先順位指定フラグ・レジスタ	(PROL, PROH)	FFH
		(PR1L)	×××× ××11B
	割り込みサービス・モード・レジスタ	(ISMOL, ISMOH)	00H
		(ISM1L)	×××× ××00B
	割り込みステータス・レジスタ (IST)		00H
	外部割り込みモード・レジスタ (INTM0, INTM1)		00H
スタンバイ・コントロール・レジスタ (STBC)		00H	
EEPROM 書き込み制御レジスタ (EWC)		0011 0100B	



4. 命令セット

★

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, SHR, SHL, ROR4, ROL4, DBNZ, PUSH, POP

表 4-1 8ビット・アドレッシング別命令一覧

第2オペランド 第1オペランド	#byte	A	r r'	saddr saddr'	sfr	mem &mem	laddr16 &laddr16	PSW	n	なし ^{注2}
A	ADD ^{注1}		MOV XCH	MOV XCH ADD ^{注1}	MOV XCH ADD ^{注1}	MOV XCH ADD ^{注1}	MOV	MOV		
r	MOV		MOV XCH ADD ^{注1}						ROR RORC ROL ROLC SHR SHL	MULU DIVUW INC DEC
rl										DBNZ
saddr	MOV ADD ^{注1}	MOV		MOV XCH ADD ^{注1}						INC DBNZ DEC
sfr	MOV ADD ^{注1}	MOV								PUSH POP
mem &mem		MOV								
mem1 &mem1										ROR4 ^{注3} ROL4 ^{注3}
laddr16 &laddr16		MOV								
PSW	MOV	MOV								PUSH POP
STBC	MOV									

注1. ADDC, SUB, SUBC, AND, OR, XOR, CMPはADDと同じ

2. 第2オペランドがないか, 第2オペランドがオペランド・アドレスでない

3. この命令はEEPROM領域に対しては使用できません。

(2) 16ビット命令

MOVW, ADDW, SUBW, CMPW, INCW, DECW, SHRW, SHLW, PUSH, POP

表 4-2 16ビット・アドレッシング別命令一覧

第2オペランド 第1オペランド	# word	AX	rp rp'	saddrp	sfrp	mem1 &mem1	SP	n	なし
AX	ADDW SUBW CMPW		ADDW SUBW CMPW	MOVW ADDW SUBW CMPW	MOVW ADDW SUBW CMPW	MOVW	MOVW		
rp	MOVW		MOVW					SHLW SHRW	INCW DECW PUSH POP
saddrp	MOVW	MOVW							
sfrp	MOVW	MOVW							
mem1 &mem1		MOVW ^注							
SP	MOVW	MOVW							INCW DECW

注 この命令はEEPROM領域に対しては使用できません。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

表 4-3 ビット操作命令アドレッシング別命令一覧

第2オペランド 第1オペランド	CY	A.bit	/A.bit	X.bit	/X.bit	saddr. bit	/saddr. bit	sfr.bit	/sfr.bit	PSW.bit	/PSW. bit	なし注
CY		MOV1 AND1 OR1 XOR1	AND1 OR1	MOV1 AND1 OR1 XOR1	AND1 OR1	MOV1 AND1 OR1 XOR1	AND1 OR1	MOV1 AND1 OR1 XOR1	AND1 OR1	MOV1 AND1 OR1 XOR1	AND1 OR1	SET1
A.bit	MOV1											SET1 CLR1 NOT1 BT BF BTCLR
X.bit	MOV1											SET1 CLR1 NOT1 BT BF BTCLR
saddr.bit	MOV1											SET1 CLR1 NOT1 BT BF BTCLR
sfr.bit	MOV1											SET1 CLR1 NOT1 BT BF BTCLR
PSW.bit	MOV1											SET1 CLR1 NOT1 BT BF BTCLR

注 第2オペランドがないか、第2オペランドがオペランド・アドレスでない



(4) コール命令/分岐命令

CALL, CALLF, CALLT, BR, BC, BT, BF, BTCLR, DBNZ, BL, BNC, BNL, BZ, BE, BNZ, BNE

表 4-4 コール命令/分岐命令アドレッシング別命令一覧

命令アドレスの オペランド	\$addr16	laddr16	rp	laddr11	[addr5]
基本命令	BR BC注	CALL BR	CALL BR	CALLF	CALLT
複合命令	BT BF BTCLR DBNZ				

注 BL, BNC, BNL, BZ, BF, BNZ, BNEはBCと同じ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, NOP, EI, DI, SEL



5. 電気的特性

絶対最大定格 (Ta = 25 °C)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}		-0.5 ~ +7.0	V
	A _V REF		-0.5 ~ V _{DD} + 0.5	V
	A _V SS		-0.5 ~ +0.5	V
入力電圧	V _{I1}		-0.5 ~ V _{DD} + 0.5	V
	V _{I2}	注	-0.5 ~ A _V REF + 0.5	V
出力電圧	V _O		-0.5 ~ V _{DD} + 0.5	V
ロウ・レベル出力電流	I _{OL}	1端子	15	mA
		全出力端子合計	100	mA
ハイ・レベル出力電流	I _{OH}	1端子	-10	mA
		全出力端子合計	-50	mA
動作温度	T _{opt}		-10 ~ +70	°C
保存温度	T _{stg}		-65 ~ +150	°C

注 P70/ANIO-P75/ANI5, P66/WAIT/ANI6, P67/REFRQ/ANI7端子のうち, A/Dコンバータの入力端子として使用している端子。ただし, V_{I1}の絶対最大定格も満足する必要があります。

注意 各項目のうち1項目でも, また, 一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。★
つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で, 製品をご使用ください。

動作条件

クロック周波数	動作温度 (T _{opt})	電源電圧 (V _{DD})
4 MHz ≤ f _{xx} ≤ 12 MHz	-10 ~ +70 °C	+5 V ± 10 %

容量 (Ta = 25 °C, V_{DD} = V_{SS} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力容量	C _I	f = 1 MHz 被測定端子以外は0V			20	pF
出力容量	C _O				20	pF
入出力容量	C _{IO}				20	pF

★ 発振器特性 ($T_a = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = +5 \text{ V} \pm 10 \%$, $V_{SS} = 0 \text{ V}$)

発振子	推奨回路	項目	MIN.	MAX.	単位
セラミック発振子 または水晶振動子		発振周波数 (f_{xx})	4	12	MHz
外部クロック		X1 入力周波数 (f_x)	4	12	MHz
		X1 入力立ち上がり, 立ち下がり時間 (t_{XR}, t_{XF})	0	30	ns
		X1 入力ハイ, ロウ・レベル幅 (t_{WXH}, t_{WXL})	30	130	ns

注意 クロック発振回路を使用する場合は、配線容量などの影響を避けるために、 の部分を次のように配線してください。

- 配線を極力短くする。
- ほかの信号線と交差させない。
- 変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるグラウンド・パターンには接地しない。
- 発振回路から信号を取り出さない。

推奨発振回路定数

セラミック発振子

メーカー	周波数 [MHz]	品名	推奨定数	
			C1 [pF]	C2 [pF]
村田製作所	12	CSA12.0MTZ	30	30
		CST12.0MTW	コンデンサ内蔵タイプ	



DC特性 (T_a = -10 ~ +70 °C, V_{DD} = +5 V ± 10 %, V_{SS} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ロウ・レベル入力電圧	V _{IL}		0		0.8	V
ハイ・レベル入力電圧	V _{IH1}	注1, 注2以外の端子	2.2		V _{DD}	V
	V _{IH2}	注1の端子	2.2		AV _{REF}	V
	V _{IH3}	注2の端子	0.8 V _{DD}		V _{DD}	V
ロウ・レベル出力電圧	V _{OL1}	I _{OL} = 2.0 mA			0.45	V
	V _{OL2}	I _{OL} = 8.0 mA注3			1.0	V
ハイ・レベル出力電圧	V _{OH1}	I _{OH} = -1.0 mA	V _{DD} - 1.0			V
	V _{OH2}	I _{OH} = -100 μA	V _{DD} - 0.5			V
	V _{OH3}	I _{OH} = -5.0 mA注4	2.0			V
X1ロウ・レベル入力電流	I _{IL}	0 V ≤ V _i ≤ V _{IL}			-100	μA
X1ハイ・レベル入力電流	I _{IH}	V _{IH3} ≤ V _i ≤ V _{DD}			100	μA
入力リーク電流	I _{LI}	0 V ≤ V _i ≤ V _{DD}			±10	μA
出力リーク電流	I _{LO}	0 V ≤ V _o ≤ V _{DD}			±10	μA
AV _{REF} 電流	AI _{REF}	動作モード f _{xx} = 12 MHz		1.5	5.0	mA
V _{DD} 電源電流	I _{DD1}	動作モード f _{xx} = 12 MHz		20	40	mA
	I _{DD2}	HALTモード f _{xx} = 12 MHz		7	20	mA
データ保持電圧	V _{DDDR}	STOPモード	2.5		5.5	V
データ保持電流	I _{DDDR}	STOPモード	V _{DDDR} = 2.5 V	2	20	μA
			V _{DDDR} = 5 V ± 10 %	5	50	μA
プリアップ抵抗	R _L	V _i = 0 V	15	40	80	kΩ
EEPROM書き込み電圧		4 MHz ≤ f _{xx} ≤ 12 MHz	4.5		5.5	V

- 注1. P70/ANI0-P75/ANI5, P66/WAIT/ANI6, P67/REFRQ/ANI7端子のうち, A/Dコンバータの入力端子として使用している端子
2. X1, X2, RESET, P20/NMI, P21/INTP0, P22/INTP1, P23/INTP2/CI, P24/INTP3, P25/INTP4/ASCK, P26/INTP5, P27/SI, P32/SCK, P33/SO/SBO, E_A端子
3. P40/AD0-P47/AD7, P50/A8-P57/A15端子
4. P00-P07端子



AC特性 ($T_a = -10 \sim +70 \text{ }^\circ\text{C}$, $V_{DD} = +5 \text{ V} \pm 10 \%$, $V_{SS} = 0 \text{ V}$)

リード/ライト・オペレーション (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
X1 入力クロック・サイクル・タイム	t_{CYX}		82	250	ns
アドレス・セットアップ時間 (対 ASTB↓)	$t_{SAST} *$		52		ns
アドレス・ホールド時間 (対 ASTB↓) 注	t_{HSTA}		25		ns
アドレス・ホールド時間 (対 \overline{RD} ↑)	t_{HRA}		30		ns
アドレス・ホールド時間 (対 \overline{WR} ↑)	t_{HWA}		30		ns
アドレス→ \overline{RD} ↓ 遅延時間	$t_{DAR} *$		129		ns
アドレス・フロート時間 (対 \overline{RD} ↓)	$t_{FAR} *$		11		ns
アドレス→データ入力時間	$t_{DAID} *$	ウエイト数=0		228	ns
ASTB↓→データ入力時間	$t_{DSTID} *$	ウエイト数=0		181	ns
\overline{RD} ↓→データ入力時間	$t_{DRID} *$	ウエイト数=0		100	ns
ASTB↓→ \overline{RD} ↓ 遅延時間	$t_{DSTR} *$		52		ns
データ・ホールド時間 (対 \overline{RD} ↑)	t_{HRID}		0		ns
\overline{RD} ↑→アドレス・アクティブ時間	$t_{DRA} *$		124		ns
\overline{RD} ↑→ASTB ↑ 遅延時間	$t_{DRST} *$		124		ns
\overline{RD} ロウ・レベル幅	$t_{WRL} *$	ウエイト数=0	124		ns
ASTB ハイ・レベル幅	$t_{WSTH} *$		52		ns
アドレス→ \overline{WR} ↓ 遅延時間	$t_{DAW} *$		129		ns
ASTB↓→データ出力時間	$t_{DSTOD} *$			142	ns
\overline{WR} ↓→データ出力時間	t_{DWOD}			60	ns
★ ASTB↓→ \overline{WR} ↓ 遅延時間	$t_{DSTW1} *$	リフレッシュ禁止時	52		ns
	$t_{DSTW2} *$	リフレッシュ許可時	129		ns
データ・セットアップ時間 (対 \overline{WR} ↑)	$t_{SODWR} *$	ウエイト数=0	146		ns
データ・セットアップ時間 (対 \overline{WR} ↓)	$t_{SODWF} *$	リフレッシュ許可時	22		ns
データ・ホールド時間 (対 \overline{WR} ↑) 注	t_{HWOD}		20		ns
\overline{WR} ↑→ASTB ↑ 遅延時間	$t_{DWST} *$		42		ns
★ \overline{WR} ロウ・レベル幅	$t_{WWL1} *$	リフレッシュ禁止時 ウエイト数=0	196		ns
	$t_{WWL2} *$	リフレッシュ許可時 ウエイト数=0	114		ns
アドレス→ \overline{WAIT} ↓ 入力時間	$t_{DAWT} *$			146	ns
ASTB↓→ \overline{WAIT} ↓ 入力時間	$t_{DSTWT} *$			84	ns

注 ホールド時間には、 $C_L = 100 \text{ pF}$, $R_L = 2 \text{ k}\Omega$ の負荷条件で V_{OH} , V_{OL} を保持する時間を含みます。

備考1. 表中の数値は $f_{XX} = 12 \text{ MHz}$, $C_L = 100 \text{ pF}$ のときの値です。

2. 略号欄に*印があるものについては、 t_{CYX} 依存のバス・タイミング定義も参照してください。



リード/ライト・オペレーション (2/2)

項	目	略号	条件	MIN.	MAX.	単位
ASTB↓→WAIT保持時間		t_{HSTWT} *	外部ウエイト数=1	174		ns
ASTB↓→WAIT↑遅延時間		t_{DSTWTH} *	外部ウエイト数=1		273	ns
\overline{RD} ↓→WAIT↓入力時間		t_{DRWTL} *			22	ns
\overline{RD} ↓→WAIT保持時間		t_{HRWT} *	外部ウエイト数=1	87		ns
\overline{RD} ↓→WAIT↑遅延時間		t_{DRWTH} *	外部ウエイト数=1		186	ns
\overline{WAIT} ↑→データ入力時間		t_{DWTID} *			62	ns
\overline{WAIT} ↑→WR↑遅延時間		t_{DWTW} *		154		ns
\overline{WAIT} ↑→RD↑遅延時間		t_{DWTR} *		72		ns
\overline{WR} ↓→WAIT↓入力時間(リフレッシュ禁止時)		t_{DWWTL} *			22	ns
\overline{WR} ↓→WAIT保持時間	リフレッシュ禁止時	t_{HWWT1} *	外部ウエイト数=1	87		ns
	リフレッシュ許可時	t_{HWWT2} *	外部ウエイト数=1	5		ns
\overline{WR} ↓→WAIT↑遅延時間	リフレッシュ禁止時	t_{DWWTH1} *	外部ウエイト数=1		186	ns
	リフレッシュ許可時	t_{DWWTH2} *	外部ウエイト数=1		104	ns
\overline{RD} ↑→REFRQ↓遅延時間		t_{DRRFQ} *		154		ns
\overline{WR} ↑→REFRQ↓遅延時間		t_{DWRFQ} *		72		ns
REFRQ ロウ・レベル幅		t_{WRFQL} *		120		ns
REFRQ↑→ASTB↑遅延時間		t_{DRFQST} *		280		ns

備考1. 表中の数値は $f_{xx}=12\text{ MHz}$, $C_L=100\text{ pF}$ のときの値です。

2. 略号欄に*印があるものについては、 t_{CYX} 依存のバス・タイミング定義も参照してください。



シリアル・オペレーション

項 目	略 号	条 件	MIN.	MAX.	単 位	
シリアル・クロック・サイクル・タイム	t_{CYSK}	入力 外部クロック	1.0		μS	
		出力	内部 16 分周	1.3		μS
			内部 64 分周	5.3		μS
シリアル・クロック・ロウ・レベル幅	t_{WSKL}	入力 外部クロック	420		ns	
		出力	内部 16 分周	556		ns
			内部 64 分周	2.5		μS
シリアル・クロック・ハイ・レベル幅	t_{WSKH}	入力 外部クロック	420		ns	
		出力	内部 16 分周	556		ns
			内部 64 分周	2.5		μS
SI, SBO セットアップ時間 (対 \overline{SCK} ↑)	t_{SSSK}		150		ns	
SI, SBO ホールド時間 (対 \overline{SCK} ↑)	t_{HSSK}		400		ns	
SO/SBO 出力遅延時間 (対 \overline{SCK} ↓)	t_{DSBSK1}	CMOS プッシュプル出力 (3 線式シリアル I/O モード)	0	300	ns	
	t_{DSBSK2}	オープン・ドレイン出力 (SBI モード), $R_L = 1 k\Omega$	0	800	ns	
SBO ハイ・ホールド時間 (対 \overline{SCK} ↑)	t_{HSBSK}	SBI モード	4		t_{CYX}	
SBO ロウ・セットアップ時間 (対 \overline{SCK} ↓)	t_{SSBSK}		4		t_{CYX}	
SBO ロウ・レベル幅	t_{WSBL}		4		t_{CYX}	
SBO ハイ・レベル幅	t_{WSBH}		4		t_{CYX}	

備考 表中の数値は $f_{xx} = 12 \text{ MHz}$, $C_L = 100 \text{ pF}$ のときの値です。

その他のオペレーション

項 目	略 号	条 件	MIN.	MAX.	単 位
NMI ロウ・レベル幅	t_{WNIL}		10		μs
NMI ハイ・レベル幅	t_{WNIH}		10		μs
INTPO-INTPS ロウ・レベル幅	t_{WITL}		24		t_{CYX}
INTPO-INTPS ハイ・レベル幅	t_{WITH}		24		t_{CYX}
$\overline{\text{RESET}}$ ロウ・レベル幅	t_{WRSL}		10		μs
$\overline{\text{RESET}}$ ハイ・レベル幅	t_{WRSH}		10		μs

外部クロック・タイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
X1 入力ロウ・レベル幅	t_{WXL}		30	130	ns
X1 入力ハイ・レベル幅	t_{WXH}		30	130	ns
X1 入力立ち上がり時間	t_{XR}		0	30	ns
X1 入力立ち下がり時間	t_{XF}		0	30	ns
X1 入カクロック・サイクル・タイム	t_{CYX}		82	250	ns

A/Dコンバータ特性 ($T_a = -10 \sim +70^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$, $V_{SS} = AV_{SS} = 0\text{V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			8			bit
総合誤差注1		$4.0\text{V} \leq AV_{REF} \leq V_{DD}$			0.4	%
		$3.6\text{V} \leq AV_{REF} \leq V_{DD}$			0.8	%
量子化誤差					$\pm 1/2$	LSB
変換時間	t_{CONV}	$82\text{ns} \leq t_{CYX} < 125\text{ns}$ (ADMのFRビットが“0”の場合)	360			t_{CYX}
		$125\text{ns} \leq t_{CYX} \leq 250\text{ns}$ (ADMのFRビットが“1”の場合)	240			t_{CYX}
サンプリング時間	t_{SAMP}	$82\text{ns} \leq t_{CYX} < 125\text{ns}$ (ADMのFRビットが“0”の場合)	72			t_{CYX}
		$125\text{ns} \leq t_{CYX} \leq 250\text{ns}$ (ADMのFRビットが“1”の場合)	48			t_{CYX}
アナログ入力電圧	V_{IAN}		-0.3		$AV_{REF} + 0.3$	V
アナログ入力インピーダンス	R_{AN}			1 000		MΩ
基準電圧	AV_{REF}		3.6		V_{DD}	V
AV_{REF} 電流	AI_{REF}	$f_{XX} = 12\text{MHz}$		1.5	5.0	mA
		注2		0.2	1.5	mA

注1. 量子化誤差を含みません。フルスケール値に対する比率で表しています。

2. ADMレジスタのCSビットが0のとき。



t_{CYX} 依存のバス・タイミング定義 (1/2)

項 目	略 号	計 算 式	MIN./MAX.	12MHz	単 位
X1 入カクロック・サイクル・タイム	t _{CYX}		MIN.	82	ns
アドレス・セットアップ時間(対 ASTB↓)	t _{SAST}	t _{CYX} - 30	MIN.	52	ns
アドレス・ホールド時間(対 RD↑)	t _{HRA}		MIN.	30	ns
アドレス・ホールド時間(対 WR↑)	t _{HWA}		MIN.	30	ns
アドレス→RD↓遅延時間	t _{DAR}	2t _{CYX} - 35	MIN.	129	ns
アドレス・フロート時間 (対 RD↓)	t _{FAR}	t _{CYX} /2 - 30	MIN.	11	ns
アドレス→データ入力時間	t _{DAID}	(4 + 2n) t _{CYX} - 100	MAX.	228 ^注	ns
ASTB↓→データ入力時間	t _{DSTID}	(3 + 2n) t _{CYX} - 65	MAX.	181 ^注	ns
RD↓→データ入力時間	t _{DRID}	(2 + 2n) t _{CYX} - 64	MAX.	100 ^注	ns
ASTB↓→RD↓遅延時間	t _{DSTR}	t _{CYX} - 30	MIN.	52	ns
RD↑→アドレス・アクティブ時間	t _{DRA}	2t _{CYX} - 40	MIN.	124	ns
RD↑→ASTB↑遅延時間	t _{DRST}	2t _{CYX} - 40	MIN.	124	ns
RD ロウ・レベル幅	t _{WRL}	(2 + 2n) t _{CYX} - 40	MIN.	124 ^注	ns
ASTB ハイ・レベル幅	t _{WSTH}	t _{CYX} - 30	MIN.	52	ns
アドレス→WR↓遅延時間	t _{DAW}	2t _{CYX} - 35	MIN.	129	ns
ASTB↓→データ出力時間	t _{DSTOD}	t _{CYX} + 60	MAX.	142	ns
★ ASTB↓→WR↓遅延時間	t _{DSTW1}	t _{CYX} - 30 (リフレッシュ禁止時)	MIN.	52	ns
	t _{DSTW2}	2t _{CYX} - 35 (リフレッシュ許可時)	MIN.	129	ns
データ・セットアップ時間 (対 WR↑)	t _{SODWR}	(3 + 2n) t _{CYX} - 100	MIN.	146 ^注	ns
データ・セットアップ時間 (対 WR↓)	t _{SODWF}	t _{CYX} - 60 (リフレッシュ許可時)	MIN.	22	ns
WR↑→ASTB↑遅延時間	t _{DWST}	t _{CYX} - 40	MIN.	42	ns
★ WR ロウ・レベル幅	t _{WWL1}	(3 + 2n) t _{CYX} - 50 (リフレッシュ禁止時)	MIN.	196 ^注	ns
	t _{WWL2}	(2 + 2n) t _{CYX} - 50 (リフレッシュ許可時)	MIN.	114 ^注	ns
アドレス→WAIT↓入力時間	t _{DAWT}	3t _{CYX} - 100	MAX.	146	ns
ASTB↓→WAIT↓入力時間	t _{DSTWT}	2t _{CYX} - 80	MAX.	84	ns

備考 nはウェイト数を示します。

注 n=0のとき



t_{CYX} 依存のバス・タイミング定義 (2/2)

項 目	略 号	計 算 式	MIN./MAX.	12MHz	単 位
ASTB↓→ $\overline{\text{WAIT}}$ 保持時間	t_{HSTWT}	$2Xt_{\text{CYX}} + 10$	MIN.	174 ^注	ns
ASTB↓→ $\overline{\text{WAIT}}$ ↑遅延時間	t_{DSTWTH}	$2(1+X)t_{\text{CYX}} - 55$	MAX.	273 ^注	ns
$\overline{\text{RD}}$ ↓→ $\overline{\text{WAIT}}$ ↓入力時間	t_{DRWTL}	$t_{\text{CYX}} - 60$	MAX.	22	ns
$\overline{\text{RD}}$ ↓→ $\overline{\text{WAIT}}$ 保持時間	t_{HRWT}	$(2X-1)t_{\text{CYX}} + 5$	MIN.	87 ^注	ns
$\overline{\text{RD}}$ ↓→ $\overline{\text{WAIT}}$ ↑遅延時間	t_{DRWTH}	$(2X+1)t_{\text{CYX}} - 60$	MAX.	186 ^注	ns
$\overline{\text{WAIT}}$ ↑→データ入力時間	t_{DWTID}	$t_{\text{CYX}} - 20$	MAX.	62	ns
$\overline{\text{WAIT}}$ ↑→ $\overline{\text{WR}}$ ↑遅延時間	t_{DWTW}	$2t_{\text{CYX}} - 10$	MIN.	154	ns
$\overline{\text{WAIT}}$ ↑→ $\overline{\text{RD}}$ ↑遅延時間	t_{DWTR}	$t_{\text{CYX}} - 10$	MIN.	72	ns
$\overline{\text{WR}}$ ↓→ $\overline{\text{WAIT}}$ ↓入力時間(リフレッシュ禁止時)	t_{DWWTL}	$t_{\text{CYX}} - 60$	MAX.	22	ns
$\overline{\text{WR}}$ ↓→ $\overline{\text{WAIT}}$ 保持時間	リフレッシュ禁止時	t_{HWWT1}	MIN.	87 ^注	ns
	リフレッシュ許可時	t_{HWWT2}	MIN.	5 ^注	ns
$\overline{\text{WR}}$ ↓→ $\overline{\text{WAIT}}$ ↑遅延時間	リフレッシュ禁止時	t_{DWWTH1}	MAX.	186 ^注	ns
	リフレッシュ許可時	t_{DWWTH2}	MAX.	104 ^注	ns
$\overline{\text{RD}}$ ↑→ $\overline{\text{REFRQ}}$ ↓遅延時間	t_{DRRFQ}	$2t_{\text{CYX}} - 10$	MIN.	154	ns
$\overline{\text{WR}}$ ↑→ $\overline{\text{REFRQ}}$ ↓遅延時間	t_{DWRFQ}	$t_{\text{CYX}} - 10$	MIN.	72	ns
$\overline{\text{REFRQ}}$ ロウ・レベル幅	t_{WRFQL}	$2t_{\text{CYX}} - 44$	MIN.	120	ns
$\overline{\text{REFRQ}}$ ↑→ASTB↑遅延時間	t_{DRFQST}	$4t_{\text{CYX}} - 48$	MIN.	280	ns

備考1. X: 外部ウェイト数(1, 2, ...)

2. $t_{\text{CYX}} \doteq 82 \text{ ns}$ ($f_{\text{XX}} = 12 \text{ MHz}$)

3. nはウェイト数を示します。

注 X=1 のとき

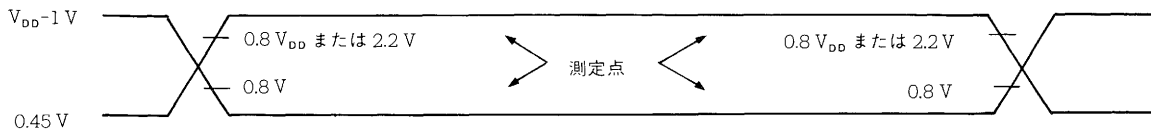
保守/廃止

データ保持特性 (T_a = -10 ~ +70 °C)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電圧	V _{DDDR}	STOP モード	2.5		5.5	V
データ保持電流	I _{DDDR}	V _{DDDR} = 2.5 V		2	20	μA
		V _{DDDR} = 5 V ± 10 %		5	50	μA
V _{DD} 立ち上がり時間	t _{RVD}		200			μs
V _{DD} 立ち下がり時間	t _{FVD}		200			μs
V _{DD} 保持時間(対 STOP モード設定)	t _{HVD}		0			ms
STOP 解除信号入力時間	t _{DREL}		0			ms
発振安定ウエイト時間	t _{WAIT}	水晶振動子	30			ms
		セラミック発振子	5			ms
ロウ・レベル入力電圧	V _{IL}	特定端子 ^注	0		0.1 V _{DDDR}	V
ハイ・レベル入力電圧	V _{IH}		0.9 V _{DDDR}		V _{DDDR}	V

注 RESET, P20/NMI, P21/INTP0, P22/INTP1, P23/INTP2/CI, P24/INTP3, P25/INTP4/ASCK, P26/INTP5, P27/SI, P32/SCK, P33/SO/SB0 および EA 端子。

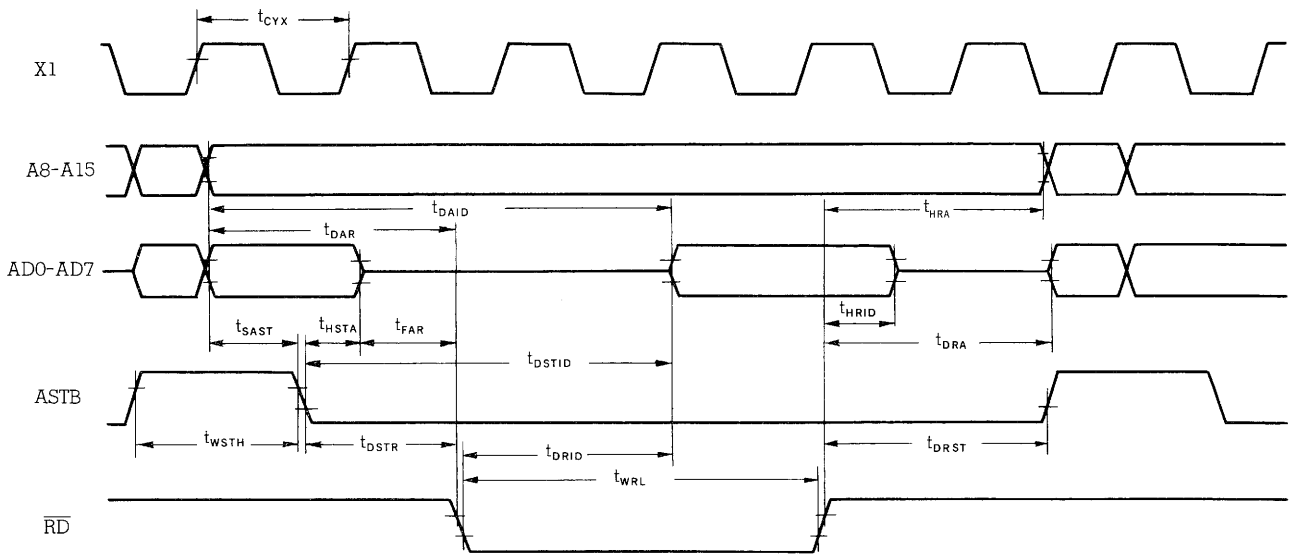
AC タイミング測定点



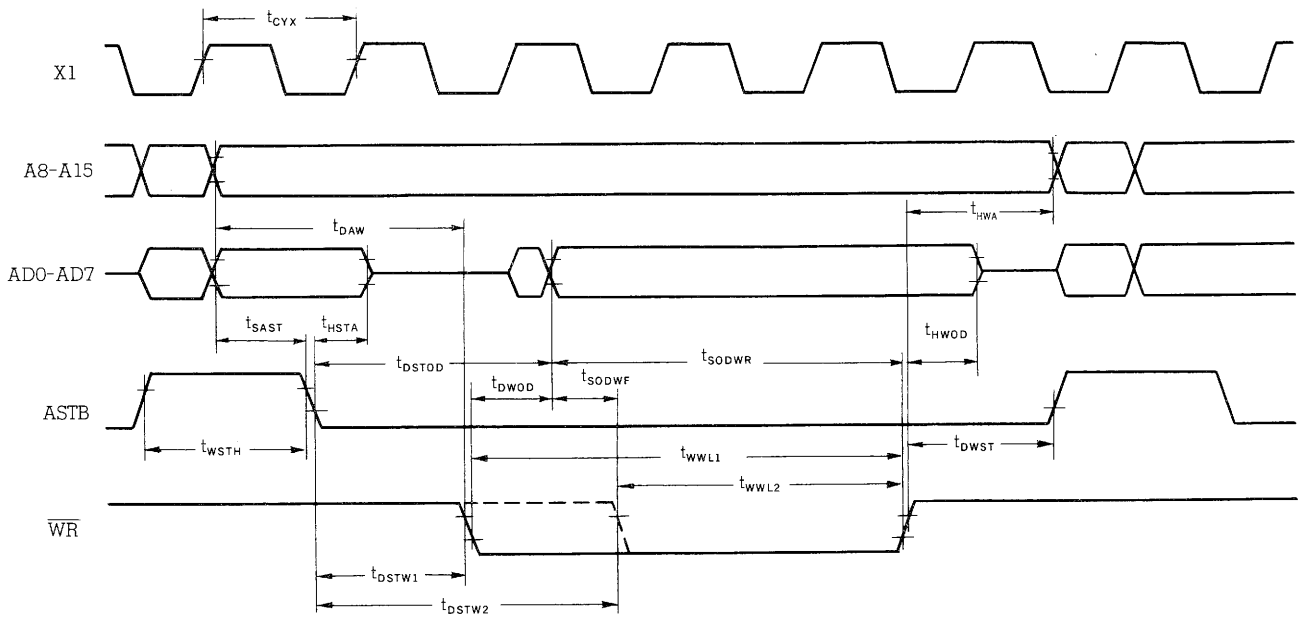
保守/廃止

タイミング波形

リード・オペレーション



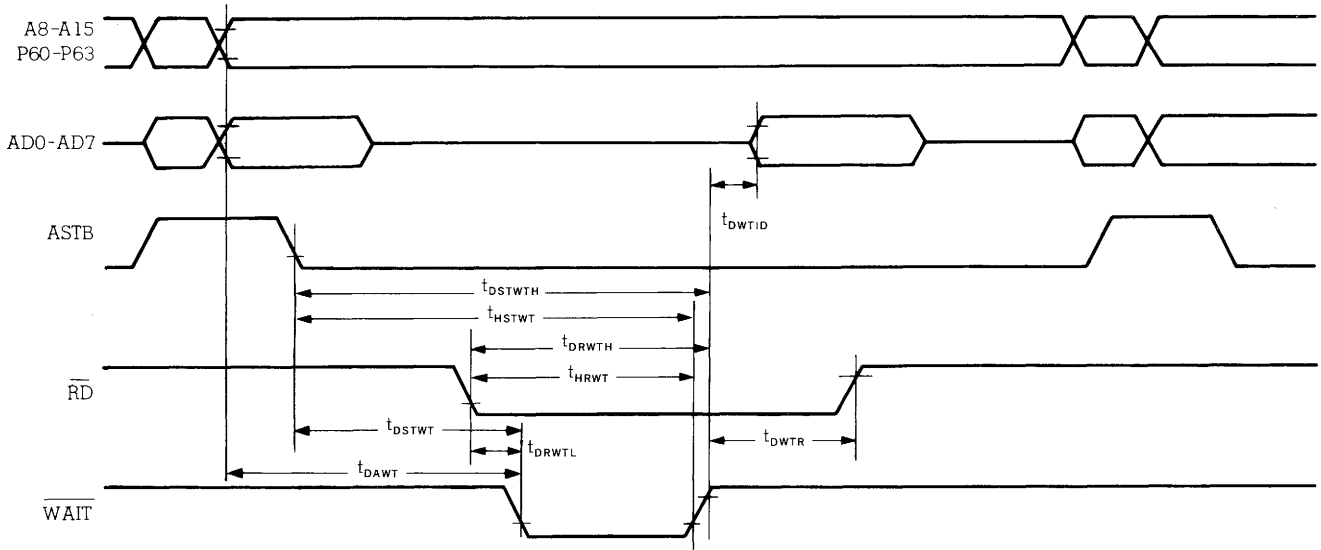
ライト・オペレーション



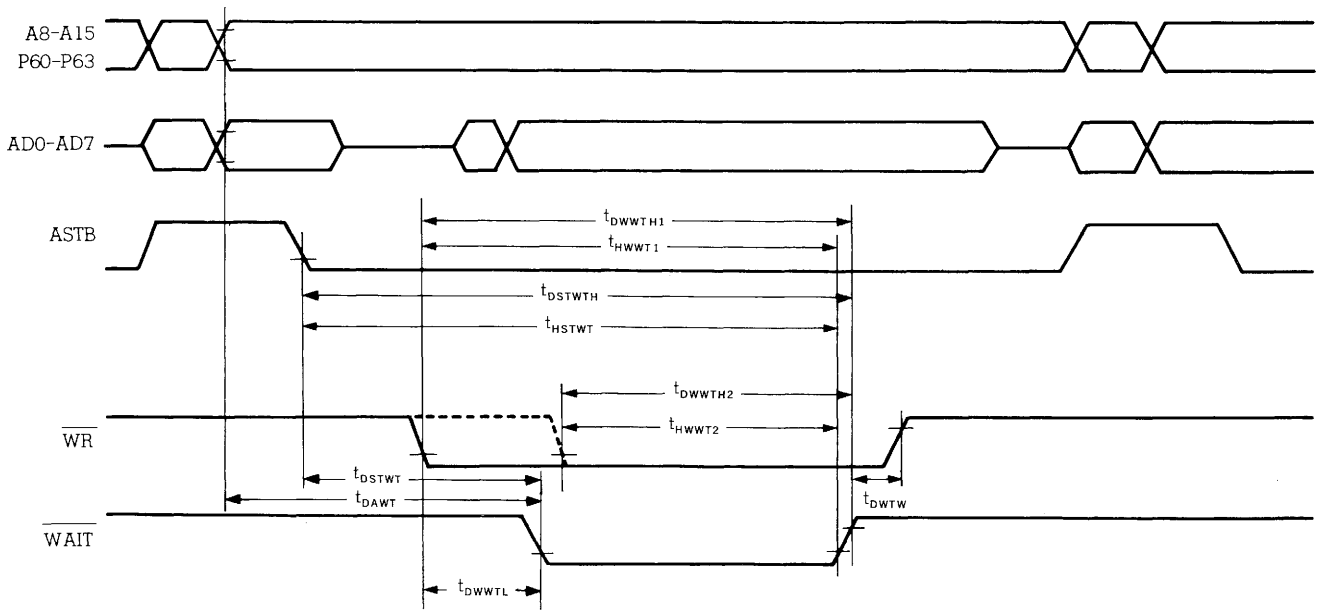
保守/廃止

外部WAIT信号入力タイミング

リード・オペレーション

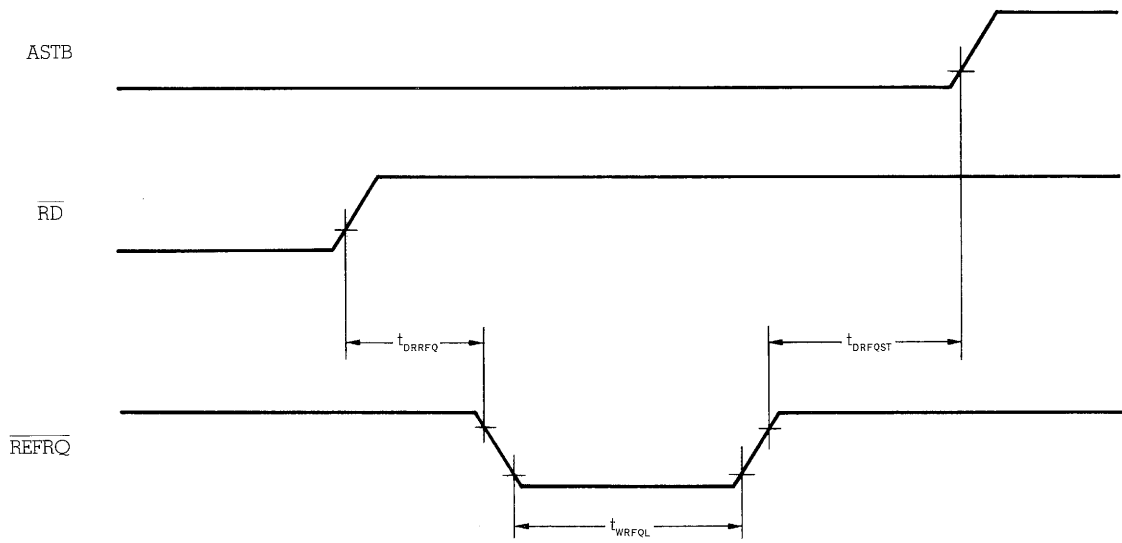


ライト・オペレーション

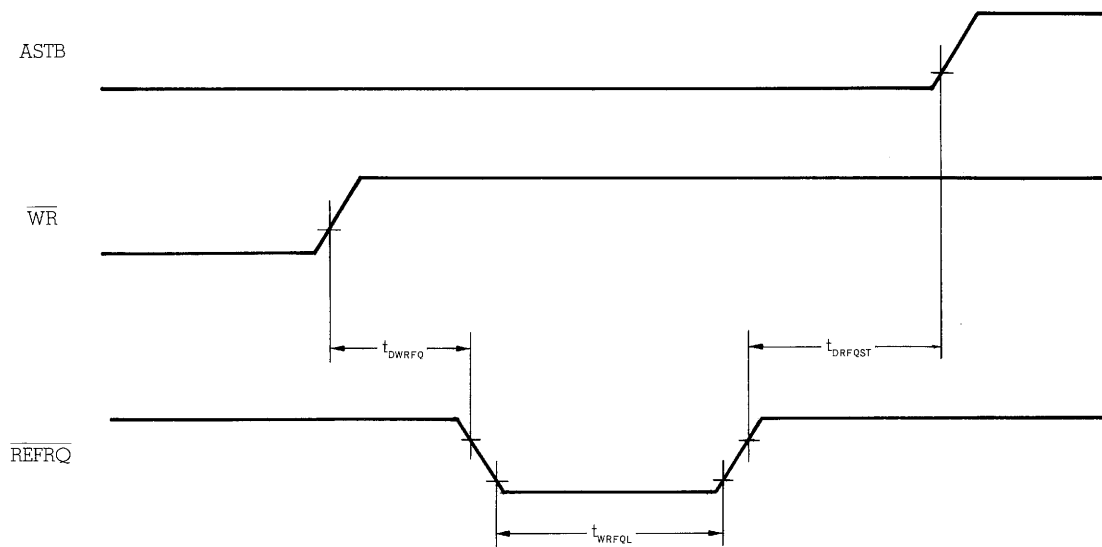


保守 / 廃止

リフレッシュ・タイミング波形
リード後のリフレッシュ

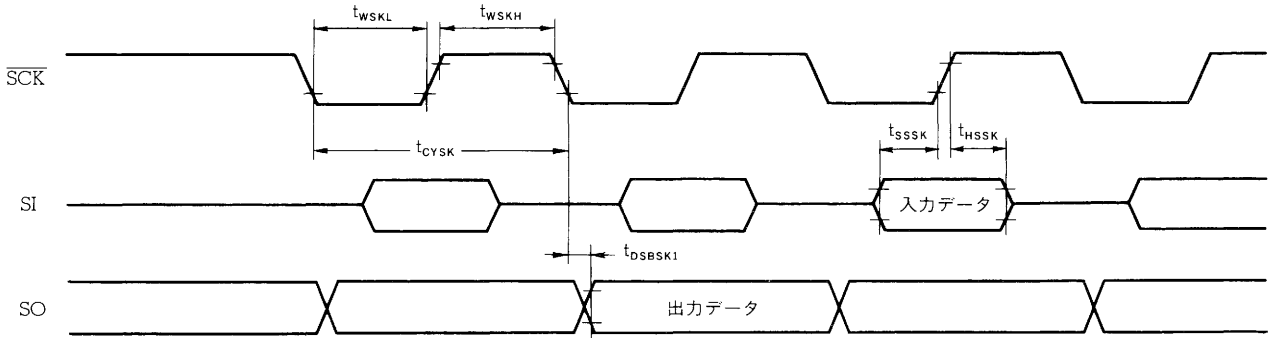


ライト後のリフレッシュ



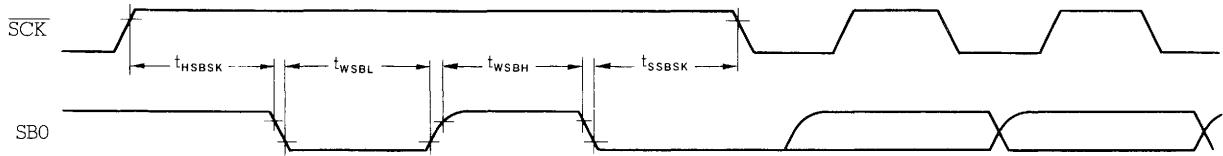
シリアル・オペレーション

3線式シリアルI/Oモード

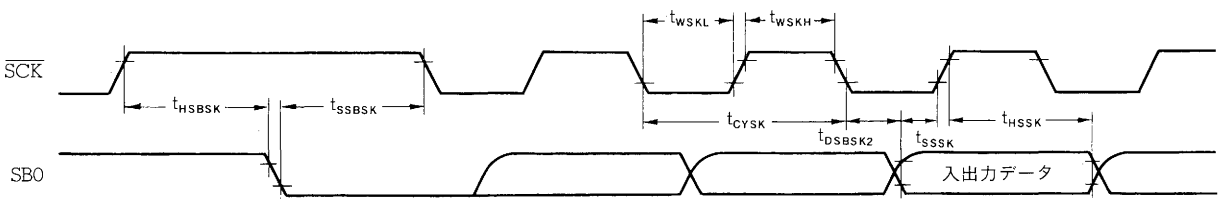


SBIモード

バス・リリース信号転送

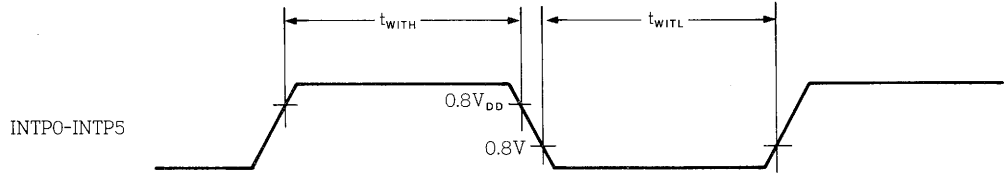
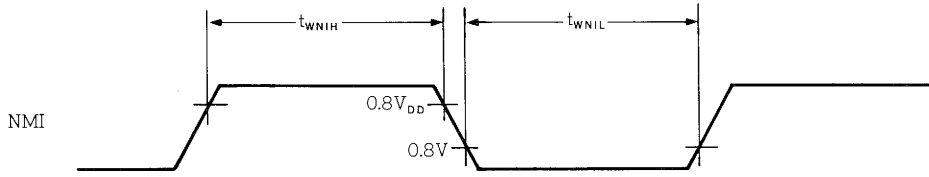


コマンド信号転送

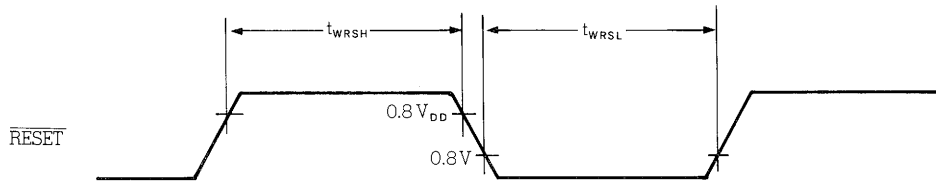


保守 / 廃止

割り込み入カタイミング

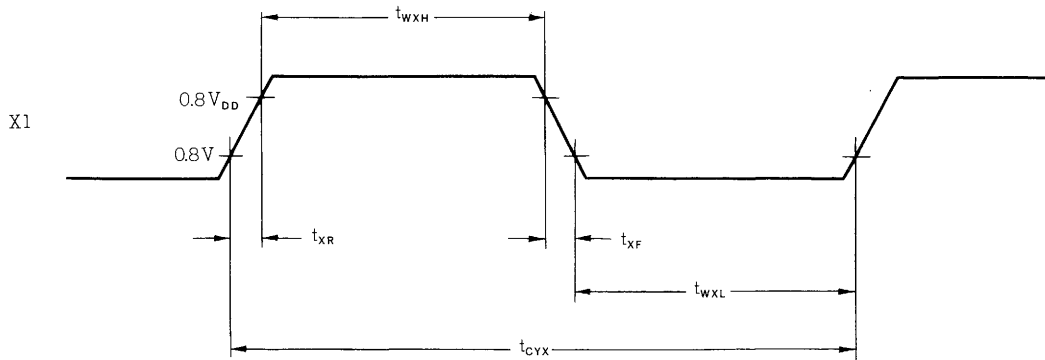


リセット入カタイミング

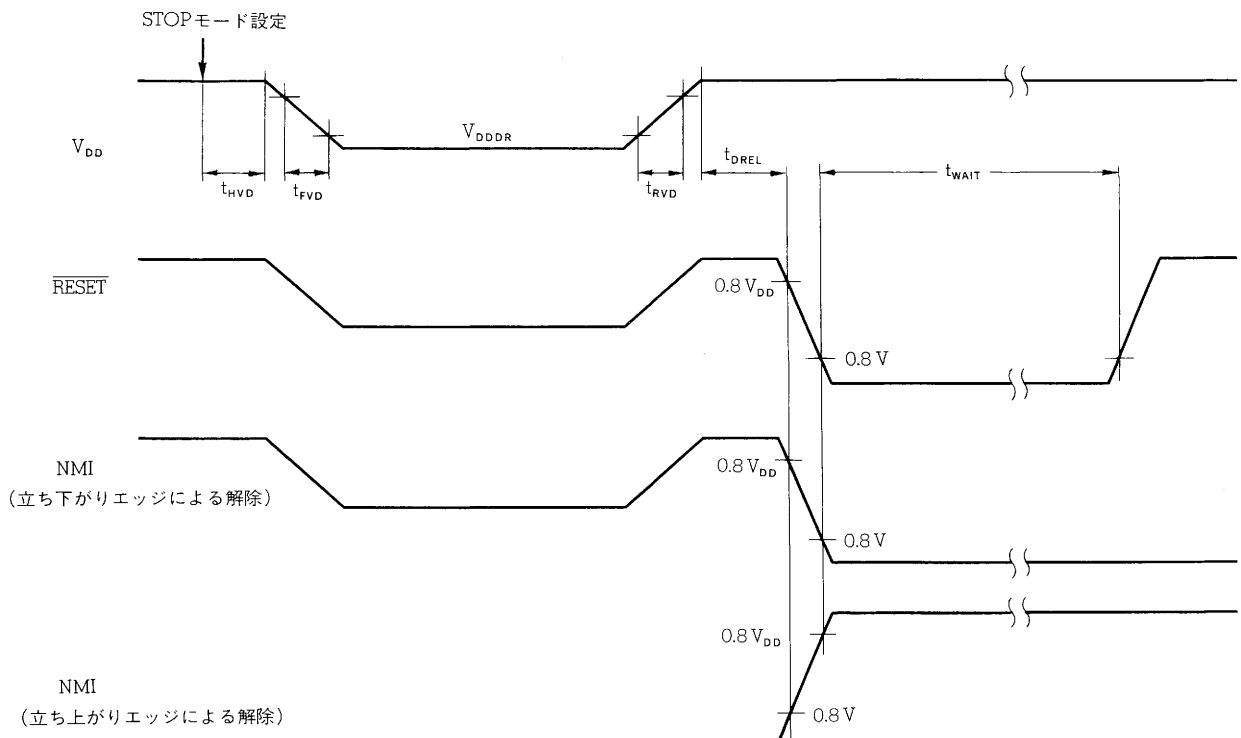


保守 / 廃止

外部クロック・タイミング



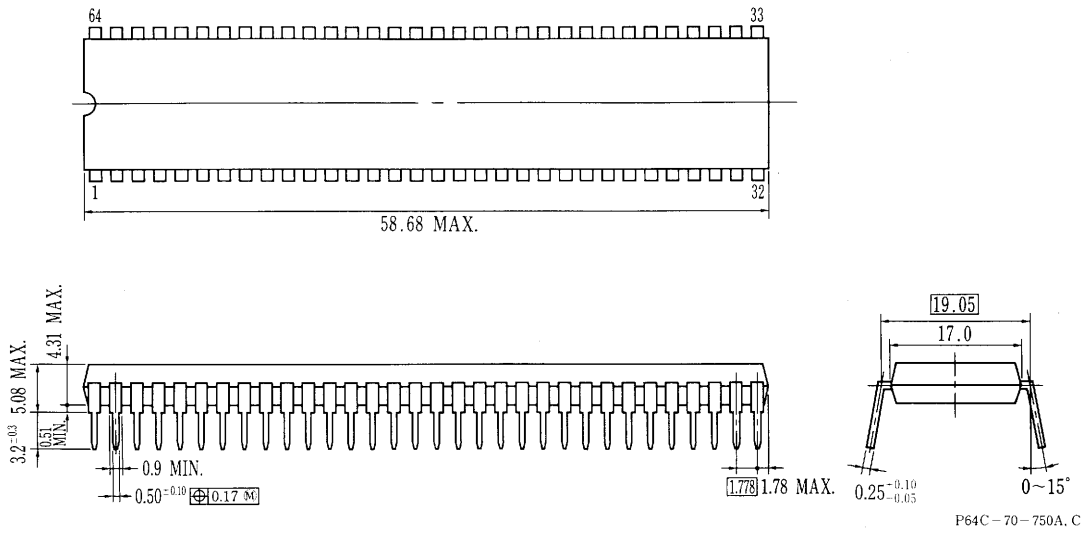
データ保持特性



保守 / 廃止

6. 外形図

64ピン・プラスチック・シュリンク DIP (750 mil) 外形図 (単位: mm)





7. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表 7-1 表面実装タイプの半田付け条件

μPD78243GC-AB8, 78244GC-×××-AB8 : 64ピン・プラスチック QFP (□14 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：230℃，時間：30秒以内(210℃以上)，回数：1回， 制限日数：2日間 ^注 (以降は125℃プリベーク 16時間必要)	IR30-162-1
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内(200℃以上)，回数：1回， 制限日数：2日間 ^注 (以降は125℃プリベーク 16時間必要)	VP15-162-1
ウェーブ・ソルダーリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回， 予備加熱温度：120℃ MAX. (パッケージ表面温度)， 制限日数：2日間 ^注 (以降は125℃プリベーク 16時間必要)	WS60-162-1
端子部分加熱	端子部温度：300℃以下，時間：3秒以内 (デバイスの一辺当たり)	—

注 ドライパック開封後の保管日数で、保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。

表 7-2 挿入タイプの半田付け条件

μPD78243CW, 78244CW-××× : 64ピン・プラスチック・シュリンク DIP (750 mil)

半田付け方式	半田付け条件
ウェーブ・ソルダーリング (リード部のみ)	半田槽温度：260℃以下，時間：10秒以内
端子部分加熱	端子部温度：260℃以下，時間：10秒以内

注意 ウェーブ・ソルダーリングはリード部のみとし、噴流半田が直接本体に接触しないようにしてください。

お知らせ

本製品には、半田付け推奨条件改善品があります。

(改善内容：赤外線リフロ・ピーク温度拡張 (235℃)，回数 2 回，制限日数緩和など)

詳細につきましては、当社販売員までお問い合わせください。

付録A. 開発ツール

μPD78243, 78244 を使用するシステム開発のために、次のような開発ツールを用意しています。

言語処理用ソフトウェア

RA78K/II 注1,2	78K/II シリーズ共通のアセンブラ・パッケージ
CC78K/II 注1,2	78K/II シリーズ共通のCコンパイラ・パッケージ
CC78K/II-L 注1,2	78K/II シリーズ共通のCコンパイラ・ライブラリ・ソース・ファイル

PROM書き込み用ツール

PG-1500	PROM プログラム
PG-1500コントローラ注1	PG-1500用コントロール・プログラム

ディバグ用ツール

IE-78240-R-A IE-78240-R注3	μPD78244 シリーズ共通のインサーキット・エミュレータ
IE-78200-R-BK	78K/II シリーズ共通のブレーク・ボード
IE-78240-R-EM IE-78200-R-EM注3	μPD78244 シリーズ評価用エミュレーション・ボード
EP-78240CW-R EP-78210CW注3 EP-78240GC-R EP-78210GC注3	μPD78244 シリーズ共通のエミュレーション・プローブ
EV-9200GC-64	64ピン・プラスチック QFP用に作られたユーザ・システムの基板上に実装するソケット
SD78K/II 注1	IE-78240-R-A用スクリーン・ディバग्ガ
DF78240注1	μPD78244 シリーズ用デバイス・ファイル

リアルタイムOS

RX78K/II 注1,2	78K/II シリーズ共通のリアルタイムOS
---------------	------------------------

ファジィ推論開発支援システム

FE9000注1	ファジィ知識データ作成ツール
FT9080注1	トランスレータ
FI78K/II 注1	ファジィ推論モジュール
FD78K/II 注1,4	ファジィ推論ディバग्ガ

保守/廃止

- 注1. PC-9800シリーズ (MS-DOS™) ベース, IBM PC/AT™ (PC DOS™) ベース
2. HP9000シリーズ300™ (HP-UX™) ベース, SPARCstation™ (Sun OS™) ベース, EWS-4800シリーズ™ (EWS-UX/V™) ベース
 3. 新規の製造は行っておりませんのでご購入はできません。
 4. 開発中

備考 3rdパーティ製の開発ツールについては、**78K/IIシリーズ 開発ツール セレクション・ガイド (EF-231)** を参照してください。



★ 付録B. 関連資料

デバイスの関連資料

資料名		資料番号
μPD78244シリーズ ユーザーズ・マニュアル ハードウェア編		IEU-747
78K/IIシリーズ ユーザーズ・マニュアル 命令編		IEU-754
78K/IIシリーズ アプリケーション・ノート	基礎編	IEA-607
	応用編	IEA-700
	浮動小数点演算プログラム編	IEA-686
78K/IIシリーズ セレクション・ガイド		IF-304
78K/IIシリーズ インストラクション活用表		IEM-5101
78K/IIシリーズ インストラクション・セット		IEM-5102
μPD78244シリーズ 特殊機能レジスタ活用表		IEM-5528

開発ツールの関連資料 (ユーザーズ・マニュアル)

資料名		資料番号
RA78Kシリーズ アセンブラ・パッケージ	操作編	EEU-809
	言語編	EEU-815
RA78Kシリーズ 構造化アセンブラ・プリプロセッサ		EEU-817
CC78Kシリーズ Cコンパイラ	操作編	EEU-656
	言語編	EEU-655
CC78Kシリーズ ライブラリ・ソース・ファイル		EEU-777
PG-1500 PROM プログラマ		EEU-651
PG-1500 コントローラ		EEU-704
IE-78240-R-A インサーキット・エミュレータ		EEU-796
IE-78240-R インサーキット・エミュレータ	ハードウェア編	EEU-705
	ソフトウェア編	EEU-706
SD78K/II スクリーン・ディバッガ	入門編	EEU-841
	レファレンス編	EEU-813
78K/IIシリーズ 開発ツール セレクション・ガイド		EF-231

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

組み込み用ソフトウェアの関連資料（ユーザーズ・マニュアル）

資 料 名		資料番号
RX78K/II リアルタイム OS	基礎編	EEU-910
	インストール編	EEU-884
	ディバग्ガ編	EEU-895
	テクニカル編	EEU-885
ファジィ知識データ作成ツール		EEU-829
78K/0, 78K/II, 87ADシリーズ ファジィ推論開発支援システム	トランスレータ	EEU-862
78K/II シリーズ ファジィ推論開発支援システム	ファジィ推論モジュール	EEU-860
78K/II シリーズ ファジィ推論ディバग्ガ		EEU-917

その他の関連資料

資 料 名	資料番号
QTOP マイコン パンフレット	IB-5040
パッケージマニュアル	IEI-635
半導体デバイス 実装マニュアル	IEI-616
NEC 半導体デバイスの品質水準	IEI-620
NEC 半導体デバイスの信頼性品質管理	IEM-5068
静電気放電 (ESD) 試験について	MEM-539
半導体デバイスの品質保証ガイド	MEI-603
マイクロコンピュータ関連製品ガイド 社外メーカー編	MEI-604

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

保守 / 廃止

{ × 毛 }

CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。



[メモ]

本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品：μPD78243CW, 78243GC-AB8

ユーザ判定品：μPD78244CW-×××, 78244GC-×××-AB8

μPD78244は、EEPROM内蔵マイコン特許に関してBULL CP8社とのライセンス契約にもとづき製造・販売しております。
 なお、本製品をICカード（SMART CARD）に使用することはできません。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - この製品を使用したことにより、第三者の工業所有権等にかかわる問題が発生した場合、当社製品の構造製法に直接かかわるもの以外につきましては、当社はその責を負いませんのでご了承ください。
 - 当社は、航空宇宙機器、海底中継器、原子力制御システム、生命維持のための医療用機器などに推奨できる製品を標準的には用意しておりません。当社製品をこれらの用途にご使用をお考えのお客様、および、『標準』品質水準品を当社が意図した用途以外にご使用をお考えのお客様は、事前に販売窓口までご連絡頂きますようお願い致します。
- 当社推奨の用途例
- 標準：コンピュータ、OA機器、通信機器、計測機器、工作機械、産業用ロボット、AV機器、家電等
 特別：輸送機器（列車、自動車等）、交通信号機器、防災/防犯装置等
- この製品は耐放射線設計をしておりません。

M4 92.6

EWS-4800シリーズ, EWS-UX/Vは、日本電気株式会社の商標です。

MS-DOSは、米国マイクロソフト社の商標です。

PC/AT, PC DOSは、米国IBM社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Sun OSは、米国サン マイクロシステムズ社の商標です。

HP9000シリーズ300, HP-UXは、米国ヒューレット・パカード社の商標です。

お問い合わせは、最寄りのNECへ

本社	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	北海道支社	札幌 (011)231-0161	立川支社	立川 (0425)26-5981
コンシューマ半導体販売事業部		東北支社	(022)261-5511	川崎支社	(043)238-8116
OA半導体販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	仙台支社	(0196)51-4344	津島支社	(054)255-2211
インダストリアル半導体販売事業部	東京 (03)3454-1111	盛岡支社	(0236)23-5511	松山支社	(0559)63-4455
中部支社半導体販売部	〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル)	岩手支社	(0249)23-5511	金沢支社	(053)452-2711
	名古屋 (052)242-2755	山形支社	(0246)21-5511	福井支社	(0762)23-1621
関西支社半導体販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	宮城支社	(0258)36-2155	富山支社	(0776)22-1866
	大阪 (06)945-3178	茨城支社	(0292)26-1717	京都支社	(0764)31-8461
	大阪 (06)945-3200	新潟支社	(045)324-5511	神奈川支社	(075)344-7824
	大阪 (06)945-3208	長岡支社	(0276)46-4011	千葉支社	(078)332-3311
		水戸支社	(0285)24-5011	宇都宮支社	(082)242-5504
		群馬支社	(0286)21-2281	横浜支社	(0857)27-5311
		埼玉支社	(0285)24-5011	新潟支社	(086)225-4455
		千葉支社	(0262)35-1444	富山支社	(0878)36-1200
		茨城支社	(0263)35-1666	石川支社	(0897)32-5001
		栃木支社	(0266)53-5350	福井支社	(0899)45-4111
		群馬支社	(0552)24-4141	山梨支社	(092)271-7700
		長野支社	(048)641-1411	長野支社	(093)541-2887
		山梨支社		北九州支社	

(技術お問い合わせ先)

半導体応用技術本部	マイクロコンピュータ技術部	〒210 川崎市川崎区駅前本町15番5号 (十五番館)	川崎 (044)246-3922	半導体応用技術本部	
半導体応用技術本部	中部応用システム技術部	〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル)	名古屋 (052)242-2762	インフォメーションセンター	
半導体応用技術本部	西日本応用システム技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06)945-3383	FAX(044)548-7900	
				(FAXで対応させていただきます)	