

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μPD78233, 78234, 78237, 78238

8ビット・シングルチップ・マイクロコンピュータ

保守/廃止

μPD78233, 78234, 78237, 78238は、78K/IIシリーズの製品です。78K/IIは、外部拡張により1Mバイトのメモリ空間をアクセスできる8ビット・シングルチップ・マイクロコンピュータです。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μPD78234シリーズ ユーザーズ・マニュアル ハードウェア編 : IEU-718

78K/IIシリーズ ユーザーズ・マニュアル 命令編 : IEU-754

特 徴

- 高速命令実行 (12 MHz 動作時) : 333 ns (μPD78234, 78238)
500 ns (μPD78233, 78237)
- 内蔵メモリ
 - ・ROM : 16 Kバイト (μPD78234)
32 Kバイト (μPD78238)
内蔵せず (μPD78233, 78237)
 - ・RAM : 640バイト (μPD78233, 78234)
1024バイト (μPD78237, 78238)
- I/O端子 : 64本 (μPD78234, 78238)
46本 (μPD78233, 78237)
- A/D コンバータ (アナログ 8 入力)
- D/A コンバータ (アナログ 2 出力)
- PWM 出力 (2 出力)

応用分野

LBPエンジン, タイプライタ, HDD, FDD, PPC, FAX, 電子楽器, インバータ, カメラ, エアコンなど

★

本資料の内容は、後日変更する場合があります。

オーダ情報

オーダ名称	パッケージ	内蔵ROM	内蔵RAM
μPD78233GC-3B9	80ピン・プラスチック QFP(□14 mm)	なし	640
μPD78233GJ-5BG	94ピン・プラスチック QFP(□20 mm)	//	//
μPD78233LQ	84ピン・プラスチック QFJ(□1150 mil)	//	//
μPD78234GC-×××-3B9	80ピン・プラスチック QFP(□14 mm)	16K	//
μPD78234GJ-×××-5BG	94ピン・プラスチック QFP(□20 mm)	//	//
μPD78234LQ-×××	84ピン・プラスチック QFJ(□1150 mil)	//	//
μPD78237GC-3B9	80ピン・プラスチック QFP(□14 mm)	なし	1024
μPD78237GJ-5BG	94ピン・プラスチック QFP(□20 mm)	//	//
μPD78237LQ	84ピン・プラスチック QFJ(□1150 mil)	//	//
μPD78238GC-×××-3B9	80ピン・プラスチック QFP(□14 mm)	32K	//
μPD78238GJ-×××-5BG	94ピン・プラスチック QFP(□20 mm)	//	//
μPD78238LQ-×××	84ピン・プラスチック QFJ(□1150 mil)	//	//

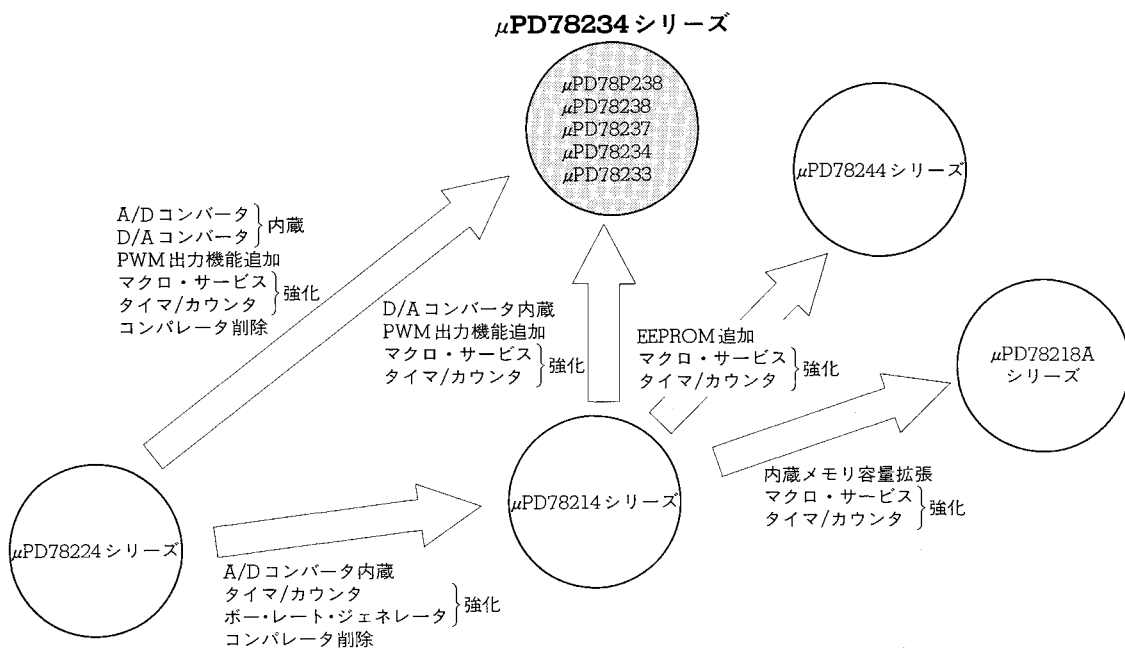
備考 ×××は、ROMコード番号です。

品質水準

標準（一般電子機器用）

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(IEI-620)をご覧ください。

78K/II 製品展開図



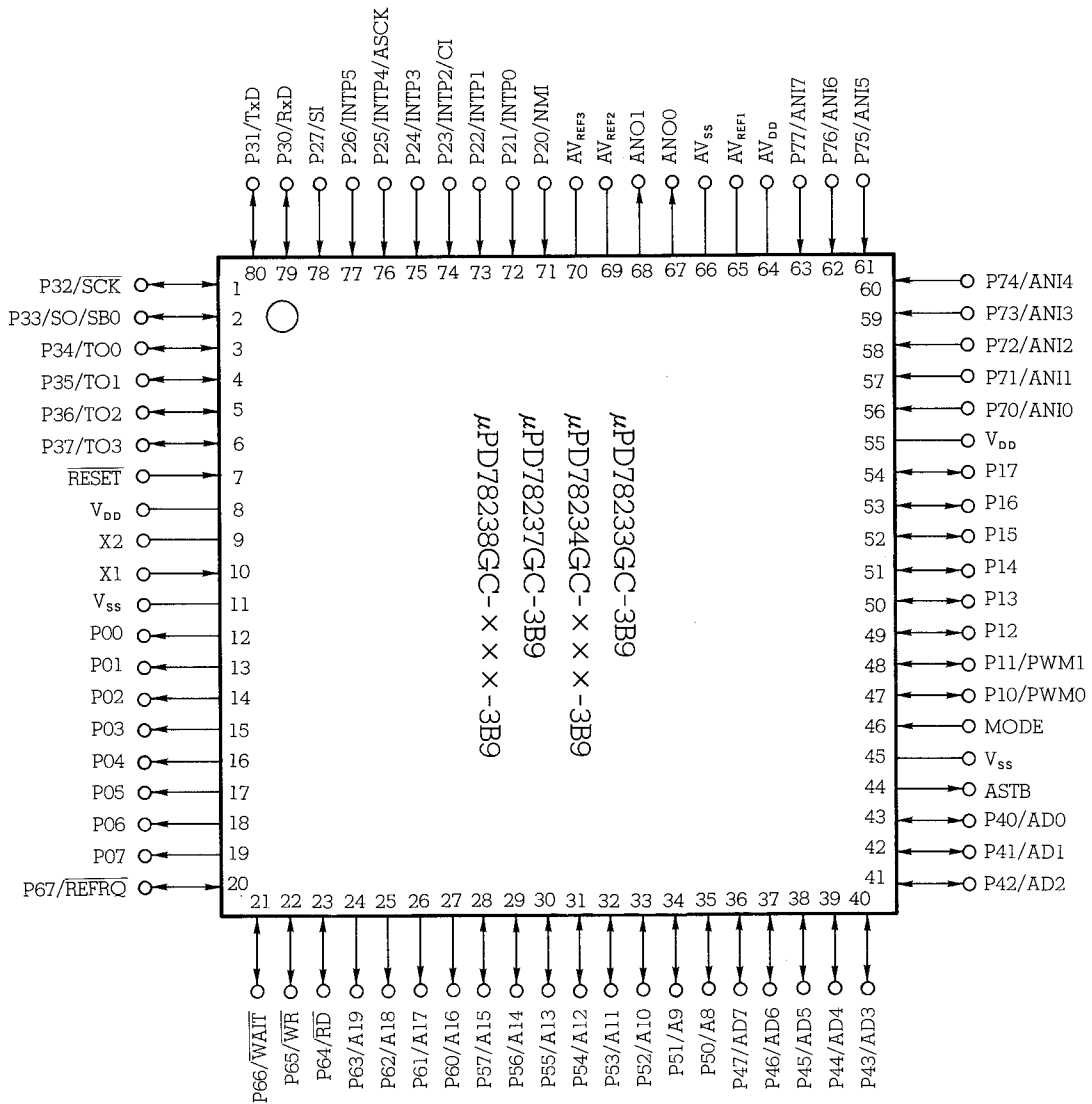
機能一覧

項目		μPD78233	μPD78234	μPD78237	μPD78238
基本命令(ニモニック)数		65			
最小命令実行時間(12MHz動作時)		500 ns	333 ns	500 ns	333 ns
内蔵メモリ容量	ROM	なし	16 Kバイト	なし	32 Kバイト
	RAM	640バイト		1024バイト	
メモリ空間		プログラム：64 Kバイト， データ：1 Mバイト			
I/O端子	入 力	16			
	出 力	12			
	入出力	18	36	18	36
	合 計	46	64	46	64
注 付加機能付き端子	プルアップ抵抗付き端子	24	42	24	42
	LEDダイレクト・ドライブ出力	8	24	8	24
	トランジスタ・ダイレクト・ドライブ出力	8			
リアルタイム出力ポート		4ビット×2または8ビット×1			
汎用レジスタ		8ビット×8ビット×4バンク (メモリ・マッピング)			
タイマ/カウンタ	16ビット・タイマ/カウンタ	タイマ・レジスタ×1 キャプチャ・レジスタ×1 コンペア・レジスタ×2		パルス出力可 (トグル出力 PWM/PPG出力 ワンショット・パルス出力)	
	8ビット・タイマ/カウンタ1	タイマ・レジスタ×1 キャプチャ/コンペア・レジスタ×1 コンペア・レジスタ×1		パルス出力可 (リアルタイム出力： 4ビット×2)	
	8ビット・タイマ/カウンタ2	タイマ・レジスタ×1 キャプチャ・レジスタ×1 コンペア・レジスタ×2		パルス出力可 (トグル出力 PWM/PPG出力)	
	8ビット・タイマ/カウンタ3	タイマ・レジスタ×1 コンペア・レジスタ×1			
PWM出力機能		12ビット分解能×2チャンネル (PWM周波数：23.4 kHz)			
シリアル・インタフェース		UART : 1チャンネル (専用ポーレート・ジェネレータ内蔵) CSI(3線式シリアルI/O, SBI) : 1チャンネル			
A/Dコンバータ		8ビット分解能×8チャンネル			
D/Aコンバータ		8ビット分解能×2チャンネル			
割り込み		19要因 (外部7, 内部12) + BRK 命令 2レベルの優先順位 (プログラマブル) 2種類の処理形態 (ベクタ割り込み, マクロ・サービス)			
命令セット		16ビット演算 乗除算 (8ビット×8ビット, 16ビット÷8ビット) ビット操作 BCD補正, その他			
パッケージ		80ピン・プラスチックQFP (□14 mm) 94ピン・プラスチックQFP (□20 mm) 84ピン・プラスチックQFJ (□1150 mil)			

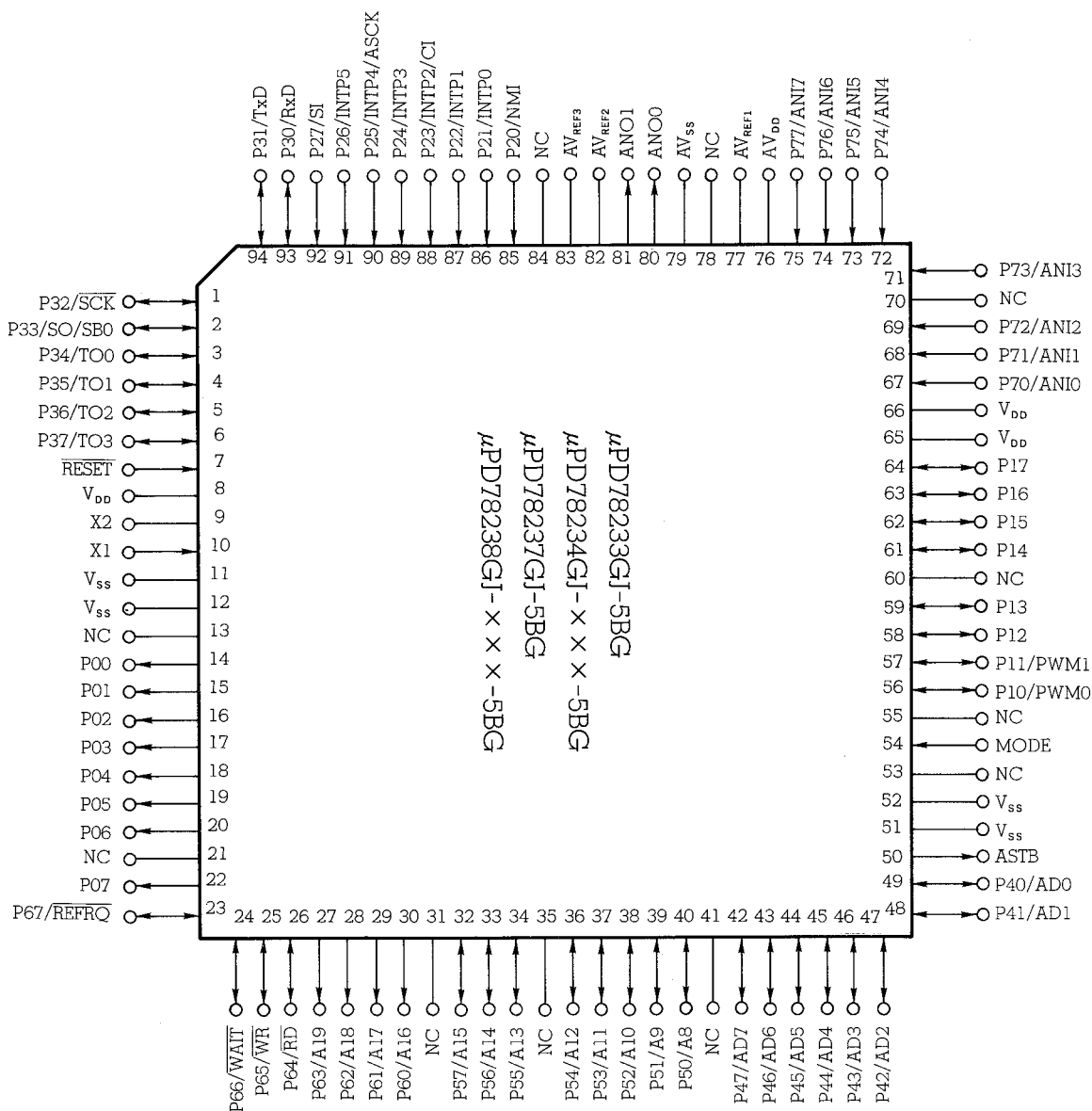
注 付加機能付き端子は、I/O端子の中に含まれています。

端子接続図 (Top View)

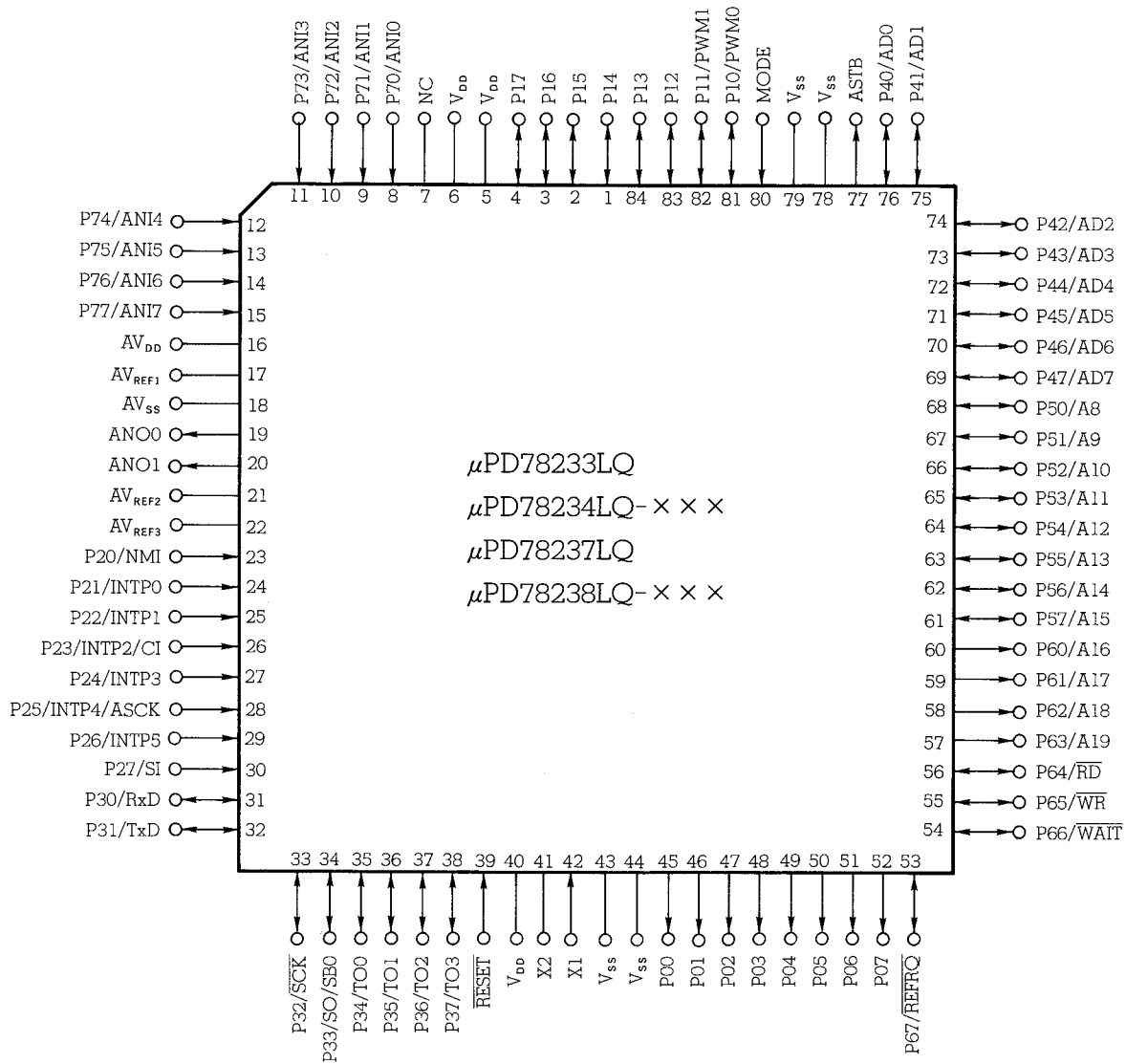
80ピン・プラスチックQFP (□14mm)



94ピン・プラスチック QFP (□20 mm)

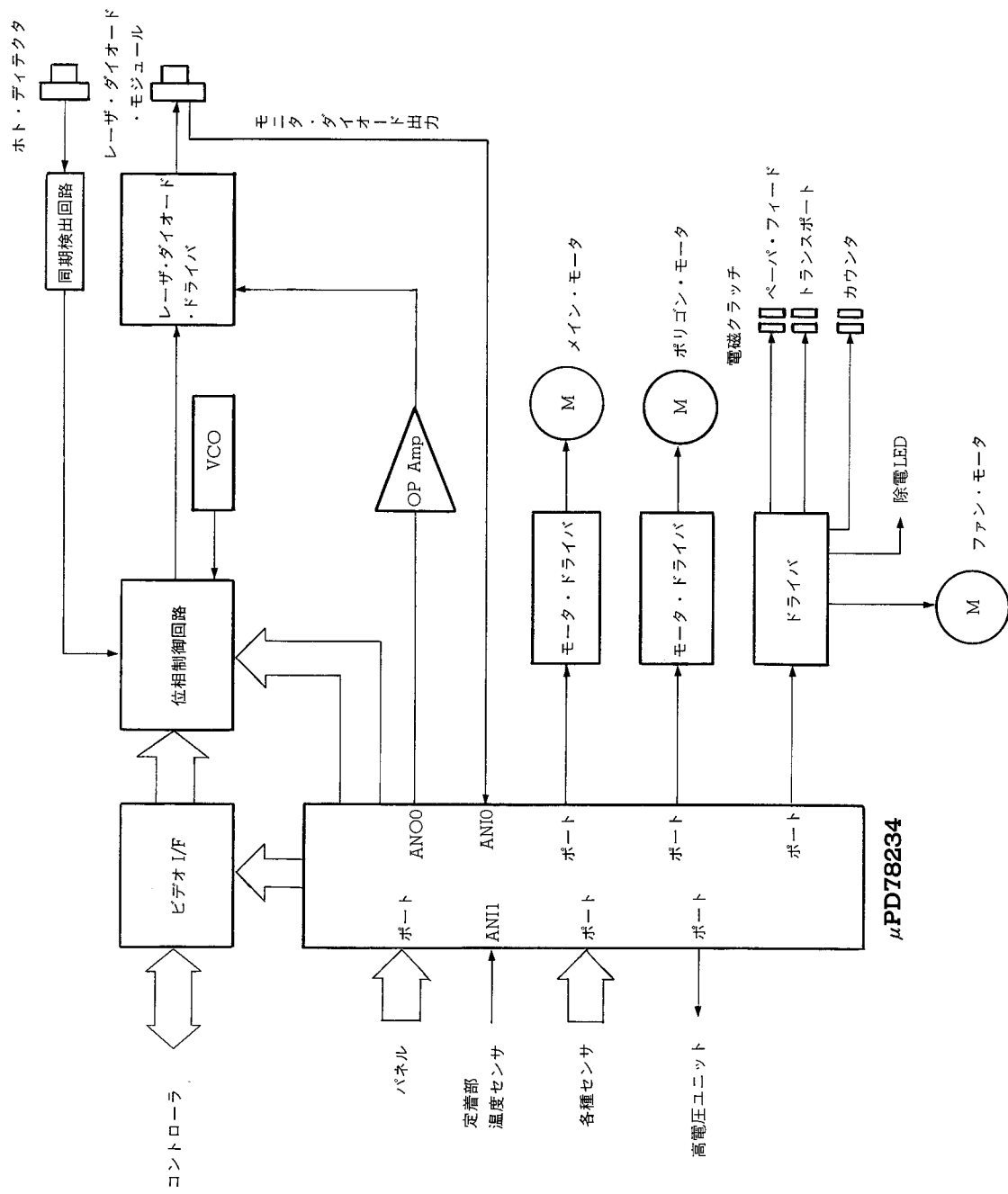


84ピン・プラスチックQFJ (□1150 mil)

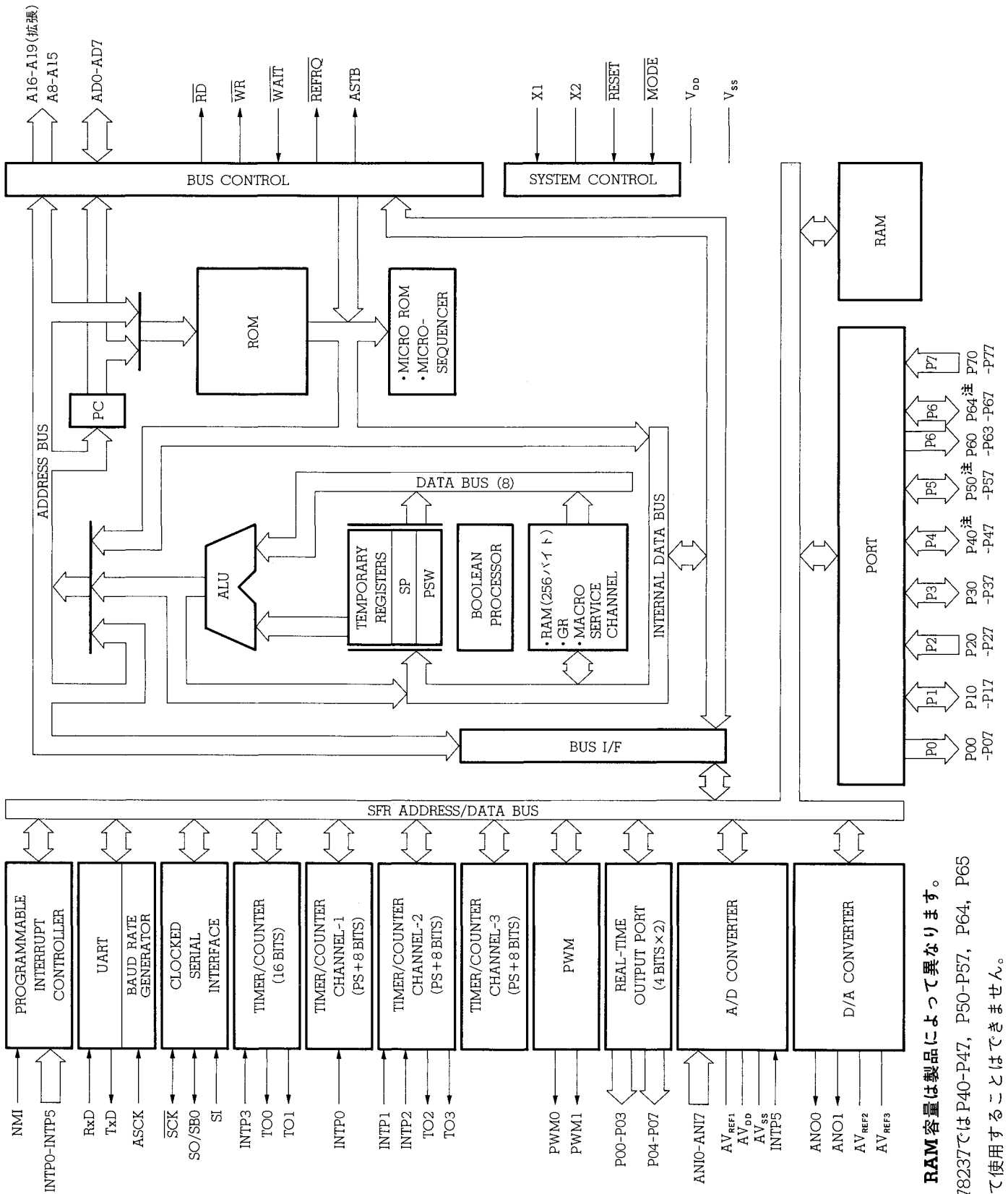


P00-P07	: Port 0	A8-A19	: Address Bus
P10-P17	: Port 1	\overline{RD}	: Read Strobe
P20-P27	: Port 2	\overline{WR}	: Write Strobe
P30-P37	: Port 3	\overline{WAIT}	: Wait
P40-P47	: Port 4	ASTB	: Address Strobe
P50-P57	: Port 5	\overline{REFRQ}	: Refresh Request
P60-P67	: Port 6	\overline{RESET}	: Reset
P70-P77	: Port 7	X1, X2	: Crystal
TO0-TO3	: Timer Output	MODE	: Mode
CI	: Clock Input	ANIO-ANI7	: Analog Input
RxD	: Receive Data	ANOO, ANO1	: Analog Output
TxD	: Transmit Data	$AV_{REF1}-AV_{REF3}$: Reference Voltage
\overline{SCK}	: Serial Clock	AV_{DD}	: Analog Power Supply
ASCK	: Asynchronous Serial Clock	AV_{SS}	: Analog Ground
SBO	: Serial Bus	V_{DD}	: Power Supply
SI	: Serial Input	V_{SS}	: Ground
SO	: Serial Output	NC	: Non-connection
PWM0,PWM1	: Pulse Width Modulation Output		
NMI	: Non-maskable Interrupt		
INTP0-INTP5	: Interrupt From Peripherals		
AD0-AD7	: Address/Data Bus		

システム構成例 (LBP エンジン)



内部ブロック図



注意 内部ROM, RAM容量は製品によって異なります。

注 μPD78233, 78237ではP40-P47, P50-P57, P64, P65をポートとして使用することはできません。

目 次

1. 端子機能 … 12
 - 1.1 ポート … 12
 - 1.2 ポート以外 … 13
 - 1.3 入出力回路と未使用端子の処理 … 14

2. 内部ブロック機能 … 16
 - 2.1 メモリ空間 … 16
 - 2.2 ポート … 19
 - 2.3 リアルタイム出力ポート … 21
 - 2.4 タイマ/カウンタ・ユニット … 22
 - 2.5 PWM 出力 (PWM0, PWM1) … 24
 - 2.6 A/D コンバータ … 25
 - 2.7 D/A コンバータ … 27
 - 2.8 シリアル・インタフェース … 28
 - 2.8.1 アシンクロナス・シリアル・インタフェース … 29
 - 2.8.2 クロック同期式シリアル・インタフェース … 30

3. 内部/外部制御機能 … 31
 - 3.1 割り込み … 31
 - 3.1.1 割り込み要因 … 31
 - 3.1.2 ベクタ割り込み … 33
 - 3.1.3 マクロ・サービス … 33
 - 3.1.4 マクロ・サービスの応用例 … 34
 - 3.2 ローカル・バス・インタフェース … 36
 - 3.2.1 メモリ拡張 … 36
 - 3.2.2 プログラマブル・ウェイト … 36
 - 3.2.3 疑似スタティック RAM リフレッシュ機能 … 36
 - 3.3 スタンバイ … 37
 - 3.4 リセット … 38

4. 命令セット … 39

5. 電気的特性 … 43

6. 外形図 … 61

7. 半田付け推奨条件 … 65

付録A. 開発ツール … 67

付録B. 関連資料 … 69

★

1. 端子機能

1.1 ポート

端子名称	入出力	兼用端子	機能	
P00-P07	出力	-	ポート0 (P0) : リアルタイム出力ポート (4ビット×2) として使用可能 トランジスタ駆動可能	
P10	入出力	PWM0	ポート1 (P1) : 1ビット単位に入出力指定可能	
P11		PWM1	入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能	
P12-P17		-	LED 駆動可能	
P20	入力	NMI	ポート2 (P2) : P20 は汎用ポートとしては使用不可 (ノンマスカブル割り込み) ただし、割り込みルーチンにおいて、入力レベルの確認可 P22-P27 は6ビット単位でソフトウェアによる内蔵プルアップ抵抗の接続の指定可能	
P21		INTP0		
P22		INTP1		
P23		INTP2/CI		
P24		INTP3		
P25		INTP4/ASCK		
P26		INTP5		
P27		SI		
P30	入出力	RxD	ポート3 (P3) : 1ビット単位に入出力指定可能 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能	
P31		TxD		
P32		\overline{SCK}		
P33		SO/SB0		
P34-P37		TO0-TO3		
P40-P47 ^注	入出力	AD0-AD7	ポート4 (P4) : 8ビット単位で入出力指定可能 8ビット単位でソフトウェアによる内蔵プルアップ抵抗の接続の指定可能	
P50-P57 ^注	入出力	A8-A15	ポート5 (P5) : 1ビット単位に入出力指定可能 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能	
P60-P63	出力	A16-A19	ポート6 (P6) : P64-P67 は1ビット単位に入出力指定可能 P64-P67 は、入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能	
P64 ^注	入出力	\overline{RD}		
P65 ^注		\overline{WR}		
P66		\overline{WAIT}		
P67		\overline{REFRQ}		
P70-P77	入力	ANIO-ANI7	ポート7 (P7)	

注 μPD78233, 78237ではP40-P47, P50-P57, P64, P65をポートとして使用することはできません。

1.2 ポート以外

端子名称	入出力	機能	兼用端子
TO0-TO3	出力	タイマ出力	P34-P37
CI	入力	8ビット・タイマ/カウンタ2へのカウント・クロック入力	P23/INTP2
RxD	入力	シリアル・データ入力 (UART)	P30
TxD	出力	シリアル・データ出力 (UART)	P31
ASCK	入力	ポー・レート・クロック入力 (UART)	P25/INTP4
SB0	入出力	シリアル・データ入出力 (SBI)	P33/SO
SI	入力	シリアル・データ入力 (3線式シリアル I/O)	P27
SO	出力	シリアル・データ出力 (3線式シリアル I/O)	P33/SB0
\overline{SCK}	入出力	シリアル・クロック入出力 (SBI, 3線式シリアル I/O)	P32
NMI	入力	外部割り込み要求	P20
INTP0			P21
INTP1			P22
INTP2			P23/CI
INTP3			P24
INTP4			P25/ASCK
INTP5			P26
AD0-AD7	入出力	時分割アドレス/データ・バス (外部メモリ接続)	P40-P47 ^注
A8-A15	出力	上位アドレス・バス (外部メモリ接続)	P50-P57 ^注
A16-A19	出力	アドレス拡張時の上位アドレス (外部メモリ接続)	P60-P63
\overline{RD}	出力	外部メモリへのリード・ストロープ	P64 ^注
\overline{WR}	出力	外部メモリへのライト・ストロープ	P65 ^注
\overline{WAIT}	入力	ウェイト挿入	P66
ASTB	出力	時分割アドレス (A0-A7) のラッチ・タイミング出力 (外部メモリ・アクセス時)	—
\overline{REFRQ}	出力	外部疑似スタティック・メモリへのリフレッシュ・パルス出力	P67
\overline{RESET}	入力	チップ・リセット	—
X1	入力	システム・クロック発振用クリスタル接続 (X1 にクロック入力も可能)	—
X2	—		
MODE	入力	ROM レス動作指示 (内部 ROM と同一空間の外部アクセス) μPD78233, 78237ではハイ・レベルに, μPD78234, 78238ではロウ・レベルにして使用します	—
ANIO-ANI7	入力	A/D コンバータ用アナログ電圧入力	P70-P77
ANO0, ANO1	出力	D/A コンバータ用アナログ電圧出力	—
AV_{REF1}	—	A/D コンバータ用基準電圧印加	—
AV_{REF2}, AV_{REF3}		D/A コンバータ用基準電圧印加	
AV_{DD}		A/D コンバータ用正電源	
AV_{SS}		A/D コンバータ用 GND	
V_{DD}		正電源	
V_{SS}		GND	
NC		内部接続していません	

注 μPD78233, 78237では P40-P47, P50-P57, P64, P65 をポートとして使用することはできません。

1.3 入出力回路と未使用端子の処理

表1-1は、各端子の入出力回路タイプと、未使用時の処理方法を示します。また、図1-1は、各タイプの回路です。

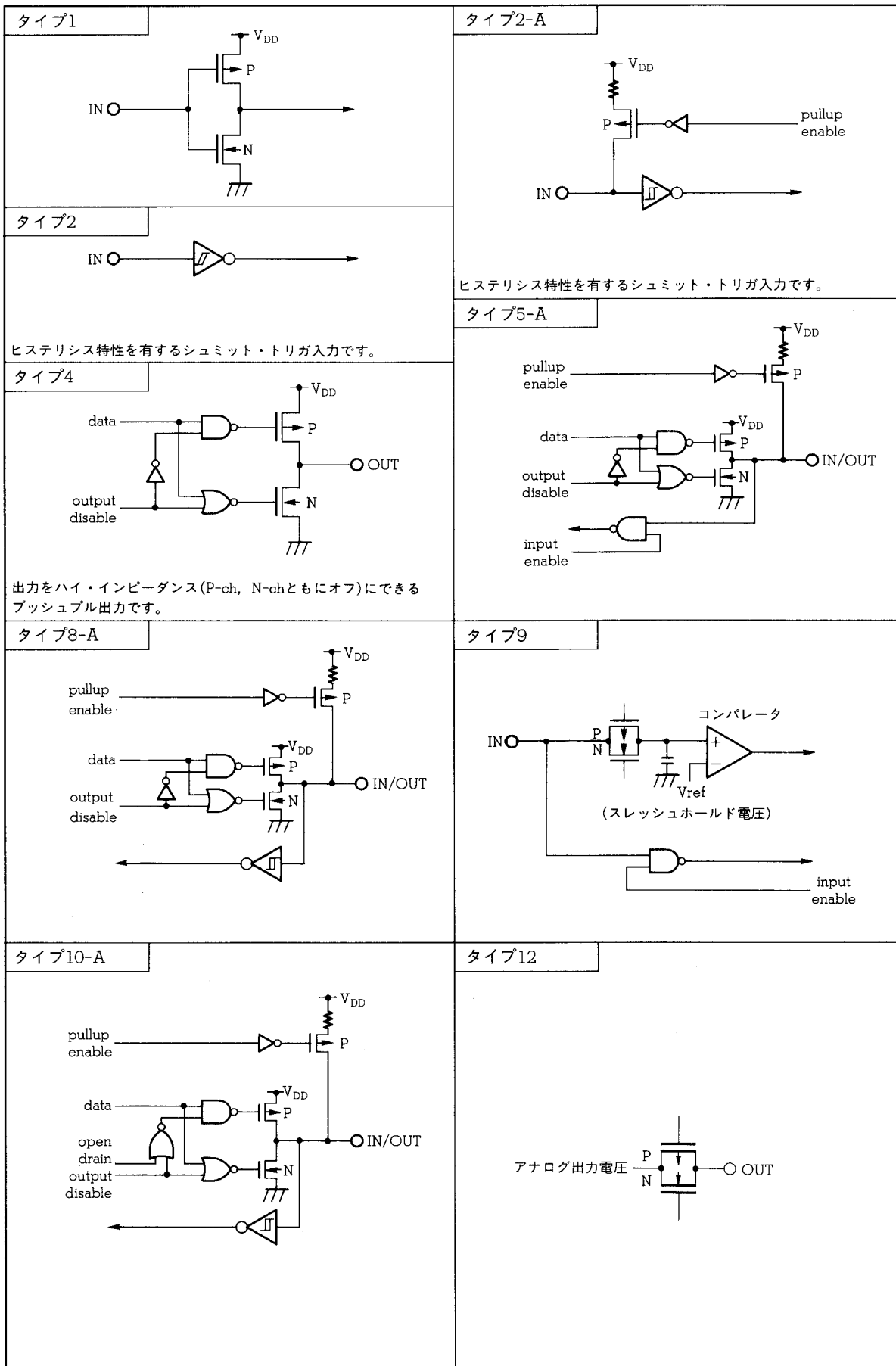
表1-1 各端子の入出力タイプと未使用時の処理

端子	入出力タイプ	入出力	未使用時の推奨接続方法
P00-P07	4	出力	オープン
P10-P17	5-A	入出力	入力時 V_{DD} に接続 出力時オープン
P20/NMI	2		V_{DD} または V_{SS} に接続
P21/INTP0			
P22/INTP1	2-A	入力	V_{DD} に接続
P23/INTP2/CI			
P24/INTP3			
P25/INTP4/ASCK			
P26/INTP5			
P27/SI			
P30/RxD	5-A		入力時 V_{DD} に接続 出力時オープン
P31/TxD			
P32/ \overline{SCK}	8-A	入出力	入力時 V_{DD} に接続 出力時オープン
P33/SB0/SO	10-A		
P34/TO0-P37/TO3	5-A		
P40/AD0-P47/AD7			
P50/A8-P57/A15			
P60/A16-P63/A19	4	出力	オープン
P64/ \overline{RD}	5-A	入出力	入力時 V_{DD} に接続 出力時オープン
P65/ \overline{WR}			
P66/ \overline{WAIT}			
P67/ \overline{REFRQ}			
P70/ANI0-P77/ANI7	9	入力	V_{SS} に接続
ANO0,ANO1	12	出力	オープン
ASTB	4		
\overline{RESET}	2	入力	V_{SS} に接続
MODE	1		
$AV_{REF1} - AV_{REF3}$	-		
AV_{SS}			
AV_{DD}		V_{DD} に接続	

備考 タイプ番号は78Kシリーズで統一しているため、各製品内では連番とは限りません（内蔵しない回路あり）。

- ★ 注意 入出力兼用端子で入出力のモードが不定な場合は、数+kΩの抵抗を介して V_{DD} に接続してください(特に、電源投入時にリセット入力端子がロウ・レベル入力電圧以上になる場合や、ソフトウェアで入出力を切り替えている場合)。

図 1-1 端子の入出力回路



2. 内部ブロック機能

2.1 メモリ空間

1Mバイトのメモリ空間をアクセスできます。図2-1, 2-2は、そのメモリ空間を示します。MODE端子の状態によって、プログラム・メモリのマッピングが異なります。

(1) μPD78233の場合 (MODE=H)

プログラム・メモリを、外部メモリ (64640バイト : 00000H-0FC7FH) にマッピングしています。この領域は、データ・メモリとの共用も可能です。

データ・メモリを、内部RAM (640バイト : 0FC80H-0FEFFH) にマッピングしています。1Mバイト拡張モードでは、外部メモリ (960Kバイト : 10000H-FFFFFFH) を拡張データ・メモリとしてマッピングします。

(2) μPD78234の場合 (MODE=L)

プログラム・メモリを、内部ROM (16Kバイト : 00000H-03FFFH) と外部メモリ (48256バイト : 04000H-0FC7FH) にマッピングしています。外部メモリは、外部メモリ拡張モードでアクセスします。外部メモリにマッピングする領域は、データ・メモリとの共用も可能です。

データ・メモリを、内部RAM (640バイト : 0FC80H-0FEFFH) にマッピングしています。1Mバイト拡張モードでは、外部メモリ (960Kバイト : 10000H-FFFFFFH) を拡張データ・メモリとしてマッピングします。

(3) μPD78237の場合 (MODE=H)

プログラム・メモリを、外部メモリ (64256バイト : 00000H-0FAFFH) にマッピングしています。この領域は、データ・メモリとの共用も可能です。

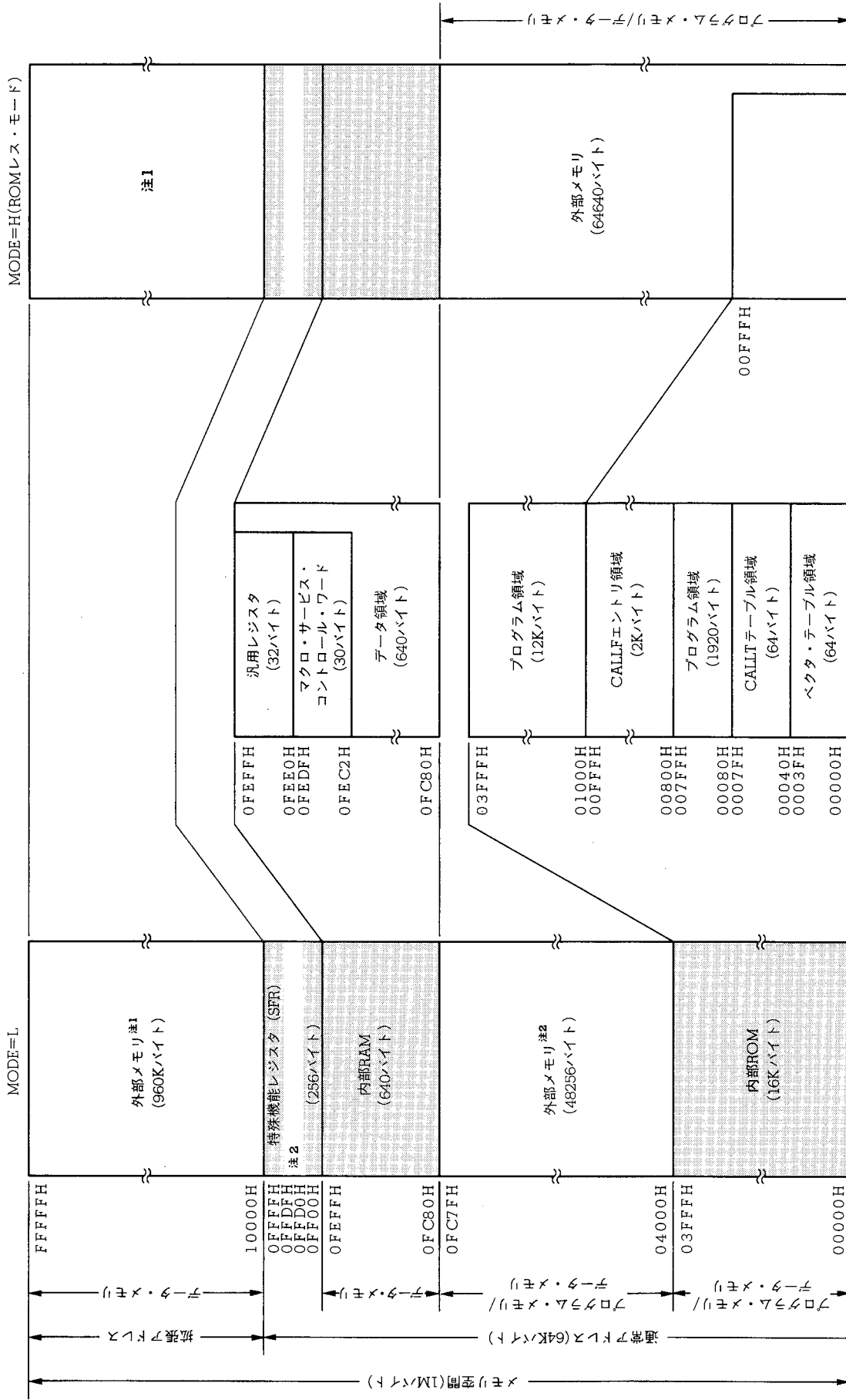
データ・メモリを、内部RAM (1024バイト : 0FB00H-0FEFFH) にマッピングしています。1Mバイト拡張モードでは、外部メモリ (960Kバイト : 10000H-FFFFFFH) を拡張データ・メモリとしてマッピングしています。

(4) μPD78238の場合 (MODE=L)

プログラム・メモリを、内部ROM (32Kバイト : 00000H-07FFFH) と外部メモリ (31488バイト : 08000H-0FAFFH) にマッピングしています。外部メモリは、外部メモリ拡張モードでアクセスします。外部メモリにマッピングする領域は、データ・メモリとの共用も可能です。

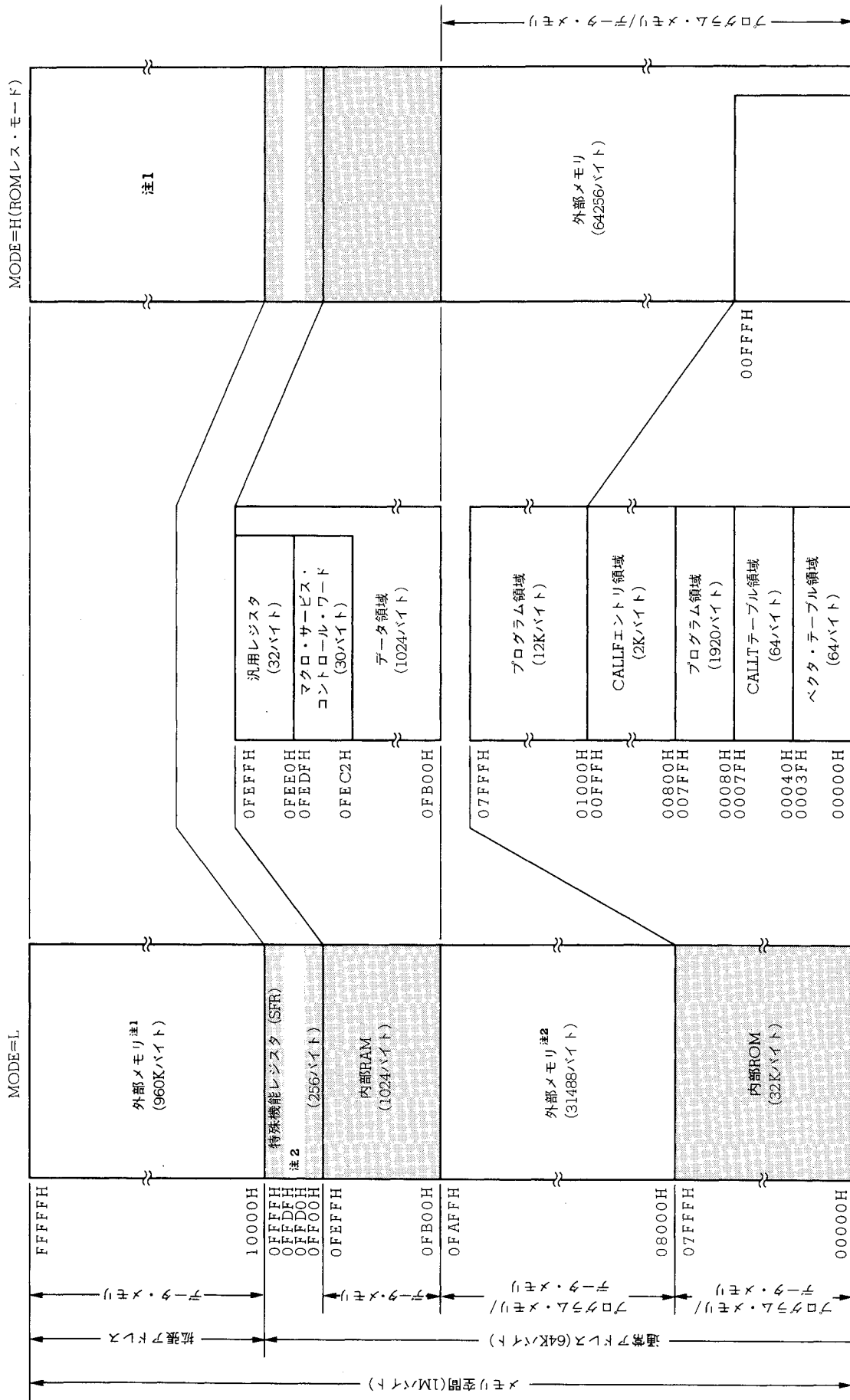
データ・メモリを、内部RAM (1024バイト : 0FB00H-0FEFFH) にマッピングしています。1Mバイト拡張モードでは、外部メモリ (960Kバイト : 10000H-FFFFFFH) を拡張データ・メモリとしてマッピングします。

図 2-1 μPD78233, 78234のメモリ・マップ



注1. 1Mバイト拡張モードでアクセス
 注2. 外部メモリ拡張モードでアクセス
 注3. μPD78233はMODE=Hのときのみ

図 2-2 μPD78237, 78238のメモリ・マップ



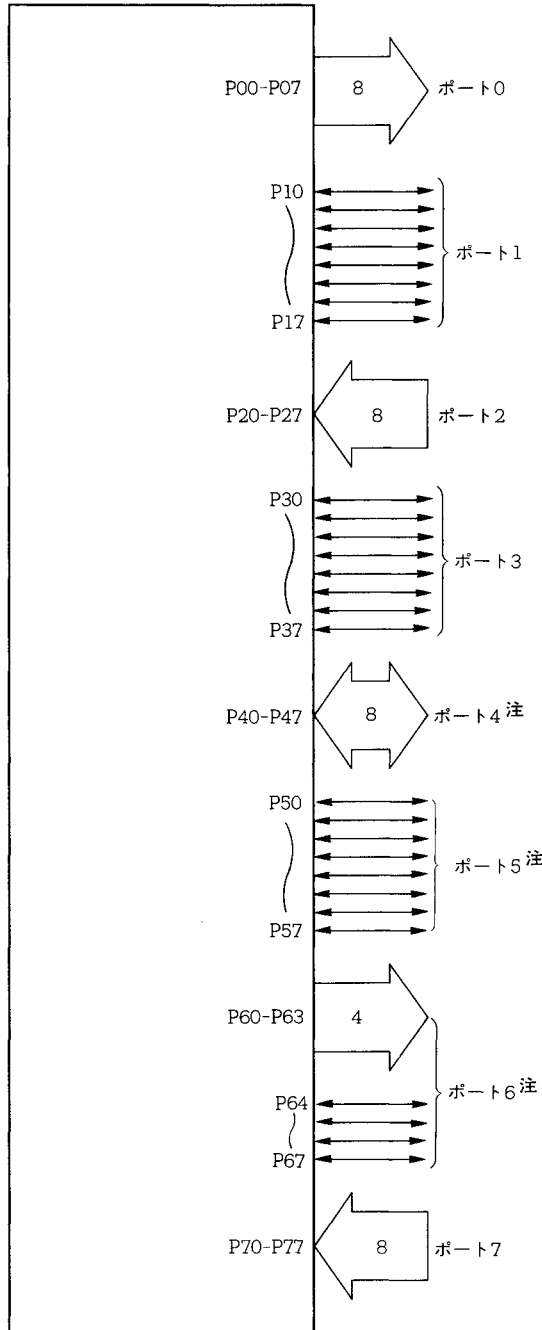
注1. 1Mバイト拡張モードでアクセス
 注2. 外部メモリ拡張モードでアクセス
 注3. μPD78237はMODE=Hのときのみ

■ は内部メモリ

2.2 ポート

図2-3のようなポートを備えており、多様な制御ができます。各ポートの機能は表2-1のとおりです。ポート1からポート6は、入力時に、内蔵プルアップをソフトウェアで指定できます。

図2-3 ポートの構成



注 μPD78233, 78237ではP40-P47, P50-P57, P64, P65をポートとして使用することはできません。

表 2-1 ポートの機能

名 称	端 子 名	機 能	ソフトウェア・プルアップの指定
ポート0	P00-P07	8ビット単位で出力かハイ・インピーダンスに指定可能。 4ビット・リアルタイム出力としても動作可能 (P00-P03, P04-P07)。 トランジスタ駆動可能。	—
ポート1	P10-P17	1ビット単位で入力か出力に指定可能。 LED 駆動可能。	入力モードの端子について一括して指定
ポート2	P20-P27	入力ポート。	6ビット単位 (P22-P27)
ポート3	P30-P37	1ビット単位で入力か出力に指定可能。	入力モードの端子について一括して指定
ポート4 ^注	P40-P47	8ビット単位で入力か出力に指定可能。 LED 駆動可能。	8ビット単位
ポート5 ^注	P50-P57	1ビット単位で入力か出力に指定可能。 LED 駆動可能。	入力モードの端子について一括して指定
ポート6 ^注	P60-P63	出力ポート。	—
	P64-P67	1ビット単位で入力か出力に指定可能。	入力モードの端子について一括して指定
ポート7	P70-P77	入力ポート。	—

注 μPD78233, 78237ではP40-P47, P50-P57, P64, P65をポートとして使用することはできません。

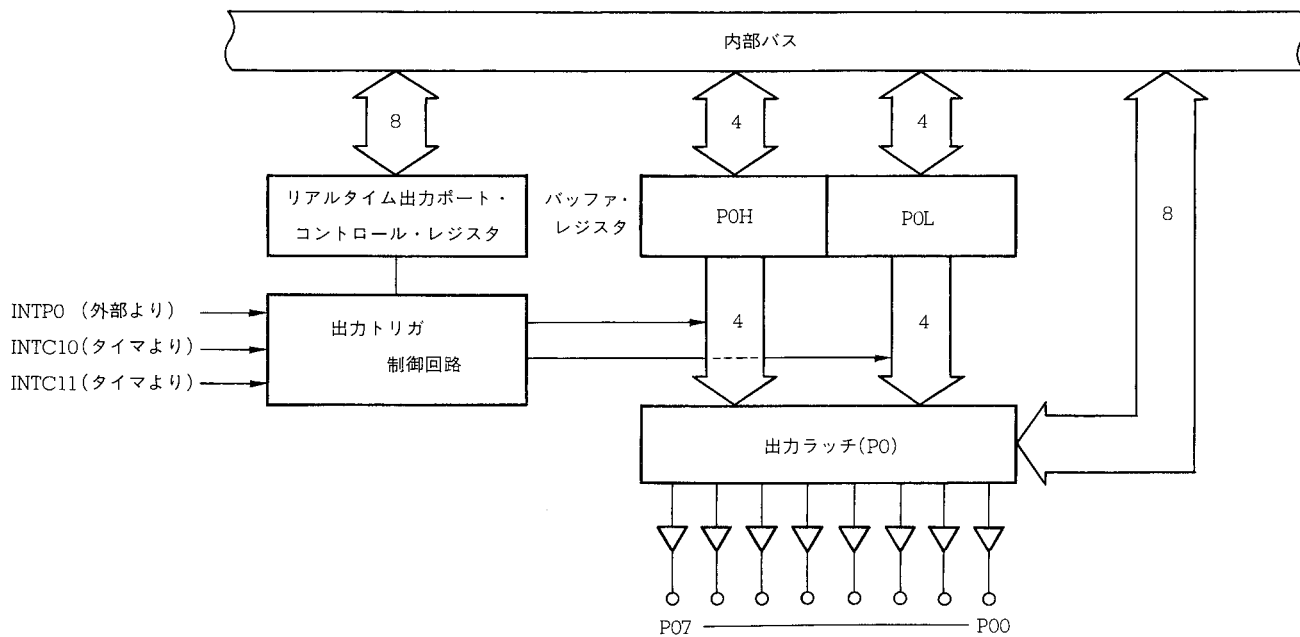
2.3 リアルタイム出力ポート

リアルタイム出力ポートは、バッファに格納しておいたデータを、タイマの一致割り込みや外部割り込みに同期して出力します。これによって、ジッタのないパルス出力を得られます。

したがって、任意の間隔で任意パターンを出力する応用（ステッピング・モータの開ループ制御など）に最適です。

図2-4のように、ポート0とバッファ・レジスタが構成の中心です。

図2-4 リアルタイム出力ポートのブロック図



2.4 タイマ/カウンタ・ユニット

16ビット・タイマ/カウンタ・ユニットを1チャンネルと、8ビット・タイマ/カウンタ・ユニットを3チャンネル内蔵しています。

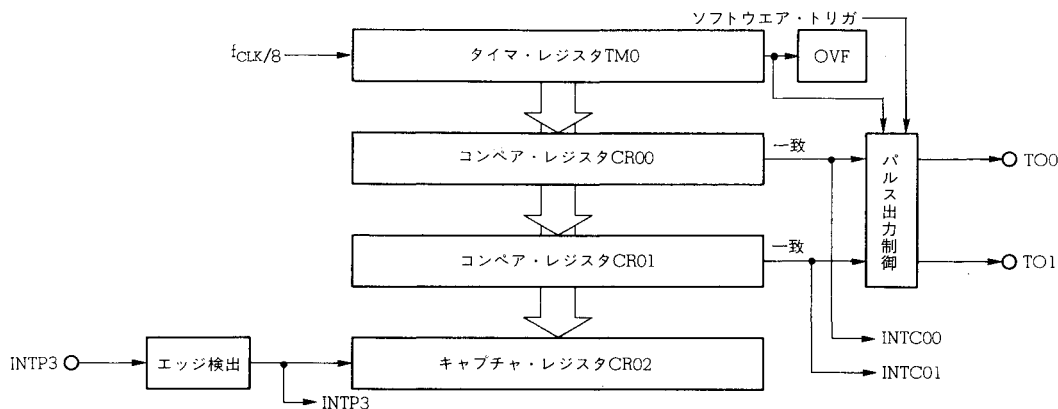
表2-2 タイマ/カウンタの種類と機能

種類と機能		16ビット・タイマ/ カウンタ	8ビット・タイマ/ カウンタ1	8ビット・タイマ/ カウンタ2	8ビット・タイマ/ カウンタ3
種類	インターバル・タイマ	2ch	2ch	2ch	1ch
	外部イベント・カウンタ	—	—	○	—
	ワンショット・タイマ	—	—	○	—
機能	タイマ出力	2ch	—	2ch	—
	トグル出力	○	—	○	—
	PWM/PPG出力	○	—	○	—
	ワンショット・パルス出力	○	—	—	—
	リアルタイム出力	—	○	—	—
	パルス幅測定	○	○	○	—
	割り込み要求数	2	2	2	1
	シリアル・インタフェースのクロック・ソース	—	—	—	○

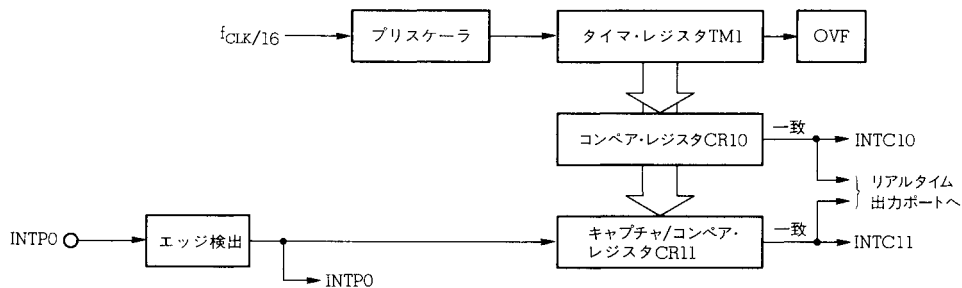
計7つの割り込み要求をサポートしているため、7チャンネルのタイマとして機能させることができます。

図 2-5 タイマ/カウンタ・ユニットのブロック図

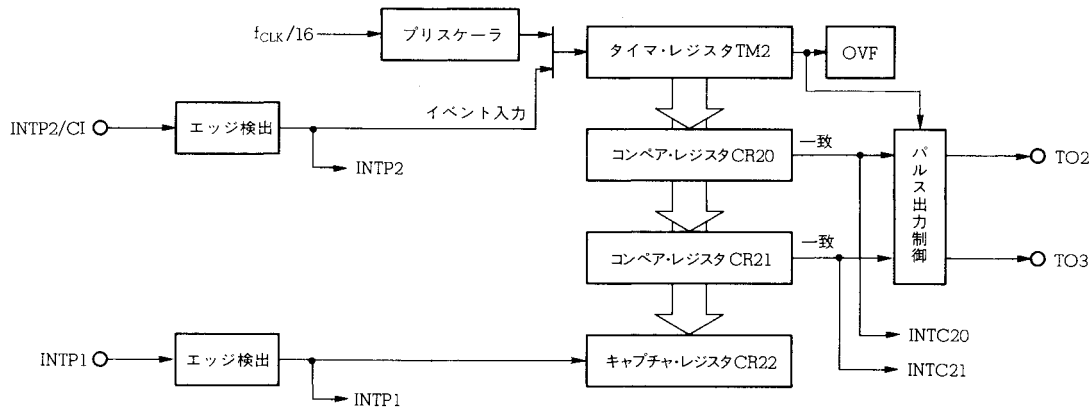
16ビット・タイマ/カウンタ・ユニット



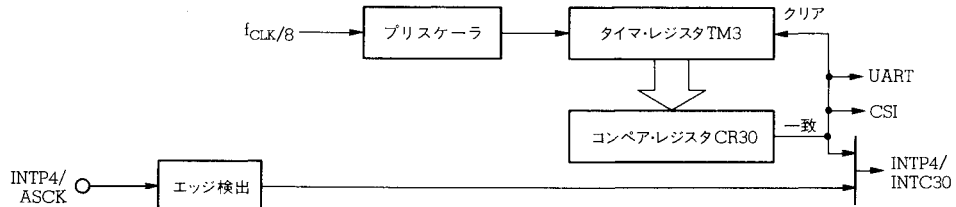
8ビット・タイマ/カウンタ・ユニット1



8ビット・タイマ/カウンタ・ユニット2



8ビット・タイマ/カウンタ・ユニット3

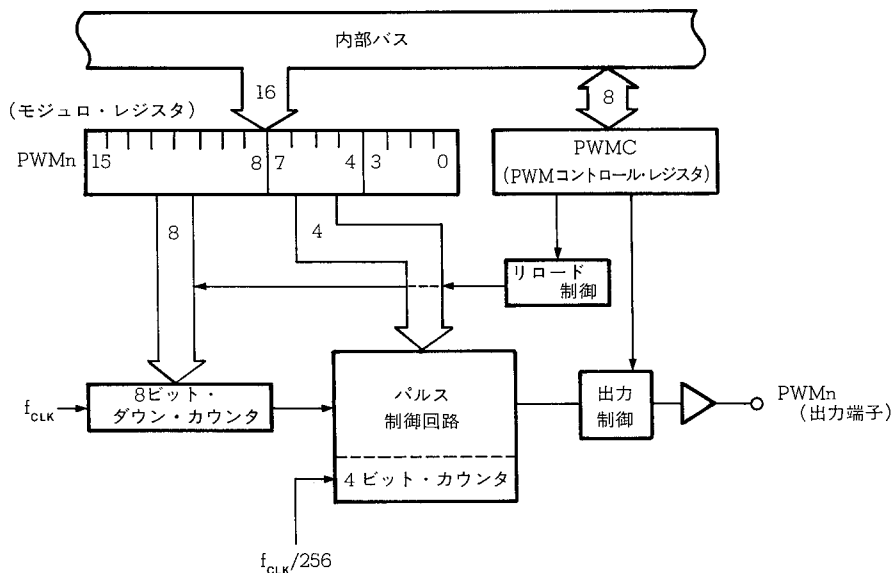


OVF: オーバフロー・フラグ

2.5 PWM 出力 (PWMO,PWM1)

12ビット分解能で、繰り返し周波数 23.4 kHz($f_{CLK} = 6$ MHz)の PWM (パルス幅変調) 出力回路を 2チャンネル内蔵しています。この PWM 出力は両チャンネルとも独立にアクティブ・レベルをハイかロウに選択できます。この出力は DC モータの速度制御用として最適です。

図 2-6 PWM 出力ユニット・ブロック図 (n=0, 1)



2.6 A/Dコンバータ

8マルチプレクスト・アナログ入力 (ANIO-ANI7) を持つアナログ/ディジタル (A/D) コンバータを内蔵しています。

変換方式は逐次比較で、変換結果を8ビットの A/D 変換結果レジスタ (ADCR) に保持します。このため、高速で高精度な変換を行います (変換時間約20 μs: 12 MHz 動作時)。

A/D 変換動作の起動には、次のモードがあります。

- ハードウェア・スタート：トリガ入力 (INTP5) により変換開始。
- ソフトウェア・スタート：A/D コンバータ・モード・レジスタ (ADM) のビット設定により変換開始。

また、起動後の動作には、次のモードがあります。

- スキャン・モード：複数のアナログ入力を順次選択し、全端子からの変換データを得ます。
- セレクト・モード：アナログ入力を1端子に固定し、連続的な変換値を得ます。

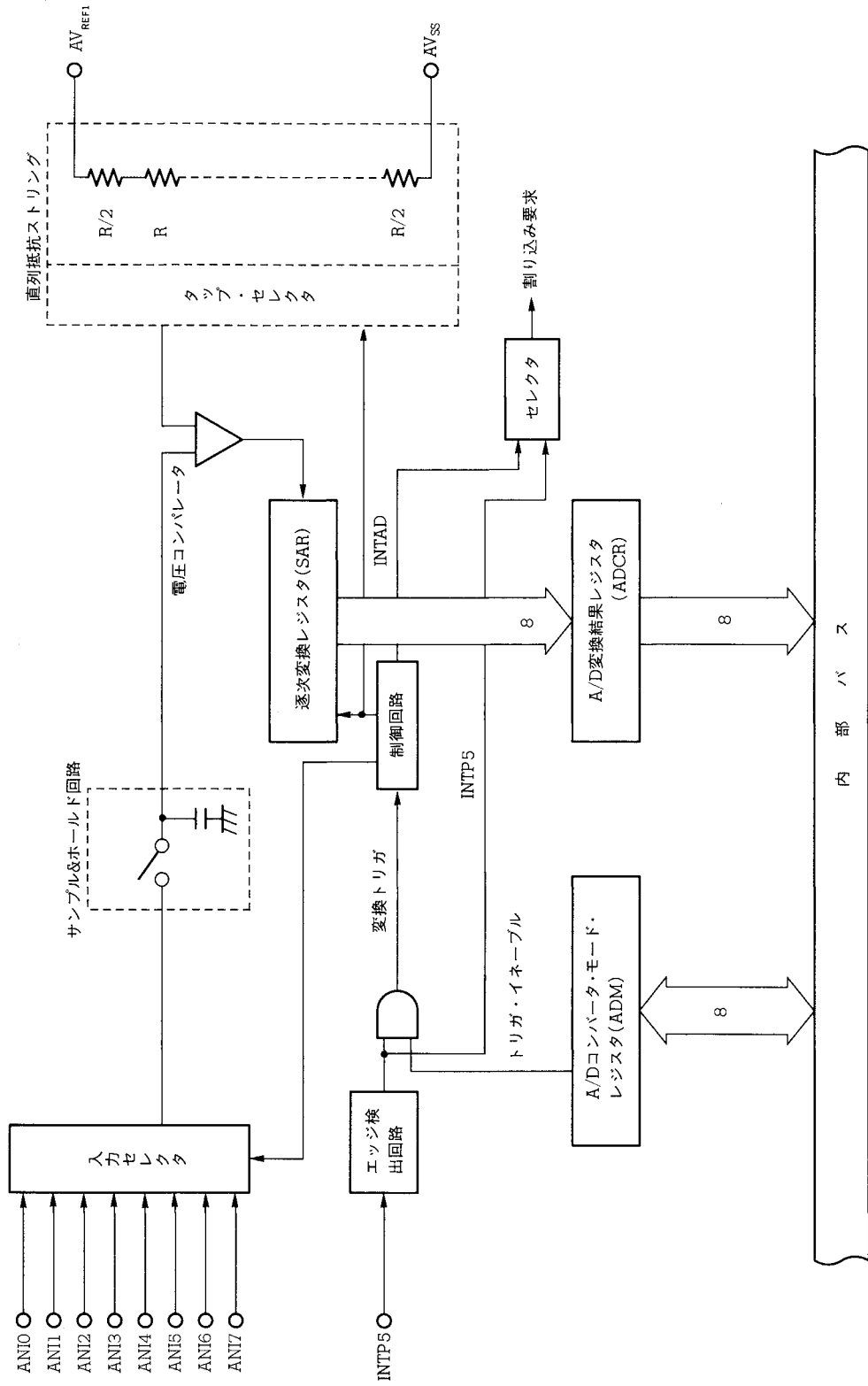
以上のモードと変換動作の停止は、すべて ADM で指定します。

なお、変換結果を ADCR へ転送すると、割り込み要求 INTAD を発生します (ソフトウェア・スタートのセレクト・モードを除く)。このため、マクロ・サービスによって、変換値をメモリへ連続的に転送することができます。

表 2-3 INTAD を発生するモード

	スキャン・モード	セレクト・モード
ハードウェア・スタート	○	○
ソフトウェア・スタート	○	—

図 2-7 A/Dコンバータのブロック図



2.7 D/A コンバータ

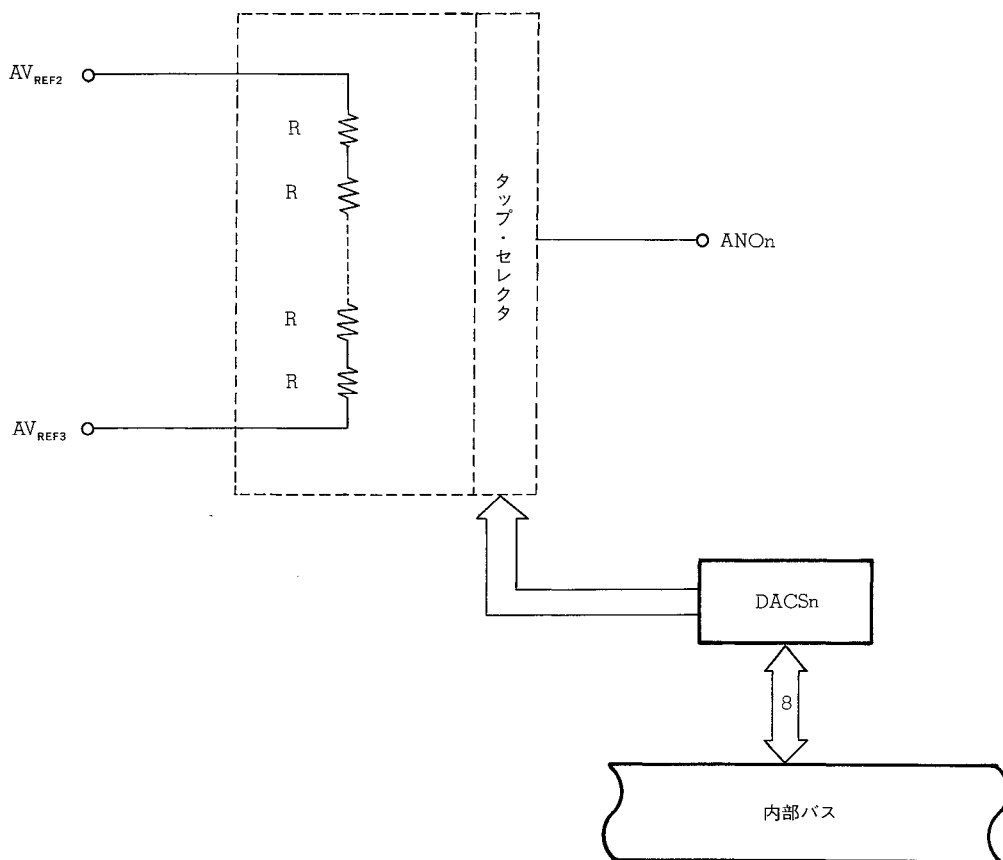
8ビットの分解能の電圧出力型のデジタル/アナログ (D/A) コンバータを2回路内蔵しています。

変換方式は抵抗ストリング式です。出力したい値を8ビットのD/A変換値設定レジスタ DACSn に書き込むことにより、アナログ値を ANOn 端子へ出力します。出力電圧範囲は、 AV_{REF2} 端子と AV_{REF3} 端子に印加した電圧で決まります。

出力インピーダンスが高いため、出力から電流を取り出すことはできません。負荷のインピーダンスが低い場合には、バッファ・アンプを負荷との間に挿入して使用してください。

ANOn 端子は、 \overline{RESET} 信号がロウ・レベルの期間中はハイ・インピーダンスとなります。また、リセット解除後は DACSn レジスタは0になります。

図 2-8 D/A コンバータのブロック図 (n=0, 1)



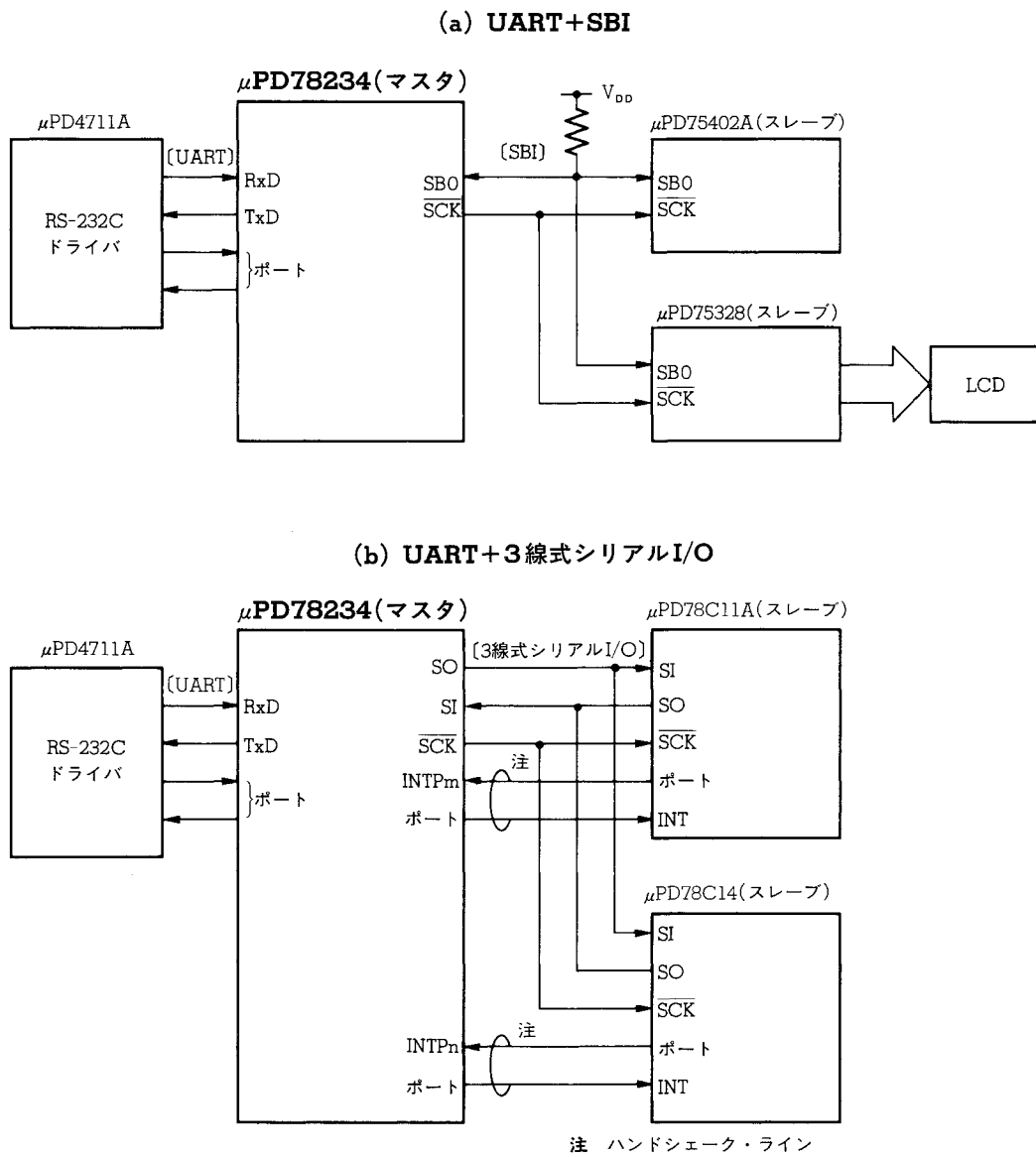
2.8 シリアル・インタフェース

独立した2チャンネルのシリアル・インタフェースを備えています。

- アシンクロナス・シリアル・インタフェース (UART)
- クロック同期式シリアル・インタフェース
 - 3線式シリアル I/O
 - シリアル・バス・インタフェース (SBI)

このため、システム外部との通信と、システム内部のローカルな通信とを、同時に行うことができます (図2-9 参照)。

図 2-9 シリアル・インタフェース例



2.8.1 アシクロナス・シリアル・インタフェース

アシクロナス・シリアル・インタフェースとして、UART (Universal Asynchronous Receiver Transmitter) を内蔵しています。これは、スタート・ビットに続く1バイトのデータを送信する方式です。

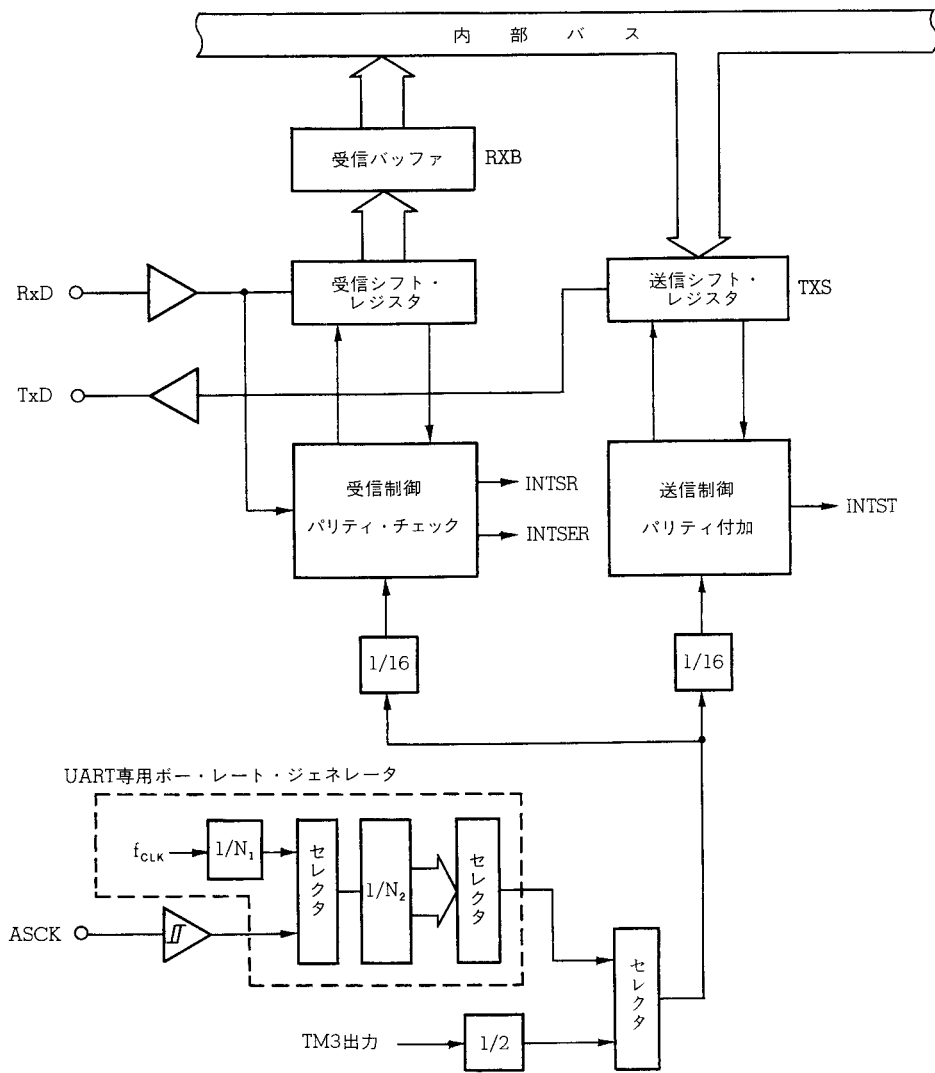
UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

また、ASCK端子への入力クロックを分周して、ポー・レートを定義することもできます。

さらに、8ビット・タイマ/カウンタ3でポー・レートを発生することもできます。

UART専用ポー・レート・ジェネレータを使用すると、MIDI規格のポー・レート (31.25 kbps) も得られます。

図 2-10 アシクロナス・シリアル・インタフェースのブロック図

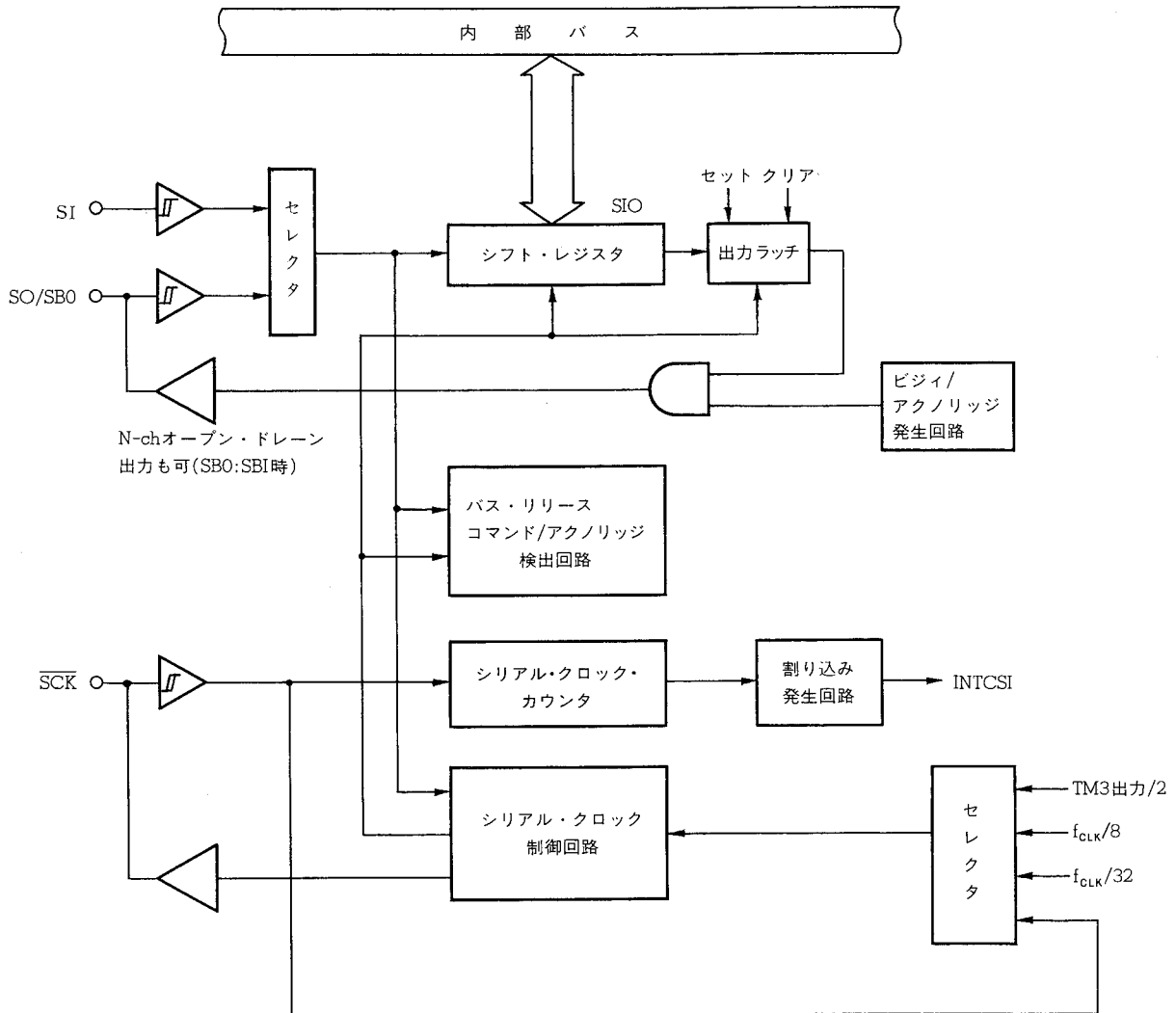


f_{CLK}: 内部システム・クロック周波数 (システム・クロック周波数/2)

2.8.2 クロック同期式シリアル・インタフェース

マスタ・デバイスがシリアル・クロックをアクティブにして送信を開始し、このクロックに同期して1バイトのデータを通信する方式です。

図 2-11 クロック同期式シリアル・インタフェースのブロック図



f_{CLK} : 内部システム・クロック周波数 (システム・クロック周波数/2)

(1) 3線式シリアル I/O

従来のクロック同期式シリアル・インタフェースを内蔵するデバイスとの通信を行うためのインタフェースです。

基本的には、シリアル・クロック (\overline{SCK}) とシリアル・データ (SI, SO) の3線で通信します。複数のデバイスと接続する場合、ハンドシェイク・ラインが必要です。

(2) SBI

シリアル・クロック (\overline{SCK}) とシリアル・バス (SB0) の2線で複数のデバイスと通信します。NECの標準シリアル・インタフェースです。

マスタ・デバイスがSB0端子から“アドレス”を出力して、通信対象とするスレーブ・デバイスを選択します。その後、マスター-スレーブ間で“コマンド”と“データ”を送受信します。

3. 内部/外部制御機能

3.1 割り込み

割り込み要求に対する処理として、表3-1のような2つの処理をプログラムで選択できます。

表3-1 割り込み要求の処理

処理モード	処理の主体	処 理	PC, PSWの内容
ベクタ割り込み	ソフトウェア	処理ルーチンへ分岐して実行(処理内容は任意)	退避, 復帰を伴う
マクロ・サービス	ファームウェア	メモリ-I/O間のデータ転送などを実行(処理内容は固定)	保持

3.1.1 割り込み要因

割り込み要因には、表3-2のような19種類とBRK命令実行があります。

割り込み処理の優先順位は、2レベル(高優先レベルと低優先レベル)に設定できます。これによって、割り込み処理中のネスト制御や、同時発生した割り込み要求のレベル分けをすることができます(図3-1, 図3-2参照)。ただし、マクロ・サービスでは、必ずネスティングが進みます(保留されず)。

デフォルト・プライオリティは、同時に発生した同優先レベルの割り込み要求に対する処理の優先順位(固定)です(図3-2参照)。

表3-2 割り込み要因

タイプ	デフォルト・プライオリティ	要 因		内部/外部	マクロ・サービス	
		名 称	ト リ ガ			
ソフトウェア	—	BRK	命令の実行	—	—	
ノンマスクابل	—	NMI	端子入力エッジ検出	—	—	
マスクابل	0 (最高)	INTP0	// (TM1キャプチャ・トリガ)	外部	○	
	1	INTP1	// (TM2キャプチャ・トリガ)			
	2	INTP2	// (TM2イベント・カウンタ入力)			
	3	INTP3	// (TM0キャプチャ・トリガ)			
	4	INTC00	TM0-CR00一致信号発生	内部		
	5	INTC01	TM0-CR01 //			
	6	INTC10	TM1-CR10 //			
	7	INTC11	TM1-CR11 //			
	8	INTC21	TM2-CR21 //			
	9	INTP4	端子入力エッジ検出			外部
		INTC30	TM3-CR30一致信号発生			内部
	10	INTP5	端子入力エッジ検出			外部
		INTAD	A/Dコンバータ変換終了(ADCRへ転送)	内部		
	11	INTC20	TM2-CR20一致信号発生			
	12	INTSER	ASI受信エラー発生			
13	INTSR	ASI受信終了				
14	INTST	ASI送信終了				
15 (最低)	INTCSI	CSI転送終了				

TM0 : 16ビット・タイマ ASI : アシクロナス・シリアル・インタフェース
 TM1-TM3: 8ビット・タイマ CSI : クロック同期式シリアル・インタフェース

図 3-1 割り込み処理中に他の割り込み要求が発生した場合の処理例

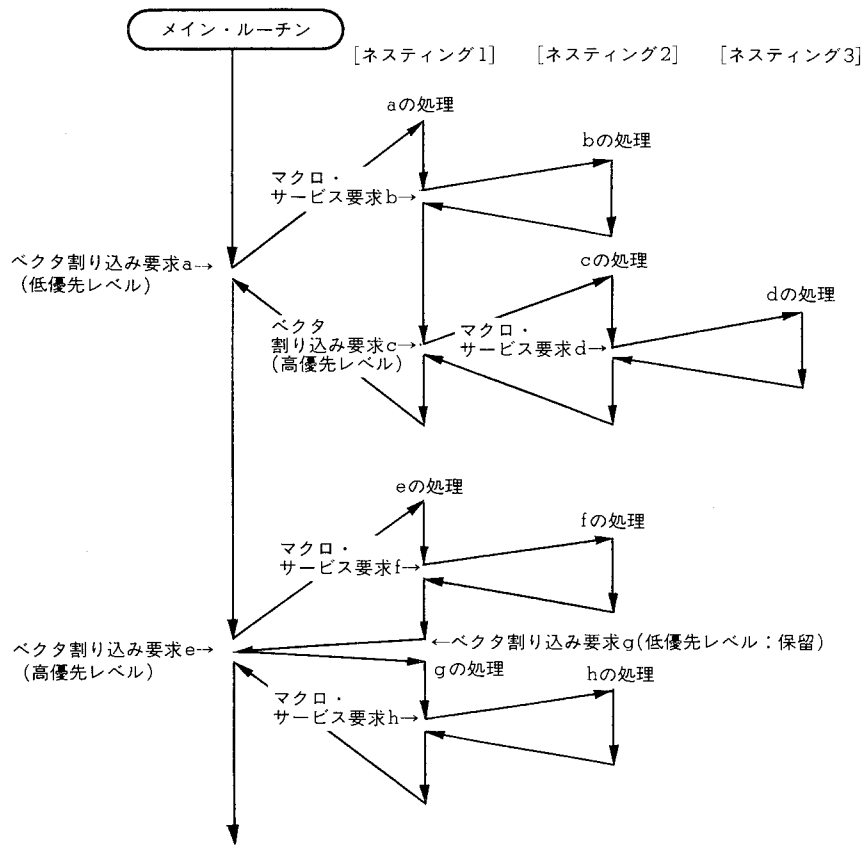
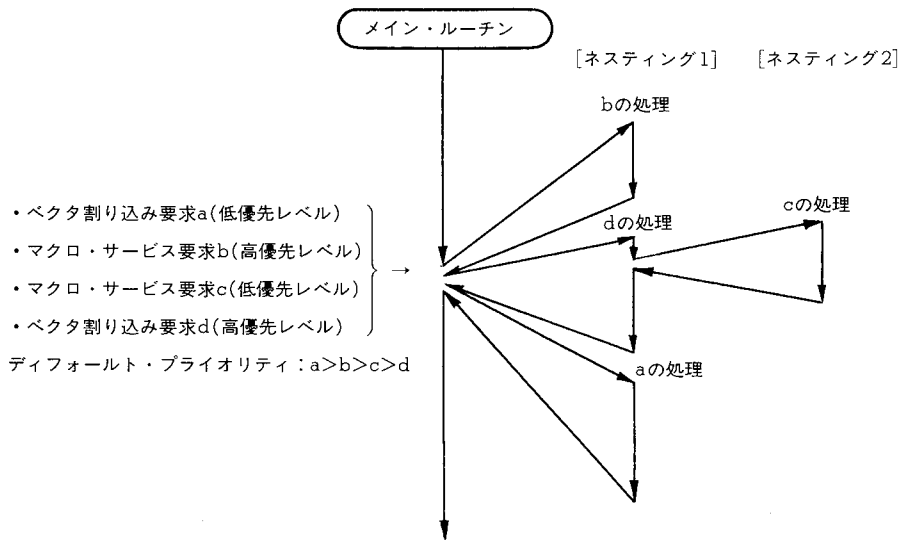


図 3-2 同時発生した割り込み要求の処理例



3.1.2 ベクタ割り込み

割り込み要因に対応するベクタ・テーブル・アドレスのメモリ内容を分岐先のアドレスとして、処理ルーチンへ分岐します。

CPUが割り込み処理を行うため、次のような動作が起こります。

- 分岐時：CPUの状態（PC、PSWの内容）をスタックへ退避。
- 復帰時： // をスタックから復帰。

なお、処理ルーチンからメイン・ルーチンへの復帰は、RETI命令で行います。

表 3-3 ベクタ・テーブル・アドレス

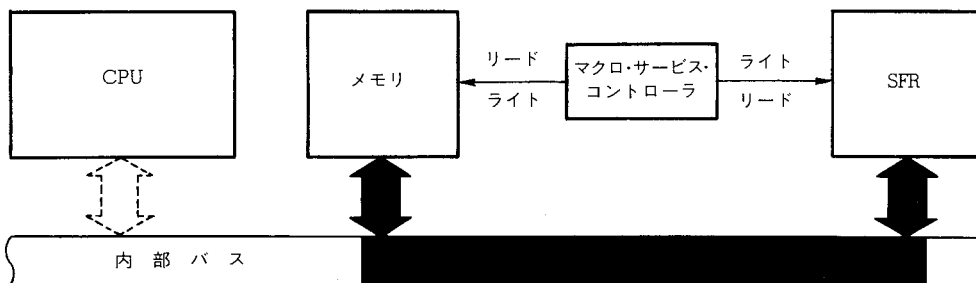
割り込み要因	ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス
BRK	003EH	INTC21	001CH
NMI	0002H	INTP4	000EH
INTP0	0006H	INTC30	
INTP1	0008H	INTP5	0010H
INTP2	000AH	INTAD	
INTP3	000CH	INTC20	0012H
INTC00	0014H	INTSER	0020H
INTC01	0016H	INTSR	0022H
INTC10	0018H	INTST	0024H
INTC11	001AH	INTCSI	0026H

3.1.3 マクロ・サービス

メモリ-特殊機能レジスタ (SFR) 間のデータ転送を、CPUを介さずに行う機能です。マクロ・サービス・コントローラが同一転送サイクル内でメモリとSFRをアクセスし、データを取り込まずに直接転送します。

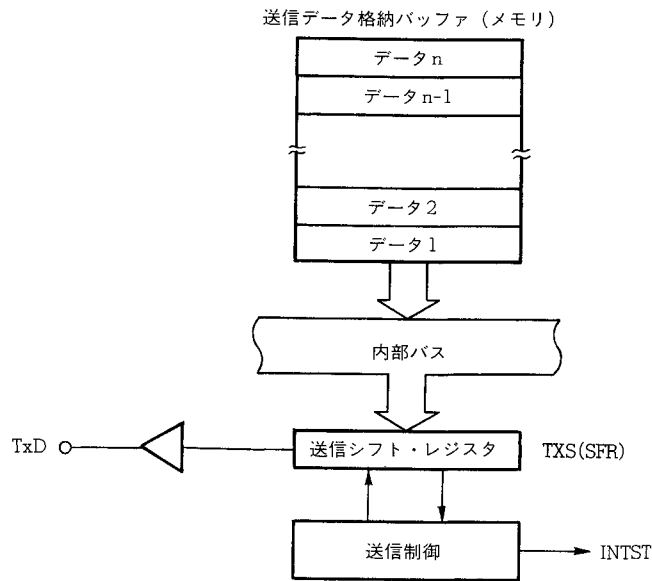
CPUの状態を退避、復帰したり、データを取り込んだりしないため、高速転送が行えます。

図 3-3 マクロ・サービス



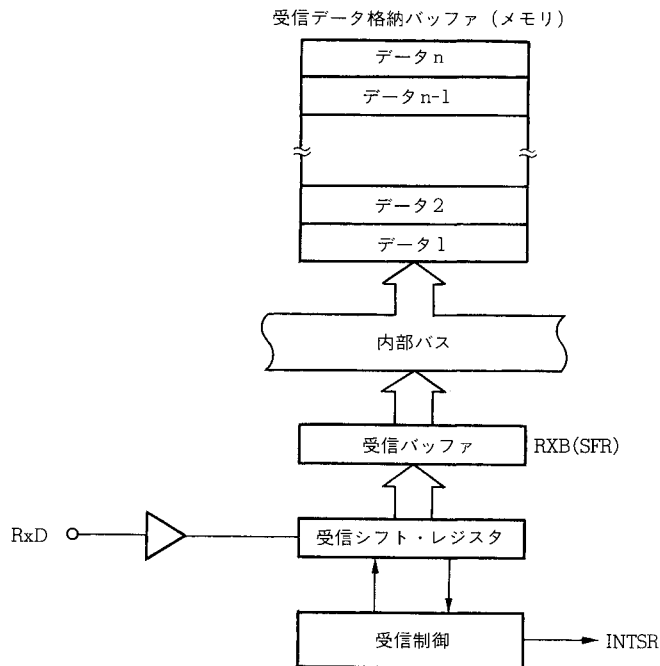
3.1.4 マクロ・サービスの応用例

(1) シリアル・インタフェースの送信動作



マクロ・サービス要求INTSTが発生するたびに、次の送信データをメモリからTXSへ転送します。データn(最終バイト)をTXSへ転送する(送信データ格納バッファが空になると)、ベクタ割り込み要求INTSTを発生します。

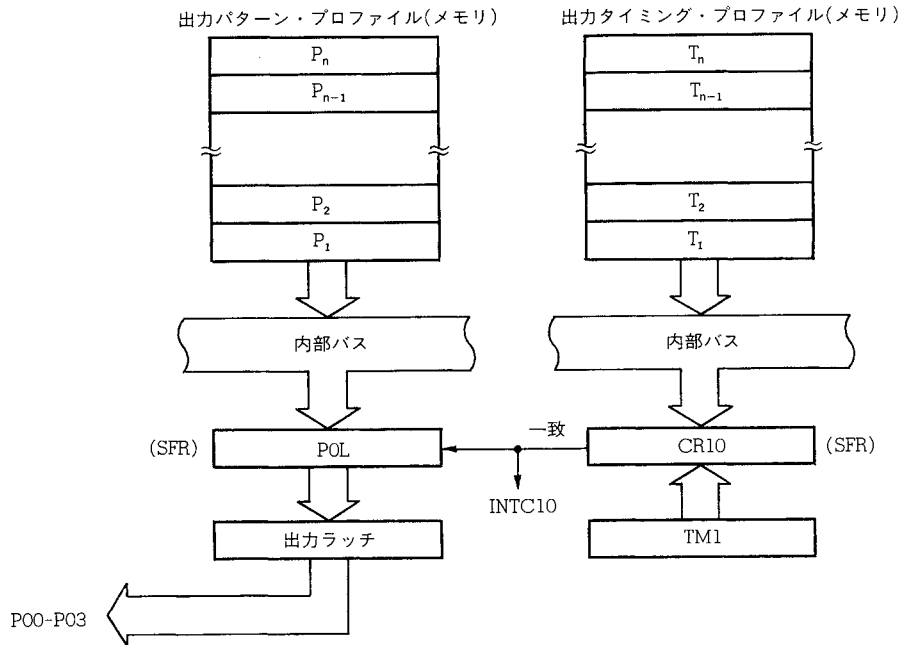
(2) シリアル・インタフェースの受信動作



マクロ・サービス要求INTSRが発生するたびに、受信データをRXBからメモリへ転送します。データn(最終バイト)をメモリへ転送する(受信データ格納バッファに空きがなくなる)と、ベクタ割り込み要求INTSRを発生します。

③ リアルタイム出力ポート

INTC10, INTC11はリアルタイム出力ポートの出力トリガとなります。これらに対するマクロ・サービスでは、次の出力パターンと間隔を同時に設定できます。このため、INTC10とINTC11は独立に、2系統のステッピング・モータを制御できます。また、PWMやDCモータの制御などにも応用できます。



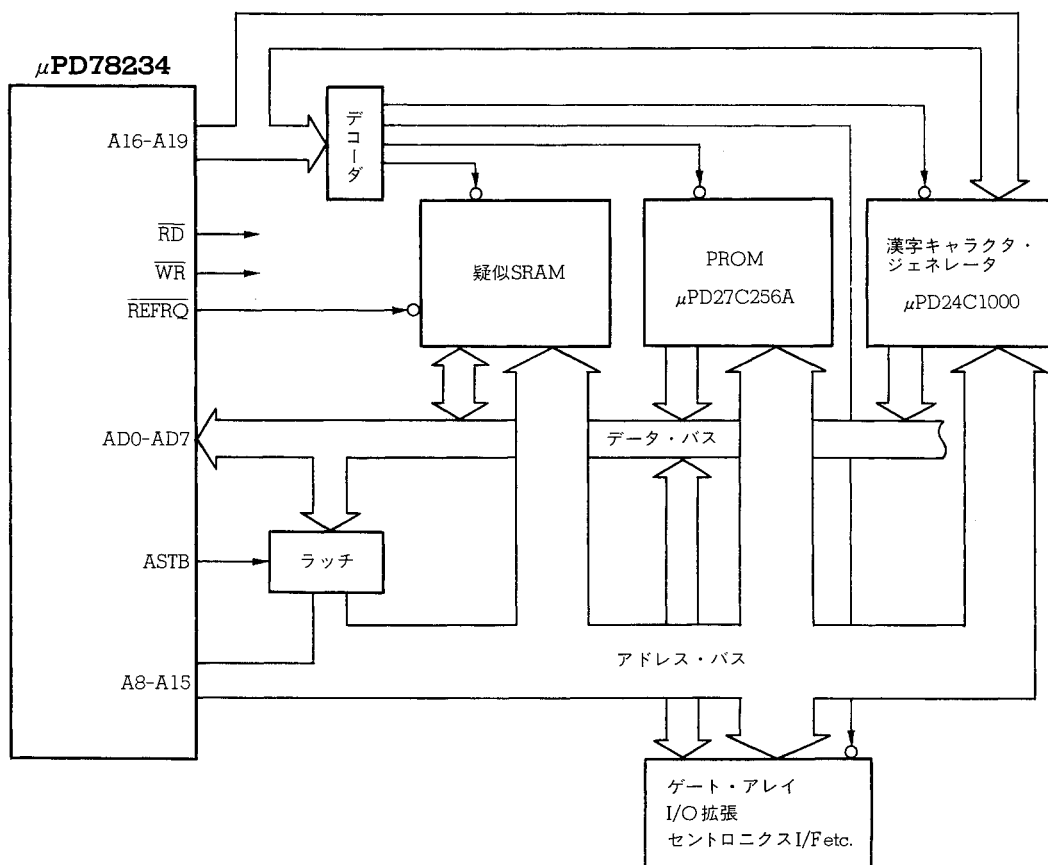
マクロ・サービス要求INTC10が発生するごとに、パターンとタイミングをPOLとCR10にそれぞれ転送します。TM1の内容がCR10の内容と一致すると、次のINTC10が発生するとともに、POLの内容を出力ラッチへ送ります。T_n (最終バイト) がCR10へ転送されると、ベクタ割り込み要求INTC10が発生します。

INTC11についても同様の動作となります (相違点: CR10→CR11, POL→POH, P00-P03→P04-P07)。

3.2 ローカル・バス・インタフェース

外部にメモリやI/O（メモリ・マップトI/O）を接続でき、1Mバイトのメモリ空間をサポートします（図2-1, 2-2参照）。

・ 図3-4 ローカル・バス・インタフェース例



3.2.1 メモリ拡張

メモリ拡張機能として、次のようなモードがあります。

- 外部メモリ拡張モード：外部にプログラム・メモリやデータ・メモリを48256バイト拡張できます。ただし、ROMレス・モード（MODE=H）では、無条件にこの領域を使用できます。
- 1Mバイト拡張モード：外部にデータ・メモリを960Kバイト拡張でき、1Mバイトのメモリ空間となります。

3.2.2 プログラマブル・ウエイト

通常アドレス（μPD78233, 78234：00000H-0FC7FH, μPD78237, 78238：00000H-0FAFFH）と拡張アドレス（10000H-FFFFFH）にマッピングされるメモリに対し、独立にウエイトを挿入できます。このため、アクセス時間の異なるメモリを接続しても、システム全体の効率を低下させずに済みます。

3.2.3 疑似スタティックRAMリフレッシュ機能

リフレッシュ動作には、次のような動作があります。

- パルス・リフレッシュ：バス・サイクルに同期して、REFRQ端子にリフレッシュ・パルスを出力します。
- パワー・ダウン・セルフ・リフレッシュ：スタンバイ・モード時、REFRQ端子にロウ・レベルを出力し、疑似スタティックRAMの内容を保持します。

3.3 スタンバイ

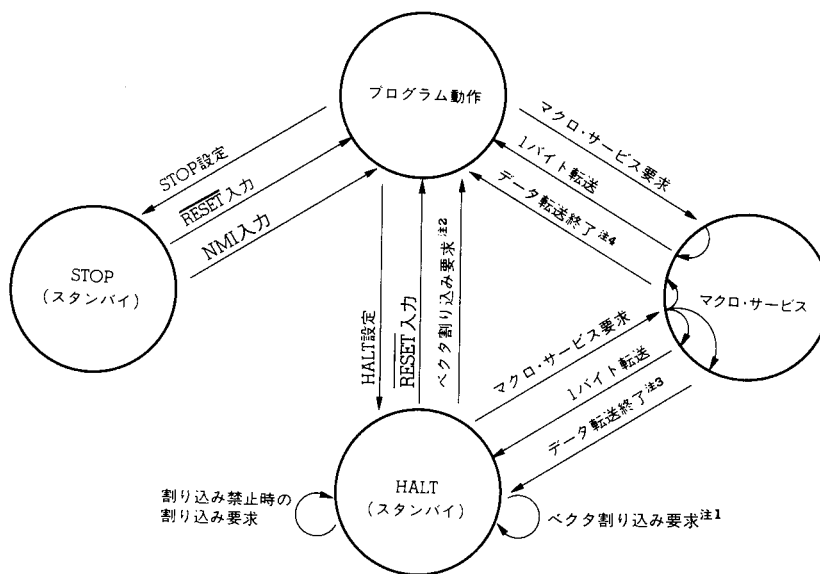
チップの消費電力を低減する機能です。次のようなモードがあります。

- HALTモード：CPUの動作クロックを停止させます。通常動作との間欠動作により、平均消費電力を低減できます。
- STOPモード：発振器を停止させます。チップ内部の動作をすべて停止させ、リーク電流だけの微小消費電力状態にします。

これらのモードはプログラマブルです。

また、HALTモードからマクロ・サービスを起動することができます。

図 3-5 スタンバイの状態遷移



- 注 1. 低優先レベルのベクタ割り込み要求の場合 (HALT設定時に低優先順位の割り込み禁止状態)。
- 2. 高優先レベルのベクタ割り込み要求の場合、または、HALT設定時に低優先順位の割り込み許可状態の場合。
- 3. 低優先レベルのマクロ・サービスの場合 (HALT設定時に低優先順位の割り込み禁止状態)。
- 4. 高優先レベルのマクロ・サービスの場合、または、HALT設定時に低優先順位の割り込み許可状態の場合。

3.4 リセット

RESET端子にロウ・レベルを入力すると、内部ハードウェアは初期状態になります（リセット状態）。

RESET入力がロウ・レベルからハイ・レベルになると、次のようなデータをプログラム・カウンタ（PC）に設定します。

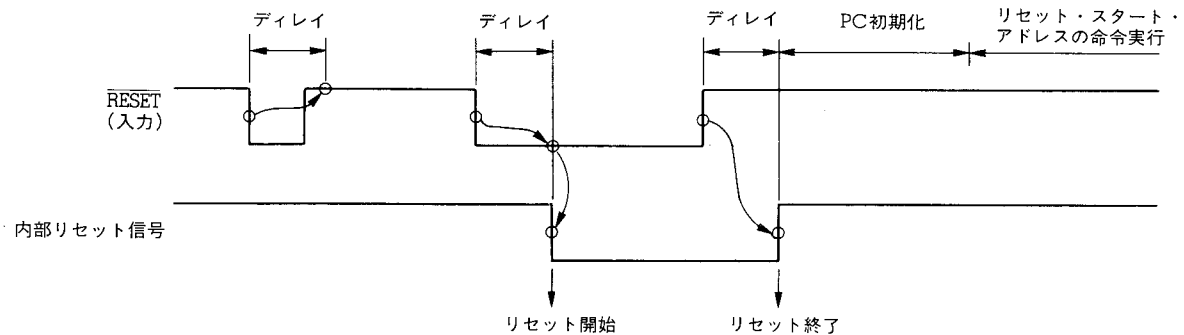
- PCの下位8ビット：0000H番地の内容
- PCの上位8ビット：0001H番地の内容

PCの設定内容を分岐先アドレスとし、そのアドレスからプログラムの実行を開始します。このため、任意の番地からリセット・スタートできます。

各レジスタの内容は、必要に応じて、プログラムで設定してください。

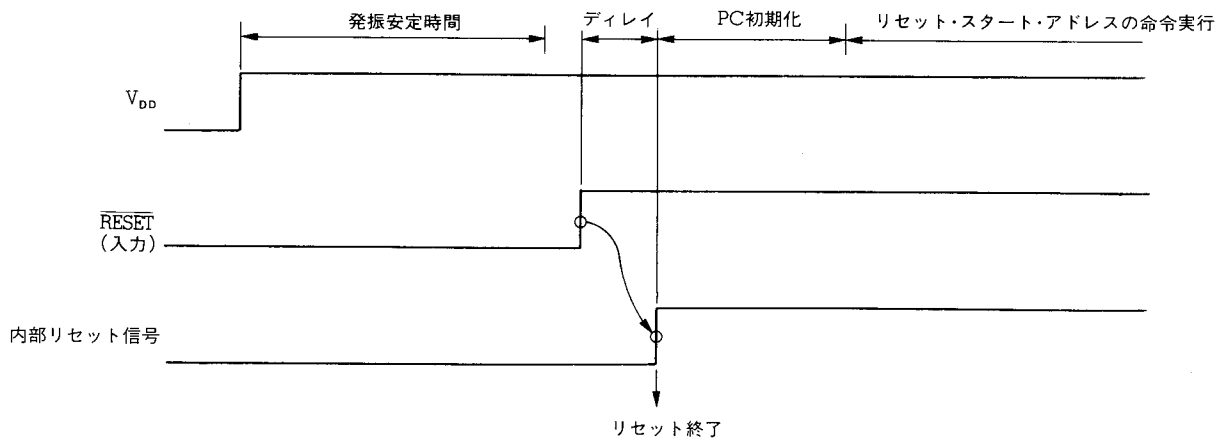
ノイズによる誤動作を防ぐため、RESET入力回路にはノイズ除去回路を内蔵しています。このノイズ除去回路は、アナログ・ディレイによるサンプリング回路となっています。

図 3-6 リセットの受け付け



電源投入時のリセット動作では、発振安定時間（約40ms）が経過するまでRESET信号をアクティブにしてください。

図 3-7 電源投入時のリセット動作



4. 命令セット

★

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, SHR, SHL, ROR4, ROL4, DBNZ, PUSH, POP

表 4-1 8ビット・アドレッシング別命令一覧

第2 オペランド 第1 オペランド	#byte	A	r r'	saddr saddr'	sfr	mem	& mem	!addr16	&!addr16	PSW	n	なし ^{注2}
A	ADD ^{注1}		MOV XCH	MOV XCH ADD ^{注1}	MOV XCH ADD ^{注1}	MOV XCH ADD ^{注1}	MOV XCH ADD ^{注1}	MOV	MOV	MOV		
r	MOV		MOV XCH ADD ^{注1}								ROL ROLC ROR RORC SHR SHL	MULU DIVUW INC DEC
rl												DBNZ
saddr	MOV ADD ^{注1}	MOV		MOV XCH ADD ^{注1}								INC DBNZ DEC
sfr	MOV ADD ^{注1}	MOV										PUSH POP
mem & mem		MOV										
mem1 & mem1												ROR4 ROL4
!addr16		MOV										
&!addr16		MOV										
PSW	MOV	MOV										PUSH POP
STBC	MOV											

注1. ADDC, SUB, SUBC, AND, OR, XOR, CMPはADDと同じ

2. 第2オペランドがないか、第2オペランドがオペランド・アドレスでない

(2) 16ビット命令

MOVW, ADDW, SUBW, CMPW, INCW, DECW, SHRW, SHLW, PUSH, POP

表 4-2 16ビット・アドレッシング別命令一覧

第2オペランド 第1オペランド	# word	AX	rp rp'	saddrp	sfrp	meml	& meml	SP	n	なし
AX	ADDW SUBW CMPW		ADDW SUBW CMPW	MOVW ADDW SUBW CMPW	MOVW ADDW SUBW CMPW	MOVW	MOVW	MOVW		
rp	MOVW		MOVW						SHLW SHRW	INCW DECW PUSH POP
saddrp	MOVW	MOVW								
sfrp	MOVW	MOVW								
meml & meml		MOVW								
SP	MOVW	MOVW								INCW DECW

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

表 4-3 ビット操作命令アドレッシング別命令一覧

第2 オペランド	第1 オペランド	CY	A.bit	/A.bit	X.bit	/X.bit	saddr.bit	/saddr. bit	sfr.bit	/sfr.bit	PSW.bit	/PSW. bit	なし注
	CY		MOV1 AND1 OR1 XOR1	AND1 OR1	MOV1 AND1 OR1 XOR1	AND1 OR1	MOV1 AND1 OR1 XOR1	AND1 OR1	MOV1 AND1 OR1 XOR1	AND1 OR1	MOV1 AND1 OR1 XOR1	AND1 OR1	SET1 CLR1 NOT1
	A.bit	MOV1											SET1 CLR1 NOT1 BT BF BTCLR
	X.bit	MOV1											SET1 CLR1 NOT1 BT BF BTCLR
	saddr.bit	MOV1											SET1 CLR1 NOT1 BT BF BTCLR
	sfr.bit	MOV1											SET1 CLR1 NOT1 BT BF BTCLR
	PSW.bit	MOV1											SET1 CLR1 NOT1 BT BF BTCLR

注 第2オペランドがないか、第2オペランドがオペランド・アドレスでない

(4) コール命令/分岐命令

CALL, CALLF, CALLT, BR, BC, BT, BF, BTCLR, DBNZ, BL, BNC, BNL, BZ, BE, BNZ, BNE

表 4-4 コール命令/分岐命令アドレッシング別命令一覧

命令アドレスの オペランド	\$addr16	!addr16	rp	!addr11	[addr5]
基本命令	BR BC ^注	CALL BR	CALL BR	CALLF	CALLT
複合命令	BT BF BTCLR DBNZ				

注 BL, BNC, BNL, BZ, BE, BNZ, BNEはBCと同じ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, NOP, EI, DI, SEL

5. 電気的特性

絶対最大定格 (T_a = 25 °C)

項 目	略 号	条 件	定 格	単 位
電 源 電 圧	V _{DD}		- 0.5 ~ + 7.0	V
	AV _{DD}		AV _{SS} ~ V _{DD} + 0.5	V
	AV _{SS}		- 0.5 ~ + 0.5	V
入 力 電 圧	V _I		- 0.5 ~ V _{DD} + 0.5	V
出 力 電 圧	V _O		- 0.5 ~ V _{DD} + 0.5	V
ロウ・レベル出力電流	I _{OL}	1 端子	15	mA
		全出力端子合計	100	mA
ハイ・レベル出力電流	I _{OH}	1 端子	- 10	mA
		全出力端子合計	- 50	mA
A/Dコンバータ基準入力電圧	AV _{REF1}		- 0.5 ~ V _{DD} + 0.3	V
D/Aコンバータ基準入力電圧	AV _{REF2}		- 0.5 ~ V _{DD} + 0.3	V
	AV _{REF3}		- 0.5 ~ V _{DD} + 0.3	V
動 作 温 度	T _{opt}		- 40 ~ + 85	°C
保 存 温 度	T _{stg}		- 65 ~ + 150	°C

注意 各項目のうち1項目でも、また、一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。★
 つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ず定格値を越えない状態で、製品をご使用ください。

動作条件

クロック周波数	動作温度 (T _{opt})	電源電圧 (V _{DD})
4 MHz ≤ f _{xx} ≤ 12 MHz	-40 ~ +85 °C	+5.0 V ± 10 %

容量 (T_a = 25 °C, V_{DD} = V_{SS} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力容量	C _I	f = 1 MHz 被測定端子以外は0V			20	pF
出力容量	C _O				20	pF
入出力容量	C _{IO}				20	pF

発振器特性 ($T_a = -40 \sim +85^\circ\text{C}$, $V_{DD} = +5\text{V} \pm 10\%$, $V_{SS} = 0\text{V}$)

発振子	推奨回路	項目	MIN.	MAX.	単位
セラミック発振子 または水晶振動子		発振周波数 (f_{xx})	4	12	MHz
外部クロック		X1 入力周波数 (f_x)	4	12	MHz
		X1 入力立ち上がり, 立ち下がり時間 (t_{XR}, t_{XF})	0	30	ns
		X1 入力ハイ, ロウ・レベル幅 (t_{WXH}, t_{WXL})	30	130	ns

注意 クロック発振回路を使用する場合は、配線容量などの影響を避けるために、 の部分を次のように配線してください。

- 配線を極力短くする。
- ほかの信号線と交差させない。
- 変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- 発振回路から信号を取り出さない。

推奨発振回路定数

(1) μPD78233, 78234の場合

セラミック発振子

メーカー	周波数 [MHz]	品名	推奨定数	
			C1[pF]	C2[pF]
村田製作所	12	CSA12.0MT	30	30
		CST12.0MT ^注	コンデンサ内蔵タイプ	
京セラ	12	KBR12.0M	33	33
松下電子部品(株)	12	EFOGC1205C4 EFOEC1205C4	コンデンサ内蔵タイプ	

注 製造中止

水晶振動子

メーカー	周波数 [MHz]	品名	推奨定数	
			C1[pF]	C2[pF]
キンセキ	12	HC-49/U	18	18

(2) μPD78238の場合

★

セラミック発振子

メーカー	周波数 [MHz]	品名	推奨定数	
			C1 [pF]	C2 [pF]
村田製作所	12	CSA12.0MT	30	30
		CST12.0MTW	コンデンサ内蔵タイプ	
松下電子部品 (株)	12	EFOGC1205C4 EFOEC1205C4	コンデンサ内蔵タイプ	

DC特性 (Ta = -40 ~ +85 °C, V_{DD} = AV_{DD} = +5 V ± 10 %, V_{SS} = AV_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル入力電圧	V _{IL}		0		0.8	V
ハイ・レベル入力電圧	V _{IH1}	注1以外の端子	2.2		V _{DD}	V
	V _{IH2}	注1の端子	0.8 V _{DD}		V _{DD}	V
ロウ・レベル出力電圧	V _{OL1}	I _{OL} = 2.0 mA			0.45	V
	V _{OL2}	I _{OL} = 8.0 mA 注2			1.0	V
ハイ・レベル出力電圧	V _{OH1}	I _{OH} = -1.0 mA	V _{DD} - 1.0			V
	V _{OH2}	I _{OH} = -100 μA	V _{DD} - 0.5			V
	V _{OH3}	I _{OH} = -5.0 mA 注3	2.0			V
入力リーク電流	I _{L1}	0 V ≤ V _i ≤ V _{DD}			± 10	μA
出力リーク電流	I _{L0}	0 V ≤ V _o ≤ V _{DD}			± 10	μA
X1ロウ・レベル入力電流	I _{IL}	0 V ≤ V _i ≤ V _{IL}			-100	μA
X1ハイ・レベル入力電流	I _{IH}	V _{IH2} ≤ V _i ≤ V _{DD}			100	μA
V _{DD} 電源電流	I _{DD1}	動作モード f _{xx} = 12 MHz		20	40	mA
	I _{DD2}	HALTモード f _{xx} = 12 MHz		7	20	mA
データ保持電圧	V _{DDDR}	STOPモード	2.5		5.5	V
データ保持電流	I _{DDDR}	STOPモード	V _{DDDR} = 2.5 V		10	μA
			V _{DDDR} = 5 V ± 10 %		20	μA
プルアップ抵抗	R _L	V _i = 0 V	15	40	80	kΩ

注1. X1, X2, $\overline{\text{RESET}}$, P20/NMI, P21/INTP0, P22/INTP1, P23/INTP2/CI, P24/INTP3, P25/INTP4/ASCK, P26/INTP5, P27/SI, P32/SCK, P33/SO/SB0, MODE端子

2. P10-P17, P40/AD0-P47/AD7, P50/A8-P57/A15端子

3. P00-P07端子

AC 特性 (Ta = -40 ~ +85 °C, V_{DD} = +5V ± 10%, V_{SS} = 0V)

リード/ライト・オペレーション (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
X1 入力クロック・サイクル・タイム	t _{CYX}		82	250	ns
アドレス・セットアップ時間 (対 ASTB↓)	t _{SAST} *		52		ns
アドレス・ホールド時間 (対 ASTB↓) 注	t _{HSTA}		25		ns
アドレス・ホールド時間 (対 RD↑)	t _{HRA}		30		ns
アドレス・ホールド時間 (対 WR↑)	t _{HWA}		30		ns
アドレス→RD↓遅延時間	t _{DAR} *		129		ns
アドレス・フロート時間 (対 RD↓)	t _{FAR} *		11		ns
アドレス→データ入力時間	t _{DAID} *	ウエイト数=0		228	ns
ASTB↓→データ入力時間	t _{DSTID} *	ウエイト数=0		181	ns
RD↓→データ入力時間	t _{DRID} *	ウエイト数=0		100	ns
ASTB↓→RD↓遅延時間	t _{DSTR} *		52		ns
データ・ホールド時間 (対 RD↑)	t _{HRID}		0		ns
RD↑→アドレス・アクティブ時間	t _{DRA} *		124		ns
RD↑→ASTB↑遅延時間	t _{DRST} *		124		ns
RD ロウ・レベル幅	t _{WRL} *	ウエイト数=0	124		ns
ASTB ハイ・レベル幅	t _{WSTH} *		52		ns
アドレス→WR↓遅延時間	t _{DAW} *		129		ns
ASTB↓→データ出力時間	t _{DSTOD} *			142	ns
WR↓→データ出力時間	t _{DWOD}			60	ns
ASTB↓→WR↓遅延時間	t _{DSTW1} *	リフレッシュ禁止時	52		ns
	t _{DSTW2} *	リフレッシュ許可時	129		ns
データ・セットアップ時間 (対 WR↑)	t _{SODWR} *	ウエイト数=0	146		ns
データ・セットアップ時間 (対 WR↓)	t _{SODWF} *	リフレッシュ許可時	22		ns
データ・ホールド時間 (対 WR↑) 注	t _{HWOD}		20		ns
WR↑→ASTB↑遅延時間	t _{DWST} *		42		ns
WR ロウ・レベル幅	t _{WWL1} *	リフレッシュ禁止時 ウエイト数=0	196		ns
	t _{WWL2} *	リフレッシュ許可時 ウエイト数=0	114		ns
アドレス→WAIT↓入力時間	t _{DAWT} *			146	ns
ASTB↓→WAIT↓入力時間	t _{DSTWT} *			84	ns

注 ホールド時間には、C_L=100 pF, R_L=2 kΩの負荷条件でV_{OH}, V_{OL}を保持する時間を含みます。

備考1. 表中の数値はf_{xx}=12 MHz, C_L=100 pFのときの値です。

2. 略号欄に*印があるものについては、t_{CYX}依存のバス・タイミング定義も参照してください。

リード/ライト・オペレーション (2/2)

項目	略号	条件	MIN.	MAX.	単位
ASTB↓→ $\overline{\text{WAIT}}$ 保持時間	t_{HSTWT} *	外部ウエイト数=1	174		ns
ASTB↓→ $\overline{\text{WAIT}}$ ↑遅延時間	t_{DSTWTH} *	外部ウエイト数=1		273	ns
$\overline{\text{RD}}$ ↓→ $\overline{\text{WAIT}}$ ↓入力時間	t_{DRWTL} *			22	ns
$\overline{\text{RD}}$ ↓→ $\overline{\text{WAIT}}$ 保持時間	t_{HRWT} *	外部ウエイト数=1	87		ns
$\overline{\text{RD}}$ ↓→ $\overline{\text{WAIT}}$ ↑遅延時間	t_{DRWTH} *	外部ウエイト数=1		186	ns
$\overline{\text{WAIT}}$ ↑→データ入力時間	t_{DWTID} *			62	ns
$\overline{\text{WAIT}}$ ↑→ $\overline{\text{WR}}$ ↑遅延時間	t_{DWTW} *		154		ns
$\overline{\text{WAIT}}$ ↑→ $\overline{\text{RD}}$ ↑遅延時間	t_{DWTR} *		72		ns
$\overline{\text{WR}}$ ↓→ $\overline{\text{WAIT}}$ 入力時間 (リフレッシュ禁止時)	t_{DWWTL} *			22	ns
$\overline{\text{WR}}$ ↓→ $\overline{\text{WAIT}}$ 保持時間	リフレッシュ禁止時	t_{HWWT1} *	外部ウエイト数=1	87	ns
	リフレッシュ許可時	t_{HWWT2} *	外部ウエイト数=1	5	ns
$\overline{\text{WR}}$ ↓→ $\overline{\text{WAIT}}$ ↑遅延時間	リフレッシュ禁止時	t_{DWWTH1} *	外部ウエイト数=1	186	ns
	リフレッシュ許可時	t_{DWWTH2} *	外部ウエイト数=1	104	ns
$\overline{\text{RD}}$ ↑→ $\overline{\text{REFRQ}}$ ↓遅延時間	t_{DRRFQ} *		154		ns
$\overline{\text{WR}}$ ↑→ $\overline{\text{REFRQ}}$ ↓遅延時間	t_{DWRFQ} *		72		ns
$\overline{\text{REFRQ}}$ ロウ・レベル幅	t_{WRFQL} *		120		ns
$\overline{\text{REFRQ}}$ ↑→ASTB↑遅延時間	t_{DRFQST} *		280		ns

備考1. 表中の数値は $f_{\text{xx}}=12\text{ MHz}$, $C_1=100\text{ pF}$ のときの値です。

2. 略号欄に*印があるものについては、 t_{CYX} 依存のバス・タイミング定義も参照してください。

シリアル・オペレーション

項 目	略 号	条 件	MIN.	MAX.	単 位	
シリアル・クロック・サイクル・タイム	t_{CYSK}	入力 外部クロック	1.0		μS	
		出力	内部 16 分周	1.3		μS
			内部 64 分周	5.3		μS
シリアル・クロック・ロウ・レベル幅	t_{WSKL}	入力 外部クロック	420		ns	
		出力	内部 16 分周	556		ns
			内部 64 分周	2.5		μS
シリアル・クロック・ハイ・レベル幅	t_{WSKH}	入力 外部クロック	420		ns	
		出力	内部 16 分周	556		ns
			内部 64 分周	2.5		μS
SI, SBO セットアップ時間 (対 \overline{SCK} ↑)	t_{SSSK}		150		ns	
SI, SBO ホールド時間 (対 \overline{SCK} ↑)	t_{HSSK}		400		ns	
SO/SBO 出力遅延時間 (対 \overline{SCK} ↓)	t_{DSBSK1}	CMOS プッシュプル出力 (3 線式シリアル I/O モード)	0	300	ns	
	t_{DSBSK2}	オープン・ドレイン出力 (SBI モード), $R_L = 1 k\Omega$	0	800	ns	
SBO ハイ・ホールド時間 (対 \overline{SCK} ↑)	t_{HSBSK}	SBI モード	4		t_{CYX}	
SBO ロウ・セットアップ時間 (対 \overline{SCK} ↓)	t_{SSBSK}		4		t_{CYX}	
SBO ロウ・レベル幅	t_{WSBL}		4		t_{CYX}	
SBO ハイ・レベル幅	t_{WSBH}		4		t_{CYX}	

備考 表中の数値は $f_{xx} = 12 \text{ MHz}$, $C_L = 100 \text{ pF}$ のときの値です。

その他のオペレーション

項 目	略 号	条 件	MIN.	MAX.	単 位
NMI ロウ・レベル幅	t_{WNIL}		10		μs
NMI ハイ・レベル幅	t_{WNIH}		10		μs
INTPO-INTP5 ロウ・レベル幅	t_{WITL}		24		t_{CYX}
INTPO-INTP5 ハイ・レベル幅	t_{WITH}		24		t_{CYX}
RESET ロウ・レベル幅	t_{WRSL}		10		μs
RESET ハイ・レベル幅	t_{WRSH}		10		μs

外部クロック・タイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
X1 入力ロウ・レベル幅	t_{WXL}		30	130	ns
X1 入力ハイ・レベル幅	t_{WXH}		30	130	ns
X1 入力立ち上がり時間	t_{XR}		0	30	ns
X1 入力立ち下がり時間	t_{XF}		0	30	ns
X1 入力クロック・サイクル・タイム	t_{CYX}		82	250	ns

A/Dコンバータ特性 ($T_a = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = AV_{DD} = +5V \pm 10\%$, $V_{SS} = AV_{SS} = 0V$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			8			bit
総合誤差注1		$4.0V \leq AV_{REF1} \leq AV_{DD}$ $T_a = -10 \sim +70 \text{ }^\circ\text{C}$			0.4	%
		$3.4V \leq AV_{REF1} \leq AV_{DD}$			0.8	%
		$4.0V \leq AV_{REF1} \leq AV_{DD}$			0.6	%
量子化誤差					$\pm 1/2$	LSB
変換時間	t_{CONV}	ADMのFRビットが“0”の場合	360			t_{CYX}
		ADMのFRビットが“1”の場合	240			t_{CYX}
サンプリング時間	t_{SAMP}	ADMのFRビットが“0”の場合	72			t_{CYX}
		ADMのFRビットが“1”の場合	48			t_{CYX}
アナログ入力電圧	V_{IAN}		-0.3		$AV_{REF1} + 0.3$	V
アナログ入力インピーダンス	R_{AN}			1000		MΩ
基準電圧	AV_{REF1}		3.4		AV_{DD}	V
AV_{REF} 電流	AI_{REF1}	$f_{XX} = 12 \text{ MHz}$		1.5	3.0	mA
		注2		0.7	1.5	mA
AV_{DD} 電源電流	AI_{DD1}	$f_{XX} = 12 \text{ MHz}$		1.4	3.0	mA
	AI_{DD2}	注3		10	20	μA

注1. 量子化誤差を含みません。フル・スケール値に対する比率で表しています。

2. ADMレジスタのCSビットが0のとき。
3. ADMレジスタのCSビットが0で、STOPモードのとき。

D/Aコンバータ特性 ($T_a = -40 \sim +85^\circ\text{C}$, $AV_{REF2} = V_{DD} + 5V \pm 10\%$, $AV_{REF3} = V_{SS} = 0V$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能					8	BIT
総合誤差		負荷条件 4 M Ω , 30 pF			0.4	%
		負荷条件 2 M Ω , 30 pF			0.6	%
		$AV_{REF2} = 0.75 V_{DD}$ $AV_{REF3} = 0.25 V_{DD}$ 負荷条件 4 M Ω , 30 pF			0.6	%
		$AV_{REF2} = 0.75 V_{DD}$ $AV_{REF3} = 0.25 V_{DD}$ 負荷条件 2 M Ω , 30 pF			0.8	%
セットリング・タイム		負荷条件 2 M Ω , 30 pF			10	μ s
出力抵抗	R_o	注		20		k Ω
アナログ基準電圧	AV_{REF2}		$0.75 V_{DD}$		V_{DD}	V
アナログ基準電圧	AV_{REF3}		0		$0.25 V_{DD}$	V
基準電源入力電流	AI_{REF2}		0		5	mA
基準電源入力電流	AI_{REF3}		-5		0	mA

注 DACS0, 1 = 7 FH時

t_{CYX} 依存のバス・タイミング定義 (1/2)

項 目	略 号	計 算 式	MIN./MAX.	12 MHz	単 位
X1入力クロック・サイクル・タイム	t_{CYX}		MIN.	82	ns
アドレス・セットアップ時間(対ASTB↓)	t_{SAST}	$t_{CYX} - 30$	MIN.	52	ns
アドレス→ \overline{RD} ↓遅延時間	t_{DAR}	$2t_{CYX} - 35$	MIN.	129	ns
アドレス・フロート時間(対 \overline{RD} ↓)	t_{FAR}	$t_{CYX}/2 - 30$	MIN.	11	ns
アドレス→データ入力時間	t_{DAID}	$(4+2n)t_{CYX} - 100$	MAX.	228 ^注	ns
ASTB↓→データ入力時間	t_{DSTID}	$(3+2n)t_{CYX} - 65$	MAX.	181 ^注	ns
\overline{RD} ↓→データ入力時間	t_{DRID}	$(2+2n)t_{CYX} - 64$	MAX.	100 ^注	ns
ASTB↓→ \overline{RD} ↓遅延時間	t_{DSTR}	$t_{CYX} - 30$	MIN.	52	ns
\overline{RD} ↑→アドレス・アクティブ時間	t_{DRA}	$2t_{CYX} - 40$	MIN.	124	ns
\overline{RD} ↑→ASTB↑遅延時間	t_{DRST}	$2t_{CYX} - 40$	MIN.	124	ns
\overline{RD} ロウ・レベル幅	t_{WRL}	$(2+2n)t_{CYX} - 40$	MIN.	124 ^注	ns
ASTBハイ・レベル幅	t_{WSTH}	$t_{CYX} - 30$	MIN.	52	ns
アドレス→ \overline{WR} ↓遅延時間	t_{DAW}	$2t_{CYX} - 35$	MIN.	129	ns
ASTB↓→データ出力時間	t_{DSTOD}	$t_{CYX} + 60$	MAX.	142	ns
★ ASTB↓→ \overline{WR} ↓遅延時間	t_{DSTW1}	$t_{CYX} - 30$ (リフレッシュ禁止時)	MIN.	52	ns
	t_{DSTW2}	$2t_{CYX} - 35$ (リフレッシュ許可時)	MIN.	129	ns
データ・セットアップ時間(対 \overline{WR} ↑)	t_{SODWR}	$(3+2n)t_{CYX} - 100$	MIN.	146 ^注	ns
データ・セットアップ時間(対 \overline{WR} ↓)	t_{SODWF}	$t_{CYX} - 60$ (リフレッシュ許可時)	MIN.	22	ns
\overline{WR} ↑→ASTB↑遅延時間	t_{DWST}	$t_{CYX} - 40$	MIN.	42	ns
★ \overline{WR} ロウ・レベル幅	t_{WWL1}	$(3+2n)t_{CYX} - 50$ (リフレッシュ禁止時)	MIN.	196 ^注	ns
	t_{WWL2}	$(2+2n)t_{CYX} - 50$ (リフレッシュ許可時)	MIN.	114 ^注	ns
アドレス→ \overline{WAIT} ↓入力時間	t_{DAWT}	$3t_{CYX} - 100$	MAX.	146	ns
ASTB↓→ \overline{WAIT} ↓入力時間	t_{DSTWT}	$2t_{CYX} - 80$	MAX.	84	ns

備考 nはウエイト数を示します。

注 n=0のとき

t_{CYX} 依存のバス・タイミング定義(2/2)

項 目	略 号	計 算 式	MIN./MAX.	12 MHz	単 位	
ASTB ↓ → $\overline{\text{WAIT}}$ 保持時間	t_{HSTWT}	$2Xt_{\text{CYX}} + 10$	MIN.	174 ^注	ns	
ASTB ↓ → $\overline{\text{WAIT}}$ ↑ 遅延時間	t_{DSTWTH}	$2(1+X)t_{\text{CYX}} - 55$	MAX.	273 ^注	ns	
$\overline{\text{RD}}$ ↓ → $\overline{\text{WAIT}}$ ↓ 入力時間	t_{DRWTL}	$t_{\text{CYX}} - 60$	MAX.	22	ns	
$\overline{\text{RD}}$ ↓ → $\overline{\text{WAIT}}$ 保持時間	t_{HRWT}	$(2X-1)t_{\text{CYX}} + 5$	MIN.	87 ^注	ns	
$\overline{\text{RD}}$ ↓ → $\overline{\text{WAIT}}$ ↑ 遅延時間	t_{DRWTH}	$(2X+1)t_{\text{CYX}} - 60$	MAX.	186 ^注	ns	
$\overline{\text{WAIT}}$ ↑ → データ入力時間	t_{DWTID}	$t_{\text{CYX}} - 20$	MAX.	62	ns	
$\overline{\text{WAIT}}$ ↑ → $\overline{\text{WR}}$ ↑ 遅延時間	t_{DWTW}	$2t_{\text{CYX}} - 10$	MIN.	154	ns	
$\overline{\text{WAIT}}$ ↑ → $\overline{\text{RD}}$ ↑ 遅延時間	t_{DWTR}	$t_{\text{CYX}} - 10$	MIN.	72	ns	
$\overline{\text{WR}}$ ↓ → $\overline{\text{WAIT}}$ 入力時間 (リフレッシュ禁止時)	t_{DWWTL}	$t_{\text{CYX}} - 60$	MAX.	22	ns	
$\overline{\text{WR}}$ ↓ → $\overline{\text{WAIT}}$ 保持時間	リフレッシュ禁止時	t_{HWWT1}	$(2X-1)t_{\text{CYX}} + 5$	MIN.	87 ^注	ns
	リフレッシュ許可時	t_{HWWT2}	$2(X-1)t_{\text{CYX}} + 5$	MIN.	5 ^注	ns
$\overline{\text{WR}}$ ↓ → $\overline{\text{WAIT}}$ ↑ 遅延時間	リフレッシュ禁止時	t_{DWWTH1}	$(2X+1)t_{\text{CYX}} - 60$	MAX.	186 ^注	ns
	リフレッシュ許可時	t_{DWWTH2}	$2Xt_{\text{CYX}} - 60$	MAX.	104 ^注	ns
$\overline{\text{RD}}$ ↑ → $\overline{\text{REFRQ}}$ ↓ 遅延時間	t_{DRRFQ}	$2t_{\text{CYX}} - 10$	MIN.	154	ns	
$\overline{\text{WR}}$ ↑ → $\overline{\text{REFRQ}}$ ↓ 遅延時間	t_{DWRFQ}	$t_{\text{CYX}} - 10$	MIN.	72	ns	
$\overline{\text{REFRQ}}$ ロウ・レベル幅	t_{WRFQL}	$2t_{\text{CYX}} - 44$	MIN.	120	ns	
$\overline{\text{REFRQ}}$ ↑ → ASTB ↑ 遅延時間	t_{DRFQST}	$4t_{\text{CYX}} - 48$	MIN.	280	ns	

備考1. X: 外部ウェイト数(1, 2, ...)

2. $t_{\text{CYX}} \cong 82 \text{ ns}$ ($f_{\text{XX}} = 12 \text{ MHz}$)

3. nはウェイト数を示します。

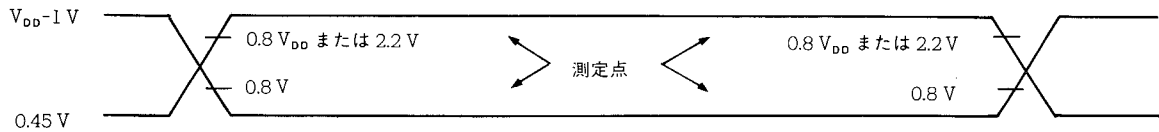
注 X=1のとき

データ保持特性 (Ta = -40 ~ +85 °C)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電圧	V _{DDDR}	STOP モード	2.5		5.5	V
データ保持電流	I _{DDDR}	V _{DDDR} = 2.5 V			10	μA
		V _{DDDR} = 5 V ± 10 %			20	μA
V _{DD} 立ち上がり時間	t _{RVD}		200			μs
V _{DD} 立ち下がり時間	t _{FVD}		200			μs
V _{DD} 保持時間(対 STOP モード設定)	t _{HVD}		0			ms
STOP 解除信号入力時間	t _{DREL}		0			ms
発振安定ウェイト時間	t _{WAIT}	水晶振動子	30			ms
		セラミック発振子	5			ms
ロウ・レベル入力電圧	V _{IL}	特定端子 ^注	0		0.1 V _{DDDR}	V
ハイ・レベル入力電圧	V _{IH}		0.9 V _{DDDR}		V _{DDDR}	V

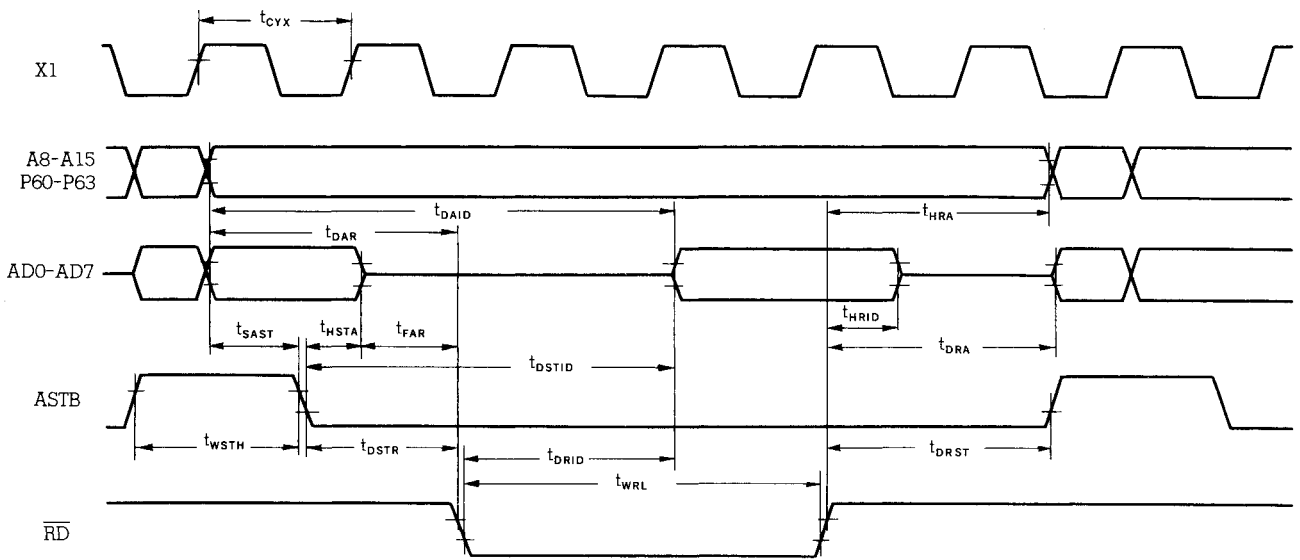
注 RESET, MODE, P20/NMI, P21/INTP0, P22/INTP1, P23/INTP2/CI, P24/INTP3, P25/INTP4/ASCK, P26/INTP5, P27/SI, P32/SCK, P33/SO/SB0 端子。

AC タイミング測定点

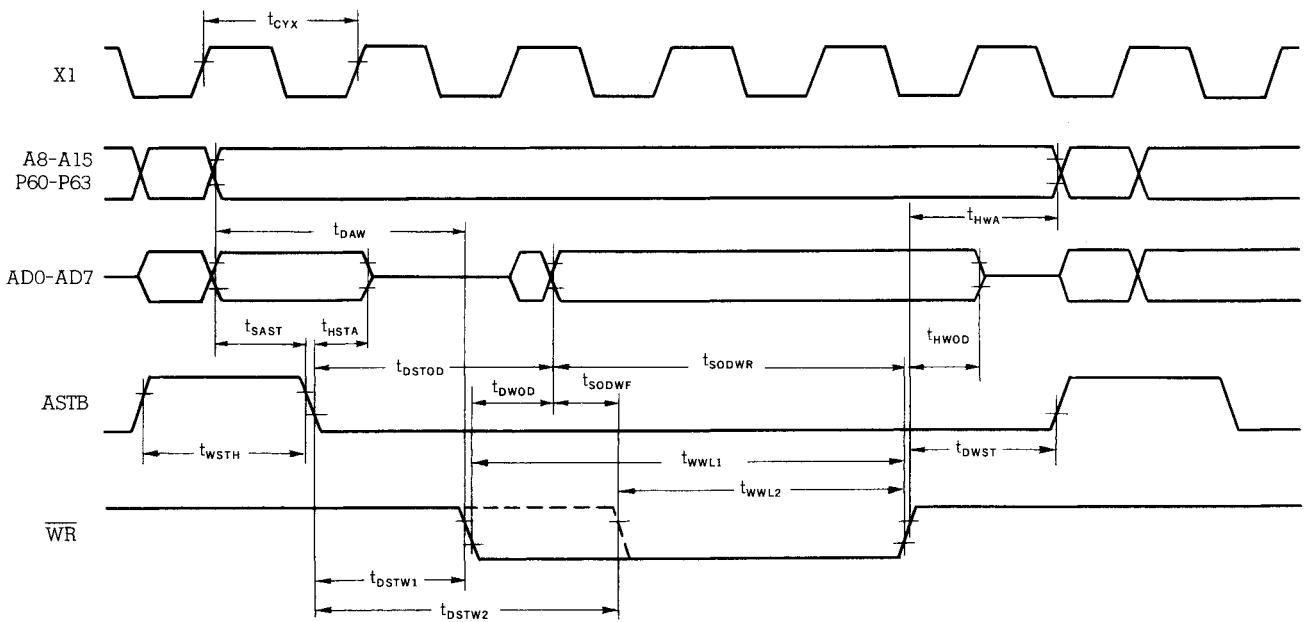


タイミング波形

リード・オペレーション

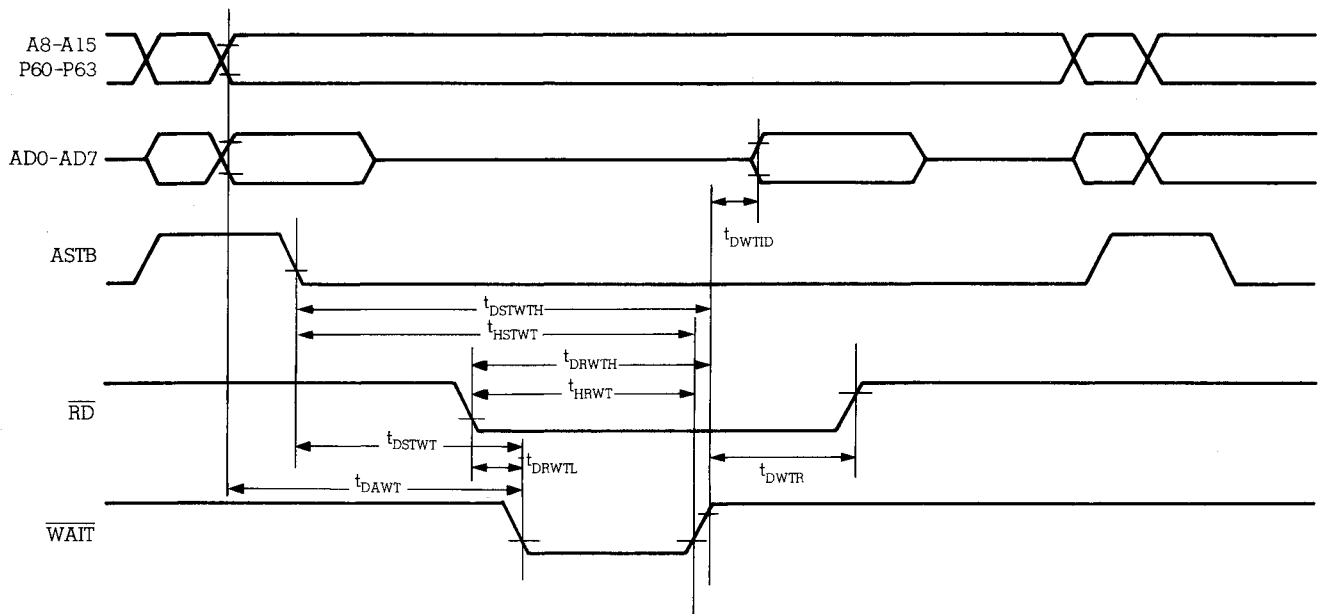


ライト・オペレーション

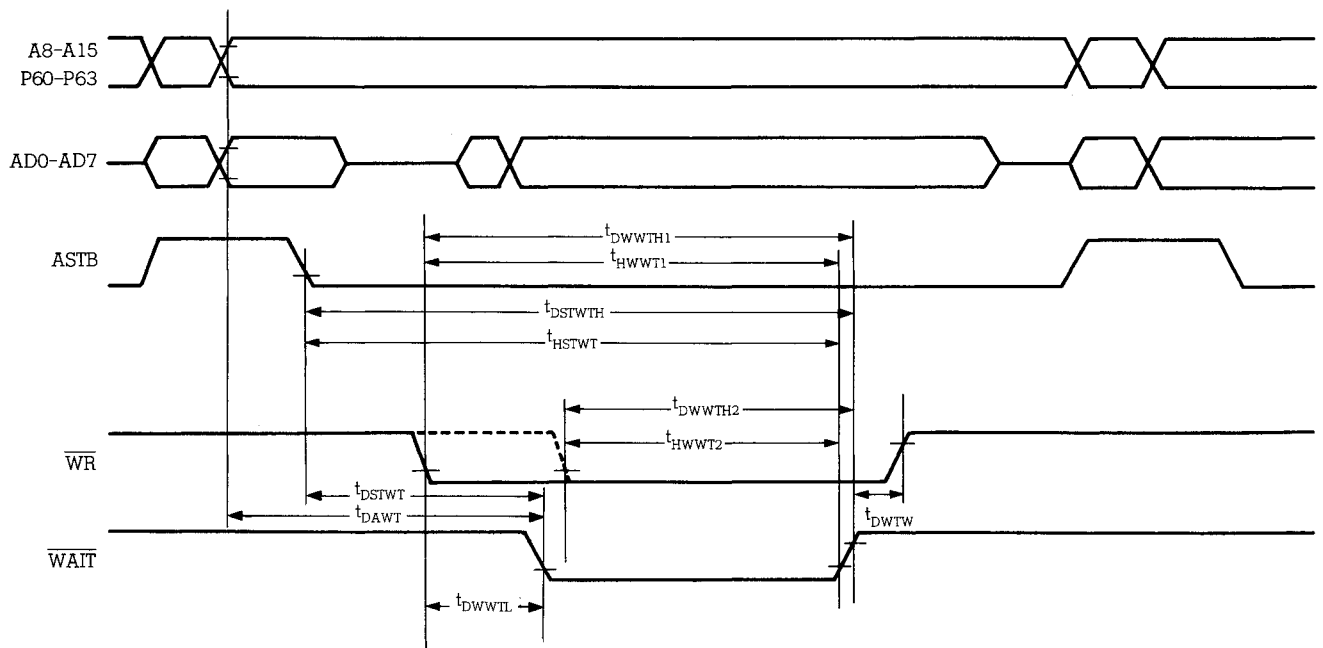


外部WAIT信号入力タイミング

リード・オペレーション

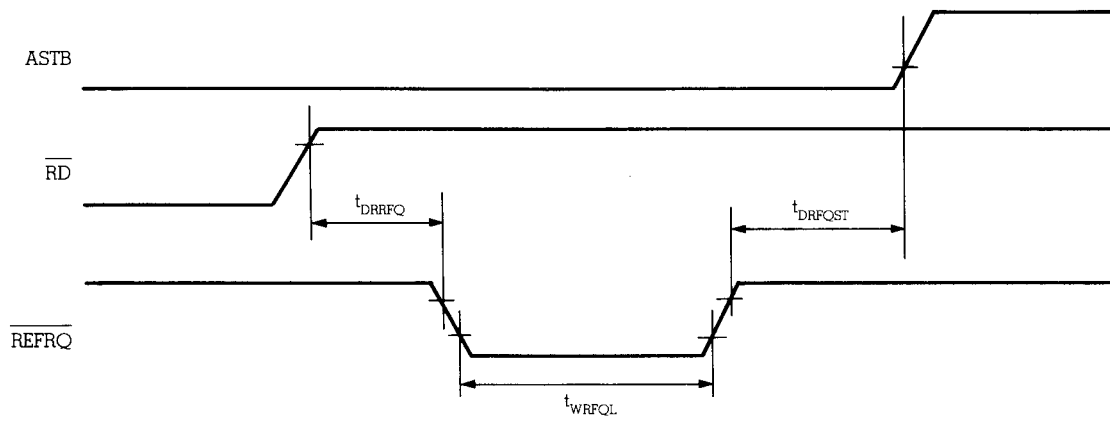


ライト・オペレーション

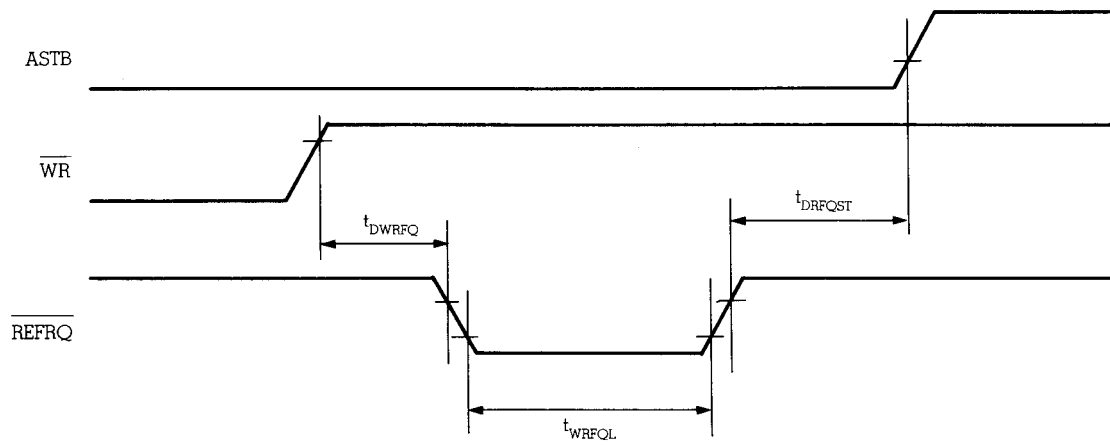


リフレッシュ・タイミング波形

リード後のリフレッシュ

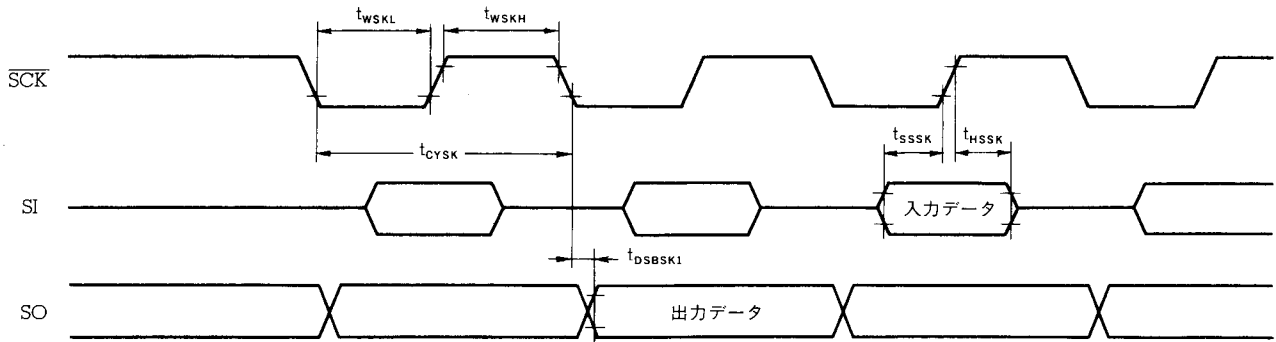


ライト後のリフレッシュ



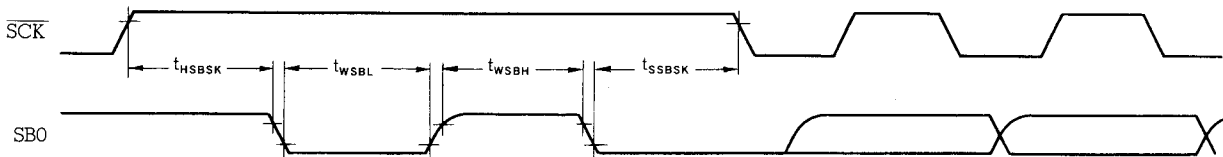
シリアル・オペレーション

3線式シリアルI/Oモード

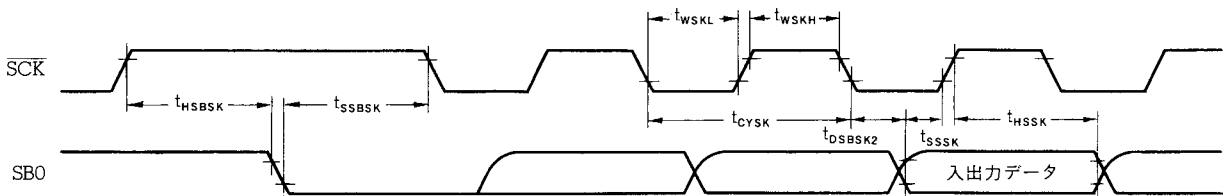


SBIモード

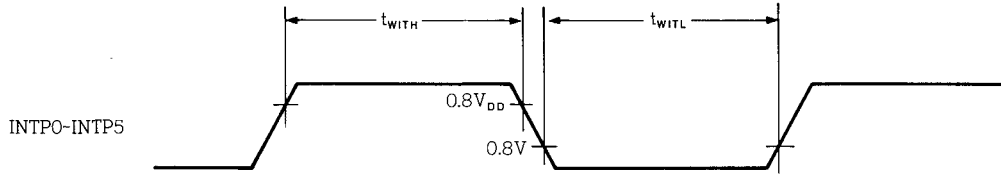
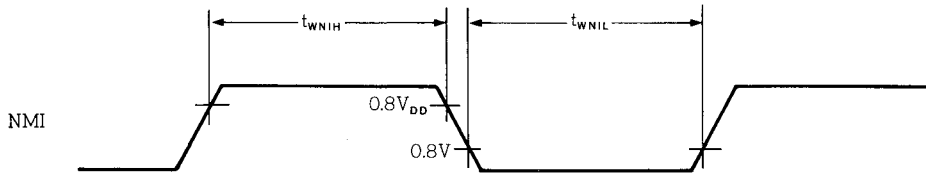
バス・リリース信号転送



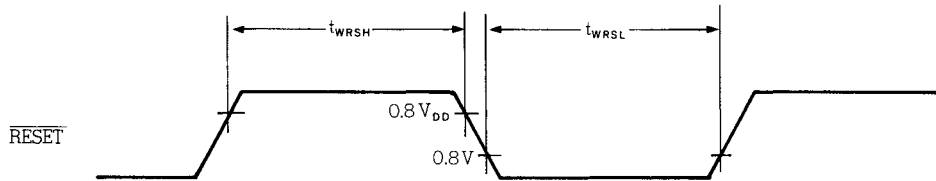
コマンド信号転送



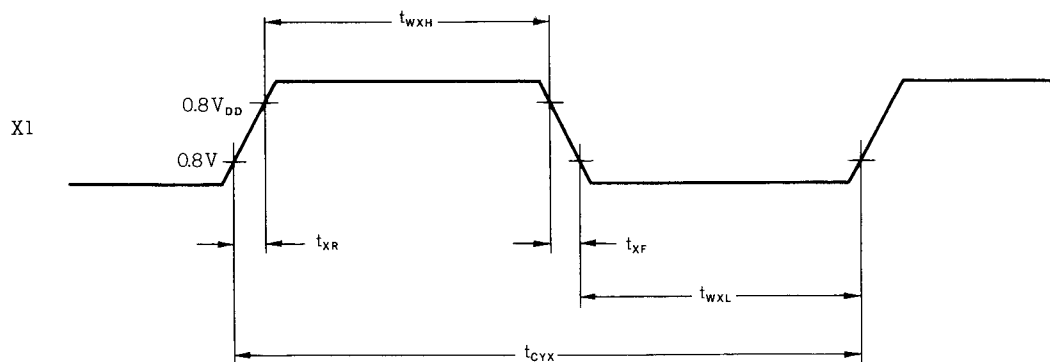
割り込み入カタイミング



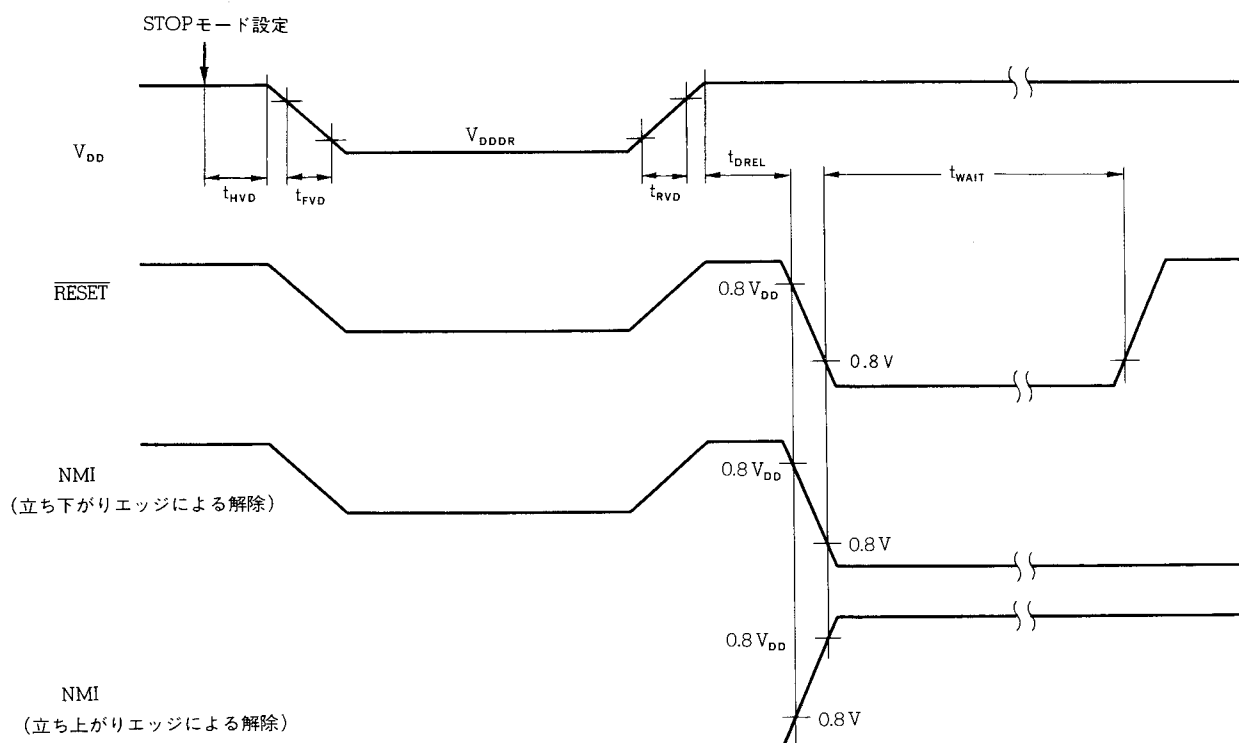
リセット入カタイミング



外部クロック・タイミング

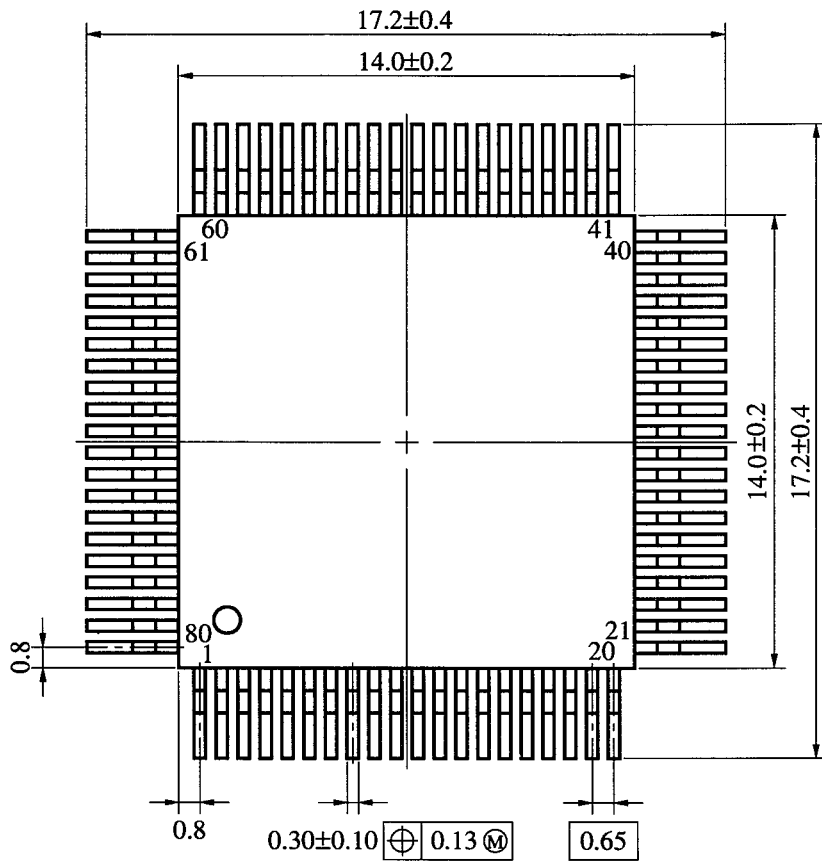


データ保持特性

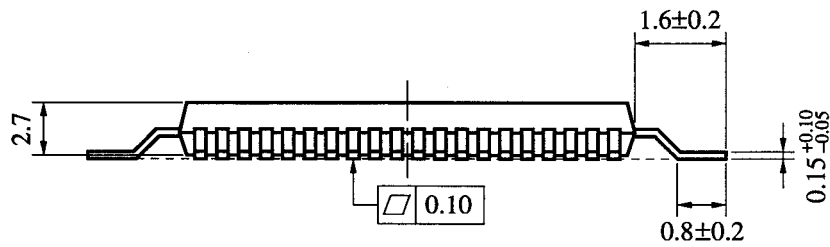
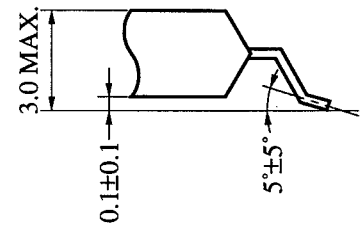


6. 外形図

80ピン・プラスチック QFP (□14) 外形図 (単位: mm)

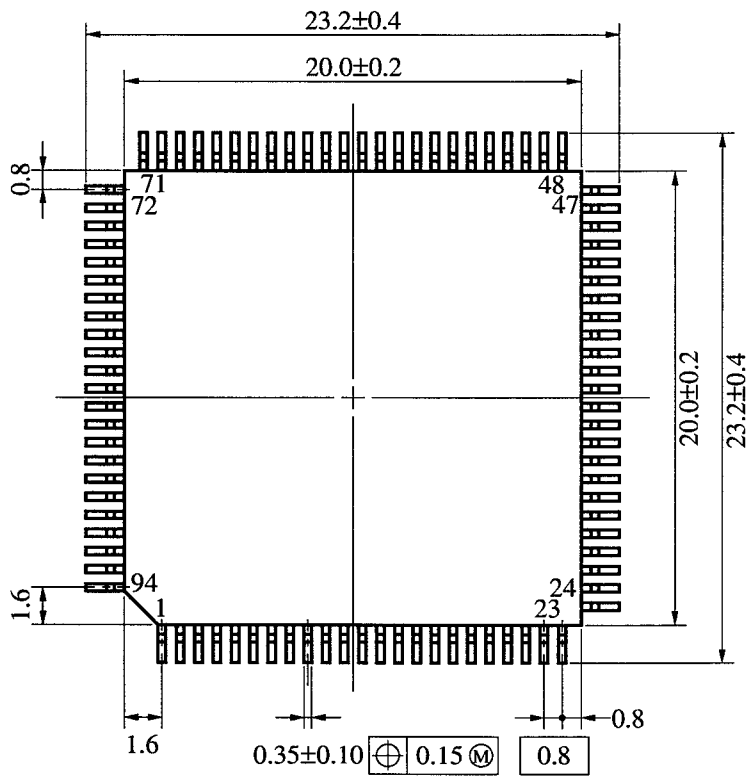


端子先端形状詳細図

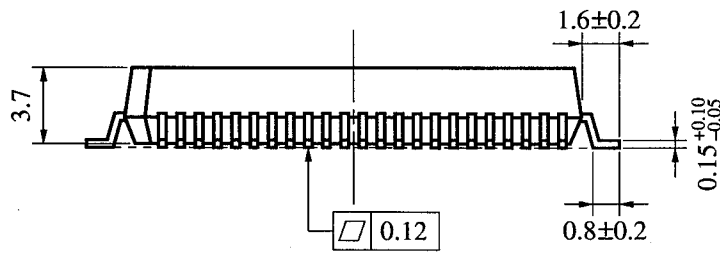
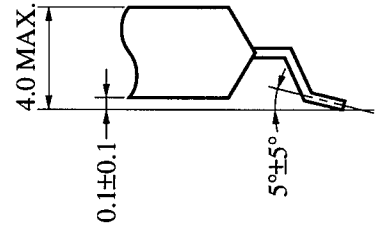


S80GC-65-3B9-3

94ピン・プラスチック QFP (□20) 外形図 (単位: mm)

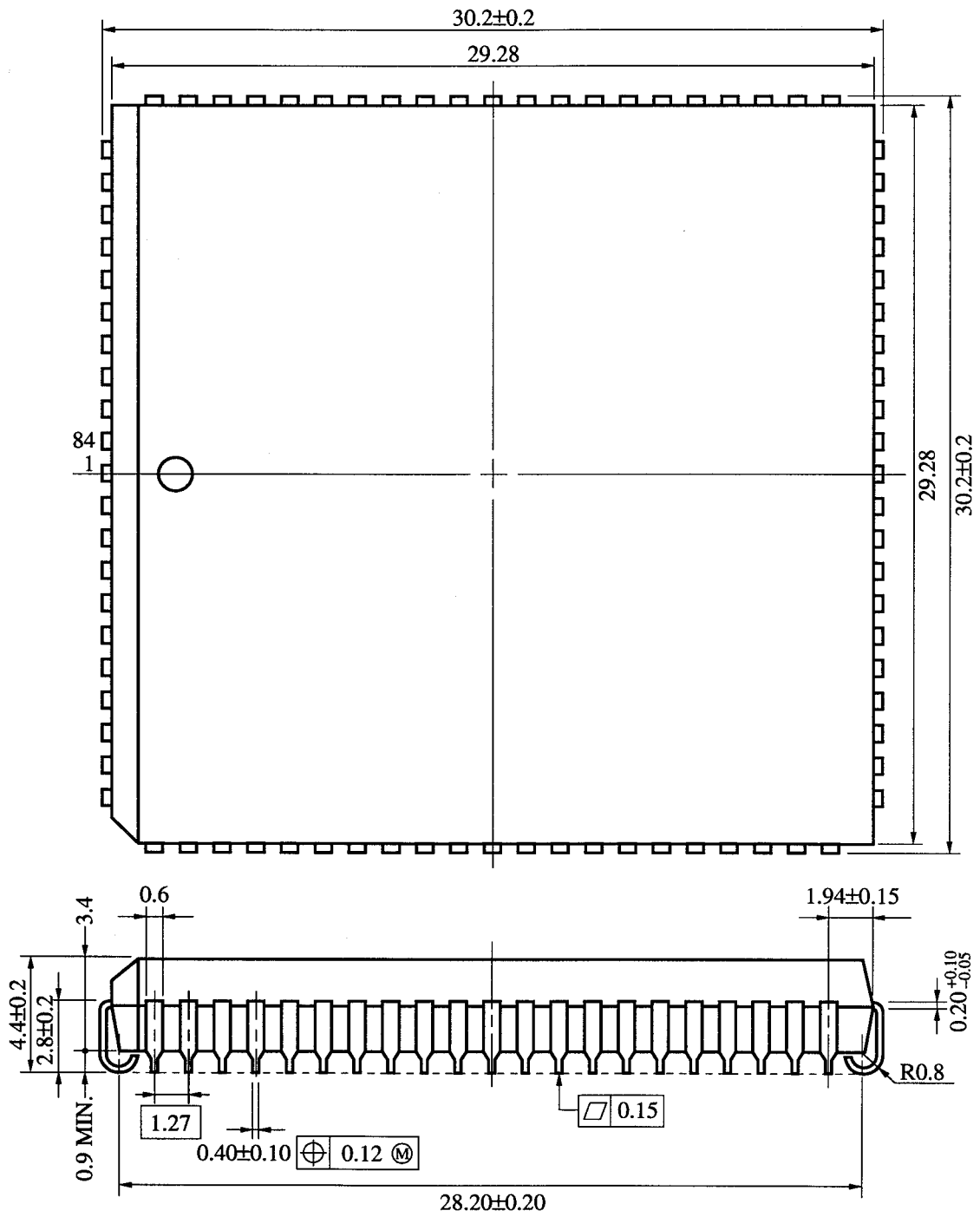


端子先端形状詳細図



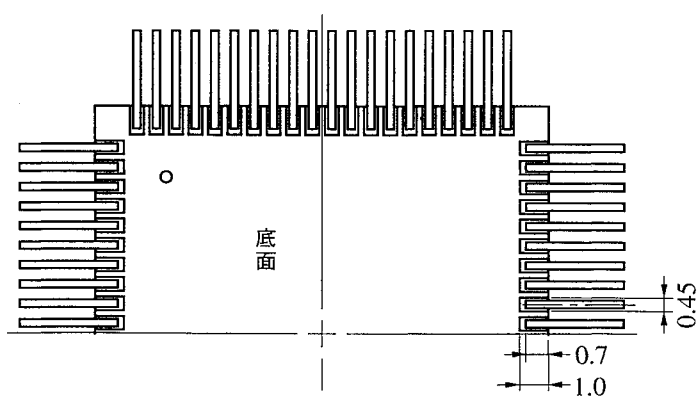
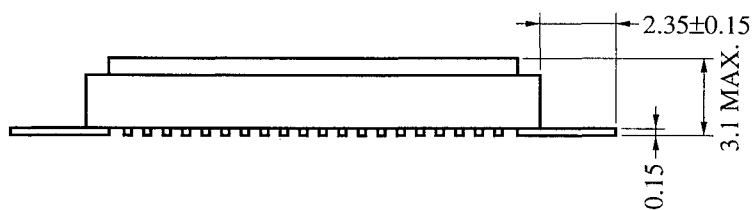
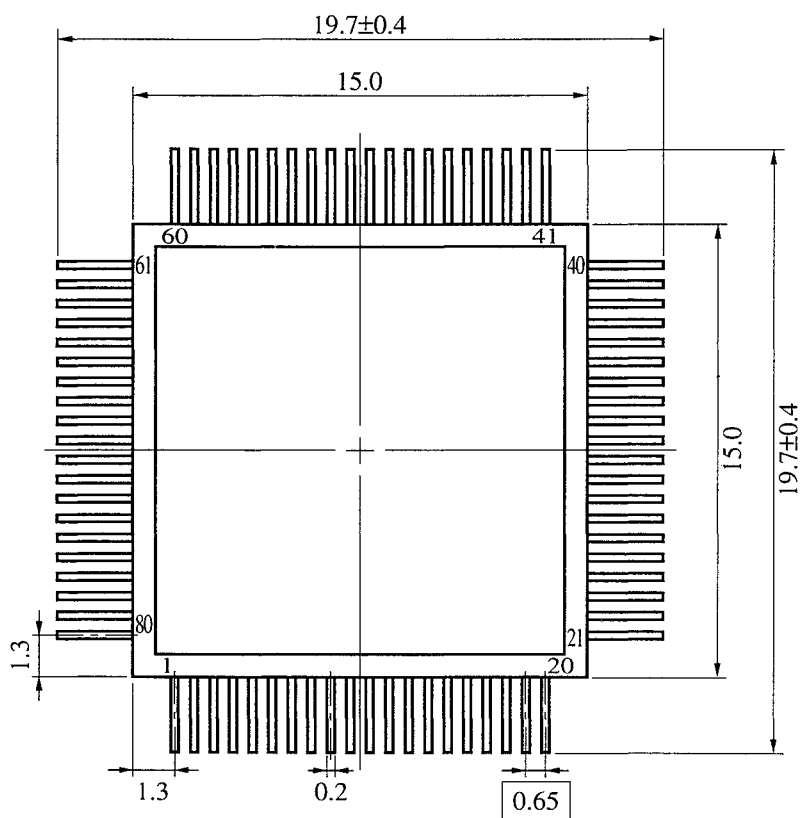
S94GJ-80-5BG-2

84ピン・プラスチック QFJ (□1150 mil) 外形図 (単位: mm)



P84L-50A3-2

★ 80ピン・セラミック QFP (14×14) (ES用) 外形図 (単位: mm) (μ PD78234GC-×××-3B9のみ)



X80B-65A-1

7. 半田付け推奨条件

★

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員に相談してください。

表 7-1 表面実装タイプの半田付け条件

- (1) μPD78233GC-3B9 : 80ピン・プラスチックQFP (□14 mm)
- μPD78234GC-×××-3B9 : 80ピン・プラスチックQFP (□14 mm)
- μPD78237GC-3B9 : 80ピン・プラスチックQFP (□14 mm)
- μPD78238GC-×××-3B9 : 80ピン・プラスチックQFP (□14 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：230℃，時間：30秒以内(210℃以上)，回数：1回， 制限日数：2日間注 (以降は125℃プリベーク 16時間必要)	IR30-162-1
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内(210℃以上)，回数：1回， 制限日数：2日間注 (以降は125℃プリベーク 20時間必要)	IR35-202-1
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内(200℃以上)，回数：1回， 制限日数：2日間注 (以降は125℃プリベーク 16時間必要)	VP15-162-1
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内(200℃以上)，回数：1回， 制限日数：2日間注 (以降は125℃プリベーク 20時間必要)	VP15-202-1
ウェーブ・ソルダーリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回， 予備加熱温度：120℃ MAX. (パッケージ表面温度)， 制限日数：2日間注 (以降は125℃プリベーク 16時間必要)	WS60-162-1
端子部分加熱	端子部温度：300℃以下，時間：3秒以内 (デバイスの一辺当たり)	—

- (2) μPD78233GJ-5BG : 94ピン・プラスチックQFP (□20 mm)
- μPD78234GJ-×××-5BG : 94ピン・プラスチックQFP (□20 mm)
- μPD78237GJ-5BG : 94ピン・プラスチックQFP (□20 mm)
- μPD78238GJ-×××-5BG : 94ピン・プラスチックQFP (□20 mm)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：230℃，時間：30秒以内(210℃以上)，回数：1回， 制限日数：7日間注 (以降は125℃プリベーク 10時間必要)	IR30-107-1
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内(200℃以上)，回数：1回， 制限日数：7日間注 (以降は125℃プリベーク 10時間必要)	VP15-107-1
ウェーブ・ソルダーリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回， 予備加熱温度：120℃ MAX. (パッケージ表面温度)， 制限日数：7日間注 (以降は125℃プリベーク 10時間必要)	WS60-107-1
端子部分加熱	端子部温度：300℃以下，時間：3秒以内 (デバイスの一辺当たり)	—

- (3) μPD78233LQ : 84ピン・プラスチックQFJ (□1150 mil)
 μPD78234LQ-××× : 84ピン・プラスチックQFJ (□1150 mil)
 μPD78237LQ : 84ピン・プラスチックQFJ (□1150 mil)
 μPD78238LQ-××× : 84ピン・プラスチックQFJ (□1150 mil)

半田付け方式	半田付け条件	推奨条件記号
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内(200℃以上)，回数：1回， 制限日数：7日間注（以降は125℃プリベーク 10時間必要）	VP15-107-1
端子部分加熱	端子部温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で、保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

お知らせ

本製品には、半田付け推奨条件改善品があります。

（改善内容：赤外線リフロ・ピーク温度拡張（235℃），回数2回，制限日数緩和など）

詳細につきましては、当社販売員までお問い合わせください。

付録A. 開発ツール

μPD78233, 78234, 78237, 78238を使用するシステム開発のために、次のような開発ツールを用意しています。

言語処理用ソフトウェア

RA78K/Ⅱ 注1,2	78K/Ⅱ シリーズ共通のアセンブラ・パッケージ
CC78K/Ⅱ 注1,2	78K/Ⅱ シリーズ共通のCコンパイラ・パッケージ
CC78K/Ⅱ-L 注1,2	78K/Ⅱ シリーズ共通のCコンパイラ・ライブラリ・ソース・ファイル

PROM書き込み用ツール

PG-1500	PROM プログラマ
PA-78P238GC PA-78P238GJ PA-78P238KF PA-78P238LQ	PG-1500に接続するプログラマ・アダプタ
PG-1500コントローラ注1	PG-1500用コントロール・プログラム

デバッグ用ツール

IE-78230-R-A IE-78230-R注3	μPD78234シリーズ共通のインサーキット・エミュレータ
IE-78200-R-BK	78K/Ⅱ シリーズ共通のブレイク・ボード
IE-78230-R-EM IE-78200-R-EM注3	μPD78234シリーズ評価用エミュレーション・ボード
EP-78230GC-R EP-78230GJ-R EP-78230LQ-R	μPD78234シリーズ共通のエミュレーション・プローブ
EV-9200G-94 EV-9200GC-80	94ピン・プラスチックQFP用, 80ピン・プラスチックQFP用に作られたユーザ・システムの基板上に実装するソケット
EV-9900	EV-9200G-94からμPD78P238KFを取り外す際に使用する治具
SD78K/Ⅱ 注1	IE-78230-R-A用スクリーン・ディバग्ガ
DF78230注1	μPD78234シリーズ用デバイス・ファイル

リアルタイムOS

RX78K/Ⅱ 注1,2	78K/Ⅱ シリーズ共通のリアルタイムOS
--------------	-----------------------

ファジィ推論開発支援システム

FE9000 ^{注1}	ファジィ知識データ作成ツール
FT9080 ^{注1}	トランスレータ
FI78K/II ^{注1}	ファジィ推論モジュール
FD78K/II ^{注1,4}	ファジィ推論ディバッガ

注1. PC-9800シリーズ (MS-DOSTM) ベース, IBM PC/ATTM (PC DOSTM) ベース

2. HP9000シリーズ300TM (HP-UXTM) ベース, SPARCstationTM (Sun OSTM) ベース, EWS-4800シリーズTM (EWS-UX/VTM) ベース

3. 新規の製造は行っておりませんのでご購入はできません。

4. 開発中

備考 3rdパーティ製の開発ツールについては、78K/IIシリーズ 開発ツール セレクション・ガイド (EF-231) を参照してください。

付録B. 関連資料

★

デバイスの関連資料

資料名		資料番号
μPD78234シリーズ ユーザーズ・マニュアル ハードウェア編		IEU-718
78K/IIシリーズ ユーザーズ・マニュアル 命令編		IEU-754
78K/IIシリーズ アプリケーション・ノート	基礎編	IEA-607
	応用編	IEA-700
	浮動小数点演算プログラム編	IEA-686
78K/IIシリーズ セレクション・ガイド		IF-304
78K/IIシリーズ インストラクション活用表		IEM-5101
78K/IIシリーズ インストラクション・セット		IEM-5102
μPD78234シリーズ 特殊機能レジスタ活用表		IEM-5515

開発ツールの関連資料 (ユーザーズ・マニュアル)

資料名		資料番号
RA78Kシリーズ アセンブラ・パッケージ	操作編	EEU-809
	言語編	EEU-815
RA78Kシリーズ 構造化アセンブラ・プリプロセッサ		EEU-817
CC78Kシリーズ Cコンパイラ	操作編	EEU-656
	言語編	EEU-655
CC78Kシリーズ ライブラリ・ソース・ファイル		EEU-777
PG-1500 PROM プログラム		EEU-651
PG-1500 コントローラ		EEU-704
IE-78230-R-A インサーキット・エミュレータ		EEU-789
IE-78230-R インサーキット・エミュレータ	ハードウェア編	EEU-682
	ソフトウェア編	EEU-685
SD78K/II スクリーン・ディバッガ	入門編	EEU-841
	レファレンス編	EEU-813
78K/IIシリーズ 開発ツール セレクション・ガイド		EF-231

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

組み込み用ソフトウェアの関連資料 (ユーザーズ・マニュアル)

資 料 名		資 料 番 号
RX78K/II リアルタイム OS	基礎編	EEU-910
	インストール編	EEU-884
	ディバग्ガ編	EEU-895
	テクニカル編	EEU-885
ファジィ知識データ作成ツール		EEU-829
78K/0, 78K/II, 87AD シリーズ ファジィ推論開発支援システム	トランスレータ	EEU-862
78K/II シリーズ ファジィ推論開発支援システム	ファジィ推論モジュール	EEU-860
78K/II シリーズ ファジィ推論ディバग्ガ		EEU-917

その他の関連資料

資 料 名	資 料 番 号
QTOP マイコン パンフレット	IB-5040
パッケージマニュアル	IEI-635
半導体デバイス 実装マニュアル	IEI-616
NEC 半導体デバイスの品質水準	IEI-620
NEC 半導体デバイスの信頼性品質管理	IEM-5068
静電気放電 (ESD) 試験について	MEM-539
半導体デバイスの品質保証ガイド	MEI-603
マイクロコンピュータ関連製品ガイド 社外メーカ編	MEI-604

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

○文書による当社の承諾なしに本資料の転載複製を禁じます。

○本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

○当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

○当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器 (自動車、列車、船舶等)、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

○この製品は耐放射線設計をしておりません。



本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

- 非該当品：μPD78233GC-3B9, 78233GJ-5BG, 78233LQ,
 μPD78237GC-3B9, 78237GJ-5BG, 78237LQ
 ユーザ判定品：μPD78234GC-×××-3B9, 78234GJ-×××-5BG,
 μPD78234LQ-×××, 78238GC-×××-3B9,
 μPD78238GJ-×××-5BG, 78238LQ-×××

EWS-4800シリーズ, EWS-UX/Vは、日本電気株式会社の商標です。

MS-DOSおよびWindowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

IBM DOS, PC/AT, PC DOSは、米国IBM社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Sun OSは、米国サン マイクロシステムズ社の商標です。

HP9000シリーズ300, HP-UXは、米国ヒューレット・パカード社の商標です。

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170 名古屋 (052)222-2190
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 東北支社 岩手支店 山形支店 郡山支店 いわき支店 長岡支店 土浦支店 水戸支店 神奈川支社 群馬支店	札幌支店 仙台支店 盛岡支店 山形支店 山形支店 いわき支店 長岡支店 土浦支店 水戸支店 水戸支店 横浜支店 高崎支店	(011)231-0161 (022)267-8740 (019)651-4344 (0236)23-5511 (0249)23-5511 (0246)21-5511 (0258)36-2155 (0298)23-6161 (029)226-1717 (045)324-5524 (0273)26-1255
太田支店 宇都宮支店 小山支店 長野支店 甲府支店 埼玉支店 千葉支店 静岡支店 福井支店	太田支店 宇都宮支店 小山支店 松本支店 大宮支店 立川支店 千葉支店 静岡支店 金沢支店 福井支店	(0276)46-4011 (028)621-2281 (0285)24-5011 (0263)35-1662 (0552)24-4141 (048)641-1411 (0425)26-5981 (043)238-8116 (054)255-2211 (0762)23-1621 (0776)22-1866
富山支店 三重支店 京都支社 神戸支社 中国支社 鳥取支店 岡山支店 四国支社 新居浜支店 松山支店 九州支社	富山支店 津支店 京都支社 神戸支社 広島支店 鳥取支店 岡山支店 高松支店 新居浜支店 松山支店 福岡支店	(0764)31-8461 (0592)25-7341 (075)344-7824 (078)333-3854 (082)242-5504 (0857)27-5311 (086)225-4455 (0878)36-1200 (0897)32-5001 (089)945-4149 (092)271-7700

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7924	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	