

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 8ビット・シングルチップ・マイクロコンピュータ

$\mu$ PD78218A(A)は、高速、高性能CPUを搭載した78K/IIシリーズの製品で、 $\mu$ PD78214(A)のメモリ容量拡張版です。メモリ容量の拡張のほかに、タイマ/カウンタ、マクロ・サービス機能を拡張しています。

$\mu$ PD78218A(A)は、32KバイトのマスクROMと1024バイトのRAMを内蔵しています。

内蔵機能の詳細については、別冊の**78K/IIシリーズ ユーザーズ・マニュアル 命令編**および **$\mu$ PD78218Aシリーズ ユーザーズ・マニュアル ハードウェア編**をご覧ください。

## 特 徴

- $\mu$ PD78218A に比べて高信頼性
- 高速命令実行：333 ns (12 MHz動作時)
- 内蔵メモリ ROM：32Kバイト  
RAM：1024バイト
- 高性能割り込みコントローラ内蔵
- A/Dコンバータ内蔵：8ビット×8チャンネル
- I/O端子数：54本
- リアルタイム出力ポート：8ビット×1チャンネルまたは4ビット×2チャンネル
- シリアル・インタフェース：2チャンネル
- タイマ/カウンタ：16ビット×1チャンネルおよび8ビット×3チャンネル

## オーダー情報

| オーダー名称   | パッケージ                          | 品質水準           |
|--|--------------------------------|----------------|
| $\mu$ PD78218ACW(A)- $\times\times\times$      | 64ピン・プラスチック・シュリンク DIP(750 mil) | 特別 (高信頼度電子機器用) |
| $\mu$ PD78218AGC(A)- $\times\times\times$ -AB8 | 64ピン・プラスチック QFP(本体14×14 mm)    | //             |

備考  $\times\times\times$ は、ROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(IEI-620)をご覧ください。

本資料の内容は、後日変更する場合があります。



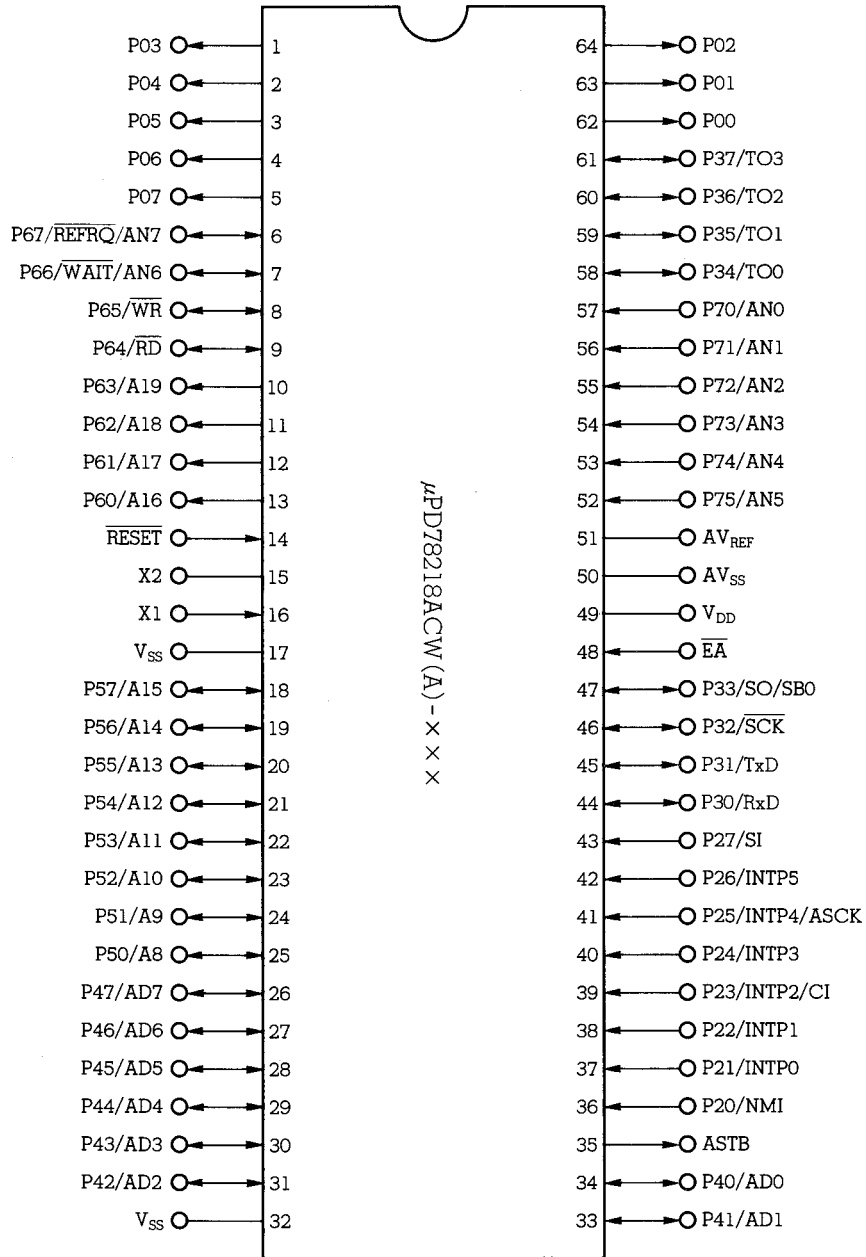
機能一覧

| 項目             |                | 機能  |  |
|----------------|----------------|---|--|
| 基本命令(ニモニック)数   |                | 65  |  |
| 最小命令実行時間       |                | 333 ns (12 MHz 動作時)   |  |
| 命令セット          |                | 16ビット演算<br>乗除算 (8ビット×8ビット, 16ビット÷8ビット)<br>ビット操作<br>BCD補正, その他               |  |
| 内蔵メモリ容量        | ROM            | 32Kバイト  |  |
|                | RAM            | 1024バイト   |  |
| アドレス空間         |                | プログラム・メモリ: 64Kバイト, データ・メモリ: 1Mバイト   |  |
| I/O 端子数<br>54本 | 入力ポート          | 14  | ソフトウェアによるプログラマブル・プルアップ抵抗接続の指定可能: 6                         |
|                | 入出力ポート         | 28  | ソフトウェアによるプログラマブル・プルアップ抵抗接続の指定可能: 28<br>LEDダイレクト・ドライブ可能: 16 |
|                | 出力ポート          | 12  | トランジスタ・ダイレクト・ドライブ可能: 8                                     |
| 汎用レジスタ         |                | 8ビット×8×4バンク(メモリ・マッピング)  |  |
| タイマ/カウンタ       | 16ビット・タイマ/カウンタ | { タイマ・レジスタ×1<br>キャプチャ・レジスタ×1<br>コンペア・レジスタ×2                                 | パルス出力可<br>( トグル出力<br>PWM/PPG×2<br>ワンショット・パルス出力 )           |
|                | 8ビット・タイマ/カウンタ1 | { タイマ・レジスタ×1<br>キャプチャ/コンペア・レジスタ×1<br>コンペア・レジスタ×1                            | パルス出力可<br>(リアルタイム出力: 4ビット×2)                               |
|                | 8ビット・タイマ/カウンタ2 | { タイマ・レジスタ×1<br>キャプチャ・レジスタ×1<br>コンペア・レジスタ×2                                 | パルス出力可<br>( トグル出力<br>PWM/PPG×2 )                           |
|                | 8ビット・タイマ/カウンタ3 | { タイマ・レジスタ×1<br>コンペア・レジスタ×1   | —  |
| リアルタイム出力ポート    |                | 8ビット・タイマ/カウンタ1と連動した出力ポート<br>4ビット×2チャンネル                                     |  |
| シリアル・インタフェース   |                | UART : 1チャンネル(専用ポーレート・ジェネレータ内蔵)<br>CSI(3線式シリアルI/O, SBI) : 1チャンネル            |  |
| A/Dコンバータ       |                | 8ビット分解能×8チャンネル  |  |
| 割り込み           |                | 19要因(外部7, 内部12)+BRK 命令<br>2レベルの優先順位(プログラマブル)<br>2種類の処理形態(ベクタ割り込み, マクロ・サービス) |  |
| パッケージ          |                | 64ピン・プラスチック・シュリンク DIP (750 mil)<br>64ピン・プラスチック QFP (本体 14×14 mm)            |  |

保守/廃止

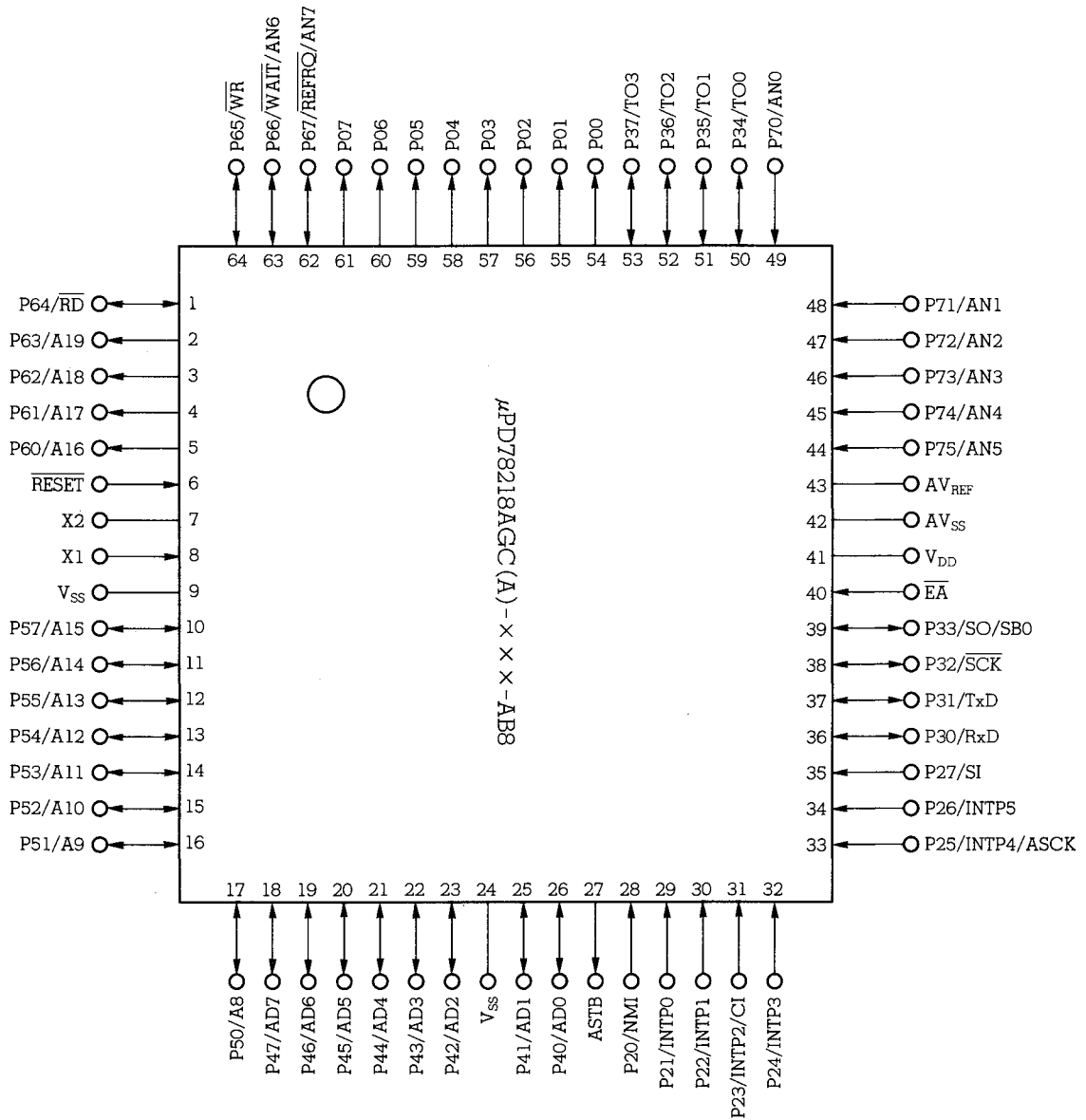
端子接続図 (Top View)

64ピン・プラスチック・シュリンクDIP



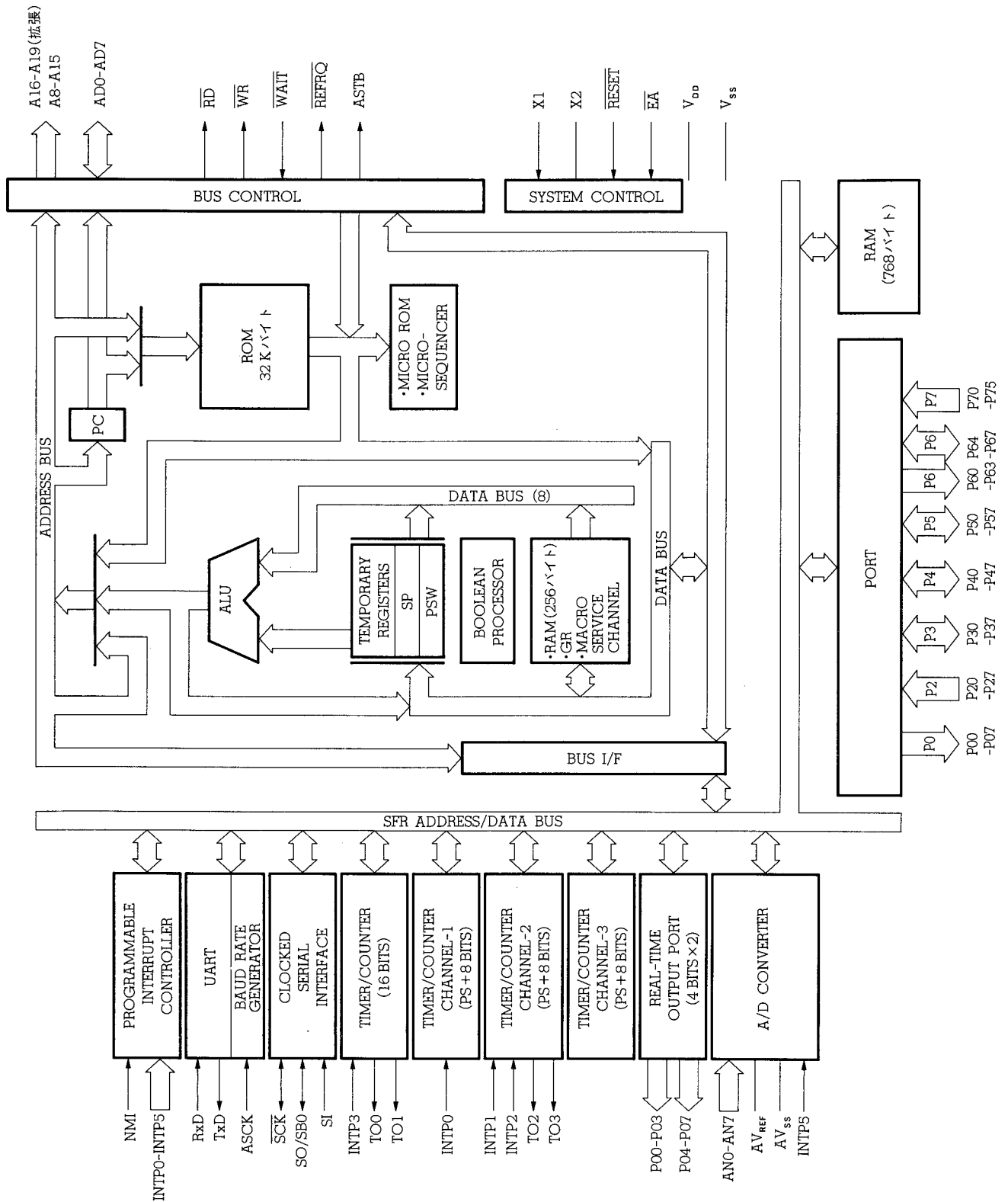
**保守 / 廃止**

64ピン・プラスチックQFP



|                         |                              |                           |                     |
|-------------------------|------------------------------|---------------------------|---------------------|
| P00-P07                 | : Port 0                     | $\overline{\text{RD}}$    | : Read Strobe       |
| P20-P27                 | : Port 2                     | $\overline{\text{WR}}$    | : Write Strobe      |
| P30-P37                 | : Port 3                     | $\overline{\text{WAIT}}$  | : Wait              |
| P40-P47                 | : Port 4                     | ASTB                      | : Address Strobe    |
| P50-P57                 | : Port 5                     | $\overline{\text{REFRQ}}$ | : Refresh Request   |
| P60-P67                 | : Port 6                     | $\overline{\text{RESET}}$ | : Reset             |
| P70-P75                 | : Port 7                     | X1, X2                    | : Crystal           |
| TO0-TO3                 | : Timer Output               | $\overline{\text{EA}}$    | : External Access   |
| CI                      | : Clock Input                | ANO-AN7                   | : Analog Input      |
| RxD                     | : Receive Data               | $\text{AV}_{\text{REF}}$  | : Reference Voltage |
| TxD                     | : Transmit Data              | $\text{AV}_{\text{SS}}$   | : Analog Ground     |
| $\overline{\text{SCK}}$ | : Serial Clock               | $\text{V}_{\text{DD}}$    | : Power Supply      |
| ASCK                    | : Asynchronous Serial Clock  | $\text{V}_{\text{SS}}$    | : Ground            |
| SBO                     | : Serial Bus                 |                           |                     |
| SI                      | : Serial Input               |                           |                     |
| SO                      | : Serial Output              |                           |                     |
| NMI                     | : Non-maskable Interrupt     |                           |                     |
| INTP0-INTP5             | : Interrupt From Peripherals |                           |                     |
| AD0-AD7                 | : Address/Data Bus           |                           |                     |
| A8-A19                  | : Address Bus                |                           |                     |

内部ブロック図





## 目 次

1. μPD78218A(A)とμPD78218Aの違い … 9
2. 端子機能 … 10
  - 2.1 ポート … 10
  - 2.2 ポート以外 … 11
  - 2.3 入出力回路と未使用端子の処理 … 12
3. 内部ブロック機能 … 15
  - 3.1 メモリ空間 … 15
  - 3.2 ポート … 16
  - 3.3 リアルタイム出力ポート … 18
  - 3.4 タイマ/カウンタ・ユニット … 19
  - 3.5 A/Dコンバータ … 21
  - 3.6 シリアル・インタフェース … 23
    - 3.6.1 アシンクロナス・シリアル・インタフェース … 24
    - 3.6.2 クロック同期式シリアル・インタフェース … 25
4. 内部/外部制御機能 … 26
  - 4.1 割り込み … 26
    - 4.1.1 割り込み要因 … 27
    - 4.1.2 ベクタ割り込み … 29
    - 4.1.3 マクロ・サービス … 29
    - 4.1.4 マクロ・サービスの応用例 … 30
  - 4.2 ローカル・バス・インタフェース … 32
    - 4.2.1 メモリ拡張 … 32
    - 4.2.2 プログラマブル・ウエイト … 32
    - 4.2.3 疑似スタティックRAMリフレッシュ機能 … 32
  - 4.3 スタンバイ … 33
  - 4.4 リセット … 34
5. 命令のオペレーション … 35
  - 5.1 凡 例 … 35
  - 5.2 オペレーション一覧 … 38
6. 電気的特性 … 49

**保守 / 廃止**

7. 外形図 … 65

8. 半田付け推奨条件 … 67

付録 開発ツール … 68

**保守 / 廃止**

1. μPD78218A(A)とμPD78218Aの違い

| 品 名      |       | 項 目                            | μPD78218A(A)                   | μPD78218A    |
|----------|-------|--------------------------------|--------------------------------|--------------|
| 品質水準     |       |                                | 特別 (高信頼度電子機器用)                 | 標準 (一般電子機器用) |
| 半田付け推奨条件 | 64DIP | ウェーブ・ソルダリング, 端子部分加熱            |                                |              |
|          | 64QFP | VP15-202-1, IR30-202-1, 端子部分加熱 | VP15-162-1, IR30-162-1, 端子部分加熱 |              |



2. 端子機能

2.1 ポート

| 端子名称    | 入出力 | 兼用端子                                 | 機能  |
|---------|-----|--------------------------------------|---|
| P00-P07 | 出力  | —                                    | ポート0(P0)：<br>リアルタイム出力ポート(4ビット×2)として使用可能<br>トランジスタのダイレクト・ドライブ可能  |
| P20     | 入力  | NMI                                  | ポート2(P2)：<br>P20は汎用ポートとしては使用不可(ノンマスカブル割り込み)<br>ただし、割り込みルーチンにおいて、入力レベルの確認可<br>P22-P27はソフトウェアで、6ビット一括で内蔵プルアップ抵抗の接続の指定可能 |
| P21     |     | INTP0                                |   |
| P22     |     | INTP1                                |   |
| P23     |     | INTP2/CI                             |   |
| P24     |     | INTP3                                |   |
| P25     |     | INTP4/ASCK                           |   |
| P26     |     | INTP5                                |   |
| P27     |     | SI                                   |   |
| P30     | 入出力 | RxD                                  | ポート3(P3)：<br>ビットごとに入出力指定可能<br>入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能   |
| P31     |     | TxD                                  |   |
| P32     |     | $\overline{\text{SCK}}$              |   |
| P33     |     | SO/SB0                               |   |
| P34-P37 |     | TO0-TO3                              |   |
| P40-P47 | 入出力 | AD0-AD7                              | ポート4(P4)：<br>8ビット一括で入出力指定可能<br>8ビット一括でソフトウェアによる内蔵プルアップ抵抗の接続の指定可能<br>LEDダイレクト・ドライブ可能                                   |
| P50-P57 | 入出力 | A8-A15                               | ポート5(P5)：<br>ビットごとに入出力指定可能<br>入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能<br>LEDダイレクト・ドライブ可能                            |
| P60-P63 | 出力  | A16-A19                              | ポート6(P6)：<br>P64-P67はビットごとに入出力指定可能<br>P64-P67は、入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能                              |
| P64     | 入出力 | $\overline{\text{RD}}$               |   |
| P65     |     | $\overline{\text{WR}}$               |   |
| P66     |     | $\overline{\text{WAIT}}/\text{AN6}$  |   |
| P67     |     | $\overline{\text{REFRQ}}/\text{AN7}$ |   |
| P70-P75 | 入力  | AN0-AN5                              | ポート7(P7)  |



2.2 ポート以外

| 端子名称               | 入出力 | 機能  | 兼用端子  |
|--------------------|-----|---|---|
| TO0-TO3            | 出力  | タイマ出力   | P34-P37   |
| CI                 | 入力  | 8ビット・タイマ/カウンタ2へのカウント・クロック入力                         | P23/INTP2   |
| RxD                | 入力  | シリアル・データ入力(UART)                                    | P30   |
| TxD                | 出力  | シリアル・データ出力(UART)                                    | P31   |
| ASCK               | 入力  | ポーレート・クロック入力(UART)                                  | P25/INTP4   |
| SBO                | 入出力 | シリアル・データ入出力(SBI)                                    | P33/SO  |
| SI                 | 入力  | シリアル・データ入力(3線式シリアルI/O)                              | P27   |
| SO                 | 出力  | シリアル・データ出力(3線式シリアルI/O)                              | P33/SBO   |
| SCK                | 入出力 | シリアル・クロック入出力(SBI, 3線式シリアルI/O)                       | P32   |
| NMI                | 入力  | 外部割り込み要求  | P20   |
| INTP0              |     |   | P21   |
| INTP1              |     |   | P22   |
| INTP2              |     |   | P23/CI  |
| INTP3              |     |   | P24   |
| INTP4              |     |   | P25/ASCK  |
| INTP5              |     |   | P26   |
| AD0-AD7            | 入出力 | 時分割アドレス/データ・バス(外部メモリ接続)                             | P40-P47   |
| A8-A15             | 出力  | 上位アドレス・バス(外部メモリ接続)                                  | P50-P57   |
| A16-A19            | 出力  | アドレス拡張時の上位アドレス(外部メモリ接続)                             | P60-P63   |
| $\overline{RD}$    | 出力  | 外部メモリへのリード・ストロープ                                    | P64   |
| $\overline{WR}$    | 出力  | 外部メモリへのライト・ストロープ                                    | P65   |
| WAIT               | 入力  | ウェイト挿入  | P66/AN6   |
| ASTB               | 出力  | アドレス(A0-A7)のラッチ・タイミング出力(外部メモリ・アクセス時)                | —   |
| $\overline{REFRQ}$ | 出力  | 外部疑似スタティック・メモリへのリフレッシュ・パルス出力                        | P67/AN7   |
| $\overline{RESET}$ | 入力  | チップ・リセット  | —   |
| X1                 | 入力  | システム・クロック発振用クリスタル接続(X1に外部クロック入力も可能)                 | —   |
| X2                 | —   |   | —   |
| $\overline{EA}$    | 入力  | ROMレス動作指定(内部ROMと同一空間の外部アクセス)<br>通常は、ハイ・レベルにして使用します。 | —   |
| AN0-AN5            | 入力  | A/Dコンバータ用アナログ電圧入力                                   | P70-P75   |
| AN6, AN7           |     |   | P66/ $\overline{WAIT}$<br>P67/ $\overline{REFRQ}$ |
| $AV_{REF}$         | —   | A/Dコンバータ用基準電圧印加                                     | —   |
| $AV_{SS}$          |     | A/Dコンバータ用GND  | —   |
| $V_{DD}$           |     | 正電源供給   |   |
| $V_{SS}$           |     | GND   |   |

## 2.3 入出力回路と未使用端子の処理

表2-1は、各端子の入出力回路タイプと、未使用時の処理方法を示します。また、図2-1は、各タイプの回路です。

表2-1 各端子の入出力タイプと未使用時の処理

| 端 子             | 入出力タイプ | 入出力 | 未使用時の推奨接続方法                    |                            |
|-----------------|--------|-----|--------------------------------|----------------------------|
| P00-P07         | 4      | 出力  | オープン                           |                            |
| P20/NMI         | 2      |     | $V_{DD}$ または $V_{SS}$ に接続      |                            |
| P21/INTP0       |        |     |                                |                            |
| P22/INTP1       | 2-A    | 入力  | $V_{DD}$ に接続                   |                            |
| P23/INTP2/CI    |        |     |                                |                            |
| P24/INTP3       |        |     |                                |                            |
| P25/INTP4/ASCK  |        |     |                                |                            |
| P26/INTP5       |        |     |                                |                            |
| P27/SI          |        |     |                                |                            |
| P30/RxD         | 5-A    | 入出力 | 入力時： $V_{DD}$ に接続<br>出力時：オープン  |                            |
| P31/TxD         |        |     |                                |                            |
| P32/SCK         | 8-A    |     |                                |                            |
| P33/SB0/SO      | 10-A   |     |                                |                            |
| P34/TO0-P37/TO3 | 5-A    |     |                                |                            |
| P40/AD0-P47/AD7 |        |     |                                |                            |
| P50/A8-P57/A15  |        |     |                                |                            |
| P60/A16-P63/A19 | 4      | 出力  | オープン                           |                            |
| P64/RD          | 5-A    | 入出力 | 入力時： $V_{DD}$ に接続<br>出力時：オープン  |                            |
| P65/WR          |        |     |                                |                            |
| P66/WAIT/AN6    | 11     |     | 入力時： $V_{DD}$ に接続注<br>出力時：オープン |                            |
| P67/REFRQ/AN7   |        |     |                                |                            |
| P70/ANO-P75/AN5 | 9      | 入力  | $V_{SS}$ に接続                   |                            |
| ASTB            | 4      | 出力  | オープン                           |                            |
| RESET           | 2      | 入力  |                                |                            |
| EA              | 1      |     |                                |                            |
| $AV_{REF}$      |        |     |                                | $V_{SS}$ または $V_{DD}$ に接続注 |
| $AV_{SS}$       |        |     |                                | $V_{SS}$ に接続               |

注  $AV_{SS}$ - $AV_{REF}$ の範囲外の電圧を印加しないでください。 $\mu$ PD78218A(A)が破壊する可能性があります。

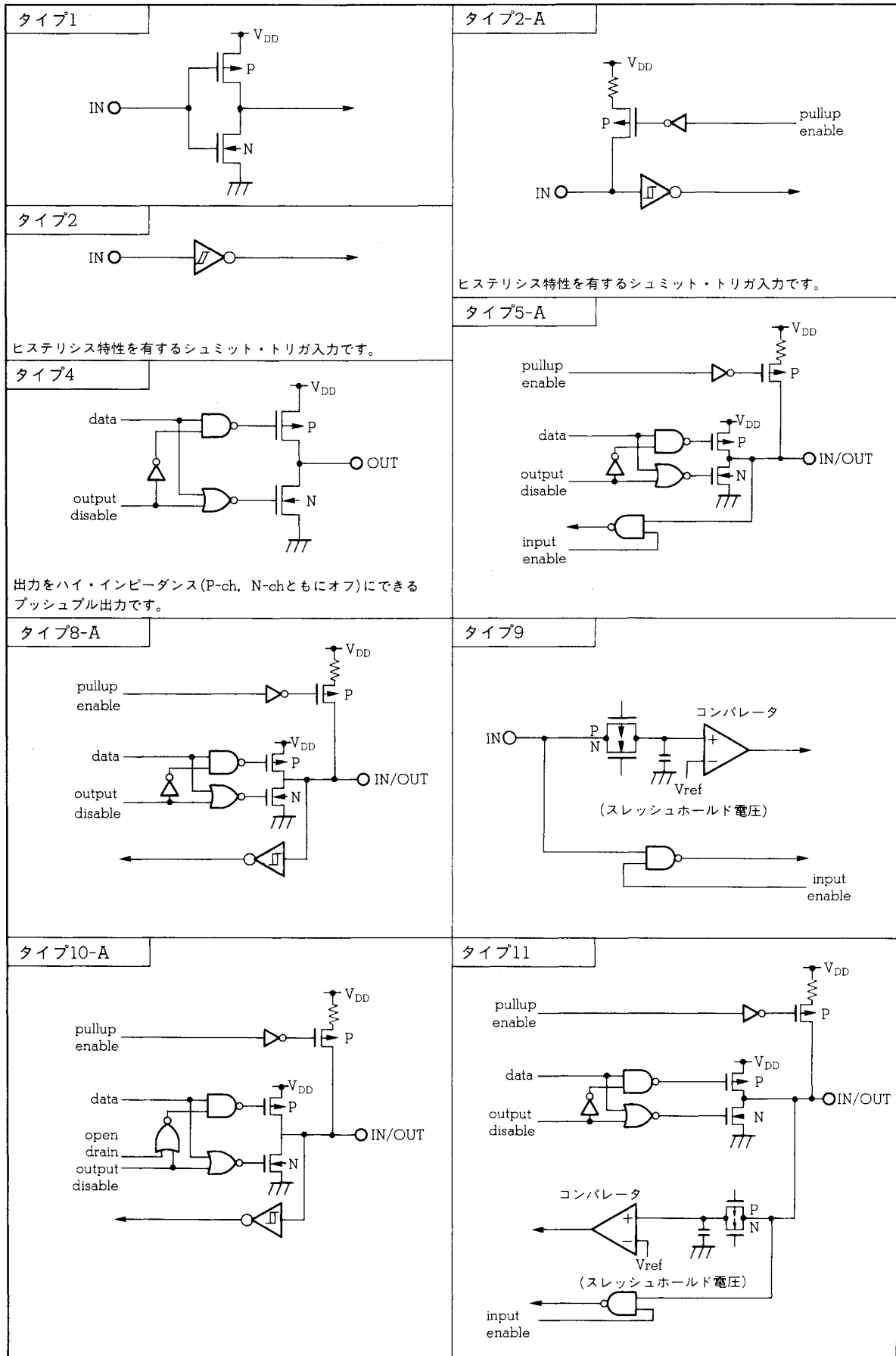
**保守 / 廃止**

**注意** 入出力兼用端子で入出力が不定な場合は、抵抗を介して $V_{DD}$ に接続してください（特に、電源投入時にリセット入力端子がロウ・レベル入力電圧以上になる場合や、ソフトウェアで入出力を切り替えている場合）。

★

**備考** タイプ番号は78Kシリーズで統一しているため、各製品内では連番とは限りません（内蔵しない回路あり）。

図2-1 端子の入出力回路





3. 内部ブロック機能

3.1 メモリ空間

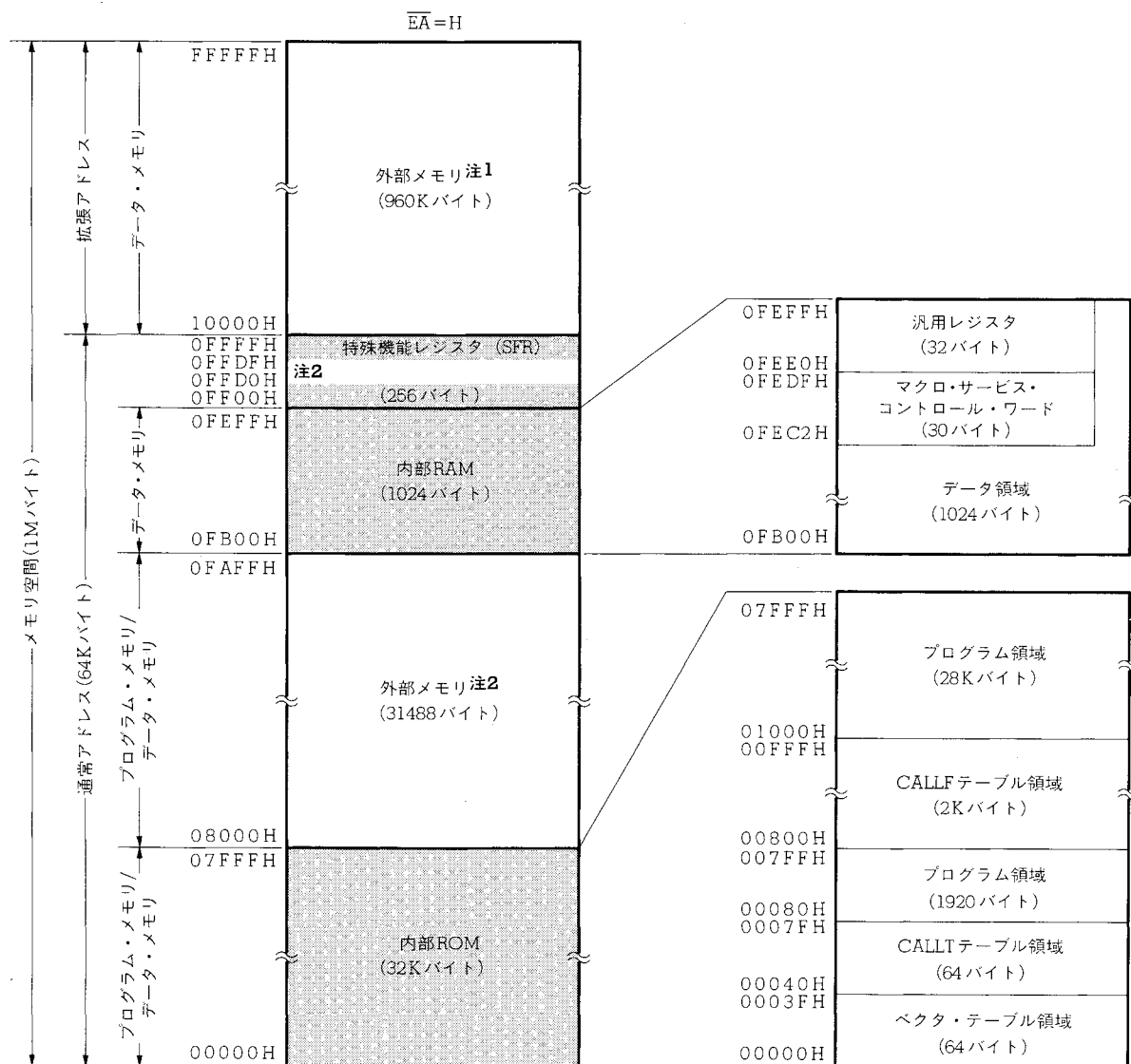
μPD78218A(A)は、1Mバイトのメモリ空間をアクセスできます。図3-1は、そのメモリ空間を示します。

00000H-07FFFH (32Kバイト) の内部ROM領域および08000H-0FAFFH (31488バイト) の外部メモリ領域は、プログラム・メモリとして使用できます。この外部メモリ領域は、外部メモリ拡張モードでアクセスし、データ・メモリとの共用が可能です。

0FB00H-0FEFFH (1024バイト) の内部RAM領域および10000H-FFFFFH (960Kバイト) の外部メモリ領域は、データ・メモリとして使用できます。この外部メモリ領域は、1Mバイト拡張モードでアクセスします。

OFF00H-OFFFFHの領域 (256バイト) は、特殊機能レジスタ (SFR) 領域で、そのうちOFFD0H-OFFDFH (16バイト) の領域は、外部SFR領域です。

図3-1 メモリ・マップ



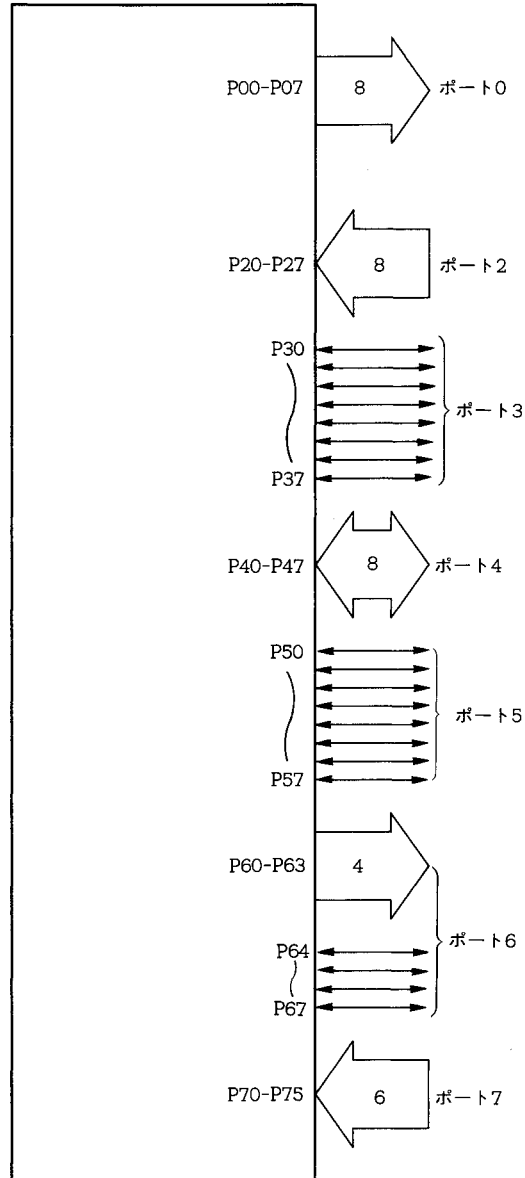
注1. 1Mバイト拡張モードでアクセス  は内部メモリ

2. 外部メモリ拡張モードでアクセス

3.2 ポート

μPD78218A(A)は図3-2のようなポートを備えており、多様な制御ができます。各ポートの機能は表3-1のとおりです。ポート2からポート6は、入力時に、内蔵プルアップ抵抗の使用をソフトウェアで指定できます。

図3-2 ポートの構成



保守 / 廃止

表3-1 ポートの機能

| 名 称  | 端 子 名   | 機 能   | ソフトウェア・プルアップの指定    |
|------|---------|---|--------------------|
| ポート0 | P00-P07 | 8ビット一括で出力かハイ・インピーダンスに指定可能。<br>4ビット・リアルタイム出力としても動作可能 (P00-P03, P04-P07)。<br>トランジスタ・ダイレクト・ドライブ可能。 | ——                 |
| ポート2 | P20-P27 | 入力ポート   | 6ビット一括 (P22-P27)   |
| ポート3 | P30-P37 | ビットごとに入力か出力に指定可能。   | 入力モードの端子について一括して指定 |
| ポート4 | P40-P47 | 8ビット一括で入力か出力に指定可能。<br>LEDダイレクト・ドライブ可能。  | 8ビット一括             |
| ポート5 | P50-P57 | ビットごとに入力か出力に指定可能。<br>LEDダイレクト・ドライブ可能。   | 入力モードの端子について一括して指定 |
| ポート6 | P60-P63 | 出力ポート。  | ——                 |
|      | P64-P67 | ビットごとに入力か出力に指定可能。   | 入力モードの端子について一括して指定 |
| ポート7 | P70-P75 | 入力ポート   | ——                 |

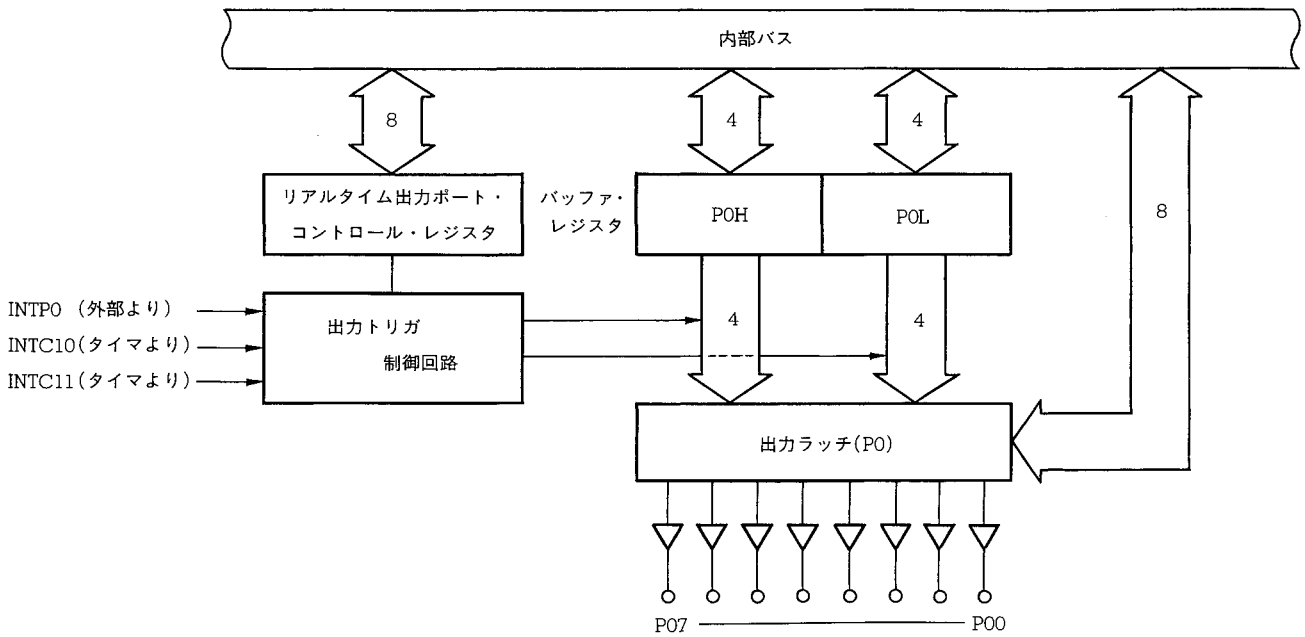
3.3 リアルタイム出力ポート

リアルタイム出力ポートは、バッファに格納しておいたデータを、タイマの一致割り込みや外部割り込みに同期して出力します。これによって、ジッタのないパルス出力を得られます。

したがって、任意の間隔で任意パターンを出力する応用（ステッピング・モータの開ループ制御など）に最適です。

図3-3のように、ポート0とバッファ・レジスタが構成の中心です。

図3-3 リアルタイム出力ポートのブロック図





3.4 タイマ/カウンタ・ユニット

μPD78218A(A)は、16ビット・タイマ/カウンタ・ユニットを1チャンネルと、8ビット・タイマ/カウンタ・ユニットを3チャンネル内蔵しています。

表3-2 タイマ/カウンタの種類と機能

| 種類と機能 |                           | ユニット | 16ビット・タイマ/<br>カウンタ | 8ビット・タイマ/<br>カウンタ1 | 8ビット・タイマ/<br>カウンタ2 | 8ビット・タイマ/<br>カウンタ3 |
|-------|---------------------------|------|--------------------|--------------------|--------------------|--------------------|
| 種類    | インターバル・タイマ                |      | 2ch                | 2ch                | 2ch                | 1ch                |
|       | 外部イベント・カウンタ               |      | —                  | —                  | ○                  | —                  |
|       | ワンショット・タイマ                |      | —                  | —                  | ○                  | —                  |
| 機能    | タイマ出力                     |      | 2ch                | —                  | 2ch                | —                  |
|       | トグル出力                     |      | ○                  | —                  | ○                  | —                  |
|       | PWM/PPG出力                 |      | ○                  | —                  | ○                  | —                  |
|       | ワンショット・パルス出力              |      | ○                  | —                  | —                  | —                  |
|       | リアルタイム出力                  |      | —                  | ○                  | —                  | —                  |
|       | パルス幅測定                    |      | ○                  | ○                  | ○                  | —                  |
|       | 割り込み要求数                   |      | 2                  | 2                  | 2                  | 1                  |
|       | シリアル・インタフェース<br>のクロック・ソース |      | —                  | —                  | —                  | ○                  |

計7つの割り込み要求をサポートしているので、7チャンネルのタイマとして機能させることができます。

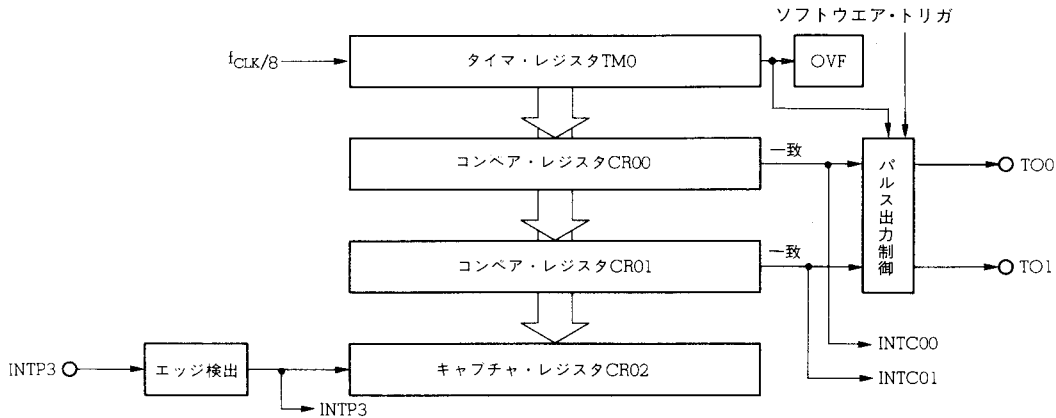
備考 ワンショット・パルス出力機能とは、ソフトウェアによりパルス出力レベルをアクティブにし、ハードウェア（割り込み要求信号）によりインアクティブにする機能です。

この機能は、8ビット・タイマ/カウンタ2のワンショット・タイマ機能とは性質が異なります。

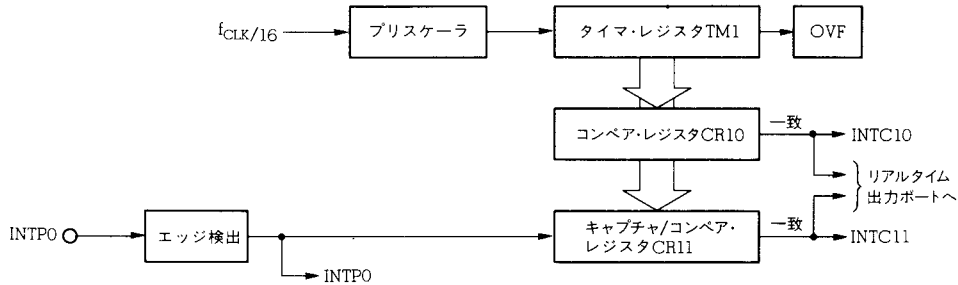
**保守/廃止**

図3-4 タイマ/カウンタ・ユニットのブロック図

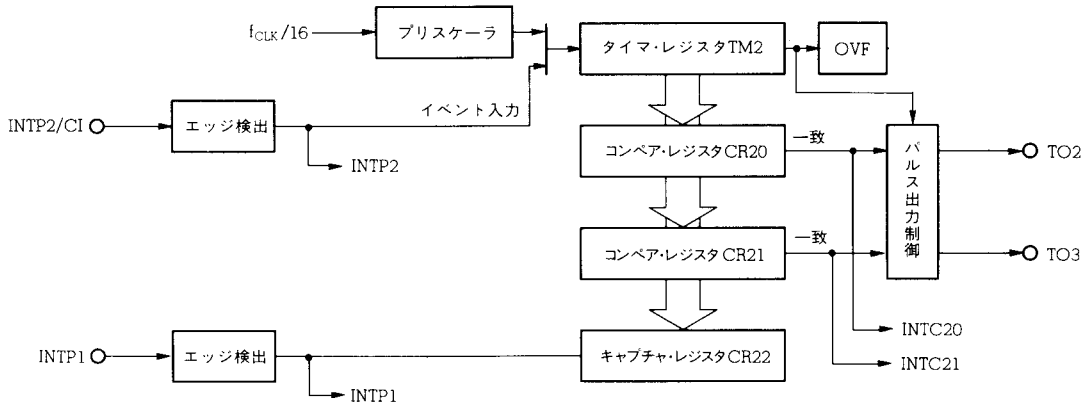
16ビット・タイマ/カウンタ・ユニット



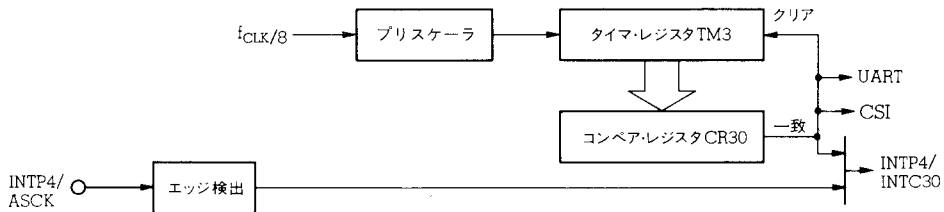
8ビット・タイマ/カウンタ・ユニット1



8ビット・タイマ/カウンタ・ユニット2



8ビット・タイマ/カウンタ・ユニット3



OVF: オーバフロー・フラグ

### 3.5 A/Dコンバータ

μPD78218A(A) は、8チャンネル・マルチプレクスト・アナログ入力 (ANO-AN7) をもつアナログ/デジタル (A/D) コンバータを内蔵しています。

変換方式は逐次比較で、変換結果を8ビットのA/D変換結果レジスタ (ADCR) に保持します。また、高速で高精度な変換を行います (変換時間約30 μs : 12 MHz動作時)。

A/D変換動作の起動には、次のモードがあります。

- ハードウェア・スタート：トリガ入力 (INTP5) により変換開始。
- ソフトウェア・スタート：A/Dコンバータ・モード・レジスタ (ADM) のビット設定により変換開始。

また、起動後の動作には、次のモードがあります。

- スキャン・モード：複数のアナログ入力を順次選択し、全端子からの変換データを得ます。
- セレクト・モード：アナログ入力を1端子に固定し、連続的な変換値を得ます。

以上のモードと変換動作の停止は、すべてADMで指定します。

なお、変換結果をADCRへ転送すると、割り込み要求INTADを発生します(ソフトウェア・スタートのセレクト・モードを除く)。このため、マクロ・サービス (4.1.3 マクロ・サービス参照) によって、変換値をメモリへ連続的に転送することができます。

表3-3 INTADを発生するモード

|             | スキャン・モード | セレクト・モード |
|-------------|----------|----------|
| ハードウェア・スタート | ○        | ○        |
| ソフトウェア・スタート | ○        | —        |





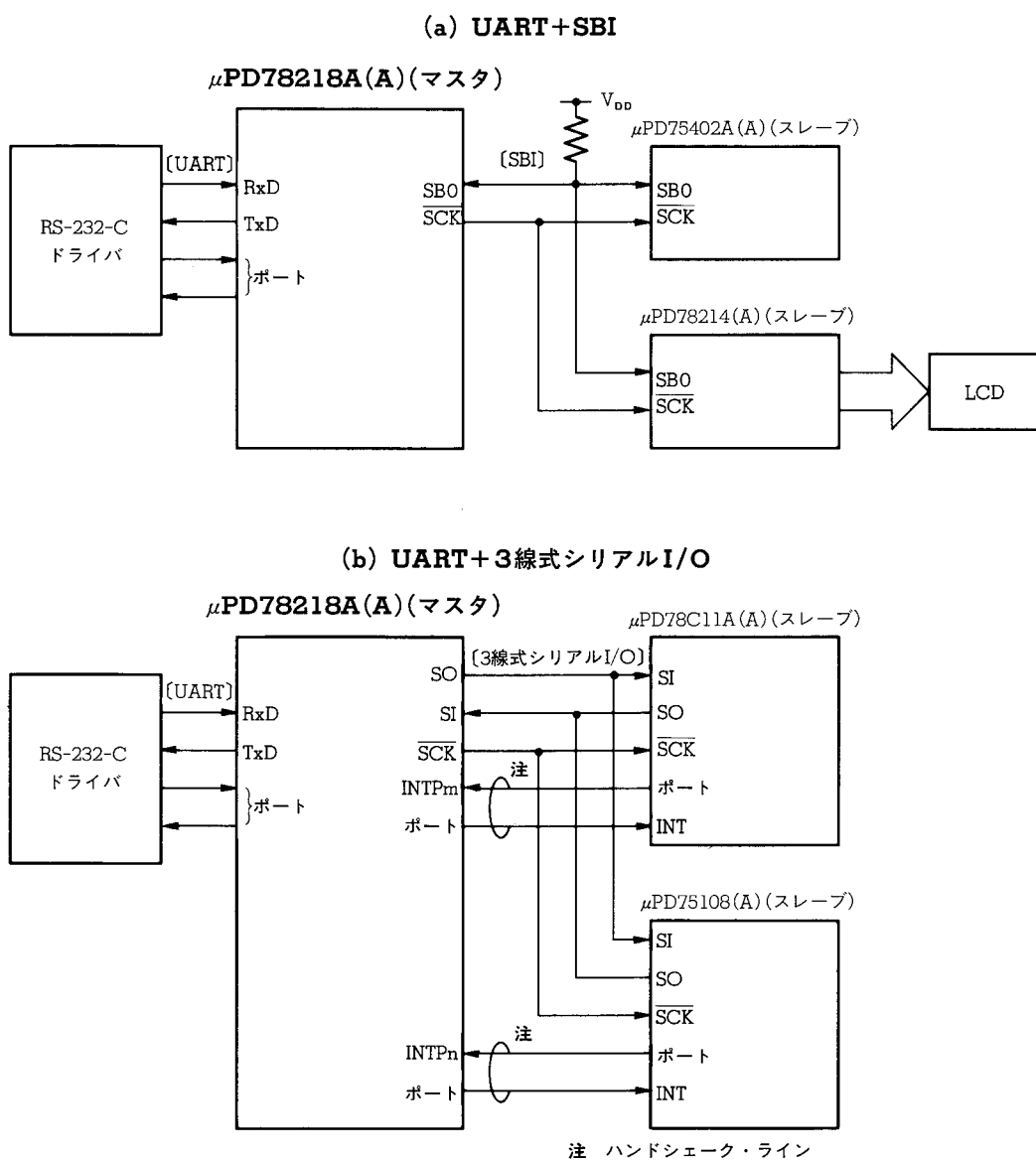
3.6 シリアル・インタフェース

μPD78218A(A)は、独立した2チャンネルのシリアル・インタフェースを備えています。

- アシンクロナス・シリアル・インタフェース (UART)
- クロック同期式シリアル・インタフェース (CSI)
  - ・3線式シリアルI/O
  - ・シリアル・バス・インタフェース (SBI)

このため、システム外部との通信と、システム内部のローカルな通信とを同時に行うことができます (図3-6参照)。

図3-6 シリアル・インタフェース例



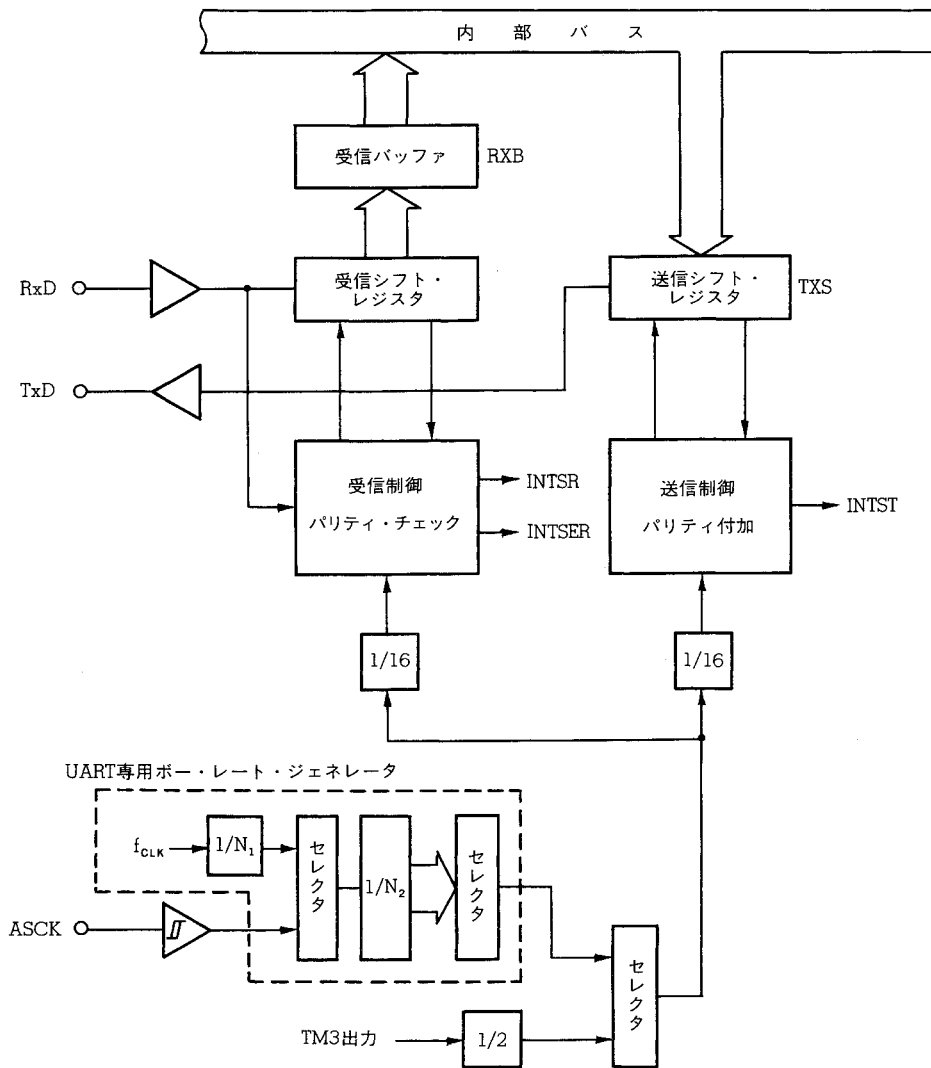
3.6.1 アシクロナス・シリアル・インタフェース

アシクロナス・シリアル・インタフェースとして、UART (Universal Asynchronous Receiver Transmitter) を内蔵しています。これは、スタート・ビットに続く1バイトのデータを送受信する方式です。

UARTには専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートを発生できますが、さらにASCK端子での入力クロックや8ビット・タイマ/カウンタ3の出力(TM3出力)を分周してポー・レートを定めることもできるため、多彩なポー・レートでの送受信が可能です。

UART専用ポー・レート・ジェネレータを使用すると、MIDI規格のポー・レート (31.25 kbps) も得られます。

図3-7 アシクロナス・シリアル・インタフェース (UART) のブロック図



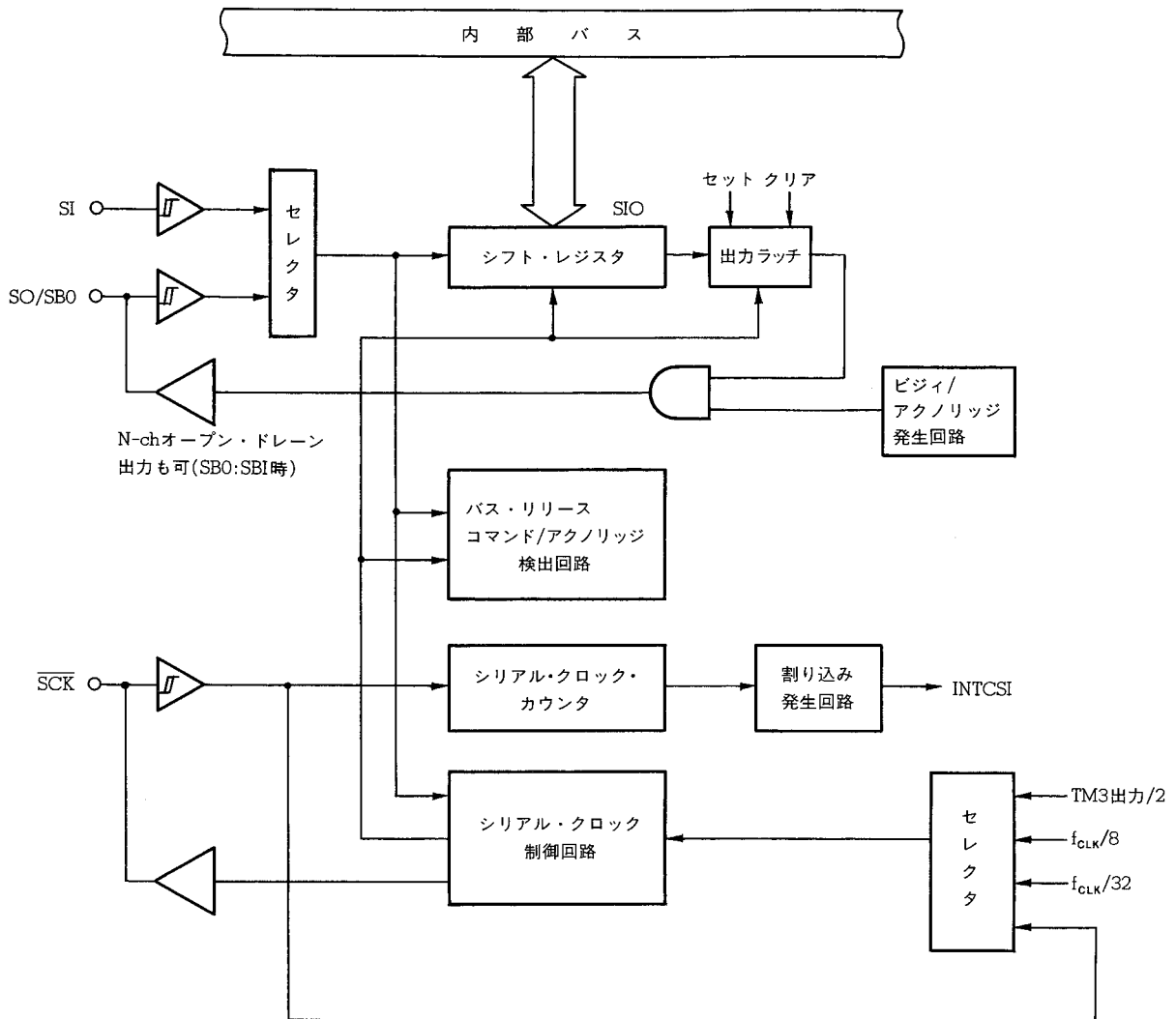
$f_{CLK}$ : 内部システム・クロック周波数 (システム・クロック周波数/2)

保守/廃止

**3.6.2 クロック同期式シリアル・インタフェース**

マスタ・デバイスがシリアル・クロックをアクティブにして送信を開始し、このクロックに同期して1バイトのデータを通信する方式です。

図3-8 クロック同期式シリアル・インタフェースのブロック図



$f_{CLK}$  : 内部システム・クロック周波数 (システム・クロック周波数/2)

**(1) 3線式シリアルI/O**

従来のクロック同期式シリアル・インタフェースを内蔵するデバイスとの通信を行うためのインタフェースです。

基本的には、シリアル・クロック ( $\overline{SCK}$ ) とシリアル・データ (SI, SO) の3線で通信します。複数のデバイスと接続する場合、ハンドシェイク・ラインが必要です。

**(2) SBI**

シリアル・クロック ( $\overline{SCK}$ ) とシリアル・バス (SB0) の2線で複数のデバイスと通信します。NECの標準シリアル・インタフェースです。

マスタ・デバイスがSB0端子から“アドレス”を出力して、通信対象とするスレーブ・デバイスを選択します。その後、マスター・スレーブ間で“コマンド”と“データ”を送受信します。

#### 4. 内部/外部制御機能

##### 4.1 割り込み

割り込み要求に対する処理として、表4-1のような2つの処理をプログラムで選択できます。

表4-1 割り込み要求の処理

| 処理モード    | 処理の主体   | 処 理                          | PC, PSWの内容 |
|----------|---------|------------------------------|------------|
| ベクタ割り込み  | ソフトウェア  | 処理ルーチンへ分岐して実行(処理内容は任意)       | 退避, 復帰を伴う  |
| マクロ・サービス | ファームウェア | メモリ-I/O間のデータ転送などを実行(処理内容は固定) | 保持         |



4.1.1 割り込み要因

割り込み要因には、表4-2のような19種類とBRK命令実行があります。

割り込み処理の優先順位は、2レベル(高優先レベルと低優先レベル)に設定できます。これによって、割り込み処理中のネスト制御や、同時発生した割り込み要求のレベル分けをすることができます(図4-1, 図4-2参照)。ただし、マクロ・サービスでは、必ずネスティングが進みます(保留されず)。

デフォルト・プライオリティは、同時に発生した同優先レベルの割り込み要求に対する処理の優先順位(固定)です(図4-2参照)。

表4-2 割り込み要因

| タイプ     | デフォルト・プライオリティ | 要 因     |                        | 内部/外部 | マクロ・サービス |    |
|---------|---------------|---------|------------------------|-------|----------|----|
|         |               | 名 称     | ト リ ガ                  |       |          |    |
| ソフトウェア  | —             | BRK     | 命令の実行                  | —     | —        |    |
| ノンマスカブル |               | NMI     | 端子入力エッジ検出              |       |          |    |
| マスカブル   | 0 (最高)        | INTP0   | // (TM1キャプチャ・トリガ)      | 外部    | ○        |    |
|         | 1             | INTP1   | // (TM2キャプチャ・トリガ)      |       |          |    |
|         | 2             | INTP2   | // (TM2イベント・カウンタ入力)    |       |          |    |
|         | 3             | INTP3   | // (TM0キャプチャ・トリガ)      |       |          |    |
|         | 4             | INTC00  | TM0-CR00—致信号発生         | 内部    |          |    |
|         | 5             | INTC01  | TM0-CR01 //            |       |          |    |
|         | 6             | INTC10  | TM1-CR10 //            |       |          |    |
|         | 7             | INTC11  | TM1-CR11 //            |       |          |    |
|         | 8             | INTC21  | TM2-CR21 //            |       |          |    |
|         | 9             | INTP4   | 端子入力エッジ検出              |       |          | 外部 |
|         |               | INTC30  | TM3-CR30—致信号発生         |       |          | 内部 |
|         | 10            | INTP5   | 端子入力エッジ検出              | 外部    |          |    |
|         |               | INTAD   | A/Dコンバータ変換終了 (ADCRへ転送) | 内部    |          |    |
|         | 11            | INTC20  | TM2-CR20—致信号発生         |       |          |    |
|         | 12            | INTSER  | ASI受信エラー発生             |       |          |    |
| 13      | INTSR         | ASI受信終了 |                        |       |          |    |
| 14      | INTST         | ASI送信終了 |                        |       |          |    |
| 15 (最低) | INTCSI        | CSI転送終了 |                        | —     |          |    |

- TM0 : 16ビット・タイマ
- TM1-TM3: 8ビット・タイマ
- ASI : アシクロナス・シリアル・インタフェース
- CSI : クロック同期式シリアル・インタフェース

図4-1 割り込み処理中に他の割り込み要求が発生した場合の処理例

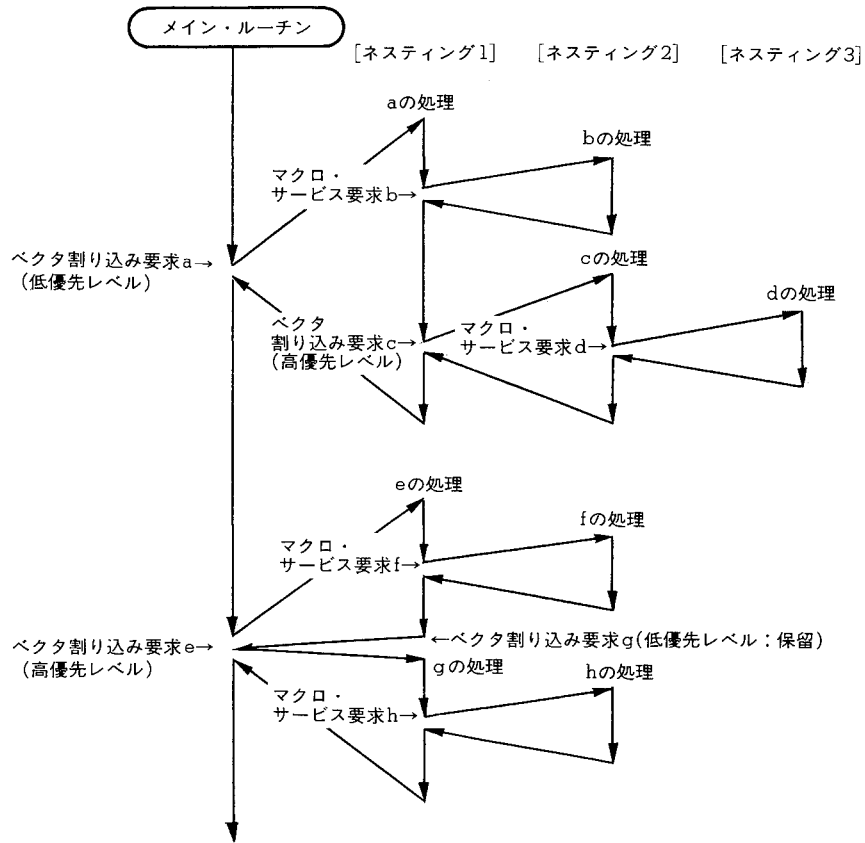
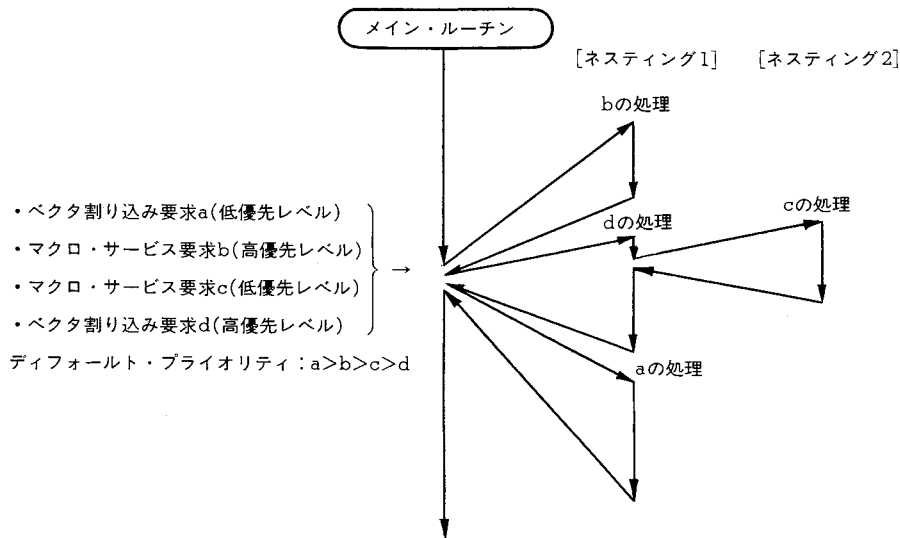


図4-2 同時発生した割り込み要求の処理例



4.1.2 ベクタ割り込み

割り込み要因に対応するベクタ・テーブル・アドレスのメモリ内容を分岐先のアドレスとして、処理ルーチンへ分岐します。

CPUが割り込み処理を行うため、次のような動作が起こります。

- 分岐時：CPUの状態（PC、PSWの内容）をスタックへ退避。
- 復帰時： // をスタックから復帰。

なお、処理ルーチンからメイン・ルーチンへの復帰は、RETI命令で行います。

表4-3 ベクタ・テーブル・アドレス

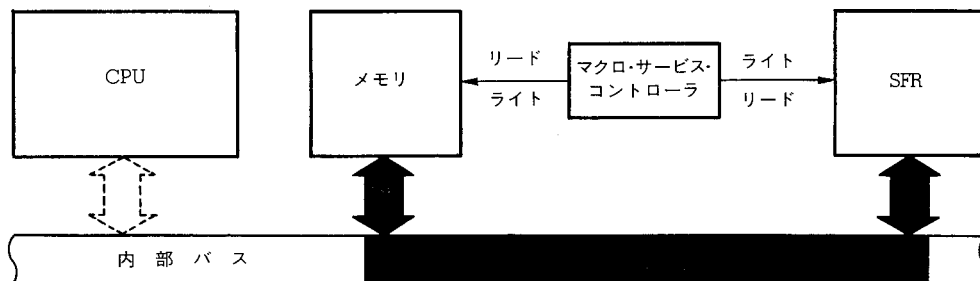
| 割り込み要因 | ベクタ・テーブル・アドレス | 割り込み要因 | ベクタ・テーブル・アドレス |
|--------|---------------|--------|---------------|
| BRK    | 003EH         | INTC21 | 001CH         |
| NMI    | 0002H         | INTP4  | 000EH         |
| INTP0  | 0006H         | INTC30 |               |
| INTP1  | 0008H         | INTP5  | 0010H         |
| INTP2  | 000AH         | INTAD  |               |
| INTP3  | 000CH         | INTC20 | 0012H         |
| INTC00 | 0014H         | INTSER | 0020H         |
| INTC01 | 0016H         | INTSR  | 0022H         |
| INTC10 | 0018H         | INTST  | 0024H         |
| INTC11 | 001AH         | INTCSI | 0026H         |

4.1.3 マクロ・サービス

メモリ-特殊機能レジスタ (SFR) 間のデータ転送を、CPUを介さずに行う機能です。マクロ・サービス・コントローラがメモリとSFRをアクセスし、データを取り込まずに直接転送します。

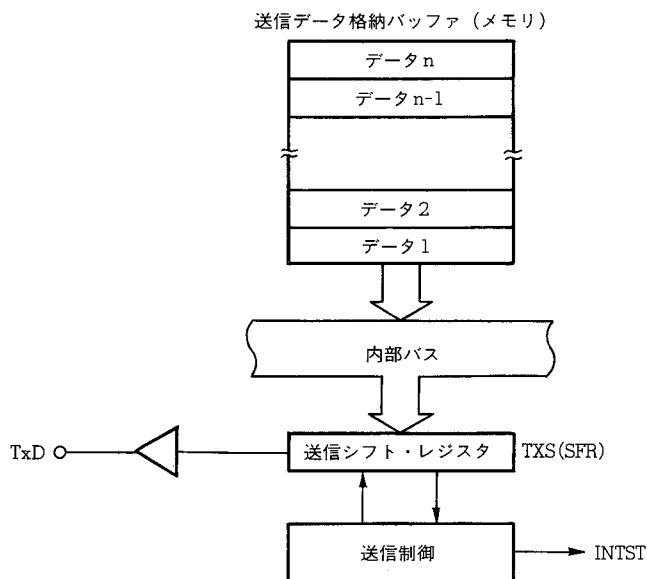
CPUの状態を退避、復帰したり、データを取り込んだりしないため、高速転送が行えます。

図4-3 マクロ・サービス



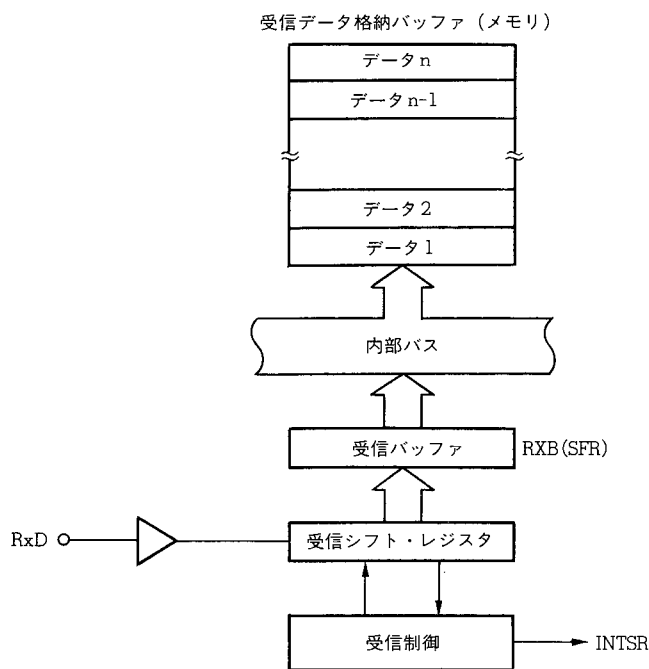
4.1.4 マクロ・サービスの応用例

(1) シリアル・インタフェースの送信動作



マクロ・サービス要求INTSTが発生するたびに、次の送信データをメモリからTXSへ転送します。データn(最終バイト)をTXSへ転送する(送信データ格納バッファが空になると、ベクタ割り込み要求INTSTが発生します。

(2) シリアル・インタフェースの受信動作



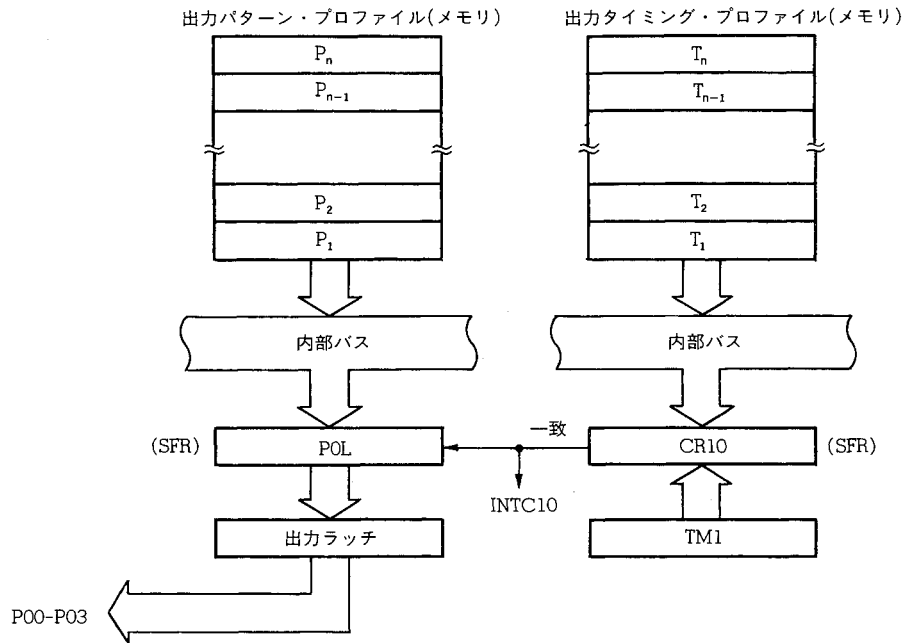
マクロ・サービス要求INTSRが発生するたびに、受信データをRXBからメモリへ転送します。データn(最終バイト)をメモリへ転送する(受信データ格納バッファに空きがなくなる)と、ベクタ割り込み要求INTSRが発生します。



**保守/廃止**

(3) リアルタイム出力ポート

INTC10, INTC11はリアルタイム出力ポートの出力トリガとなります。これらに対するマクロ・サービスでは、次の出力パターンと間隔を同時に設定できます。このため、INTC10とINTC11は独立に、2系統のステップング・モータを制御できます。また、PWMやDCモータの制御などにも応用できます。



マクロ・サービス要求INTC10が発生するごとに、パターンとタイミングをPOLとCR10にそれぞれ転送します。TM1の内容がCR10の内容と一致すると、次のINTC10が発生するとともに、POLの内容を出力ラッチへ送ります。T<sub>n</sub> (最終バイト) がCR10へ転送されると、ベクタ割り込み要求INTC10が発生します。

INTC11についても同様の動作となります (相違点: CR10→CR11, POL→POH, P00-P03→P04-P07)。

## 4.2 ローカル・バス・インタフェース

μPD78218A(A)は、外部メモリやI/O（メモリ・マップトI/O）を接続でき、1Mバイトのメモリ空間をアクセスできます(図3-1参照)。

### 4.2.1 メモリ拡張

メモリ拡張機能として、次のようなモードがあります。

- 外部メモリ拡張モード：外部にプログラム・メモリやデータ・メモリを31488バイト拡張できます。ただし、ROMレス・モード ( $\overline{EA}=L$ ) では、無条件にこの領域を使用できます。
- 1Mバイト拡張モード：外部にデータ・メモリを960Kバイト拡張でき、1Mバイトのメモリ空間となります。

### 4.2.2 プログラマブル・ウエイト

通常アドレス (00000H-0FFFFH) と拡張アドレス (10000H-FFFFFFH) にマッピングされるメモリに対し、独立にウエイトを挿入できます。このため、アクセス時間の異なるメモリを接続しても、システム全体の効率を低下させずに済みます。

### 4.2.3 疑似スタティックRAMリフレッシュ機能

リフレッシュ動作には、次のような動作があります。

- パルス・リフレッシュ：バス・サイクルに同期して、 $\overline{REFRQ}$  端子にリフレッシュ・パルスを出力します。
- パワーダウン・セルフ・リフレッシュ：スタンバイ・モード時、 $\overline{REFRQ}$  端子にロウ・レベルを出力し、疑似スタティックRAMの内容を保持します。

**保守/廃止**

4.3 スタンバイ

チップの消費電力を低減する機能です。次のようなモードがあります。

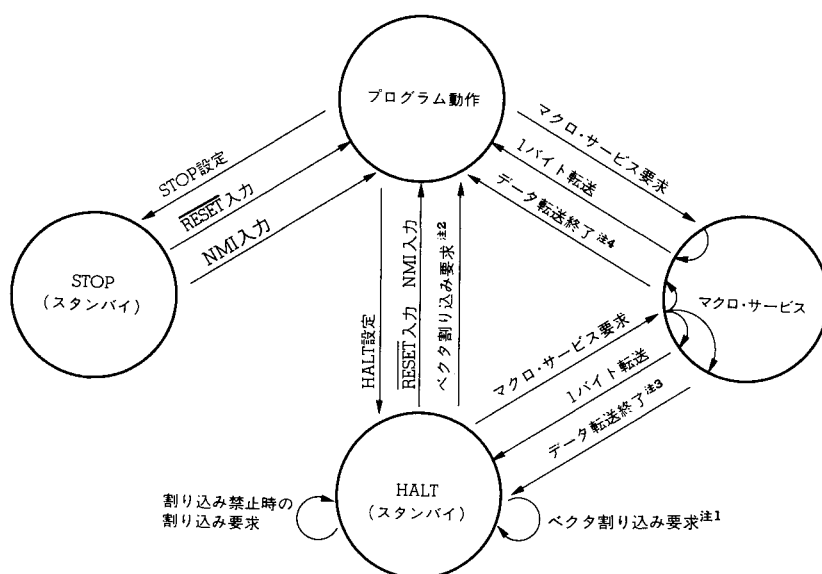
○HALTモード：CPUの動作クロックを停止させます。通常動作との間欠動作により、平均消費電力を低減できます。

○STOPモード：発振器を停止させます。チップ内部の動作をすべて停止させ、リーク電流だけの微小消費電力状態にします。

これらのモードはプログラマブルです。

また、HALTモードからマクロ・サービスを起動することができます。

図4-5 スタンバイの状態遷移



- 注 1. 低優先レベルのベクタ割り込み要求の場合 (HALT設定時に低優先順位の割り込み禁止状態)。
- 2. 高優先レベルのベクタ割り込み要求の場合、または、HALT設定時に低優先順位の割り込み許可状態の場合。
- 3. 低優先レベルのマクロ・サービスの場合 (HALT設定時に低優先順位の割り込み禁止状態)。
- 4. 高優先レベルのマクロ・サービスの場合、または、HALT設定時に低優先順位の割り込み許可状態の場合。

4.4 リセット

RESET端子にロウ・レベルを入力すると、内部ハードウェアは初期状態になります（リセット状態）。

RESET入力がロウ・レベルからハイ・レベルになると、次のようなデータをプログラム・カウンタ (PC) に設定します。

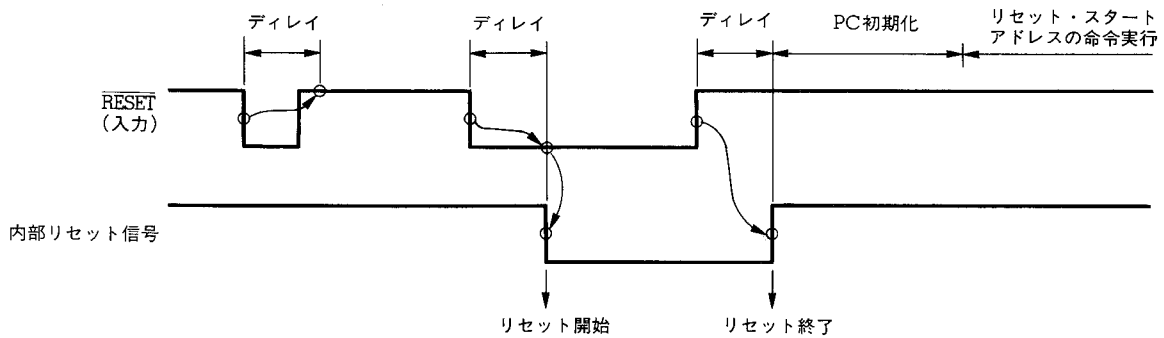
- PCの下位8ビット：0000H番地の内容
- PCの上位8ビット：0001H番地の内容

PCの設定内容を分岐先アドレスとし、そのアドレスからプログラムの実行を開始します。このため、任意の番地からリセット・スタートできます。

各レジスタの内容は、必要に応じてプログラムで設定してください。

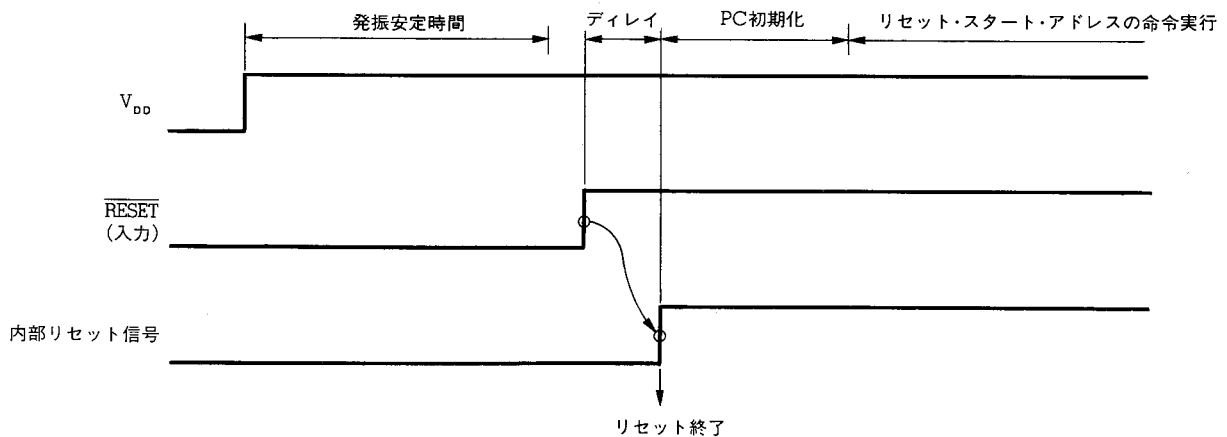
ノイズによる誤動作を防ぐため、RESET入力回路にはノイズ除去回路を内蔵しています。このノイズ除去回路は、アナログ・ディレイによるサンプリング回路となっています。

図4-6 リセットの受け付け



電源投入時のリセット動作では、発振安定時間（約40ms）が経過するまでRESET信号をアクティブにしてください。

図4-7 電源投入時のリセット動作



## 5. 命令のオペレーション

## 5.1 凡 例

## (1) オペランド欄

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述してください(詳細はアセンブラ仕様による)。記述方法の中で複数個あるものは、それらの要素の1つを選択してください。大文字で書かれた英字および+, -, #, !, \$, /, [ ], &記号はキー・ワードですので、そのまま記述してください。

イミューディエト・データをレーベルで記述する際も, +, -, #, !, \$, /, [ ], &は記述してください。r, rpは、機能名称と絶対名称のいずれでも記述できます。

|         |  |
|---------|--|
| +       | : オートインクリメント指定   |
| -       | : オートデクリメント指定  |
| #       | : イミューディエト・データ指定   |
| !       | : 絶対アドレス指定   |
| \$      | : 相対アドレス指定   |
| /       | : ビット反転指定  |
| [ ]     | : 間接アドレッシング指定  |
| &       | : サブバンク指定  |
| r, r'   | : レジスタ ;<br>機能名称 : X, A, C, B, E, D, L, H<br>絶対名称 : R0-R7  |
| rl      | : レジスタ・グループ1 ;<br>B, C   |
| rp, rp' | : レジスタ・ペア ;<br>機能名称 : AX, BC, DE, HL<br>絶対名称 : RPO-RP3   |
| sfr     | : 特殊機能レジスタ ;<br>P0, P2-P7, POH, POL, RTPC, CR10, CR11, CR20, CR21, CR22, CR30,<br>PM0, PM3, PM5, PM6, PMC3, PUO, CRC0-CRC2, TOC, TM1-TM3,<br>TMC0, TMC1, PRM0, PRM1, ADM, ADCR, CSIM, SBIC, SIO, ASIM,<br>ASIS, RXB, TXS, BRGC, STBC(専用命令のみ), MM, PW, RFM, IFOL,<br>IFOH, MKOL, MKOH, PROL, PROH, ISMOL, ISMOH, INTMO, INTM1, IST,<br>OSPC |
| sfrp    | : 特殊機能レジスタ・ペア ;<br>CR00-CR02, TMO, IFO, MKO, PRO, ISMO   |

# 保守/廃止

|               |   |
|---------------|---|
| mem           | : インダイレクト・アドレッシングによるメモリ・アドレス ;<br>レジスタ・インダイレクト・モード : [DE], [HL], [DE+], [HL+], [DE-], [HL-]<br>ベース・モード : [DE+byte], [HL+byte], [SP+byte]<br>インデクスト・モード : word[A], word[B], word[DE], word[HL] |
| mem1          | : レジスタ・インダイレクト・アドレッシング・グループ1によるメモリ・アドレス ;<br>[DE], [HL]   |
| saddr, saddr' | : ショート・ダイレクト・アドレッシングによるメモリ・アドレス ;<br>FE20H-FF1FHイミューディアット・データまたはレーベル  |
| saddrp        | : ショート・ダイレクト・アドレッシング・ペアによるメモリ・アドレス ;<br>FE20H-FF1EHイミューディアット・データまたはレーベル   |
| addr16        | : 16ビット・アドレス ;<br>0000H-FEFFFHイミューディアット・データまたはレーベル  |
| addr11        | : 11ビット・アドレス ;<br>800H-FFFHイミューディアット・データまたはレーベル   |
| addr5         | : 5ビット・アドレス ;<br>40H-7EHイミューディアット・データまたはレーベル  |
| word          | : 16ビット・データ ;<br>16ビット・イミューディアット・データまたはレーベル   |
| byte          | : 8ビット・データ ;<br>8ビット・イミューディアット・データまたはレーベル   |
| bit           | : 3ビット・データ ;<br>3ビット・イミューディアット・データまたはレーベル   |
| n             | : シフト・ビット数 ;<br>3ビット・イミューディアット・データ (0-7)  |
| RBn           | : レジスタ・バンク ;<br>RBO-RB3   |

## ② オペレーション欄

|                                 |                                       |
|---------------------------------|---------------------------------------|
| A                               | : Aレジスタ; 8ビット・アキュムレータ                 |
| X                               | : Xレジスタ                               |
| B                               | : Bレジスタ                               |
| C                               | : Cレジスタ                               |
| D                               | : Dレジスタ                               |
| E                               | : Eレジスタ                               |
| H                               | : Hレジスタ                               |
| L                               | : Lレジスタ                               |
| RO-R7                           | : レジスタ0-レジスタ7(絶対名称)                   |
| AX                              | : レジスタ・ペア (AX); 16ビット・アキュムレータ         |
| BC                              | : レジスタ・ペア (BC)                        |
| DE                              | : レジスタ・ペア (DE)                        |
| HL                              | : レジスタ・ペア (HL)                        |
| RP0-RP3                         | : レジスタ・ペア0-レジスタ・ペア3(絶対名称)             |
| PC                              | : プログラム・カウンタ                          |
| SP                              | : スタック・ポインタ                           |
| PSW                             | : プログラム・ステータス・ワード                     |
| CY                              | : キャリー・フラグ                            |
| AC                              | : 補助キャリー・フラグ                          |
| Z                               | : ゼロ・フラグ                              |
| RBS1-RBS0                       | : レジスタ・バンク選択フラグ                       |
| IE                              | : 割り込み要求許可フラグ                         |
| STBC                            | : スタンバイ・コントロール・レジスタ                   |
| jdisp8                          | : 符号付き8ビット・データ (ディスプレイメント: -128~+127) |
| ( )                             | : ( )内のアドレスまたはレジスタの内容で示されるメモリの内容      |
| ××H                             | : 16進数                                |
| × <sub>H</sub> , × <sub>L</sub> | : 16ビット・レジスタ・ペアの上位8ビット, 下位8ビット        |

## ③ フラグ欄

|    |                      |
|----|----------------------|
| 空白 | : 変化せず               |
| 0  | : 0にクリアされる           |
| 1  | : 1にセットされる           |
| ×  | : 結果に従ってセットまたはクリアされる |
| R  | : 以前に退避した値がリストアされる   |



5.2 オペレーション一覧

(1) 8ビット・データ転送命令：MOV, XCH

| ニモニック  | オペランド         | バイト   | オペレーション          | フラグ |    |    |
|--------|---------------|-------|------------------|-----|----|----|
|        |               |       |                  | Z   | AC | CY |
| MOV    | r, #byte      | 2     | r←byte           |     |    |    |
|        | saddr, #byte  | 3     | (saddr)←byte     |     |    |    |
|        | sfr, #byte    | 3     | sfr←byte         |     |    |    |
|        | r, r'         | 2     | r←r'             |     |    |    |
|        | A, r          | 1     | A←r              |     |    |    |
|        | A, saddr      | 2     | A←(saddr)        |     |    |    |
|        | saddr, A      | 2     | (saddr)←A        |     |    |    |
|        | saddr, saddr' | 3     | (saddr)←(saddr') |     |    |    |
|        | A, sfr        | 2     | A←sfr            |     |    |    |
|        | sfr, A        | 2     | sfr←A            |     |    |    |
|        | A, mem        | 1-4   | A←(mem)          |     |    |    |
|        | A, &mem       | 2-5   | A←(&mem)         |     |    |    |
|        | mem, A        | 1-4   | (mem)←A          |     |    |    |
|        | &mem, A       | 2-5   | (&mem)←A         |     |    |    |
|        | A, !addr 16   | 4     | A←(addr 16)      |     |    |    |
|        | A, &!addr 16  | 5     | A←(&addr 16)     |     |    |    |
|        | !addr 16, A   | 4     | (addr 16)←A      |     |    |    |
|        | &!addr 16, A  | 5     | (&addr 16)←A     |     |    |    |
|        | PSW, #byte    | 3     | PSW←byte         | ×   | ×  | ×  |
|        | PSW, A        | 2     | PSW←A            | ×   | ×  | ×  |
| A, PSW | 2             | A←PSW |                  |     |    |    |
| XCH    | A, r          | 1     | A↔r              |     |    |    |
|        | r, r'         | 2     | r↔r'             |     |    |    |
|        | A, mem        | 2-4   | A↔(mem)          |     |    |    |
|        | A, &mem       | 3-5   | A↔(&mem)         |     |    |    |
|        | A, saddr      | 2     | A↔(saddr)        |     |    |    |
|        | A, sfr        | 3     | A↔sfr            |     |    |    |
|        | saddr, saddr' | 3     | (saddr)↔(saddr') |     |    |    |



保守/廃止

## (2) 16ビット・データ転送命令：MOVW

| ニモニック | オペランド         | バイト | オペレーション       | フラグ |    |    |
|-------|---------------|-----|---------------|-----|----|----|
|       |               |     |               | Z   | AC | CY |
| MOVW  | rp, #word     | 3   | rp←word       |     |    |    |
|       | saddrp, #word | 4   | (saddrp)←word |     |    |    |
|       | sfrp, #word   | 4   | sfrp←word     |     |    |    |
|       | rp, rp'       | 2   | rp←rp'        |     |    |    |
|       | AX, saddrp    | 2   | AX←(saddrp)   |     |    |    |
|       | saddrp, AX    | 2   | (saddrp)←AX   |     |    |    |
|       | AX, sfrp      | 2   | AX←sfrp       |     |    |    |
|       | sfrp, AX      | 2   | sfrp←AX       |     |    |    |
|       | AX, meml      | 2   | AX←(meml)     |     |    |    |
|       | AX, &meml     | 3   | AX←(&meml)    |     |    |    |
|       | meml, AX      | 2   | (meml)←AX     |     |    |    |
|       | &meml, AX     | 3   | (&meml)←AX    |     |    |    |



(3) 8ビット演算命令 : ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP

(1/2)

| 二モニック | オペランド         | バイト | オペレーション                         | フラグ |    |    |
|-------|---------------|-----|---------------------------------|-----|----|----|
|       |               |     |                                 | Z   | AC | CY |
| ADD   | A, #byte      | 2   | A, CY←A+byte                    | ×   | ×  | ×  |
|       | saddr, #byte  | 3   | (saddr), CY←(saddr)+byte        | ×   | ×  | ×  |
|       | sfr, #byte    | 4   | sfr, CY←sfr+byte                | ×   | ×  | ×  |
|       | r, r'         | 2   | r, CY←r+r'                      | ×   | ×  | ×  |
|       | A, saddr      | 2   | A, CY←A+(saddr)                 | ×   | ×  | ×  |
|       | A, sfr        | 3   | A, CY←A+sfr                     | ×   | ×  | ×  |
|       | saddr, saddr' | 3   | (saddr), CY←(saddr)+(saddr')    | ×   | ×  | ×  |
|       | A, mem        | 2-4 | A, CY←A+(mem)                   | ×   | ×  | ×  |
|       | A, &mem       | 3-5 | A, CY←A+(&mem)                  | ×   | ×  | ×  |
| ADDC  | A, #byte      | 2   | A, CY←A+byte+CY                 | ×   | ×  | ×  |
|       | saddr, #byte  | 3   | (saddr), CY←(saddr)+byte+CY     | ×   | ×  | ×  |
|       | sfr, #byte    | 4   | sfr, CY←sfr+byte+CY             | ×   | ×  | ×  |
|       | r, r'         | 2   | r, CY←r+r'+CY                   | ×   | ×  | ×  |
|       | A, saddr      | 2   | A, CY←A+(saddr)+CY              | ×   | ×  | ×  |
|       | A, sfr        | 3   | A, CY←A+sfr+CY                  | ×   | ×  | ×  |
|       | saddr, saddr' | 3   | (saddr), CY←(saddr)+(saddr')+CY | ×   | ×  | ×  |
|       | A, mem        | 2-4 | A, CY←A+(mem)+CY                | ×   | ×  | ×  |
|       | A, &mem       | 3-5 | A, CY←A+(&mem)+CY               | ×   | ×  | ×  |
| SUB   | A, #byte      | 2   | A, CY←A-byte                    | ×   | ×  | ×  |
|       | saddr, #byte  | 3   | (saddr), CY←(saddr)-byte        | ×   | ×  | ×  |
|       | sfr, #byte    | 4   | sfr, CY←sfr-byte                | ×   | ×  | ×  |
|       | r, r'         | 2   | r, CY←r-r'                      | ×   | ×  | ×  |
|       | A, saddr      | 2   | A, CY←A-(saddr)                 | ×   | ×  | ×  |
|       | A, sfr        | 3   | A, CY←A-sfr                     | ×   | ×  | ×  |
|       | saddr, saddr' | 3   | (saddr), CY←(saddr)-(saddr')    | ×   | ×  | ×  |
|       | A, mem        | 2-4 | A, CY←A-(mem)                   | ×   | ×  | ×  |
|       | A, &mem       | 3-5 | A, CY←A-(&mem)                  | ×   | ×  | ×  |
| SUBC  | A, #byte      | 2   | A, CY←A-byte-CY                 | ×   | ×  | ×  |
|       | saddr, #byte  | 3   | (saddr), CY←(saddr)-byte-CY     | ×   | ×  | ×  |
|       | sfr, #byte    | 4   | sfr, CY←sfr-byte-CY             | ×   | ×  | ×  |
|       | r, r'         | 2   | r, CY←r-r'-CY                   | ×   | ×  | ×  |
|       | A, saddr      | 2   | A, CY←A-(saddr)-CY              | ×   | ×  | ×  |
|       | A, sfr        | 3   | A, CY←A-sfr-CY                  | ×   | ×  | ×  |
|       | saddr, saddr' | 3   | (saddr), CY←(saddr)-(saddr')-CY | ×   | ×  | ×  |
|       | A, mem        | 2-4 | A, CY←A-(mem)-CY                | ×   | ×  | ×  |
|       | A, &mem       | 3-5 | A, CY←A-(&mem)-CY               | ×   | ×  | ×  |

**保守 / 廃止**

(2/2)

| ニモニック      | オペランド         | バイト                                    | オペレーション   | フラグ |    |    |
|------------|---------------|--|---|-----|----|----|
|            |               |  |   | Z   | AC | CY |
| <b>AND</b> | A, #byte      | 2                                      | $A \leftarrow A \wedge \text{byte}$                               | ×   |    |    |
|            | saddr, #byte  | 3                                      | $(\text{saddr}) \leftarrow (\text{saddr}) \wedge \text{byte}$     | ×   |    |    |
|            | sfr, #byte    | 4                                      | $\text{sfr} \leftarrow \text{sfr} \wedge \text{byte}$             | ×   |    |    |
|            | r, r'         | 2                                      | $r \leftarrow r \wedge r'$  | ×   |    |    |
|            | A, saddr      | 2                                      | $A \leftarrow A \wedge (\text{saddr})$                            | ×   |    |    |
|            | A, sfr        | 3                                      | $A \leftarrow A \wedge \text{sfr}$                                | ×   |    |    |
|            | saddr, saddr' | 3                                      | $(\text{saddr}) \leftarrow (\text{saddr}) \wedge (\text{saddr}')$ | ×   |    |    |
|            | A, mem        | 2-4                                    | $A \leftarrow A \wedge (\text{mem})$                              | ×   |    |    |
| A, &mem    | 3-5           | $A \leftarrow A \wedge (\&\text{mem})$ | ×   |     |    |    |
| <b>OR</b>  | A, #byte      | 2                                      | $A \leftarrow A \vee \text{byte}$                                 | ×   |    |    |
|            | saddr, #byte  | 3                                      | $(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$       | ×   |    |    |
|            | sfr, #byte    | 4                                      | $\text{sfr} \leftarrow \text{sfr} \vee \text{byte}$               | ×   |    |    |
|            | r, r'         | 2                                      | $r \leftarrow r \vee r'$  | ×   |    |    |
|            | A, saddr      | 2                                      | $A \leftarrow A \vee (\text{saddr})$                              | ×   |    |    |
|            | A, sfr        | 3                                      | $A \leftarrow A \vee \text{sfr}$                                  | ×   |    |    |
|            | saddr, saddr' | 3                                      | $(\text{saddr}) \leftarrow (\text{saddr}) \vee (\text{saddr}')$   | ×   |    |    |
|            | A, mem        | 2-4                                    | $A \leftarrow A \vee (\text{mem})$                                | ×   |    |    |
| A, &mem    | 3-5           | $A \leftarrow A \vee (\&\text{mem})$   | ×   |     |    |    |
| <b>XOR</b> | A, #byte      | 2                                      | $A \leftarrow A \nabla \text{byte}$                               | ×   |    |    |
|            | saddr, #byte  | 3                                      | $(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$     | ×   |    |    |
|            | sfr, #byte    | 4                                      | $\text{sfr} \leftarrow \text{sfr} \nabla \text{byte}$             | ×   |    |    |
|            | r, r'         | 2                                      | $r \leftarrow r \nabla r'$  | ×   |    |    |
|            | A, saddr      | 2                                      | $A \leftarrow A \nabla (\text{saddr})$                            | ×   |    |    |
|            | A, sfr        | 3                                      | $A \leftarrow A \nabla \text{sfr}$                                | ×   |    |    |
|            | saddr, saddr' | 3                                      | $(\text{saddr}) \leftarrow (\text{saddr}) \nabla (\text{saddr}')$ | ×   |    |    |
|            | A, mem        | 2-4                                    | $A \leftarrow A \nabla (\text{mem})$                              | ×   |    |    |
| A, &mem    | 3-5           | $A \leftarrow A \nabla (\&\text{mem})$ | ×   |     |    |    |
| <b>CMP</b> | A, #byte      | 2                                      | $A - \text{byte}$   | ×   | ×  | ×  |
|            | saddr, #byte  | 3                                      | $(\text{saddr}) - \text{byte}$                                    | ×   | ×  | ×  |
|            | sfr, #byte    | 4                                      | $\text{sfr} - \text{byte}$  | ×   | ×  | ×  |
|            | r, r'         | 2                                      | $r - r'$  | ×   | ×  | ×  |
|            | A, saddr      | 2                                      | $A - (\text{saddr})$  | ×   | ×  | ×  |
|            | A, sfr        | 3                                      | $A - \text{sfr}$  | ×   | ×  | ×  |
|            | saddr, saddr' | 3                                      | $(\text{saddr}) - (\text{saddr}')$                                | ×   | ×  | ×  |
|            | A, mem        | 2-4                                    | $A - (\text{mem})$  | ×   | ×  | ×  |
| A, &mem    | 3-5           | $A - (\&\text{mem})$                   | ×   | ×   | ×  |    |



(4) 16ビット演算命令：ADDW, SUBW, CMPW

| ニモニック       | オペランド      | バイト | オペレーション            | フラグ |    |    |
|-------------|------------|-----|--------------------|-----|----|----|
|             |            |     |                    | Z   | AC | CY |
| <b>ADDW</b> | AX, #word  | 3   | AX, CY←AX+word     | ×   | ×  | ×  |
|             | AX, rp     | 2   | AX, CY←AX+rp       | ×   | ×  | ×  |
|             | AX, saddrp | 2   | AX, CY←AX+(saddrp) | ×   | ×  | ×  |
|             | AX, sfrp   | 3   | AX, CY←AX+sfrp     | ×   | ×  | ×  |
| <b>SUBW</b> | AX, #word  | 3   | AX, CY←AX-word     | ×   | ×  | ×  |
|             | AX, rp     | 2   | AX, CY←AX-rp       | ×   | ×  | ×  |
|             | AX, saddrp | 2   | AX, CY←AX-(saddrp) | ×   | ×  | ×  |
|             | AX, sfrp   | 3   | AX, CY←AX-sfrp     | ×   | ×  | ×  |
| <b>CMPW</b> | AX, #word  | 3   | AX-word            | ×   | ×  | ×  |
|             | AX, rp     | 2   | AX-rp              | ×   | ×  | ×  |
|             | AX, saddrp | 2   | AX-(saddrp)        | ×   | ×  | ×  |
|             | AX, sfrp   | 3   | AX-sfrp            | ×   | ×  | ×  |

(5) 乗除算命令：MULU, DIVUW

| ニモニック        | オペランド | バイト | オペレーション                                      | フラグ |    |    |
|--------------|-------|-----|--|-----|----|----|
|              |       |     |  | Z   | AC | CY |
| <b>MULU</b>  | r     | 2   | AX←A×r                                       |     |    |    |
| <b>DIVUW</b> | r     | 2   | AX(商), r(余り)←AX÷r, ただし, r=0のときr←X, AX←OFFFHH |     |    |    |

★

(6) 増減命令：INC, DEC, INCW, DECW

| ニモニック       | オペランド | バイト | オペレーション           | フラグ |    |    |
|-------------|-------|-----|-------------------|-----|----|----|
|             |       |     |                   | Z   | AC | CY |
| <b>INC</b>  | r     | 1   | r←r+1             | ×   | ×  |    |
|             | saddr | 2   | (saddr)←(saddr)+1 | ×   | ×  |    |
| <b>DEC</b>  | r     | 1   | r←r-1             | ×   | ×  |    |
|             | saddr | 2   | (saddr)←(saddr)-1 | ×   | ×  |    |
| <b>INCW</b> | rp    | 1   | rp←rp+1           |     |    |    |
| <b>DECW</b> | rp    | 1   | rp←rp-1           |     |    |    |

保守 / 廃止

(7) シフト・ローテート命令 : ROR, ROL, RORC, ROLC, SHR, SHL, SHRW, SHLW, ROR4, ROL4

| 二モニック       | オペランド | バイト | オペレーション   | フラグ |    |    |
|-------------|-------|-----|---|-----|----|----|
|             |       |     |   | Z   | AC | CY |
| <b>ROR</b>  | r, n  | 2   | $(CY, r_7 \leftarrow r_0, r_{m-1} \leftarrow r_m) \times n$ 回 $n=0-7$   |     |    | ×  |
| <b>ROL</b>  | r, n  | 2   | $(CY, r_0 \leftarrow r_7, r_{m+1} \leftarrow r_m) \times n$ 回 $n=0-7$   |     |    | ×  |
| <b>RORC</b> | r, n  | 2   | $(CY \leftarrow r_0, r_7 \leftarrow CY, r_{m-1} \leftarrow r_m) \times n$ 回 $n=0-7$                                   |     |    | ×  |
| <b>ROLC</b> | r, n  | 2   | $(CY \leftarrow r_7, r_0 \leftarrow CY, r_{m+1} \leftarrow r_m) \times n$ 回 $n=0-7$                                   |     |    | ×  |
| <b>SHR</b>  | r, n  | 2   | $(CY \leftarrow r_0, r_7 \leftarrow 0, r_{m-1} \leftarrow r_m) \times n$ 回 $n=0-7$                                    | ×   | 0  | ×  |
| <b>SHL</b>  | r, n  | 2   | $(CY \leftarrow r_7, r_0 \leftarrow 0, r_{m+1} \leftarrow r_m) \times n$ 回 $n=0-7$                                    | ×   | 0  | ×  |
| <b>SHRW</b> | rp, n | 2   | $(CY \leftarrow rp_0, rp_{15} \leftarrow 0, rp_{m-1} \leftarrow rp_m) \times n$ 回 $n=0-7$                             | ×   | 0  | ×  |
| <b>SHLW</b> | rp, n | 2   | $(CY \leftarrow rp_{15}, rp_0 \leftarrow 0, rp_{m+1} \leftarrow rp_m) \times n$ 回 $n=0-7$                             | ×   | 0  | ×  |
| <b>ROR4</b> | meml  | 2   | $A_{3-0} \leftarrow (meml)_{3-0}, (meml)_{7-4} \leftarrow A_{3-0},$<br>$(meml)_{3-0} \leftarrow (meml)_{7-4}$         |     |    |    |
|             | &meml | 3   | $A_{3-0} \leftarrow (\&meml)_{3-0}, (\&meml)_{7-4} \leftarrow A_{3-0},$<br>$(\&meml)_{3-0} \leftarrow (\&meml)_{7-4}$ |     |    |    |
| <b>ROL4</b> | meml  | 2   | $A_{3-0} \leftarrow (meml)_{7-4}, (meml)_{3-0} \leftarrow A_{3-0},$<br>$(meml)_{7-4} \leftarrow (meml)_{3-0}$         |     |    |    |
|             | &meml | 3   | $A_{3-0} \leftarrow (\&meml)_{7-4}, (\&meml)_{3-0} \leftarrow A_{3-0},$<br>$(\&meml)_{7-4} \leftarrow (\&meml)_{3-0}$ |     |    |    |

(8) BCD補正命令 : ADJBA, ADJBS

| 二モニック        | オペランド | バイト | オペレーション                                   | フラグ |    |    |
|--------------|-------|-----|---|-----|----|----|
|              |       |     |   | Z   | AC | CY |
| <b>ADJBA</b> |       | 1   | Decimal Adjust Accumulator after Addition | ×   | ×  | ×  |
| <b>ADJBS</b> |       | 1   | Decimal Adjust Accumulator after Subtract | ×   | ×  | ×  |



(9) ビット操作命令 : MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1

(1/2)

| 二モニック | オペランド           | バイト | オペレーション  | フラグ |    |    |
|-------|-----------------|-----|--|-----|----|----|
|       |                 |     |  | Z   | AC | CY |
| MOV1  | CY, saddr. bit  | 3   | $CY \leftarrow (\text{saddr. bit})$                      |     |    | ×  |
|       | CY, sfr. bit    | 3   | $CY \leftarrow \text{sfr. bit}$                          |     |    | ×  |
|       | CY, A. bit      | 2   | $CY \leftarrow A. \text{ bit}$                           |     |    | ×  |
|       | CY, X. bit      | 2   | $CY \leftarrow X. \text{ bit}$                           |     |    | ×  |
|       | CY, PSW. bit    | 2   | $CY \leftarrow \text{PSW. bit}$                          |     |    | ×  |
|       | saddr. bit, CY  | 3   | $(\text{saddr. bit}) \leftarrow CY$                      |     |    |    |
|       | sfr. bit, CY    | 3   | $\text{sfr. bit} \leftarrow CY$                          |     |    |    |
|       | A. bit, CY      | 2   | $A. \text{ bit} \leftarrow CY$                           |     |    |    |
|       | X. bit, CY      | 2   | $X. \text{ bit} \leftarrow CY$                           |     |    |    |
|       | PSW. bit, CY    | 2   | $\text{PSW. bit} \leftarrow CY$                          | ×   | ×  |    |
| AND1  | CY, saddr. bit  | 3   | $CY \leftarrow CY \wedge (\text{saddr. bit})$            |     |    | ×  |
|       | CY, /saddr. bit | 3   | $CY \leftarrow CY \wedge \overline{(\text{saddr. bit})}$ |     |    | ×  |
|       | CY, sfr. bit    | 3   | $CY \leftarrow CY \wedge \text{sfr. bit}$                |     |    | ×  |
|       | CY, /sfr. bit   | 3   | $CY \leftarrow CY \wedge \overline{\text{sfr. bit}}$     |     |    | ×  |
|       | CY, A. bit      | 2   | $CY \leftarrow CY \wedge A. \text{ bit}$                 |     |    | ×  |
|       | CY, /A. bit     | 2   | $CY \leftarrow CY \wedge \overline{A. \text{ bit}}$      |     |    | ×  |
|       | CY, X. bit      | 2   | $CY \leftarrow CY \wedge X. \text{ bit}$                 |     |    | ×  |
|       | CY, /X. bit     | 2   | $CY \leftarrow CY \wedge \overline{X. \text{ bit}}$      |     |    | ×  |
|       | CY, PSW. bit    | 2   | $CY \leftarrow CY \wedge \text{PSW. bit}$                |     |    | ×  |
|       | CY, /PSW. bit   | 2   | $CY \leftarrow CY \wedge \overline{\text{PSW. bit}}$     |     |    | ×  |
| OR1   | CY, saddr. bit  | 3   | $CY \leftarrow CY \vee (\text{saddr. bit})$              |     |    | ×  |
|       | CY, /saddr. bit | 3   | $CY \leftarrow CY \vee \overline{(\text{saddr. bit})}$   |     |    | ×  |
|       | CY, sfr. bit    | 3   | $CY \leftarrow CY \vee \text{sfr. bit}$                  |     |    | ×  |
|       | CY, /sfr. bit   | 3   | $CY \leftarrow CY \vee \overline{\text{sfr. bit}}$       |     |    | ×  |
|       | CY, A. bit      | 2   | $CY \leftarrow CY \vee A. \text{ bit}$                   |     |    | ×  |
|       | CY, /A. bit     | 2   | $CY \leftarrow CY \vee \overline{A. \text{ bit}}$        |     |    | ×  |
|       | CY, X. bit      | 2   | $CY \leftarrow CY \vee X. \text{ bit}$                   |     |    | ×  |
|       | CY, /X. bit     | 2   | $CY \leftarrow CY \vee \overline{X. \text{ bit}}$        |     |    | ×  |
|       | CY, PSW. bit    | 2   | $CY \leftarrow CY \vee \text{PSW. bit}$                  |     |    | ×  |
|       | CY, /PSW. bit   | 2   | $CY \leftarrow CY \vee \overline{\text{PSW. bit}}$       |     |    | ×  |

**保守 / 廃止**

(2/2)

| 二モニック       | オペランド          | バイト | オペレーション   | フラグ |    |    |
|-------------|----------------|-----|---|-----|----|----|
|             |                |     |   | Z   | AC | CY |
| <b>XOR1</b> | CY, saddr. bit | 3   | $CY \leftarrow CY \vee (\text{saddr. bit})$                     |     |    | ×  |
|             | CY, sfr. bit   | 3   | $CY \leftarrow CY \vee \text{sfr. bit}$                         |     |    | ×  |
|             | CY, A. bit     | 2   | $CY \leftarrow CY \vee A. \text{ bit}$                          |     |    | ×  |
|             | CY, X. bit     | 2   | $CY \leftarrow CY \vee X. \text{ bit}$                          |     |    | ×  |
|             | CY, PSW. bit   | 2   | $CY \leftarrow CY \vee \text{PSW. bit}$                         |     |    | ×  |
| <b>SET1</b> | saddr. bit     | 2   | $(\text{saddr. bit}) \leftarrow 1$                              |     |    |    |
|             | sfr. bit       | 3   | $\text{sfr. bit} \leftarrow 1$                                  |     |    |    |
|             | A. bit         | 2   | $A. \text{ bit} \leftarrow 1$                                   |     |    |    |
|             | X. bit         | 2   | $X. \text{ bit} \leftarrow 1$                                   |     |    |    |
|             | PSW. bit       | 2   | $\text{PSW. bit} \leftarrow 1$                                  | ×   | ×  | ×  |
|             | CY             | 1   | $CY \leftarrow 1$   |     |    | 1  |
| <b>CLR1</b> | saddr. bit     | 2   | $(\text{saddr. bit}) \leftarrow 0$                              |     |    |    |
|             | sfr. bit       | 3   | $\text{sfr. bit} \leftarrow 0$                                  |     |    |    |
|             | A. bit         | 2   | $A. \text{ bit} \leftarrow 0$                                   |     |    |    |
|             | X. bit         | 2   | $X. \text{ bit} \leftarrow 0$                                   |     |    |    |
|             | PSW. bit       | 2   | $\text{PSW. bit} \leftarrow 0$                                  | ×   | ×  | ×  |
|             | CY             | 1   | $CY \leftarrow 0$   |     |    | 0  |
| <b>NOT1</b> | saddr. bit     | 3   | $(\text{saddr. bit}) \leftarrow \overline{(\text{saddr. bit})}$ |     |    |    |
|             | sfr. bit       | 3   | $\text{sfr. bit} \leftarrow \overline{\text{sfr. bit}}$         |     |    |    |
|             | A. bit         | 2   | $A. \text{ bit} \leftarrow \overline{A. \text{ bit}}$           |     |    |    |
|             | X. bit         | 2   | $X. \text{ bit} \leftarrow \overline{X. \text{ bit}}$           |     |    |    |
|             | PSW. bit       | 2   | $\text{PSW. bit} \leftarrow \overline{\text{PSW. bit}}$         | ×   | ×  | ×  |
|             | CY             | 1   | $CY \leftarrow \overline{CY}$                                   |     |    | ×  |



(10) コール・リターン命令 : CALL, CALLF, CALLT, BRK, RET, RETI, RETB

| 二モニック | オペランド   | バイト | オペレーション   | フラグ |    |    |
|-------|---------|-----|---|-----|----|----|
|       |         |     |   | Z   | AC | CY |
| CALL  | !addr16 | 3   | $(SP-1) \leftarrow (PC+3)_H, (SP-2) \leftarrow (PC+3)_L,$<br>$PC \leftarrow \text{addr16}, SP \leftarrow SP-2$  |     |    |    |
|       | rp      | 2   | $(SP-1) \leftarrow (PC+2)_H, (SP-2) \leftarrow (PC+2)_L,$<br>$PC_H \leftarrow rp_H, PC_L \leftarrow rp_L, SP \leftarrow SP-2$   |     |    |    |
| CALLF | !addr11 | 2   | $(SP-1) \leftarrow (PC+2)_H, (SP-2) \leftarrow (PC+2)_L,$<br>$PC_{15-11} \leftarrow 00001, PC_{10-0} \leftarrow \text{addr11}, SP \leftarrow SP-2$                              |     |    |    |
| CALLT | [addr5] | 1   | $(SP-1) \leftarrow (PC+1)_H, (SP-2) \leftarrow (PC+1)_L,$<br>$PC_H \leftarrow (00000000, \text{addr5}+1),$<br>$PC_L \leftarrow (00000000, \text{addr5}), SP \leftarrow SP-2$    |     |    |    |
| BRK   |         | 1   | $(SP-1) \leftarrow PSW, (SP-2) \leftarrow (PC+1)_H$<br>$(SP-3) \leftarrow (PC+1)_L, PC_L \leftarrow (003EH),$<br>$PC_H \leftarrow (003FH), SP \leftarrow SP-3, IE \leftarrow 0$ |     |    |    |
| RET   |         | 1   | $PC_L \leftarrow (SP), PC_H \leftarrow (SP+1), SP \leftarrow SP+2$  |     |    |    |
| RETI  |         | 1   | $PC_L \leftarrow (SP), PC_H \leftarrow (SP+1), PSW \leftarrow (SP+2),$<br>$SP \leftarrow SP+3, NMIS \leftarrow 0$   | R   | R  | R  |
| RETB  |         | 1   | $PC_L \leftarrow (SP), PC_H \leftarrow (SP+1), PSW \leftarrow (SP+2),$<br>$SP \leftarrow SP+3$  | R   | R  | R  |

(11) スタック操作命令 : PUSH, POP, MOVW, INCW, DECW

| 二モニック | オペランド      | バイト | オペレーション  | フラグ |    |    |
|-------|------------|-----|--|-----|----|----|
|       |            |     |  | Z   | AC | CY |
| PUSH  | PSW        | 1   | $(SP-1) \leftarrow PSW, SP \leftarrow SP-1$                          |     |    |    |
|       | sfr        | 2   | $(SP-1) \leftarrow \text{sfr}, SP \leftarrow SP-1$                   |     |    |    |
|       | rp         | 1   | $(SP-1) \leftarrow rp_H, (SP-2) \leftarrow rp_L, SP \leftarrow SP-2$ |     |    |    |
| POP   | PSW        | 1   | $PSW \leftarrow (SP), SP \leftarrow SP+1$                            | R   | R  | R  |
|       | sfr        | 2   | $\text{sfr} \leftarrow (SP), SP \leftarrow SP+1$                     |     |    |    |
|       | rp         | 1   | $rp_L, (SP), rp_H \leftarrow (SP+1), SP \leftarrow SP+2$             |     |    |    |
| MOVW  | SP, # word | 4   | $SP \leftarrow \text{word}$  |     |    |    |
|       | SP, AX     | 2   | $SP \leftarrow AX$   |     |    |    |
|       | AX, SP     | 2   | $AX \leftarrow SP$   |     |    |    |
| INCW  | SP         | 2   | $SP \leftarrow SP+1$   |     |    |    |
| DECW  | SP         | 2   | $SP \leftarrow SP-1$   |     |    |    |





(12) 無条件分岐命令 : BR

| モニタ | オペランド    | バイト | オペレーション   | フラグ |    |    |
|-----|----------|-----|---|-----|----|----|
|     |          |     |   | Z   | AC | CY |
| BR  | !addr16  | 3   | PC←addr16   |     |    |    |
|     | rp       | 2   | PC <sub>H</sub> ←rp <sub>H</sub> , PC <sub>L</sub> ←rp <sub>L</sub> |     |    |    |
|     | \$addr16 | 2   | PC←PC+2+jdisp8  |     |    |    |

(13) 条件付き分岐命令 : BC, BL, BNC, BNL, BZ, BE, BNZ, BNE, BT, BF, BTCLR, DBNZ

| モニタ   | オペランド                 | バイト | オペレーション  | フラグ |    |    |
|-------|-----------------------|-----|--|-----|----|----|
|       |                       |     |  | Z   | AC | CY |
| BC    | \$addr 16             | 2   | PC←PC+2+jdisp8 if CY=1                                     |     |    |    |
| BL    |                       |     |  |     |    |    |
| BNC   | \$addr 16             | 2   | PC←PC+2+jdisp8 if CY=0                                     |     |    |    |
| BNL   |                       |     |  |     |    |    |
| BZ    | \$addr 16             | 2   | PC←PC+2+jdisp8 if Z=1                                      |     |    |    |
| BE    |                       |     |  |     |    |    |
| BNZ   | \$addr 16             | 2   | PC←PC+2+jdisp8 if Z=0                                      |     |    |    |
| BNE   |                       |     |  |     |    |    |
| BT    | saddr. bit, \$addr 16 | 3   | PC←PC+3+jdisp8 if (saddr. bit) = 1                         |     |    |    |
|       | sfr. bit, \$addr 16   | 4   | PC←PC+4+jdisp8 if sfr. bit = 1                             |     |    |    |
|       | A. bit, \$addr 16     | 3   | PC←PC+3+jdisp8 if A. bit = 1                               |     |    |    |
|       | X. bit, \$addr 16     | 3   | PC←PC+3+jdisp8 if X. bit = 1                               |     |    |    |
|       | PSW. bit, \$addr 16   | 3   | PC←PC+3+jdisp8 if PSW. bit = 1                             |     |    |    |
| BF    | saddr. bit, \$addr 16 | 4   | PC←PC+4+jdisp8 if (saddr. bit) = 0                         |     |    |    |
|       | sfr. bit, \$addr 16   | 4   | PC←PC+4+jdisp8 if sfr. bit = 0                             |     |    |    |
|       | A. bit, \$addr 16     | 3   | PC←PC+3+jdisp8 if A. bit = 0                               |     |    |    |
|       | X. bit, \$addr 16     | 3   | PC←PC+3+jdisp8 if X. bit = 0                               |     |    |    |
|       | PSW. bit, \$addr 16   | 3   | PC←PC+3+jdisp8 if PSW. bit = 0                             |     |    |    |
| BTCLR | saddr. bit, \$addr 16 | 4   | PC←PC+4+jdisp8 if (saddr. bit) = 1 then reset (saddr. bit) |     |    |    |
|       | sfr. bit, \$addr 16   | 4   | PC←PC+4+jdisp8 if sfr. bit = 1 then reset sfr. bit         |     |    |    |
|       | A. bit, \$addr 16     | 3   | PC←PC+3+jdisp8 if A. bit = 1 then reset A. bit             |     |    |    |
|       | X. bit, \$addr 16     | 3   | PC←PC+3+jdisp8 if X. bit = 1 then reset X. bit             |     |    |    |
|       | PSW. bit, \$addr 16   | 3   | PC←PC+3+jdisp8 if PSW. bit = 1 then reset PSW. bit         |     |    |    |
| DBNZ  | r1, \$addr 16         | 2   | r1←r1-1, then PC←PC+2+jdisp8 if r1≠0                       |     |    |    |
|       | saddr, \$addr 16      | 3   | (saddr)←(saddr)-1, then PC←PC+3+jdisp8 if (saddr)≠0        |     |    |    |

保守 / 廃止

(14) CPU制御命令 : MOV, SEL, NOP, EI, DI

| ニモニック      | オペランド       | バイト | オペレーション                 | フラグ |    |    |
|------------|-------------|-----|-------------------------|-----|----|----|
|            |             |     |                         | Z   | AC | CY |
| <b>MOV</b> | STBC, #byte | 4   | STBC←byte               |     |    |    |
| <b>SEL</b> | RBn         | 2   | RBS1-0←n, n=0-3         |     |    |    |
| <b>NOP</b> |             | 1   | No Operation            |     |    |    |
| <b>EI</b>  |             | 1   | IE←1(Enable Interrupt)  |     |    |    |
| <b>DI</b>  |             | 1   | IE←0(Disable Interrupt) |     |    |    |



6. 電気的特性

絶対最大定格 (Ta = 25 °C)

| 項目         | 略号                | 条件      | 定格                             | 単位 |
|------------|-------------------|---------|--------------------------------|----|
| 電源電圧       | V <sub>DD</sub>   |         | -0.5 ~ +7.0                    | V  |
|            | AV <sub>REF</sub> |         | -0.5 ~ V <sub>DD</sub> + 0.5   | V  |
|            | AV <sub>SS</sub>  |         | -0.5 ~ +0.5                    | V  |
| 入力電圧       | V <sub>I1</sub>   |         | -0.5 ~ V <sub>DD</sub> + 0.5   | V  |
|            | V <sub>I2</sub>   | 注       | -0.5 ~ AV <sub>REF</sub> + 0.5 | V  |
| 出力電圧       | V <sub>O</sub>    |         | -0.5 ~ V <sub>DD</sub> + 0.5   | V  |
| ロウ・レベル出力電流 | I <sub>OL</sub>   | 1端子     | 15                             | mA |
|            |                   | 全出力端子合計 | 100                            | mA |
| ハイ・レベル出力電流 | I <sub>OH</sub>   | 1端子     | -10                            | mA |
|            |                   | 全出力端子合計 | -50                            | mA |
| 動作温度       | T <sub>opt</sub>  |         | -40 ~ +85                      | °C |
| 保存温度       | T <sub>stg</sub>  |         | -65 ~ +150                     | °C |

注 P70/AN0-P75/AN5, P66/WAIT/AN6, P67/REFRQ/AN7 端子のうち, A/D コンバータの入力端子として使用している端子。ただし, V<sub>I1</sub> の絶対最大定格も満足させる必要があります。

動作条件

| クロック周波数                          | 動作温度 (T <sub>opt</sub> ) | 電源電圧 (V <sub>DD</sub> ) |
|----------------------------------|--------------------------|-------------------------|
| 4 MHz ≤ f <sub>xx</sub> ≤ 12 MHz | -40 ~ +85 °C             | +5 V ± 10 %             |

容量 (Ta = 25 °C, V<sub>DD</sub> = V<sub>SS</sub> = 0 V)

| 項目    | 略号              | 条件                       | MIN. | TYP. | MAX. | 単位 |
|-------|-----------------|--------------------------|------|------|------|----|
| 入力容量  | C <sub>I</sub>  | f = 1 MHz<br>被測定端子以外は 0V |      |      | 20   | pF |
| 出力容量  | C <sub>O</sub>  |                          |      |      | 20   | pF |
| 入出力容量 | C <sub>IO</sub> |                          |      |      | 20   | pF |

**保守/廃止**

発振器特性 (Ta = -40 ~ +85 °C, V<sub>DD</sub> = +5V ± 10%, V<sub>SS</sub> = 0V)

| 発振子                  | 推奨回路 | 項目   | MIN. | MAX. | 単位  |
|----------------------|------|--|------|------|-----|
| セラミック発振子<br>または水晶振動子 |      | 発振周波数 (f <sub>XX</sub> )                                 | 4    | 12   | MHz |
| 外部クロック               |      | X1 入力周波数 (f <sub>X</sub> )                               | 4    | 12   | MHz |
|                      |      | X1 入力立ち上がり, 立ち下がり時間 (t <sub>XR</sub> , t <sub>XF</sub> ) | 0    | 30   | ns  |
|                      |      | X1 入力ハイ, ロウ・レベル幅 (t <sub>WXH</sub> , t <sub>WXL</sub> )  | 30   | 130  | ns  |

注意1. 発振回路は X1, X2 端子にできるかぎり近づけてください。

2. [ ] の範囲に他の信号線を通さないでください。



DC特性 (Ta = -40 ~ +85 °C, V<sub>DD</sub> = +5 V ± 10 %, V<sub>SS</sub> = 0 V)

| 項目                   | 略号                | 条件  | MIN.                           | TYP. | MAX.              | 単位 |    |
|----------------------|-------------------|---|--------------------------------|------|-------------------|----|----|
| ロウ・レベル入力電圧           | V <sub>IL</sub>   |   | 0                              |      | 0.8               | V  |    |
| ハイ・レベル入力電圧           | V <sub>IH1</sub>  | 注1, 注2 以外の端子  | 2.2                            |      | V <sub>DD</sub>   | V  |    |
|                      | V <sub>IH2</sub>  | 注1 の端子  | 2.2                            |      | AV <sub>REF</sub> | V  |    |
|                      | V <sub>IH3</sub>  | 注2 の端子  | 0.8 V <sub>DD</sub>            |      | V <sub>DD</sub>   | V  |    |
| ロウ・レベル出力電圧           | V <sub>OL1</sub>  | I <sub>OL</sub> = 2.0 mA                            |                                |      | 0.45              | V  |    |
|                      | V <sub>OL2</sub>  | I <sub>OL</sub> = 8.0 mA 注3                         |                                |      | 1.0               | V  |    |
| ハイ・レベル出力電圧           | V <sub>OH1</sub>  | I <sub>OH</sub> = -1.0 mA                           | V <sub>DD</sub> - 1.0          |      |                   | V  |    |
|                      | V <sub>OH2</sub>  | I <sub>OH</sub> = -100 μA                           | V <sub>DD</sub> - 0.5          |      |                   | V  |    |
|                      | V <sub>OH3</sub>  | I <sub>OH</sub> = -5.0 mA 注4                        | 2.0                            |      |                   | V  |    |
| X1 ロウ・レベル入力電流        | I <sub>IL</sub>   | 0 V ≤ V <sub>i</sub> ≤ V <sub>IL</sub>              |                                |      | -100              | μA |    |
| X1 ハイ・レベル入力電流        | I <sub>IH</sub>   | V <sub>IH3</sub> ≤ V <sub>i</sub> ≤ V <sub>DD</sub> |                                |      | 100               | μA |    |
| 入力リーク電流              | I <sub>LI</sub>   | 0 V ≤ V <sub>i</sub> ≤ V <sub>DD</sub>              |                                |      | ±10               | μA |    |
| 出力リーク電流              | I <sub>LO</sub>   | 0 V ≤ V <sub>o</sub> ≤ V <sub>DD</sub>              |                                |      | ±10               | μA |    |
| AV <sub>REF</sub> 電流 | AI <sub>REF</sub> | 動作モード f <sub>xx</sub> = 12 MHz                      |                                | 1.5  | 5.0               | mA |    |
| V <sub>DD</sub> 電源電流 | I <sub>DD1</sub>  | 動作モード f <sub>xx</sub> = 12 MHz                      |                                | 20   | 40                | mA |    |
|                      | I <sub>DD2</sub>  | HALTモード f <sub>xx</sub> = 12 MHz                    |                                | 7    | 20                | mA |    |
| データ保持電圧              | V <sub>DDDR</sub> | STOPモード   | 2.5                            |      | 5.5               | V  |    |
| データ保持電流              | I <sub>DDDR</sub> | STOPモード   | V <sub>DDDR</sub> = 2.5 V      |      | 2                 | 20 | μA |
|                      |                   | モード   | V <sub>DDDR</sub> = 5 V ± 10 % |      | 5                 | 50 | μA |
| ブルアップ抵抗              | R <sub>L</sub>    | V <sub>i</sub> = 0 V                                | 15                             | 40   | 80                | kΩ |    |

注1. P70/AN0-P75/AN5, P66/WAIT/AN6, P67/REFRQ/AN7端子のうち, A/Dコンバータの入力端子として使用している端子。

2. X1, X2, RESET, P20/NMI, P21/INTPO, P22/INTP1, P23/INTP2/CI, P24/INTP3, P25/INTP4/ASCK, P26/INTP5, P27/SI, P32/SCK, P33/SO/SB0, EA端子。

3. P40/AD0-P47/AD7, P50/A8-P57/A15端子。

4. P00-P07端子。



AC 特性 (Ta = -40 ~ +85 °C, V<sub>DD</sub> = +5V ± 10%, V<sub>SS</sub> = 0V)

リード/ライト・オペレーション (1/2)

| 項 目                     | 略 号                  | 条 件                    | MIN. | MAX. | 単 位 |
|-------------------------|----------------------|------------------------|------|------|-----|
| X1 入力クロック・サイクル・タイム      | t <sub>CYX</sub>     |                        | 82   | 250  | ns  |
| アドレス・セットアップ時間 (対 ASTB↓) | t <sub>SAST</sub> *  |                        | 52   |      | ns  |
| アドレス・ホールド時間 (対 ASTB↓) 注 | t <sub>HSTA</sub>    |                        | 25   |      | ns  |
| アドレス・ホールド時間 (対 RD↑)     | t <sub>HRA</sub>     |                        | 30   |      | ns  |
| アドレス・ホールド時間 (対 WR↑)     | t <sub>HWA</sub>     |                        | 30   |      | ns  |
| アドレス→RD↓遅延時間            | t <sub>DAR</sub> *   |                        | 129  |      | ns  |
| アドレス・フロート時間 (対 RD↓)     | t <sub>FAR</sub> *   |                        | 11   |      | ns  |
| アドレス→データ入力時間            | t <sub>DAID</sub> *  | ウエイト数=0                |      | 228  | ns  |
| ASTB↓→データ入力時間           | t <sub>DSTID</sub> * | ウエイト数=0                |      | 181  | ns  |
| RD↓→データ入力時間             | t <sub>DRID</sub> *  | ウエイト数=0                |      | 100  | ns  |
| ASTB↓→RD↓遅延時間           | t <sub>DSTR</sub> *  |                        | 52   |      | ns  |
| データ・ホールド時間 (対 RD↑)      | t <sub>HRID</sub>    |                        | 0    |      | ns  |
| RD↑→アドレス・アクティブ時間        | t <sub>DRA</sub> *   |                        | 124  |      | ns  |
| RD↑→ASTB↑遅延時間           | t <sub>DRST</sub> *  |                        | 124  |      | ns  |
| RD ロウ・レベル幅              | t <sub>WRL</sub> *   | ウエイト数=0                | 124  |      | ns  |
| ASTB ハイ・レベル幅            | t <sub>WSTH</sub> *  |                        | 52   |      | ns  |
| アドレス→WR↓遅延時間            | t <sub>DAW</sub> *   |                        | 129  |      | ns  |
| ASTB↓→データ出力時間           | t <sub>DSTOD</sub> * |                        |      | 142  | ns  |
| WR↓→データ出力時間             | t <sub>DWOD</sub>    |                        |      | 60   | ns  |
| ASTB↓→WR↓遅延時間           | t <sub>DSTW1</sub> * |                        | 52   |      | ns  |
|                         | t <sub>DSTW2</sub> * | リフレッシュ・モード時            | 129  |      | ns  |
| データ・セットアップ時間 (対 WR↑)    | t <sub>SODWR</sub> * | ウエイト数=0                | 146  |      | ns  |
| データ・セットアップ時間 (対 WR↓)    | t <sub>SODWF</sub> * | リフレッシュ・モード時            | 22   |      | ns  |
| データ・ホールド時間 (対 WR↑) 注    | t <sub>HWOD</sub>    |                        | 20   |      | ns  |
| WR↑→ASTB↑遅延時間           | t <sub>DWST</sub> *  |                        | 42   |      | ns  |
| WR ロウ・レベル幅              | t <sub>WWL1</sub> *  | ウエイト数=0                | 196  |      | ns  |
|                         | t <sub>WWL2</sub> *  | リフレッシュ・モード時<br>ウエイト数=0 | 114  |      | ns  |
| アドレス→WAIT↓入力時間          | t <sub>DAWT</sub> *  |                        |      | 146  | ns  |
| ASTB↓→WAIT↓入力時間         | t <sub>DSTWT</sub> * |                        |      | 84   | ns  |

注 ホールド時間には、C<sub>L</sub> = 100 pF, R<sub>L</sub> = 2 kΩの負荷条件でV<sub>OH</sub>, V<sub>OL</sub>を保持する時間を含みます。

備考1. 表中の数値はf<sub>xx</sub> = 12 MHz, C<sub>L</sub> = 100 pFのときの値です。

2. 略号欄に\*印があるものについては、t<sub>CYX</sub>依存のバス・タイミング定義も参照してください。

**保守/廃止**

リード/ライト・オペレーション (2/2)

| 項目                          | 略号                    | 条件                    | MIN.      | MAX. | 単位  |
|-----------------------------|-----------------------|-----------------------|-----------|------|-----|
| ASTB↓→WAIT保持時間              | t <sub>HSTWT</sub> *  | 外部ウエイト数=1             | 174       |      | ns  |
| ASTB↓→WAIT↑遅延時間             | t <sub>DSTWTH</sub> * | 外部ウエイト数=1             |           | 273  | ns  |
| RD↓→WAIT↓入力時間               | t <sub>DRWTL</sub> *  |                       |           | 22   | ns  |
| RD↓→WAIT保持時間                | t <sub>HRWT</sub> *   | 外部ウエイト数=1             | 87        |      | ns  |
| RD↓→WAIT↑遅延時間               | t <sub>DRWTH</sub> *  | 外部ウエイト数=1             |           | 186  | ns  |
| WAIT↑→データ入力時間               | t <sub>DWTID</sub> *  |                       |           | 62   | ns  |
| WAIT↑→WR↑遅延時間               | t <sub>DWTW</sub> *   |                       | 154       |      | ns  |
| WAIT↑→RD↑遅延時間               | t <sub>DWTR</sub> *   |                       | 72        |      | ns  |
| WR↓→WAIT入力時間<br>(リフレッシュ禁止時) | t <sub>DWWTL</sub> *  |                       |           | 22   | ns  |
| WR↓→WAIT保持時間                | リフレッシュ禁止時             | t <sub>HWWT1</sub> *  | 外部ウエイト数=1 | 87   | ns  |
|                             | リフレッシュ許可時             | t <sub>HWWT2</sub> *  | 外部ウエイト数=1 | 5    | ns  |
| WR↓→WAIT↑遅延時間               | リフレッシュ禁止時             | t <sub>DWWTH1</sub> * | 外部ウエイト数=1 |      | 186 |
|                             | リフレッシュ許可時             | t <sub>DWWTH2</sub> * | 外部ウエイト数=1 |      | 104 |
| RD↑→REFRQ↓遅延時間              | t <sub>DRRFQ</sub> *  |                       | 154       |      | ns  |
| WR↑→REFRQ↓遅延時間              | t <sub>DWRFQ</sub> *  |                       | 72        |      | ns  |
| REFRQロウ・レベル幅                | t <sub>WRFQL</sub> *  |                       | 120       |      | ns  |
| REFRQ↑→ASTB↑遅延時間            | t <sub>DRFQST</sub> * |                       | 280       |      | ns  |

備考1. 表中の数値はf<sub>xx</sub>=12 MHz, C<sub>L</sub>=100 pFのときの値です。

2. 略号欄に\*印があるものについては、t<sub>CYX</sub>依存のバス・タイミング定義も参照してください。



シリアル・オペレーション

| 項 目  | 略 号          | 条 件                                      | MIN.     | MAX. | 単 位       |         |
|--|--------------|--|----------|------|-----------|---------|
| シリアル・クロック・サイクル・タイム                               | $t_{cysk}$   | 入力 外部クロック                                | 1.0      |      | $\mu s$   |         |
|  |              | 出力                                       | 内部 16 分周 | 1.3  |           | $\mu s$ |
|  |              |  | 内部 64 分周 | 5.3  |           | $\mu s$ |
| シリアル・クロック・ロウ・レベル幅                                | $t_{wskl}$   | 入力 外部クロック                                | 420      |      | ns        |         |
|  |              | 出力                                       | 内部 16 分周 | 556  |           | ns      |
|  |              |  | 内部 64 分周 | 2.5  |           | $\mu s$ |
| シリアル・クロック・ハイ・レベル幅                                | $t_{wskh}$   | 入力 外部クロック                                | 420      |      | ns        |         |
|  |              | 出力                                       | 内部 16 分周 | 556  |           | ns      |
|  |              |  | 内部 64 分周 | 2.5  |           | $\mu s$ |
| SI, SBO セットアップ時間 (対 $\overline{SCK} \uparrow$ )  | $t_{sssk}$   |  | 150      |      | ns        |         |
| SI, SBO ホールド時間 (対 $\overline{SCK} \uparrow$ )    | $t_{hssk}$   |  | 400      |      | ns        |         |
| SO/SBO 出力遅延時間 (対 $\overline{SCK} \downarrow$ )   | $t_{dsbsk1}$ | CMOS プッシュプル出力 (3 線式シリアル I/O モード)         | 0        | 300  | ns        |         |
|  | $t_{dsbsk2}$ | オープン・ドレイン出力 (SBI モード), $R_L = 1 k\Omega$ | 0        | 800  | ns        |         |
| SBO ハイ・ホールド時間 (対 $\overline{SCK} \uparrow$ )     | $t_{hsbsk}$  | SBI モード                                  | 4        |      | $t_{cyx}$ |         |
| SBO ロウ・セットアップ時間 (対 $\overline{SCK} \downarrow$ ) | $t_{ssbsk}$  |  | 4        |      | $t_{cyx}$ |         |
| SBO ロウ・レベル幅                                      | $t_{wsbl}$   |  | 4        |      | $t_{cyx}$ |         |
| SBO ハイ・レベル幅                                      | $t_{wsbh}$   |  | 4        |      | $t_{cyx}$ |         |

備考 表中の数値は  $f_{xx} = 12 \text{ MHz}$ ,  $C_L = 100 \text{ pF}$  のときの値です。





その他のオペレーション

| 項 目                 | 略 号        | 条 件 | MIN. | MAX. | 単 位       |
|---------------------|------------|-----|------|------|-----------|
| NMI ロウ・レベル幅         | $t_{WNIL}$ |     | 10   |      | μs        |
| NMI ハイ・レベル幅         | $t_{WNIH}$ |     | 10   |      | μs        |
| INTPO-INTP5 ロウ・レベル幅 | $t_{WITL}$ |     | 24   |      | $t_{CYX}$ |
| INTPO-INTP5 ハイ・レベル幅 | $t_{WITH}$ |     | 24   |      | $t_{CYX}$ |
| RESET ロウ・レベル幅       | $t_{WRSL}$ |     | 10   |      | μs        |
| RESET ハイ・レベル幅       | $t_{WRSH}$ |     | 10   |      | μs        |

外部クロック・タイミング

| 項 目                | 略 号       | 条 件 | MIN. | MAX. | 単 位 |
|--------------------|-----------|-----|------|------|-----|
| X1 入力ロウ・レベル幅       | $t_{WXL}$ |     | 30   | 130  | ns  |
| X1 入力ハイ・レベル幅       | $t_{WXH}$ |     | 30   | 130  | ns  |
| X1 入力立ち上がり時間       | $t_{XR}$  |     | 0    | 30   | ns  |
| X1 入力立ち下がり時間       | $t_{XF}$  |     | 0    | 30   | ns  |
| X1 入力クロック・サイクル・タイム | $t_{CYX}$ |     | 82   | 250  | ns  |

A/Dコンバータ特性 (Ta = -40 ~ +85 °C, V<sub>DD</sub> = +5 V ± 10 %, V<sub>SS</sub> = AV<sub>SS</sub> = 0 V)

| 項 目                  | 略 号               | 条 件  | MIN. | TYP.  | MAX.                    | 単 位              |
|----------------------|-------------------|--|------|-------|-------------------------|------------------|
| 分解能                  |                   |  | 8    |       |                         | bit              |
| 総合誤差注                |                   | 4.0 V ≤ AV <sub>REF</sub> ≤ V <sub>DD</sub><br>Ta = -10 ~ +70 °C |      |       | 0.4                     | %                |
|                      |                   | 3.4 V ≤ AV <sub>REF</sub> ≤ V <sub>DD</sub><br>Ta = -10 ~ +70 °C |      |       | 0.8                     | %                |
|                      |                   | 4.0 V ≤ AV <sub>REF</sub> ≤ V <sub>DD</sub>                      |      |       | 0.8                     | %                |
| 量子化誤差                |                   |  |      |       | ±1/2                    | LSB              |
| 変換時間                 | $t_{CONV}$        | 82 ns ≤ t <sub>CYX</sub> < 125 ns<br>(ADMのFRビットが“0”の場合)          | 360  |       |                         | t <sub>CYX</sub> |
|                      |                   | 125 ns ≤ t <sub>CYX</sub> ≤ 250 ns<br>(ADMのFRビットが“1”の場合)         | 240  |       |                         | t <sub>CYX</sub> |
| サンプリング時間             | $t_{SAMP}$        | 82 ns ≤ t <sub>CYX</sub> < 125 ns<br>(ADMのFRビットが“0”の場合)          | 72   |       |                         | t <sub>CYX</sub> |
|                      |                   | 125 ns ≤ t <sub>CYX</sub> ≤ 250 ns<br>(ADMのFRビットが“1”の場合)         | 48   |       |                         | t <sub>CYX</sub> |
| アナログ入力電圧             | V <sub>IAN</sub>  |  | -0.3 |       | AV <sub>REF</sub> + 0.3 | V                |
| アナログ入力インピーダンス        | R <sub>AN</sub>   |  |      | 1 000 |                         | MΩ               |
| 基準電圧                 | AV <sub>REF</sub> |  | 3.6  |       | V <sub>DD</sub>         | V                |
| AV <sub>REF</sub> 電流 | AI <sub>REF</sub> | f <sub>XX</sub> = 12 MHz   |      | 1.5   | 5.0                     | mA               |
|                      |                   | STOP モード   |      | 0.2   | 1.5                     | mA               |

注 量子化誤差を含みません。フル・スケール値に対する比率で表しています。



$t_{CYX}$  依存のバス・タイミング定義 (1/2)

| 項 目                                | 略 号         | 計 算 式                                    | MIN./MAX. | 12MHz            | 単 位 |
|------------------------------------|-------------|--|-----------|------------------|-----|
| X1 入力クロック・サイクル・タイム                 | $t_{CYX}$   |  | MIN.      | 82               | ns  |
| アドレス・セットアップ時間(対 ASTB↓)             | $t_{SAST}$  | $t_{CYX} - 30$                           | MIN.      | 52               | ns  |
| アドレス→ $\overline{RD}$ ↓遅延時間        | $t_{DAR}$   | $2t_{CYX} - 35$                          | MIN.      | 129              | ns  |
| アドレス・フロート時間 (対 $\overline{RD}$ ↓)  | $t_{FAR}$   | $t_{CYX}/2 - 30$                         | MIN.      | 11               | ns  |
| アドレス→データ入力時間                       | $t_{DAID}$  | $(4 + 2n) t_{CYX} - 100$                 | MAX.      | 228 <sup>注</sup> | ns  |
| ASTB↓→データ入力時間                      | $t_{DSTID}$ | $(3 + 2n) t_{CYX} - 65$                  | MAX.      | 181 <sup>注</sup> | ns  |
| $\overline{RD}$ ↓→データ入力時間          | $t_{DRID}$  | $(2 + 2n) t_{CYX} - 64$                  | MAX.      | 100 <sup>注</sup> | ns  |
| ASTB↓→ $\overline{RD}$ ↓遅延時間       | $t_{DSTR}$  | $t_{CYX} - 30$                           | MIN.      | 52               | ns  |
| $\overline{RD}$ ↑→アドレス・アクティブ時間     | $t_{DRA}$   | $2t_{CYX} - 40$                          | MIN.      | 124              | ns  |
| $\overline{RD}$ ↑→ASTB↑遅延時間        | $t_{DRST}$  | $2t_{CYX} - 40$                          | MIN.      | 124              | ns  |
| $\overline{RD}$ ロウ・レベル幅            | $t_{WRL}$   | $(2 + 2n) t_{CYX} - 40$                  | MIN.      | 124 <sup>注</sup> | ns  |
| ASTB ハイ・レベル幅                       | $t_{WSTH}$  | $t_{CYX} - 30$                           | MIN.      | 52               | ns  |
| アドレス→ $\overline{WR}$ ↓遅延時間        | $t_{DAW}$   | $2t_{CYX} - 35$                          | MIN.      | 129              | ns  |
| ASTB↓→データ出力時間                      | $t_{DSTOD}$ | $t_{CYX} + 60$                           | MAX.      | 142              | ns  |
| ASTB↓→ $\overline{WR}$ ↓遅延時間       | $t_{DSTW1}$ | $t_{CYX} - 30$                           | MIN.      | 52               | ns  |
|                                    | $t_{DSTW2}$ | $2t_{CYX} - 35$<br>(リフレッシュ・モード時)         | MIN.      | 129              | ns  |
| データ・セットアップ時間 (対 $\overline{WR}$ ↑) | $t_{SODWR}$ | $(3 + 2n) t_{CYX} - 100$                 | MIN.      | 146 <sup>注</sup> | ns  |
| データ・セットアップ時間 (対 $\overline{WR}$ ↓) | $t_{SODWF}$ | $t_{CYX} - 60$<br>(リフレッシュ・モード時)          | MIN.      | 22               | ns  |
| $\overline{WR}$ ↑→ASTB↑遅延時間        | $t_{DWST}$  | $t_{CYX} - 40$                           | MIN.      | 42               | ns  |
| $\overline{WR}$ ロウ・レベル幅            | $t_{WWL1}$  | $(3 + 2n) t_{CYX} - 50$                  | MIN.      | 196 <sup>注</sup> | ns  |
|                                    | $t_{WWL2}$  | $(2 + 2n) t_{CYX} - 50$<br>(リフレッシュ・モード時) | MIN.      | 114 <sup>注</sup> | ns  |
| アドレス→ $\overline{WAIT}$ ↓入力時間      | $t_{DAWT}$  | $3t_{CYX} - 100$                         | MAX.      | 146              | ns  |
| ASTB↓→ $\overline{WAIT}$ ↓入力時間     | $t_{DSTWT}$ | $2t_{CYX} - 80$                          | MAX.      | 84               | ns  |

備考 n はウエイト数を示します。

注 n=0のとき

**保守/廃止**

t<sub>CYX</sub> 依存のバス・タイミング定義(2/2)

| 項目   | 略号                  | 計算式                           | MIN./MAX.                     | 12MHz            | 単位               |    |
|--|---------------------|-------------------------------|-------------------------------|------------------|------------------|----|
| ASTB↓→ $\overline{\text{WAIT}}$ 保持時間                                   | t <sub>HSTWT</sub>  | 2Xt <sub>CYX</sub> + 10       | MIN.                          | 174 <sup>注</sup> | ns               |    |
| ASTB↓→ $\overline{\text{WAIT}}$ ↑遅延時間                                  | t <sub>DSTWTH</sub> | 2(1+X)t <sub>CYX</sub> - 55   | MAX.                          | 273 <sup>注</sup> | ns               |    |
| $\overline{\text{RD}}$ ↓→ $\overline{\text{WAIT}}$ ↓入力時間               | t <sub>DRWTL</sub>  | t <sub>CYX</sub> - 60         | MAX.                          | 22               | ns               |    |
| $\overline{\text{RD}}$ ↓→ $\overline{\text{WAIT}}$ 保持時間                | t <sub>HRWT</sub>   | (2X - 1)t <sub>CYX</sub> + 5  | MIN.                          | 87 <sup>注</sup>  | ns               |    |
| $\overline{\text{RD}}$ ↓→ $\overline{\text{WAIT}}$ ↑遅延時間               | t <sub>DRWTH</sub>  | (2X + 1)t <sub>CYX</sub> - 60 | MAX.                          | 186 <sup>注</sup> | ns               |    |
| $\overline{\text{WAIT}}$ ↑→データ入力時間                                     | t <sub>DWTID</sub>  | t <sub>CYX</sub> - 20         | MAX.                          | 62               | ns               |    |
| $\overline{\text{WAIT}}$ ↑→ $\overline{\text{WR}}$ ↑遅延時間               | t <sub>DWTW</sub>   | 2t <sub>CYX</sub> - 10        | MIN.                          | 154              | ns               |    |
| $\overline{\text{WAIT}}$ ↑→ $\overline{\text{RD}}$ ↑遅延時間               | t <sub>DWTR</sub>   | t <sub>CYX</sub> - 10         | MIN.                          | 72               | ns               |    |
| $\overline{\text{WR}}$ ↓→ $\overline{\text{WAIT}}$ 入力時間<br>(リフレッシュ禁止時) | t <sub>DWWTL</sub>  | t <sub>CYX</sub> - 60         | MAX.                          | 22               | ns               |    |
| $\overline{\text{WR}}$ ↓→ $\overline{\text{WAIT}}$ 保持時間                | リフレッシュ禁止時           | t <sub>HWWT1</sub>            | (2X - 1)t <sub>CYX</sub> + 5  | MIN.             | 87 <sup>注</sup>  | ns |
|  | リフレッシュ・モード時         | t <sub>HWWT2</sub>            | 2(X - 1)t <sub>CYX</sub> + 5  | MIN.             | 5 <sup>注</sup>   | ns |
| $\overline{\text{WR}}$ ↓→ $\overline{\text{WAIT}}$ ↑遅延時間               | リフレッシュ禁止時           | t <sub>DWWT1</sub>            | (2X + 1)t <sub>CYX</sub> - 60 | MAX.             | 186 <sup>注</sup> | ns |
|  | リフレッシュ・モード時         | t <sub>DWWT2</sub>            | 2Xt <sub>CYX</sub> - 60       | MAX.             | 104 <sup>注</sup> | ns |
| $\overline{\text{RD}}$ ↑→ $\overline{\text{REFRQ}}$ ↓遅延時間              | t <sub>DRRFQ</sub>  | 2t <sub>CYX</sub> - 10        | MIN.                          | 154              | ns               |    |
| $\overline{\text{WR}}$ ↑→ $\overline{\text{REFRQ}}$ ↓遅延時間              | t <sub>DWRFQ</sub>  | t <sub>CYX</sub> - 10         | MIN.                          | 72               | ns               |    |
| $\overline{\text{REFRQ}}$ ロウ・レベル幅                                      | t <sub>WRFQL</sub>  | 2t <sub>CYX</sub> - 44        | MIN.                          | 120              | ns               |    |
| $\overline{\text{REFRQ}}$ ↑→ASTB↑遅延時間                                  | t <sub>DRFQST</sub> | 4t <sub>CYX</sub> - 48        | MIN.                          | 280              | ns               |    |

備考1. X: 外部ウェイト数(1, 2, ...)

2. t<sub>CYX</sub> ≒ 82 ns (f<sub>XX</sub> = 12 MHz)

3. nはウェイト数を示します。

注 X=1のとき

**保守/廃止**

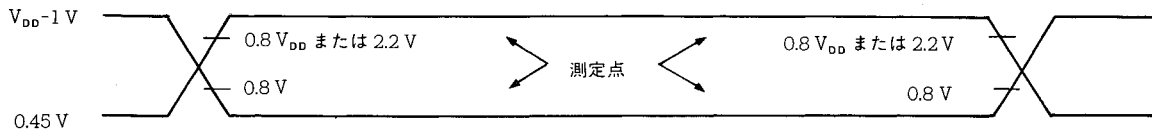
データ保持特性 (Ta = -40 ~ +85 °C)

| 項 目                                | 略 号               | 条 件                            | MIN.                  | TYP. | MAX.                  | 単 位 |
|------------------------------------|-------------------|--------------------------------|-----------------------|------|-----------------------|-----|
| データ保持電圧                            | V <sub>DDDR</sub> | STOP モード                       | 2.5                   |      | 5.5                   | V   |
| データ保持電流                            | I <sub>DDDR</sub> | V <sub>DDDR</sub> = 2.5 V      |                       | 2    | 20                    | μA  |
|                                    |                   | V <sub>DDDR</sub> = 5 V ± 10 % |                       | 5    | 50                    | μA  |
| V <sub>DD</sub> 立ち上がり時間            | t <sub>RVD</sub>  |                                | 200                   |      |                       | μs  |
| V <sub>DD</sub> 立ち下がり時間            | t <sub>FVD</sub>  |                                | 200                   |      |                       | μs  |
| V <sub>DD</sub> 保持時間(対 STOP モード設定) | t <sub>HVD</sub>  |                                | 0                     |      |                       | ms  |
| STOP 解除信号入力時間                      | t <sub>DREL</sub> |                                | 0                     |      |                       | ms  |
| 発振安定ウェイト時間                         | t <sub>WAIT</sub> | 水晶振動子                          | 30                    |      |                       | ms  |
|                                    |                   | セラミック発振子                       | 5                     |      |                       | ms  |
| ロウ・レベル入力電圧                         | V <sub>IL</sub>   | 特定端子注                          | 0                     |      | 0.1 V <sub>DDDR</sub> | V   |
| ハイ・レベル入力電圧                         | V <sub>IH</sub>   |                                | 0.9 V <sub>DDDR</sub> |      | V <sub>DDDR</sub>     | V   |

注  $\overline{\text{RESET}}$ , P20/NMI, P21/INTP0, P22/INTP1, P23/INTP2/CI, P24/INTP3, P25/INTP4/ASCK, P26/INTP5, P27/SI, P32/ $\overline{\text{SCK}}$ , P33/SO/SB0 および  $\overline{\text{EA}}$  端子。

★

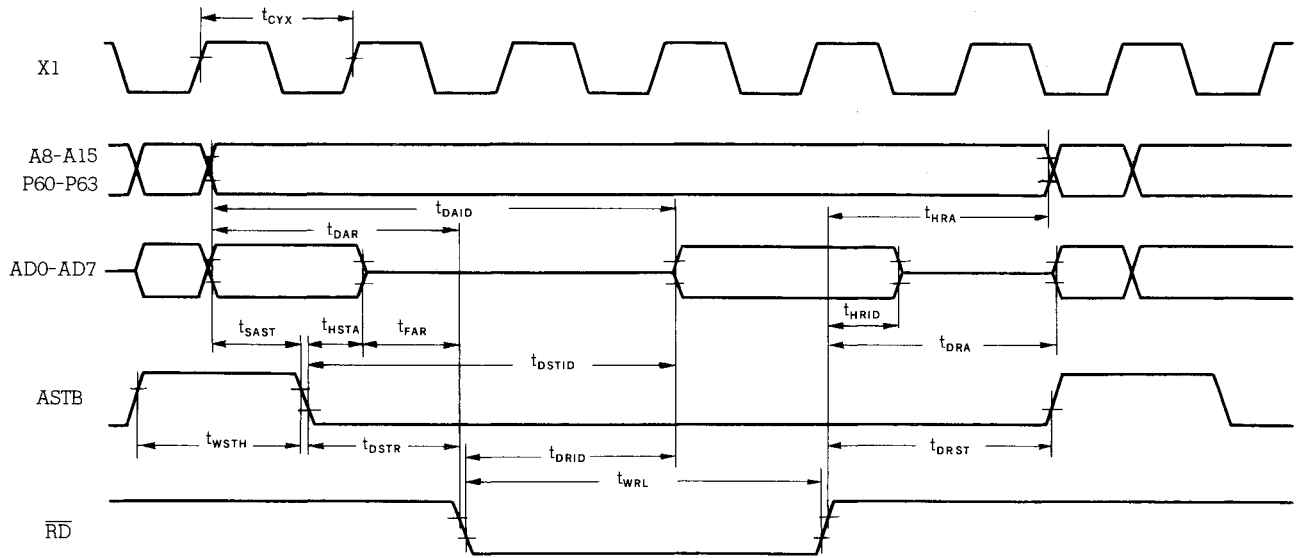
**AC タイミング測定点**



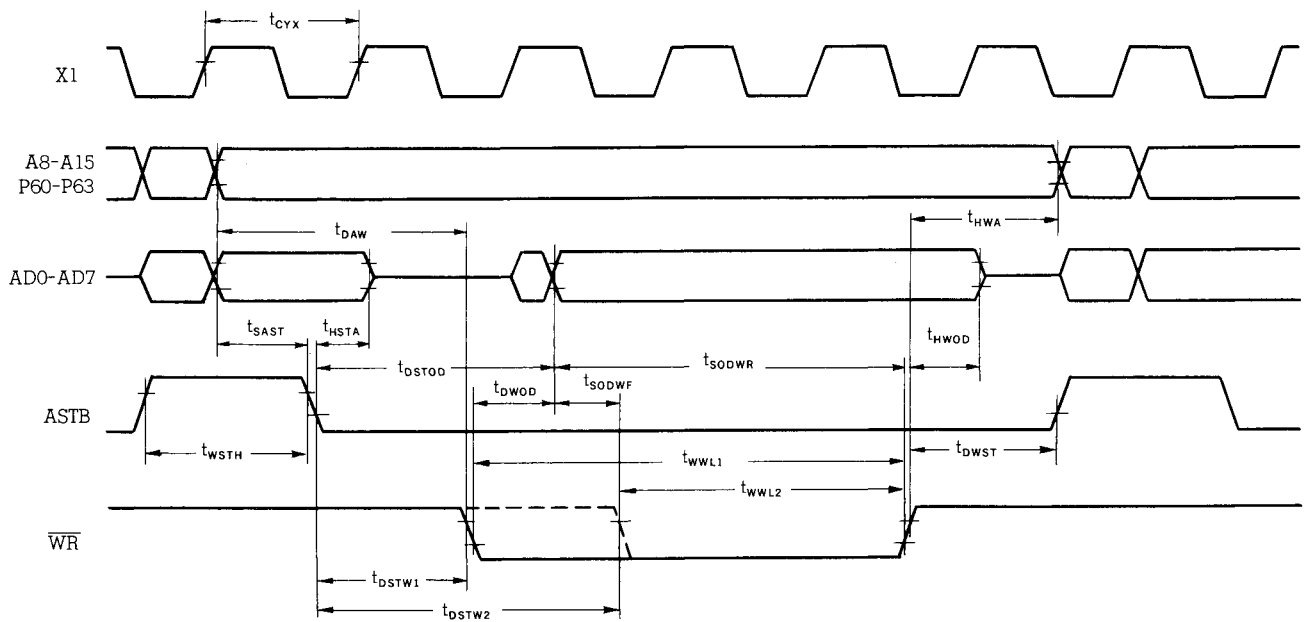
**保守/廃止**

タイミング波形

リード・オペレーション



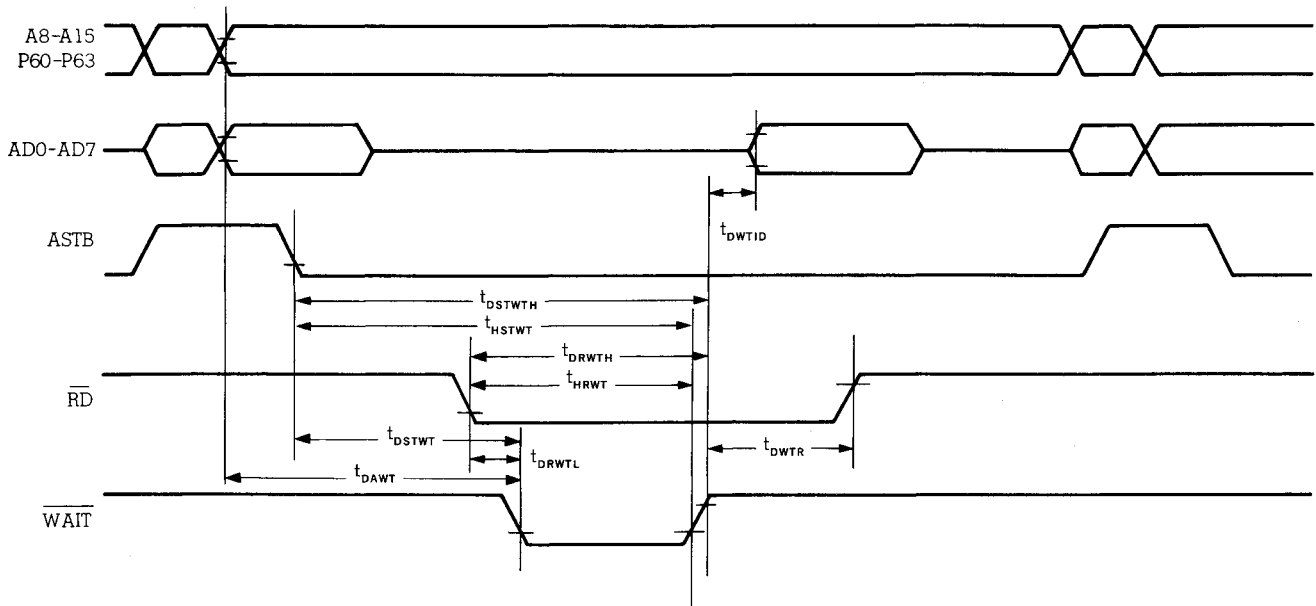
ライト・オペレーション



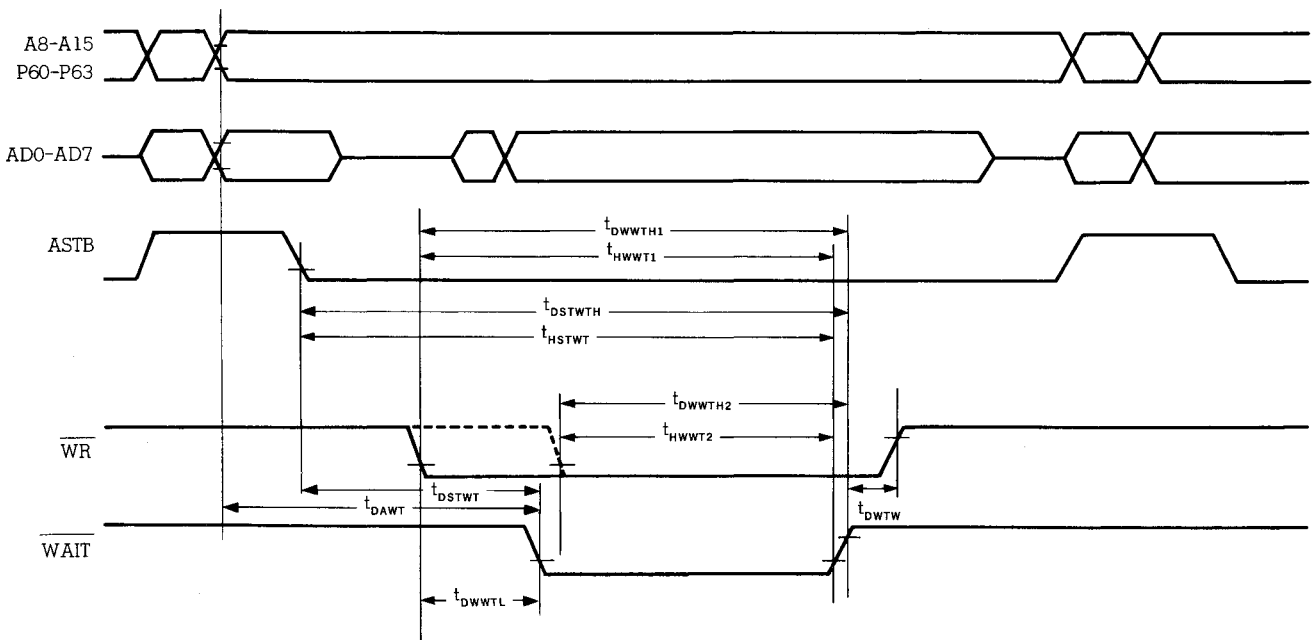
**保守/廃止**

外部WAIT信号入力タイミング

リード・オペレーション

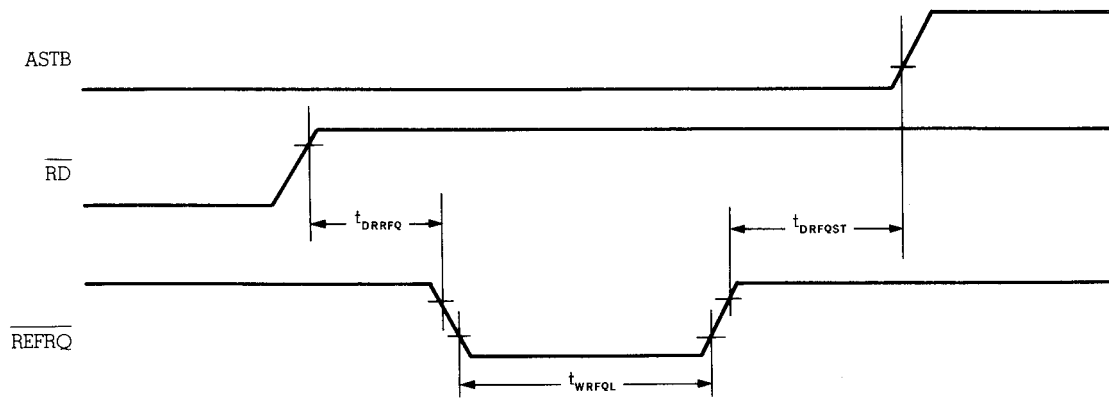


ライト・オペレーション

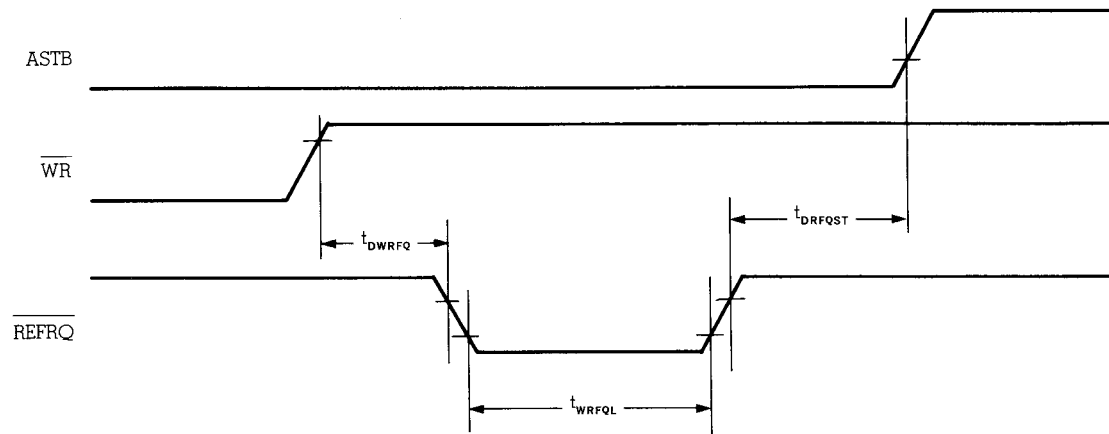


リフレッシュ・タイミング波形

リード後のリフレッシュ



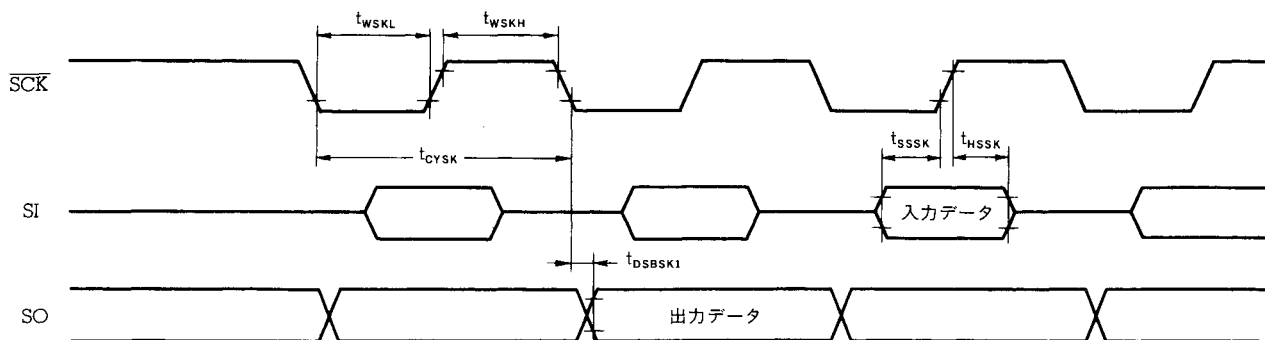
ライト後のリフレッシュ



**保守/廃止**

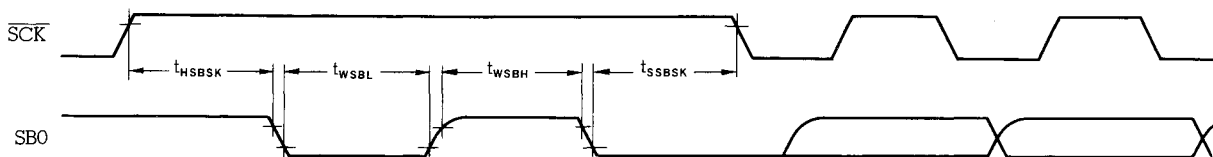
シリアル・オペレーション

3線式シリアル I/O モード

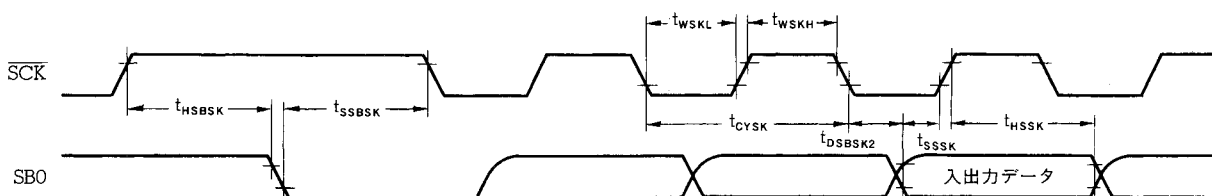


SBI モード

バス・リリース信号転送

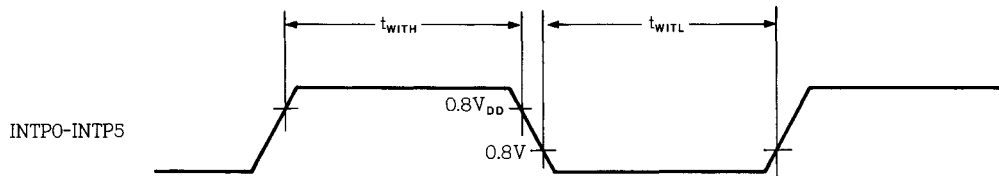
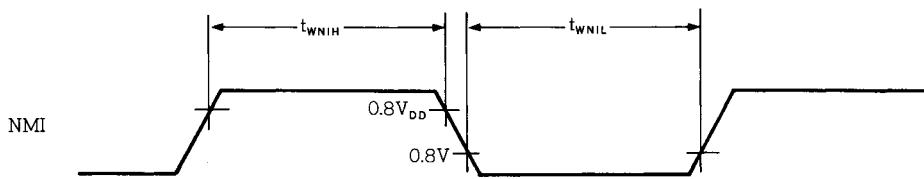


コマンド信号転送

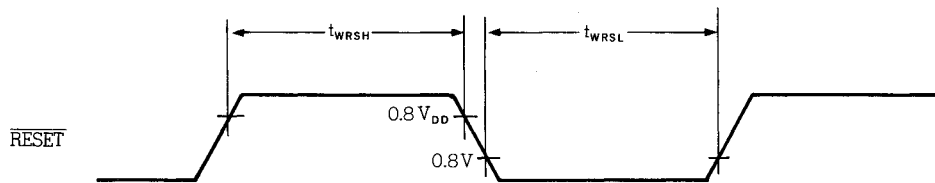




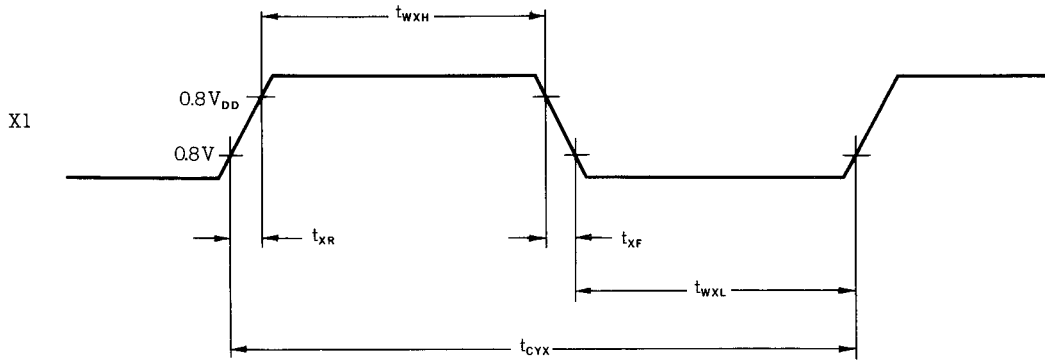
割り込み入カタイミング



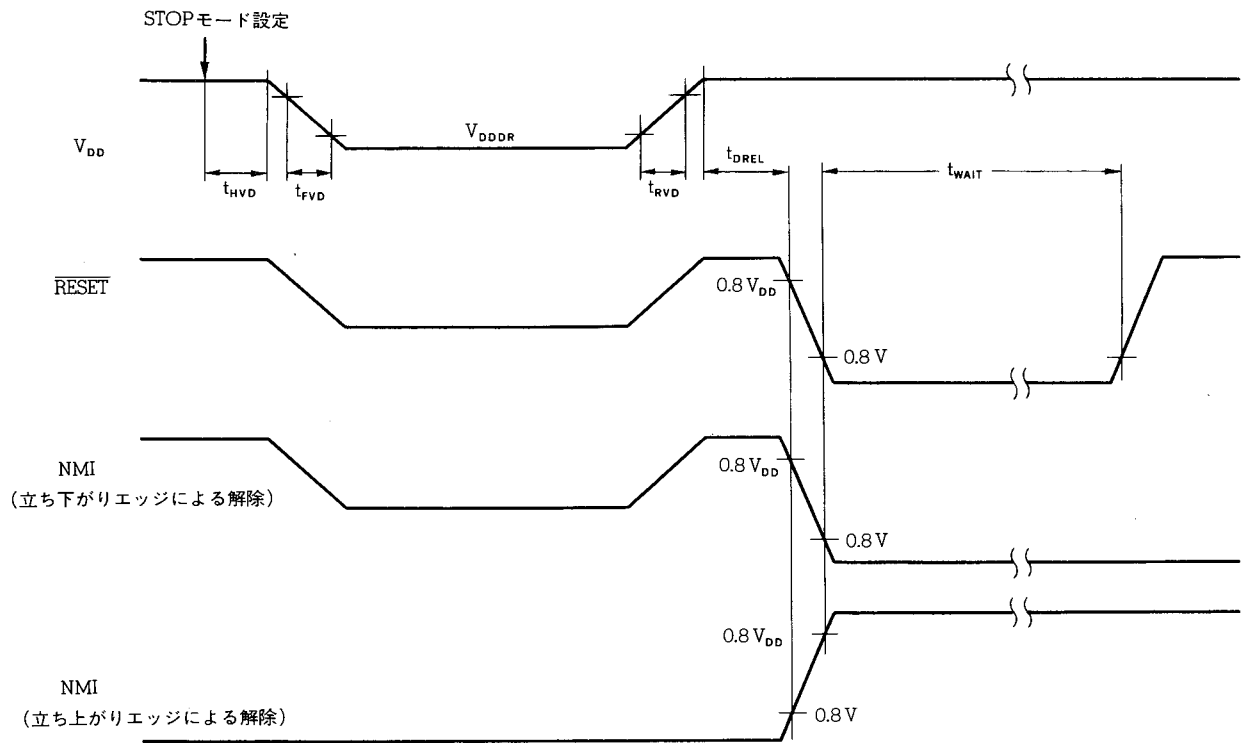
リセット入カタイミング



外部クロック・タイミング



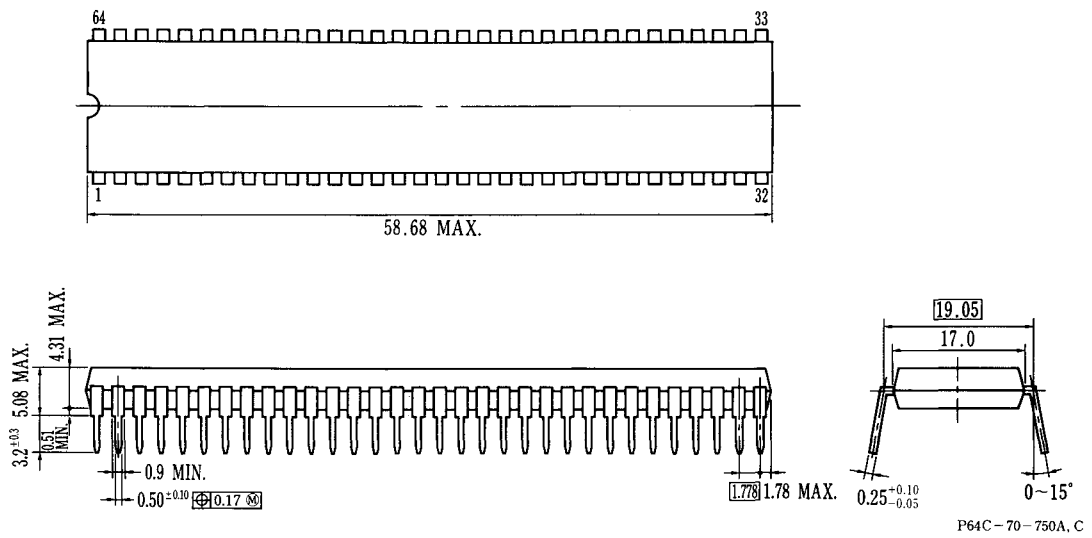
データ保持特性



**保守 / 廃止**

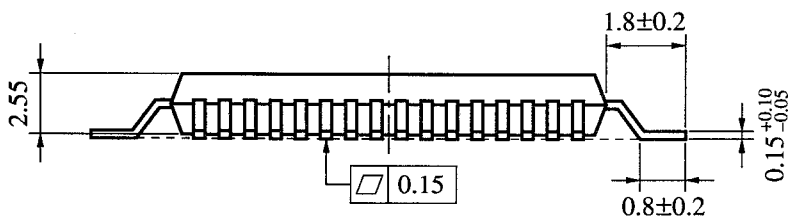
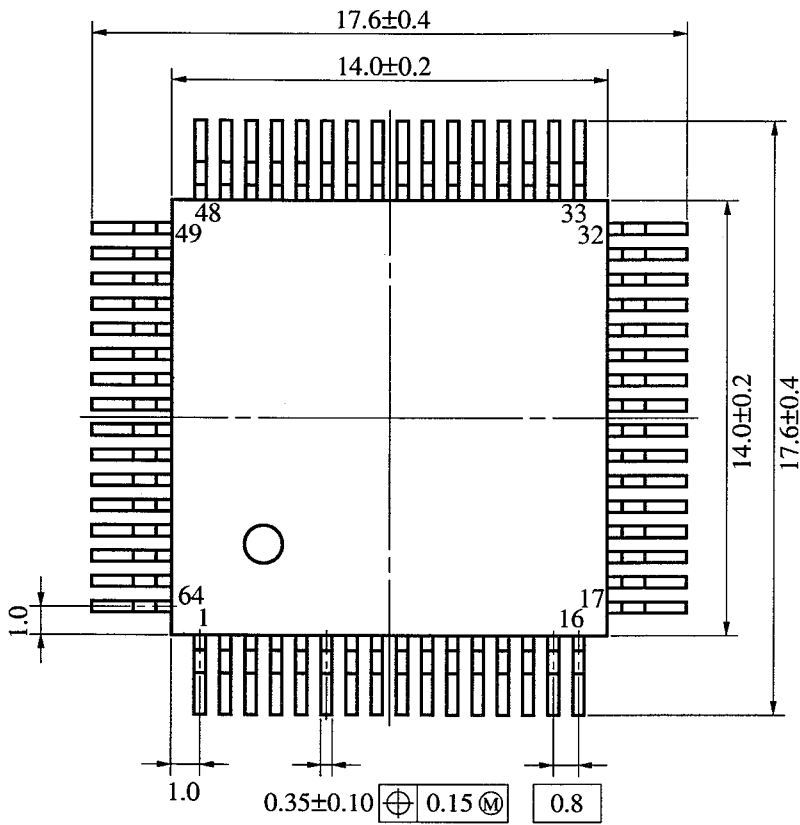
7. 外形図

64ピン・プラスチック・シュリンク DIP (750 mil) 外形図 (単位 : mm)

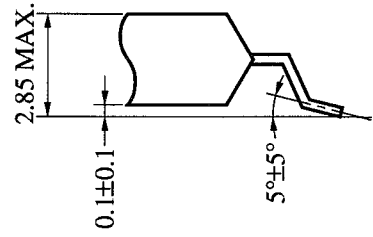


**保守 / 廃止**

64ピン・プラスチック QFP (□14) 外形図 (単位: mm)



端子先端形状詳細図



P64GC-80-AB8-2



8. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表 8-1 表面実装タイプの半田付け条件

μPD78218AGC(A)-×××-AB8：64ピン・プラスチック QFP (本体 14×14 mm)

| 半田付け方式 | 半田付け条件  | 推奨条件記号     |
|--------|---|------------|
| 赤外線リフロ | パッケージ・ピーク温度：230℃，時間：30秒以内(210℃以上)，回数：1回，<br>制限日数：2日間 <sup>注</sup> (以降は125℃プリベーク 20時間必要) | IR30-202-1 |
| VPS    | パッケージ・ピーク温度：215℃，時間：40秒以内(200℃以上)，回数：1回，<br>制限日数：2日間 <sup>注</sup> (以降は125℃プリベーク 20時間必要) | VP15-202-1 |
| 端子部分加熱 | 端子部温度：300℃以下，時間：3秒以内 (デバイスの一辺当たり)   | -          |

注 ドライパック開封後の保管日数で、保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。

表 8-2 挿入タイプの半田付け条件

μPD78218ACW(A)-×××：64ピン・プラスチック・シュリンク DIP (750 mil)

| 半田付け方式                  | 半田付け条件                |
|-------------------------|-----------------------|
| ウェーブ・ソルダリング<br>(リード部のみ) | 半田槽温度：260℃以下，時間：10秒以内 |
| 端子部分加熱                  | 端子部温度：260℃以下，時間：10秒以内 |

注意 ウェーブ・ソルダリングはリード部のみとし、噴流半田が直接本体に接触しないようにしてください。

## 付録 開発ツール

μPD78218A(A)を使用するシステム開発のために、次のような開発ツールを用意しております。

## ハードウェア

|   |  |
|---|--|
| ★<br>IE-78240-R-A                               | IE-78240-R-Aは、IE-78240-Rの機能強化版で、μPD78218Aシリーズに共通して使用できるインサーキット・エミュレータです。PC-9800シリーズまたはIBM PCシリーズをホスト・マシンとして使用する場合に使用できます。別売のスクリーン・ディバグとデバイス・ファイルが必要で、これらと組み合わせて、C言語や構造化アセンブリ言語のソース・プログラム・レベルでのディバグが可能です。<br>データ・アクセスとプログラム・フェッチの同時トレースやC0カバレッジ機能などにより効率の良いディバグやプログラムの検査が行えます。<br>また、IE-78240-Rをすでにお持ちの場合は、別売のボード (IE-78200-R-BK) を購入することにより、IE-78240-R-Aと同様に使用することができます。 |
| IE-78240-R                                      | IE-78240-Rは、μPD78218Aシリーズに共通に使用できるインサーキット・エミュレータです。ホスト・マシンまたはコンソールを接続してディバグを行います。<br>ホスト・マシンに接続した場合、シンボリック・ディバグと、ホスト・マシンとのオブジェクト・ファイルの転送が可能となり、効率のよいディバグを行うことができます。<br>RS-232-Cのシリアル・インタフェースを2チャンネル内蔵しており、PG-1500 PROMプログラマの接続も可能です。<br>また、セントロニクスI/Fにより、オブジェクト・ファイル、シンボル・ファイルの高速ダウンロードを行うことが可能です。   |
| IE-78240-R-EM<br>IE-78200-R-EM<br>IE-78200-R-BK | 75Xシリーズ、78Kシリーズ用のインサーキット・エミュレータをIE-78240-RまたはIE-78240-R-Aにするためのボードです。<br>詳細は、後述の <b>システム・アップ方法</b> を参照してください。  |
| EP-78210CW <sup>注</sup><br>EP-78240CW-R         | μPD78218ACW(A)-×××用のエミュレーション・プローブです。<br>EP-78240CW-RはEP-78210CWのケーブルを長くした製品です。   |
| EP-78210GC <sup>注</sup><br>EP-78240GC-R         | μPD78218AGC(A)-×××-AB8用のエミュレーション・プローブです。EV-9200GC-64とともに使用します。<br>EP-78240GC-Rは、EP-78210GCのケーブルを長くした製品です。  |
| EV-9200GC-64                                    | μPD78218AGC(A)-×××-AB8用に作られたユーザ・システムの基板上に実装するソケットです。<br>EP-78210GCまたはEP-78240GC-Rとともに使用します。  |
| ★<br>PG-1500                                    | 付属ボードおよび別売のプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンで、または、ホスト・マシンからの操作によりプログラミングできるPROMプログラマです。また、256Kビットから4Mビットまでの代表的なPROMをプログラミングすることもできます。   |
| PA-78P214CW                                     | μPD78P218ACW, 78P218ADW用のPROMプログラマ・アダプタで、PG-1500などと組み合わせて使用します。  |
| PA-78P214GC                                     | μPD78P218AGC-AB8用のPROMプログラマ・アダプタで、PG-1500などと組み合わせて使用します。   |

注 新規の製造は行っておりませんのでご購入はできません。

備考1. EP-78210GC, EP-78240GC-Rには、それぞれEV-9200GC-64のソケットが1個添付されています。

2. EV-9200GC-64は、5個1組で販売しています (発注単位は1組となります)。



ソフトウェア

① 言語処理用ソフトウェア (1/2)

|  |  |                                     |                        |              |
|--|--|-------------------------------------|------------------------|--------------|
| 78K/II シリーズ<br>リロケータブル・アセンブラ<br>(RA78K/II) | 78K/II シリーズに共通に使用できるリロケータブル・アセンブラです。<br>マクロ機能付きのリロケータブル・アセンブラですので、開発効率の向上が図れます。<br>また、プログラム制御構造を明示的に記述できる構造化アセンブラも添付されており、プログラムの生産性や保守性を向上することができます。   |                                     |                        |              |
|  | ホスト・マシン  | OS                                  | 供給媒体                   | オーダ名称        |
|  | PC-9800シリーズ  | MS-DOS™<br>(Ver.3.10~<br>Ver.3.30C) | 8インチ2D <sup>注1</sup>   | μS5A1RA78K2  |
|  |  |                                     | 5インチ2HD                | μS5A10RA78K2 |
|  |  |                                     | 3.5インチ2HD              | μS5A13RA78K2 |
|  | IBM PCシリーズ   | PC DOS™<br>(Ver.3.1)                | 5インチ2D <sup>注2</sup>   | μS7B11RA78K2 |
|  |  |                                     | 5インチ2HC                | μS7B10RA78K2 |
| HP9000シリーズ300™                             | HP-UX™<br>(rel.7.05B)  | カートリッジ・テープ<br>(QIC-24)              | μS3H15RA78K2           |              |
| SPARCstation™                              | Sun OS™<br>(rel.4.1.1)   |                                     | μS3K15RA78K2           |              |
| EWS-4800シリーズ™<br>(RISC)                    | EWS-UX/V™<br>(rel.4.0)   |                                     | μS3M15RA78K2           |              |
| 78K/II シリーズ<br>Cコンパイラ<br>(CC78K/II)        | 78K/II シリーズに共通に使用できるCコンパイラです。<br>言語仕様はANSIに準拠しており、プログラムのROM化が可能です。機能として、特殊機能レジスタの操作、ビット操作、ショート・ダイレクト・アドレッシングを使用する変数、割り込みの制御機能などを備えており、これらを使うことにより、効率の良いプログラム記述と、より高いオブジェクト効率が実現できます。<br>また、スタート・アップ・ルーチンのサンプル・プログラムや標準関数のオブジェクト・ライブラリを備えています。<br>このコンパイラ使用時には、78K/IIシリーズ リロケータブル・アセンブラ (RA78K/II) が必要です。 |                                     |                        |              |
|  | ホスト・マシン  | OS                                  | 供給媒体                   | オーダ名称        |
|  | PC-9800シリーズ  | MS-DOS<br>(Ver.3.10~<br>Ver.3.30C)  | 5インチ2HD                | μS5A10CC78K2 |
|  |  |                                     | 3.5インチ2HD              | μS5A13CC78K2 |
|  | IBM PCシリーズ   | PC DOS<br>(Ver.3.1)                 | 5インチ2D <sup>注2</sup>   | μS7B11CC78K2 |
|  |  |                                     | 5インチ2HC                | μS7B10CC78K2 |
|  | HP9000シリーズ300  | HP-UX<br>(rel.7.05B)                | カートリッジ・テープ<br>(QIC-24) | μS3H15CC78K2 |
| SPARCstation                               | Sun OS<br>(rel.4.1.1)  | μS3K15CC78K2                        |                        |              |
| EWS-4800シリーズ<br>(RISC)                     | EWS-UX/V<br>(rel.4.0)  | μS3M15CC78K2                        |                        |              |

★  
★  
★

★  
★  
★

- 注1. 8インチ2Dでの新規のご購入はできません。5インチ2HDまたは3.5インチ2HDをお選びください。また、すでに8インチ2Dでご購入いただいている場合、今後のバージョン・アップ時は、5インチ2HDを送付いたしますのでご了承ください。
2. 5インチ2Dでの新規のご購入はできません。また、すでに5インチ2Dでご購入いただいている場合、今後のバージョン・アップ時は5インチ2HCを送付いたしますのでご了承ください。

**保守/廃止**

① 言語処理用ソフトウェア (2/2)

|  |  |                                    |                        |                |
|--|--|------------------------------------|------------------------|----------------|
| 78K/Ⅱシリーズ<br>Cコンパイラ<br>ライブラリ・ソース・ファイル<br>(CC78K/Ⅱ-L) | CC78K/Ⅱに付属しているライブラリのソース・プログラムです。ライブラリを改良する（よりユーザの仕様にあわせる）場合に必要となります。 |                                    |                        |                |
|  | ホスト・マシン  | OS                                 | 供給媒体                   | オーダ名称          |
|  | PC-9800シリーズ  | MS-DOS<br>(Ver.3.10～<br>Ver.3.30C) | 5インチ2HD                | μS5A10CC78K2-L |
|  |  |                                    | 3.5インチ2HD              | μS5A13CC78K2-L |
|  | IBM PCシリーズ   | PC DOS<br>(Ver.3.1)                | 5インチ2HC                | μS7B10CC78K2-L |
|  | HP9000シリーズ300  | HP-UX<br>(rel.7.05B)               | カートリッジ・テープ<br>(QIC-24) | μS3H15CC78K2-L |
|  | SPARCstation   | Sun OS<br>(rel.4.1.1)              |                        | μS3K15CC78K2-L |
| EWS-4800シリーズ<br>(RISC)                               | EWS-UX/V<br>(rel.4.0)  | μS3M15CC78K2-L                     |                        |                |

★  
★  
★





② インサーキット・エミュレータ用ソフトウェア

|  |  |                                    |                             |               |
|--|--|------------------------------------|-----------------------------|---------------|
| スクリーン・ディバッガ<br>(SD78K/II)                                | 78K/IIシリーズ用のインサーキット・エミュレータをコントロールするためのプログラムです。デバイス・ファイル (DF78210) と組み合わせて使用します。<br>IE-78240-R-A, または IE-78240-R-A と同等になるようにシステム・アップしたインサーキット・エミュレータで、ホスト・マシンがPC-9800シリーズまたはIBM PCシリーズの場合に使用可能です。<br>C言語、構造化アセンブリ言語、アセンブリ言語で書かれたソース・プログラム・レベルでのディバグや、ホスト・マシンの画面を分割し、さまざまな情報を同時に表示することで効率の良いディバグが行えます。 |                                    |                             |               |
|  | ホスト・マシン  | OS                                 | 供給媒体                        | オーダ名称         |
|  | PC-9800シリーズ  | MS-DOS<br>(Ver.3.10~<br>Ver.3.30C) | 5インチ2HD                     | μS5A10SD78K2  |
|  |  |                                    | 3.5インチ2HD                   | μS5A13SD78K2  |
| IBM PCシリーズ   | PC DOS<br>(Ver.3.1)  | 5インチ2HC                            | μS7B10SD78K2 <sup>注1</sup>  |               |
| デバイス・ファイル<br>(DF78210)                                   | スクリーン・ディバッガ (SD78K/II) と組み合わせて、μPD78218A シリーズのディバグを行う場合に必要です。  |                                    |                             |               |
|  | ホスト・マシン  | OS                                 | 供給媒体                        | オーダ名称         |
|  | PC-9800シリーズ  | MS-DOS<br>(Ver.3.10~<br>Ver.3.30C) | 5インチ2HD                     | μS5A10DF78210 |
|  |  |                                    | 3.5インチ2HD                   | μS5A13DF78210 |
| IBM PCシリーズ   | PC DOS<br>(Ver.3.1)  | 5インチ2HC                            | μS7B10DF78210 <sup>注1</sup> |               |
| IE-78240-R<br>IE-78240-R-EM<br>コントロール・プログラム<br>(IE78240) | IE-78240をホスト・マシンからコントロールするためのプログラムです。コマンドの自動実行などを行うことができ、より効率的なディバグが可能です。  |                                    |                             |               |
|  | ホスト・マシン  | OS                                 | 供給媒体                        | オーダ名称         |
|  | PC-9800シリーズ  | MS-DOS<br>(Ver.3.10~<br>Ver.3.30C) | 8インチ2D <sup>注2</sup>        | μS5A11E78240  |
|  |  |                                    | 5インチ2HD                     | μS5A10IE78240 |
|  |  |                                    | 3.5インチ2HD                   | μS5A13IE78240 |
| IBM PCシリーズ   | PC DOS<br>(Ver.3.1)  | 5インチ2D <sup>注3</sup>               | μS7B11IE78240               |               |
|  |  | 5インチ2HC                            | μS7B10IE78240               |               |

注1. 開発中

2. 8インチ2Dでの新規のご購入はできません。5インチ2HDまたは3.5インチ2HDをお選びください。  
 また、すでに8インチ2Dでご購入いただいている場合、今後のバージョン・アップ時は5インチ2HDを送付いたしますのでご了承ください。
3. 5インチ2Dでの新規のご購入はできません。また、すでに5インチ2Dでご購入いただいている場合、今後のバージョン・アップ時は5インチ2HCを送付いたしますのでご了承ください。



③ PROM プログラマ用ソフトウェア

| PG-1500コントローラ | PG-1500とホスト・マシンをシリアルおよびパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。 |                                    |                     |              |
|---------------|---|------------------------------------|---------------------|--------------|
|               | ホスト・マシン   | OS                                 | 供給媒体                | オーダ名称        |
|               | PC-9800シリーズ   | MS-DOS<br>(Ver.3.10~<br>Ver.3.30C) | 5インチ2HD             | μS5A10PG1500 |
|               |   |                                    | 3.5インチ2HD           | μS5A13PG1500 |
|               | IBM PCシリーズ  | PC DOS<br>(Ver.3.1)                | 5インチ2D <sup>注</sup> | μS7B11PG1500 |
| 5インチ2HC       |   |                                    | μS7B10PG1500        |              |

注 5インチ2Dでの新規のご購入はできません。また、すでに5インチ2Dでご購入いただいている場合、今後のバージョン・アップ時は5インチ2HCを送付いたしますのでご了承ください。

★ ④ リアルタイムOS

| リアルタイムOS<br>(RX78K/II) | RX78K/IIは、リアルタイム性の要求される制御分野を対象として、マルチタスク環境を実現することを目的としています。CPUのアイドル時間を他の処理に割り当て、システム全体としての性能の向上を図ることができます。<br>RX78K/IIでは、μITRON仕様に準拠したシステム・コール(31個)を提供しています。<br>RX78K/IIパッケージでは、RX78K/IIのニュークリアスと複数の情報テーブルを作成するためのツール(コンフィギュレータ)を提供します。 |                                    |                        |               |
|------------------------|---|------------------------------------|------------------------|---------------|
|                        | ホスト・マシン   | OS                                 | 供給媒体                   | オーダ名称         |
|                        | PC-9800シリーズ   | MS-DOS<br>(Ver.3.10~<br>Ver.3.30C) | 5インチ2HD                | μS5A10RX78217 |
|                        |   |                                    | 3.5インチ2HD              | μS5A13RX78217 |
|                        | IBM PCシリーズ  | PC DOS<br>(Ver.3.1)                | 5インチ2HC                | μS7B10RX78217 |
|                        | HP9000シリーズ300   | HP-UX<br>(rel.7.05B)               | カートリッジ・テープ<br>(QIC-24) | μS3H15RX78217 |
|                        | SPARCstation  | Sun OS<br>(rel.4.1.1)              |                        | μS3K15RX78217 |
|                        | EWS-4800シリーズ<br>(RISC)  | EWS-UX/V<br>(rel.4.0)              |                        | μS3M15RX78217 |

保守/廃止

他のインサーキット・エミュレータからのシステム・アップ方法

## ① IE-78240-R-A へのシステム・アップ方法

★

| お手持ちのエミュレータ   | IEグループNo. | ご購入の必要なボード                     | 備考   |
|---|-----------|--------------------------------|--|
| IE-78230-R-A<br>IE-78140-R  | 1         | IE-78240-R-EM                  | -  |
| IE-78240-R  | 2         | IE-78200-R-BK                  | -  |
| IE-78112-R <sup>注</sup><br>IE-78210-R-EM <sup>注</sup><br>IE-78220-R <sup>注</sup><br>IE-78310-R <sup>注</sup><br>IE-78310A-R              | 3         | IE-78200-R-BK<br>IE-78240-R-EM | 高速ダウン・ロード機能は使用できません。<br>IEグループ1,2,4のインサーキット・エミュレータをあわせてお持ちの場合は、IEグループ1, 2, 4のインサーキット・エミュレータをベースとしたシステム・アップをお勧めします。<br>また、IEグループ1のインサーキット・エミュレータをお持ちの場合は、IE-78200-R-BKは不要です (IEグループ1のインサーキット・エミュレータ内にIE-78200-R-BKがありますのでそのボードが使用できます)。 |
| IE-75000-R<br>IE-78000-R<br>IE-78130-R<br>IE-78230-R<br>IE-78320-R <sup>注</sup><br>IE-78327-R<br>IE-78330-R<br>IE-78350-R<br>IE-78600-R | 4         | IE-78200-R-BK<br>IE-78240-R-EM | IEグループ1のインサーキット・エミュレータをあわせてお持ちの場合は、IE-78200-R-BKは不要です (IEグループ1のインサーキット・エミュレータ内にIE-78200-R-BKがありますのでそのボードが使用できます)。  |

注 新規の製造は行っておりませんのでご購入はできません。

保守/廃止

## ② IE-78240-Rへのシステム・アップ方法

| お手持ちの<br>エミュレータ   | IEグループNo. | ご購入の必要なボード                     | 備 考   |
|---|-----------|--------------------------------|---|
| IE-78112-R <sup>注</sup><br>IE-78210-R <sup>注</sup><br>IE-78220-R <sup>注</sup>                               | 1         | IE-78240-R-EM                  | 高速ダウン・ロード機能は使用できません。<br>グループ4のIEもあわせてお持ちの場合は、グループ4のIEの筐体を使用することをお勧めします。                                       |
| IE-78130-R<br>IE-78230-R  | 2         | IE-78240-R-EM                  | —   |
| IE-78310-R <sup>注</sup><br>IE-78310A-R  | 3         | IE-78200-R-EM<br>IE-78240-R-EM | 高速ダウン・ロード機能は使用できません。<br>グループ1のIEもあわせてお持ちの場合は、IE-78200-R-EMは不要です（グループ1のIE内にIE-78200-R-EMがありますので、そのボードが使用できます）。 |
| IE-75000-R<br>IE-78000-R<br>IE-78320-R <sup>注</sup><br>IE-78327-R<br>IE-78330-R<br>IE-78350-R<br>IE-78600-R | 4         | IE-78200-R-EM<br>IE-78240-R-EM | グループ1のIEをお持ちの場合は、IE-78200-R-EMは不要です（グループ1のIE内にIE-78200-R-EMがありますので、そのボードが使用できます）。                             |
| IE-78140-R<br>IE-78230-R-A  | 5         | IE-78200-R-EM<br>IE-78240-R-EM | IE-78240-R-Aへのシステム・アップをお勧めします。  |

注 新規の製造は行っておりませんのでご購入はできません。



**保守 / 廃止**

[X 毛]

## CMOSデバイスの一般的注意事項

## ①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

## ②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介してV<sub>DD</sub>またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

## ③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。



{メモ}

本製品が外国為替および外国貿易管理法の規定による戦略物資等(または役務)に該当するか否かは、ユーザ(仕様を決定した者)が判定してください。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
  - この製品を使用したことにより、第三者の工業所有権等にかかわる問題が発生した場合、当社製品の構造製法に直接かかわるもの以外につきましては、当社はその責を負いませんのでご了承ください。
  - 当社は、航空宇宙機器、海底中継器、原子力制御システム、生命維持のための医療用機器などに推奨できる製品を標準的には用意していません。当社製品をこれらの用途にご使用をお考えのお客様、および、『標準』品質水準品を当社が意図した用途以外にご使用をお考えのお客様は、事前に販売窓口までご連絡頂きますようお願い致します。
- 当社推奨の用途例
- 標準：コンピュータ、OA機器、通信機器、計測機器、工作機械、産業用ロボット、AV機器、家電等  
 特別：輸送機器(列車、自動車等)、交通信号機器、防災/防犯装置等
- この製品は耐放射線設計をしておりません。

M4 92.6

EWS-4800シリーズ, EWS-UX/Vは、日本電気株式会社の商標です。

MS-DOSは、米国マイクロソフト社の商標です。

PC DOSは、米国IBM社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Sun OSは、米国サン マイクロシステムズ社の商標です。

HP9000シリーズ300, HP-UXは、米国ヒューレット・パッカード社の商標です。

お問い合わせは、最寄りのNECへ

|                 |  |
|-----------------|--|
| 本社              | 〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)  |
| コンシューマ半導体販売事業部  |  |
| OA半導体販売事業部      | 〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)  |
| インダストリー半導体販売事業部 | 東京 (03)3454-1111   |
| 中部支社 半導体販売部     | 〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル)<br>名古屋 (052)242-2755                                       |
| 関西支社 半導体販売部     | 〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)<br>大阪 (06)945-3178<br>大阪 (06)945-3200<br>大阪 (06)945-3208 |

|       |                  |       |                   |
|-------|------------------|-------|-------------------|
| 北海道支社 | 札幌 (011)231-0161 | 立川支社  | 立川 (0425)26-0911  |
| 東北支社  | 仙台 (022)261-5511 | 川崎支社  | 川崎 (043)227-9084  |
| 北支社   | 仙台 (0196)51-4344 | 津支社   | 津 (054)255-2211   |
| 東支社   | 仙台 (0236)23-5511 | 静岡支社  | 静岡 (0559)63-4455  |
| 北支社   | 仙台 (0249)23-5511 | 浜松支社  | 浜松 (053)452-2711  |
| 東支社   | 仙台 (0246)21-5511 | 名古屋支社 | 名古屋 (0776)22-1866 |
| 北支社   | 仙台 (0258)36-2155 | 京都支社  | 京都 (075)344-7824  |
| 東支社   | 仙台 (0292)26-1717 | 大阪支社  | 大阪 (078)332-3311  |
| 北支社   | 仙台 (045)324-5511 | 福岡支社  | 福岡 (082)242-5504  |
| 東支社   | 仙台 (0273)26-1255 | 鳥取支社  | 鳥取 (0857)27-5311  |
| 北支社   | 仙台 (0276)46-4011 | 徳島支社  | 徳島 (086)225-4455  |
| 東支社   | 仙台 (0286)21-2281 | 高松支社  | 高松 (0878)36-1200  |
| 北支社   | 仙台 (0285)24-5011 | 松山支社  | 松山 (0897)32-5001  |
| 東支社   | 仙台 (0262)35-1444 | 高松支社  | 高松 (0899)45-4111  |
| 北支社   | 仙台 (0263)35-1666 | 松山支社  | 松山 (092)271-7700  |
| 東支社   | 仙台 (0266)53-5350 | 高松支社  | 高松 (093)541-2887  |
| 北支社   | 仙台 (0552)24-4141 | 松山支社  |                   |
| 東支社   | 仙台 (048)641-1411 | 高松支社  |                   |

(技術お問い合わせ先)

|           |               |                                 |                   |  |
|-----------|---------------|---------------------------------|-------------------|--|
| 半導体応用技術本部 | マイクロコンピュータ技術部 | 〒210 川崎市川崎区駅前本町15番5号 (十五番館)     | 川崎 (044)246-3922  | 半導体応用技術本部<br>インフォメーションセンター<br>FAX(044)548-7900<br>(FAXで対応させていただいております) |
| 半導体応用技術本部 | 中部応用システム技術部   | 〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル)   | 名古屋 (052)242-2762 |  |
| 半導体応用技術本部 | 西日本応用システム技術部  | 〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル) | 大阪 (06)945-3383   |  |