

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

8ビット・シングルチップ・マイクロコンピュータ

μPD78148は、ソフトウェアによるサーボ制御に適した周辺ハードウェアを多数内蔵しているので、VTRなどのデジタル・サーボ制御を必要とする応用に最適です。

また、マスクROM製品と同じ電源電圧範囲で動作可能なワン・タイムPROMまたはEPROM製品 μPD78P148や各開発ツールも用意しております。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μPD78148 ユーザーズ・マニュアル：IEU-764

特 徴

○大容量ROM, RAM内蔵

μPD78146 ROM: 24 K バイト, RAM: 688 バイト

μPD78148 ROM: 32 K バイト, RAM: 816 バイト

○I/Oポート: 76本

○VTR用途に適した周辺ハードウェアを内蔵

- ・スーパ・タイマ・ユニット
- ・リアルタイム出力ポート: 18本
- ・高精度A/Dコンバータ: 15チャンネル
- ・乗算器
- ・サブシステム・クロックによる時計動作
- ・シリアル・インタフェース: 2チャンネル
- ・リモコン受信用ハードウェア
- ・オペアンプ: 2個

○2種類の処理形態を選択できる強力な割り込み機能

- ・ベクタ割り込み機能/マクロ・サービス機能

応用分野

VTRのシステム・コントロール/サーボ制御用 (据え置き型, カメラ一体型)

オーダ情報

オーダ名称	パッケージ
μPD78146GF-×××-3BA	100ピン・プラスチックQFP (14×20 mm)
μPD78148GF-×××-3BA	//

備考 ×××はROMコード番号です。

この資料では、特に機能面での違いがないかぎりμPD78148を代表品種として説明しています。

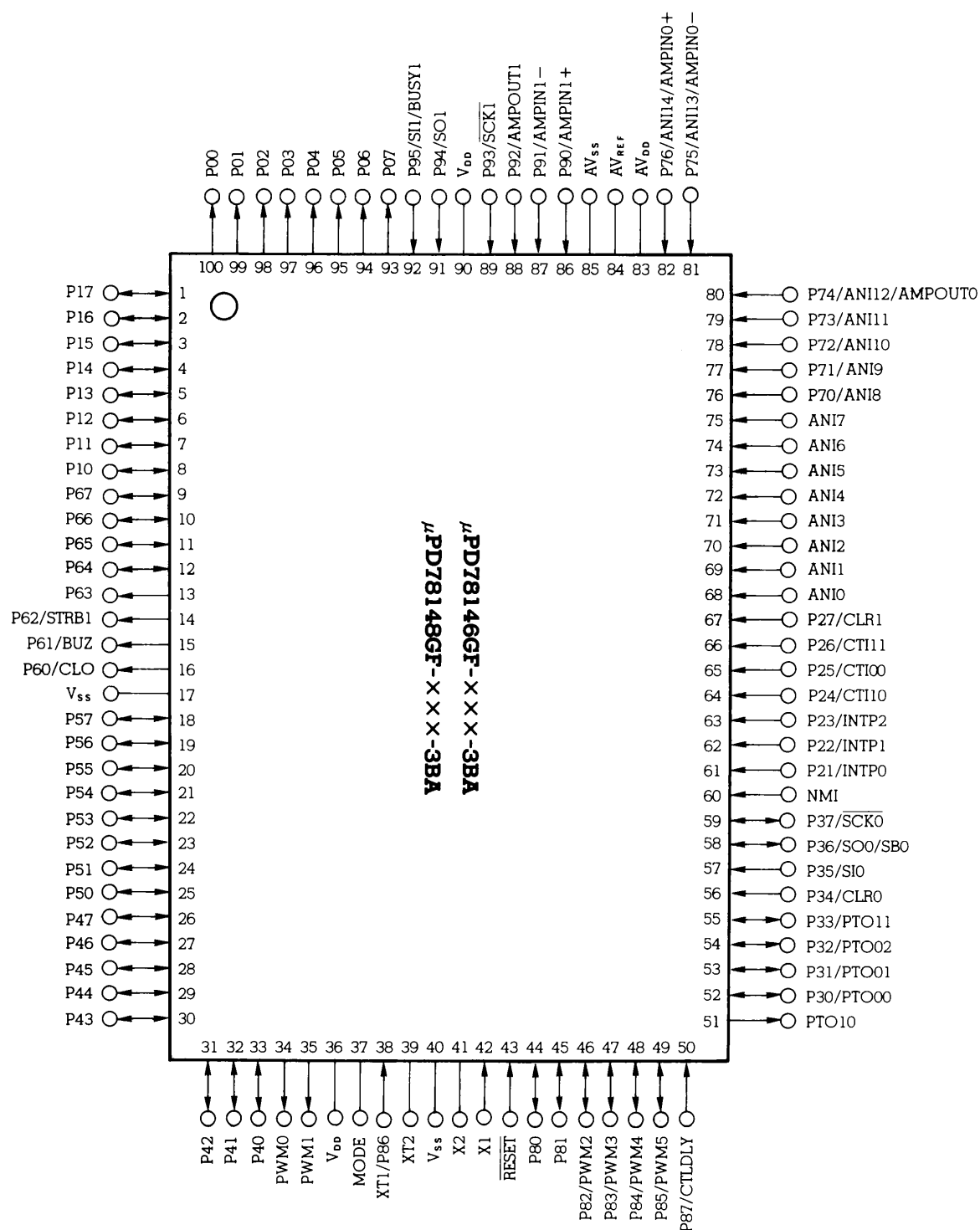
本資料の内容は、後日変更する場合があります。

機能概要

品 名		μPD78146	μPD78148
項 目			
基本命令数		64	
最小命令実行時間		0.33 μs (12 MHz 動作時)	
内蔵メモリ	ROM	24 K バイト (24576×8 ビット)	32 K バイト (32768×8 ビット)
	RAM	688 バイト	816 バイト
汎用レジスタ		8 ビット×8×4 バンク (メモリ・マッピング)	
命令セット		• 16ビット加算, 減算, 比較 • 符号付き乗算 (符号付き16ビット×符号なし8ビット) • 符号なし乗除算 (16ビット×8ビット, 16ビット÷8ビット) • ビット操作 (転送, ブール演算, セット, リセット, テスト)	
I/O ポート		合計76本・入力ポート : 24本 (10本はポートと A/D コンバータ入力, またはオペアンプ用のアナログ端子と兼用) ・出力ポート : 12本 ・入出力ポート : 40本	
スーパー・タイマ・ユニット		• タイマ : 16ビット×3本 8ビット×3本 • カウンタ : 22ビット FRC (フリー・ランニング・カウンタ) × 1本 6ビット UDC (アップ/ダウン・カウンタ) × 1本 • キャプチャ・レジスタ : 22ビット×2個 16ビット×3個 8ビット×2個 • コンペア・レジスタ : 16ビット×7個 8ビット×3個 • PWM 出力 : 12ビット×2本 (キャリア周波数 : 46.9 kHz/23.4 kHz) 14ビット×1本 (キャリア周波数 : 5.9 kHz) 8ビット×3本 (キャリア周波数 : 5.9 kHz)	
乗算器		符号付き16ビット×符号付き16ビット, 演算時間 : 2.67 μs (12 MHz 動作時)	
リアルタイム出力ポート		• タイマに連動させたポート出力機能 • 合計18ポートを内蔵 • 出力トリガ用タイマを選択可能	
シリアル・インタフェース		2 チャンネル内蔵 ・SIO0 : NEC フォーマット・シリアル・バス・インタフェース (SBI) と 3 線式シリアル・インタフェースを選択可能 ・SIO1 : 3 線式シリアル・インタフェース固定 自動データ送受信機能を内蔵 (送受信バッファ48バイト)	
A/D コンバータ		8 ビット分解能×15入力 (7入力は入力ポートと兼用)	
アナログ回路		オペアンプ2個 (単体として使用可能)	
割り込み		• 割り込み要因 : 25要因 (外部5要因, 内部20要因) • 2種類の処理形態を選択可能 (ベクタ割り込み/マクロ・サービス)	
時計機能		• デュアル・クロック構成 (メイン・システム・クロック/サブシステム・クロック選択可能) • スタンバイ・モード時の時計カウント動作が可能	
スタンバイ機能		STOP モード/HALT モード	
ブルアップ抵抗		48本内蔵 (ソフトウェアにより接続/切り離し指定可能)	

端子接続図 (Top View)

100ピン・プラスチック QFP

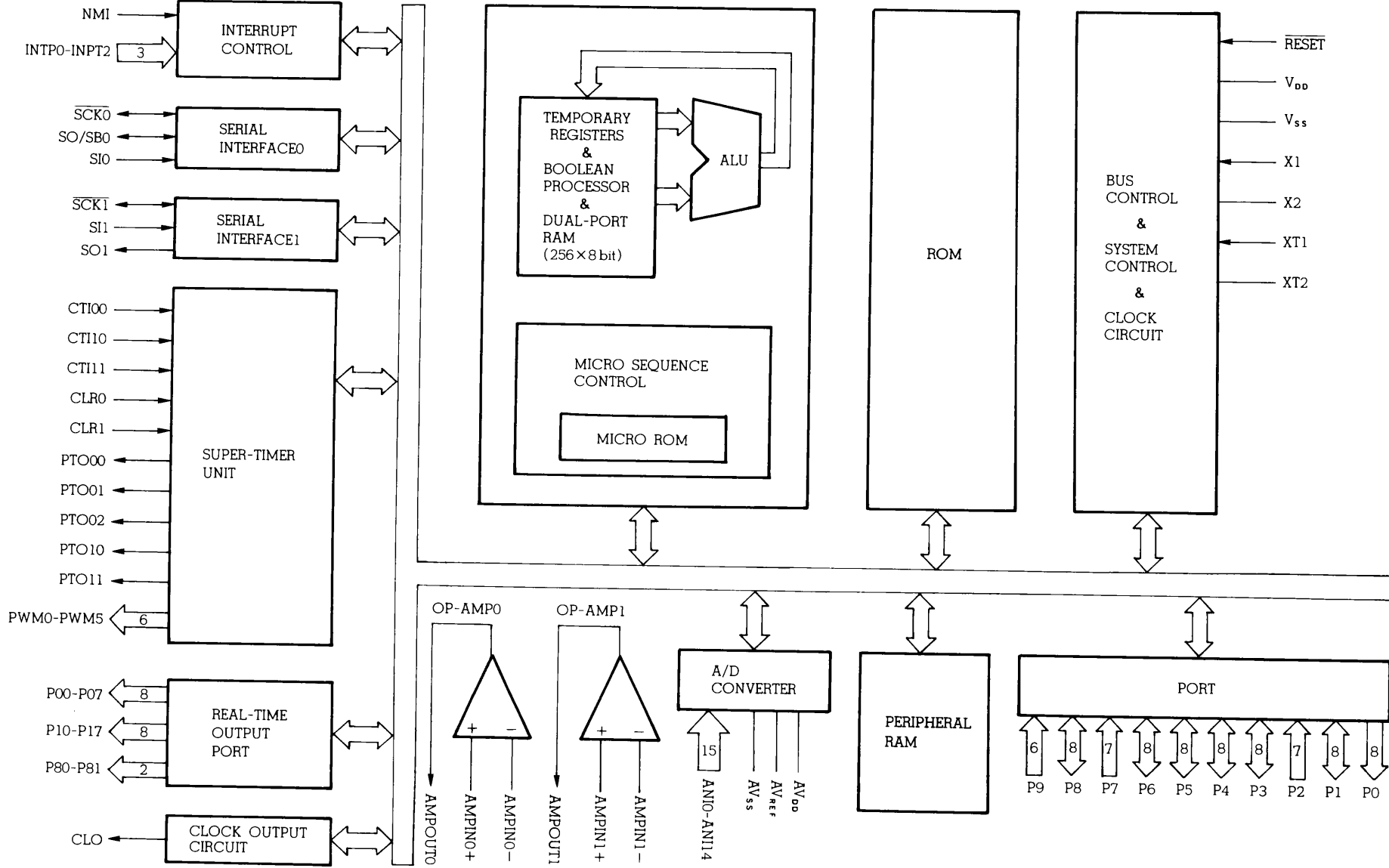


注意 MODE 端子は GND レベルに固定してください。

P00-P07	: Port0	CTLDLY	: Control Delay Input
P10-P17	: Port1	ANI0-ANI14	: Analog Input0-14
P21-P27	: Port2	AMPIN0-,	: Analog Amplifier0, 1 Input(-)
P30-P37	: Port3	AMPIN1-	
P40-P47	: Port4	AMPIN0+,	: Analog Amplifier0, 1 Input(+)
P50-P57	: Port5	AMPIN1+	
P60-P67	: Port6	AMPOUT0, 1	: Analog Amplifier0, 1 Output
P70-P76	: Port7	NMI	: Nonmaskable Interrupt
P80-P87	: Port8	INTP0-INTP2	: Interrupt From Peripherals0-2
P90-P95	: Port9	CLO	: Clock Output
PWM0-PWM5	: Pulse Width Modulation Output0-5	BUZ	: Buzzer Clock
CTI00, CTI10,	: Capture Trigger Input00, 10, 11	AV _{REF}	: Analog Reference Voltage
CTI11		AV _{DD}	: Analog Power Supply
CLR0, CLR1	: Timer Clear Input0, 1	AV _{SS}	: Analog Ground
PTO00-PTO02,	: Programable Timer Output00-02, 10, 11	X1, X2	: Crystal1, 2(Main System Clock)
PTO10, PTO11		XT1, XT2	: Crystal1, 2(Subsystem Clock)
SI0, SI1	: Serial Input0, 1	<u>RESET</u>	: Reset
SO0, SO1	: Serial Output0, 1	V _{DD}	: Power Supply
SBO	: Serial Bus0	V _{SS}	: Ground
<u>SCK0</u> , <u>SCK1</u>	: Serial Clock0, 1	MODE	: Mode Select
STRB1	: Serial Data Transfer Strobe 1		

ブロック図

保守/廃止



目 次

1. 端子機能	8
1.1 ポート端子	8
1.2 ポート以外の端子	10
1.3 端子の入出力回路と未使用端子の処理	12
2. CPU アーキテクチャ	15
2.1 メモリ空間	15
2.2 プロセッサ・レジスタ	17
2.2.1 制御レジスタ	17
2.2.2 汎用レジスタ	18
2.2.3 特殊機能レジスタ (SFR)	19
2.3 データ・メモリ・アドレッシング	24
3. 周辺ハードウェア機能	25
3.1 ポート機能	25
3.2 クロック発生回路	27
3.3 リアルタイム出力ポート (RTP)	29
3.4 シリアル・インタフェース	34
3.5 スーパ・タイマ・ユニット	37
3.5.1 スーパ・タイマ・ユニットの機能	39
3.6 アナログ回路	47
3.6.1 A/D コンバータ	47
3.6.2 オペアンプ	49
3.7 時計機能	49
3.8 乗算器	50
4. 割り込み機能	51
4.1 ベクタ割り込みとマクロ・サービス	51
4.2 割り込みソース	52
4.3 マクロ・サービスの種類	53
4.3.1 マクロ・サービスの種類と割り込み要求	57
5. スタンバイ機能	58
6. リセット機能	59
7. 命令のオペレーション	61
7.1 命令セット一覧 (アルファベット順)	63
8. 電気的特性	65

9. システム構成例 … 78

10. 外形図 … 80

11. 半田付け推奨条件 … 81

付録A. μ PD78148, 78146と78P148, 78138の機能比較 … 82

付録B. 開発ツール … 83

1. 端子機能

1.1 ポート端子 (1/2)

端子名称	入出力	兼用端子	機 能
P00-P07	出力	—	ポート 0 (P0) : • 8ビット単位で出力またはハイ・インピーダンス状態に指定可能 • 8ビット×1または、4ビット×2のリアルタイム出力ポートとしても使用可能
P10-P17	入出力	—	ポート 1 (P1) : • 1ビット単位で入力/出力の指定が可能 • LED を直接駆動可能 • ソフトウェア・プルアップ抵抗内蔵可能 (P10-P17) • 1ビットごとにリアルタイム出力ポートとして指定可能
P21	入力	INTP0	ポート 2 (P2) : • ソフトウェア・プルアップ抵抗内蔵可能 (P22-P27)
P22		INTP1	
P23		INTP2	
P24		CTI10	
P25		CTI00	
P26		CTI11	
P27		CLR1	
P30	入出力	PTO00	ポート 3 (P3) : P30-P33 : 入出力ポート, 1ビット単位で入力/出力の指定が可能 P34-P35 : 入力ポート P36-P37 : 入出力ポート, 1ビット単位で入力/出力の指定が可能 • ソフトウェア・プルアップ抵抗内蔵可能 (P30-P37)
P31		PTO01	
P32		PTO02	
P33		PTO11	
P34	入力	CLR0	
P35		SIO	
P36	入出力	SO0/SB0	
P37		SCK0	
P40-P47	入出力	—	ポート 4 (P4) : • 8ビット単位で入力/出力の指定が可能 • LED を直接駆動可能 • ソフトウェア・プルアップ抵抗内蔵可能 (P40-P47)
P50-P57	入出力	—	ポート 5 (P5) : • 1ビット単位で入力/出力の指定が可能 • LED を直接駆動可能 • ソフトウェア・プルアップ抵抗内蔵可能 (P50-P57)

ポート端子 (2/2)

端子名称	入出力	兼用端子	機 能
P60	出力	CLO	ポート 6 (P6) : P60-P63 : 出力ポート P64-P67 : 入出力ポート, 1 ビット単位で入力/出力の指定が可能 ・ソフトウェア・プルアップ抵抗内蔵可能 (P64-P67)
P61		BUZ	
P62		STRB1	
P63		—	
P64	入出力	—	
P65		—	
P66, P67		—	
P70	入力	ANI8	ポート 7 (P7)
P71		ANI9	
P72		ANI10	
P73		ANI11	
P74		AMPOUT0 /ANI12	
P75		AMPINO- /ANI13	
P76		AMPINO+ /ANI14	
P80	入出力	—	ポート 8 (P8) : P80-P85 : 入出力ポート, 1 ビット単位で入力/出力の指定が可能 P86-P87 : 入力ポート ・ソフトウェア・プルアップ抵抗内蔵可能 (P80-P85) ・P80, P81 は 1 ビットごとにリアルタイム出力ポートとして指定可能
P81		—	
P82		PWM2	
P83		PWM3	
P84		PWM4	
P85		PWM5	
P86	入力	XT1	
P87		CTLDLY	
P90	入力	AMPIN1+	ポート 9 (P9)
P91		AMPIN1-	
P92		AMPOUT1	
P93		SCK1	
P94		SO1	
P95		SI1	

1.2 ポート以外の端子 (1/2)

端子名称	入出力	兼用端子	機能
PWM0, PWM1	出力	—	スーパー・タイマ・ユニット PWM 出力
PWM2 -PWM5	出力	P82-P85	スーパー・タイマ・ユニット PWM 出力
CLR0	入力	P34	スーパー・タイマ・ユニット入力
CTI00		P25	
CLR1		P27	
CTI10		P24	
CTI11		P26	
PTO00	出力	P30	スーパー・タイマ・ユニット出力
PTO01		P31	
PTO02		P32	
PTO10		—	
PTO11	出力	P33	スーパー・タイマ・ユニット出力 VISS/VASS あと書き込み対応のドライブ波形出力可能
SI0	入力	P35	シリアル・データ入力 0
SO0	入出力	P36/SB0	シリアル・データ出力 0 (3 線式シリアル I/O モード)
SB0	入出力	P36/SO0	シリアル・データ入出力 0 (SBI モード)
$\overline{\text{SCK0}}$	入出力	P37	シリアル・クロック入出力 0
SI1	入力	P95	シリアル・データ入力 1
SO1	出力	P94	シリアル・データ出力 1
$\overline{\text{SCK1}}$	入出力	P93	シリアル・データ入出力 1
STRB1	出力	P62	SIO1 データ自動転送時のストローブ出力
NMI	入力	—	ノンマスカブル割り込み要求入力
INTP0-INTP2	入力	P21-P23	外部割り込み要求入力
CTLDLY	—	P87	外部時定数接続 PTO11 を VISS/VASS あと書き込みとして用いる場合、この端子に CR の外付け時定数回路を接続する。
CLO	—	P60	クロック出力

ポート以外の端子 (2/2)

端子名称	入出力	兼用端子	機能
ANI0-ANI7	アナログ	—	A/D コンバータのアナログ信号入力
ANI8-ANI11	入力	P70-P73	
ANI12		P74/AMPOUT0	
ANI13		P75/AMPINO-	
ANI14		P76/AMPINO+	
AMPINO-	アナログ	P75/ANI13	オペアンプ 0 反転入力
AMPINO+	入力	P76/ANI14	オペアンプ 0 非反転入力
AMPOUT0	出力	P74/ANI12	オペアンプ 0 出力
AMPIN1-	アナログ	P91	オペアンプ 1 反転入力
AMPIN1+	入力	P90	オペアンプ 1 非反転入力
AMPOUT1	出力	P92	オペアンプ 1 出力
RESET	入力	—	リセット入力
BUZ	出力	P61	ブザー出力
AV _{DD}	—	—	アナログ回路の正電源供給
AV _{SS}	—	—	アナログ回路の GND 電位
AV _{REF}	—	—	A/D コンバータへの基準電圧入力
X1	入力	—	メイン・システム・クロック発振用のクリスタル接続
X2	—		
XT1	入力	P86	サブシステム・クロック発振用のクリスタル接続
XT2	—	—	時計用クロック発振用クリスタル接続
V _{DD}	—	—	ディジタル回路の正電源供給
V _{SS}	—	—	ディジタル回路の GND 電位
MODE	—	—	GND レベルに固定してください

1.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路を、一部簡略化した形式を用いて表 1-1, 図 1-1 に示します。

表 1-1 端子の入出力回路タイプと未使用端子の処理一覧

端 子	入出力回路タイプ	推 奨 接 続 方 法
P00-P07	4	オープン
P10-P17	5-A	入力状態：プルアップ抵抗を介して V_{DD} に接続 出力状態：オープン
P21	2	V_{DD} に接続
P22-P27	2-A	
P30-P33	5-A	入力状態：プルアップ抵抗を介して V_{DD} に接続 出力状態：オープン
P34, P35	2-A	V_{DD} に接続
P36	10-A	入力状態：プルアップ抵抗を介して V_{DD} に接続 出力状態：オープン
P37	8-A	
P40-P47	5-A	入力状態：プルアップ抵抗を介して V_{DD} に接続 出力状態：オープン
P50-P57		
P60-P63	3	オープン
P64-P67	5-A	入力状態：プルアップ抵抗を介して V_{DD} に接続 出力状態：オープン
P70-P76	9	V_{SS} に接続
P80-P85	5-A	入力状態：プルアップ抵抗を介して V_{DD} に接続 出力状態：オープン
P86	1	V_{SS} に接続（クロック・コントロール・レジスタのビット6をリセットする）
P87	1	V_{DD} に接続
P90-P92	1	V_{SS} に接続
P93, P94	8	プルアップ抵抗を介して V_{DD} に接続
P95	2	V_{DD} に接続
PWM0-PWM1	3	オープン
PTO10		
AN10-AN17	7	V_{SS} に接続
$\overline{\text{RESET}}$	2	—
AV_{REF}	—	V_{SS} に接続
AV_{SS}		

図 1-1 端子の入出力回路 (1/2)

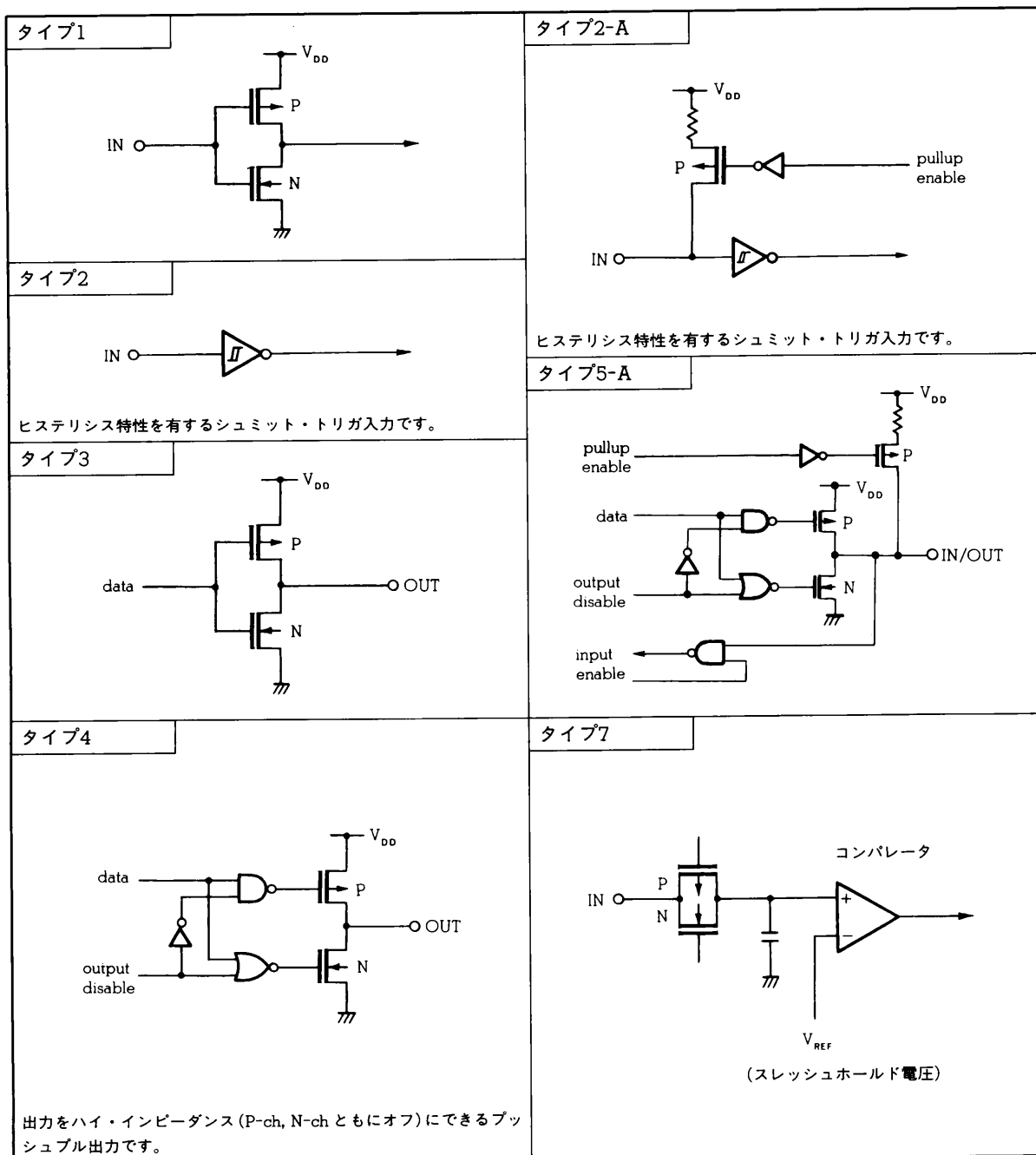
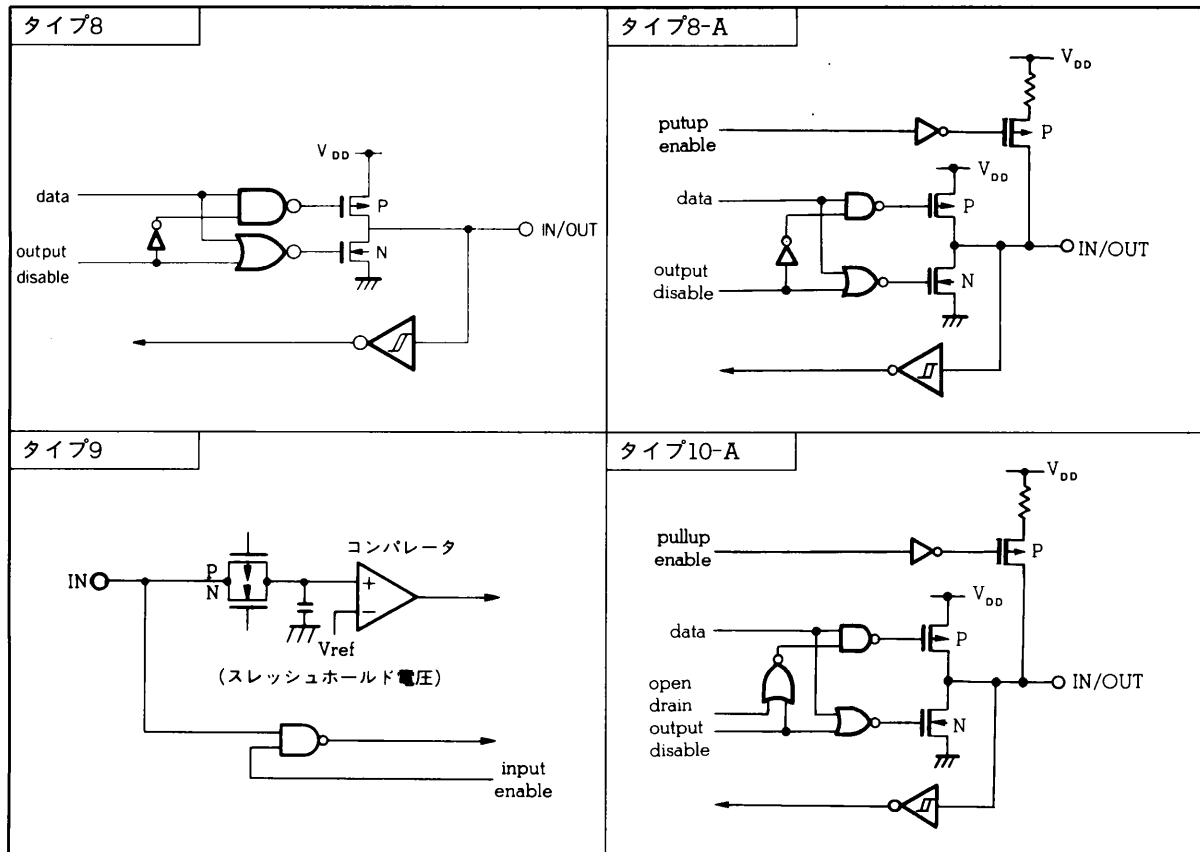


図 1 - 1 端子の入出力回路 (2/2)



2. CPU アーキテクチャ

2.1 メモリ空間

μPD78146, 78148 のメモリ空間を図 2-1, 2-2 に示します。

備考 FF90H-FFBFH の48バイトは、シリアル・インタフェース・チャンネル 1 の自動送受信用バッファですが、この機能を使用しない場合、データ・メモリとして使用できます。

図 2-1 メモリ・マップ (μPD78146)

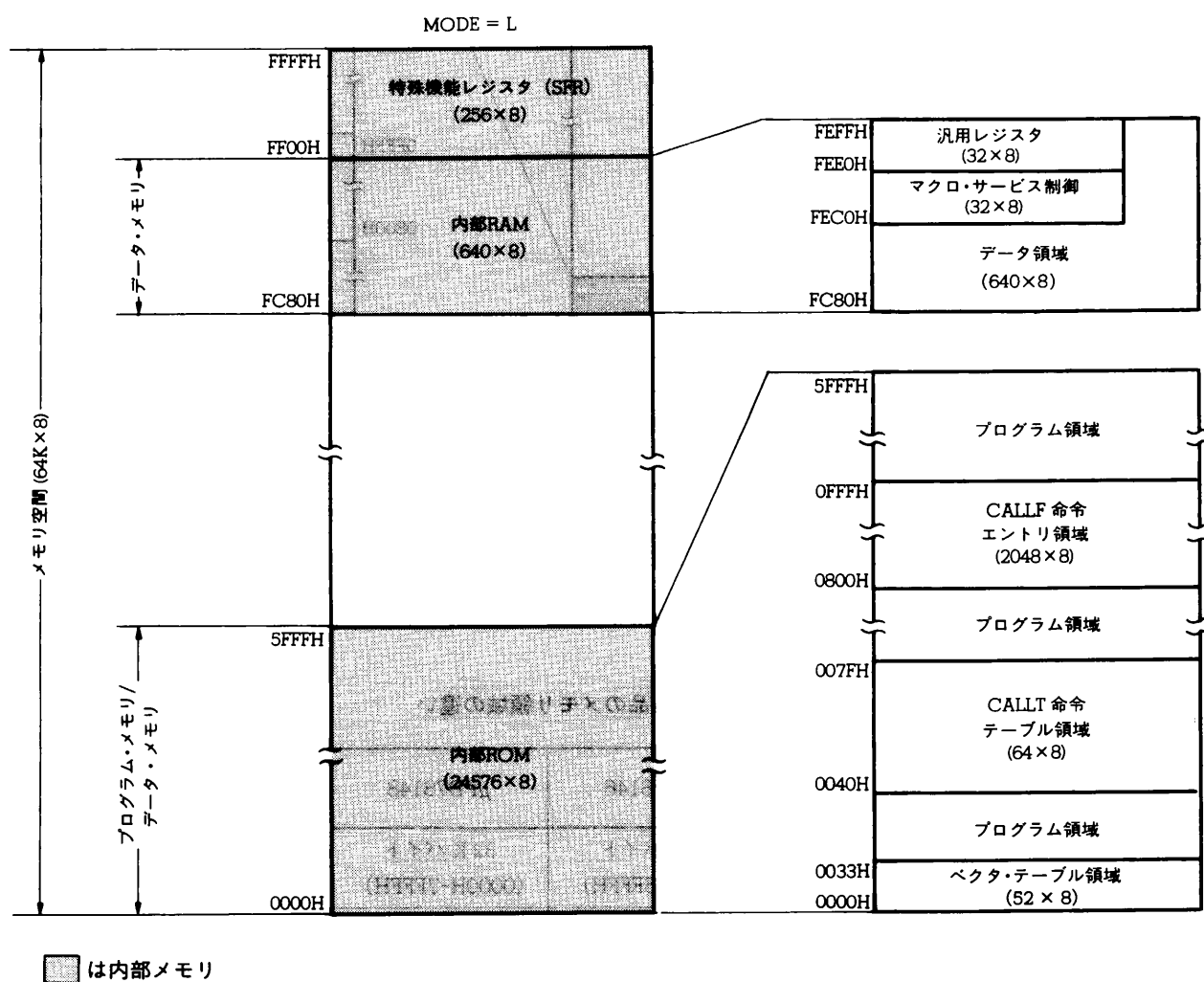


図 2-2 メモリ・マップ (μPD78148)

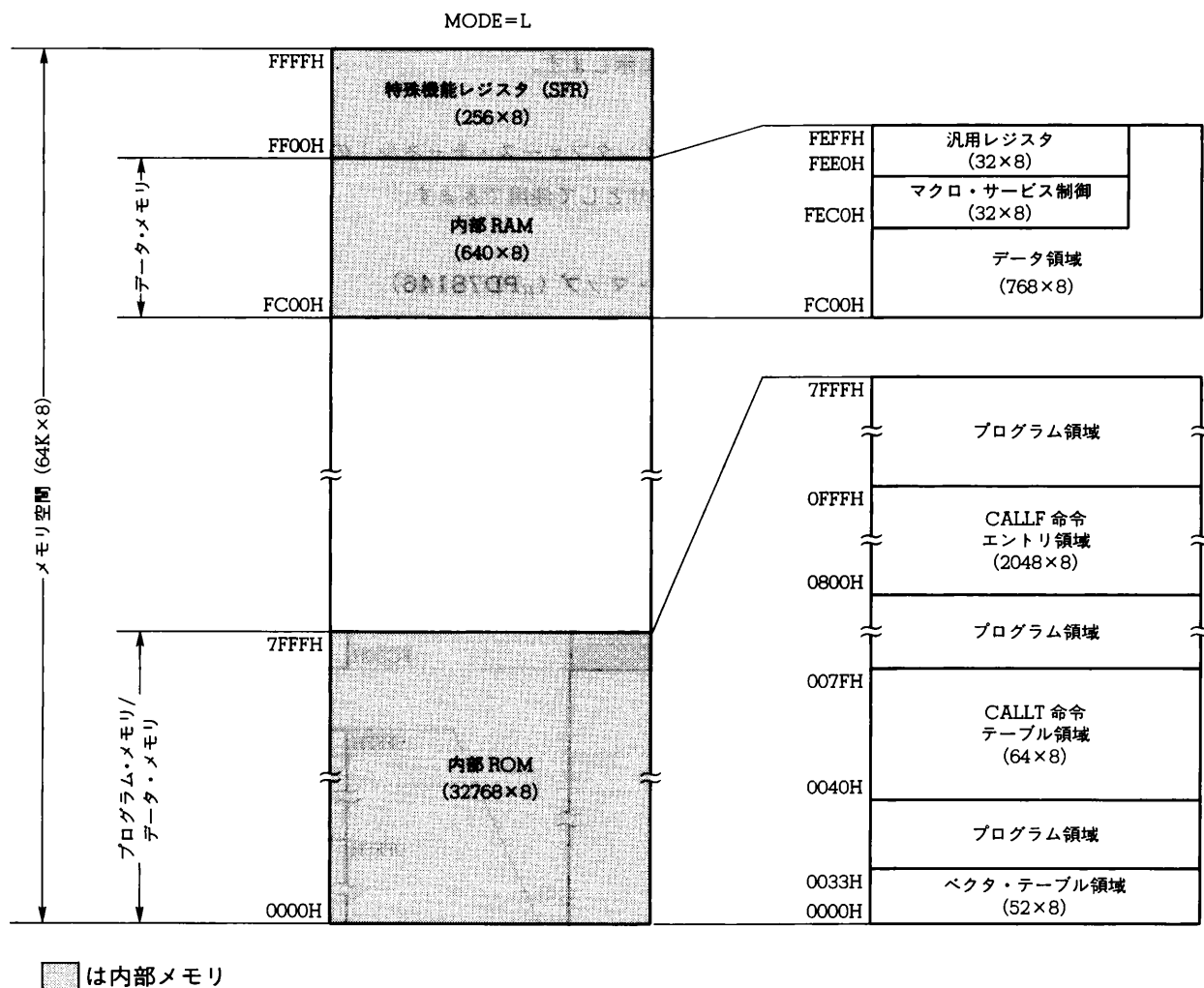


表 2-1 各製品のメモリ領域の違い

品名 項目	μPD78146	μPD78148
内部 ROM	24 K バイト (0000H-5FFFH)	32 K バイト (0000H-7FFFH)
内部 RAM	688 バイト (FC80H-FE7FH)	816 バイト (FC00H-FE7FH)

2.2 プロセッサ・レジスタ

μPD78148 は、機能的に次の 3 つに分類されるレジスタを内蔵しています。

- 制御レジスタ
- 汎用レジスタ
- 特殊機能レジスタ (SFR)

2.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリ制御を行う、専用機能を持ったレジスタ群です。制御レジスタには、次の 3 つがあります。

- プログラム・カウンタ (PC) : 16 ビット・レジスタ
- プログラム・ステータス・ワード (PSW) : 8 ビット・レジスタ
- スタック・ポインタ (SP) : 16 ビット・レジスタ

各制御レジスタの構成を図 2-3, 2-4, 2-5 に示します。

図 2-3 プログラム・カウンタ (PC) の構成

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PC	PC15	PC14	PC13	PC12	PC11	PC10	PC9	PC8	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0

図 2-4 プログラム・ステータス・ワード (PSW) の構成

	7	6	5	4	3	2	1	0
PSW	IE	Z	RBS1	AC	RBS0	0	ISP	CY

CY キャリー・フラグ
 ISP 割り込み優先順位ステータス・フラグ
 RBS0, RBS1 レジスタ・バンク選択フラグ
 AC 補助キャリー・フラグ
 Z ゼロ・フラグ
 IE 割り込み要求許可フラグ

図 2-5 スタック・ポインタ (SP) の構成

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SP	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0

2.2.2 汎用レジスタ

μPD78148 は、8 ビット・レジスタ 8 個を 1 バンクとして、4 バンク（合計 32 個）の汎用レジスタを内蔵しています。また、このレジスタは、レジスタ・ペアとして使用することで、16 ビット・レジスタとしての使用もできます。

汎用レジスタは、内蔵 RAM の FEE0H-FEFFH にマッピングされています。図 2-6 に汎用レジスタの構成を、表 2-2 に機能名称と絶対名称の対応を示します。

図 2-6 汎用レジスタの構成

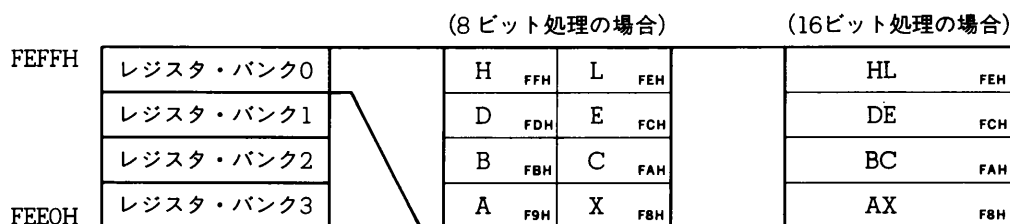


表 2-2 機能名称と絶対名称の対応

機能名称	絶対名称	機能名称	絶対名称
X	R0	AX	RP0
A	R1	BC	RP1
C	R2	DE	RP2
B	R3	HL	RP3
E	R4		
D	R5		
L	R6		
H	R7		

2.2.3 特殊機能レジスタ (SFR)

各種周辺ハードウェアのモード・レジスタなどの特別な機能が割り付けられたレジスタ群です。

特殊機能レジスタ群は FFO0H-FFFFH の256バイトの空間に割り付けられています。また、FF00H-FF1FHの32バイトの領域にはショート・ダイレクト・メモリ・アドレッシングが適用され、短い語長で処理することができます。

FF90H-FFBFH の48バイトは、シリアル・インタフェース・チャンネル1の自動送受信バッファであり、周辺 RAM と同様にアクセスできます。SFR アドレッシングではアクセスできません。

ビット操作命令、および演算、転送命令が全エリアで実行可能です。

表 2-3 に特殊機能レジスタ (SFR) の一覧を示します。表中の項目の意味は次のようになります。

- 略号……………内蔵された特殊機能レジスタのアドレスを示す記号。
命令のオペランド欄に記述できます。
- R/W ……………該当する特殊機能レジスタが、読み出し (Read)/書き込み (Write) 可能かどうかを示します。
R/W : 読み出し/書き込み可能
R : 読み出しのみ可能 (レジスタのビットのテストは可能)
W : 書き込みのみ可能
- 操作可能ビット単位
……………該当する特殊機能のレジスタを操作する場合に、適応可能な操作ビット単位を示します。
16 ビット操作可能な SFR はオペランドの sfrp に記述でき、アドレスで指定する場合は偶数アドレスを記述します。
1 ビット操作可能な SFR は、ビット操作命令で記述できます。
- リセット時…………RESET 入力時の各レジスタの状態を示します。

注意1. FFO0H-FFFFH の領域で、特殊機能レジスタが割り付けられていないアドレスは、アクセスできません。

2. 読み出しのみのレジスタに書き込みをしないでください。書き込みをすると内部回路が正常に動作しなくなることがあります。

表 2-3 特殊機能レジスタ (SFR) 一覧 (1/4)

アドレス	特殊機能レジスタ (SFR) 名称	略 号	R/W	操作可能ビット単位			リセット 解除後
				1 bit	8 bit	16 bit	
FF00H	ポート 0	P0	R/W	○	○	-	不定
FF01H	ポート 1	P1		○	○		
FF02H	ポート 2	P2	R	○	○	-	
FF03H	ポート 3	P3	R/W	○	○		
FF04H	ポート 4	P4		○	○	-	
FF05H	ポート 5	P5		○	○		
FF06H	ポート 6	P6			○	○	-
FF07H	ポート 7	P7	R	○	○	-	不定
FF08H	16ビット・タイマ 0 コンペア・レジスタ 0	CR00	R/W	-	-	○	不定
FF09H				-	-		
FF0AH	16ビット・タイマ 0 コンペア・レジスタ 1	CR01		-	-	○	
FF0BH				-	-		
FF0CH	16ビット・タイマ 0 コンペア・レジスタ 2	CR02		-	-	○	
FF0DH				-	-		
FF0EH	16ビット・タイマ 1 コンペア・レジスタ 0	CR10		-	-	○	
FF0FH				-	-		
FF10H	16ビット・タイマ 1 コンペア・レジスタ 1	CR11		-	-	○	
FF11H				-	-		
FF12H	16ビット・タイマ 1 キャプチャ・レジスタ 2	CR12	R	-	-	○	
FF13H				-	-		
FF14H	16ビット FRC キャプチャ・レジスタ 0	CPT0		-	-	○	
FF15H				-	-		
FF16H	16ビット FRC キャプチャ・レジスタ 1	CPT1		-	-	○	
FF17H				-	-		
FF18H	22ビット FRC キャプチャ・レジスタ 2 (ビット 2-17)	CPT2H	R	-	-	○	不定
FF19H				-	-		
FF1AH	22ビット FRC キャプチャ・レジスタ 3 注 (ビット 2-17)	CPT3H		-	-	○	
FF1BH				-	-		
FF1CH	22ビット FRC キャプチャ・レジスタ 2(ビット 0, 1, 18-21)	CPT2L		○	○	-	
FF1DH	プリスケーラ・モード・レジスタ 3	PRM3	R/W	○	○	-	0×××× ×0000
FF1EH	16ビット・タイマ 2 コンペア・レジスタ	CR20		-	-	○	不定
FF1FH				-	-		

注 下位 6 ビットは FF42H。

表 2-3 特殊機能レジスタ (SFR) 一覧 (2/4)

アドレス	特殊機能レジスタ (SFR) 名称	略 号	R/W	操作可能ビット単位			リセット 解除後
				1 bit	8 bit	16 bit	
FF20H	ポート 0 モード・レジスタ	PM0	W	—	○	—	FFH
FF21H	ポート 1 モード・レジスタ	PM1		—	○	—	
FF23H	ポート 3 モード・レジスタ	PM3		—	○	—	
FF25H	ポート 5 モード・レジスタ	PM5		—	○	—	
FF26H	ポート 6 モード・レジスタ	PM6		—	○	—	
FF28H	ポート 8 モード・レジスタ	PM8	W	—	○	—	FFH
FF2CH	被乗数/乗算結果レジスタ	MULL	R/W	—	—	○	不定
FF2DH				—	—		
FF2EH	乗数/乗算結果レジスタ	MULH		—	—	○	
FF2FH				—	—		
FF30H	16ビット・タイマ・レジスタ 0	TM0	R	—	—	○	16クロック 以内不定
FF31H				—	—		
FF32H	16ビット・タイマ・レジスタ 1	TM1		—	—	○	17クロック 以降 0 クリア
FF33H				—	—		
FF34H	22ビット・フリー・ランニング・カウンタ	FRC	R	—	—	○	16クロック 以内不定 17クロック 以降 0 クリア
FF35H				—	—		
FF36H	16ビット・タイマ・レジスタ 2	TM2	R	—	—	○	16クロック 以内不定 17クロック 以降 0 クリア
FF37H				—	—		
FF38H	タイマ・コントロール・レジスタ 0	TMC0	R/W	—	○	—	00H
FF39H	タイマ・コントロール・レジスタ 1	TMC1	R/W	—	○	—	00H
FF3AH	キャプチャ・モード・レジスタ	CPTM	R/W	—	○	—	30H
FF3BH	7 ビット・カウント・レジスタ	TM6	R	—	○	—	不定
FF3CH	6 ビット・カウント・レジスタ	TM7		—	○	—	
FF3DH	8 ビット・タイマ・レジスタ 3 ^注	TM3	R/W	—	○	—	
FF3EH	8 ビット・タイマ 3 コンペア・レジスタ	CR30	R/W	—	○	—	不定
FF3FH	8 ビット・タイマ 3 キャプチャ・レジスタ	CPT30	R	—	○	—	不定
FF40H	プルアップ抵抗オプション・レジスタ	PUO	R/W	○	○	—	00H
FF41H	ポート・モード 1 コントロール・レジスタ	PMC1	R/W	○	○	—	00H
FF42H	22ビット FRC キャプチャ・レジスタ 3(ビット 0, 1, 18-21)	CPT3L	R	○	○	—	不定
FF43H	ポート・モード 3 コントロール・レジスタ	PMC3	R/W	○	○	—	30H
FF44H	16ビット・タイマ 1 コンペア・レジスタ 3	CR13		—	—	○	不定
FF45H				—	—		
FF46H	ポート 1 バッファ・レジスタ	P1L		○	○	—	
FF47H	ポート 1 バッファ・レジスタ	P1H		○	○	—	
FF48H	ポート・モード 8 コントロール・レジスタ	PMC8		○	○	—	COH
FF49H	ポート・モード 9 コントロール・レジスタ	PMC9	W	—	○	—	27H

注 TM3 はリードのみ可能ですが、TM3 にライトすることにより、TM3 をクリア (00H) します。

表 2-3 特殊機能レジスタ (SFR) 一覧 (3/4)

アドレス	特殊機能レジスタ (SFR) 名称	略 号	R/W	操作可能ビット単位			リセット 解除後
				1 bit	8 bit	16 bit	
FF4AH	ポート 0 バッファ・レジスタ	POL	R/W	○	○	－	不定
FF4BH	ポート 0 バッファ・レジスタ	POH		○	○	－	
FF4CH	リアルタイム出力ポート・コントロール・レジスタ	RTPC		○	○	－	
FF4DH	トリガ・ソース選択レジスタ	TRGS	R/W	○	○	－	00H
FF4EH	ポート 8 バッファ・レジスタ	P8L		○	○	－	不定
FF4FH	時計モード・レジスタ	WM		○	○	－	0×××0×00
FF50H	入力コントロール・レジスタ	ICR	W	－	○	－	00H
FF51H	アップ/ダウン・カウンタ・カウント・レジスタ	UDC	R/W	－	○	－	不定
FF52H	キャプチャ・コンペア・コントロール・レジスタ	CRC	W	－	○	－	00H
FF53H	イベント・ディバイダ・コントロール・レジスタ	EDVC	W	－	○	－	不定
FF54H	イベント・カウンタ・コンペア・レジスタ 1	ECC1		－	○	－	不定
FF55H	イベント・カウンタ・コンペア・レジスタ 0	ECC0		－	○	－	不定
FF56H	イベント・カウンタ	EC	R	－	○	－	不定
FF57H	プリスケラ 4 モード・レジスタ	PRM4	R/W	○	○	－	00H
FF58H	タイマ 0 出力モード・レジスタ	TOM0	W	－	○	－	××000000
FF59H	タイマ 0 出力コントロール・レジスタ	TOC0	W	－	○	－	00H
FF5AH	タイマ 1 出力モード・レジスタ	TOM1	W	－	○	－	80H
FF5BH	タイマ 1 出力コントロール・レジスタ	TOC1	R/W ^注	－	○	－	00H
FF5CH	8 ビット・タイマ・レジスタ 4	TM4	R	－	○	－	16クロックでクリア
FF5DH	8 ビット・タイマ 4 キャプチャ・コンペア・レジスタ	CR40	R/W	○	○	－	不定
FF5EH	8 ビット・タイマ・レジスタ 5	TM5	R	－	○	－	16クロックでクリア
FF5FH	8 ビット・タイマ 5 コンペア・レジスタ	CR50	R/W	○	○	－	不定
FF60H	ポート 8	P8	R/W	○	○	－	不定
FF61H	ポート 9	P9	R	○	○	－	
FF62H	アンプ・モード・レジスタ	AMPM	W	－	○	－	00H
FF63H	アップ/ダウン・カウンタ・コンペア・レジスタ	UDCC	W	－	○	－	不定
FF64H	A/D 変換モード・レジスタ 0	ADM0	R/W	○	○	－	00H
FF65H	A/D 変換モード・レジスタ 1	ADM1	R/W	○	○	－	01H
FF66H	A/D 変換結果レジスタ 0	ADCR0	R	－	○	－	不定
FF67H	A/D 変換結果レジスタ 1	ADCR1	R	－	○	－	不定
FF70H	PWM コントロール・レジスタ 0	PWMC0	R/W	○	○	－	05H
FF71H	PWM コントロール・レジスタ 1	PWMC1	W	－	○	－	40H
FF72H	PWM0 モジュロ・レジスタ	PWM0	W	－	－	○	不定
FF73H				－	－		
FF74H	PWM1 モジュロ・レジスタ	PWM1		－	－	○	
FF75H				－	－		
FF76H	PWM2 モジュロ・レジスタ	PWM2	W	－	○	－	不定
FF77H	PWM3 モジュロ・レジスタ	PWM3		－	○	－	
FF7AH	PWM4 モジュロ・レジスタ	PWM4		－	○	－	

注 TOC1 はビット 0 のみリードできます。

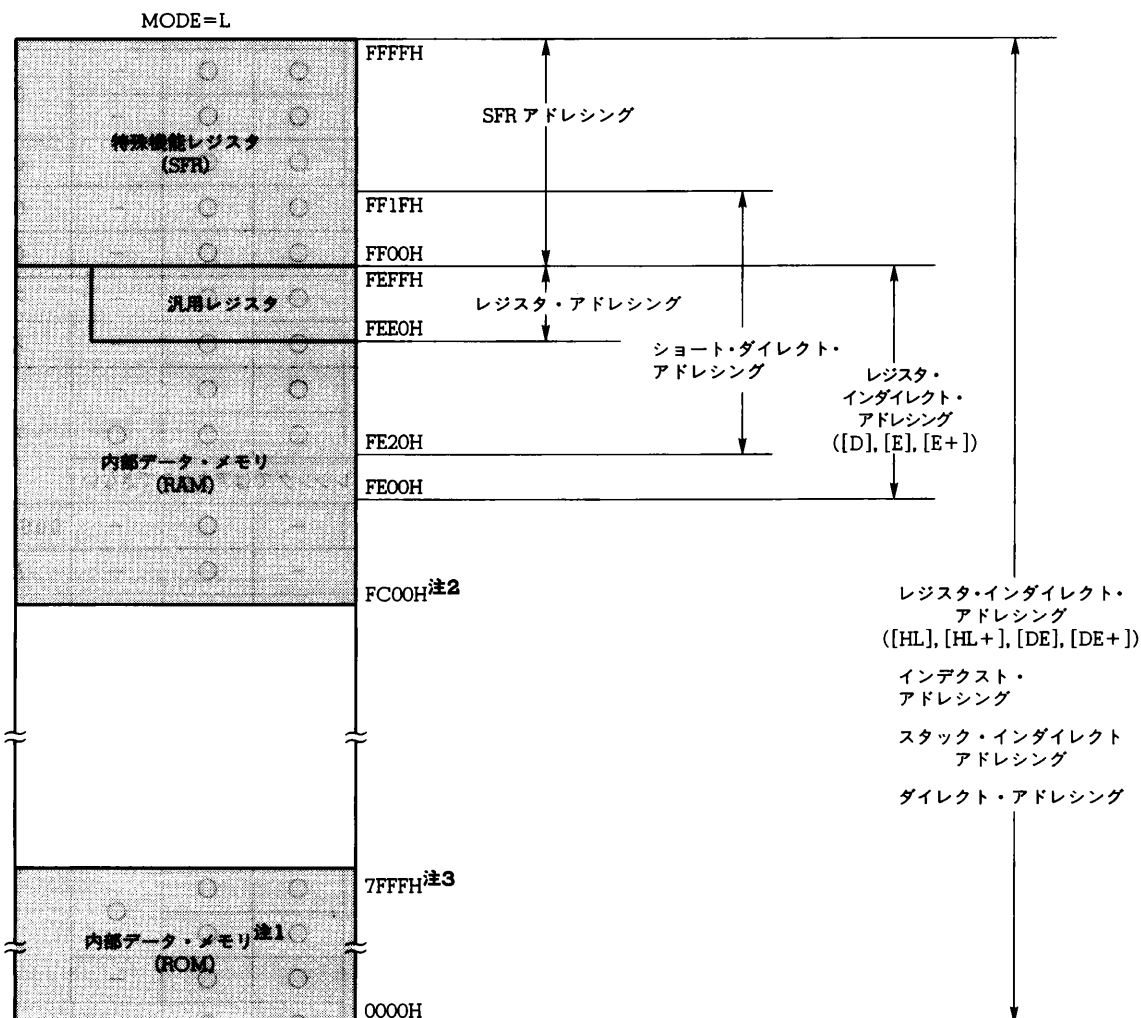
表 2-3 特殊機能レジスタ (SFR) 一覧 (4/4)

アドレス	特殊機能レジスタ (SFR) 名称	略 号		R/W	操作可能ビット単位			リセット 解除後
					1 bit	8 bit	16 bit	
FF7BH	8ビット・タイマ4キャプチャ・レジスタ	CR41		R	—	○	—	不定
FF7CH	PWM5 モジュロ・レジスタ	PWM5		W	—	—	○	
FF7DH					—	—		
FF7EH	タイマ・コントロール・レジスタ 2	TMC2			—	○	—	00H
FF7FH	クロック出力モード・レジスタ	CLOM		R/W	○	○	—	00H
FF80H	シリアル・インタフェース 0 モード・レジスタ	CSIM0			○	○	—	
FF81H	シリアル・インタフェース 1 モード・レジスタ	CSIM1		R/W	○	○	—	00H
FF82H	シリアル・バス・インタフェース・コントロール・レジスタ	SBIC		R/W	○	○	—	00H
FF84H	自動転送制御レジスタ 1	ADTC1		R/W	○	○	—	00H
FF85H	自動転送ポイント 1	ADTP1			○	○	—	不定
FF86H	シリアル・シフト・レジスタ 0	SIO0		R/W	○	○	—	不定
FF87H	シリアル・シフト・レジスタ 1	SIO1		R/W	○	○	—	不定
FF90H ～ FFBFH	SIO1 バッファ領域/汎用 RAM	—		R/W	○	○	○	
SFR アドレッシングではアクセスできない								
FFC0H	スタンバイ・コントロール・レジスタ	STBC		R/W	—	○	—	0000×000
FFC4H	メモリ・マッピング・レジスタ	MM		W	—	○	—	A0H
FFE0H	割り込み要求フラグ・レジスタ	IFOL	IFO	R/W	○	○	○	00H
FFE1H		IFOH			○	○		
FFE2H		IF1L			○	○	—	
FFE4H	割り込みマスク・レジスタ	MKOL	MKO		○	○	○	FFH
FFE5H		MKOH			○	○		
FFE6H		MK1L			○	○	—	
FFE8H	優先順位指定フラグ・レジスタ	PROL	PRO		○	○	○	
FFE9H		PROH			○	○		
FFEAH		PR1L			○	○	—	
FFECH	割り込みサービス・モード・レジスタ	ISMOL	ISMO		○	○	○	00H
FFEDH		ISMOH		○	○			
FFEEH		ISM1L		○	○	—		
FFF4H	外部割り込みモード・レジスタ	INTM0		R/W	○	○	—	50H
FFF5H	外部キャプチャ・モード・レジスタ	INTM1			○	○	—	01H
FFFBH	クロック・コントロール・レジスタ	CC		R/W	○	○	—	00H

2.3 データ・メモリ・アドレッシング

μPD78148 のデータ・メモリ・マップとアドレッシングを図 2-7 に示します。これらの豊富なアドレッシングにより、効率のよいプログラムを作成できます。

図 2-7 データ・メモリのメモリ・マップとアドレッシング



注 1. スタック・ポインタを SFR 領域や ROM 領域に設置しないでください。

2. μPD78146 の場合 : FC80H

3. μPD78146 の場合 : 5FFFH

■ は内部メモリ

注意 FF90H-FFBFH の48バイトは、シリアル・インタフェース・チャンネル1の自動送受信バッファであり、周辺 RAM と同様にアクセスできます。しかし、SFR アドレッシングではアクセスできません。

3. 周辺ハードウェア機能

3.1 ポート機能

μPD78148 は図 3-1 のようなポートを備えており、多様な制御ができます。

各ポートの機能は表 3-1 のとおりです。ソフトウェアによりプルアップ抵抗を内蔵できます。

図 3-1 ポートの構成

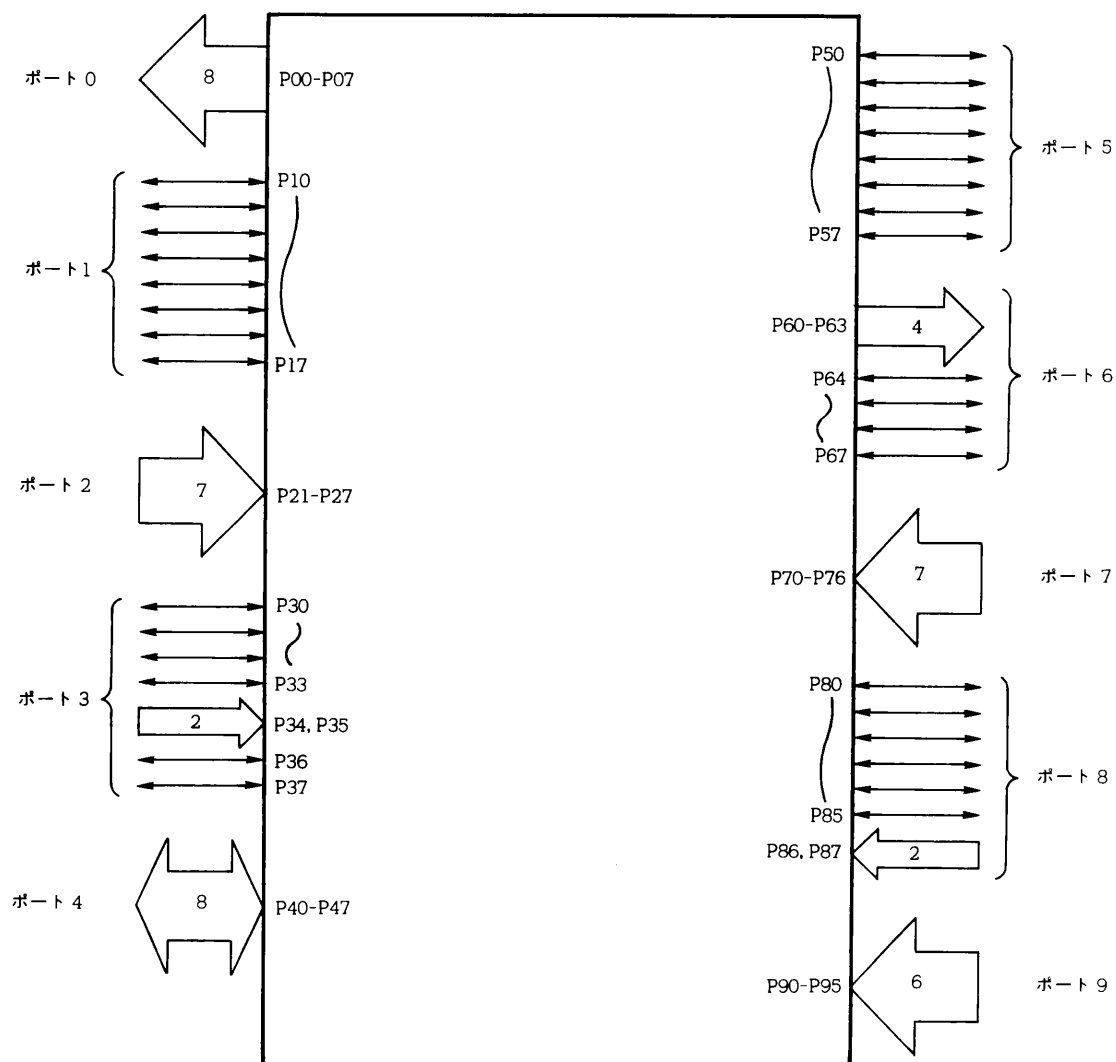


表 3-1 ポートの機能

ポート	端子	入出力	機 能
ポート 0	P00-P07	出 力	8 ビット出力ポート - リアルタイム出力ポートと兼用 8 ビット単位で出力またはハイ・インピーダンスに設定可能 - トランジスタ・ダイレクト・ドライブ可能
ポート 1	P10-P17	入出力	8 ビット入出力ポート - リアルタイム出力ポートと兼用 1 ビット単位で入力/出力の指定が可能 - LED 直接駆動可能
ポート 2	P21	入 力	7 ビット入力ポート 外部割り込み端子、タイマ入力端子と兼用
	P22-P27	入 力	
ポート 3	P30-P33	入出力	8 ビット入出力ポート - タイマ出力端子、シリアル入出力端子 (SIO0) と兼用 - P30-P33, P36, P37 は、1 ビット単位で入力/出力の指定が可能
	P34, P35	入 力	
	P36, P37	入出力	
ポート 4	P40-P47	入出力	8 ビット入出力ポート 8 ビット単位で入力/出力の指定が可能 - LED 直接駆動可能
ポート 5	P50-P57	入出力	8 ビット入出力ポート 1 ビット単位で入力/出力の指定が可能 - LED 直接駆動可能
ポート 6	P60-P63	出 力	8 ビット入出力ポート P64-P67 は、1 ビット単位で入力/出力の指定が可能
	P64-P67	入出力	
ポート 7	P70-P76	入 力	7 ビット入力ポート アナログ入力端子、オペアンプ (AMP0) 入出力端子と兼用
ポート 8	P80-P85	入出力	8 ビット入出力ポート - リアルタイム出力ポート、PWM 出力端子、サブシステム・クロックと兼用 - P80-P85 は、1 ビット単位で入力/出力の指定が可能
	P86, P87	入 力	
ポート 9	P90-P95	入 力	6 ビット入力ポート オペアンプ (AMP1) 入出力端子、シリアル入出力端子 (SIO1) と兼用

注意 ビットごとにプルアップ指定できるポートは、入力モードの場合のみプルアップ抵抗を内蔵できます。

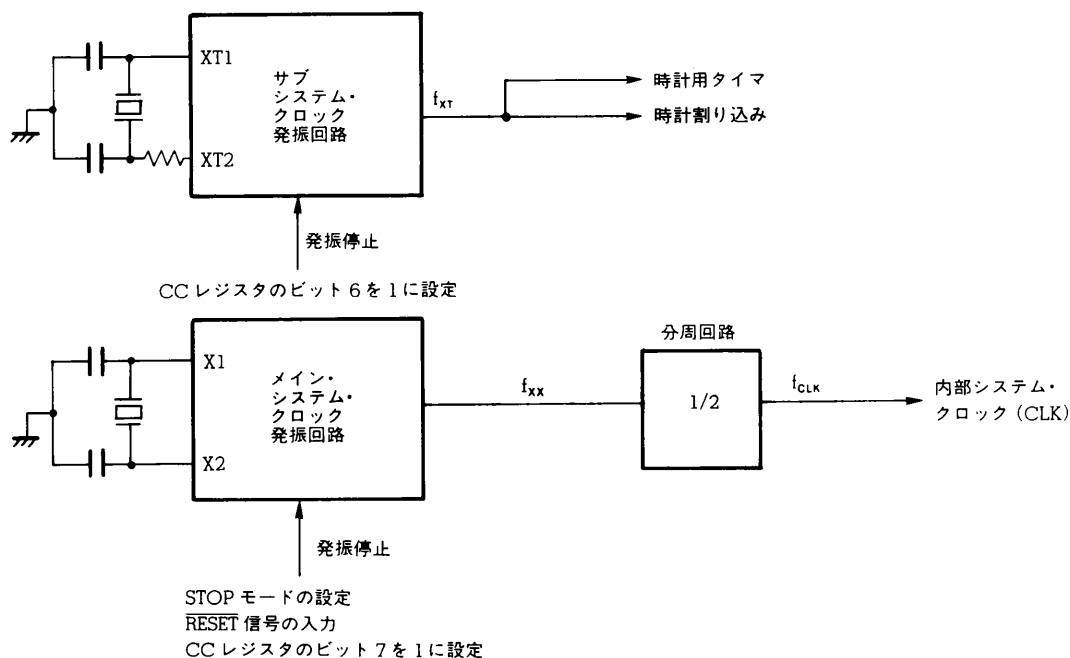
3.2 クロック発生回路

クロック発生回路は、CPU に供給する内部システム・クロック（CLK）を発生、制御する回路です。

クロック発生回路は、図 3-2 のように構成されています。

図 3-2 クロック発生回路のブロック図

★



- 備考 1. f_{XX} : メイン・システム・クロック・クリスタル発振周波数
 2. f_{XT} : サブシステム・クロック・クリスタル発振周波数
 3. f_{CLK} : 内部システム・クロック周波数

メイン・システム・クロック発生回路は、X1, X2 端子に接続された水晶振動子またはセラミック発振子によって発振します。

STOP モードの設定、 $\overline{RESET}$ 入力、およびクロック・コントロール・レジスタのビット7の設定により、発振を停止します。

サブシステム・クロック発生回路は、XT1, XT2 に接続された水晶振動子によって発振します。

クロック・コントロール・レジスタのビット6の設定により、発振を停止します。STOP モードの設定、および $\overline{RESET}$ 入力しても影響を受けません。

サブシステム・クロックは、おもに時計回路や一定時間ごとの割り込み（INTW）に使用されます。

分周回路はシステム・クロック発生回路出力（ f_{XX} , f_{XT} ）を2分周して、内部システム・クロックを生成します。

図 3-3 にメイン・システム・クロックの発振回路の外付け回路, 図 3-4 にサブシステム・クロック発振回路の外付け回路の外付け回路を示します。

図 3-3 メイン・システム・クロック発振回路の外付け回路

(a) クリスタル/セラミック発振

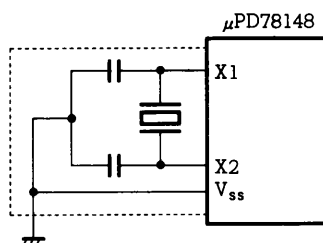
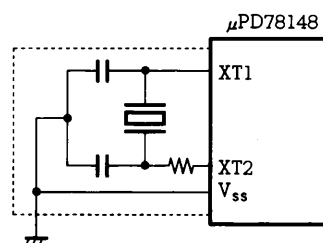


図 3-4 サブシステム・クロック発振回路の外付け回路

(a) クリスタル発振



注意 メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図 3-3, 3-4 の の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は、常に V_{ss} と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

特に、サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっていますのでご注意ください。

3.3 リアルタイム出力ポート (RTP)

リアルタイム出力ポート (RTP) は、ポート出力ラッチとバッファ・レジスタの2段バッファで構成しています。

バッファ・レジスタにあらかじめ用意しておいたデータをタイマ割り込み、または外部割り込みの発生と同時にハードウェアで出力ラッチに転送して、外部に出力する機能をリアルタイム出力機能といいます。また、このようにして使用するポートをRTPと呼びます。

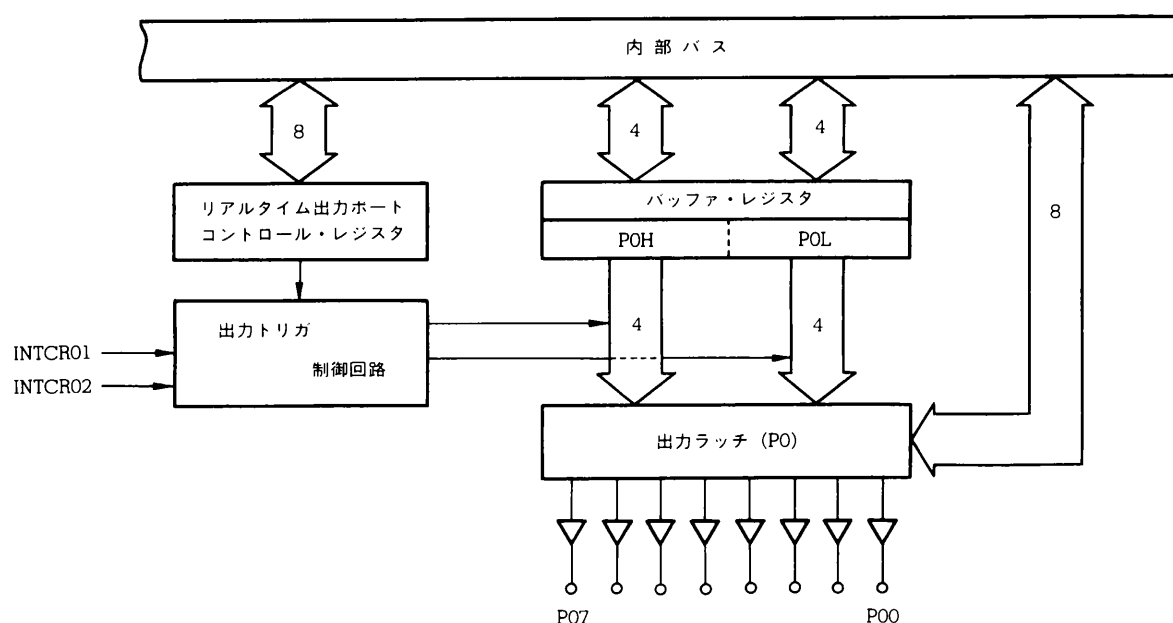
μPD78148 は次のリアルタイム出力ポートを内蔵しています。

表 3-2 RTP のビットの構成

	リアルタイム出力データのビット数	RTPとして指定可能なビット数
RTP0	4ビット×2チャンネル 8ビット×1チャンネル	4ビット単位
RTP1	4ビット×2チャンネル	1ビット単位
RTP8	2ビット×1チャンネル	

図3-5-図3-7にRTP0, RTP1, RTP8のブロック図を示します。また、図3-8にRTP出力トリガ・ソースの種類を示します。

図 3-5 RTP0 のブロック図



備考 INTCR01, INTCR02 : 16ビット・タイマ0 (TM0) とコンペア・レジスタ (CR01, CR02) との一致信号。

図 3-6 RTP1 のブロック図

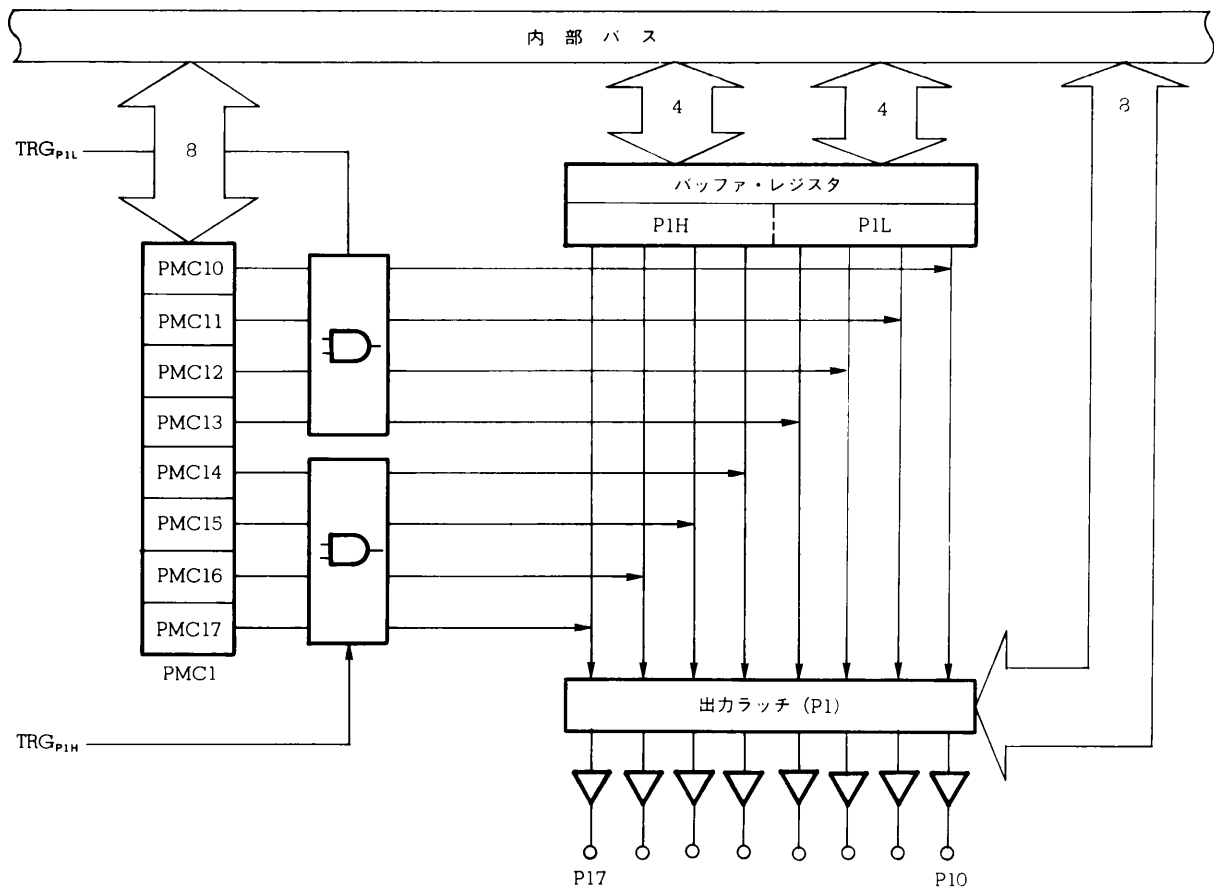


図 3-7 RTP8 のブロック図

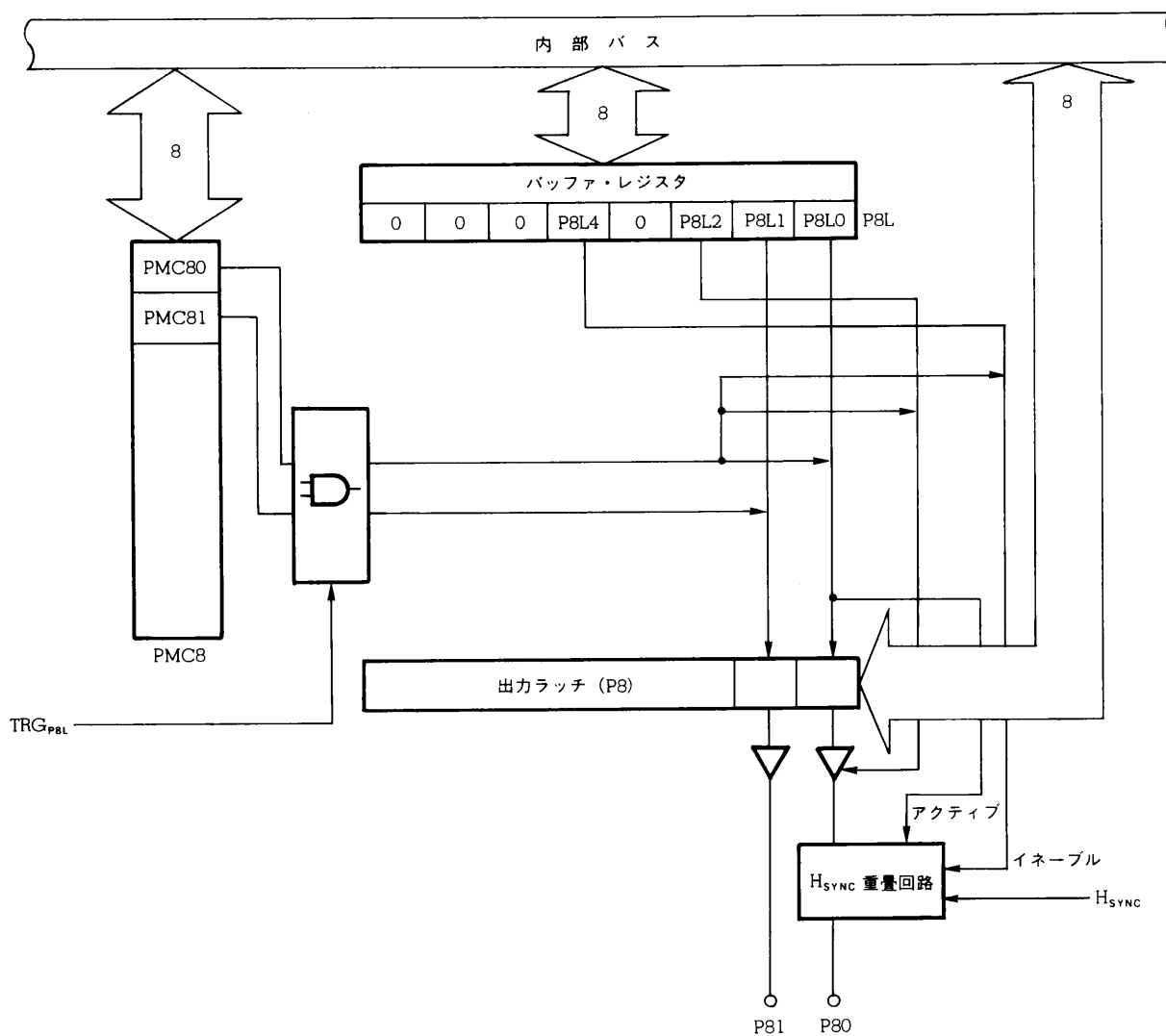
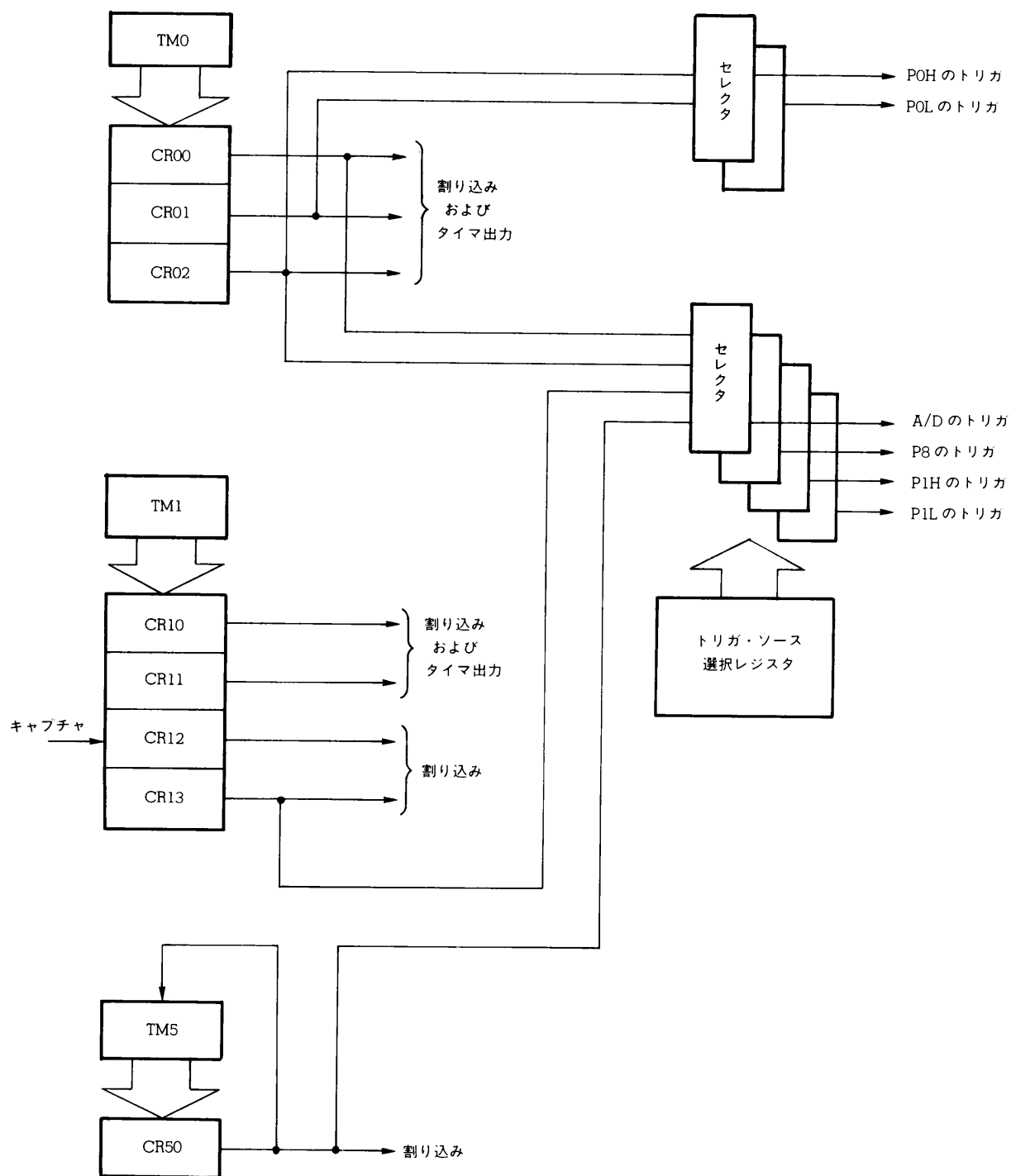


図 3-8 RTP 出力トリガ・ソースの種類

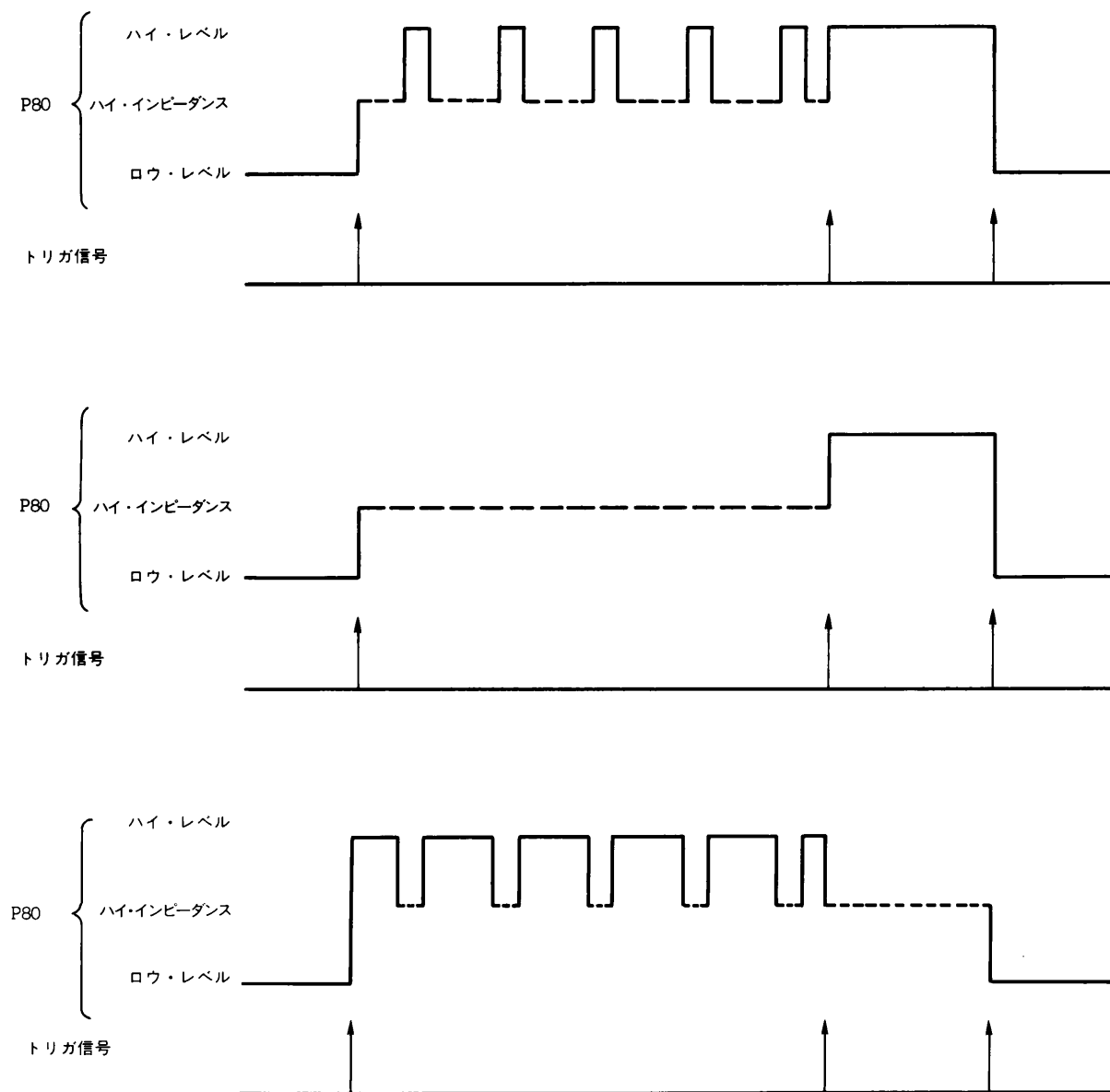


RTP1 と RTP8 の出力トリガは, INTCR00, INTCR02, INTCR13, INTCR50 から任意に選択することができます。

RTP8 はロウ・レベル, ハイ・レベル, ハイ・インピーダンスの値をリアルタイム出力することができます。また, 水平同期信号を重畳することができるので, RTP8 は, 疑似垂直同期信号の作成に使用できます。

図 3-9 に RTP8 の動作のタイミングを示します。

図 3-9 RTP8 の動作タイミング



3.4 シリアル・インタフェース

μPD78148 はシリアル・インタフェースとして、チャンネル 0 とチャンネル 1 の 2 チャンネル内蔵しています。

チャンネル 0 : 3 線式シリアル・インタフェース, SBI (シリアル・バス・インタフェース)

チャンネル 1 : 自動送受信機能付き 3 線式シリアル・インタフェース

• 3 線式シリアル・インタフェース

シリアル・クロック ($\overline{\text{SCK0}}$, $\overline{\text{SCK1}}$) とシリアル・データ入力 (SI0, SI1), シリアル出力 (SO0, SO1) の 3 本のラインにより, 8 ビット・データ転送を行うモードです。

従来のクロック同期式シリアル・インタフェースを内蔵する周辺 I/O や表示コントローラなどを接続するときに有効です。

• SBI (シリアル・バス・インタフェース)

シリアル・クロック ($\overline{\text{SCK0}}$) とシリアル・データ・バス (SB0) の 2 本のラインにより, 複数のデバイスと 8 ビット・データ転送を行うモードです。NEC のオリジナル・フォーマットによるシリアル・データの操作によって, 送受信データを“アドレス”, “コマンド”, “データ” に識別することができます。

• 自動送受信機能付き 3 線式シリアル・インタフェース

シリアル・クロック ($\overline{\text{SCK1}}$) とシリアル・データ入力 (SI1), シリアル出力 (SO1) の 3 本のラインにより, 8 ビット・データ転送を行う 3 線式シリアル・インタフェースに自動送受信機能を加えたモードです。

自動送受信機能は, 最大 48 バイトのデータを送受信する機能です。この機能によって, CPU と独立に OSD (On Screen Display) 用デバイスや表示コントローラ/ドライバを内蔵したデバイスへのデータ送受信がハードウェアで行えますので, ソフトウェアの負担を軽減できます。

図 3-10 にチャンネル 0 のブロック図を, 図 3-11 にチャンネル 1 のブロック図を示します。

図3-10 シリアル・インタフェース・チャンネル0のブロック図

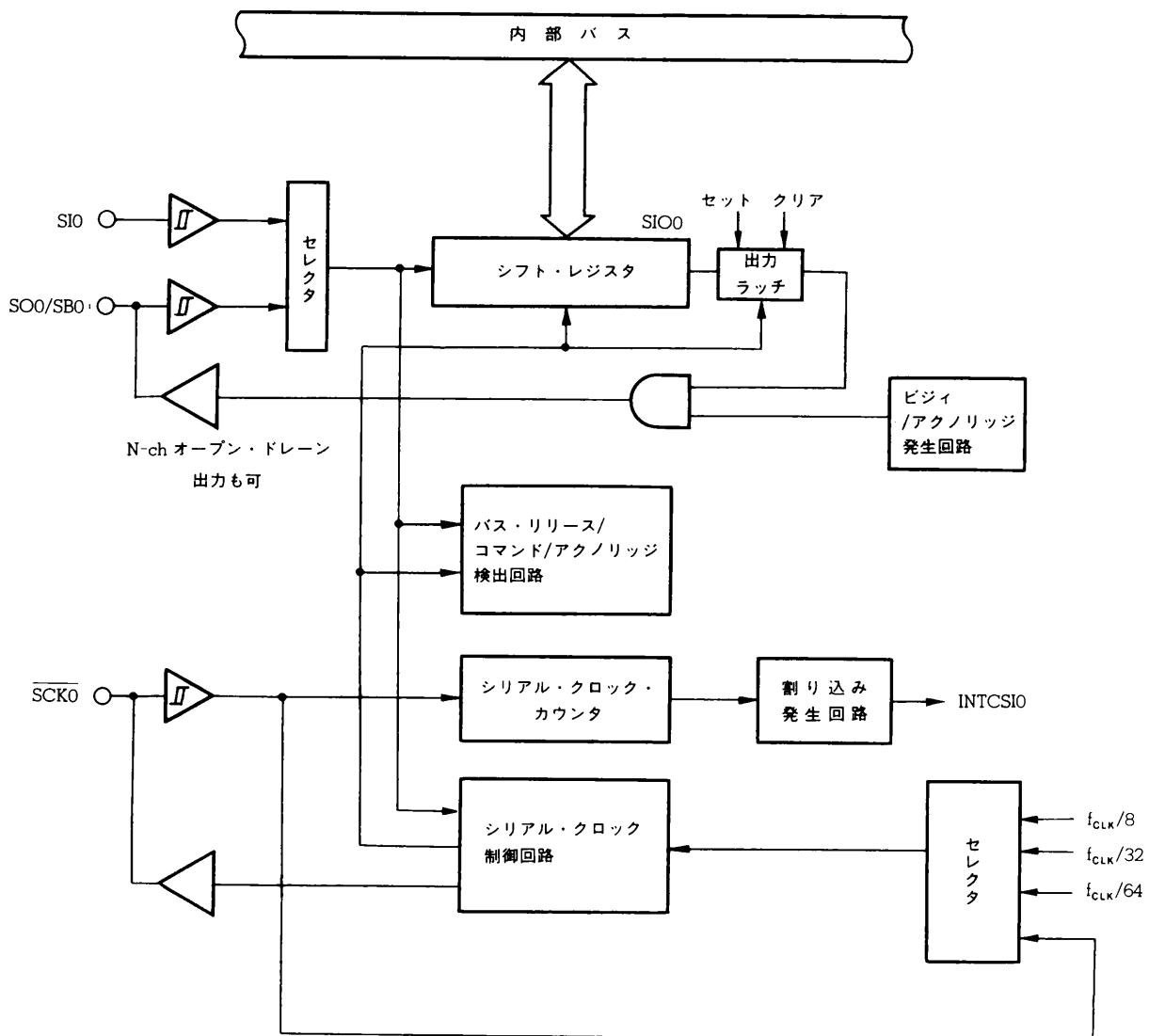
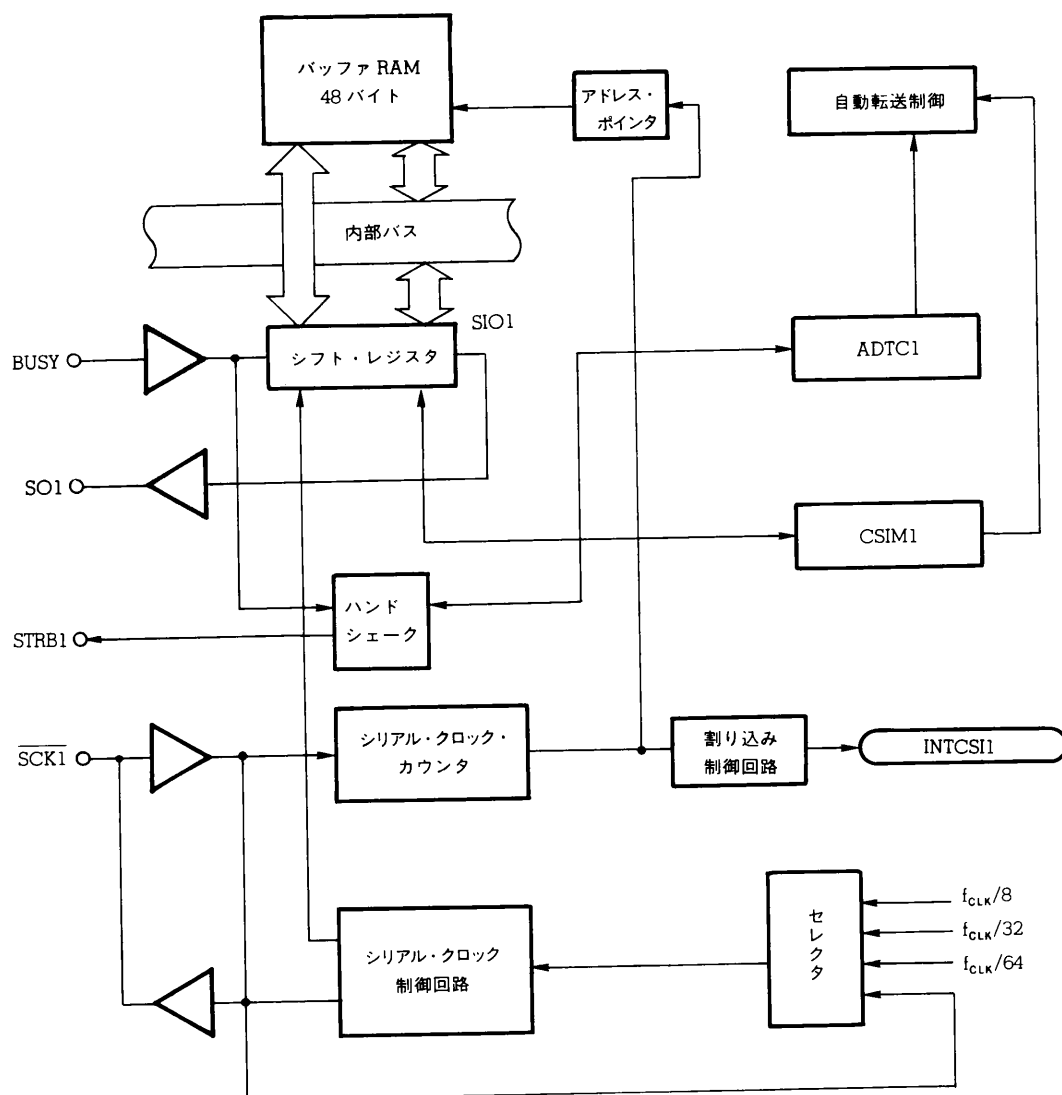


図3-11 シリアル・インタフェース・チャンネル1のブロック図



3.5 スーパ・タイマ・ユニット

μPD78148 は下記のタイマ・ユニットで構成されるスーパ・タイマ・ユニットを内蔵しています。

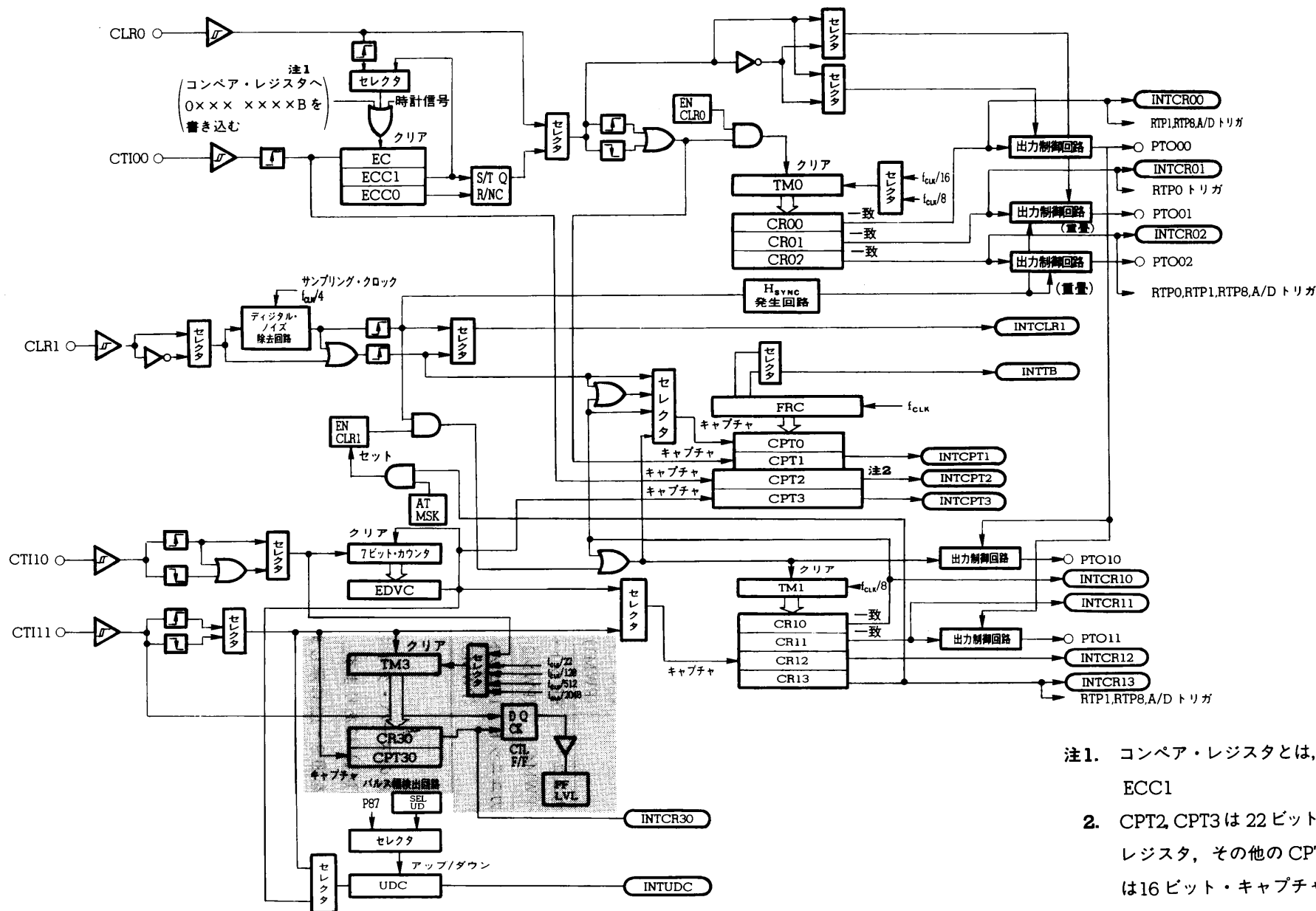
表 3-3 スーパ・タイマの構成

ユニット名	タイマ/カウンタ	レジスタ	備 考
タイマ 0	16ビット・タイマ×1 (TM0)	• 16ビット・コンペア・レジスタ×3	6ビット・イベント・カウンタ×1 内蔵 H _{SYNC} 発生回路内蔵
フリー・ランニング・カウンタ	22ビット・カウンタ×1 (FRC)	• 22ビット・キャプチャ・レジスタ×2 • 16ビット・キャプチャ・レジスタ×2	デジタル・ノイズ除去回路内蔵 ($\overline{V_{SYNC}}$ 分離回路)
タイマ 1	16ビット・タイマ×1 (TM1)	• 16ビット・コンペア・レジスタ×3 • 16ビット・キャプチャ・レジスタ×1	7ビット・イベント・ディバイダ×1 VISS/VASS 検出回路内蔵
	8ビット・カウンタ・レジスタ×1 (TM3)	• 8ビット・コンペア・レジスタ×1 • 8ビット・キャプチャ・レジスタ×1	
タイマ 2	16ビット・タイマ×1 (TM2)	• 16ビット・コンペア・レジスタ×1	インターバル・タイマとして使用可能
タイマ 4	8ビット・タイマ×1 (TM4)	• 8ビット・キャプチャ・コンペア・レジスタ×1 • 8ビット・キャプチャ・レジスタ×1	リモコン受信への応用が可能 (INTP2 によるキャプチャ機能)
タイマ 5	8ビット・タイマ×1 (TM5)	• 8ビット・コンペア・レジスタ×1	リアルタイム出力ポート出力トリガおよび A/D 変換開始トリガとして使用可能
アップ/ダウン・カウンタ	6ビット・アップ/ダウン・カウンタ (UDC)	• 6ビット・コンペア・レジスタ×1	リアルタイム・カウンタ用として使用可能
PWM 出力ユニット (PWM0, PWM1)	12ビット・カウンタ×1 (PWM0)	• 16ビット・モジュロ・レジスタ×1 (上位12ビット有効)	出力のアクティブ・レベル可変 キャリア周波数選択可能 (23.4 kHz/46.9 kHz)
	12ビット・カウンタ×1 (PWM1)	• 16ビット・モジュロ・レジスタ×1 (上位12ビット有効)	
PWM 出力ユニット (PWM2-PWM4)	8ビット・カウンタ×3 (PWM2-PWM4)	• 8ビット・モジュロ・レジスタ×3	キャリア周波数：5.9 kHz
PWM 出力ユニット (PWM5)	14ビット・カウンタ×1 (PWM5)	• 16ビット・モジュロ・レジスタ×1 (上位14ビット有効)	キャリア周波数：5.9 kHz 14ビット精度 PWM パルス

μPD78148 のスーパ・タイマ・ユニットの最大の特徴はタイマ 0(TM0)、フリー・ランニング・カウンタ (FRC)、タイマ 1 (TM1) にあります。

その構成を図 3-12 に示します。これらのタイマ・ユニットを使用することによって、VTR のソフトウェアによるサーボ制御やインデックス・サーチなどが容易に実現できます。

図 3-12 タイマ0, タイマ1, フリー・ランニング・カウンタのブロック図



3.5.1 スーパ・タイマ・ユニットの機能

(1) タイマ 0 (TMO) ユニット：16 ビット・タイマ

パルス出力のタイミング制御に適したタイマ・ユニットです。外部入力信号をトリガとしてパルス出力の出力タイミングをプログラマブルに遅延させることができます。パルス出力は 3 チャンネル取り出すことができ、VTR の音声、映像用ヘッドスイッチング信号などに使用できます。

また、タイマのカウント・クロックは、 $f_{CLK}/8$ 、 $f_{CLK}/16$ の 2 種類から選択できます。

タイマ 0 はリアルタイム出力ポート 0, 1, 8 の出力トリガ、A/D コンバータ 1 の変換トリガとして使用できます。

(2) タイマ 1 (TM1) ユニット：16 ビット・タイマ

内部処理の基準信号を生成するタイマ・ユニットです。外部トリガ入力による基準信号の生成や、パルス出力機能など、多様な応用が可能です。タイマ 0 のようにプログラマブル遅延パルス出力もできます。また、このユニット内は 8 ビット・タイマのタイマ 3 (TM3) を内蔵しています。このタイマ 3 は外部パルスのパルス幅検出や周期測定用として使用できます。

タイマ 1 と CR13 との一致タイミングで、タイマ 1 のクリア入力 (ENCLR1) のマスクを解除する機能を内蔵しているため、 $\overline{V_{SYNC}}$ のノイズによる誤動作防止をハードウェアで行います。

タイマ 1 はリアルタイム出力ポート 1 の出力トリガ、A/D コンバータ 1 の変換トリガとして使用できます。

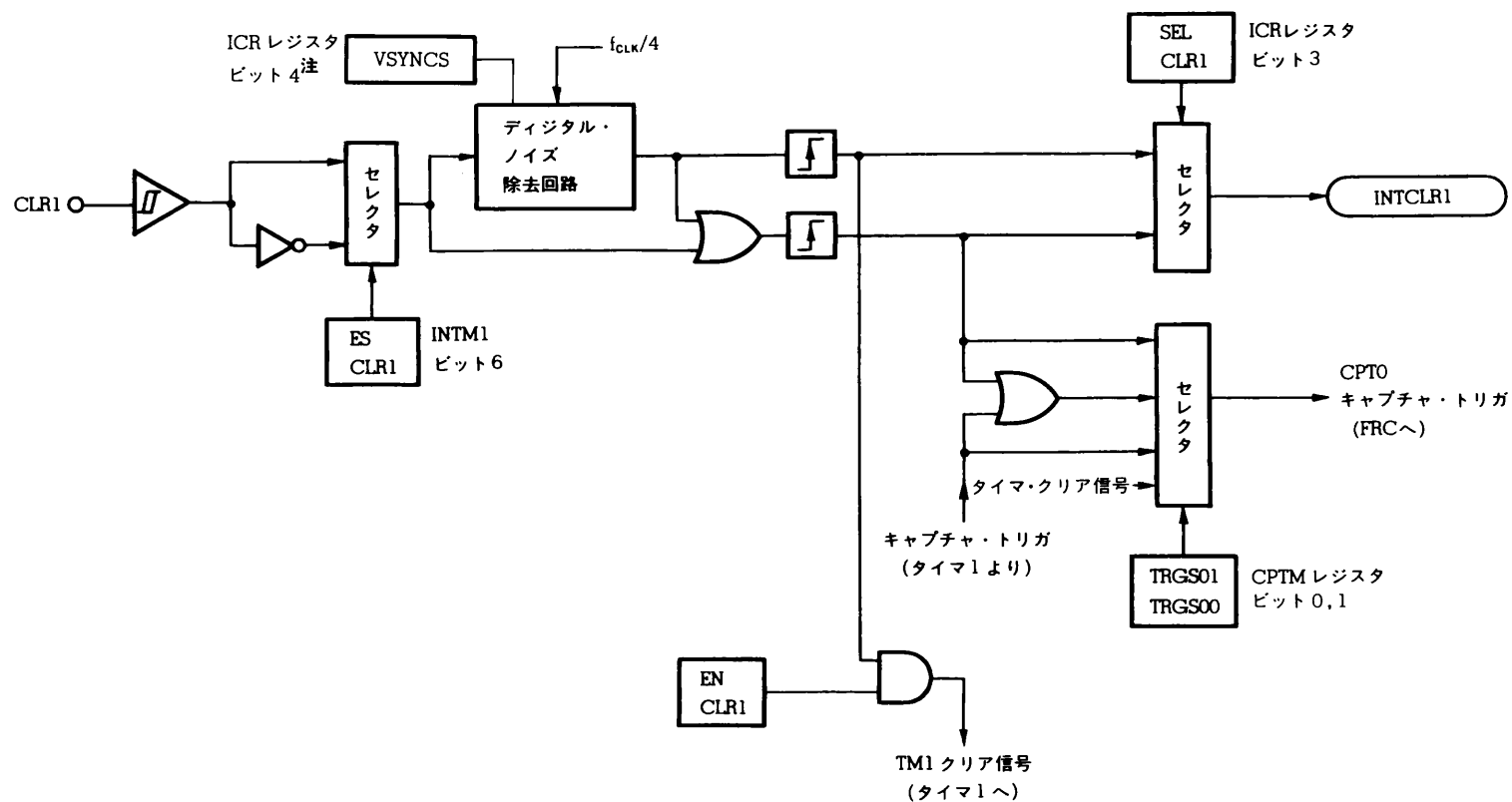
(3) フリー・ランニング・カウンタ (FRC) ユニット：22 ビット・カウンタ

外部パルスの周期測定に適したカウンタ・ユニットです。4 個のキャプチャ・レジスタを内蔵していますので、4 つのトリガに対して、それぞれ独立に周期測定が可能です。22 ビット・カウンタの採用により高速で回転する VTR のドラムやキャプスタンの速度、位相検出などを精度良く行えます。

デジタル・ノイズ除去回路 ($\overline{V_{SYNC}}$ 分離回路) を内蔵しており、除去パルス幅を 2 種類から選択できるため、なまりの大きい複合同期信号でも、確実に $\overline{V_{SYNC}}$ 分離できます。CLR1 入力部の構成を図 3-13 に示します。

保守／廃止

図3-13 CLR1 入力部の構成★



注 ノイズとして除去するパルス幅は、次の2通りから選択できます。

- $4/f_{CLK} \times 19$ 以下
- $4/f_{CLK} \times 31$ 以下

(4) タイマ 2 (TM2) ユニット : 16 ビット・タイマ

汎用の 16 ビット・タイマです。コンペア・レジスタとタイマ 2 の内容が一致すると、タイマ 2 は自動的にクリアされ、同時に割り込みを発生するインターバル・タイマとして機能します。

(5) タイマ 4 (TM4) ユニット : 8 ビット・タイマ

プリスケアラ付きの 8 ビット・タイマ・ユニットです。キャプチャ/コンペア・レジスタを 1 本とキャプチャ・レジスタを 1 本内蔵しています。キャプチャ時あるいはコンペア一致時に割り込みを発生します。
リモコン信号のデコードなどに使用できます。

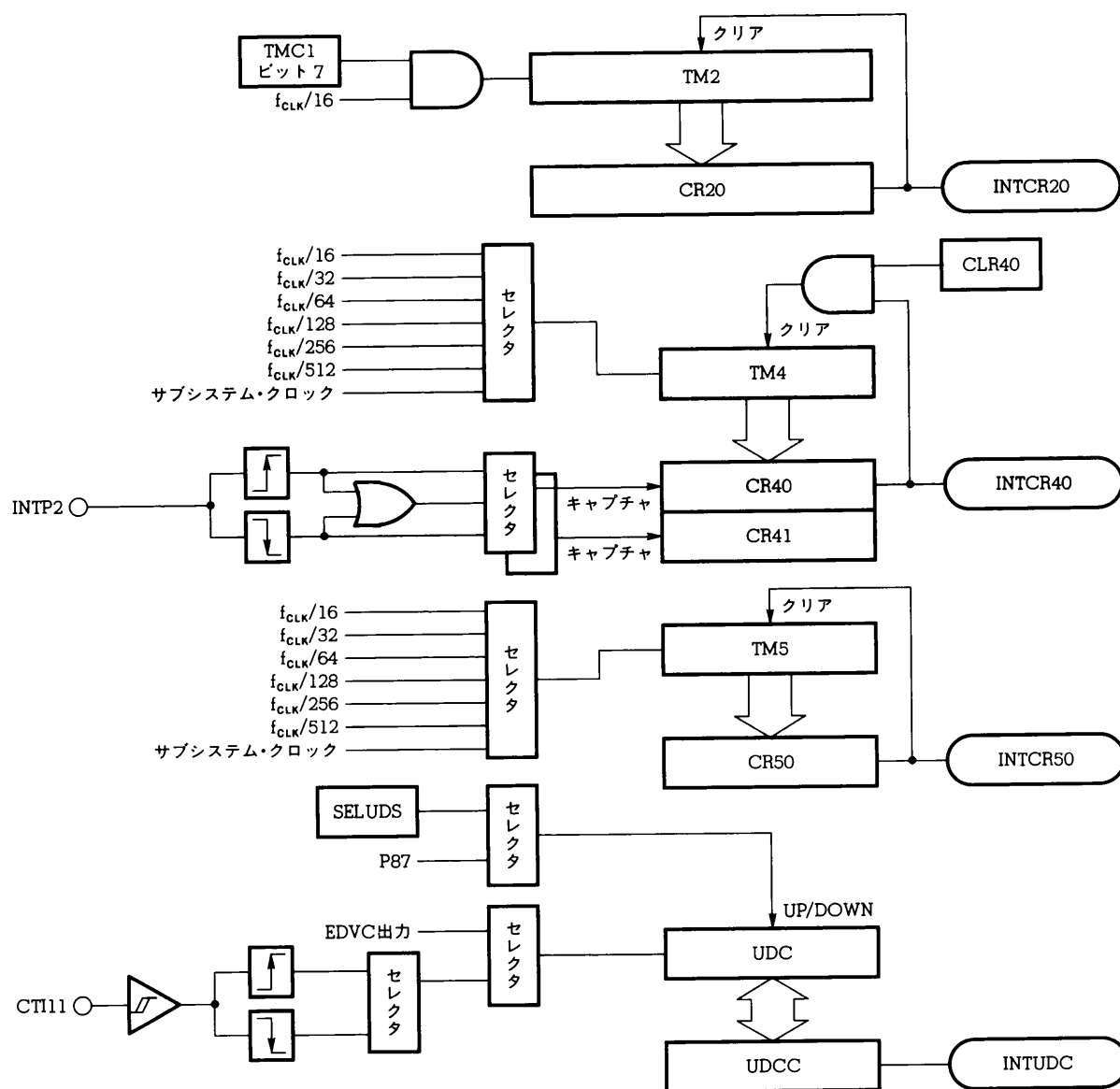
(6) タイマ 5 (TM5) ユニット : 8 ビットタイマ

プリスケアラ付きの汎用の 8 ビット・タイマ・ユニットです。コンペア・レジスタとタイマ 5 の内容が一致すると、タイマ 5 は自動的にクリアされ、同時に割り込みを発生するインターバル・タイマとして機能します。

(7) アップ/ダウン・カウンタ (UDC)

CTH11 入力パルスの有効エッジでカウント・アップ/ダウンする、6 ビット・アップ/ダウン・カウンタです。
VTR の応用としては、PBCTL 信号の数を計数してリニア・テープ・カウンタを実現できます。

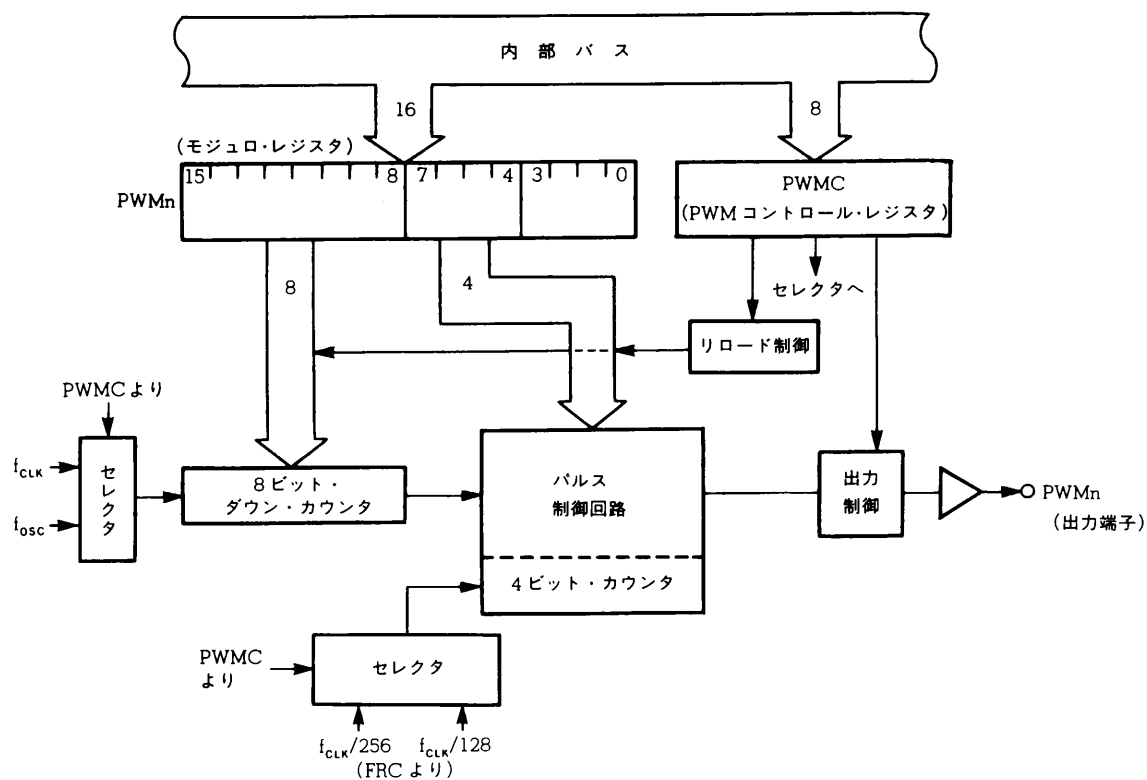
図3-14 タイマ2, タイマ4, タイマ5, アップ/ダウン・カウンタのブロック図★



(8) PWM 出力 (PWM0, PWM1) ユニット: 12 ビット PWM

12 ビット分解能の PWM (パルス幅変調) 出力ユニットです。キャリア周波数は 23.4 kHz/46.9 kHz を選択可能です。この出力は DC モータの速度制御用として最適です。

図 3-15 PWM 出力 (PWM0, PWM1) ユニット・ブロック図 (n=0, 1)

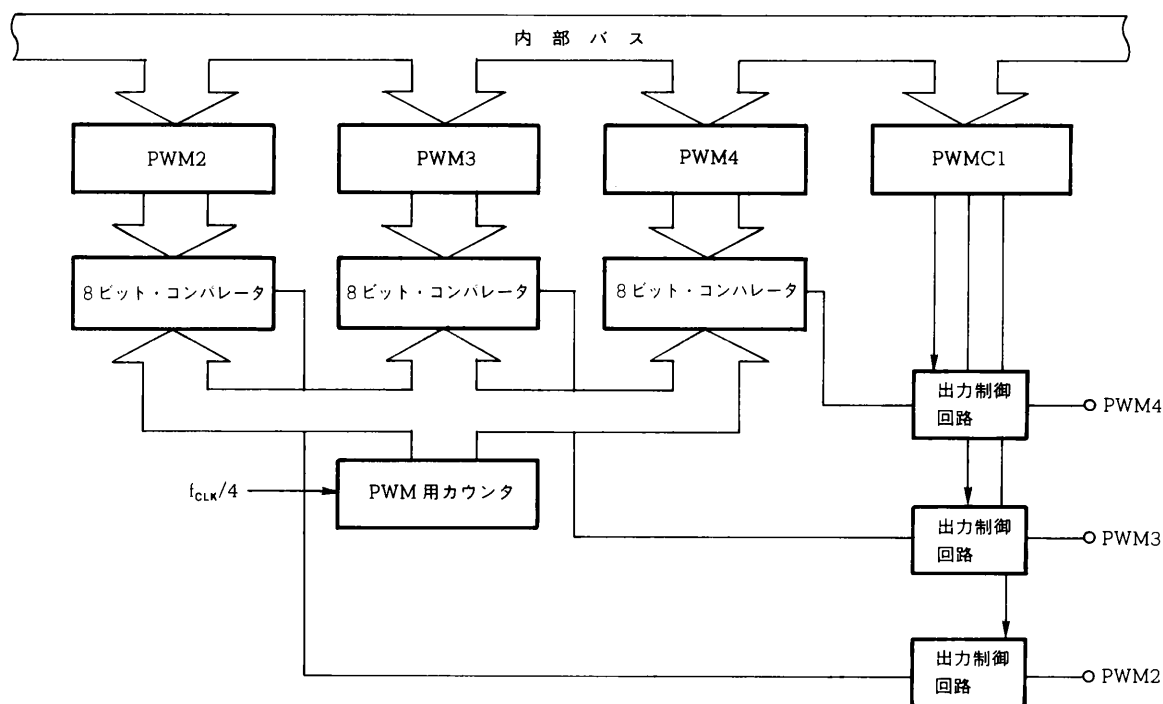


備考 $f_{CLK} = f_{OSC} / 2$

(9) PWM 出力 (PWM2-PWM4) ユニット : 8 ビット PWM

8 ビット分解能の PWM 出力ユニットです。キャリア周波数は 5.9 kHz です。汎用のアナログ出力として使用できます。

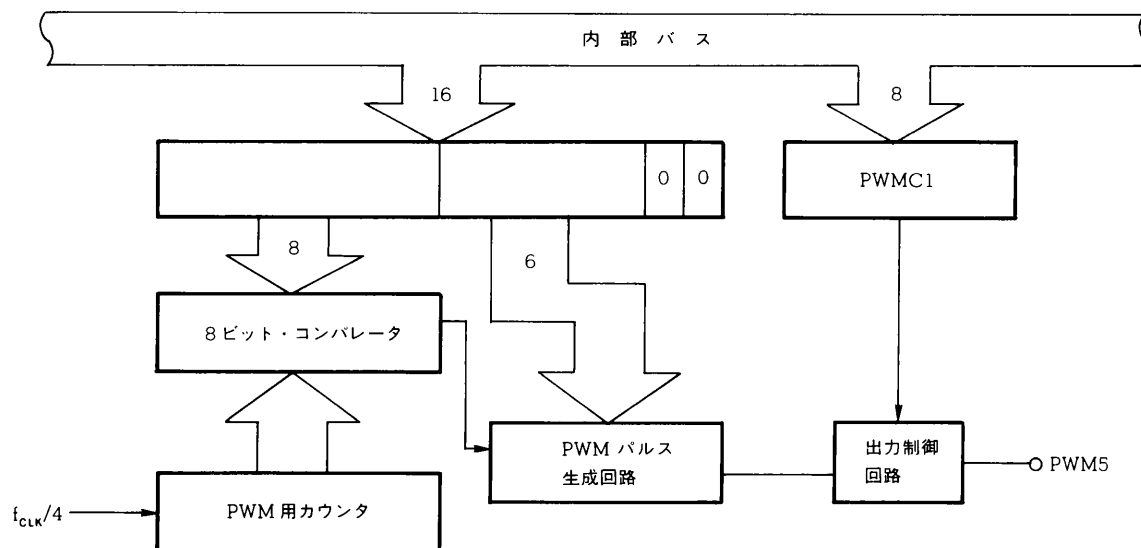
図 3-16 PWM 出力 (PWM2-PWM4) のブロック図



(10) PWM 出力 (PWM5) ユニット : 14 ビット PWM

14 ビット分解能の PWM 出力ユニットです。キャリア周波数は 5.9 kHz です。ボルテージ・シンセサイザなどの高精度のアナログ電圧を必要とする出力に使用できます。

図 3-17 PWM 出力 (PWM5) のブロック図



(11) RECCTL 書き込み

スーパ・タイマの出力端子 PTO10, PTO11 は RECCTL 信号の書き込みに使用できます。

CTL 信号の書き込みに使用する REC モードと、書き換えに使用する再書き込みモードの 2 種類のモードがあります。

再書き込みモードでは、CTL 信号の立ち上がりを書き換えず、立ち下がりのみ書き換えが可能になるように、ドライブ状態を徐々に移行することができます。

図 3-18 RECCTL 書き込み回路のブロック図

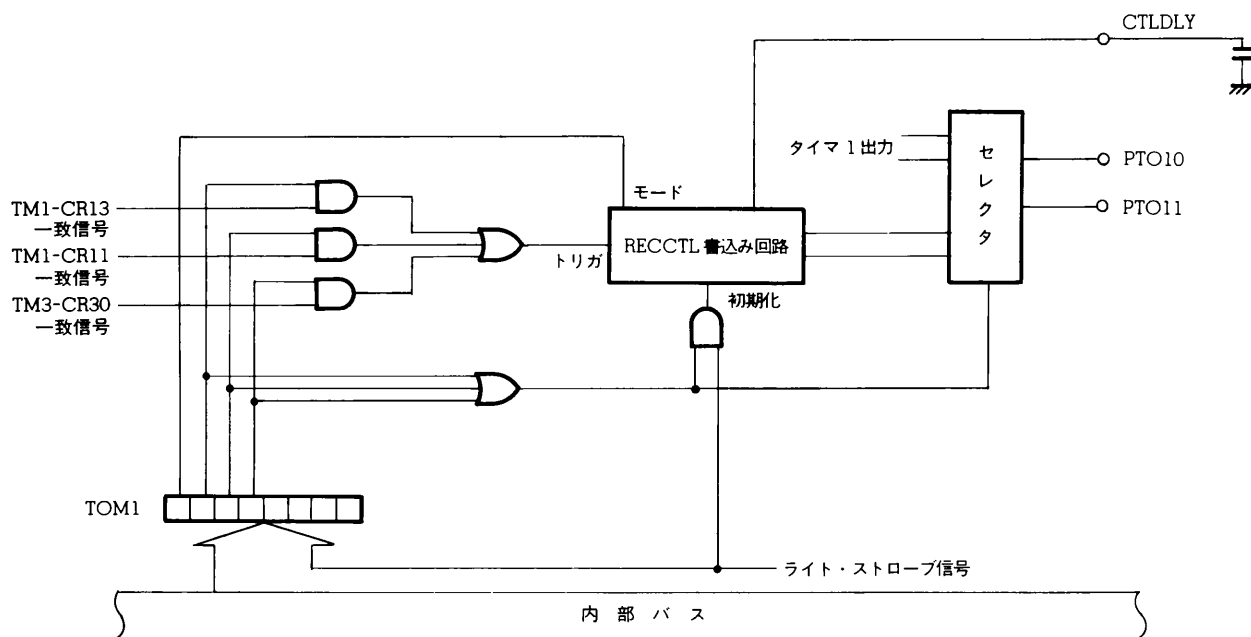


図 3-19 RECCTL 書き込みタイミング図

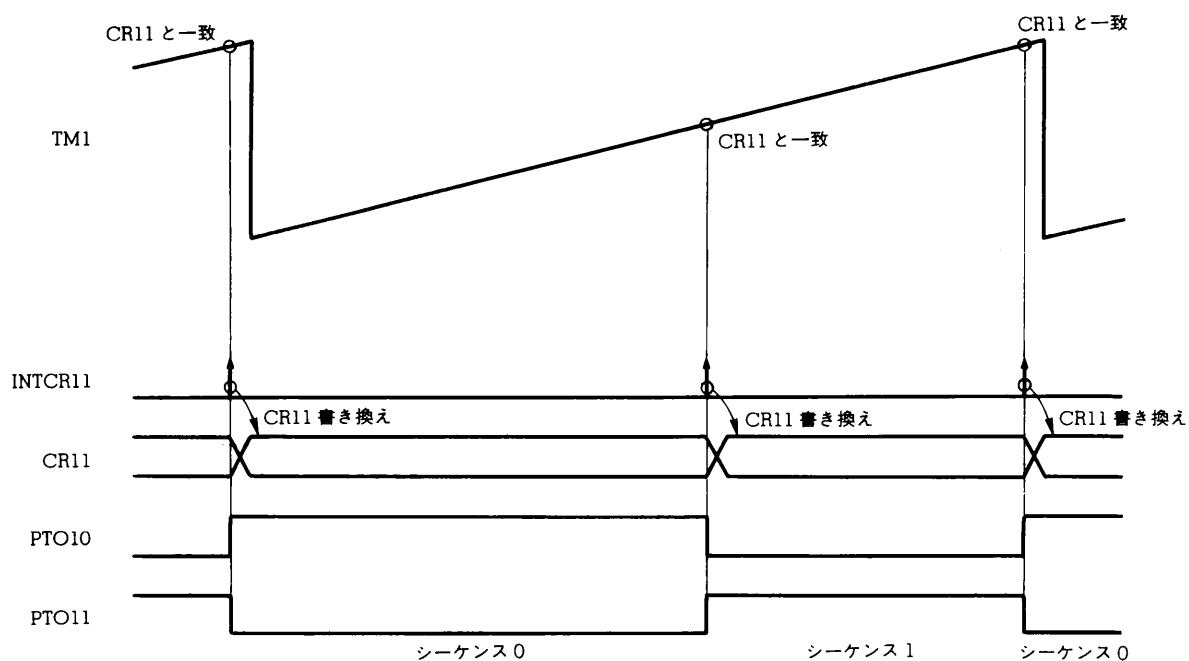
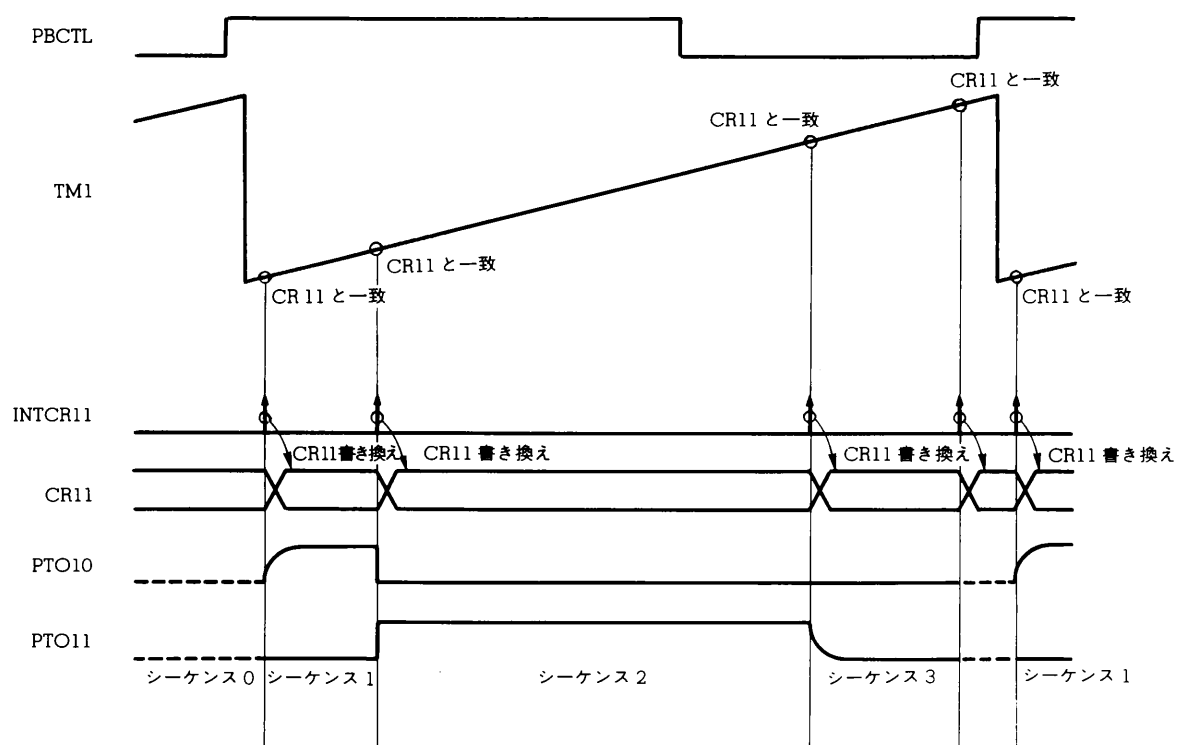


図 3-20 RECCTL 再書き込みタイミング図



3.6 アナログ回路

3.6.1 A/D コンバータ

μ PD78148 は15マルチプレクスト・アナログ入力 (ANIO-ANI14) を持つ, 8ビット高速, 高精度のアナログ/デジタル (A/D) コンバータを内蔵しています。図3-21にA/Dコンバータのブロック図を示します。

μ PD78148 は, A/D変換モード・レジスタ (ADM0, ADM1) と A/D変換結果レジスタ (ADCR0, ADCR1) をそれぞれ2個内蔵しているので, 2個の独立したA/Dコンバータとして扱うことができます。

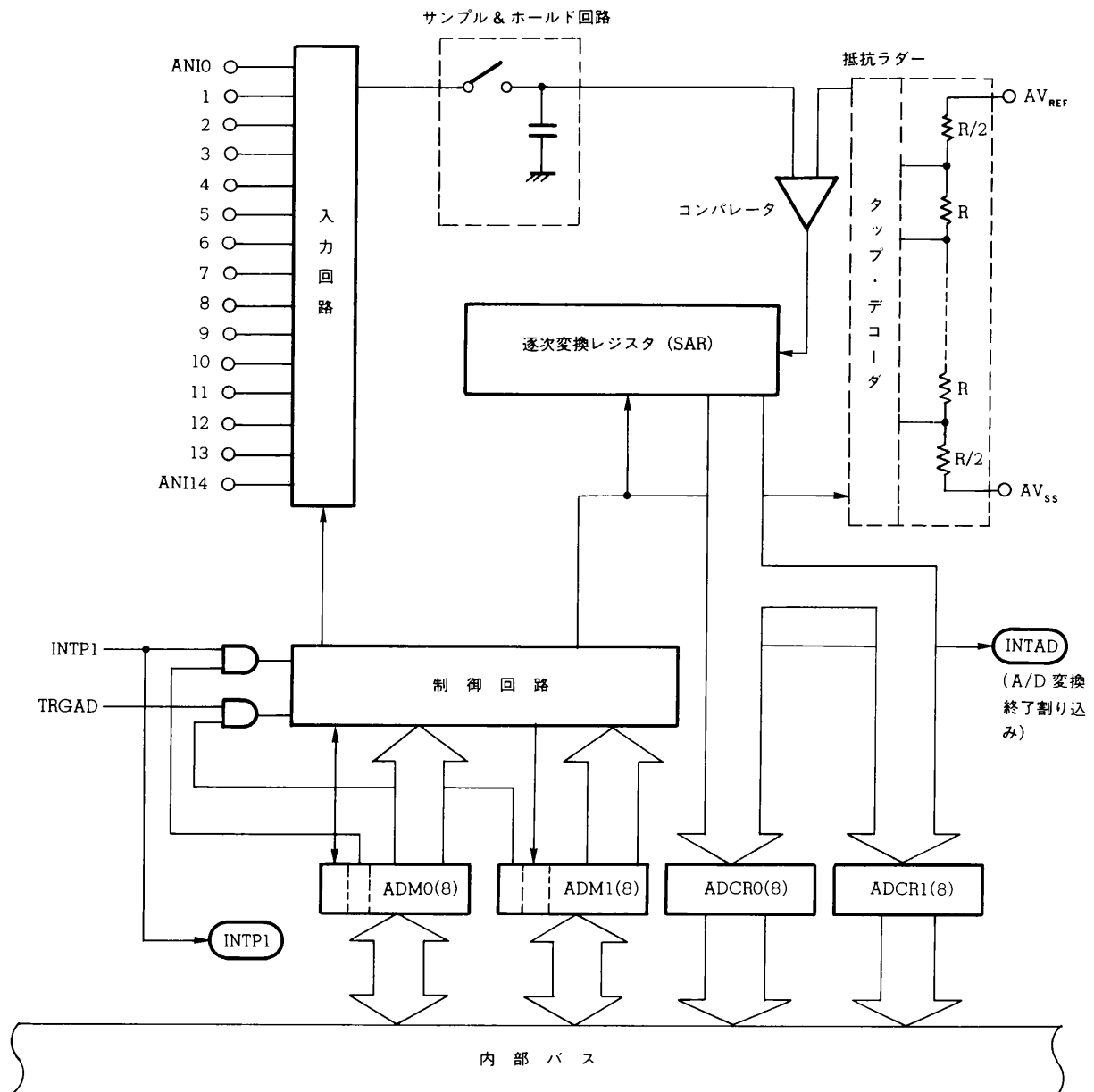
変換方式は逐次比較を採用しています。

A/Dコンバータは, 1本のアナログ入力を連続して変換するセレクト・モードと, 複数のアナログ入力を順次変換するスキャン・モードの2つの動作モードがあります。さらに外部割り込み要求信号に同期してA/D変換動作をスタートすることもできます。

変換時間は20 μ sec (12 MHz 動作時) です。

注意 いかなる場合でも, ANIO-ANI14 端子には AV_{REF} (A/Dコンバータ用基準電圧) を越える電圧を印可しないでください。

図 3-21 A/D コンバータのブロック図



3.6.2 オペアンプ

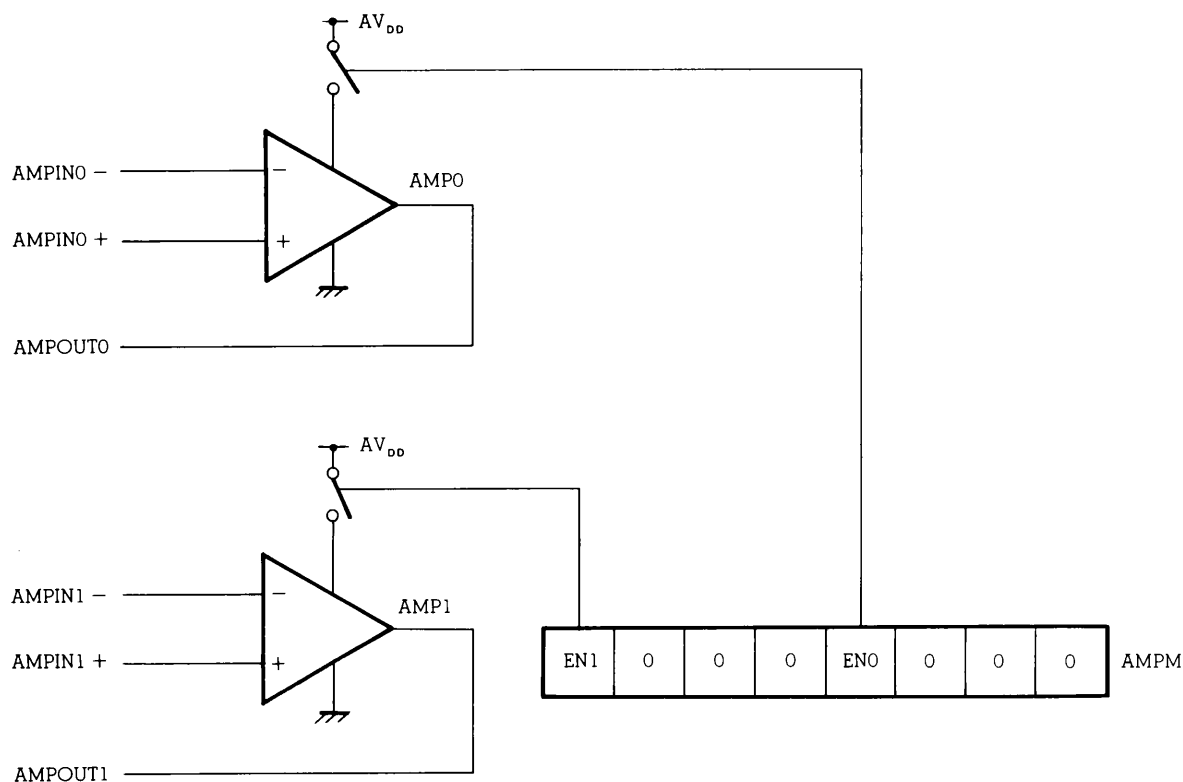
μPD78148 は反転入力端子、非反転入力端子、出力端子を持つオペアンプを 2 個内蔵しています。

オペアンプの動作/非動作は、モード・レジスタで設定することができるので、ソフトウェアにより制御できます。

スタンバイ・モード時など、消費電流を低減する必要があるときは、オペアンプを非動作モードにしてください。

図 3-22 にオペアンプのブロック図を示します。

図 3-22 オペアンプのブロック図



3.7 時計機能

μPD78148 は、時計用タイマのオーバーフロー信号を、ハードウェアで分周する時計機能を内蔵しています。クロックは、サブシステム・クロック^注を使用します。

この時計機能は、CPU と独立に動作するので、CPU をスタンバイ・モード (STOP モード) やリセット状態にしても動作することができます。さらに、 $V_{DD}=2.0\text{ V}$ での低電圧動作が可能です。

したがって、CPU をスタンバイ状態、またはリセット状態にして時計機能を動作することにより、低電圧、低消費電流の時計動作が実現できます。

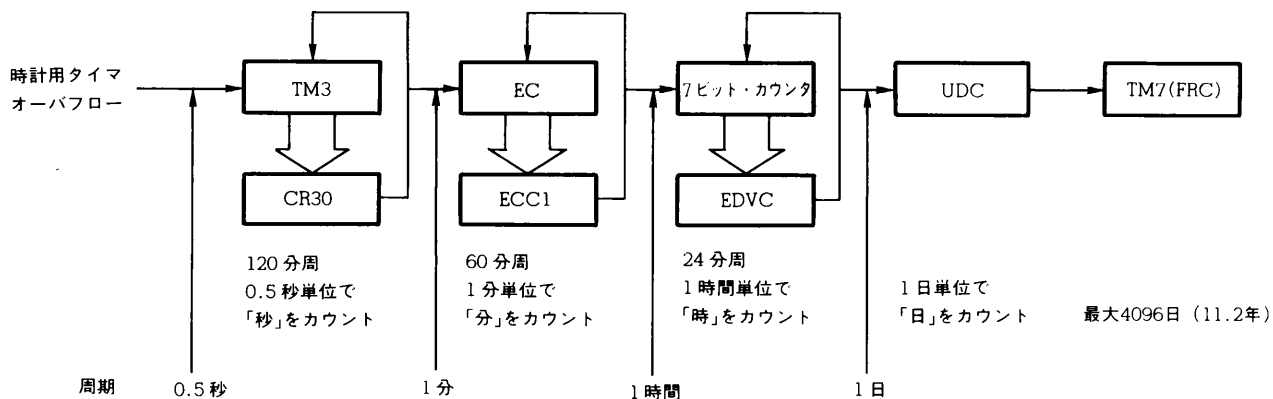
約10年分のカウント動作が可能です。

注 μPD78148 は、サブシステム・クロックを分周して一定時間間隔の信号を発生する分周回路を内蔵しておりますが、32.768 kHz (サブシステム・クロックの原発振) のクロックを分周した場合、オーバーフローを発生してから分周回路のカウントをクリアするまでに 1 クロック分 (約30.5 μs) 費やしてしまうために、INTW 割り込み発生が0.5秒に対して約30.5 μs 長くなります。サブシステム・クロックの発振周波数を 32.770 kHz に調整してください。

★

図 3-23 に時計機能のブロック図を示します。

図 3-23 時計機能のブロック図



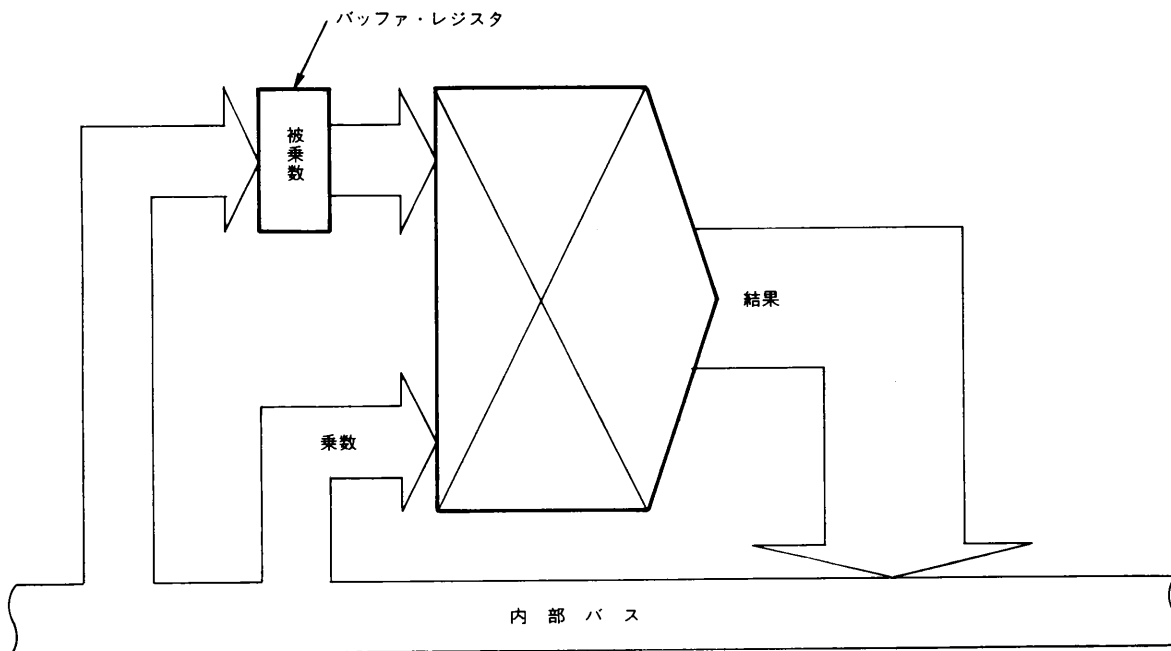
3.8 乗算器

μPD78148 は、補数16ビット×補数16ビットの乗算をハードウェアで行う高速乗算器を内蔵しています。

これにより、サーボ制御におけるデジタル・フィルタの演算時間を大幅に短縮できます（演算時間：2.67 μs）。

図 3-24 に乗算器のブロック図を示します。

図 3-24 乗算器のブロック図



4. 割り込み機能

μPD78148 は、内部、外部合わせて25要因という豊富な割り込み要求を処理できます。また、それぞれの割り込み要求に対して、ベクタ割り込みか、マクロ・サービスのいずれの処理を行うか、ソフトウェアで選択できるようになっています。

4.1 ベクタ割り込みとマクロ・サービス

(1) ベクタ割り込み

割り込みが受け付けられると、ベクタ・テーブル領域に格納されているデータ（ユーザが作成する割り込み処理プログラムの先頭アドレス）に従い、割り込み処理プログラムを実行します。

μPD78148 のベクタ割り込みは、ソフトウェアによって2レベルのプライオリティを指定できます。この機能により多重割り込みの制御を容易にします。

(2) マクロ・サービス

割り込みが受け付けられると、ファームウェアによってあらかじめファームウェアで設定されているサービスを実行します。

マクロ・サービスには次に示すようなものがあります。

- メモリと特殊レジスタ（SFR）とのデータの自動転送を行うデータ転送モード
- リアルタイム出力ポート0の機能を十分に発揮するためのリアルタイム出力ポート制御モード
- 割り込みの発生回数を計数するカウンタ・モード
- 外部から入力されるデータ列を識別するデータ・パターン識別モード

これらの処理は、CPU を介さずに行われるため、CPU のステータス（SP, PSW など）を退避/復帰する必要がありません。したがって、CPU のサービス時間を向上させる大きな効果があります。

4.2 割り込みソース

μPD78148 の割り込み要求ソースを表 4-1 に示します。各割り込みは、すべて割り込みベクタ・テーブルを備えています。また、マスカブル割り込みすべてが、マクロ・サービスを備えています。

表 4-1 割り込み要求ソースの種類

タイプ	デフォルト・プライオリティ	要 因		マクロ・サービス	ベクタ・テーブル・アドレス
		名称	ト リ ガ		
ノンマスカブル	—	NMI	端子入力エッジ検出	なし	0002H
マスカブル	0 (最高)	INTP0	端子入力エッジ検出	あり	0004H
	1	INTCPT3	EDVC 出力信号 (CPT3 キャプチャ)		0006H
	2	INTCPT2	CTI00 端子入力エッジ検出 (CPT2 キャプチャ)		0008H
	3	INTCR12	CTI11 端子入力エッジ検出/EDVC 出力信号(CPT12 キャプチャ)		000AH
	4	INTCR00	TM0-CR00 一致信号		000CH
	5	INTCLR1	CLR1 端子入力エッジ		000EH
	6	INTCR10	TM1-CR10 一致信号		0010H
	7	INTCR01	TM0-CR01 一致信号		0012H
	8	INTCR02	TM0-CR02 一致信号		0014H
	9	INTCR11	TM1-CR11 一致信号		0016H
	10	INTCPT1	端子入力エッジ検出/EC 出力信号 (CPT1 キャプチャ)		0018H
	11	INTCR20	TM2-CR20 一致信号		001AH
	12	INTCSI0	シリアル転送終了 (シリアル・インタフェース・チャンネル0)		001CH
	13	INTTB	FRC からのタイム・ベース		001EH
	14	INTAD	A/D コンバータ0変換終了		0020H
	15	INTP2	端子入力エッジ検出		0022H
	16	INTUDC	アップ/ダウン・カウンタのオーバフロー		0024H
	17	INTCR30	TM3-CR30 一致信号		0026H
	18	INTCR40	TM4-CR40 一致信号		0028H
	19	INTCR50	TM5-CR50 一致信号		002AH
	20	INTCR13	TM1-CR13 一致信号		002CH
	21	INTCSI1	シリアル転送終了 (シリアル・インタフェース・チャンネル1)		002EH
	22	INTW	時計用タイマのオーバフロー		0030H
	23 (最低)	INTP1	端子入力エッジ検出		0032H

EDVC : イベント・ディバイダ・コンペア・レジスタ

EC : イベント・カウンタ

CTI00, CTI11, CLR1 : キャプチャ・トリガ入力

TM× : タイマ1-5

CR×× : コンペア・レジスタ 00, 01, 02, 10, 11, 20, 30, 40, 50

FRC : フリー・ランニング・カウンタ

備考 デフォルト・プライオリティは同時に複数の割り込みが発生している場合に優先される順位です。

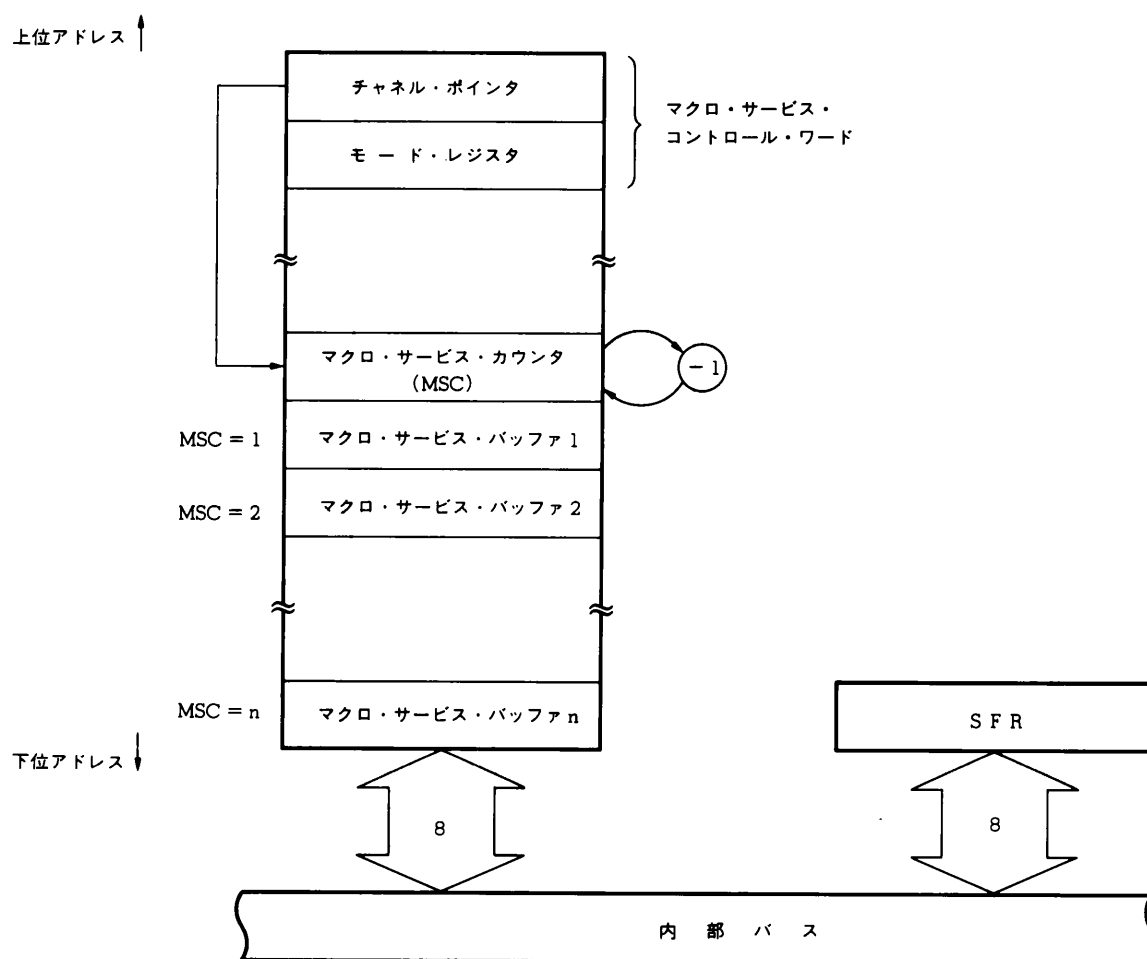
4.3 マクロ・サービスの種類

μPD78148 は、割り込み処理の一つとしてファームウェアによるマクロ・サービス機能を内蔵しています。マクロ・サービスには、4つの種類があり、これらはソフトウェアによって選択します。

(1) データ転送モード

割り込みの発生により、割り込みに対応した SFR とデータ・メモリ間で、8ビット・データの送受信をします。また割り込みが発生することにより、データ・メモリのアドレスが変化し、連続したデータを送受信できます。データ・メモリのアドレス (FE00H-FEFFFH のいずれか)、連続回数はソフトウェアで制御でき、その指定した連続回数が終了するとベクタ割り込みが発生します。

図 4-1 データ転送モードのアдресング



マクロ・サービス・バッファのアドレス (下位8ビット) = チャンネル・ポインタの内容 - マクロ・サービス・カウンタの内容

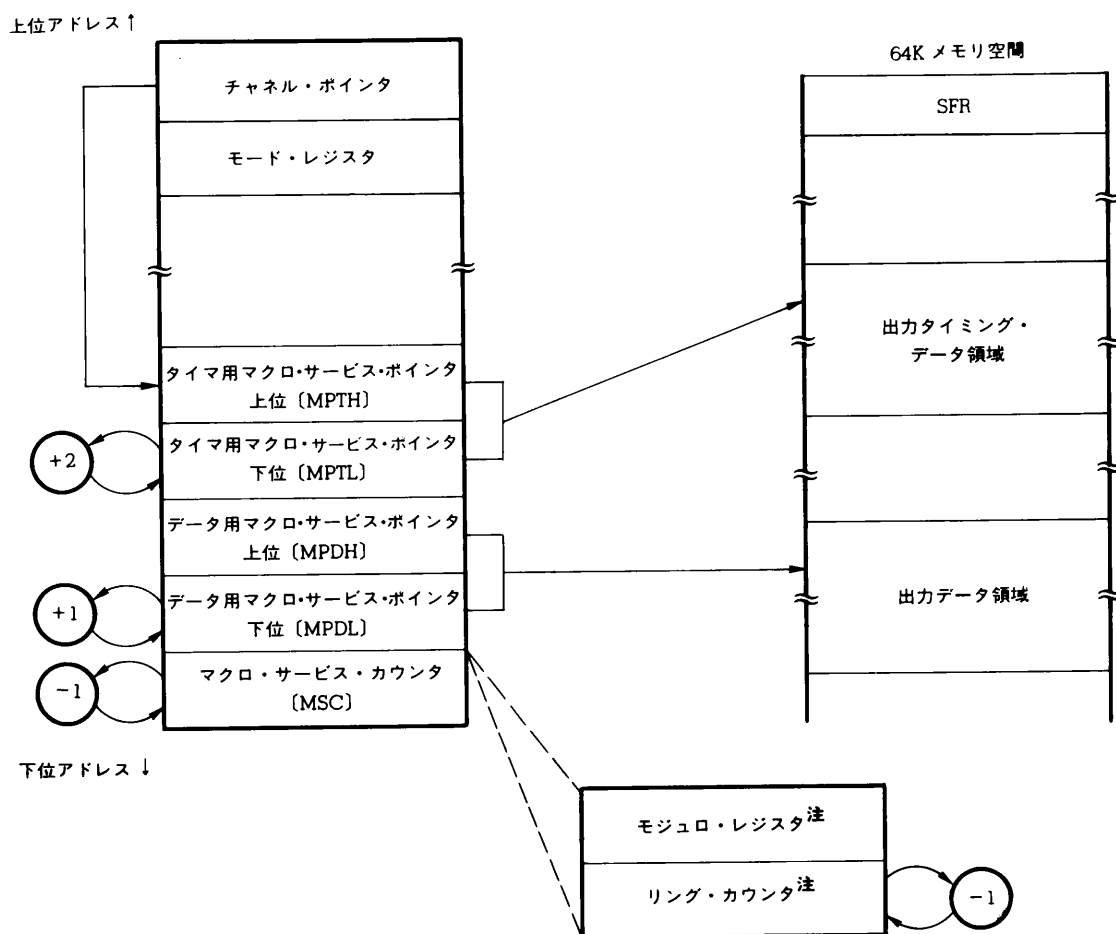
(2) リアルタイム出力ポート0制御モード

リアルタイム出力ポート0の出力トリガのうち INTCR01, INTCR02 が発生した場合に有効なマクロ・サービスです。これらの割り込みが発生すると出力パターン用プロファイル、出力タイミング用プロファイルが、それぞれバッファ・レジスタ (POL, POH), コンペア・レジスタ (CR01 または CR02) に転送されます。

各プロファイルのデータ転送が終了するとベクタ割り込みを発生します。

このマクロ・サービスによって、2チャンネルのステッピング・モータを独立に制御することや、PWM 出力、VTR におけるヘッド・スイッチング信号出力など幅広い応用が可能です。

図 4-2 リアルタイム出力ポート0制御モードのアドレッシング



注 モジュール・レジスタ、リング・カウンタは、リング制御の場合に挿入されます。

リング制御を使用しないモードを選択した場合は、この2つのレジスタ、カウンタは内蔵しません。

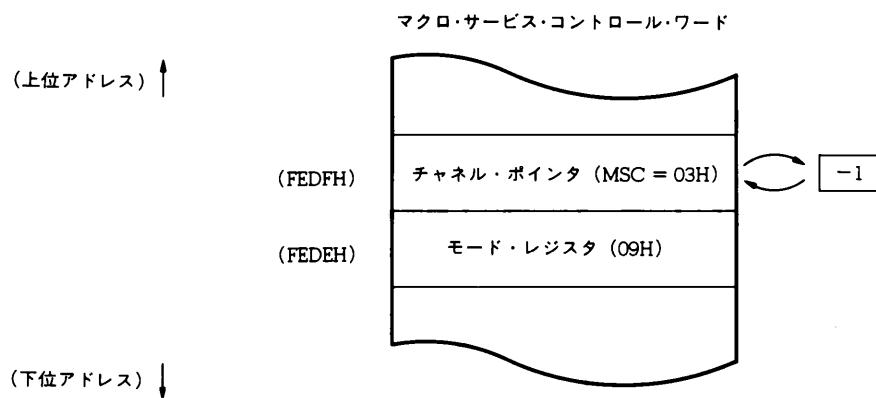
また、このモジュール・レジスタは、リング・カウンタ用です。リング・カウンタが0になると、モジュール・レジスタの内容をリロードします。

(3) カウンタ・モード

割り込み発生によって、マクロ・サービス・カウンタ（MSC）をデクリメントしてゆくモードで、割り込み発生回数のカウント動作や、割り込みの分周動作として使用できます。

カウンタが0になるとベクタ割り込みが発生します。

図 4-3 カウンタ・モードの動作例



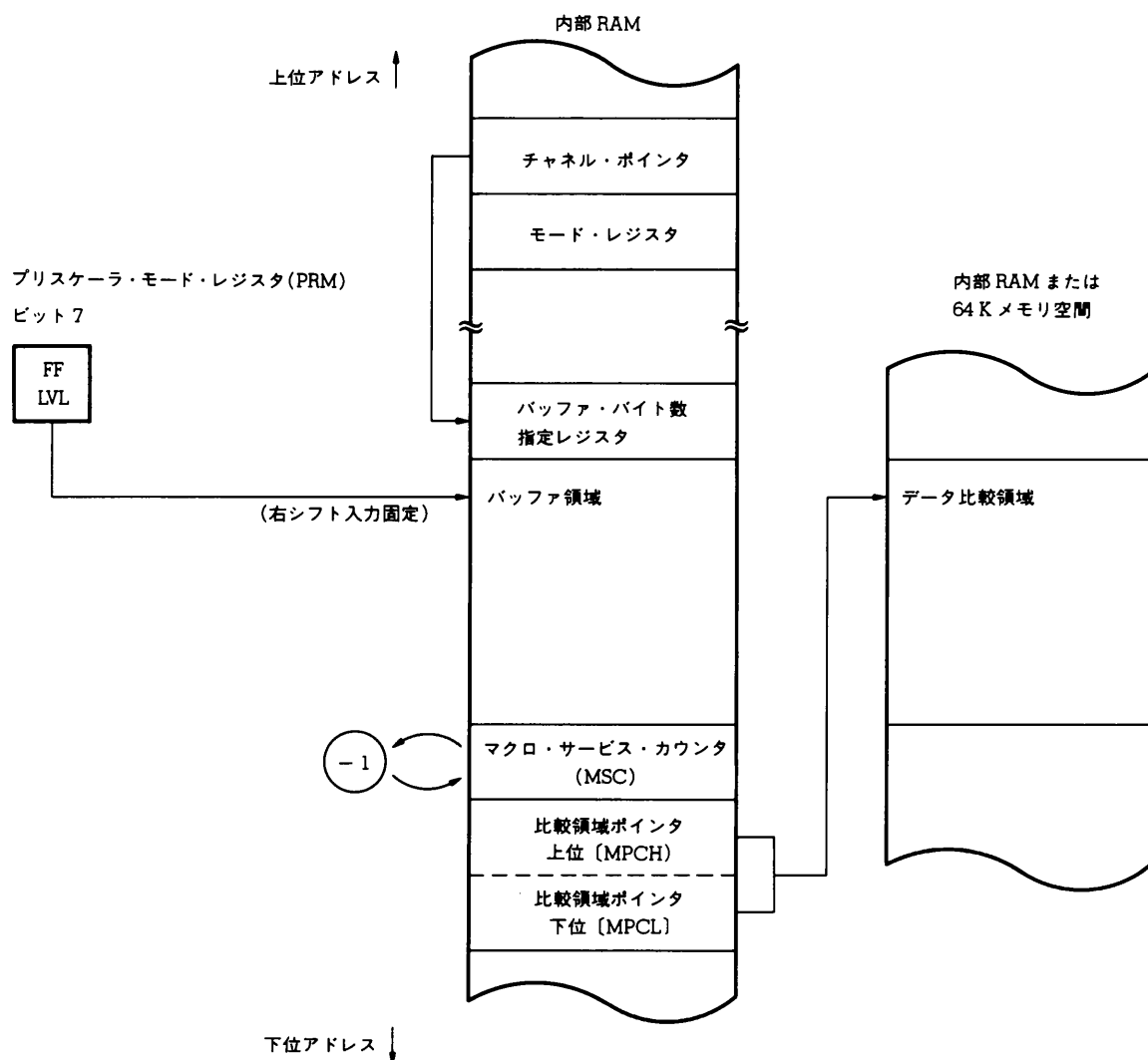
(4) データ・パターン識別モード (VTR などのインデックス・サーチ制御)

このマクロ・サービスは、INTCR12 または INTCR30 の発生によってコントロール F/F (CTL F/F) のデータをバッファ領域へ転送します。次にバッファ領域では転送されてきたデータを右シフト動作によって取り込みます。そして、取り込まれたバッファ領域のデータが、あらかじめ設定されている比較領域のデータと一致するとベクタ割り込みを発生するマクロ・サービスです (データ・パターン識別機能)。

このマクロ・サービスを応用することによって、VTR などのインデックス・サーチ (頭出し) 制御が容易に実現できます。また、ソフトウェアで設定したデータの取り込み回数を満足するだけでベクタ割り込みを発生することもできます。この場合、バッファ領域と比較領域のデータが一致する必要はありません。

注意 バッファ領域のデータ取り込みは右シフト固定です。

図 4-4 データ・パターン識別モードのアドレッシング



4.3.1 マクロ・サービスの種類と割り込み要求

マクロ・サービスは、割り込み要求ソースの種類によって実行できるマクロ・サービスのモードが決められています。その対応表を表4-2に示します。

表4-2 マクロ・サービスのモードと割り込み要求ソース

マクロ・サービスのモード	マクロ・サービスを実行できる 割り込み要求ソース
データ転送モード	INTCS10 INTCS11 INTAD INTCR30 INTCR40 INTCR50 INTUDC
リアルタイム出力ポート0 制御モード	INTCR01 INTCR02
カウンタ・モード	すべてのマスクابل割り込み要求
データ・パターン識別モード	INTCR12 INTCR30

5. スタンバイ機能

μPD78148 は、システムの消費電力を低減させることのできるスタンバイ機能を持っています。スタンバイ機能には次のような 2 つのモードがあります。

- HALT モード……CPU の動作クロックを停止させます。通常動作との間欠動作により、平均消費電力を低減できます。

サブシステム・クロックを CPU クロックとした場合は、メイン・システム・クロックの発振を停止し、HALT モードに設定することにより、さらに消費電力を低減させることができます。

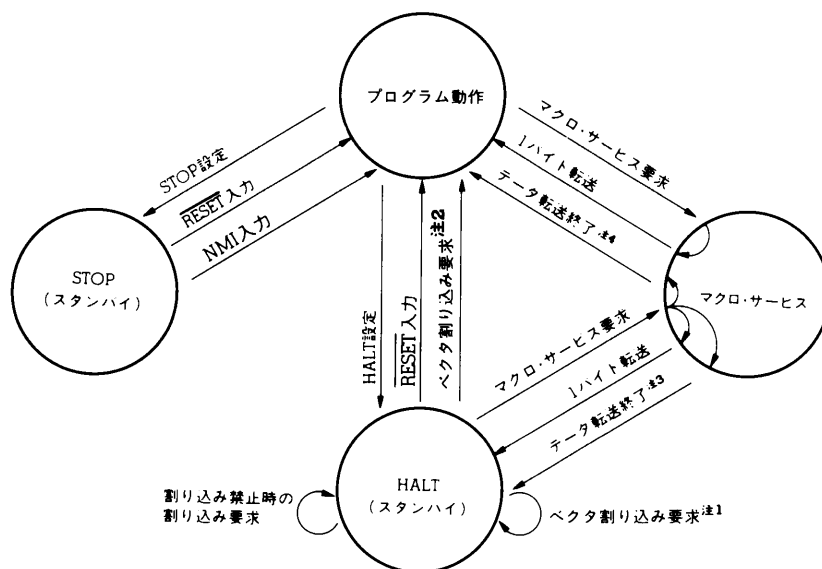
- STOP モード……メイン・システム・クロックの発振器を停止させ、システム全体が停止するモードです。

リーク電流だけの超低消費電力にすることができます。

サブシステム・クロックは停止しません。STOP モードでは時計機能のみ動作します。

これらのモードはプログラマブルです。

図 5-1 スタンバイ状態遷移



注1. 低優先レベルのベクタ割り込み要求の場合（HALT 設定時に低優先順位の割り込み禁止状態）。

2. 高優先レベルのベクタ割り込み要求の場合、または、HALT 設定時に低優先順位の割り込み許可状態の場合。

3. 低優先レベルのマクロ・サービスの場合（HALT 設定時に低優先順位の割り込み禁止状態）。

4. 高優先レベルのマクロ・サービスの場合、または、HALT 設定時に低優先順位の割り込み許可状態の場合。

6. リセット機能

$\overline{\text{RESET}}$ 入力端子にロウ・レベルが入力されると、システム・リセットがかかり、各ハードウェアは、表 6-1 に示すような状態になります。また、メイン・システム・クロックは無条件に発振を停止します。

$\overline{\text{RESET}}$ 入力がロウ・レベルからハイ・レベルになると、リセット状態が解除され、発振安定用タイマのカウント時間（約22 ms:12 MHz 動作時）のあと、リセット・ベクタ・テーブルの内容がプログラム・カウンタ PC にセットされ、PC にセットされたアドレスに分岐し、その分岐先のアドレスからプログラムの実行を開始します。したがって、任意のアドレスからリセット・スタートできます。

$\overline{\text{RESET}}$ 入力端子は、ノイズによる誤動作を防ぐため、アナログ・ディレイによるノイズ除去回路を内蔵しています。

図 6-1 リセット信号の受け付け

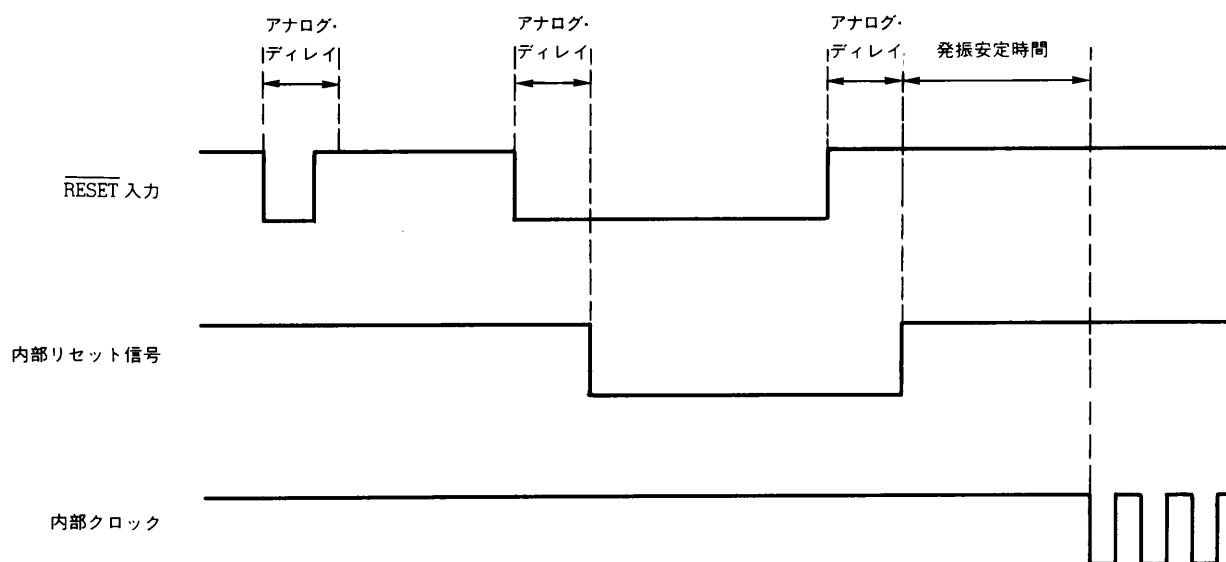


表 6-1 各ハードウェアのリセット中、リセット後の状態

ハードウェア		リセット中の状態 (RESET=L)	リセット後の状態 (RESET=H)
メイン・システム・ クロック発振回路		発振を停止する	発振を開始する
サブシステム・ クロック発振回路		リセットの影響を受けない	
プログラム・カウンタ (PC)		不 定	リセット・ベクタ・テーブルの値をセット
スタック・ポインタ (SP)		不 定	
プログラム・ステータス・ ワード (PSW)		02H にイニシャライズ	
内蔵 RAM		不定。ただし、スタンバイ状態をリセットで解除した場合には、スタンバイ設定前の値を保持する。	
I/O ライン		入力バッファ, 出力バッファを OFF にする。	ハイ・インピーダンス ただし、P60-63 はロウ・レベルを出力
時計用タイマ		リセットの影響を受けない	
スーパー・ タイマ・ ユニット	TM3, EC TM6, UDC TM7	時計機能モードに設定しているときは、リセットの影響を受けない。 設定していない場合には、リセットにより初期化する。	
上記以外		所定の状態に初期化する ^注	
アナログ回路		電流経路を遮断する	所定の状態に初期化する ^注
その他のハードウェア		所定の状態に初期化する ^注	

注 表 2-3 特殊機能レジスタ (SFR) 一覧のリセット解除後を参照。

7. 命令のオペレーション

(1) オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述します（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および+, #, !, \$, /, [] 記号はキー・ワードであり、そのまま記述します。これらの記号の意味は、次のとおりです。

- + : オートインクリメント
- # : イミディエト・データ
- ! : イミディエト・アドレッシングによるアドレス
- \$: レラティブ・アドレッシングによるアドレス
- / : ビット反転
- [] : 間接アドレッシング

イミディエト・データの場合は、適当な数値またはレーベルを記述します。レーベルで記述する際も、+, #, !, \$, /, [] 記号は必ず記述してください。

表現形式	記 述 方 法
r, r'	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
r1	A, B
r2	B, C
r3	D, E, E+
r4	D, E
rp, rp'	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号
sfrp	特殊機能レジスタ略号(16ビット操作可能レジスタ)
saddr	FE20H-FF1FH イミディエト・データまたはレーベル
saddrp	FE20H-FF1EH イミディエト・データまたはレーベル (16ビット操作時)
laddr16	0000H-FFFFH イミディエト・データまたはレーベル；イミディエト・アドレッシング
\$addr16	0000H-FFFFH イミディエト・データまたはレーベル；レラティブ・アドレッシング
addr11	800H-FFFFH イミディエト・データまたはレーベル
addr5	40H-7EH イミディエト・データ(ただし, bit0=0)またはレーベル
word	16ビット・イミディエト・データまたはレーベル
byte	8ビット・イミディエト・データまたはレーベル
bit	3ビット・イミディエト・データまたはレーベル
n	3ビット・イミディエト・データ(0-7)
RBn	RB0-RB3

備考1. r, r', rp, rp' は、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに、絶対名称 (R0-R7, RP0-RP3) でも記述可能です。

2. イミディエト・アドレッシングは、全空間をアドレス可能。レラティブ・アドレッシングは、次に続く命令の先頭アドレスから-128~+127の範囲のみアドレス可能。

(2) オペレーション説明上の凡例

A	: Aレジスタ ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
RO-R7	: レジスタ 0-レジスタ 7 (絶対名称)
AX	: レジスタ・ペア (AX) ; 16ビット・アキュムレータ
BC	: レジスタ・ペア (BC)
DE	: レジスタ・ペア (DE)
HL	: レジスタ・ペア (HL)
RP0-RP3	: レジスタ・ペア 0-レジスタ・ペア 3 (絶対名称)
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS0-RBS1	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
STBC	: スタンバイ・コントロール・レジスタ
()	: () 内のアドレスまたはレジスタの内容で示されるメモリの内容
××H	: 16進数
× _H , × _L	: 16ビット・レジスタ・ペアの上位8ビット, 下位8ビット

7.1 命令セット一覧 (アルファベット順)

命 令	命 令	命 令
ADD A, saddr	BF PSW.bit, \$addr16	DEC r
ADD A, sfr	BF saddr.bit, \$addr16	DEC saddr
ADD A, #byte	BF sfr.bit, \$addr16	DECW rp
ADD A, [DE]	BF X.bit, \$addr16	DI
ADD A, [HL]	BL \$addr16	DIVUW r
ADD A, [r4]	BNC \$addr16	EI
ADD A, word [r1]	BNE \$addr16	INC r
ADD r, r	BNL \$addr16	INC saddr
ADD saddr, #byte	BNZ \$addr16	INCW rp
ADD sfr, #byte	BR rp	MOV A, PSW
ADDC A, saddr	BR laddr16	MOV A, r
ADDC A, sfr	BR \$addr16	MOV A, saddr
ADDC A, #byte	BT A.bit, \$addr16	MOV A, sfr
ADDC A, [DE]	BT PSW.bit, \$addr16	MOV A, word [r1]
ADDC A, [HL]	BT saddr.bit, \$addr16	MOV A, [DE]
ADDC A, [r4]	BT sfr.bit, \$addr16	MOV A, [DE+]
ADDC A, word [r1]	BT X.bit, \$addr16	MOV A, [HL]
ADDC r, r	BTCLR A.bit, \$addr16	MOV A, [HL+]
ADDC saddr, #byte	BTCLR PSW.bit, \$addr16	MOV A, [r3]
ADDC sfr, #byte	BTCLR saddr.bit, \$addr16	MOV A, laddr16
ADDW AX, rp	BTCLR sfr.bit, \$addr16	MOV PSW, A
ADDW AX, saddrp	BTCLR X.bit, \$addr16	MOV PSW, #byte
ADDW AX, sfrp	BZ \$addr16	MOV r, r
ADDW AX, #word	CALL laddr16	MOV r, #byte
ADJBA	CALL rp	MOV saddr, A
ADJBS	CALLF laddr11	MOV saddr, #byte
AND A, saddr	CALLT [addr5]	MOV sfr, A
AND A, sfr	CLR1 A.bit	MOV sfr, #byte
AND A, #byte	CLR1 CY	MOV STBC, #byte
AND A, [DE]	CLR1 PSW.bit	MOV word [r1], A
AND A, [HL]	CLR1 saddr.bit	MOV [DE], A
AND A, [r4]	CLR1 sfr.bit	MOV [DE+], A
AND A, word [r1]	CLR1 X.bit	MOV [HL], A
AND saddr, #byte	CMP A, saddr	MOV [HL+], A
AND sfr, #byte	CMP A, sfr	MOV [r3], A
AND r, r	CMP A, #byte	MOV laddr16, A
AND1 CY, A.bit	CMP A, [DE]	MOVW AX, saddrp
AND1 CY, PSW.bit	CMP A, [HL]	MOVW AX, sfrp
AND1 CY, saddr.bit	CMP A, [r4]	MOVW AX, SP
AND1 CY, sfr.bit	CMP A, word [r1]	MOVW rp, rp
AND1 CY, X.bit	CMP r, r	MOVW rp, #word
AND1 CY, /A.bit	CMP saddr, #byte	MOVW saddrp, AX
AND1 CY, /PSW.bit	CMP sfr, #byte	MOVW saddrp, #word
AND1 CY, /saddr.bit	CMPW AX, rp	MOVW sfrp, AX
AND1 CY, /sfr.bit	CMPW AX, saddrp	MOVW sfrp, #word
AND1 CY, /X.bit	CMPW AX, sfrp	MOVW SP, AX
BC \$addr16	CMPW AX, #word	MOVW SP, #word
BE \$addr16	DBNZ r2, \$addr16	MOV1 A.bit, CY
BF A.bit, \$addr16	DBNZ saddr, \$addr16	MOV1 CY, A.bit

命 令	命 令	命 令
MOV1 CY, PSW.bit	OR1 CY, /X.bit	SUBC A, #byte
MOV1 CY, saddr.bit	PUSH PSW	SUBC A, [DE]
MOV1 CY, sfr.bit	PUSH rp	SUBC A, [HL]
MOV1 CY, X.bit	POP PSW	SUBC A, [r4]
MOV1 PSW.bit, CY	POP rp	SUBC A, word [r1]
MOV1 saddr.bit, CY	RET	SUBC r, r
MOV1 sfr.bit, CY	RETI	SUBC saddr, #byte
MOV1 X.bit, CY	ROL r, n	SUBC sfr, #byte
MULSWr	ROLc r, n	SUBW AX, rp
MULUWr	ROL4 [r4]	SUBW AX, saddrp
NOP	ROR r, n	SUBW AX, sfrp
NOT1 A.bit	RORC r, n	SUBW AX, #word
NOT1 CY	ROR4 [r4]	XCH A, r
NOT1 PSW.bit	SEL RBn	XCH A, saddr
NOT1 saddr.bit	SET1 A.bit	XCH A, sfr
NOT1 sfr.bit	SET1 CY	XCH A, [DE]
NOT1 X.bit	SET1 PSW.bit	XCH A, [HL]
OR A, saddr	SET1 saddr.bit	XCH A, [r4]
OR A, sfr	SET1 sfr.bit	XCH A, word [r1]
OR A, #byte	SET1 X.bit	XOR A, saddr
OR A, [DE]	SHL r, n	XOR A, sfr
OR A, [HL]	SHLW rp, n	XOR A, #byte
OR A, [r4]	SHR r, n	XOR A, [DE]
OR A, word [r1]	SHRW rp, n	XOR A, [HL]
OR r, r	SUB A, saddr	XOR A, [r4]
OR saddr, #byte	SUB A, sfr	XOR A, word [r1]
OR sfr, #byte	SUB A, #byte	XOR r, r
OR1 CY, A.bit	SUB A, [DE]	XOR saddr, #byte
OR1 CY, PSW.bit	SUB A, [HL]	XOR sfr, #byte
OR1 CY, saddr.bit	SUB A, [r4]	XOR1 CY, A.bit
OR1 CY, sfr.bit	SUB A, word [r1]	XOR1 CY, PSW.bit
OR1 CY, X.bit	SUB r, r	XOR1 CY, saddr.bit
OR1 CY, /A.bit	SUB saddr, #byte	XOR1 CY, sfr.bit
OR1 CY, /PSW, bit	SUB sfr, #byte	XOR1 CY, X.bit
OR1 CY, /saddr.bit	SUBC A, saddr	
OR1 CY, /sfr.bit	SUBC A, sfr	

注意 命令セットの詳細については、別冊のμPD78148 ユーザーズ・マニュアル (IEU-764) および
μPD78148 インストラクション・セット (IEM-5536) を参照してください。

8. 電気的特性

絶対最大定格 ($T_A = 25^\circ\text{C}$)

項 目	略号	条 件	定 格	単位
電源電圧	V_{DD}	$ V_{DD} - AV_{DD} \leq 0.5 \text{ V}$	$-0.5 \sim +7.0$	V
	AV_{DD}		$-0.5 \sim +7.0$	V
	AV_{REF}	$V_{DD} \geq AV_{DD}$	$-0.5 \sim AV_{DD} + 0.3$	V
		$V_{DD} < AV_{DD}$	$-0.5 \sim V_{DD} + 0.3$	V
	AV_{SS}		$-0.5 \sim +0.5$	V
入力電圧	V_I		$-0.5 \sim V_{DD} + 0.5$	V
アナログ入力電圧 (ANIO-ANI14)	V_{IAN}	$V_{DD} \geq AV_{DD}$	$-0.5 \sim AV_{DD} + 0.5$	V
		$V_{DD} < AV_{DD}$	$-0.5 \sim V_{DD} + 0.5$	V
出力電圧	V_O		$-0.5 \sim V_{DD} + 0.5$	V
ロウ・レベル出力電流	I_{OL}	1 端子	15	mA
		全出力端子合計	100	mA
ハイ・レベル出力電流	I_{OH}	1 端子	-10	mA
		全出力端子合計	-50	mA
動作周囲温度	T_A		$-10 \sim +70$	$^\circ\text{C}$
保存温度	T_{stg}		$-65 \sim +150$	$^\circ\text{C}$

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

動作条件

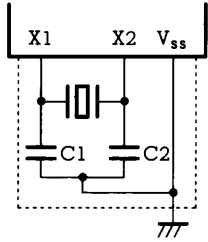
クロック周波数	動作周囲温度 (T_A)	電源電圧 (V_{DD})
$4 \text{ MHz} \leq f_{Xx} \leq 12 \text{ MHz}$	$-10 \sim +70^\circ\text{C}$	$+4.5 \sim +5.5 \text{ V}$
$32 \text{ kHz} \leq f_{XT} \leq 35 \text{ kHz}$		$+2.0 \sim +5.5 \text{ V}$ (時計動作のみ)

注 ただし、時計のみ動作

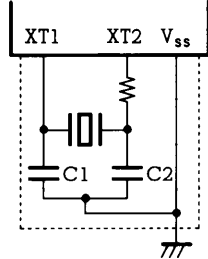
容量 ($T_A = 25^\circ\text{C}$, $V_{DD} = V_{SS} = 0 \text{ V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
入力容量	C_I	$f_c = 1 \text{ MHz}$ 被測定端子以外は0Vに固定			20	pF
出力容量	C_O				20	pF
入出力容量	C_{IO}				20	pF

発振器特性 (メイン・クロック) ($T_A = -10 \sim +70^\circ\text{C}$, $V_{DD} = AV_{DD} = 5.0\text{V} \pm 10\%$, $V_{SS} = AV_{SS} = 0\text{V}$)

発振子	推奨回路	項目	MIN.	MAX.	単位
水晶振動子		発振周波数 (f_{xx})	4	12	MHz

発振器特性 (サブクロック) ($T_A = -10 \sim +70^\circ\text{C}$, $V_{DD} = AV_{DD} = 2.0 \sim 5.5\text{V}$, $V_{SS} = AV_{SS} = 0\text{V}$)

発振子	推奨回路	項目	MIN.	MAX.	単位
水晶振動子		発振周波数 (f_{xt})	32	35	kHz

注意 メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、上記図中の の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

特に、サブシステム・クロック発振回路は、低消費電流のために増幅度の低い回路になっていますのでご注意ください。

DC 特性 ($T_A = -10 \sim +70^\circ\text{C}$, $V_{DD} = AV_{DD} = 5.0\text{ V} \pm 10\%$, $V_{SS} = AV_{SS} = 0\text{ V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
ロウ・レベル入力電圧	V_{IL}		0		0.8	V
ハイ・レベル入力電圧	V_{IH1}	注 1 以外の端子	2.2		V_{DD}	V
	V_{IH2}	注 1 の端子注 2	$0.8 V_{DD}$		V_{DD}	V
ロウ・レベル出力電圧	V_{OL1}	$I_{OL} = 2.0\text{ mA}$			0.45	V
	V_{OL2}	$I_{OL} = 8.0\text{ mA}$ 注 3			1.00	V
ハイ・レベル出力電圧	V_{OH1}	$I_{OH} = -1.0\text{ mA}$	$V_{DD} - 1.0$			V
	V_{OH2}	$I_{OH} = -100\text{ }\mu\text{A}$	$V_{DD} - 0.5$			V
	V_{OH3}	$I_{OH} = -5.0\text{ mA}$ 注 4	2.0			V
入力リーク電流	I_{LI}	$0\text{ V} \leq V_i \leq V_{DD}$			± 10	μA
出力リーク電流	I_{LO}	$0\text{ V} \leq V_o \leq V_{DD}$			± 10	μA
AV_{REF} 電流	AI_{REF}			0.2	1.0	mA
V_{DD} 電源電流	I_{DD1}	動作モード $f_{xx} = 12\text{ MHz}$		30	50	mA
	I_{DD2}	HALT モード $f_{xx} = 12\text{ MHz}$		7	30	mA
データ保持電圧	V_{DDDR}	STOP モード	2.0			V
データ保持電流注 5, 6	I_{DD3}	STOP モード $V_{DDDR} = 5.5\text{ V}$	サブクロック発振	15	70	μA
			サブクロック停止	0.5	40	μA
		STOP モード $V_{DDDR} = 3.0\text{ V}$	サブクロック発振	3.0	14.0	μA
			サブクロック停止	0.3	8.0	μA
		STOP モード $V_{DDDR} = 2.0\text{ V}$	サブクロック発振	1.5	9.0	μA
			サブクロック停止	0.2	6.0	μA
プルアップ抵抗	R_L	$V_i = 0\text{ V}$	15	30	80	k Ω

- 注 1. X1, X2, $\overline{\text{RESET}}$, NMI, P21/INTP0, P22/INTP1, P23/INTP2, P24/CTI10, P25/CTI00, P26/CTI11, P27/CLR1, P34/CLRO, P35/SIO, P36/SO0/SB0, P37/ $\overline{\text{SCKO}}$, P93/ $\overline{\text{SCKI}}$, P95/SI1, MODE
2. XT1/P86 端子を入力端子として使用するときは、クロック・ノイズ除去回路および帰還抵抗をオフにしてください。
3. P10-P17, P40-P47, P50-P57
4. P00-P07
5. AV_{REF} 端子の電流は含みません。
6. サブクロック停止の STOP モード時は、帰還抵抗とクロック・ノイズ除去回路をオフにし、XT1 端子を V_{DD} 電位に接続してください。

DC 特性 ($T_A = +25^\circ\text{C}$, $V_{SS} = AV_{SS} = 0\text{V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
データ保持電流 ^{注1,2}	I_{DD3}	STOP モード $V_{DDDR} = 5.5\text{V}$	サブクロック発振	15.0	40.0	μA
			サブクロック停止	0.5	10.0	μA
		STOP モード $V_{DDDR} = 3.0\text{V}$	サブクロック発振	3.0	10.0	μA
			サブクロック停止	0.3	5.0	μA
		STOP モード $V_{DDDR} = 2.0\text{V}$	サブクロック発振	1.5	7.0	μA
			サブクロック停止	0.2	4.0	μA

注 1. AV_{REF} 端子の電流は含みません。

2. サブクロック停止の STOP モード時は、帰還抵抗とクロック・ノイズ除去回路をオフにし、XT1 端子を V_{DD} 電位に接続してください。

シリアル・インタフェース ($T_A = -10 \sim +70^\circ\text{C}$, $V_{DD} = AV_{DD} = 5.0\text{V} \pm 10\%$, $V_{SS} = AV_{SS} = 0\text{V}$)

(1) チャネル 0

項 目	略号	条 件	MIN.	MAX.	単位
シリアル・クロック・サイクル・タイム	t_{CYSK0}	入 力 外部クロック	1.0		μs
		出 力 f_{CLK} の 8 分周	1.3		μs
		f_{CLK} の 32 分周	5.3		μs
シリアル・クロック・ロウ・レベル幅	t_{WSKLO}	入 力 外部クロック	420		ns
		出 力 f_{CLK} の 8 分周	556		ns
		f_{CLK} の 32 分周	2.5		μs
シリアル・クロック・ハイ・レベル幅	t_{WSKH0}	入 力 外部クロック	420		ns
		出 力 f_{CLK} の 8 分周	556		ns
		f_{CLK} の 32 分周	2.5		μs
SIO, SBO セットアップ時間 (対 $\overline{SCK0} \uparrow$)	t_{SSSK0}		150		ns
SIO, SBO ホールド時間 (対 $\overline{SCK0} \uparrow$)	t_{HSSK0}		400		ns
SOO, SBO 出力遅延時間 (対 $\overline{SCK0} \downarrow$)	$t_{DSBSK01}$	CMOS プッシュプル出力 (3 線式シリアル I/O モード)	0	300	ns
	$t_{DSBSK02}$	オープン・ドレーン出力 (SBI モード), $R_L = 1\text{k}\Omega$	0	800	ns
SBO ハイ・ホールド時間 (対 $\overline{SCK0} \uparrow$)	t_{HSBSK0}	SBI モード	$4 t_{CYX}$		ns
SBO ロウ・セットアップ時間 (対 $\overline{SCK0} \downarrow$)	t_{SSBSK0}		$4 t_{CYX}$		ns
SBO ロウ・レベル幅	t_{WSBLO}		$4 t_{CYX}$		ns
SBO ハイ・レベル幅	t_{WSBH0}		$4 t_{CYX}$		ns

備考 1. 表中の数値は、 $f_{XX} = 12\text{MHz}$, $C_L = 100\text{pF}$ のときの値です。

- ★ 2. f_{CLK} は、内部システム・クロック (f_{XX} の 2 分周)
- ★ 3. $t_{CYX} = 1/f_{XX}$

(2) チャンネル 1

項 目	略号	条 件	MIN.	MAX.	単位
シリアル・クロック・サイクル・タイム	t_{CYSK1}	外部クロック入力	自動転送式	$17 t_{CYX}$	ns
			3 線式	$13 t_{CYX}$	ns
		出力	f_{CLK} の 8 分周	1.3	μs
			f_{CLK} の 32 分周	5.3	μs
			f_{CLK} の 64 分周	10.6	μs
シリアル・クロック・ロウ・レベル幅	t_{WSKL1}	外部クロック入力	自動転送式	$5 t_{CYX}$	ns
			3 線式	$5 t_{CYX}$	ns
		出力	f_{CLK} の 8 分周	620	ns
			f_{CLK} の 32 分周	2.6	μs
			f_{CLK} の 64 分周	5.3	μs
シリアル・クロック・ハイ・レベル幅	t_{WSKH1}	外部クロック入力	自動転送式	$9 t_{CYX}$	ns
			3 線式	$5 t_{CYX}$	ns
		出力	f_{CLK} の 8 分周	620	ns
			f_{CLK} の 32 分周	2.6	μs
			f_{CLK} の 64 分周	5.3	μs
SI1 セットアップ時間 (対 $\overline{SCK1} \uparrow$)	t_{SSSK1}		100		ns
SI1 ホールド時間 (対 $\overline{SCK1} \uparrow$)	t_{HSSK1}		400		ns
SO1 出力遅延時間 (対 $\overline{SCK1} \downarrow$)	t_{DSBSK1}		0	300	ns
$\overline{SCK1}(8) \uparrow \rightarrow \text{STRB1} \uparrow$	t_{DSTRB1}		t_{WSKH1}	t_{CYSK1}	
ストロープ信号ハイ・レベル幅	t_{WSTRB1}		$t_{CYSK1} - 30$	$t_{CYSK1} + 30$	ns
BUSY1 セットアップ時間 対 BUSY1 検出タイミング	t_{SBUSY1}		100		ns
BUSY1 ホールド時間 対 BUSY1 検出タイミング	t_{HBUSY1}		100		ns
BUSY インアクティブ $\rightarrow \overline{SCK1}(1) \downarrow$	t_{LBUSY1}			$t_{CYSK1} + t_{WSKH1}$	

備考 1. 表中の数値は、 $f_{XX} = 12 \text{ MHz}$, $C_L = 100 \text{ pF}$ のときの値です。

- f_{CLK} は、内部システム・クロック (f_{XX} の 2 分周)
- $t_{CYX} = 1/f_{XX}$
- $\overline{SCK1}$ に続く () 内の数値は、何発目の $\overline{SCK1}$ を表しています。
- BUSY1 検出タイミングは、 $\overline{SCK1}(8) \uparrow$ に対して $(n+2) \times t_{CYSK1}$ 時間経過後です ($n=0, 1, \dots$)。

★
★

その他のオペレーション ($T_A = -10 \sim +70^\circ\text{C}$, $V_{DD} = AV_{DD} = 5.0\text{V} \pm 10\%$, $V_{SS} = AV_{SS} = 0\text{V}$)

項 目		略号	条 件	MIN.	MAX.	単位
CTI00, CTI10, CTI11 ロウ・レベル幅		t_{WCTL}		$4 t_{CYX}$		ns
CTI00, CTI10, CTI11 ハイ・レベル幅		t_{WCTH}		$4 t_{CYX}$		ns
CLR1 ロウ・レベル幅		t_{WCR1L}	デジタル・ノイズ除去回路未使用	$4 t_{CYX}$		ns
			デジタル・ノイズ除去回路使用 ICR bit4=0	$160 t_{CYX}$		ns
			デジタル・ノイズ除去回路使用 ICR bit4=1	$256 t_{CYX}$		ns
CLR1 ハイ・レベル幅		t_{WCR1H}	デジタル・ノイズ除去回路未使用	$4 t_{CYX}$		ns
			デジタル・ノイズ除去回路使用 ICR bit4=0	$160 t_{CYX}$		ns
			デジタル・ノイズ除去回路使用 ICR bit4=1	$256 t_{CYX}$		ns
デジタル・ ノイズ除去回路	除去パルス幅	t_{WSEP}	ICR bit4=0		$152 t_{CYX}$	ns
			ICR bit4=1		$248 t_{CYX}$	ns
	通過パルス幅		ICR bit4=0	$160 t_{CYX}$		ns
			ICR bit4=1	$256 t_{CYX}$		ns
H_{SYNC} 同期時間 (CLR1 $\uparrow \rightarrow H_{SYNC} \downarrow$)		t_{DHS}	ICR bit4=0	$772 t_{CYX}$	$778 t_{CYX}$	ns
			ICR bit4=1	$760 t_{CYX}$	$766 t_{CYX}$	ns
H_{SYNC} サイクル・タイム		t_{CYCHS}	$f_{XX} = 12 \text{ MHz}$ 時	63.5		μs
H_{SYNC} アクティブ・レベル幅		t_{WHS}	$f_{XX} = 12 \text{ MHz}$ 時	5		μs
NMI ロウ・レベル幅		t_{WNIL}		10		μs
NMI ハイ・レベル幅		t_{WNIH}		10		μs
INTPO-INTP2 ロウ・レベル幅		t_{WIPL}		$4 t_{CYX}$		ns
INTPO-INTP2 ハイ・レベル幅		t_{WIPH}		$4 t_{CYX}$		ns
$\overline{\text{RESET}}$ ロウ・レベル幅		t_{WRSL}		10		μs

クロック出力オペレーション ($T_A = -10 \sim +70^\circ\text{C}$, $V_{DD} = AV_{DD} = 5.0\text{V} \pm 10\%$, $V_{SS} = AV_{SS} = 0\text{V}$)

項 目	略号	計 算 式	MIN.	MAX.	単位
CLO サイクル・タイム	t_{CYCL}		333	2667	ns
CLO ロウ・レベル幅	t_{CLL}	$t_{CYCL}/2 \pm 50$	116	1384	ns
CLO ハイ・レベル幅	t_{CLH}	$t_{CYCL}/2 \pm 50$	116	1384	ns
CLO 立ち上がり時間	t_{CLR}			50	ns
CLO 立ち下がり時間	t_{CLF}			50	ns

備考 表中の数値は、 $f_{XX} = 12\text{MHz}$, $C_L = 100\text{pF}$ のときの値です。

データ・メモリ低電圧データ保持特性 ($T_A = -10 \sim +70^\circ\text{C}$, $AV_{SS} = V_{SS} = AV_{REF} = 0\text{V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}	STOP モード ^{注1}	2.0		5.5	V
データ保持電流 ^{注2,3}	I_{DD3}	STOP モード $V_{DDDR} = 5.5\text{V}$		15.0	70.0	μA
		サブクロック発振				
		サブクロック停止		0.5	40.0	μA
		STOP モード $V_{DDDR} = 3.0\text{V}$		3.0	14.0	μA
		サブクロック発振				
		サブクロック停止		0.3	8.0	μA
データ保持電流 ^{注2,3} ($T_A = 25^\circ\text{C}$)	I_{DD3}	STOP モード $V_{DDDR} = 2.0\text{V}$		1.5	9.0	μA
		サブクロック発振				
		サブクロック停止		0.2	6.0	μA
		STOP モード $V_{DDDR} = 5.5\text{V}$		15.0	40.0	μA
		サブクロック発振				
		サブクロック停止		0.5	10.0	μA
V_{DD} 立ち上がり時間	t_{RVD}		200			μs
V_{DD} 立ち下がり時間	t_{FVD}		200			μs
V_{DD} 保持時間 (対 STOP モード設定)	t_{HVD}		0			ms
STOP 解除信号入力時間	t_{DREL}		0			ms
ロウ・レベル入力電圧	V_{IL}	特定端子 ^{注4}	0		$0.1V_{DDDR}$	V
ハイ・レベル入力電圧	V_{IH}		$0.9V_{DDDR}$		V_{DDDR}	V

注 1. サブクロック発振保持電圧<データ保持電源電圧です。

2. AV_{REF} 端子の電流は含みません。

3. XT1/P86 端子を入力端子として使用するときは、クロック・ノイズ除去回路および帰還抵抗をオフにしてください。

4. NMI, $\overline{\text{RESET}}$, P21/INTP0, P22/INTP1, P23/INTP2, P24/CTI10, P25/CTI00, P26/CTI11, P27/CLR1, P34/CLR0, P35/SI0, P36/SO0/SB0, P37/ $\overline{\text{SCK0}}$, P93/ $\overline{\text{SCK1}}$, P95/SI1, MODE, P86/XT1 (サブクロック停止時) の各端子

時計機能 ($T_A = -10 \sim +70^\circ\text{C}$, $AV_{SS} = V_{SS} = 0\text{V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
サブクロック発振保持電圧	V_{DDXT}		2.0			V
ハードウェア時計機能動作電圧	V_{DDW}		2.0			V

サブクロック発振停止検出フラグ ($T_A = -10 \sim +70^\circ\text{C}$, $V_{DD} = AV_{DD} = 5.0\text{V} \pm 10\%$,
 $V_{SS} = AV_{SS} = 0\text{V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
発振停止検出幅	T_{OSCF}		45			μs

A/D コンバータ特性 ($T_A = -10 \sim +70^\circ\text{C}$, $V_{DD} = AV_{DD} = 5.0\text{V} \pm 10\%$,
 $3.8\text{V} \leq AV_{REF} \leq V_{DD}$, $AV_{SS} = V_{SS} = 0\text{V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
分解能			8			bit
総合誤差		$4.0\text{V} \leq AV_{REF} \leq V_{DD}$			0.4	%
		$3.8\text{V} \leq AV_{REF} \leq V_{DD}$			0.8	%
量子化誤差					$\pm 1/2$	LSB
変換時間	t_{CONV}	ADM0 bit4=0 ^注	$360 t_{CYX}$			ns
		ADM0 bit4=1 ^注	$240 t_{CYX}$			ns
サンプリング時間	t_{SAMP}	ADM0 bit4=0 ^注	$72 t_{CYX}$			ns
		ADM0 bit4=1 ^注	$48 t_{CYX}$			ns
アナログ入力電圧	V_{IAN}		-0.3		$AV_{REF} + 0.3$	V
基準電圧	AV_{REF}		3.8		V_{DD}	V
AV_{REF} 電流	AI_{REF}			0.2	1.0	mA

注 ADM1 指定による変換時も、時間は ADM0 での指定が有効になります。

オペアンプ特性 ($T_A = -10 \sim +70^\circ\text{C}$, $V_{DD} = AV_{DD} = 5.0\text{V} \pm 10\%$, $AV_{SS} = V_{SS} = 0\text{V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
オープン・ループ・ゲイン	A_v		60			dB
同相入力電圧範囲	V_{ICM}		0.5		3.3	V
入力換算オフセット	V_{OS}			± 10	± 20	mV
ハイ・レベル出力電流	I_{OHOP}	$V_{DD} = 5.0\text{V}$, $V_{OH} = V_{DD}/2$	-4.0	-12.0		mA
ロウ・レベル出力電流	I_{OLOP}	$V_{DD} = 5.0\text{V}$, $V_{OL} = V_{DD}/2$	50	130		μA
スルー・レート	+			1		V/ μs
	-			-4		V/ms
同相除去比	CMRR		60			dB
電源変動除去比	PSRR		60			dB
ユニティ・ゲイン周波数	f_0		1			MHz

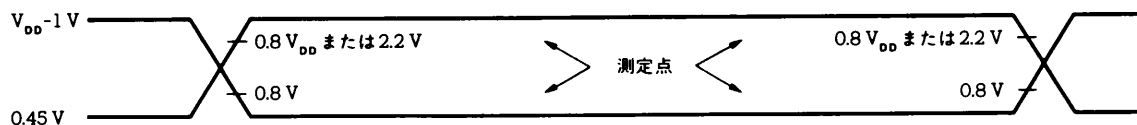
注意 安定動作のために、ゲインは20 dB 以上で使用してください。

RECCTL 書き込み回路 ($T_A = -10 \sim +70^\circ\text{C}$, $V_{DD} = AV_{DD} = 5.0\text{V} \pm 10\%$, $AV_{SS} = V_{SS} = 0\text{V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位
CTLDLY 充電電流	I_{OHCTL}	$V_{DD} = 5.0\text{V}$ $V_{OH} = 0\text{V}$	-500	-900	-1300	μA
CTLDLY 放電電流	I_{OLCTL}	$V_{DD} = 5.0\text{V}$ $V_{OL} = 5.0\text{V}$	1300	2200	3200	μA
PTO10, PTO11 ハイ・レベル出力電流	I_{OHPTO}	$V_{DD} = 5.0\text{V}$ $V_{OH} = 0\text{V}$	-6	-12	-22	mA

注意 $1\mu\text{F}$ のコンデンサ接続時、PTO10, PTO11 の時定数は2~5 ms となります。

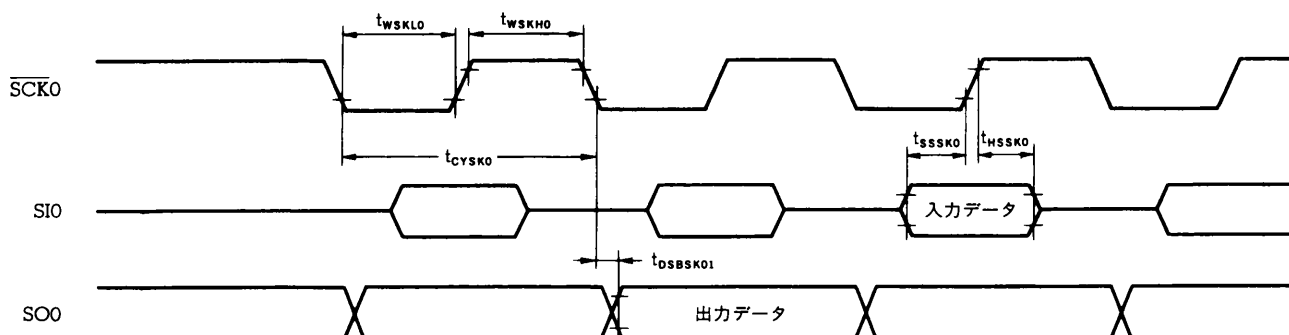
AC タイミング測定点



タイミング波形

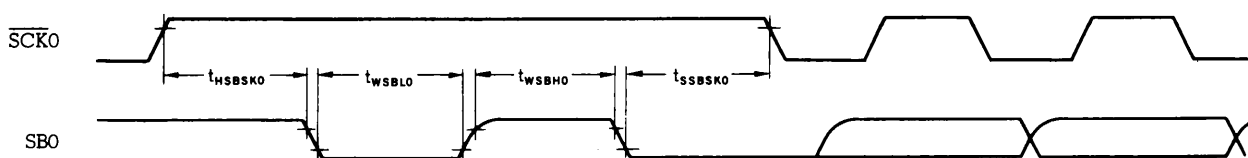
シリアル・オペレーション (SIOO)

3線式シリアル I/O モード

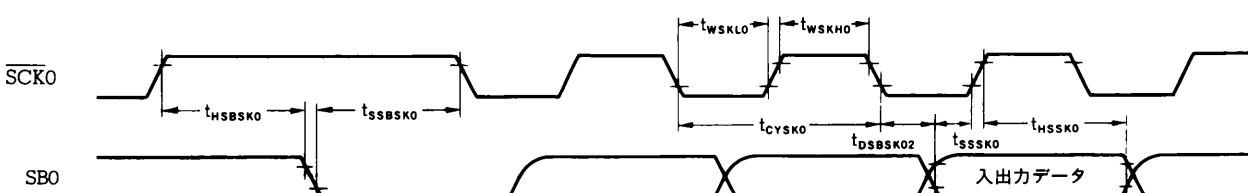


SBI モード

バス・リリース信号転送

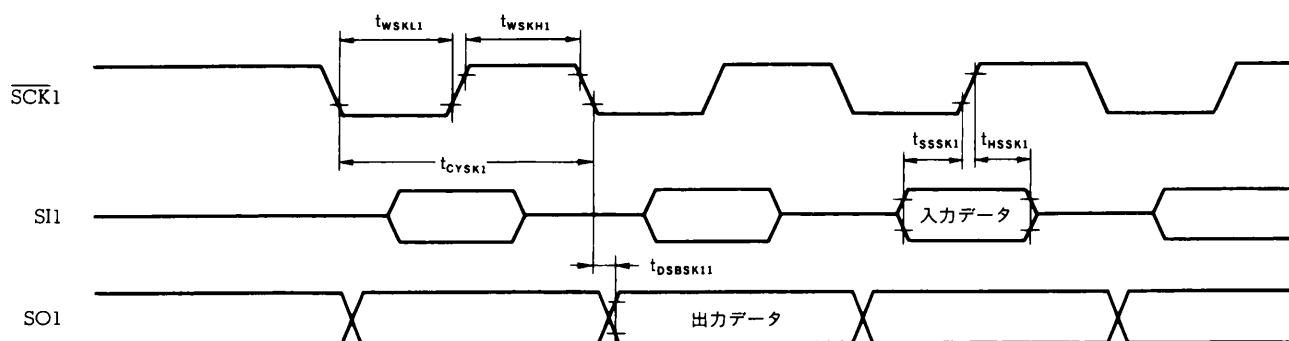


コマンド信号転送



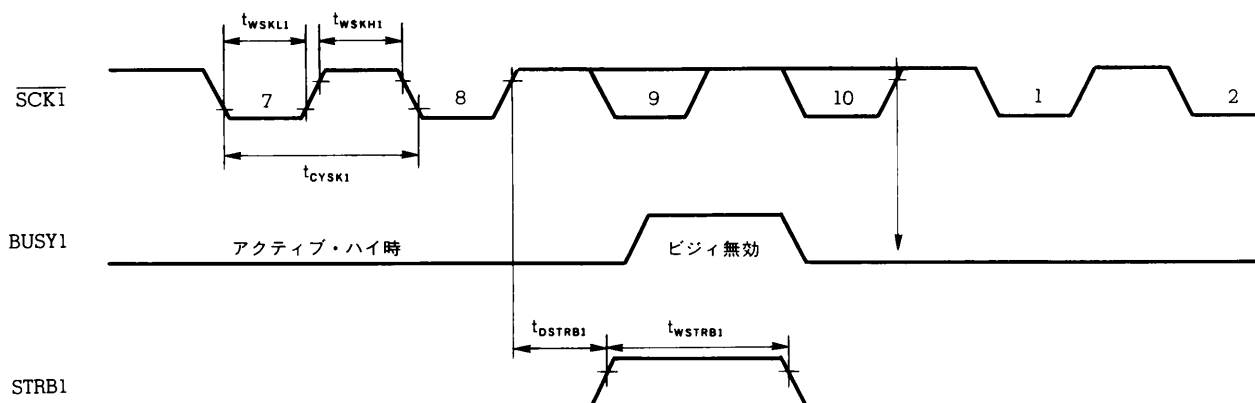
シリアル・オペレーション (SIO1)

3線式シリアル I/O モード

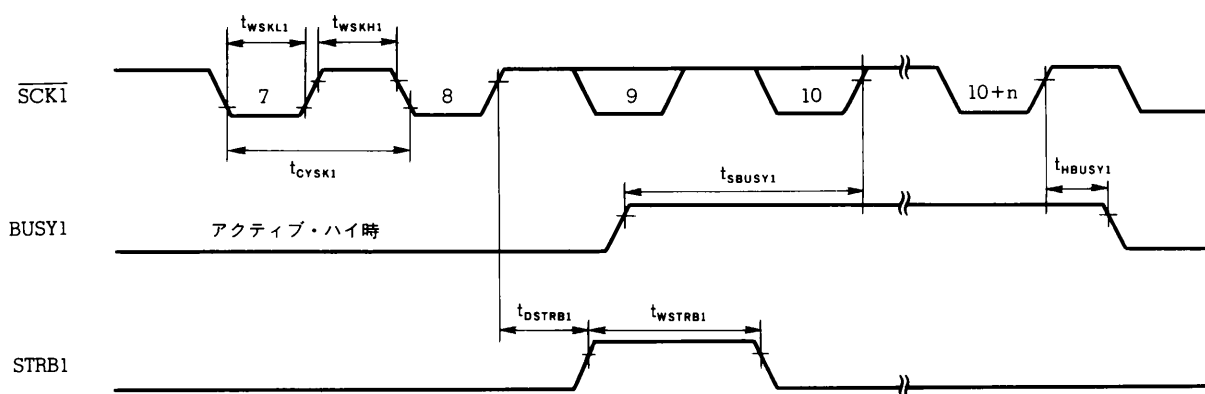


自動転送モード (内部クロック)

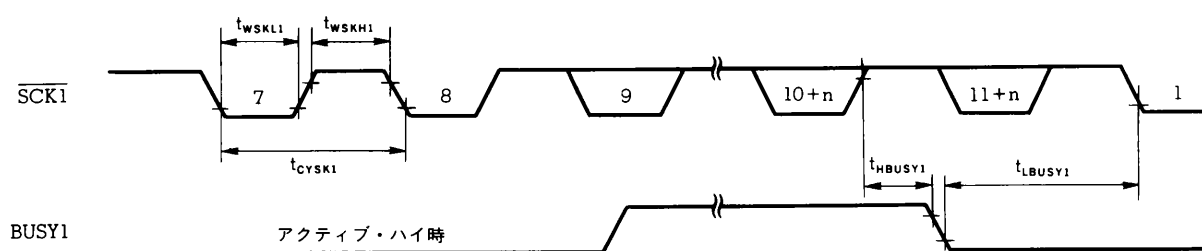
ビジー処理なし



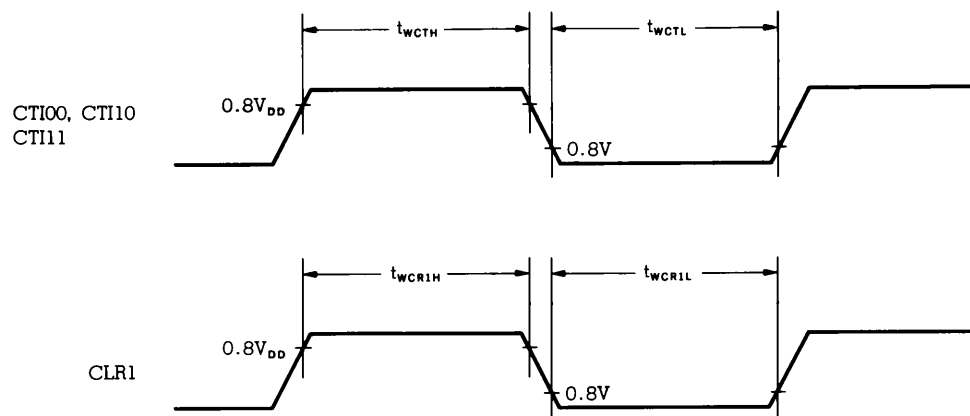
ビジー処理の継続



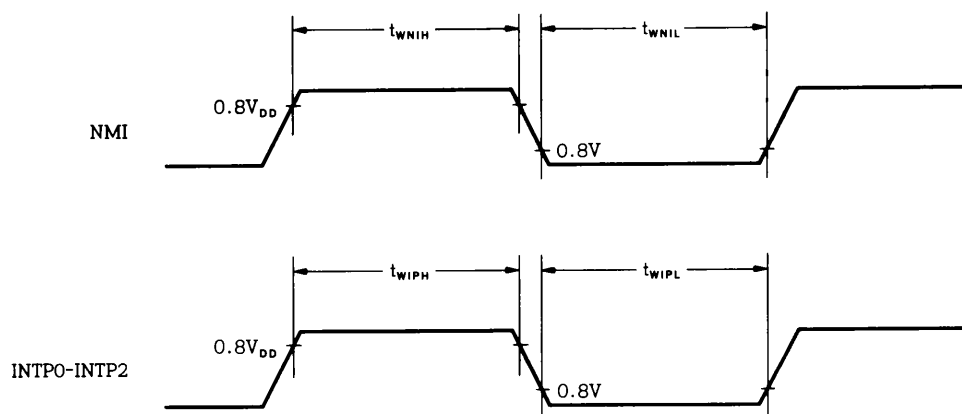
ビジー処理の終了



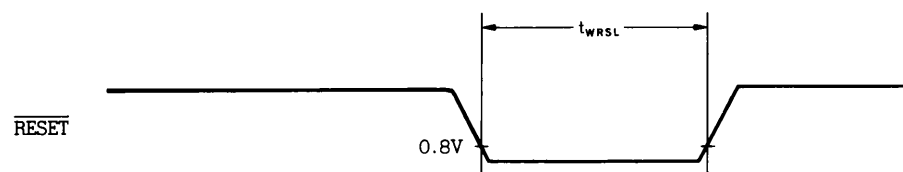
スーパ・タイマ・ユニット入力タイミング



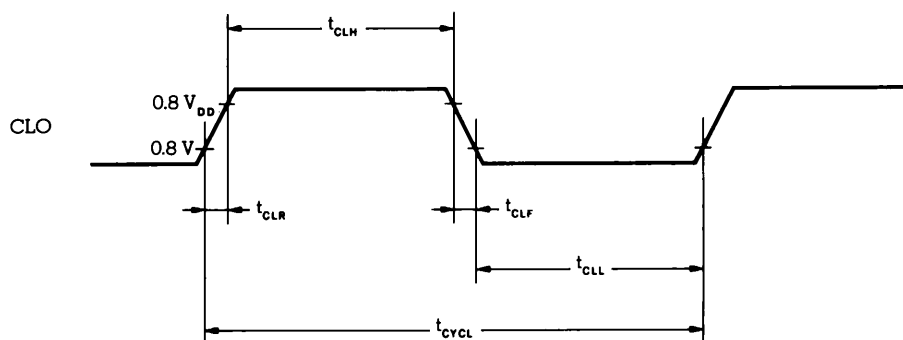
割り込み入力タイミング



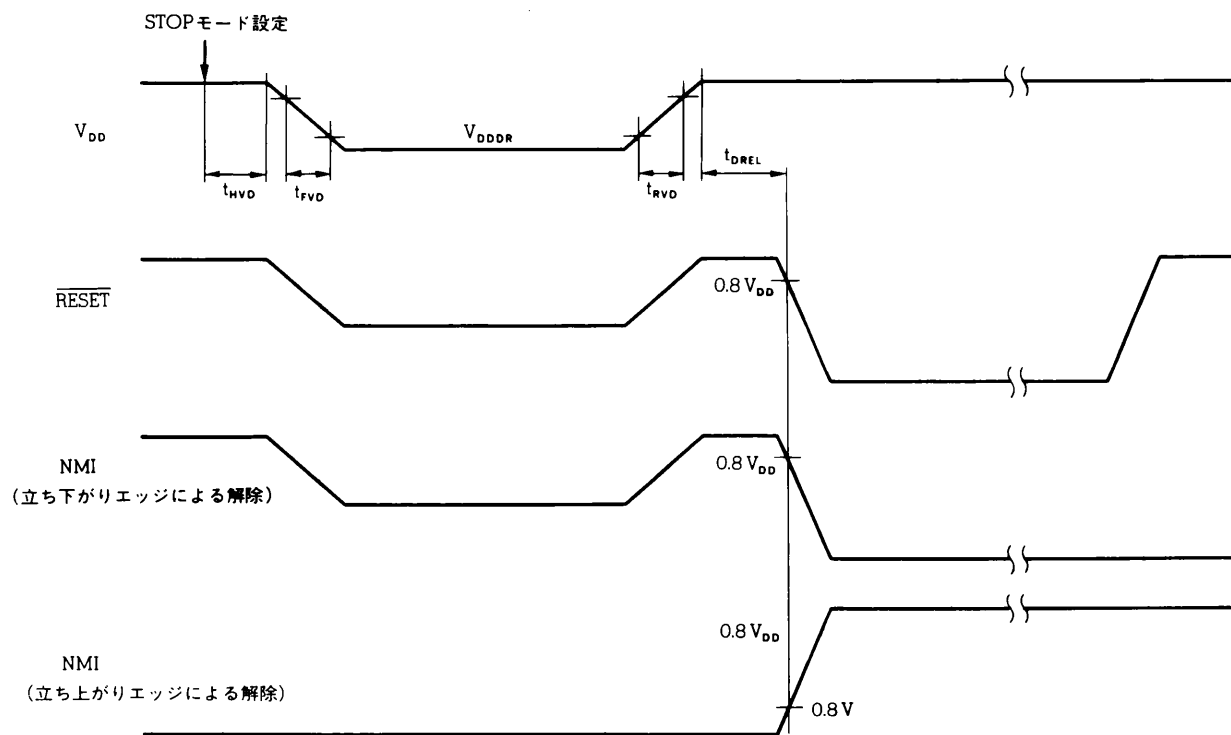
リセット入力タイミング



クロック出力タイミング



データ保持特性



保守/廃止

図 9-1 据え置き型 VTR への応用

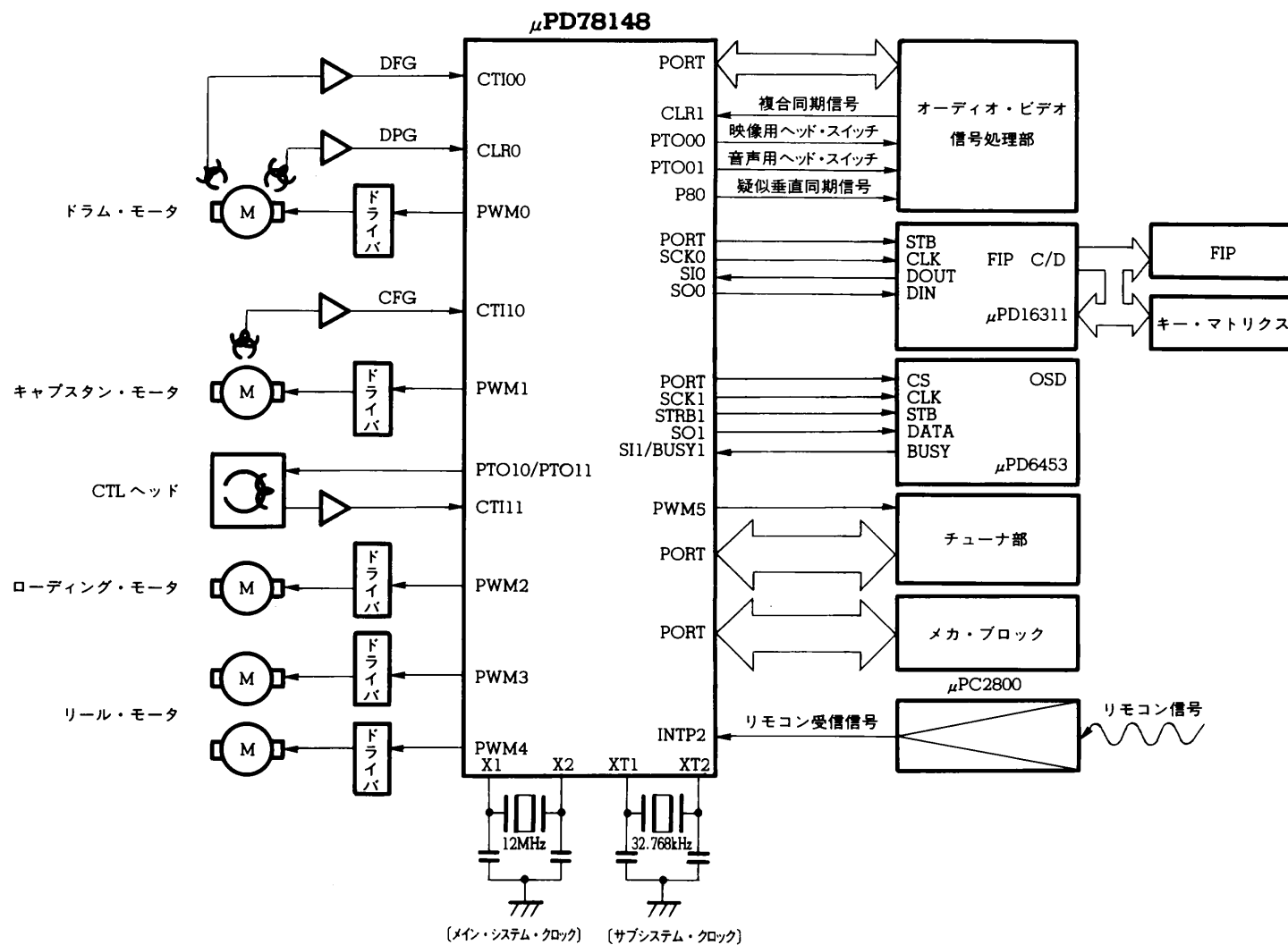
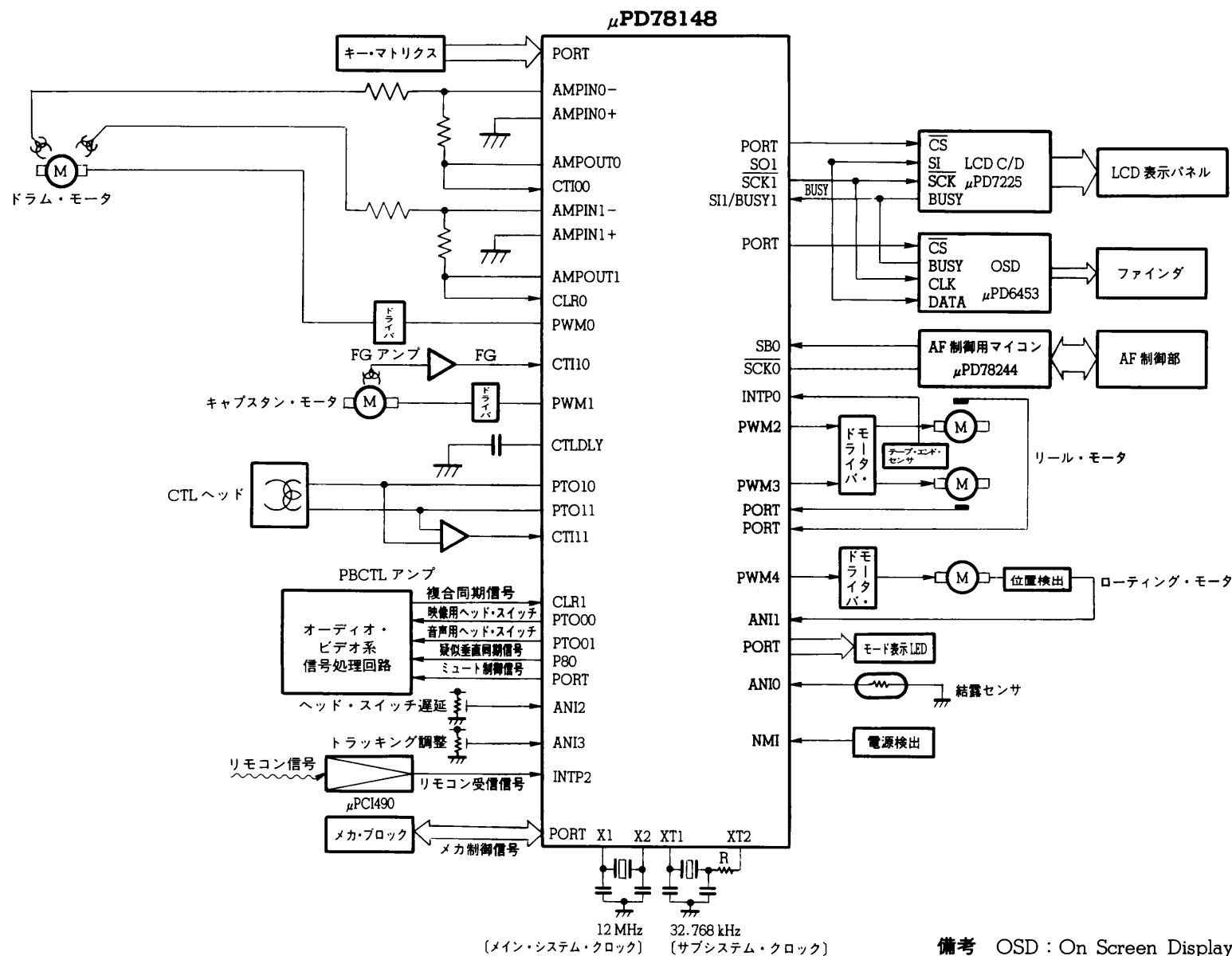


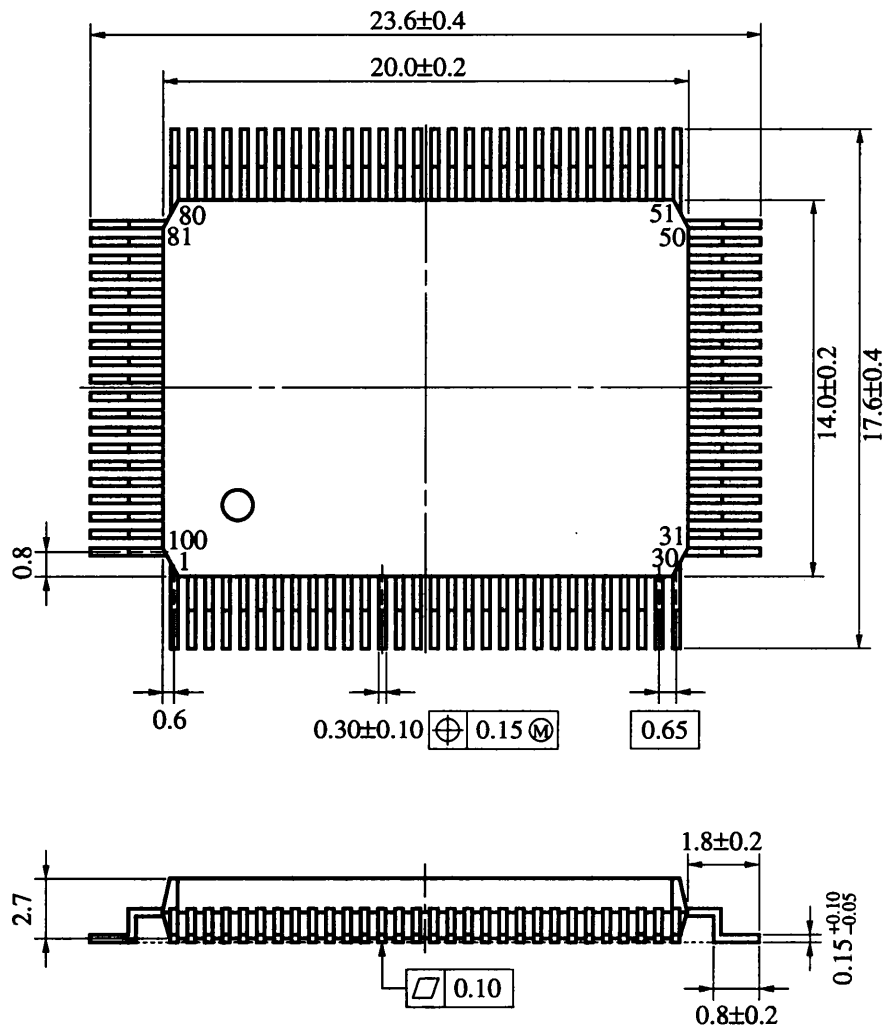
図 9-2 カメラ一体型 VTR への応用



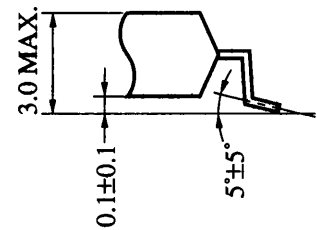
備考 OSD : On Screen Display

10. 外形図

100ピン・プラスチック QFP (14×20) 外形図 (単位: mm)



端子先端形状詳細図



P100GF-65-3BA1-2

11. 半田付け推奨条件

この製品の半田付け実装は、次の条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については当社販売員にご相談ください。

表 11-1 表面実装タイプの半田付け条件

★

μPD78146GF-×××-3BA：100ピン・プラスチック QFP (14×20 mm)

μPD78148GF-×××-3BA：100ピン・プラスチック QFP (14×20 mm)

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃、時間：30秒以内 (210℃ 以上)、回数：2 回以内、 制限日数：7 日間 ^注 (以降は125℃ プリベーク 20時間必要) <留意事項> (1) 2 回目のリフロは 1 回目のリフロによるデバイス温度が常温に戻ってから開始してください。 (2) 1 回目のリフロ後の水によるフラックス洗浄は避けください。	IR35-207-2
VPS	パッケージ・ピーク温度：215℃、時間：40秒以内 (200℃ 以上)、回数：2 回以内、 制限日数：7 日間 ^注 (以降は125℃ プリベーク 20時間必要) <留意事項> (1) 2 回目のリフロは 1 回目のリフロによるデバイス温度が常温に戻ってから開始してください。 (2) 1 回目のリフロ後の水によるフラックス洗浄は避けください。	VP15-207-2
ウェーブ・ソルダリング	半田槽温度：260℃ 以下、時間：10秒以内、回数：1 回、 予備加熱温度：120℃ MAX. (パッケージ表面温度)、 制限日数：7 日間 ^注 (以降は125℃ プリベーク 20時間必要)	WS60-207-1
端子部分加熱	端子温度：300℃ 以下、時間：3 秒以内 (デバイスの一辺当たり)	—

注 ドライパック開封後の保管日数で、保管条件は25℃、65 %RH 以下。

注意 半田付け方式の併用は避けください (ただし、端子部分加熱方式は除く)。

付録 A. μPD78148, 78146と78P148, 78138の機能比較

項 目		μPD78146	μPD78148	μPD78P148	μPD78138
最小命令実行時間		0.33 μs (12 MHz 動作時)			
ROM の構成		マスク ROM		PROM	マスク ROM
ROM 容量		24 K バイト	32 K バイト		
RAM 容量		688バイト注1	816バイト注1		640バイト
I/O	ポート	76本注2			58本
	A/D	15本			8 本
	その他	6 本 (オペアンプ入出力用)			0 本
リアルタイム出力ポート		18本 (出力トリガ用タイマを選択可能)			8 本 (出力トリガ用タイマ固定)
スーパ・タイマ・ユニット	タイマ	• 16ビット×3本 • 8ビット×3本			• 16ビット×3本 • 7ビット×1本
	カウンタ	• 22ビット・フリーランニング・カウンタ×1本 • 6ビット・アップ/ダウン・カウンタ×1本			• 18ビット・フリーランニング・カウンタ×1本
	キャプチャ・レジスタ	• 22ビット×2個 • 16ビット×3個 • 8ビット×2個			• 18ビット×1個 • 16ビット×4個 • 7ビット×1個
	コンペア・レジスタ	• 16ビット×7個 • 8ビット×3個			• 16ビット×6個 • 7ビット×1個
	PWM 出力	• 12ビット×2チャンネル (キャリア周波数: 46.9 kHz/23.4 kHz) • 14ビット×1チャンネル (キャリア周波数: 5.9 kHz) • 8ビット×3チャンネル (キャリア周波数: 5.9 kHz)			• 12ビット×2チャンネル (キャリア周波数: 46.9 kHz/ 23.4 kHz)
乗算命令		• MULUW: 絶対値16ビット×絶対値 8 ビット • MULSW: 補数16ビット×絶対値 8 ビット			
乗算器		補数16ビット×補数16ビット, 演算時間: 2.67 μs			—
A/D コンバータ		8 ビット分解能×15チャンネル(このうち 7チャンネルはポートと兼用)			8 ビット分解能× 8 チャンネル
シリアル・インタフェース		2 チャンネル	• チャンネル 0: 3 線式 SIO または SBI を選択可能 • チャンネル 1: 3 線式 SIO 固定, 48バイトの自動データ送受信機能内蔵		1 チャンネル 3 線式 SIO または SBI を選択可能
アナログ回路		オペアンプ 2 個内蔵			—
割り込み	外部	5 本			5 本
	内部	20本			12本
パッケージ		100ピン・プラスチック QFP (0.65 mm ピッチ, 14×20 mm) 100ピン・セラミック WQFN (14×20 mm) (μPD78P148 のみ)			80ピン・プラスチック QFP (0.8 mm ピッチ, 14×20 mm)
V _{SYNC} 分離回路		除去パルス幅: 12.7 μsと20.7 μs 選択可能			除去パルス幅: 5.3 μsと12.0 μs 選択可能
リモコン受信回路		8 ビット・タイマ 4 (TM 4) として内蔵			—
時計機能		ハードウェアの時計機能を内蔵			—

注1. DUAL-PORT RAM (256バイト) と PERIPHERAL RAM の合計。

2. 10本はポートと A/D コンバータのアナログ入力, またはオペアンプ用のアナログ端子と兼用。

付録 B. 開発ツール

μPD78146, 78148 を使用するシステム開発のために、次のような開発ツールを用意しております。

【ハードウェア】

IE-78140-R	μPD78146, 78148, 78P148 に対応したインサーキット・エミュレータで、ホスト・マシンと接続してディバグを行います。シンボリック・ディバグと、ホスト・マシンとのオブジェクト・ファイルの転送が可能ですので、効率の良いディバグを行うことができます。 RS-232-C のシリアル・インタフェースを 2 チャンネル内蔵しており、PROM プログラム PG-1500 の接続も可能です。また、セントロニクス・インタフェースによりオブジェクト・ファイル、シンボル・ファイルの高速ダウン・ロードを行うことが可能です。
EP-78140GF-R	μPD78146, 78148, 78P148 用のエミュレーション・プローブです。 ユーザ・システムの開発を容易にする 100 ピン変換ソケット EV-9200GF-100 が 1 個添付されています。
EV-9200GF-100	100 ピン・プラスチック QFP (本体 14×20 mm) 用に作られたユーザ・システムの基板の上に実装するソケットです。EP-78140GF-R と共に使用します。
EV-9900	EV-9200G-100 から、μPD78P148K を取り外す際に使用する治具です。
PG-1500	付属ボードおよび別売のプログラマ・アダプタを接続することにより、PROM 内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンで、またはホスト・マシンからの操作によってプログラミングできる PROM プログラマです。 また、256 K から 4 M ビットまでの代表的な PROM をプログラミングすることもできます。
PA-78P148K	μPD78P148 用の PROM プログラマ・アダプタです。PG-1500 などと組み合わせて使用します。

【ソフトウェア】

RA78K/I リロケートブル・アセンブラ	78K/I シリーズ共通に使用できるリロケートブル・アセンブラです。マクロ機能付きですので、開発効率の向上が図れます。また、プログラム制御構造を明示的に記述できる構造化アセンブラも添付されており、プログラムの生産性や保守性を向上することができます。			
	ホスト・マシン	OS	供給媒体	オーダ名称 (品名)
	PC-9800シリーズ	MS-DOS™ (Ver.3.30 Ver.5.00A ^注)	3.5インチ 2HD	μS5A13RA78K1
			5 インチ 2HD	μS5A10RA78K1
IBM PC/AT™ およ びその互換機	【IBM PC 用の OS について】 参照	5 インチ 2HC	μS7B10RA78K1	
IE-78130-R コントロール・プログラム (IE コントローラ)	IE-78130-R をホスト・マシンからコントロールするためのプログラムです。 コマンドの自動実行などを行うことができ、より効率的なデバッグが可能です。			
	ホスト・マシン	OS	供給媒体	オーダ名称 (品名)
	PC-9800 シリーズ	MS-DOS (Ver.3.30 Ver.5.00A ^注)	3.5インチ 2HD	μS5A13IE78130
			5 インチ 2HD	μS5A10IE78130
IBM PC/AT およ びその互換機	【IBM PC 用の OS について】 参照	5 インチ 2HC	μS7B10IE78130	
PG-1500 コントローラ	PG-1500 とホスト・マシンをシリアルおよびパラレル・インタフェースで接続し、ホスト・マシン上で PG-1500 を制御します。			
	ホスト・マシン	OS	供給媒体	オーダ名称 (品名)
	PC-9800 シリーズ	MS-DOS (Ver.3.30 Ver.5.00A ^注)	3.5インチ 2HD	μS5A13PG1500
			5 インチ 2HD	μS5A10PG1500
IBM PC/AT およ びその互換機	【IBM PC 用の OS について】 参照	3.5インチ 2HD	μS7B13PG1500	
		5 インチ 2HC	μS7B10PG1500	

注 MS-DOS Ver.5.00/5.00A にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

備考 アセンブラ、IE コントローラなどの動作は、上記のホスト・マシンと OS 上でのみ保証されます。

【IBM PC 用の OS について】

★

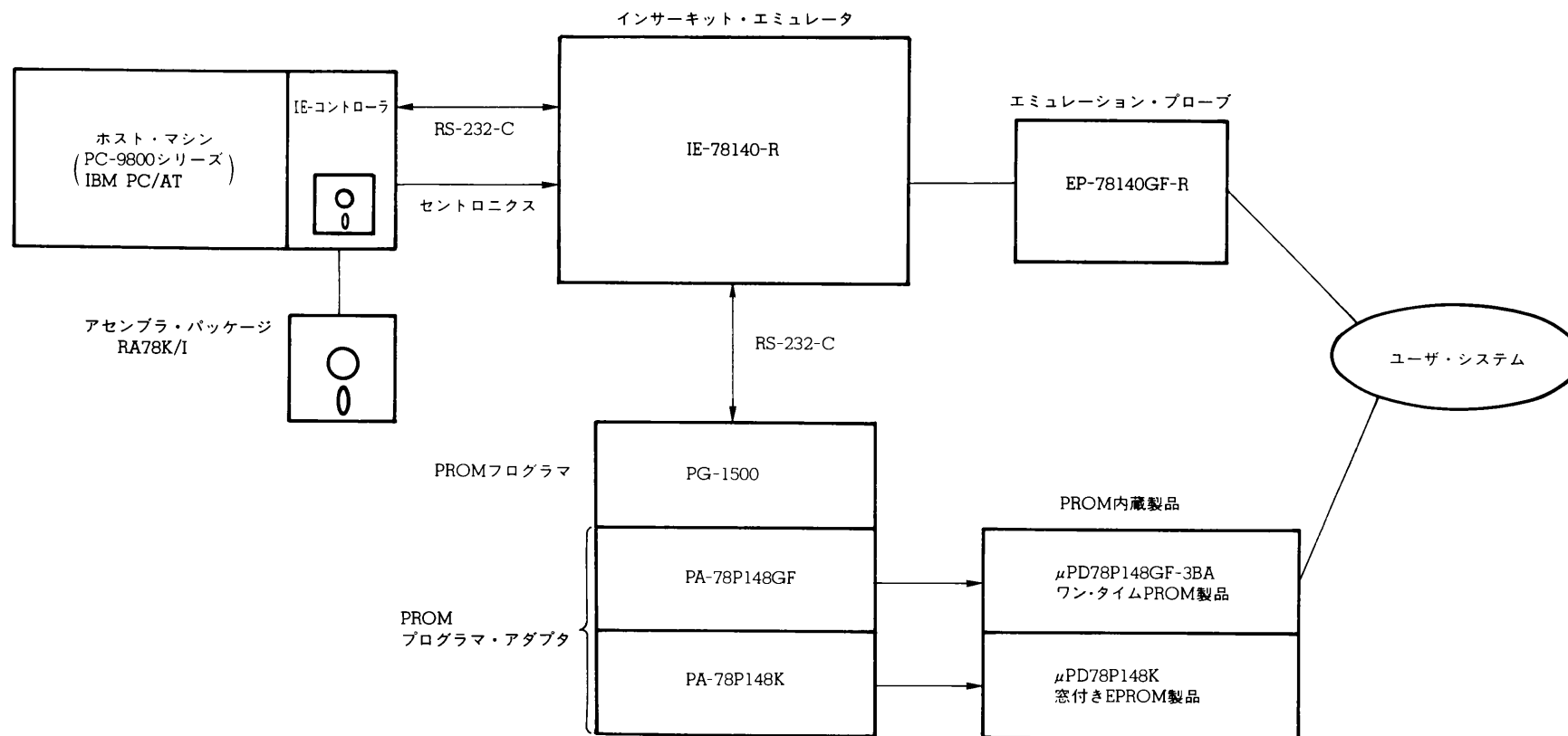
IBM PC 用の OS として、次のものがサポートされています。

OS	バージョン
PC DOS™	Ver.3.1～Ver.6.3
	J6.1/V ^注 ～J6.3/V ^注
IBM DOS™	J5.02/V ^注
MS-DOS	Ver.5.0～Ver.6.2
	5.0/V ^注 ～6.2/V ^注

注 英語モードのみサポートしています。

注意 Ver.5.0以降にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

インサーキット・エミュレータ



CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

MS-DOS は、米国マイクロソフト社の商標です。

IBM DOS, PC DOS, PC/AT は、米国 IBM 社の商標です。

本製品が外国為替および外国貿易管理法の規定による戦略物資等(または役務)に該当するか否かは、ユーザ(仕様を決定した者)が判定してください。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
- 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
- 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
- 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
中部支社 半導体販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208
北海道支社 東北支社 岩手支店 山形支店 郡山支店 いわき支店 長岡支店 土浦支店 水戸支店 神奈川支店 群馬支店 太田支店 宇都宮支店	札幌支店 仙台支店 盛岡支店 山形支店 郡山支店 いわき支店 長岡支店 土浦支店 水戸支店 横濱支店 高崎支店 太田支店 宇都宮支店	(011)231-0161 (022)261-5511 (0196)51-4344 (0236)23-5511 (0249)23-5511 (0246)21-5511 (0258)36-2155 (0298)23-6161 (0292)26-1717 (045)324-5511 (0273)26-1255 (0276)46-4011 (0286)21-2281
小松支店 長野支店 松本支店 上諏訪支店 甲府支店 埼玉支店 立川支店 千葉支店 静岡支店 沼津支店 浜松支店 北陸支店 福井支店	小松支店 長野支店 松本支店 上諏訪支店 甲府支店 埼玉支店 立川支店 千葉支店 静岡支店 沼津支店 浜松支店 北陸支店 福井支店	(0285)24-5011 (0262)35-1444 (0263)35-1666 (0266)53-5350 (0552)24-4141 (048)641-1411 (0425)26-5981 (043)238-8116 (054)255-2211 (0559)63-4455 (053)452-2711 (0762)23-1621 (0776)22-1866
富山支店 三重支店 京都支店 神戸支店 中国支店 鳥取支店 岡山支店 四国支店 新居浜支店 松山支店 九州支店 北九州支店	富山支店 津支店 京都支店 神戸支店 広島支店 鳥取支店 岡山支店 高松支店 新居浜支店 松山支店 福岡支店 北九州支店	(0764)31-8461 (0592)25-7341 (075)344-7824 (078)333-3854 (082)242-5504 (0857)27-5311 (086)225-4455 (0878)36-1200 (0897)32-5001 (0899)45-4111 (092)271-7700 (093)541-2887

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目4番4地	川崎 (044)548-7924	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	