

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

$\mu$ PD78134A, 78136, 78138

## 8ビット・シングルチップ・マイクロコンピュータ

$\mu$ PD78138 は、高速、高性能 8ビット CPU を搭載した 8ビット・シングルチップ・マイクロコンピュータです。  
 $\mu$ PD78138 は、ソフトウェアによるサーボ制御に適した周辺ハードウェアを内蔵していますので、VTRをはじめデジタル・サーボ制御を必要とする応用に最適です。また、サーボ制御に加えシステム・コントロールも 1チップで実現でき、応用セットの小型化も実現できます。

システム開発時の評価や試作用、そして応用セットの早期立ち上げと多品種少量生産用として最適な PROM 内蔵品  $\mu$ PD78P138 も用意しています。

## 特 徴

- 内部バス多重化による高速命令実行：333 ns (12 MHz 動作時)
- VTR サーボ制御に最適なスーパー・タイマ・ユニット内蔵
  - ・ドラム、キャプスタン・モータの速度、位相制御
  - ・音声、映像 2チャンネルのヘッド・スイッチ信号出力
  - ・垂直同期信号検出機能
  - ・入力パルスのデューティ比判定機能 (VTR のインデクス・サーチ・システムなどに応用可能)
  - ・アクティブ・レベル設定可能な PWM 出力回路 2チャンネル内蔵
- サーボ制御の応答性を向上させる機能を内蔵
  - ・符号付き乗算命令
  - ・PWM 出力のキャリア周波数可変 (23.4/46.9 kHz)
- VTR ヘッド・スイッチ出力やステップ・モータ制御に最適なりアルタイム出力ポート内蔵
- 2種類の処理形態を選択できる強力な割り込み機能
  - ・ベクタ割り込み機能
  - ・マクロ・サービス機能 (自動データ転送や VTR での頭出し機能を容易に実現)
- 外付け抵抗を不要にするプルアップ抵抗内蔵 (44 本)
- 豊富な ROM サイズ・バリエーション (16 K/24 K/32 K バイト)

## 用 途

VTR (据え置き型, カメラ一体型)をはじめ DAT などサーボ制御用途に最適。

この資料では、特に断りがないかぎり  $\mu$ PD78138 を代表品種として説明しています。

本資料の内容は、後日変更する場合があります。

オーダ情報

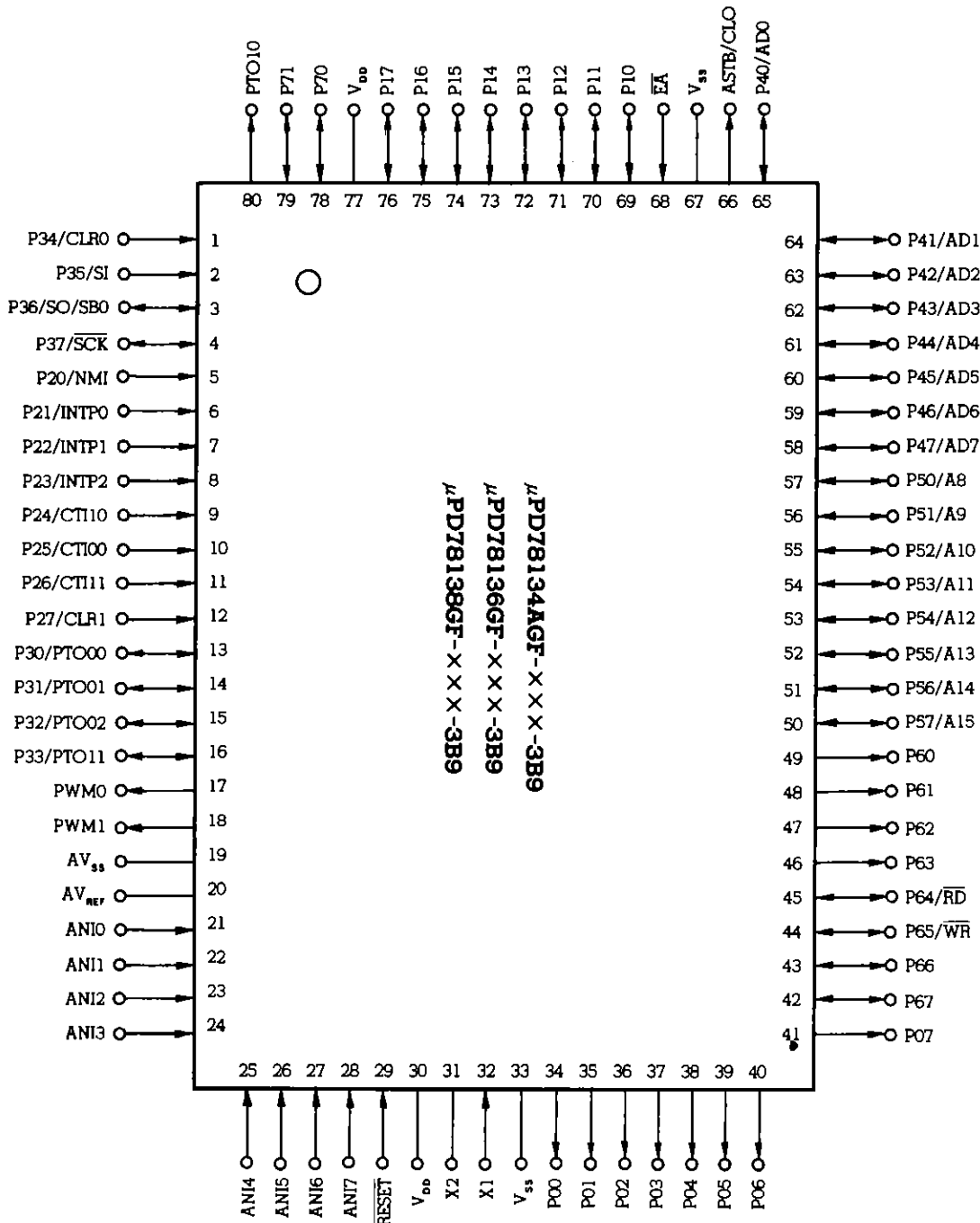
オーダ名称	パッケージ	品質水準
$\mu$ PD78134AGF- $\times\times\times$ -3B9	80ピン・プラスチック QFP (本体14×20 mm)	標準 (一般電子機器用)
$\mu$ PD78136GF- $\times\times\times$ -3B9	//	//
$\mu$ PD78138GF- $\times\times\times$ -3B9	//	//

備考  $\times\times\times$ は、ROM コードの指定番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(IEI-620)をご覧ください。

端子接続図 (Top View)

80ピン・プラスチック QFP (本体 14×20 mm)

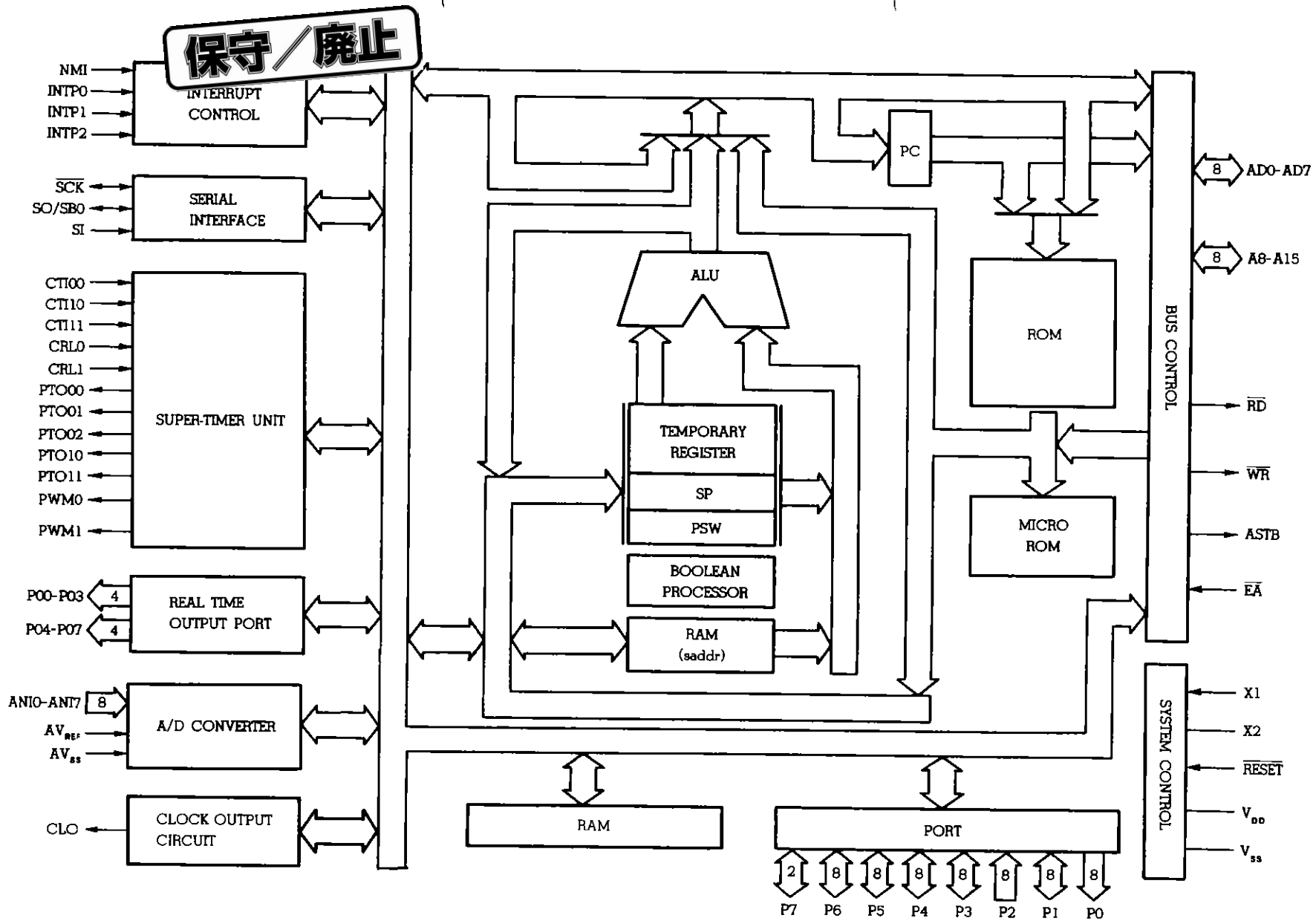


P00-P07	: Port0	CTI00,CTI10	: Capture Trigger Input
P10-P17	: Port1	CTI11	
P20-P27	: Port2	CLR0, CLR1	: Timer Clear Input
P30-P37	: Port3	PTO00-PTO02	: Programmable Timer Input
P40-P47	: Port4	PTO10,PTO11	
P50-P57	: Port5	NMI	: Nonmaskable Interrupt
P60-P67	: Port6	INTP0-INTP2	: Interrupt From Peripherals
P70, P71	: Port7	SI	: Serial Input
PWM0, PWM1	: Pulse Width Modulation Output	SO	: Serial Output
CLO	: Clock Output	SBO	: Serial Bus
ANIO-ANI7	: Analog Input	$\overline{\text{SCK}}$	: Serial Clock
$AV_{REF}$	: Reference Voltage	AD0-AD7	: Address Data
$AV_{SS}$	: Analog $V_{SS}$	A8-A15	: Address
X1, X2	: Crystal	$\overline{\text{RD}}$	: Read
$\overline{\text{RESET}}$	: Reset	$\overline{\text{WR}}$	: Write
		ASTB	: Address Strobe
		$\overline{\text{EA}}$	: External Access

機能概要

品名		μPD78134A	μPD78136	μPD78138
内蔵メモリ	ROM	16 Kバイト (16384×8 ビット)	24 Kバイト (24576×8 ビット)	32 Kバイト (32768×8 ビット)
	RAM	384バイト	640バイト	
基本命令数		64		
最小命令実行時間		333 ns (12 MHz 動作時)		
メモリ拡張機能		最大 64 Kバイトまで外部拡張可能		
汎用レジスタ		8 ビット×8×4バンク (メモリ・マッピング)		
命令セット		<ul style="list-style-type: none"> <li>• 16 ビット加算, 減算, 比較</li> <li>• 符号付き乗算 (符号付き 16 ビット×符号なし 8 ビット)</li> <li>• 符号なし乗除算 (16 ビット×8 ビット, 16 ビット÷8 ビット)</li> <li>• ビット操作 (転送, ブール演算, セット, リセット, テスト)</li> <li>• BCD 補正</li> </ul>		
I/O ライン		<ul style="list-style-type: none"> <li>• 合計 66    入力ポート    : 10</li> <li>                  出力ポート    : 12</li> <li>                  入出力ポート : 36</li> <li>                  アナログ入力 : 8</li> </ul>		
スーパー・タイマ・ユニット		<ul style="list-style-type: none"> <li>• タイマ                    : 16 ビット×3                                   7 ビット×1</li> <li>• カウンタ                 : 18 ビット×1</li> <li>• キャプチャ・レジスタ : 18 ビット×1                                   16 ビット×4                                   7 ビット×1</li> <li>• コンペア・レジスタ    : 16 ビット×6                                   7 ビット×1</li> <li>• PWM 出力                : 12 ビット×2 (アクティブ・レベル可変, キャリア周波数可変(23.4/46.9 kHz))</li> </ul>		
リアルタイム出力ポート		<ul style="list-style-type: none"> <li>• タイマに連動させたポート出力機能</li> <li>• 4 ビット×2 または 8 ビット×1</li> </ul>		
シリアル・インタフェース		<ul style="list-style-type: none"> <li>• NEC フォーマット・シリアル・バス・インタフェース (SBI)</li> <li>または, 3 線式シリアル・インタフェースを選択可</li> </ul>		
A/D コンバータ		<ul style="list-style-type: none"> <li>• 8 ビット分解能×8 入力</li> <li>• 変換時間 : 30 μs/1 アナログ入力 (12 MHz 動作時)</li> <li>• セレクト・モード/スキャン・モードの選択可</li> </ul>		
割り込み		<ul style="list-style-type: none"> <li>• 割り込みソース : 17 要因 (外部 5 要因, 内部 12 要因)</li> <li>• 2 種類の処理形態を選択可 (マクロ・サービス/ベクタ割り込み)</li> <li>• 割り込み優先順位可変 (2 レベル)</li> </ul>		
スタンバイ		STOP モード		
ブルアップ抵抗		44 本内蔵 (ソフトウェアにより内蔵許可/禁止指定可)		
パッケージ		80 ピン・プラスチック QFP (本体 14×20 mm)		

ブロック図



注意 内蔵ROM, RAM容量は製品によって異なります。

## 目 次

1. 端子機能 … 8
  - 1.1 ポート端子 … 8
  - 1.2 ポート以外の端子 … 9
  - 1.3 端子の入出力回路と未使用端子の処理 … 10
  
2. CPUアーキテクチャ … 12
  - 2.1 メモリ空間 … 12
  - 2.2 プロセッサ・レジスタ … 16
    - 2.2.1 制御レジスタ … 16
    - 2.2.2 汎用レジスタ … 17
    - 2.2.3 特殊機能レジスタ (SFR) … 18
  - 2.3 データ・メモリ・アドレッシング … 22
  
3. 周辺ハードウェア機能 … 23
  - 3.1 ポート機能 … 23
  - 3.2 リアルタイム出力ポート … 25
  - 3.3 スーパ・タイマ・ユニット … 26
    - 3.3.1 スーパ・タイマ・ユニットの機能 … 29
  - 3.4 A/Dコンバータ … 37
  - 3.5 シリアル・インタフェース … 38
  
4. 割り込み機能 … 40
  - 4.1 ベクタ割り込みとマクロ・サービス … 40
  - 4.2 割り込みソース … 41
  - 4.3 マクロ・サービスの種類 … 42
    - 4.3.1 マクロ・サービスの種類と割り込み要求 … 44
  
5. スタンバイ機能 … 45
  
6. リセット機能 … 46
  
7. 命令セット … 49
  - 7.1 命令セットとそのオペレーション … 49
  - 7.2 各命令の命令コード … 59
  
8. 電気的特性 … 68
  
9. アプリケーション構成例 (据え置き型VTR) … 80



10. 外形図 … 81

11. 半田付け推奨条件 … 82

付録A.  $\mu$ PD78138 シリーズと  $\mu$ PD78134 の相違点 … 83

付録B. 開発ツール … 85

付録C. シリーズ製品の機能一覧 … 87

1. 端子機能

1.1 ポート端子

端子名称	入出力	兼用端子	機能
P00-P07	出力	—	ポート0 (P0) : 8ビット単位で出力またはハイ・インピーダンス状態に指定可能 8ビット×1または4ビット×2のリアルタイム出力ポートとしても使用可
P10-P17	入出力	—	ポート1 (P1) : 1ビット単位で入力/出力の指定が可能 LEDを直接駆動可能 ソフトウェア・ブルアップ抵抗内蔵可能 (P10-P17)
P20	入力	NMI	ポート2 (P2) : ソフトウェア・ブルアップ抵抗内蔵可能 (P22-P27)
P21		INTP0	
P22		INTP1	
P23		INTP2	
P24		CTI10	
P25		CTI00	
P26		CTI11	
P27		CLR1	
P30	入出力	PTO00	ポート3 (P3) : P30-P33, P36, P37 : 入出力ポート (1ビット単位で入力/出力の指定が可能) P34, P35 : 入力ポート ソフトウェア・ブルアップ抵抗内蔵可能 (P30-P37)
P31		PTO01	
P32		PTO02	
P33		PTO11	
P34	入力	CLR0	ソフトウェア・ブルアップ抵抗内蔵可能 (P30-P37)
P35	入力	SI	
P36	入出力	SO/SB0	
P37	入出力	SCK	
P40-P47	入出力	AD0-AD7	ポート4 (P4) : 8ビット単位で入力/出力の指定が可能 ソフトウェア・ブルアップ抵抗内蔵可能 (P40-P47)
P50-P57	入出力	A8-A15	ポート5 (P5) : 1ビット単位で入力/出力の指定が可能 ソフトウェア・ブルアップ抵抗内蔵可能 (P50-P57)
P60-P63	出力	—	ポート6 (P6) : P60-P63 : 出力ポート P64-P67 : 入出力ポート (1ビット単位で入力/出力の指定が可能) ソフトウェア・ブルアップ抵抗内蔵可能 (P64-P67)
P64	入出力	$\overline{RD}$	
P65	入出力	$\overline{WR}$	
P66, P67	入出力	—	
P70, P71	入出力	—	ポート7 (P7) : 2ビット単位で入力/出力の指定が可能 ソフトウェア・ブルアップ抵抗内蔵可能 (P70, P71)

## 1.2 ポート以外の端子

端子名称	入出力	兼用端子	機能
PWM0, PWM1	出力	—	スーパー・タイマ・ユニットPWM出力
ANIO-ANI7	入力	—	A/Dコンバータへのアナログ電圧入力
AV <sub>REF</sub>		—	A/Dコンバータへの基準電圧入力
AV <sub>SS</sub>		—	A/DコンバータのGND電位
NMI	入力	P20	ノンマスカブル割り込み要求入力 モード・レジスタ (INTMO) により、立ち上がりまたは立ち下がりエッジのいずれかを選択可能。
INTPO	入力	P21	外部割り込み要求入力。モード・レジスタ (INTMO) により立ち上がり、立ち下がり、立ち上がり立ち下がり両エッジのいずれかを選択可能。
INTP1	入力	P22	外部割り込み要求入力。モード・レジスタ (INTMO) により、立ち上がりまたは立ち上がり立ち下がり両エッジのいずれかを選択可能
INTP2		P23	
SI	入力	P35	シリアル・データ入力 (3線式シリアルI/Oモード)
SO	入出力	P36/SB0	シリアル・データ出力 (3線式シリアルI/Oモード)
SBO	入出力	P36/SO	シリアル・データ入出力 (SBIモード)
$\overline{SCK}$	入出力	P37	シリアル・クロック入出力
CTI00	入力	P25	スーパー・タイマ・ユニット・キャプチャ・トリガ入力
CTI10		P24	
CTI11		P26	
CLR0	入力	P34	スーパー・タイマ・ユニット・タイマ・クリア信号入力
CLR1		P27	
PTO00	入出力	P30	スーパー・タイマ・ユニット・タイマ出力
PTO01		P31	
PTO02		P32	
PTO10	出力	—	
PTO11	入出力	P33	
AD0-AD7	入出力	P40 - P47	外部メモリ接続時の時分割アドレス/データ・バス
A8-A15	出力	P50 - P57	外部メモリ接続時のアドレス出力ポート
$\overline{RD}$	出力	P64	外部メモリのリード動作のために出力されるストロープ信号出力
$\overline{WR}$	出力	P65	外部メモリのライト動作のために出力されるストロープ信号出力
ASTB	出力	CLO	外部メモリをアクセスするため、アドレス情報を外部でラッチするタイミング信号出力
CLO	出力	ASTB	クロック出力
$\overline{EA}$	入力	—	外部拡張機能の制御入力
X1	入力	—	システム・クロック発振用のクリスタル接続
X2	—		外部からクロックを供給する場合は、X1に入力しX2にその逆相を入力する。
$\overline{RESET}$	入力	—	システム・リセット入力 アナログ・ディレイによるノイズ除去回路内蔵
V <sub>DD</sub>		—	正電源供給
V <sub>SS</sub>		—	GND電位

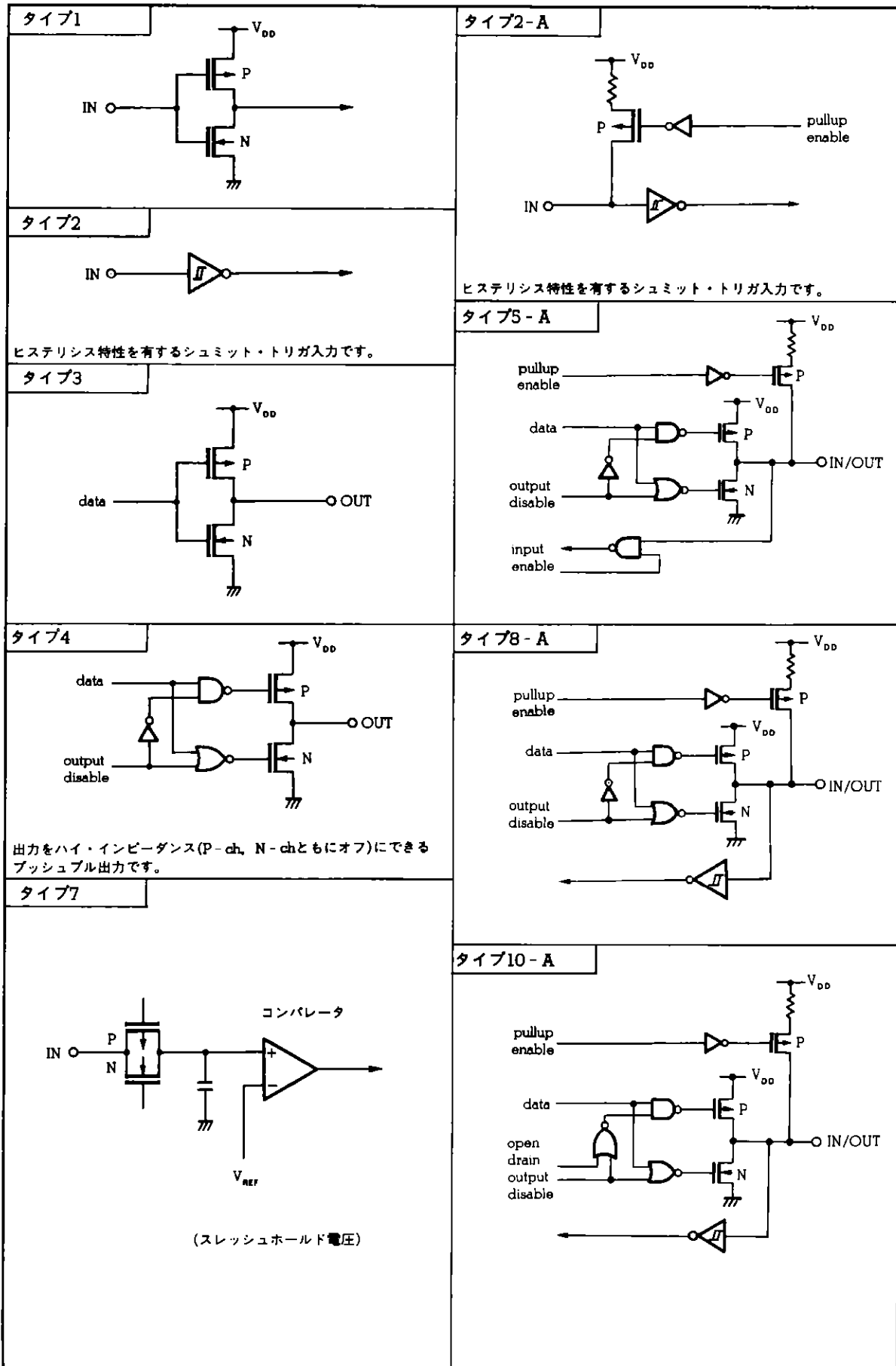
1.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路を、一部簡略化した形式を用いて表 1-1, 図 1-1 に示します。

表 1-1 端子の入出力回路タイプと未使用時の推奨接続方法

端 子	入出力回路タイプ	推 奨 接 続 方 法
P00-P07	4	オープン
P10-P17	5 - A	入力状態：プルアップ抵抗を介して $V_{DD}$ に接続 出力状態：オープン
P20/NMI	2	$V_{DD}$ に接続
P21/INTP0		
P22/INTP1	2 - A	$V_{DD}$ に接続
P23/INTP2		
P24/CTI10		
P25/CTI00		
P26/CTI11		
P27/CLR1		
P30/PTO00	5 - A	入力状態：プルアップ抵抗を介して $V_{DD}$ に接続 出力状態：オープン
P31/PTO01		
P32/PTO02		
P33/PTO11		
P34/CLR0	2 - A	$V_{DD}$ に接続
P35/SI		
P36/SO/SB0	10 - A	入力状態：プルアップ抵抗を介して $V_{DD}$ に接続
P37/ $\overline{SCK}$	8 - A	出力状態：オープン
P40-P47/AD0-AD7	5 - A	入力状態：プルアップ抵抗を介して $V_{DD}$ に接続 出力状態：オープン
P50-P57/A8-A15		
P60-P63	3	オープン
P64/ $\overline{RD}$	5 - A	入力状態：プルアップ抵抗を介して $V_{DD}$ に接続 出力状態：オープン
P65/ $\overline{WR}$		
P66, P67		
P70, P71		
PWM0, PWM1	3	オープン
PTO10		
AN10-AN17	7	$V_{SS}$ に接続
$\overline{EA}$	1	-
ASTB/CLO	3	オープン
$\overline{RESET}$	2	-
$AV_{REF}$	-	$V_{SS}$ に接続
$AV_{SS}$		

図 1-1 端子の入出力回路



2. CPU アーキテクチャ

2.1 メモリ空間

μPD78138 は、64 Kバイトのメモリ空間をアクセスできます。図 2-1 から図 2-3 に各製品のメモリ空間を示します。外部アクセス ( $\overline{EA}$ ) 端子の状態によって、プログラム・メモリのマッピングが異なります。

(1)  $\overline{EA} = H$

プログラム・メモリを内部 ROM と外部メモリにマッピングしています (表 2-1 参照)。外部メモリは、外部メモリ拡張モードでアクセスします。外部メモリの領域は、データ・メモリとしての使用も可能です。

データ・メモリを内部 RAM にマッピングしています (表 2-1 参照)。

表 2-1 メモリのマッピング ( $\overline{EA}=H$ の場合)

品名 項目	μPD78134A	μPD78136	μPD78138
内部 ROM	16 Kバイト (0000H-3FFFH)	24 Kバイト (0000H-5FFFH)	32 Kバイト (0000H-7FFFH)
外部メモリ	48512バイト (4000H-FD7FH)	40064バイト (6000H-FC7FH)	31872バイト (8000H-FC7FH)
内部 RAM	384バイト (FD80H-FEFFFH)	640バイト (FC80H-FEFFFH)	

(2)  $\overline{EA} = L$

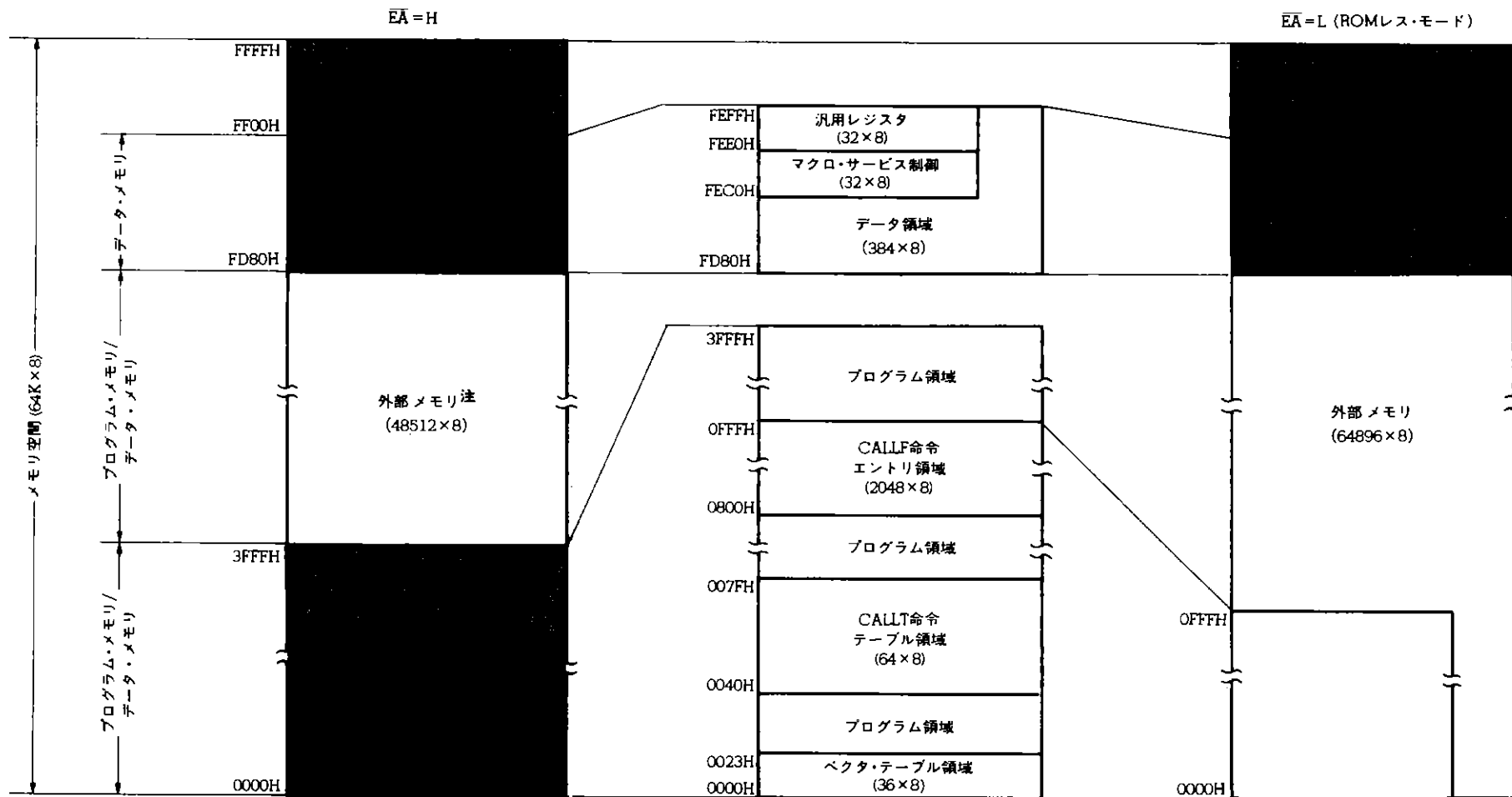
プログラム・メモリをすべて外部メモリにマッピングしています (ROM レス・モード) (表 2-2 参照)。この領域は、データ・メモリとしての使用も可能です。

データ・メモリを内部 RAM にマッピングしています (表 2-2 参照)。

表 2-2 メモリのマッピング ( $\overline{EA}=L$ の場合)

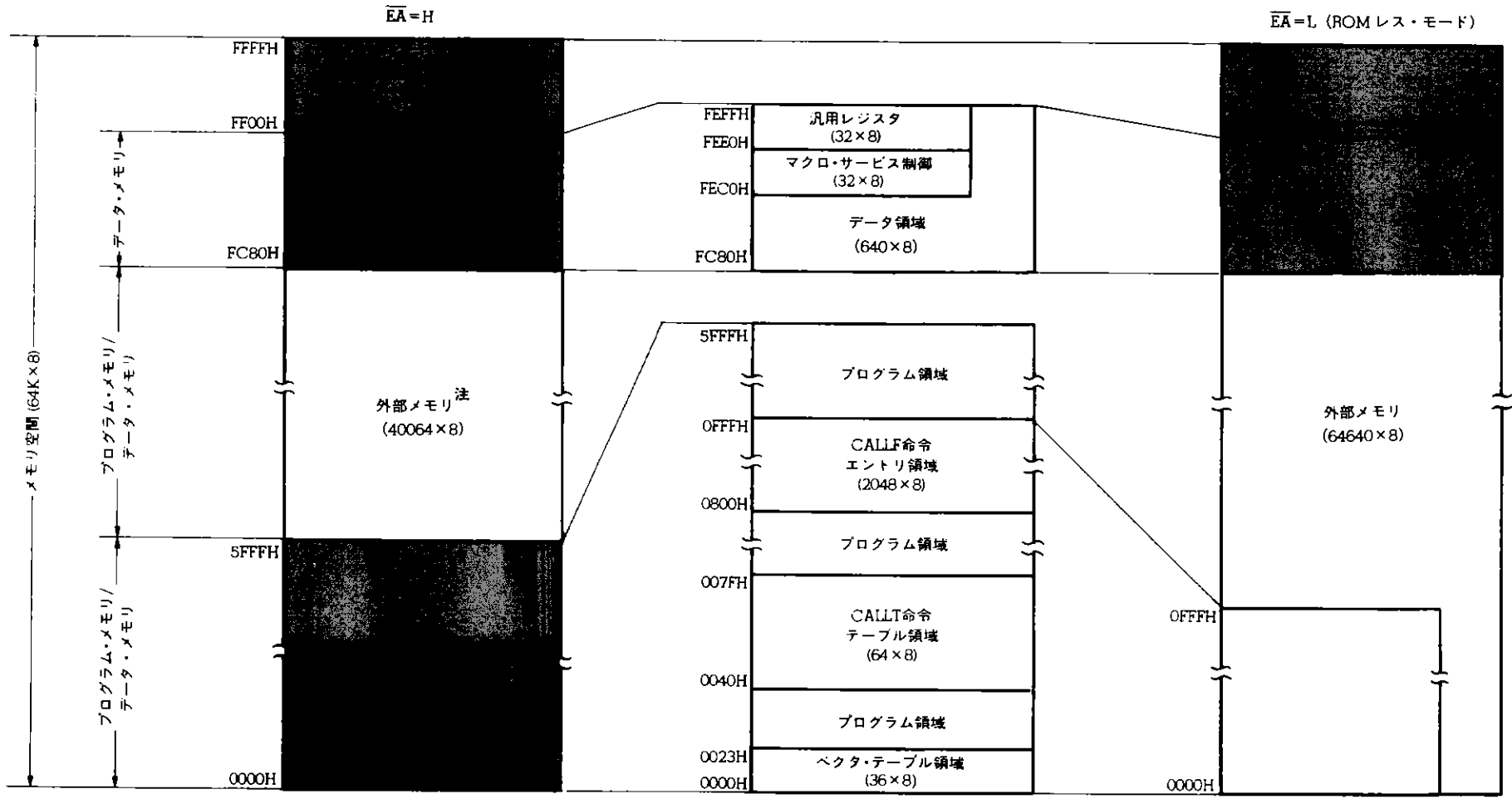
品名 項目	μPD78134A	μPD78136	μPD78138
外部メモリ	64896バイト (0000H-FD7FH)	64640バイト (0000H-FC7FH)	
内部 RAM	384バイト (FD80H-FEFFFH)	640バイト (FC80H-FEFFFH)	

図 2-1 メモリ・マップ ( $\mu$ PD78134A)



注 外部メモリ拡張モードでアクセス  
 は内部メモリ

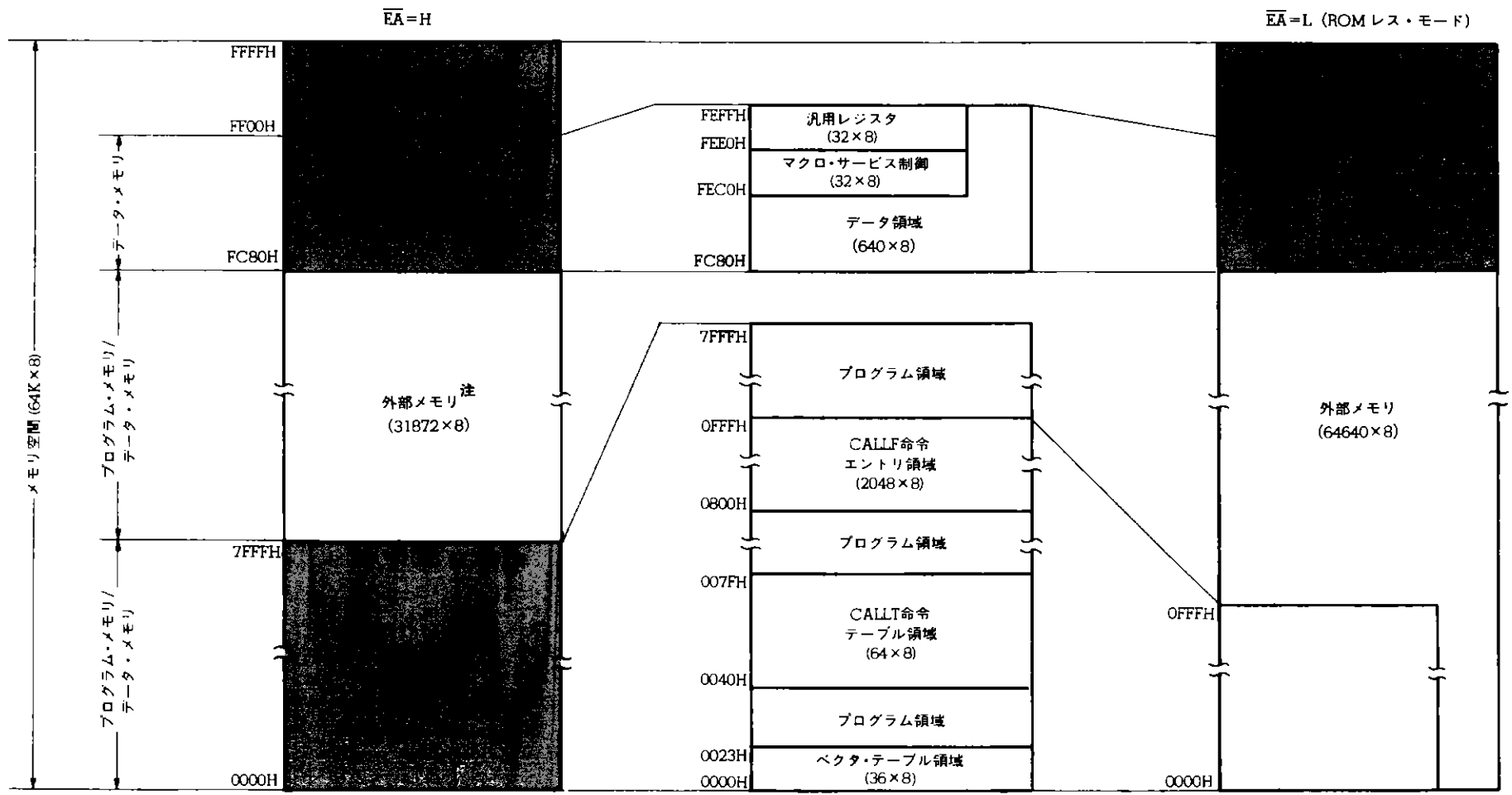
図 2-2 メモリ・マップ ( $\mu$ PD78136)



注 外部メモリ拡張モードでアクセス  
 ■ は内部メモリ



図 2-3 メモリ・マップ ( $\mu$ PD78138)



注 外部メモリ拡張モードでアクセス

■ は内部メモリ

**2.2 プロセッサ・レジスタ**

μPD78138 は、機能的に次の3つに分類されるレジスタを内蔵しています。

- 制御レジスタ
- 汎用レジスタ
- 特殊機能レジスタ (SFR)

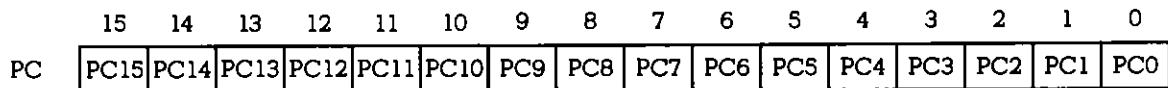
**2.2.1 制御レジスタ**

プログラム・シーケンス、ステータス、スタック・メモリ制御を行う、専用機能を持ったレジスタ群です。制御レジスタには、次の3つがあります。

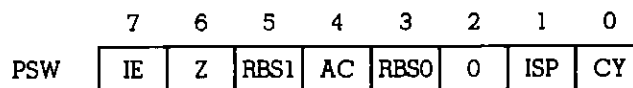
- プログラム・カウンタ (PC) : 16ビット・レジスタ
- プログラム・ステータス・ワード (PSW) : 16ビット・レジスタ
- スタック・ポインタ (SP) : 16ビット・レジスタ

各制御レジスタの構成を図2-4、2-5、2-6に示します。

**図2-4 プログラム・カウンタ (PC) の構成**

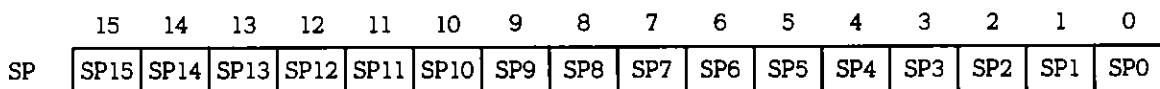


**図2-5 プログラム・ステータス・ワード (PSW) の構成**



- CY ..... キャリー・フラグ
- ISP ..... 割り込み優先順位ステータス・フラグ
- RBS0, RBS1 ..... レジスタ・バンク選択フラグ
- AC ..... 補助キャリー・フラグ
- Z ..... ゼロ・フラグ
- IE ..... 割り込み要求許可フラグ

**図2-6 スタック・ポインタ (SP) の構成**



2.2.2 汎用レジスタ

μPD78138は、8ビット・レジスタ8個を1バンクとして、4バンク（合計32個）の汎用レジスタを内蔵しています。また、このレジスタは、レジスタ・ペアとして使用することで、16ビット・レジスタとしての使用もできます。

汎用レジスタは、内蔵RAMのFEE0H-FEFFFHにマッピングされています。図2-7に汎用レジスタの構成を、表2-3に機能名称と絶対名称の対応を示します。

図2-7 汎用レジスタの構成

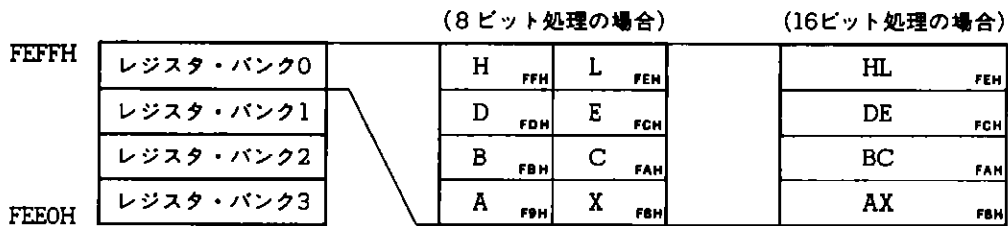


表2-3 機能名称 - 絶対名称の対応

機能名称	絶対名称	機能名称	絶対名称
X	R0	AX	RP0
A	R1	BC	RP1
C	R2	DE	RP2
B	R3	HL	RP3
E	R4		
D	R5		
L	R6		
H	R7		

### 2.2.3 特殊機能レジスタ (SFR)

各種周辺ハードウェアのモード・レジスタ等の特別な機能が割り付けられたレジスタ群です。

特殊機能レジスタ群はFF00H-FFFFHの256バイトの空間に割り付けられています。また、FF00H-FF1FHの32バイトの領域にはショート・ダイレクト・メモリ・アドレッシングが適用され、短い語長で処理することができます。

ビット操作命令、および演算、転送命令が全エリアで実行可能です。

表2-4に特殊機能レジスタ (SFR) の一覧を示します。表中の項目の意味は次のようになります。

- 略号……………内蔵された特殊機能レジスタのアドレスを示す記号。  
命令のオペランド欄に記述できます。
- R/W……………該当する特殊機能レジスタが、読み出し (Read)/書き込み (Write) 可能かどうかを示します。  
R/W : 読み出し/書き込み可能  
R : 読み出しのみ可能 (レジスタのビットのテストは可能)  
W : 書き込みのみ可能
- 操作可能ビット単位  
……………該当する特殊機能レジスタを操作する場合に、適応可能な操作ビット単位を示します。  
16ビット操作可能なSFRはオペランドのsbwpに記述でき、アドレスで指定する場合は偶数アドレスを記述します。  
1ビット操作可能なSFRは、ビット操作命令で記述できます。
- リセット時……………RESET入力時の各レジスタの状態を示します。

注意1. FFO0H-FFFFHの領域で、特殊機能レジスタが割り付けられていないアドレスは、アクセスできません。

2. 読み出しのみのレジスタに書き込みをしないでください。書き込みをすると内部回路が正常に動作しなくなることがあります。

表 2-4 特殊機能レジスタ (SFR) 一覧 (1/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時	
				1 bit	8 bit	16 bit		
FF00H	ポート0	P0	R/W	○	○	-	不定	
FF01H	ポート1	P1		○	○			
FF02H	ポート2	P2	R	○	○	-		
FF03H	ポート3	P3	R/W	○	○			
FF04H	ポート4	P4		○	○			
FF05H	ポート5	P5		○	○			
FF06H	ポート6	P6		○	○	-	xxxx0000	
FF07H	ポート7	P7	R/W	○	○	-	不定	
FF08H	16ビット・タイマ0・コンペア・レジスタ0	CR00		-	-			○
FF09H				-	-			○
FF0AH	16ビット・タイマ0・コンペア・レジスタ1	CR01		-	-			○
FF0BH				-	-			○
FF0CH	16ビット・タイマ0・コンペア・レジスタ2	CR02		-	-			○
FF0DH				-	-			○
FF0EH	16ビット・タイマ1・コンペア・レジスタ0	CR10		-	-			○
FF0FH				-	-			○
FF10H	16ビット・タイマ1・コンペア・レジスタ1	CR11		-	-			○
FF11H				-	-			○
FF12H	16ビット・タイマ1・キャプチャ・レジスタ2	CR12		-	-			○
FF13H				-	-			○
FF14H	16ビットFRCキャプチャ・レジスタ0	CPT0		-	-			○
FF15H			-	-	○			
FF16H	16ビットFRCキャプチャ・レジスタ1	CPT1	-	-	○			
FF17H			-	-	○			
FF18H	16ビットFRCキャプチャ・レジスタ2	CPT2H	-	-	○			
FF19H			-	-	○			
FF1AH	16ビットFRCキャプチャ・レジスタ3	CPT3	-	-	○			
FF1BH			-	-	○			
FF1CH	16ビットFRCキャプチャ・レジスタ2	CPT2L	-	○	-	xx00 0000		
FF1DH	プリスケラ・モード・レジスタ3	PRM3	○	○	-	0xxx x000		
FF1EH	16ビット・タイマ2・コンペア・レジスタ	CR20	R/W	-	-	○	不定	
FF1FH				-	-	○		

表 2-4 特殊機能レジスタ (SFR) 一覧 (2/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1 bit	8 bit	16 bit	
FF20H	ポート0 モード・レジスタ	PM0	W	-	○	-	FFH
FF21H	ポート1 モード・レジスタ	PM1		-	○	-	
FF23H	ポート3 モード・レジスタ	PM3		-	○	-	
FF25H	ポート5 モード・レジスタ	PM5		-	○	-	
FF26H	ポート6 モード・レジスタ	PM6		-	○	-	
FF27H	ポート7 モード・レジスタ	PM7		-	○	-	FFH
FF30H	16ビット・タイマ・レジスタ0	TM0		R	-	-	○
FF31H			-		-	-	
FF32H	16ビット・タイマ・レジスタ1	TM1	-		-	○	
FF33H			-		-	-	
FF34H	16ビット・フリー・ランニング・カウンタ	FRC	-		-	○	17クロック以降 0クリア
FF35H			-		-	-	
FF36H	16ビット・タイマ・レジスタ2	TM2	-		-	○	
FF37H			-	-	-		
FF38H	タイマ・コントロール・レジスタ0	TMC0	W	-	○	-	0××0 0000
FF39H	タイマ・コントロール・レジスタ1	TMC1	R/W	-	○	-	00H
FF3AH	キャプチャ・モード・レジスタ	CPTM	W	-	○	-	×××× ×0×0
FF3DH	7ビット・タイマ・レジスタ3	TM3	R	-	○	-	00H
FF3EH	7ビット・タイマ3 コンペア・レジスタ	CR30	R/W	-	○	-	×111 1111
FF3FH	7ビット・タイマ3 キャプチャ・レジスタ	CPT30	R	-	○	-	不定
FF40H	ブルアップ抵抗オプション・レジスタ	PUO	R/W	○	○	-	00H
FF43H	ポート3 モード・コントロール・レジスタ	PMC3		○	○	-	30H
FF4AH	ポート0 バッファ・レジスタ	POL		○	○	-	不定
FF4BH	ポート0 バッファ・レジスタ	POH		○	○	-	
FF4CH	リアルタイム出力ポート・コントロール・レジスタ	RTPC		○	○	-	00H
FF50H	入力コントロール・レジスタ	ICR	W	-	○	-	0×0× 0×××
FF53H	イベント・ディバイダ・コントロール・レジスタ	EDVC		-	○	-	不定
FF54H	イベント・カウンタ・コンペア・レジスタ1	ECC1		-	○	-	××11 1111
FF55H	イベント・カウンタ・コンペア・レジスタ0	ECC0		-	○	-	××11 1111
FF56H	イベント・カウンタ	EC	R	-	○	-	××00 0000
FF58H	タイマ0 出力モード・レジスタ	TOM0	W	-	○	-	××00 0000
FF59H	タイマ0 出力コントロール・レジスタ	TOC0		-	○	-	××00 0000
FF5AH	タイマ1 出力モード・レジスタ	TOM1		-	○	-	×××× 0000
FF5BH	タイマ1 出力コントロール・レジスタ	TOC1	R/W注	-	○	-	×××× 0000

注 TOC1はビット0のみリード可。

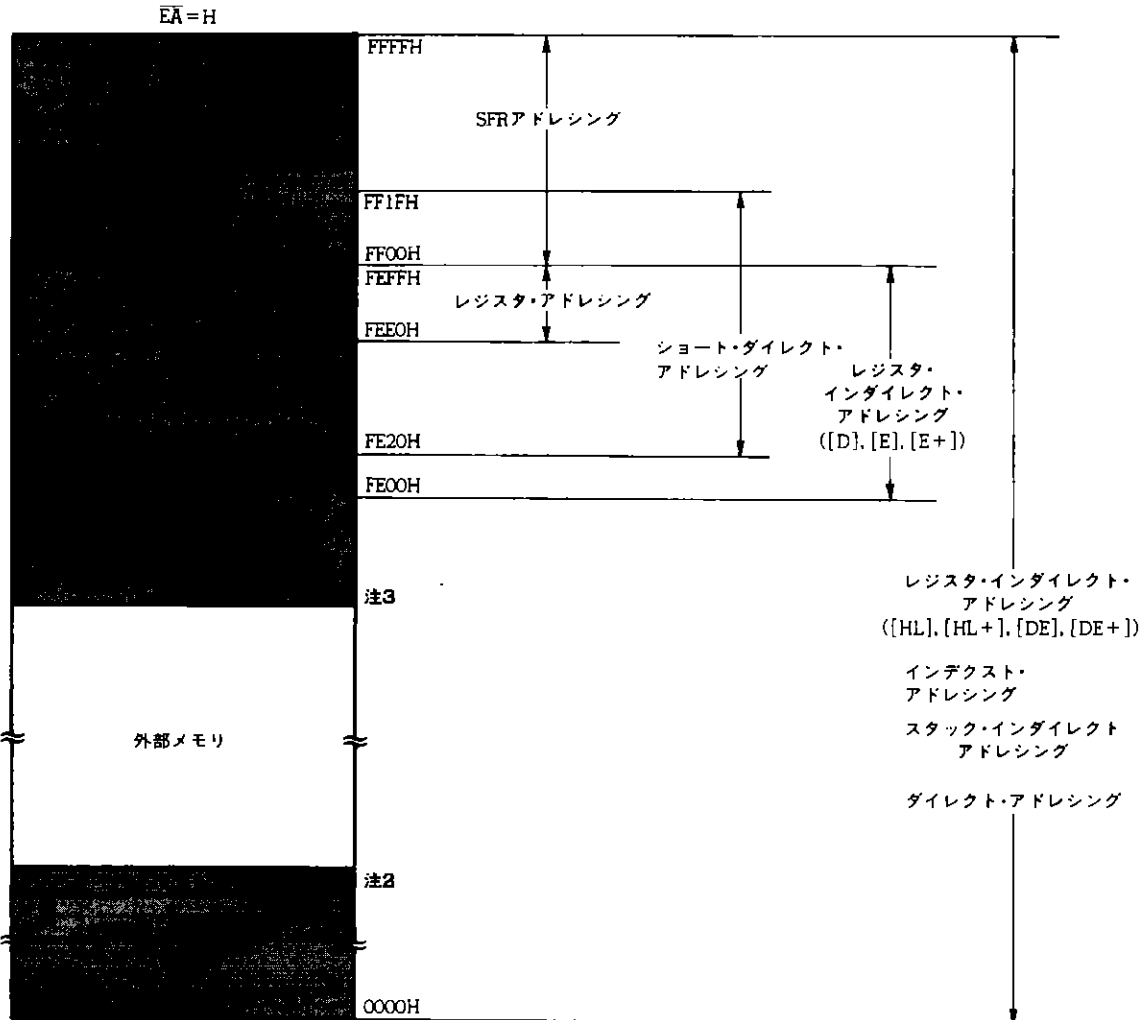
表 2-4 特殊機能レジスタ (SFR) 一覧 (3/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時	
				1 bit	8 bit	16 bit		
FF68H	A/D変換モード・レジスタ	ADM	R/W	○	○	-	00H	
FF6AH	A/D変換結果レジスタ	ADCR	R	-	○	-	不定	
FF70H	PWMコントロール・レジスタ	PWMC	R/W	○	○	-	05H	
FF72H	PWM0モジュロ・レジスタ	PWM0	W	-	-	○	不定	
FF73H				-	-			
FF74H	PWM1モジュロ・レジスタ	PWM1		-	-	○		
FF75H				-	-			
FF7FH	クロック出力モード・レジスタ	CLOM	R/W	○	○	-	00H	
FF80H	シリアル・インタフェース・モード・レジスタ	CSIM	R/W	○	○	-	00H	
FF82H	シリアル・バス・インタフェース・コントロール・レジスタ	SBIC	R/W	○	○	-	00H	
FF86H	シリアル・シフト・レジスタ	SIO		-	○	-	不定	
FFC0H	スタンバイ・コントロール・レジスタ	STBC		-	○	-	00H	
FFC4H	メモリ・マッピング・レジスタ	MM	W	-	○	-	20H	
FFE0H	割り込み要求フラグ・レジスタ	IFOL	IFO	R/W	○	○	○	00H
FFE1H		IFOH						○
FFE4H	割り込みマスク・レジスタ	MKOL	MKO		○	○	○	FFH
FFESH		MKOH			○	○		FFH
FFE8H	優先順位指定フラグ・レジスタ	PROL	PRO		○	○	○	FFH
FFE9H		PROH			○	○		FFH
FFECH	割り込みサービス・モード・レジスタ	ISMOL	ISMO		○	○	○	00H
FFEDH		ISMOH			○	○		00H
FFF4H	外部割り込みモード・レジスタ	INTMO			○	○	-	50H
FFF5H	外部キャプチャ入力モード・レジスタ	INTM1			○	○	-	0000 ××01

2.3 データ・メモリ・アドレッシング

μPD78138 のデータ・メモリ・マップとアドレッシングを図 2-8 に示します。これらの豊富なアドレッシングにより、効率のよいプログラムを作成できます。

図 2-8 データ・メモリのメモリ・マップとアドレッシング



注 1.  $\overline{E\bar{A}}=L$  の場合、外部メモリになります。

2. 次の表を参照してください。

3. //

	μPD78134A	μPD78136	μPD78138
注2	3FFFH	5FFFH	7FFFH
注3	FD80H	FC80H	

注意 スタック・ポインタを SFR 領域や ROM 領域に設置しないでください。

備考 ██████ は内部メモリです。



3. 周辺ハードウェア機能

3.1 ポート機能

μPD78138 のデジタル入出力ポートには、表 3-1 に示すような種類があります。

いずれのポートも、入出力データの8ビット操作のほかに、ビット操作が可能で、きわめて多様な制御ができます。また、ポート1からポート7は、ソフトウェア制御のプルアップ抵抗を内蔵できます。図 3-1 にポートの構成を示します。

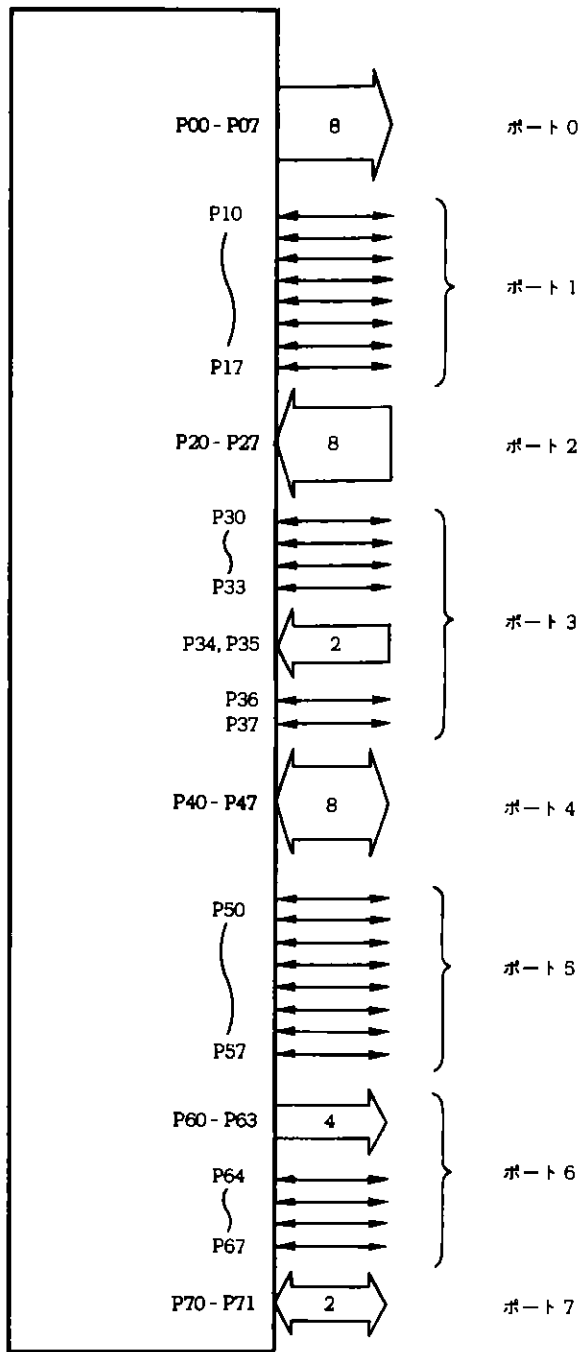
表 3-1 ポートの機能

★

名 称	端 子 名	機 能	ソフトウェア・プルアップの指定
ポート0	P00 - P07	8ビット一括で出力ポートかハイ・インピーダンスかに指定可能 4ビット×2チャンネルあるいは8ビット×1チャンネルのリアルタイム出力ポートとしても動作可能	—
ポート1	P10 - P17	1ビット単位で入力または出力に指定可能 LEDを直接駆動可能	入力モードの端子については一括で指定
ポート2	P20 - P27	8ビット入力ポート	6ビット一括で指定 (P22 - P27のみ)
ポート3	P30 - P37	8ビット入出力ポート 1ビット単位でポート端子またはコントロール端子に指定可能。 P30 - P33, P36, P37は、1ビット単位で入力または出力に指定可能 P34, P35は入力専用ポート	入力モードの端子については一括で指定
ポート4	P40 - P47	8ビット入出力ポート 8ビット単位で入力または出力に指定可能	8ビット一括で指定
ポート5	P50 - P57	8ビット入出力ポート 1ビット単位で入力または出力に指定可能	入力モードの端子については一括で指定
ポート6	P60 - P67	8ビット入出力ポート P60 - P63は出力専用ポート P64 - P67は、1ビット単位で入力または出力に指定可能	入力モードの端子については一括で指定 (P64 - P67のみ)
ポート7	P70 - P71	2ビット入出力ポート 2ビット単位で入力または出力に指定可能	2ビット一括で指定

注意 ビットごとにプルアップ指定のできるポートは入力モードの場合のみプルアップ抵抗を内蔵できます。

図 3-1 ポート構成

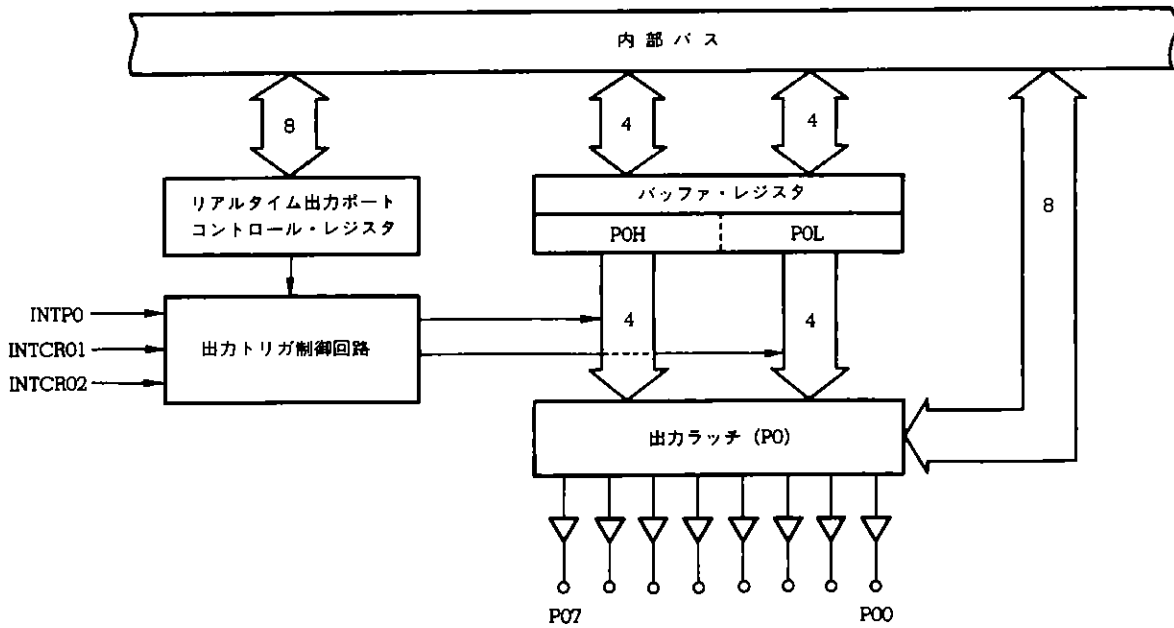


**3.2 リアルタイム出力ポート**

リアルタイム出力ポートは図3-2に示すようにポート0とバッファ・レジスタを中心に構成しています。

バッファ・レジスタにあらかじめ格納しておいたデータを、タイマの一致割り込みまたは外部割り込みの発生と同時にハードウェアで出力ラッチに転送することにより、ジッタのないパルス出力信号を得ることができます。したがって、ステッピング・モータの開ループ制御など、任意のインターバル時間で、任意のパターンを出力する応用に最適です。

**図3-2 リアルタイム出力ポートのブロック図**



**備考** INTPO : P21/INTPO 端子への有効エッジ入力  
 INTCR01, INTCR02 : 16ビット・タイマ (TMO) とコンペア・レジスタ (CR01, CR02) との一致信号。

## 3.3 スーパ・タイマ・ユニット

μPD78138 は下記のタイマ・ユニットで構成されるスーパー・タイマ・ユニットを内蔵しています。

表 3-2 スーパ・タイマの構成

ユニット名	タイマ/カウンタ	レジスタ	備考
タイマ0	16ビット・タイマ×1 (TM0)	16ビット・コンペア・レジスタ×3	6ビット補助 カウンタ内蔵
フリー・ランニング・ カウンタ	18ビット・カウンタ×1 (FRC)	16ビット・キャプチャ・レジスタ×3 18ビット・キャプチャ・レジスタ×1	デジタル・ノイズ 除去回路内蔵
タイマ1	16ビット・タイマ×1 (TM1)	16ビット・コンペア・レジスタ×2 16ビット・キャプチャ・レジスタ×1	・6ビット補助 カウンタ内蔵
	7ビット・カウント・レジスタ×1 (TM3)	7ビット・コンペア・レジスタ×1 7ビット・キャプチャ・レジスタ×1	・パルス幅検出機能
タイマ2	16ビット・タイマ×1 (TM2)	16ビット・コンペア・レジスタ×1	
PWM出力	8+4ビット・カウンタ×2 (PWM0, PWM1)	16ビット・モジュロ・レジスタ×2 (12ビット有効)	出力のアクティブ・ レベル可変

図 3-3 にスーパー・タイマ・ユニットの概要を示します。

また、μPD78138 のスーパー・タイマ・ユニットの最大の特徴はタイマ0(TM0)、フリー・ランニング・カウンタ(FRC)、タイマ1(TM1)にあります。

その構成を図 3-4 に示します。これらのタイマ・ユニットを使用することによって、ソフトウェアによるサーボ制御やDCモータの制御、VTRのインデクス・サーチなどが容易に実現できます。

図3-3 スーパ・タイマ・ユニットの概要

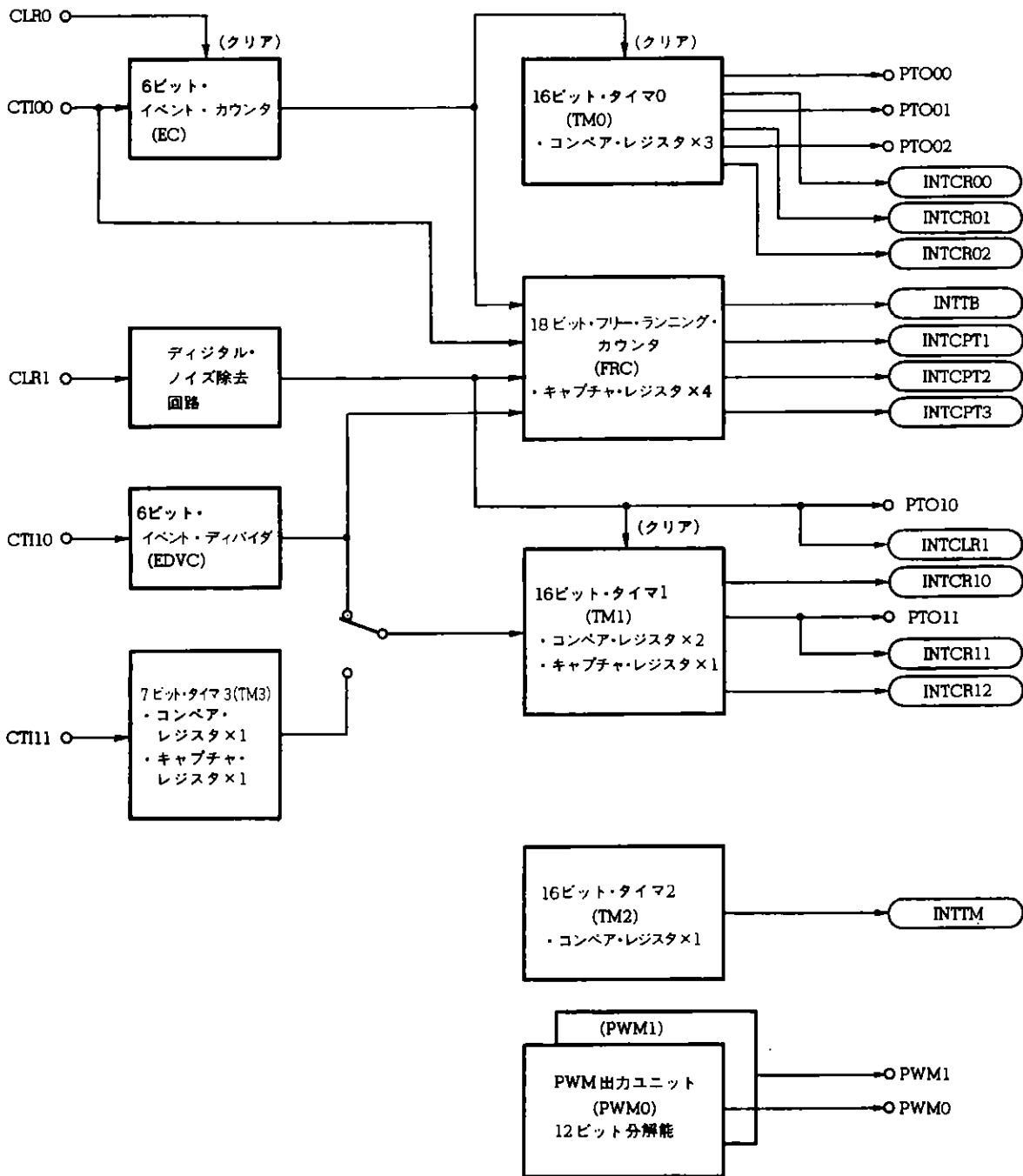
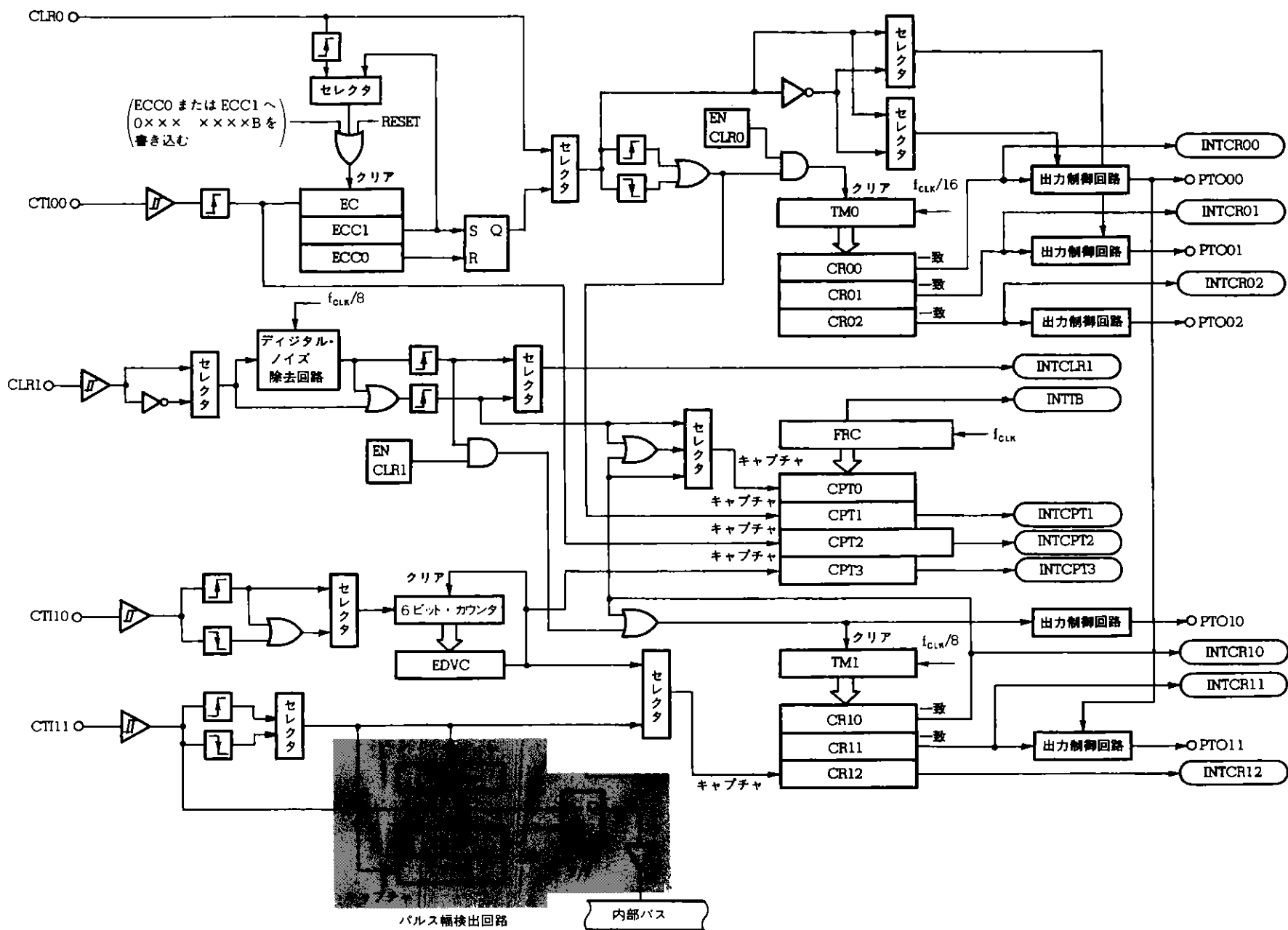


図 3-4 タイマ0, タイマ1, フリー・ランニング・カウンタの構成

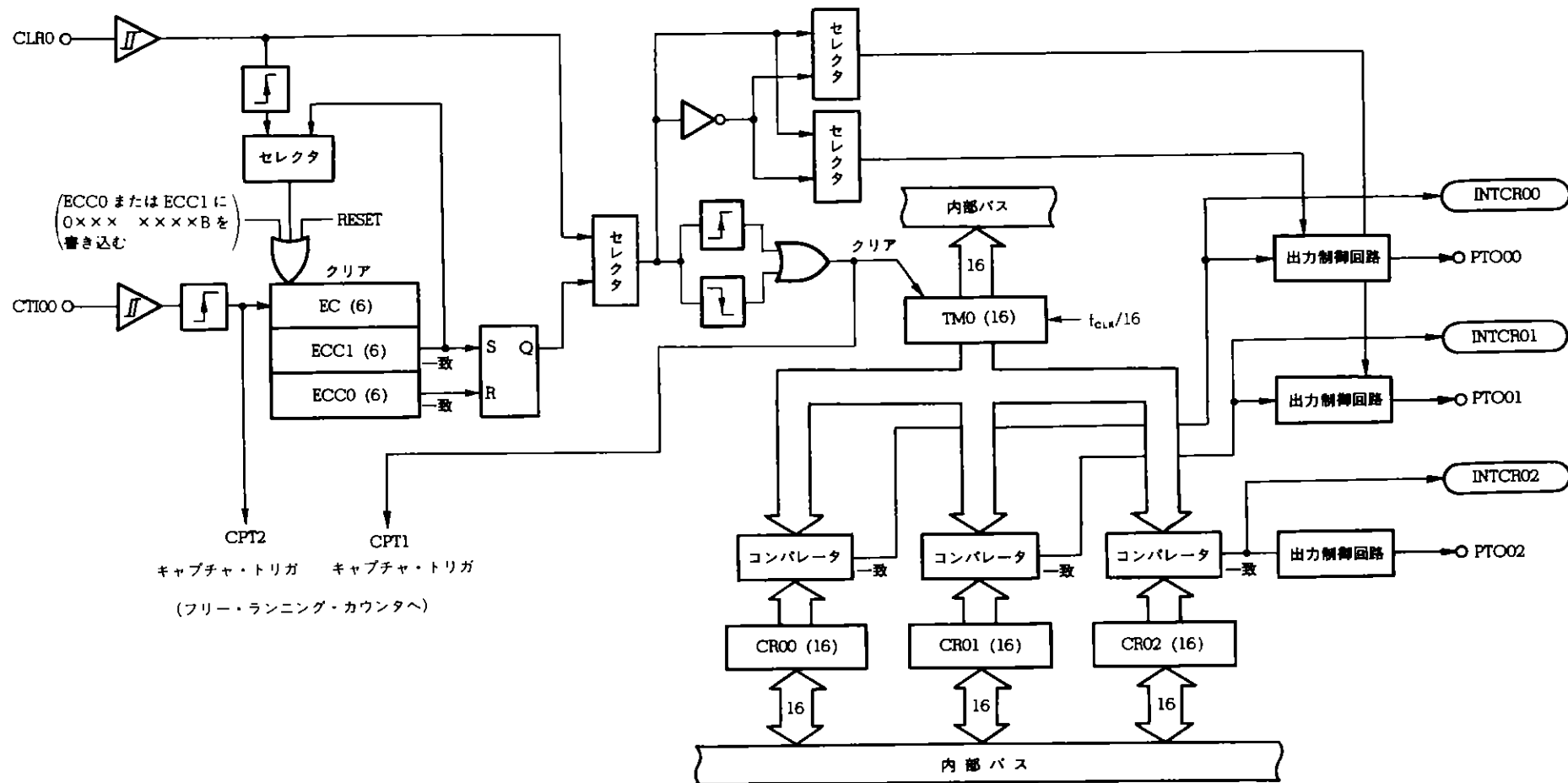


### 3.3.1 スーパ・タイマ・ユニットの機能

#### (1) タイマ0 (TMO) : 16ビット・タイマ

パルス出力のタイミング制御に適したタイマです。外部入力信号をトリガとして、パルス出力の出カタイミングをプログラマブルに遅延させることができます。パルス出力は、3チャンネル取り出せ、VTRの音声、映像用ヘッド・スイッチ信号などに使用できます。

図3-5 タイマ0の構成

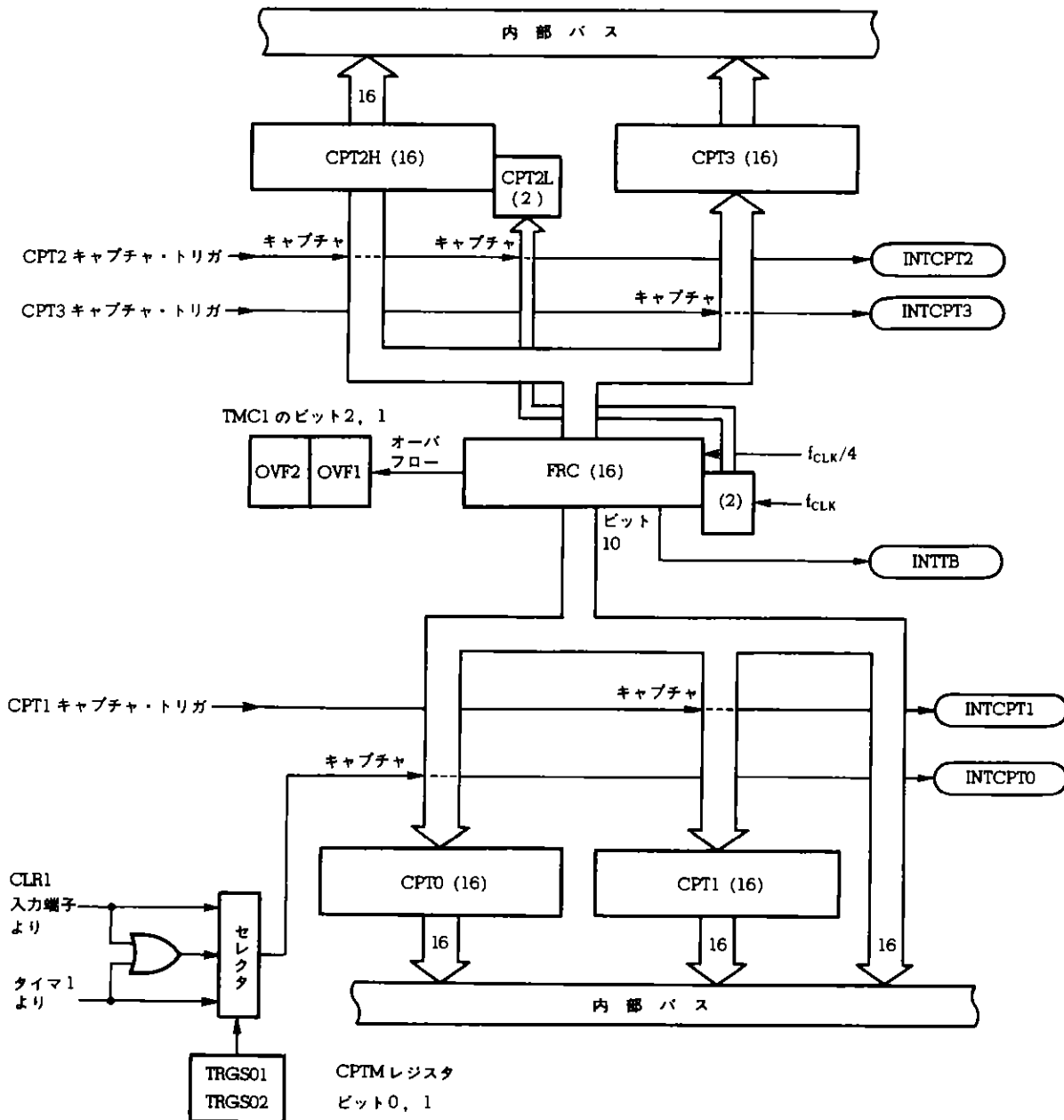




② フリー・ランニング・カウンタ (FRC) : 18ビット・カウンタ

外部パルスの周期測定に適したカウンタです。4個のキャプチャ・レジスタを内蔵していますので、4つのトリガに対してそれぞれ平行に周期測定が可能です。18ビット・カウンタの採用により、高速で回転するVTRのドラムの速度、位相検出などを精度良く行えます。

図 3-6 フリー・ランニング・カウンタの構成



(3) タイマ1 (TM1) : 16 ビット・タイマ

内部処理の基準信号を生成するタイマです。外部トリガ入力による基準信号の生成や、パルス出力機能など多様な応用が可能です。タイマ0のようにプログラマブル遅延パルス出力もできます。また、タイマ1のユニット内には、7ビット・タイマのタイマ3 (TM3)を内蔵しています。このタイマは、外部パルスのパルス幅検出や周期測定用として使用できます。

図3-7 タイマ1の構成

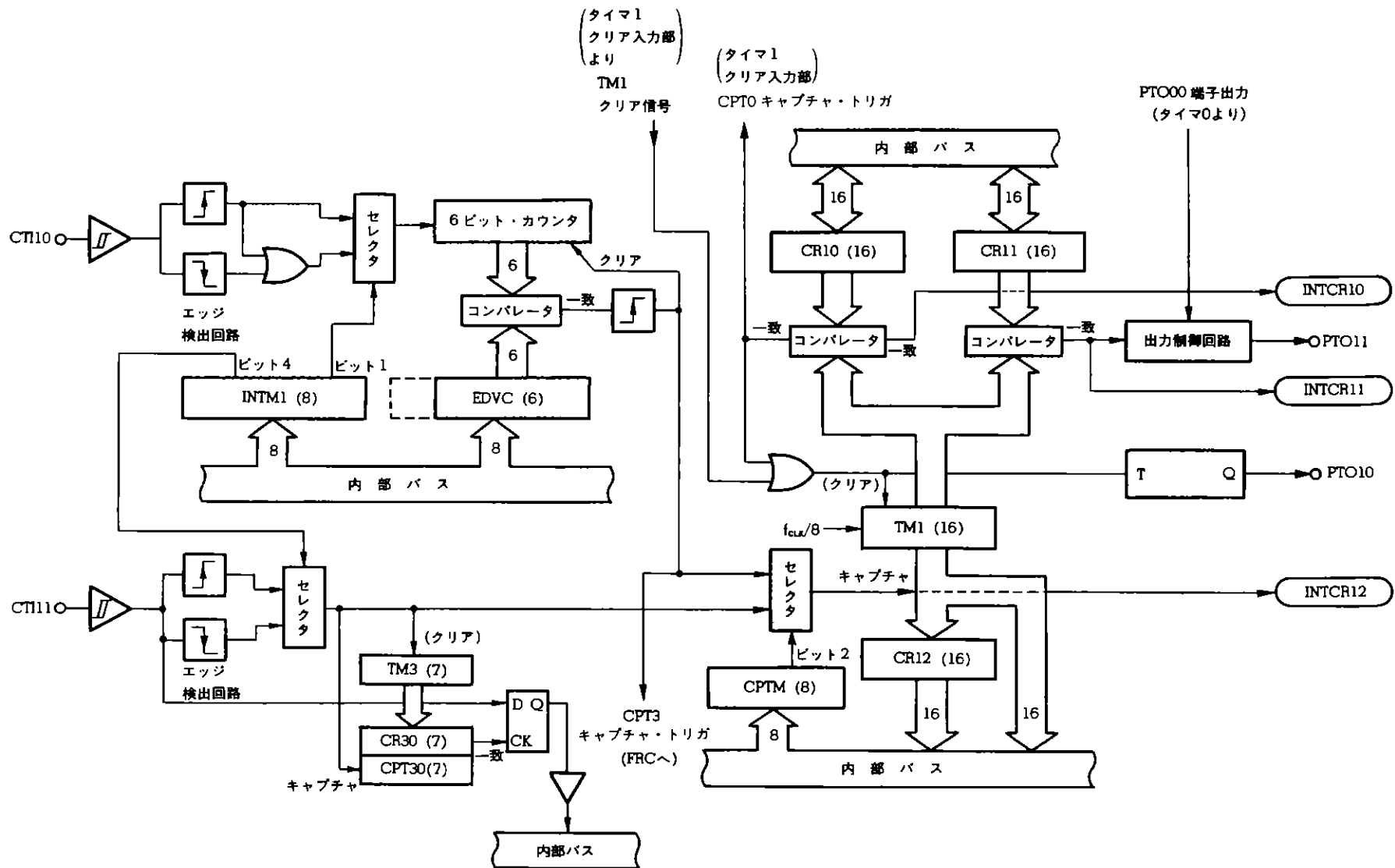
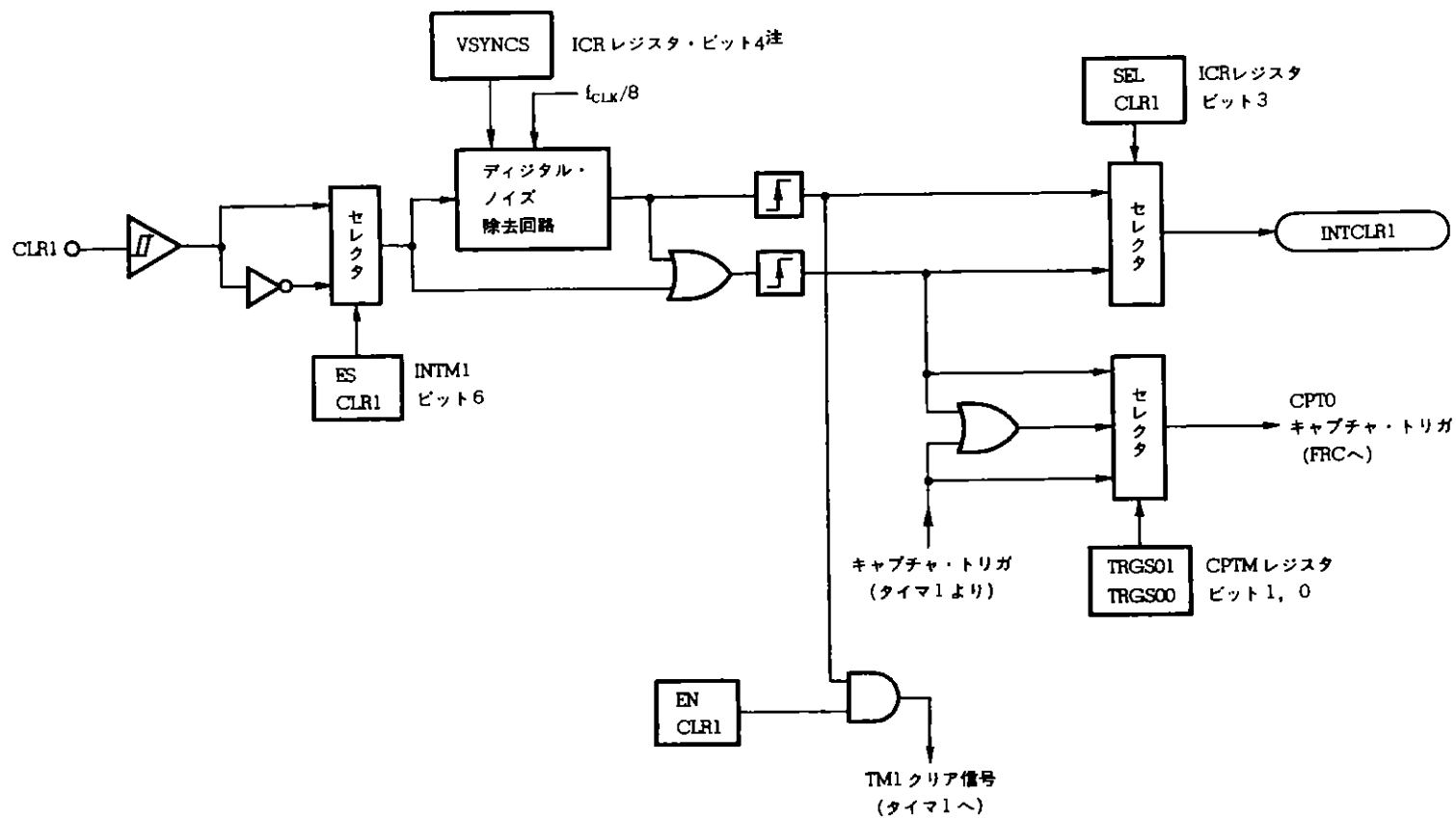


図3-8 タイマ1 クリア入力部の構成



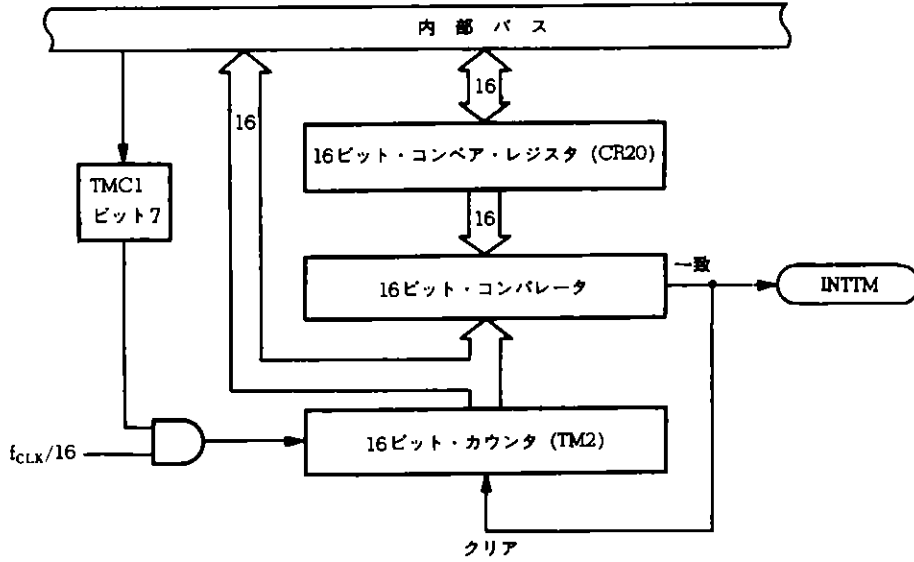
注 ノイズとして除去するパルス幅は、次の2種類あります。

- $(f_{CLK}/8) \times 5$  以上
- $(f_{CLK}/8) \times 10$  以上

(4) タイマ 2 (TM2) : 16 ビット・タイマ

汎用の 16 ビット・タイマです。コンペア・レジスタとタイマ 2 の内容が一致すると、タイマ 2 は自動的にクリアされ、同時に割り込みを発生するインターバル・タイマとして機能します。

図 3-9 タイマ 2 ブロック図

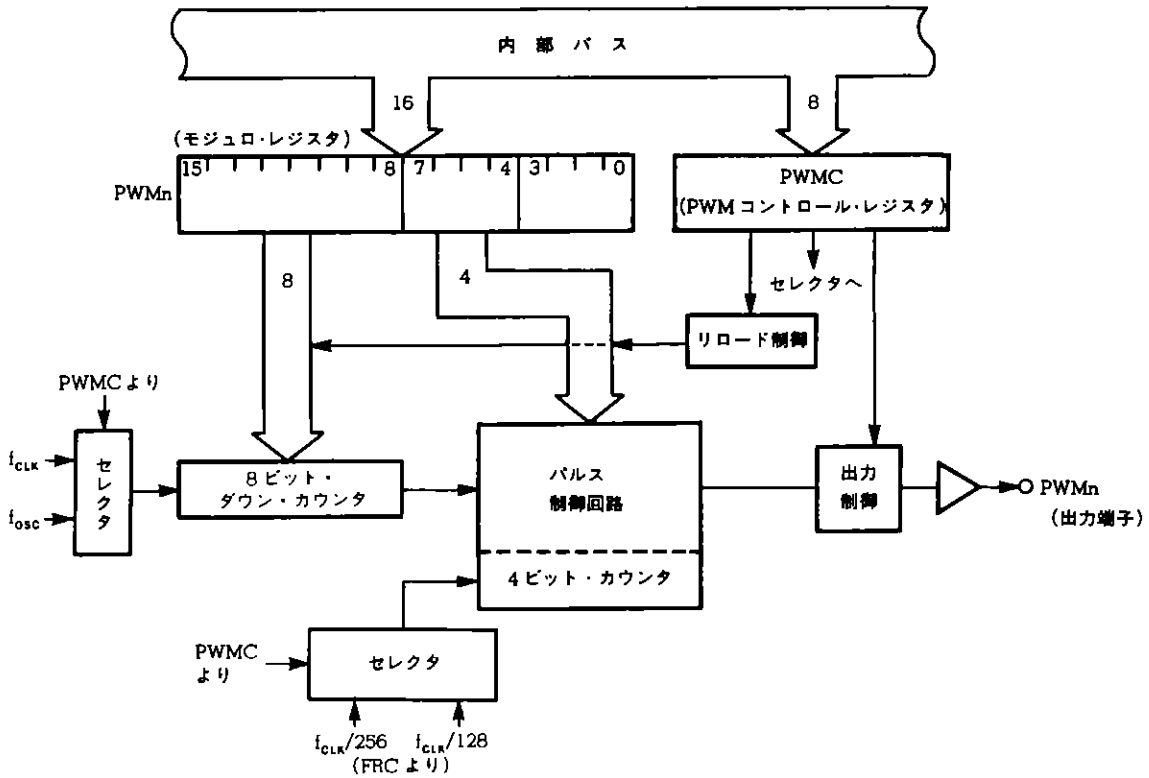


⑤ PWM 出力 (PWM0, PWM1) : 12 ビット PWM

12 ビット分解能の PWM (パルス幅変調) 出力回路を 2 チャンネル内蔵しています。この PWM 出力は両チャンネルとも独立アクティブ・レベルをハイカローに選択できます。この出力は DC モータの速度制御用として最適です。

また、μPD78138 の内蔵する PWM 出力は、キャリア周波数を 23.4 kHz/46.9 kHz (12 MHz 動作時) のいずれかに選択することができます。特に、この 46.9 kHz の PWM 出力によって、従来よりもさらに応答性の良いサーボ制御が可能になります。

図 3-10 PWM 出力ユニット・ブロック図 (n = 0, 1)



備考  $f_{CLK} = f_{OSC} / 2$

3.4 A/Dコンバータ

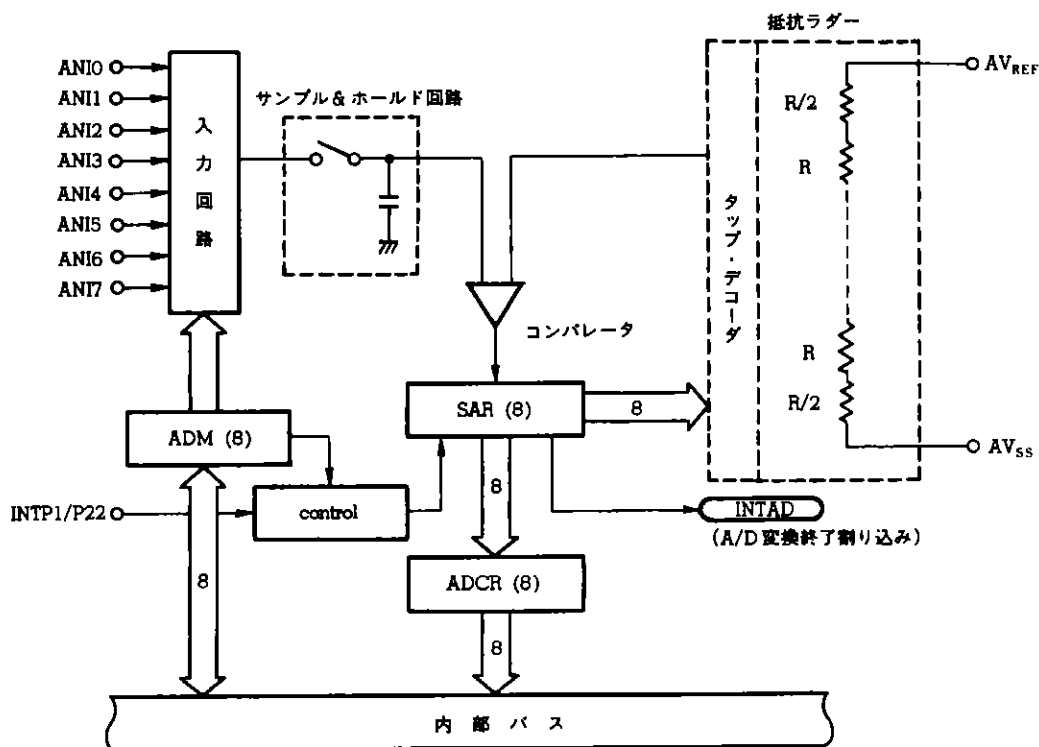
μPD78138は、8マルチプレクスト・アナログ入力 (ANIO-ANI7) をもつ8ビット高速、高精度のアナログ/デジタル (A/D) コンバータを内蔵しています。図3-11にA/Dコンバータのブロック図を示します。

A/Dコンバータは、逐次比較方式を採用し、変換結果を保持するA/D変換結果レジスタ (ADCR) を備えています。

A/Dコンバータには、1本のアナログ入力を連続して変換するセレクト・モードと、複数のアナログ入力を順次変換するスキャン・モードの2つの動作モードがあります。さらに外部割り込み要求信号に同期してA/D変換動作をスタートすることもできます。

変換時間は30 μsec (12 MHz動作時) です。

図3-11 A/Dコンバータのブロック図



注意 いかなる場合でも、ANIO-ANI7端子には $AV_{REF}$  (A/Dコンバータ用基準電圧) を越える電圧を印加しないでください。

**3.5 シリアル・インタフェース**

$\mu$ PD78138は、クロック同期式のシリアル・インタフェースを1チャンネル内蔵しています。このシリアル・インタフェースは、2つの動作モードを選択することができます。

- 3線式シリアル・インタフェース
- シリアル・バス・インタフェース (SBI)

**備考 シリアル・バス・インタフェース (SBI)**

シリアル・クロック (SCK), シリアル・バス (SBO) の2本のラインで複数のデバイスと通信できるインタフェース・モードです。NECのオリジナル・フォーマットによるシリアル・データの操作によって、送受信データを“アドレス”, “コマンド”, “データ”に識別することができます。

図3-12 SBIの接続例

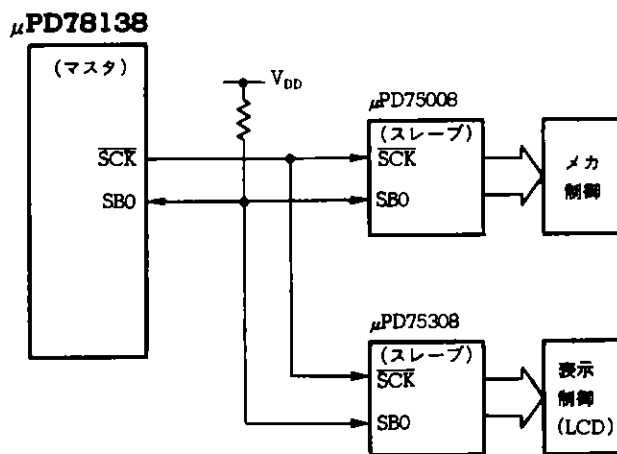
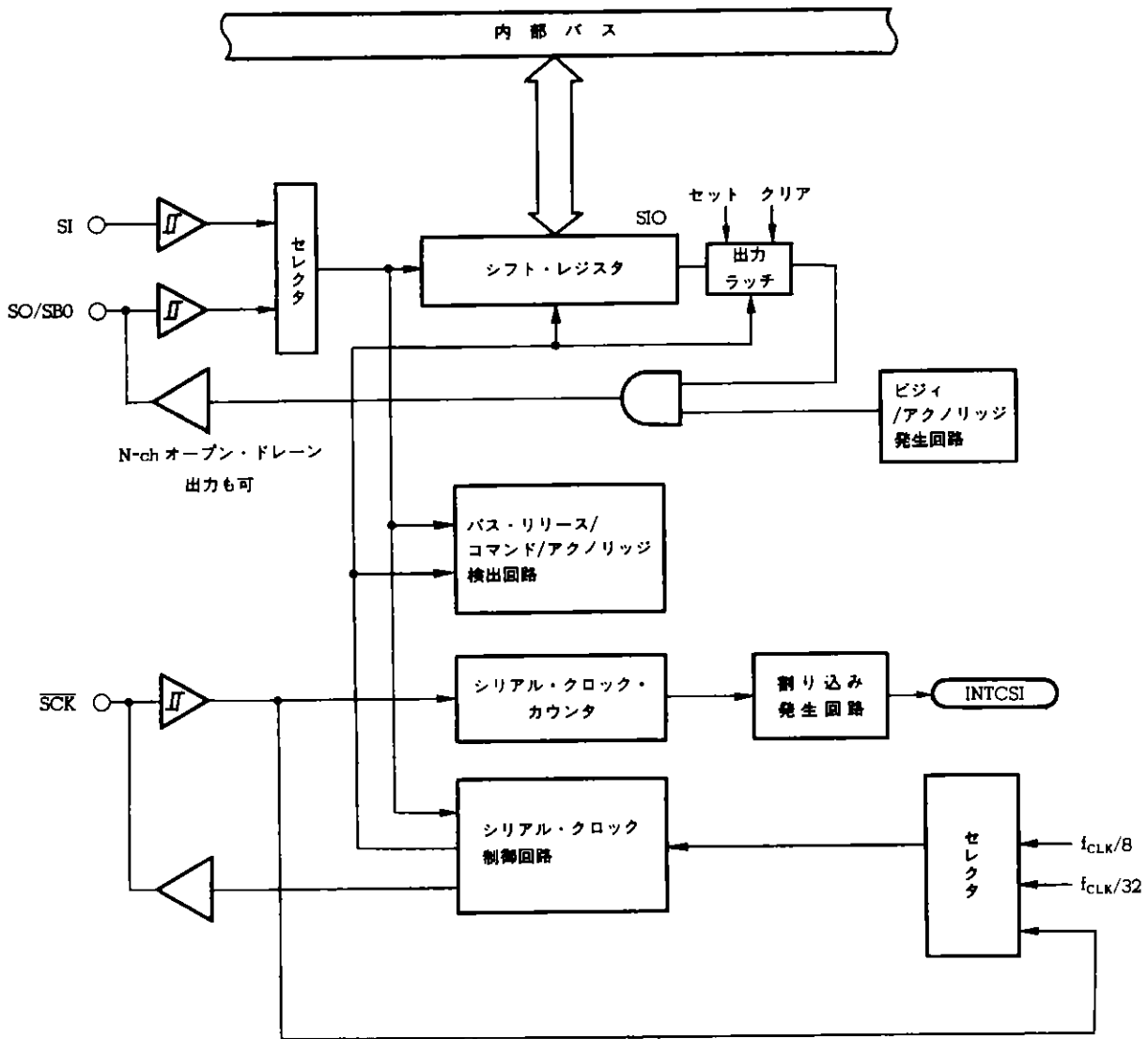




図 3-13 クロック同期式シリアル・インタフェース・ブロック図



## 4. 割り込み機能

μPD78138 は、内部、外部あわせて 17 要因という豊富な割り込み要求を処理できます。また、NMI を除く割り込み要求に対して、ベクタ割り込みか、マクロ・サービスのいずれの処理を行うか、ソフトウェアで選択できるようになっています。

### 4.1 ベクタ割り込みとマクロ・サービス

#### (1) ベクタ割り込み

割り込みが受け付けられると、ベクタ・テーブル領域に格納されているデータ（ユーザが作成する割り込み処理プログラムの先頭アドレス）に従い、割り込み処理プログラムを実行します。

μPD78138 のベクタ割り込みは、ソフトウェアによって 2 レベルのプライオリティを指定できます。この機能により多重割り込みの制御を容易にします。

#### (2) マクロ・サービス

割り込みが受け付けられると、ファームウェアによってあらかじめファームウェアで設定されているサービスを実行します。

マクロ・サービスには次に示すようなものがあります。

- ・メモリと特殊レジスタ (SFR) とのデータの自動転送を行うデータ転送モード
- ・リアルタイム出力ポートの機能を十分に発揮するためのリアルタイム出力ポート制御モード
- ・割り込みの発生回数を計数するカウンタ・モード
- ・外部から入力されるデータ列を識別するデータ・パターン識別モード

これらの処理は、CPU を介さずに行われるため、CPU のステータス (SP, PSW など) を退避/復帰する必要がありません。したがって、CPU のサービス時間を向上させる大きな効果があります。

4.2 割り込みソース

μPD78138の割り込み要求ソースを表4-1に示します。各割り込みはすべて割り込みベクタ・テーブルを備えています。また、マスカブル割り込みすべてが、マクロ・サービス処理を備えています。

表4-1 割り込み要求ソースの種類

タイプ	デフォルト・プライオリティ	要因		マクロ・サービス	ベクタ・テーブル・アドレス
		名称	トリガ		
ノンマスカブル	—	NMI	端子入力エッジ検出	無	0002H
マスカブル	0 (最高)	INTPO	//	有	0004H
	1	INTCPT3	EDVC 出力 (CPT3 キャプチャ)		0006H
	2	INTCPT2	端子入力エッジ検出 (CPT2 キャプチャ)		0008H
	3	INTCR12	端子入力/EDVC (CR12 キャプチャ)		000AH
	4	INTCRO0	TM0-CR00 一致		000CH
	5	INTCLR1	端子入力エッジ検出		000EH
	6	INTCR10	TM1-CR10 一致信号		0010H
	7	INTCR01	TM0-CR01 //		0012H
	8	INTCR02	TM0-CR02 //		0014H
	9	INTCR11	TM1-CR11 //		0016H
	10	INTCPT1	端子入力/ECC0, 1		0018H
	11	INTTM	TM2-CR20 一致信号		001AH
	12	INTCSI	シリアル転送終了		001CH
	13	INTTB	FRC オーバフロー		001EH
	14	INTP1/INTAD	端子入力/A/D変換終了 <sup>注</sup>		0020H
15 (最低)	INTP2	端子入力エッジ検出	0022H		

EDVC: イベント・ディバイダ・コンペア・レジスタ

ECC0, 1: イベント・カウンタ・コンペア・レジスタ 0, 1

TM0, 1: 16ビット・タイマ 0, 1

CRXX: コンペア・レジスタ (XX=00, 01, 02, 11, 20)

ただし CR12 はキャプチャ・レジスタ

FRC: 18ビット・フリー・ランニング・カウンタ

注 外部割り込み (INTP1) は A/D変換終了割り込み (INTAD) と兼用になっています。

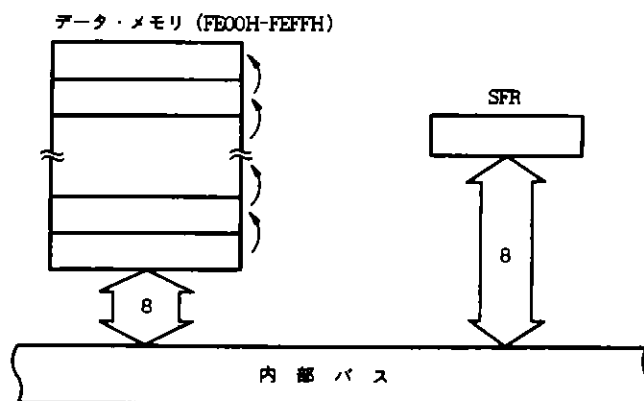
備考 デフォルト・プライオリティは同時に複数の割り込みが発生している場合に優先される順位です。

### 4.3 マクロ・サービスの種類

$\mu$ PD78138 は、割り込み処理の一つとしてファームウェアによるマクロ・サービス機能を内蔵しています。マクロ・サービスには、4つの種類があり、これらはソフトウェアによって選択します。

#### (1) データ転送モード

割り込みの発生により、割り込みに対応したSFRとデータ・メモリ間で、8ビット・データの送受信をします。また割り込みが発生するごとに、データ・メモリのアドレスが変化し、連続したデータを送受信できます。データ・メモリのアドレス (FE00H-FE7FH のいずれか)、連続回数はソフトウェアで制御でき、その指定した連続回数が終了するとベクタ割り込みが発生します。

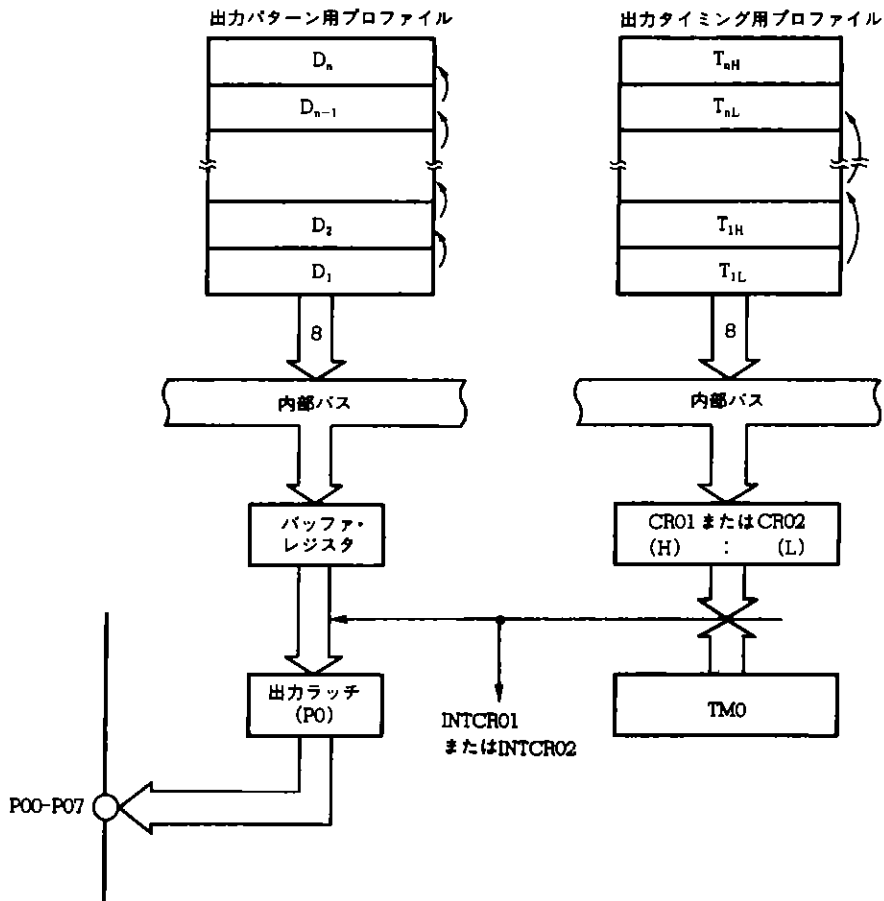


(2) リアルタイム出力ポート制御モード

リアルタイム出力ポートの制御に有効なマクロ・サービスです。INTCRO1 または INTCRO2 の割り込みが発生すると出力パターン用プロファイル、出力タイミング用プロファイルが、それぞれバッファ・レジスタ (POL, POH), コンペア・レジスタ (CRO1 または CRO2) に転送されます。

各プロファイルのデータ転送が終了するとベクタ割り込みが発生します。

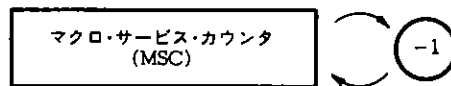
このマクロ・サービスによって、2チャンネルのステッピング・モータを独立に制御することや、PWM出力、VTRにおけるヘッド・スイッチング信号出力など幅広い応用が可能です。



(3) カウンタ・モード

割り込み発生によって、マクロ・サービス・カウンタ (MSC) をデクリメントしてゆくモードで、割り込み発生回数のカウント動作や、割り込みの分周動作として使用できます。

カウンタが0になるとベクタ割り込みが発生します。

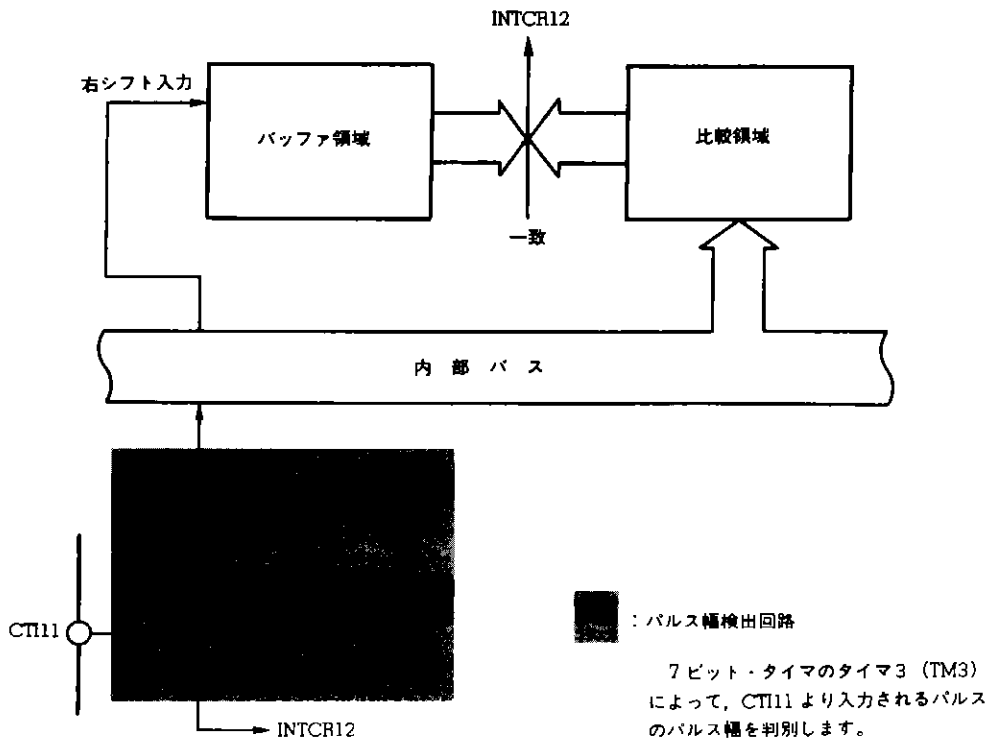


(4) データ・パターン識別モード (VTR などのインデクス・サーチ制御)

このマクロ・サービスは、INTCR12 の発生によってコントロール F/F (CTL F/F) のデータをバッファ領域へ転送します。次にバッファ領域では転送されてきたデータを右シフト動作によって取り込みます。そして、取り込まれたバッファ領域のデータが、あらかじめ設定されている比較領域のデータと一致するとベクタ割り込みを発生するマクロ・サービスです (データ・パターン識別機能)。

このマクロ・サービスを応用することによって、VTR などのインデクス・サーチ (頭出し) 制御が容易に実現できます。また、ソフトウェアで設定したデータの取り込み回数を満足するだけでベクタ割り込みを発生することもできます。この場合、バッファ領域と比較領域のデータが一致する必要はありません。

**注意** バッファ領域のデータ取り込みは右シフト固定です。



4.3.1 マクロ・サービスの種類と割り込み要求

マクロ・サービスは、割り込み要求ソースの種類によって実行できるマクロ・サービスのモードが決められています。その対応表は表 4-2 に示します。

表 4-2 マクロ・サービスのモードと割り込み要求ソース

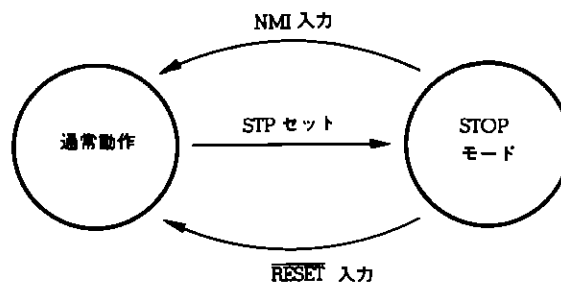
マクロ・サービスのモード	マクロ・サービスを実行できる割り込み要求ソース
データ転送モード	INTCSI INTAD
リアルタイム出力ポート制御モード	INTCRO1 INTCRO2
カウンタ・モード	すべてのマスクابل 割り込み要求
データ・パターン識別モード	INTCR12

## 5. スタンバイ機能

$\mu$ PD78138 は、システムの消費電力を低減させることのできるスタンバイ機能として STOP モードを持っています。STOP モードは、発振器を停止しシステム全体を停止させるモードです。このモードではリーク電流だけの超低消費電力状態でデータの保持などが可能です。

STOP モードの設定はソフトウェアによる STOP フラグ (STP) のセット "1" によって行い、ノンマスクブル割り込み (NMI) やリセット ( $\overline{\text{RESET}}$ ) 入力によって解除します。図 5-1 にスタンバイ状態遷移図を示します。

図 5-1 スタンバイ状態遷移



6. リセット機能

RESET入力端子にロウ・レベルが入力されると、システム・リセットがかかり、各ハードウェアは表6-1に示すような状態になります。

RESET入力がロウ・レベルからハイ・レベルになると、リセット状態が解除されリセット・ベクタ・テーブルの0000H番地の内容がプログラム・カウンタ(PC)のビット7-0に、0001H番地のビット4-0の内容がPCのビット12-8にセットされて分岐し、その分岐先アドレスからプログラムの実行を開始します。したがって、任意の番地からリセット・スタートできます。

各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

RESET入力端子は、ノイズによる誤動作を防ぐため、アナログ・ディレイによるノイズ除去回路を内蔵しています(図6-1参照)。

電源立ち上がり時のリセット動作では、図6-2のように電源立ち上がりからリセット解除までの発振安定時間を確保してください。

図6-1 リセット信号の受け付け

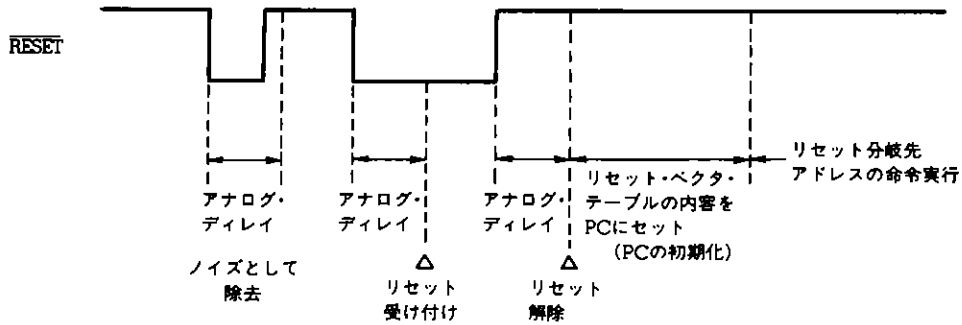


図6-2 電源立ち上がり時のリセット

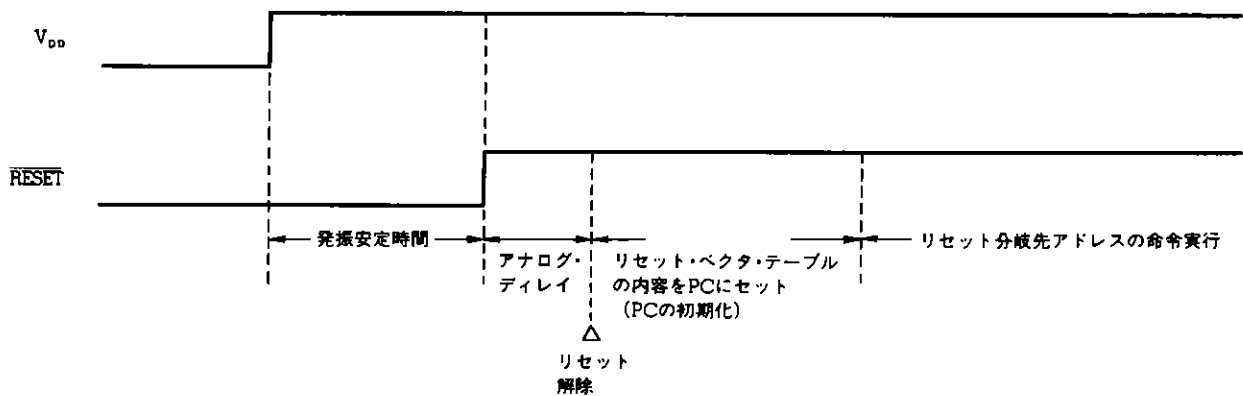




表 6-1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態		
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル(0000H, 0001H) の内容がセットされる。		
スタック・ポインタ (SP)		不定		
プログラム・ステータス・ワード (PSW)		02H		
内蔵RAM	データ・メモリ	不定注		
	汎用レジスタ (X, A, C, B, E, D, L, H)			
I/Oライン	P00-P07	ハイ・インピーダンス(出力バッファ・オフ)		
	P20-P-27, P34-P37	入力		
	P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70, P71	入力 (出力バッファ・オフ)		
	P60-P63	ロウ・レベル出力		
出力ラッチ	ポート0, 1, 3, 4, 5, 7	不定		
	ポート6	××××0000		
ポート・モード・レジスタ	PM0, PM1, PM3, PM5, PM7	FFH		
	PM6	FOH		
ポート3モード・コントロール・レジスタ (PMC3)		30H		
メモリ・マッピング・レジスタ (MM)		20H		
ブルアップ抵抗オプション・レジスタ (PUO)		00H		
スーパー・タイマ・ユニット	カウンタ (TM0, TM1, FRC, TM2)		リセット解除後16クロック以内：不定 リセット解除後17クロック以降：0クリア	
	コンペア・レジスタ (CR00, CR01, CR02, CR10, CR11, CR20)		不定	
	キャプチャ・レジスタ (CR12, CPT0, CPT1, CPT2H, CPT2L, CPT3)			
	タイマ・コントロール・レジスタ0 (TMC0)			0××00000
	タイマ・コントロール・レジスタ1 (TMC1)		00H	
	キャプチャ・モード・レジスタ (CPTM)		××××0×0	
	入力コントロール・レジスタ (ICR)		0×0×0×××	
	外部キャプチャ入力モード・レジスタ (INTM1)		0000××01	
	イベント・カウンタ (CTI00入力部)	EC	××000000	
		ECC0	××111111	
		ECC1	××111111	
	イベント・ディバイダ・コントロール・レジスタ (CTI10入力部)		EDVC	不定
	パルス幅検出回路 (CTI11入力部)	TM3	00H	
		PRM3	0××××000	
		CR30	×1111111	
		CPT30	不定	
	タイマ出力モード・レジスタ	TOM0	××000000	
		TOM1	××××0000	
タイマ出力コントロール・レジスタ	TOC0	××000000		
	TOC1	××××0000		

注 STOPモードをRESET入力で解除した場合は、STOPモード設定前の値を保持しています。

表 6-1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		リセット後の状態
スーパータイマ・ユニット	PTO10出力 (PTO10)	ハイ・レベル出力
	PWM出力 (PWM0, PWM1)	ロウ・レベル出力
	PWMコントロール・レジスタ (PWMC)	05H
	PWMモジュロ・レジスタ (PWM0, PWM1)	不定
リアルタイム出力ポート	ポート0バッファ・レジスタ (POL, POH)	不定
	リアルタイム出力ポート・コントロール・レジスタ (RTPC)	00H
A/Dコンバータ	モード・レジスタ (ADM)	00H
	A/D 変換結果レジスタ (ADCR)	不定
シリアル・インタフェース	モード・レジスタ (CSIM)	00H
	シフト・レジスタ (SIO)	不定
	シリアル・バス・コントロール・レジスタ (SBIC)	00H
割り込み	割り込み要求フラグ・レジスタ (IFOH)	00H
	割り込み要求フラグ・レジスタ (IFOL)	00H
	割り込みマスク・レジスタ (MKOH)	FFH
	割り込みマスク・レジスタ (MKOL)	FFH
	割り込み優先順位指定フラグ・レジスタ (PROH)	FFH
	割り込み優先順位指定フラグ・レジスタ (PROL)	FFH
割り込みサービス・モード・レジスタ (ISMOH)		00H
	割り込みサービス・モード・レジスタ (ISMOL)	00H
外部割り込みモード・レジスタ (INTMO)		50H
スタンバイ・コントロール・レジスタ (STBC)		00H
クロック出力モード・レジスタ (CLOM)		00H
ASTB/CLO 出力		ロウ・レベル出力

7. 命令セット

7.1 命令セットとそのオペレーション

(1) オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述します(詳細は、アセンブラ仕様による)。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および+, #, !, \$, /, [ ]記号はキー・ワードであり、そのまま記述します。これらの記号の意味は、次のとおりです。

- + : オートインクリメント
- # : イミューディアエト・データ
- ! : イミューディアエト・アドレッシングによるアドレス
- \$ : レラティブ・アドレッシングによるアドレス
- / : ビット反転
- [ ] : 間接アドレッシング

イミューディアエト・データの場合は、適当な数値またはレーベルを記述します。レーベルで記述する際も、+, #, !, \$, /, [ ]記号は必ず記述してください。

表現形式	記述方法
r, r'	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
r1	A, B
r2	B, C
r3	D, E, E+
r4	D, E
rp, rp'	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号
sfrp	特殊機能レジスタ略号(16ビット操作可能レジスタ)
saddr	FE20H-FF1FHイミューディアエト・データまたはレーベル
saddrp	FE20H-FF1EHイミューディアエト・データ(ただし, bit0=0)またはレーベル(16ビット操作時)
!addr16	0000H-FFFFHイミューディアエト・データまたはレーベル;イミューディアエト・アドレッシング
\$addr16	0000H-FFFFHイミューディアエト・データまたはレーベル;レラティブ・アドレッシング
addr11	800H-FFFHイミューディアエト・データまたはレーベル
addr5	40H-7EHイミューディアエト・データ(ただし, bit0=0)またはレーベル
word	16ビット・イミューディアエト・データまたはレーベル
byte	8ビット・イミューディアエト・データまたはレーベル
bit	3ビット・イミューディアエト・データまたはレーベル
n	3ビット・イミューディアエト・データ(0-7)
RBn	RB0-RB3

- 備考1. r, r', rp, rp' は、機能名称(X, A, C, B, E, D, L, H, AX, BC, DE, HL)のほかに、絶対名称(R0-R7, RP0-RP3)でも記述可能です。
2. イミューディアエト・アドレッシングは、全空間をアドレス可能。レラティブ・アドレッシングは、次に続く命令の先頭アドレスから-128~+127の範囲のみアドレス可能。

(2) オペレーション説明上の凡例

- A : Aレジスタ ; 8ビット・アキュムレータ
- X : Xレジスタ
- B : Bレジスタ
- C : Cレジスタ
- D : Dレジスタ
- E : Eレジスタ
- H : Hレジスタ
- L : Lレジスタ
- RO-R7 : レジスタ0-レジスタ7 (絶対名称)
- AX : レジスタ・ペア (AX) ; 16ビット・アキュムレータ
- BC : レジスタ・ペア (BC)
- DE : レジスタ・ペア (DE)
- HL : レジスタ・ペア (HL)
- RP0-RP3 : レジスタ・ペア0-レジスタ・ペア3 (絶対名称)
- PC : プログラム・カウンタ
- SP : スタック・ポインタ
- PSW : プログラム・ステータス・ワード
- CY : キャリー・フラグ
- AC : 補助キャリー・フラグ
- Z : ゼロ・フラグ
- RBS0-RBS1 : レジスタ・バンク選択フラグ
- IE : 割り込み要求許可フラグ
- STBC : スタンバイ・コントロール・レジスタ
- jdisp8 : 符号付き8ビット・データ (ディスプレイメント: -128~+127)
- ( ) : ( ) 内のアドレスまたはレジスタの内容で示されるメモリの内容
- ××H : 16進数
- ×<sub>H</sub>, ×<sub>L</sub> : 16ビット・レジスタ・ペアの上位8ビット, 下位8ビット

(3) クロック欄について

- (i) この表のクロック数は、内部ROMからプログラムをフェッチした場合の値です。
- (ii) 命令のクロック数は、アクセスするメモリ・エリアにより異なります。  
詳細は、ユーザズ・マニュアルを参照してください。

(4) フラグ動作欄の記号説明

記号	説明
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
×	結果に従ってセット/クリアされる
R	以前に退避した値がリストアされる

命令群	ニモニク	オペランド	バイト	クロック	オペレーション	フラグ		
						Z	AC	CY
8 ビット データ 転送	MOV	r, #byte	2	2	r←byte			
		saddr, #byte	3	3/5	(saddr)←byte			
		sfr, #byte 注1	3	5	sfr←byte			
		r, r'	2	2	r←r'			
		A, r	1	2	A←r			
		A, saddr	2	2/4	A←(saddr)			
		saddr, A	2	3/5	(saddr)←A			
		A, sfr	2	4	A←sfr			
		sfr, A	2	5	sfr←A			
		A, [r3] 注2	1	5	A←(FE00H+r3)	r3=00H-FFH		
		[r3], A 注2	1	5	(FE00H+r3)←A	r3=00H-FFH		
		A, [HL]	1	5-7	A←(HL)			
		[HL], A	1	5/7	(HL)←A			
		A, [HL+]	1	8-10	A←(HL), HL←HL+1			
		[HL+], A	1	8/10	(HL)←A, HL←HL+1			
		A, [DE]	1	5-7	A←(DE)			
		[DE], A	1	5/7	(DE)←A			
		A, [DE+]	1	8-10	A←(DE), DE←DE+1			
		[DE+], A	1	8/10	(DE)←A, DE←DE+1			
		A, laddr16	4	6-8	A←laddr16			
		laddr16, A	4	6-8	addr16←A			
		A, word[r1]	4	7-9	A←(word+r1)			
		word[r1], A	4	7/9	(word+r1)←A			
		PSW, #byte	3	5	PSW←byte		x	x
	PSW, A	2	5	PSW←A		x	x	x
	A, PSW	2	4	A←PSW				
	XCH	A, r	1	4	A↔r			
		A, saddr	2	4/8	A↔(saddr)			
		A, sfr	3	10	A↔sfr			
		A, [r4]	1	9	A↔(FE00H+r4)	r4=00H-FFH		
		A, [HL]	2	9/13	A↔(HL)			
		A, [DE]	2	9/13	A↔(DE)			
A, word[r1]		4	9/13	A↔(word+r1)				

注1. この sfr に STBC を記述した場合は別の専用命令となり、バイト数、クロック数がこの命令とは異なります(CPU 制御命令参照)。

2. r3 に E + を記述すると、命令実行後 E レジスタの内容が自動的に + 1 され、クロック数は 6 になります。

命令群	ニモニック	オペランド	バイト	クロック	オペレーション	フラグ
						Z AC CY
16ビット・データ転送	MOVW	rp, #word	3	3	rp←word	
		saddrp, #word	4	4/8	(saddrp+1)(saddrp)←word	
		sfrp, #word	4	8	sfrp←word	
		rp, rp'	2	4	rp←rp'	
		AX, saddrp	2	6/10	AX←(saddrp+1)(saddrp)	
		saddrp, AX	2	5/9	(saddrp+1)(saddrp)←AX	
		AX, sfrp	2	10	AX←sfrp	
		sfrp, AX	2	9	sfrp←AX	

命令群	ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
						Z	AC	CY
8 ビ ツ ト 演 算	ADD	A, #byte	2	2	A, CY←A+byte	x	x	x
		saddr, #byte	3	4/8	(saddr), CY←(saddr)+byte	x	x	x
		sfr, #byte	4	10	sfr, CY←sfr+byte	x	x	x
		r, r'	2	3	r, CY←r+r'	x	x	x
		A, saddr	2	3/5	A, CY←A+(saddr)	x	x	x
		A, sfr	3	7	A, CY←A+sfr	x	x	x
		A, [r4]	2	7	A, CY←A+(FE00H+r4) r4=00H-FFH	x	x	x
		A, [HL]	2	8-10	A, CY←A+(HL)	x	x	x
		A, [DE]	2	8-10	A, CY←A+(DE)	x	x	x
		A, word[r1]	4	8-10	A, CY←A+(word+r1)	x	x	x
	ADDC	A, #byte	2	2	A, CY←A+byte+CY	x	x	x
		saddr, #byte	3	4/8	(saddr), CY←(saddr)+byte+CY	x	x	x
		sfr, #byte	4	10	sfr, CY←sfr+byte+CY	x	x	x
		r, r'	2	3	r, CY←r+r'+CY	x	x	x
		A, saddr	2	3/5	A, CY←A+(saddr)+CY	x	x	x
		A, sfr	3	7	A, CY←A+sfr+CY	x	x	x
		A, [r4]	2	7	A, CY←A+(FE00H+r4)+CY r4=00H-FFH	x	x	x
		A, [HL]	2	8-10	A, CY←A+(HL)+CY	x	x	x
		A, [DE]	2	8-10	A, CY←A+(DE)+CY	x	x	x
		A, word[r1]	4	8-10	A, CY←A+(word+r1)+CY	x	x	x
	SUB	A, #byte	2	2	A, CY←A-byte	x	x	x
		saddr, #byte	3	4/8	(saddr), CY←(saddr)-byte	x	x	x
		sfr, #byte	4	10	sfr, CY←sfr-byte	x	x	x
		r, r'	2	3	r, CY←r-r'	x	x	x
		A, saddr	2	3/5	A, CY←A-(saddr)	x	x	x
		A, sfr	3	7	A, CY←A-sfr	x	x	x
		A, [r4]	2	7	A, CY←A-(FE00H+r4) r4=00H-FFH	x	x	x
		A, [HL]	2	8-10	A, CY←A-(HL)	x	x	x
		A, [DE]	2	8-10	A, CY←A-(DE)	x	x	x
		A, word[r1]	4	8-10	A, CY←A-(word+r1)	x	x	x
	SUBC	A, #byte	2	2	A, CY←A-byte-CY	x	x	x
		saddr, #byte	3	4/8	(saddr), CY←(saddr)-byte-CY	x	x	x
		sfr, #byte	4	10	sfr, CY←sfr-byte-CY	x	x	x
		r, r'	2	3	r, CY←r-r'-CY	x	x	x
		A, saddr	2	3/5	A, CY←A-(saddr)-CY	x	x	x
		A, sfr	3	7	A, CY←A-sfr-CY	x	x	x
A, [r4]		2	7	A, CY←A-(FE00H+r4)-CY r4=00H-FFH	x	x	x	
A, [HL]		2	8-10	A, CY←A-(HL)-CY	x	x	x	
A, [DE]		2	8-10	A, CY←A-(DE)-CY	x	x	x	
A, word[r1]		4	8-10	A, CY←A-(word+r1)-CY	x	x	x	

命令群	ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
						Z	AC	CY
8 ビット演算	AND	A, #byte	2	2	$A \leftarrow A \wedge \text{byte}$	×		
		saddr, #byte	3	4/8	$(\text{saddr}) \leftarrow (\text{saddr}) \wedge \text{byte}$	×		
		sfr, #byte	4	10	$\text{sfr} \leftarrow \text{sfr} \wedge \text{byte}$	×		
		r, r'	2	3	$r \leftarrow r \wedge r'$	×		
		A, saddr	2	3/5	$A \leftarrow A \wedge (\text{saddr})$	×		
		A, sfr	3	7	$A \leftarrow A \wedge \text{sfr}$	×		
		A, [r4]	2	7	$A \leftarrow A \wedge (\text{FEOOH} + r4)$ r4=OOH-FFH	×		
		A, [HL]	2	8-10	$A \leftarrow A \wedge (\text{HL})$	×		
		A, [DE]	2	8-10	$A \leftarrow A \wedge (\text{DE})$	×		
	A, word[r1]	4	8-10	$A \leftarrow A \wedge (\text{word} + r1)$	×			
	OR	A, #byte	2	2	$A \leftarrow A \vee \text{byte}$	×		
		saddr, #byte	3	4/8	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	×		
		sfr, #byte	4	10	$\text{sfr} \leftarrow \text{sfr} \vee \text{byte}$	×		
		r, r'	2	3	$r \leftarrow r \vee r'$	×		
		A, saddr	2	3/5	$A \leftarrow A \vee (\text{saddr})$	×		
		A, sfr	3	7	$A \leftarrow A \vee \text{sfr}$	×		
		A, [r4]	2	7	$A \leftarrow A \vee (\text{FEOOH} + r4)$ r4=OOH-FFH	×		
		A, [HL]	2	8-10	$A \leftarrow A \vee (\text{HL})$	×		
		A, [DE]	2	8-10	$A \leftarrow A \vee (\text{DE})$	×		
	A, word[r1]	4	8-10	$A \leftarrow A \vee (\text{word} + r1)$	×			
	XOR	A, #byte	2	2	$A \leftarrow A \oplus \text{byte}$	×		
		saddr, #byte	3	4/8	$(\text{saddr}) \leftarrow (\text{saddr}) \oplus \text{byte}$	×		
		sfr, #byte	4	10	$\text{sfr} \leftarrow \text{sfr} \oplus \text{byte}$	×		
		r, r'	2	3	$r \leftarrow r \oplus r'$	×		
		A, saddr	2	3/5	$A \leftarrow A \oplus (\text{saddr})$	×		
		A, sfr	3	7	$A \leftarrow A \oplus \text{sfr}$	×		
		A, [r4]	2	7	$A \leftarrow A \oplus (\text{FEOOH} + r4)$ r4=OOH-FFH	×		
		A, [HL]	2	8-10	$A \leftarrow A \oplus (\text{HL})$	×		
		A, [DE]	2	8-10	$A \leftarrow A \oplus (\text{DE})$	×		
	A, word[r1]	4	8-10	$A \leftarrow A \oplus (\text{word} + r1)$	×			
	CMP	A, #byte	2	2	$A - \text{byte}$	×	×	×
		saddr, #byte	3	3/5	$(\text{saddr}) - \text{byte}$	×	×	×
		sfr, #byte	4	7	$\text{sfr} - \text{byte}$	×	×	×
		r, r'	2	3	$r - r'$	×	×	×
		A, saddr	2	3/5	$A - (\text{saddr})$	×	×	×
		A, sfr	3	7	$A - \text{sfr}$	×	×	×
A, [r4]		2	7	$A - (\text{FEOOH} + r4)$ r4=OOH-FFH	×	×	×	
A, [HL]		2	8-10	$A - (\text{HL})$	×	×	×	
A, [DE]		2	8-10	$A - (\text{DE})$	×	×	×	
A, word[r1]	4	8-10	$A - (\text{word} + r1)$	×	×	×		



命令群	ニモニク	オペランド	バイト	クロック	オペレーション	フラグ		
						Z	AC	CY
16ビット演算	ADDW	AX, #word	3	4	AX, CY←AX+word	×	×	×
		AX, rp	2	6	AX, CY←AX+rp	×	×	×
		AX, saddrp	2	7/11	AX, CY←AX+(saddrp+1)(saddrp)	×	×	×
		AX, sfrp	3	13	AX, CY←AX+sfrp	×	×	×
	SUBW	AX, #word	3	4	AX, CY←AX-word	×	×	×
		AX, rp	2	6	AX, CY←AX-rp	×	×	×
		AX, saddrp	2	7/11	AX, CY←AX-(saddrp+1)(saddrp)	×	×	×
		AX, sfrp	3	13	AX, CY←AX-sfrp	×	×	×
	CMPW	AX, #word	3	3	AX-word	×	×	×
		AX, rp	2	5	AX-rp	×	×	×
		AX, saddrp	2	6/10	AX-(saddrp+1)(saddrp)	×	×	×
		AX, sfrp	3	12	AX-sfrp	×	×	×
乗除算	MULSW	r注	2	47	AX(上位16ビット), r1(下位8ビット)←AX(符号付き16ビット)×r1(絶対値8ビット)			
	MULUW	r注	2	47	AX(上位16ビット), r(下位8ビット)←AX×r			
	DIVUW	r注	2	74	AX(商), r(余り)←AX÷r			
増減	INC	r	1	2	r←r+1	×	×	
		saddr	2	3/7	(saddr)←(saddr)+1	×	×	
	DEC	r	1	2	r←r-1	×	×	
		saddr	2	3/7	(saddr)←(saddr)-1	×	×	
	INCW	rp	1	3	rp←rp+1			
DECW	rp	1	3	rp←rp-1				
シフト・ローテート	ROR	r, n	2	3+2n	(CY, r <sub>7</sub> ←r <sub>0</sub> , r <sub>m-1</sub> ←r <sub>m</sub> )×n回 n=0-7			×
	ROL	r, n	2	3+2n	(CY, r <sub>0</sub> ←r <sub>7</sub> , r <sub>m+1</sub> ←r <sub>m</sub> )×n回 n=0-7			×
	RORC	r, n	2	3+2n	(CY←r <sub>0</sub> , r <sub>7</sub> +CY, r <sub>m-1</sub> ←r <sub>m</sub> )×n回 n=0-7			×
	ROLC	r, n	2	3+2n	(CY←r <sub>7</sub> , r <sub>0</sub> ←CY, r <sub>m+1</sub> ←r <sub>m</sub> )×n回 n=0-7			×
	SHR	r, n	2	3+2n	(CY←r <sub>0</sub> , r <sub>7</sub> ←0, r <sub>m-1</sub> ←r <sub>m</sub> )×n回 n=0-7	×	0	×
	SHL	r, n	2	3+2n	(CY←r <sub>7</sub> , r <sub>0</sub> ←0, r <sub>m+1</sub> ←r <sub>m</sub> )×n回 n=0-7	×	0	×
	SHRW	rp, n	2	3+3n	(CY←rp <sub>0</sub> , rp <sub>15</sub> ←0, rp <sub>m-1</sub> ←rp <sub>m</sub> )×n回 n=0-7	×	0	×
	SHLW	rp, n	2	3+3n	(CY←rp <sub>15</sub> , rp <sub>0</sub> ←0, rp <sub>m+1</sub> ←rp <sub>m</sub> )×n回 n=0-7	×	0	×
	ROR4	[r4]	2	22	A <sub>3-0</sub> ←(FE00+r4) <sub>3-0</sub> , (FE00+r4) <sub>7-4</sub> ←A <sub>3-0</sub> , (FE00+r4) <sub>3-0</sub> ←(FE00+r4) <sub>7-4</sub>			
	ROL4	[r4]	2	23	A <sub>3-0</sub> ←(FE00+r4) <sub>7-4</sub> , (FE00+r4) <sub>3-0</sub> ←A <sub>3-0</sub> , (FE00+r4) <sub>7-4</sub> ←(FE00+r4) <sub>3-0</sub>			
BCD補正	ADJBA		1	3	Decimal Adjust Accumulator after Addition	×	×	×
	ADJBS		1	3	Decimal Adjust Accumulator after Subtract	×	×	×

注 A, X のレジスタを除く。

備考 シフト・ローテート命令の n は、シフトするビット数です。

命令群	ニモニク	オペランド	バイト	クロック	オペレーション	フラグ		
						Z	AC	CY
ビット操作	MOV1	CY, saddr.bit	3	5/7	$CY \leftarrow (\text{saddr.bit})$			×
		CY, sfr.bit	3	7	$CY \leftarrow \text{sfr.bit}$			×
		CY, A.bit	2	5	$CY \leftarrow A.bit$			×
		CY, X.bit	2	5	$CY \leftarrow X.bit$			×
		CY, PSW.bit	2	5	$CY \leftarrow \text{PSW.bit}$			×
		saddr.bit, CY	3	8/12	$(\text{saddr.bit}) \leftarrow CY$			
		sfr.bit, CY	3	12	$\text{sfr.bit} \leftarrow CY$			
		A.bit, CY	2	8	$A.bit \leftarrow CY$			
		X.bit, CY	2	8	$X.bit \leftarrow CY$			
		PSW.bit, CY	2	7	$\text{PSW.bit} \leftarrow CY$		×	×
	AND1	CY, saddr.bit	3	5/7	$CY \leftarrow CY \wedge (\text{saddr.bit})$			×
		CY, /saddr.bit	3	5/7	$CY \leftarrow CY \wedge \overline{(\text{saddr.bit})}$			×
		CY, sfr.bit	3	7	$CY \leftarrow CY \wedge \text{sfr.bit}$			×
		CY, /sfr.bit	3	7	$CY \leftarrow CY \wedge \overline{\text{sfr.bit}}$			×
		CY, A.bit	2	5	$CY \leftarrow CY \wedge A.bit$			×
		CY, /A.bit	2	5	$CY \leftarrow CY \wedge \overline{A.bit}$			×
		CY, X.bit	2	5	$CY \leftarrow CY \wedge X.bit$			×
		CY, /X.bit	2	5	$CY \leftarrow CY \wedge \overline{X.bit}$			×
		CY, PSW.bit	2	5	$CY \leftarrow CY \wedge \text{PSW.bit}$			×
		CY, /PSW.bit	2	5	$CY \leftarrow CY \wedge \overline{\text{PSW.bit}}$			×
	OR1	CY, saddr.bit	3	5/7	$CY \leftarrow CY \vee (\text{saddr.bit})$			×
		CY, /saddr.bit	3	5/7	$CY \leftarrow CY \vee \overline{(\text{saddr.bit})}$			×
		CY, sfr.bit	3	7	$CY \leftarrow CY \vee \text{sfr.bit}$			×
		CY, /sfr.bit	3	7	$CY \leftarrow CY \vee \overline{\text{sfr.bit}}$			×
		CY, A.bit	2	5	$CY \leftarrow CY \vee A.bit$			×
		CY, /A.bit	2	5	$CY \leftarrow CY \vee \overline{A.bit}$			×
		CY, X.bit	2	5	$CY \leftarrow CY \vee X.bit$			×
		CY, /X.bit	2	5	$CY \leftarrow CY \vee \overline{X.bit}$			×
		CY, PSW.bit	2	5	$CY \leftarrow CY \vee \text{PSW.bit}$			×
		CY, /PSW.bit	2	5	$CY \leftarrow CY \vee \overline{\text{PSW.bit}}$			×
XOR1	CY, saddr.bit	3	5/7	$CY \leftarrow CY \oplus (\text{saddr.bit})$			×	
	CY, sfr.bit	3	7	$CY \leftarrow CY \oplus \text{sfr.bit}$			×	
	CY, A.bit	2	5	$CY \leftarrow CY \oplus A.bit$			×	
	CY, X.bit	2	5	$CY \leftarrow CY \oplus X.bit$			×	
	CY, PSW.bit	2	5	$CY \leftarrow CY \oplus \text{PSW.bit}$			×	

命令群	ニモニク	オペランド	バイト	クロック	オペレーション	フラグ		
						Z	AC	CY
ビット操作	SET1	saddr.bit	2	3/7	(saddr.bit)←1			
		sfr.bit	3	10	sfr.bit←1			
		A.bit	2	6	A.bit←1			
		X.bit	2	6	X.bit←1			
		PSW.bit	2	5	PSW.bit←1		×	×
	CLR1	saddr.bit	2	3/7	(saddr.bit)←0			
		sfr.bit	3	10	sfr.bit←0			
		A.bit	2	6	A.bit←0			
		X.bit	2	6	X.bit←0			
		PSW.bit	2	5	PSW.bit←0		×	×
	NOT1	saddr.bit	3	6/10	(saddr.bit)←(saddr.bit)			
		sfr.bit	3	10	sfr.bit←sfr.bit			
		A.bit	2	6	A.bit←A.bit			
		X.bit	2	6	X.bit←X.bit			
		PSW.bit	2	5	PSW.bit←PSW.bit		×	×
SET1	CY	1	2	CY←1			1	
CLR1	CY	1	2	CY←0			0	
NOT1	CY	1	2	CY←CY			×	
コール・リターン	CALL	!addr16	3	11/15	(SP-1)(SP-2)←PC+3, PC←addr16 SP←SP-2			
		rp	2	12/16	(SP-1)(SP-2)←PC+2, PC←rp SP←SP-2			
	CALLF	!addr11	2	11/15	(SP-1)(SP-2)←PC+2, PC <sub>12-11</sub> ←01, PC <sub>10-0</sub> ←addr11, SP←SP-2			
	CALLT	[addr5]	1	14/18	(SP-1)(SP-2)←PC+1, PC <sub>H</sub> ←(addr5+1), PC <sub>L</sub> ←(addr5), SP←SP-2			
	RET		1	10/14	PC <sub>L</sub> ←(SP), PC <sub>H</sub> ←(SP+1), SP←SP+2			
	RETI		1	15/21	PC <sub>L</sub> ←(SP), PC <sub>H</sub> ←(SP+1), PSW←(SP+2), SP←SP+3	R	R	R
スタック操作	PUSH	rp	1	8/12	(SP-1)←rp <sub>H</sub> , (SP-2)←rp <sub>L</sub> , SP←SP-2			
		PSW	1	5/7	(SP-1)←PSW, SP←SP-1			
	POP	rp	1	11/15	rp <sub>L</sub> ←(SP), rp <sub>H</sub> ←(SP+1), SP←SP+2			
		PSW	1	6/8	PSW←(SP), SP←SP+1	R	R	R
	MOVW	SP, #word	4	8	SP←word			
		SP, AX	2	9	SP←AX			
AX, SP		2	10	AX←SP				
無条件分岐	BR	!addr16	3	5	PC←addr16			
		rp	2	6	PC <sub>H</sub> ←rp <sub>H</sub> , PC <sub>L</sub> ←rp <sub>L</sub>			
		\$addr16	2	4	PC←PC+2+jdisp8			

備考 コール・リターン命令やスタック操作命令で、スタック・ポインタの上位8ビット(SP8-SP15)が変化する場合、クロック数は1または2クロックだけ増加します。

命令群	ニモニク	オペランド	バイト	クロック	オペレーション	フラグ
						Z AC CY
条件付き分岐	BC	\$addr16	2	4(2)	PC←PC+2+jdisp8 if CY=1	
	BL					
	BNC	\$addr16	2	4(2)	PC←PC+2+jdisp8 if CY=0	
	BNL					
	BZ	\$addr16	2	4(2)	PC←PC+2+jdisp8 if Z=1	
	BE					
	BNZ	\$addr16	2	4(2)	PC←PC+2+jdisp8 if Z=0	
	BNE					
	BT	saddr.bit, \$addr16	3	7(5)	PC←PC+3+jdisp8 if (saddr.bit)=1	
		sfr.bit, \$addr16	4	9(7)	PC←PC+4+jdisp8 if sfr.bit=1	
		A.bit, \$addr16	3	7(5)	PC←PC+3+jdisp8 if A.bit=1	
		X.bit, \$addr16	3	7(5)	PC←PC+3+jdisp8 if X.bit=1	
		PSW.bit, \$addr16	3	7(5)	PC←PC+3+jdisp8 if PSW.bit=1	
	BF	saddr.bit, \$addr16	4	7(5)	PC←PC+4+jdisp8 if (saddr.bit)=0	
		sfr.bit, \$addr16	4	9(7)	PC←PC+4+jdisp8 if sfr.bit=0	
		A.bit, \$addr16	3	7(5)	PC←PC+3+jdisp8 if A.bit=0	
		X.bit, \$addr16	3	7(5)	PC←PC+3+jdisp8 if X.bit=0	
		PSW.bit, \$addr16	3	7(5)	PC←PC+3+jdisp8 if PSW.bit=0	
	BTCLR	saddr.bit, \$addr16	4	9(5)	PC←PC+4+jdisp8 if (saddr.bit)=1 then reset (saddr.bit)	
		sfr.bit, \$addr16	4	13(7)	PC←PC+4+jdisp8 if sfr.bit=1 then reset sfr.bit	
		A.bit, \$addr16	3	9(5)	PC←PC+3+jdisp8 if A.bit=1 then reset A.bit	
		X.bit, \$addr16	3	9(5)	PC←PC+3+jdisp8 if X.bit=1 then reset X.bit	
		PSW.bit, \$addr16	3	8(5)	PC←PC+3+jdisp8 if PSW.bit=1 then reset PSW.bit	x x x
	DBNZ	r2, \$addr16	2	5(3)	r2←r2-1, then PC←PC+2+jdisp8 if r2≠0	
saddr, \$addr16		3	6(4)	saddr←saddr-1, then PC←PC+3+jdisp8 if saddr≠0		
CPU制御	MOV	STBC, #byte	4	9	STBC←byte	
	SEL	Rbn	2	2	RBS1-0←n n=0-3	
	NOP		1	2	No Operation	
	EI		1	2	IE←1(Enable Interrupt)	
	DI		1	2	IE←0(Disable Interrupt)	

備考 条件付き分岐命令のクロックの( )の値は、分岐しなかった場合のクロック数です。

7.2 各命令の命令コード

(1) 命令コードの記号説明

r, r'

R <sub>2</sub>	R <sub>1</sub>	R <sub>0</sub>	reg	
R <sub>6</sub>	R <sub>5</sub>	R <sub>4</sub>		
0	0	0	R0	X
0	0	1	R1	A
0	1	0	R2	C
0	1	1	R3	B
1	0	0	R4	E
1	0	1	R5	D
1	1	0	R6	L
1	1	1	R7	H

r1

R <sub>6</sub>	reg
0	A
1	B

r2

R <sub>0</sub>	reg
0	C
1	B

r3

R <sub>1</sub>	R <sub>0</sub>	reg
0	0	E
0	1	E+
1	0	D

r4

R <sub>1</sub>	reg
R <sub>2</sub>	
R <sub>4</sub>	
0	E
1	D

rp, rp'

P <sub>1</sub>	P <sub>0</sub>	reg-pair	
P <sub>2</sub>	P <sub>1</sub>		
P <sub>6</sub>	P <sub>5</sub>		
0	0	RP0	AX
0	1	RP1	BC
1	0	RP2	DE
1	1	RP3	HL

- Bn : bitに対応するイミーディエト・データ
- Nn : nに対応するイミーディエト・データ
- Data : byteに対応する8ビット・イミーディエト・データ
- Low/High Byte : wordに対応する16ビット・イミーディエト・データ
- Saddr-offset : saddrに対応する16ビット・アドレスの下位8ビット・オフセット・データ
- Sfr-offset : 特殊機能レジスタ(sfr)の16ビット・アドレスの下位8ビット・オフセット・データ
- Low/High Offset : インデクスト・アドレッシングにおける, wordに対応する16ビット・オフセット・データ
- Low/High Addr. : addr16に対応する16ビット・イミーディエト・データ
- jdisp : 次の命令の先頭アドレスと分岐先アドレスとの相対アドレス距離の符号付き2の補数データ (8ビット)
- fa : addr11に対応するイミーディエト・データの下位11ビット
- ta : (addr5×1/2)に対応するイミーディエト・データの下位5ビット

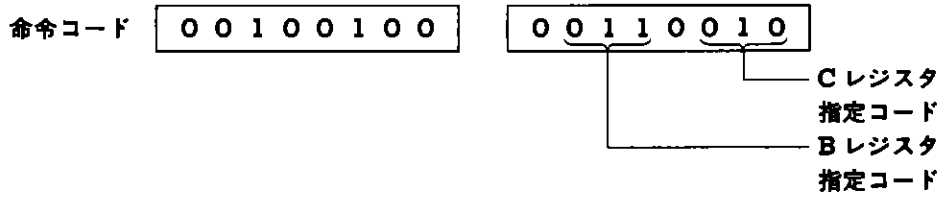
注意 オペランド欄で、第1オペランドと第2オペランドが両方ともレジスタか、レジスタ・ペアの場合のコードは、次のようになります。

レジスタ指定バイトのうち、上位4ビットが第1オペランド指定コードになり、下位4ビットが第2オペランド指定コードになります。

例 MOV r, r'



第1オペランドとしてBレジスタ、第2オペランドとしてCレジスタを指定する場合は  
**MOV B, C**  
 のように記述します。これに対して命令コードは次のようになります。



命令群	ニモニク	オペランド	命 令 コ ー ド						
			B1	B2	B3	B4			
8 ビ ッ ト ・ デ ー タ 転 送	MOV	r, #byte	1 0 1 1	1 R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>	← Data →				
		saddr, #byte	0 0 1 1	1 0 1 0	← Saddr-offset →	Data			
		sfr, #byte	0 0 1 0	1 0 1 1	← Sfr-offset →	Data			
		r, r'	0 0 1 0	0 1 0 0	0 R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>	0 R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>			
		A, r	1 1 0 1	0 R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>					
		A, saddr	0 0 1 0	0 0 0 0	← Saddr-offset →				
		saddr, A	0 0 1 0	0 0 1 0	← Saddr-offset →				
		A, sfr	0 0 0 1	0 0 0 0	← Sfr-offset →				
		sfr, A	0 0 0 1	0 0 1 0	← Sfr-offset →				
		A, [r3]	0 1 1 1	1 1 R <sub>1</sub> R <sub>0</sub>					
		[r3], A	0 1 1 1	1 0 R <sub>1</sub> R <sub>0</sub>					
		A, [HL]	0 1 0 1	1 1 0 1					
		[HL], A	0 1 0 1	0 1 0 1					
		A, [HL+]	0 1 0 1	1 0 0 1					
		[HL+], A	0 1 0 1	0 0 0 1					
		A, [DE]	0 1 0 1	1 1 0 0					
		[DE], A	0 1 0 1	0 1 0 0					
		A, [DE+]	0 1 0 1	1 0 0 0					
		[DE+], A	0 1 0 1	0 0 0 0					
		A, laddr16	0 0 0 0	1 0 0 1	1 1 1 1	0 0 0 0	Low Addr.	High Addr.	
		laddr16, A	0 0 0 0	1 0 0 1	1 1 1 1	0 0 0 1	Low Addr.	High Addr.	
		A, word [r1]	0 0 0 0	1 0 1 0	0 0 R <sub>2</sub> 1	0 0 0 0	Low Offset	High Offset	
		word [r1], A	0 0 0 0	1 0 1 0	1 0 R <sub>2</sub> 1	0 0 0 0	Low Offset	High Offset	
		PSW, #byte	0 0 1 0	1 0 1 1	1 1 1 1	1 1 1 0	Data		
		PSW, A	0 0 0 1	0 0 1 0	1 1 1 1	1 1 1 0			
		A, PSW	0 0 0 1	0 0 0 0	1 1 1 1	1 1 1 0			
		XCH	A, r	1 1 0 1	1 R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>				
			A, saddr	0 0 1 0	0 0 0 1	← Saddr-offset →			
			A, sfr	0 0 0 0	0 0 0 1	0 0 1 0	0 0 0 1	Sfr-Offset	
			A, [r4]	0 1 1 1	1 R <sub>2</sub> 1 1				
A, [HL]	0 0 0 1		0 1 1 0	0 1 0 1	0 1 0 0				
A, [DE]	0 0 0 1		0 1 1 0	0 1 0 0	0 1 0 0				
A, word [r1]	0 0 0 0		1 0 1 0	0 0 R <sub>2</sub> 1	0 1 0 0	Low Offset	High Offset		
16 ビ ッ ト ・ デ ー タ 転 送	MOVW	rp, #word	0 1 1 0	0 P <sub>2</sub> P <sub>1</sub> 0	← Low Byte →	High Byte			
		saddrp, #word	0 0 0 0	1 1 0 0	← Saddr-offset →	Low Byte	High Byte		
		sfrp, #word	0 0 0 0	1 0 1 1	← Sfr-offset →	Low Byte	High Byte		
		rp, rp'	0 0 1 0	0 1 0 0	0 P <sub>2</sub> P <sub>1</sub> 0	1 P <sub>2</sub> P <sub>1</sub> 0			
		AX, saddrp	0 0 0 1	1 1 0 0	← Saddr-offset →				
		saddrp, AX	0 0 0 1	1 0 1 0	← Saddr-offset →				
		AX, sfrp	0 0 0 1	0 0 0 1	← Sfr-offset →				
		sfrp, AX	0 0 0 1	0 0 1 1	← Sfr-offset →				

命令群	ニモニック	オペランド	命令コード					
			B1	B2	B3	B4		
8 ビ ッ ト 演 算	ADD	A, #byte	1 0 1 0	1 0 0 0	← Data →			
		saddr, #byte	0 1 1 0	1 0 0 0	← Saddr-offset →	Data		
		sfr, #byte	0 0 0 0	0 0 0 1	0 1 1 0	1 0 0 0	← Sfr-Offset →	Data
		r, r'	1 0 0 0	1 0 0 0	0 R <sub>6</sub> R <sub>5</sub> R <sub>4</sub>	0 R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>		
		A, saddr	1 0 0 1	1 0 0 0	← Saddr-offset →			
		A, sfr	0 0 0 0	0 0 0 1	1 0 0 1	1 0 0 0	Sfr-offset	
		A, [r4]	0 0 0 1	0 1 1 0	0 1 1 R <sub>4</sub>	1 0 0 0		
		A, [HL]	0 0 0 1	0 1 1 0	0 1 0 1	1 0 0 0		
		A, [DE]	0 0 0 1	0 1 1 0	0 1 0 0	1 0 0 0		
		A, word [r1]	0 0 0 0	1 0 1 0	0 0 R <sub>6</sub> 1	1 0 0 0	Low Offset	High Offset
	ADDC	A, #byte	1 0 1 0	1 0 0 1	← Data →			
		saddr, #byte	0 1 1 0	1 0 0 1	← Saddr-offset →	Data		
		sfr, #byte	0 0 0 0	0 0 0 1	0 1 1 0	1 0 0 1	Sfr-offset	Data
		r, r'	1 0 0 0	1 0 0 1	0 R <sub>6</sub> R <sub>5</sub> R <sub>4</sub>	R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>		
		A, saddr	1 0 0 1	1 0 0 1	← Saddr-offset →			
		A, sfr	0 0 0 0	0 0 0 1	1 0 0 1	1 0 0 1	Sfr-offset	
		A, [r4]	0 0 0 1	0 1 1 0	0 1 1 R <sub>4</sub>	1 0 0 1		
		A, [HL]	0 0 0 1	0 1 1 0	0 1 0 1	1 0 0 1		
		A, [DE]	0 0 0 1	0 1 1 0	0 1 0 0	1 0 0 1		
		A, word [r1]	0 0 0 0	1 0 1 0	0 0 R <sub>6</sub> 1	1 0 0 1	Low Offset	High Offset
	SUB	A, #byte	1 0 1 0	1 0 1 0	← Data →			
		saddr, #byte	0 1 1 0	1 0 1 0	← Saddr-offset →	Data		
		sfr, #byte	0 0 0 0	0 0 0 1	0 1 1 0	1 0 1 0	Sfr-offset	Data
		r, r'	1 0 0 0	1 0 1 0	0 R <sub>6</sub> R <sub>5</sub> R <sub>4</sub>	0 R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>		
		A, saddr	1 0 0 1	1 0 1 0	← Saddr-offset →			
		A, sfr	0 0 0 0	0 0 0 1	1 0 0 1	1 0 1 0	Sfr-offset	
		A, [r4]	0 0 0 1	0 1 1 0	0 1 1 R <sub>4</sub>	1 0 1 0		
		A, [HL]	0 0 0 1	0 1 1 0	0 1 0 1	1 0 1 0		
		A, [DE]	0 0 0 1	0 1 1 0	0 1 0 0	1 0 1 0		
		A, word [r1]	0 0 0 0	1 0 1 0	0 0 R <sub>6</sub> 1	1 0 1 0	Low Offset	High Offset
	SUBC	A, #byte	1 0 1 0	1 0 1 1	← Data →			
		saddr, #byte	0 1 1 0	1 0 1 1	← Saddr-offset →	Data		
		sfr, #byte	0 0 0 0	0 0 0 1	0 1 1 0	1 0 1 1	Sfr-offset	Data
		r, r'	1 0 0 0	1 0 1 1	0 R <sub>6</sub> R <sub>5</sub> R <sub>4</sub>	0 R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>		
		A, saddr	1 0 0 1	1 0 1 1	← Saddr-offset →			
		A, sfr	0 0 0 0	0 0 0 1	1 0 0 1	1 0 1 1	Sfr-offset	
A, [r4]		0 0 0 1	0 1 1 0	0 1 1 R <sub>4</sub>	1 0 1 1			
A, [HL]		0 0 0 1	0 1 1 0	0 1 0 1	1 0 1 1			
A, [DE]		0 0 0 1	0 1 1 0	0 1 0 0	1 0 1 1			
A, word [r1]		0 0 0 0	1 0 1 0	0 0 R <sub>6</sub> 1	1 0 1 1	Low Offset	High Offset	



命令群	ニモニク	オペランド	命令コード					
			B1	B2	B3	B4		
8 ビ ッ ト 演 算	AND	A, #byte	1 0 1 0	1 1 0 0	← Data →			
		saddr, #byte	0 1 1 0	1 1 0 0	← Saddr-offset →	Data		
		sfr, #byte	0 0 0 0	0 0 0 1	0 1 1 0	1 1 0 0	Sfr-offset	Data
		r, r'	1 0 0 0	1 1 0 0	0 R <sub>6</sub> R <sub>5</sub> R <sub>4</sub>	0 R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>		
		A, saddr	1 0 0 1	1 1 0 0	← Saddr-offset →			
		A, sfr	0 0 0 0	0 0 0 1	1 0 0 1	1 1 0 0	Sfr-offset	
		A, [r4]	0 0 0 1	0 1 1 0	0 1 1 R <sub>4</sub>	1 1 0 0		
		A, [HL]	0 0 0 1	0 1 1 0	0 1 0 1	1 1 0 0		
		A, [DE]	0 0 0 1	0 1 1 0	0 1 0 0	1 1 0 0		
		A, word [r1]	0 0 0 0	1 0 1 0	0 0 R <sub>6</sub> 1	1 1 0 0	Low Offset	High Offset
	OR	A, #byte	1 0 1 0	1 1 1 0	← Data →			
		saddr, #byte	0 1 1 0	1 1 1 0	← Saddr-offset →	Data		
		sfr, #byte	0 0 0 0	0 0 0 1	0 1 1 0	1 1 1 0	Sfr-offset	Data
		r, r'	1 0 0 0	1 1 1 0	0 R <sub>6</sub> R <sub>5</sub> R <sub>4</sub>	0 R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>		
		A, saddr	1 0 0 1	1 1 1 0	← Saddr-offset →			
		A, sfr	0 0 0 0	0 0 0 1	1 0 0 1	1 1 1 0	Sfr-offset	
		A, [r4]	0 0 0 1	0 1 1 0	0 1 1 R <sub>4</sub>	1 1 1 0		
		A, [HL]	0 0 0 1	0 1 1 0	0 1 0 1	1 1 1 0		
		A, [DE]	0 0 0 1	0 1 1 0	0 1 0 0	1 1 1 0		
		A, word [r1]	0 0 0 0	1 0 1 0	0 0 R <sub>6</sub> 1	1 1 1 0	Low Offset	High Offset
	XOR	A, #byte	1 0 1 0	1 1 0 1	← Data →			
		saddr, #byte	0 1 1 0	1 1 0 1	← Saddr-offset →	Data		
		sfr, #byte	0 0 0 0	0 0 0 1	0 1 1 0	1 1 0 1	Sfr-offset	Data
		r, r'	1 0 0 0	1 1 0 1	0 R <sub>6</sub> R <sub>5</sub> R <sub>4</sub>	0 R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>		
		A, saddr	1 0 0 1	1 1 0 1	← Saddr-offset →			
		A, sfr	0 0 0 0	0 0 0 1	1 0 0 1	1 1 0 1	Sfr-offset	
		A, [r4]	0 0 0 1	0 1 1 0	0 1 1 R <sub>4</sub>	1 1 0 1		
		A, [HL]	0 0 0 1	0 1 1 0	0 1 0 1	1 1 0 1		
		A, [DE]	0 0 0 1	0 1 1 0	0 1 0 0	1 1 0 1		
		A, word [r1]	0 0 0 0	1 0 1 0	0 0 R <sub>6</sub> 1	1 1 0 1	Low Offset	High Offset
	CMP	A, #byte	1 0 1 0	1 1 1 1	← Data →			
		saddr, #byte	0 1 1 0	1 1 1 1	← Saddr-offset →	Data		
		sfr, #byte	0 0 0 0	0 0 0 1	0 1 1 0	1 1 1 1	Sfr-offset	Data
		r, r'	1 0 0 0	1 1 1 1	0 R <sub>6</sub> R <sub>5</sub> R <sub>4</sub>	0 R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>		
		A, saddr	1 0 0 1	1 1 1 1	← Saddr-offset →			
		A, sfr	0 0 0 0	0 0 0 1	1 0 0 1	1 1 1 1	Sfr-offset	
A, [r4]		0 0 0 1	0 1 1 0	0 1 1 R <sub>4</sub>	1 1 1 1			
A, [HL]		0 0 0 1	0 1 1 0	0 1 0 1	1 1 1 1			
A, [DE]		0 0 0 1	0 1 1 0	0 1 0 0	1 1 1 1			
A, word [r1]		0 0 0 0	1 0 1 0	0 0 R <sub>6</sub> 1	1 1 1 1	Low Offset	High Offset	

命令群	ニモニック	オペランド	命 令 コ ー ド				
			B1	B2	B3	B4	
16ビット演算	ADDW	AX, #word	0 0 1 0	1 1 0 1	← Low Byte →	High Byte	
		AX, rp	1 0 0 0	1 0 0 0	0 0 0 0	1 P <sub>2</sub> P <sub>1</sub> 0	
		AX, saddrp	0 0 0 1	1 1 0 1	← Saddr-offset →		
		AX, sfrp	0 0 0 0	0 0 0 1	0 0 0 1	1 1 0 1	Sfr-offset
	SUBW	AX, #word	0 0 1 0	1 1 1 0	← Low Byte →	High Byte	
		AX, rp	1 0 0 0	1 0 1 0	0 0 0 0	1 P <sub>2</sub> P <sub>1</sub> 0	
		AX, saddrp	0 0 0 1	1 1 1 0	← Saddr-offset →		
		AX, sfrp	0 0 0 0	0 0 0 1	0 0 0 1	1 1 1 0	Sfr-offset
	CMPW	AX, #word	0 0 1 0	1 1 1 1	← Low Byte →	High Byte	
		AX, rp	1 0 0 0	1 1 1 1	0 0 0 0	1 P <sub>2</sub> P <sub>1</sub> 0	
		AX, saddrp	0 0 0 1	1 1 1 1	← Saddr-offset →		
		AX, sfrp	0 0 0 0	0 0 0 1	0 0 0 1	1 1 1 1	Sfr-offset
乗除算	MULSW	r	0 0 0 0	0 1 0 1	0 0 1 1	0 R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>	
	MULUW	r	0 0 0 0	0 1 0 1	0 0 0 0	0 R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>	
	DIVUW	r	0 0 0 0	0 1 0 1	0 0 0 1	1 R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>	
増減	INC	r	1 1 0 0	0 R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>			
		saddr	0 0 1 0	0 1 1 0	← saddr-offset →		
	DEC	r	1 1 0 0	1 R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>			
		saddr	0 0 1 0	0 1 1 1	← saddr-offset →		
	INCW	rp	0 1 0 0	0 1 P <sub>1</sub> P <sub>0</sub>			
DECW	rp	0 1 0 0	1 1 P <sub>1</sub> P <sub>0</sub>				
シフト・ローテート	ROR	r, n	0 0 1 1	0 0 0 0	0 1 N <sub>2</sub> N <sub>1</sub>	N <sub>0</sub> R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>	
	ROL	r, n		0 0 0 1	0 1 N <sub>2</sub> N <sub>1</sub>	N <sub>0</sub> R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>	
	RORC	r, n		0 0 0 0	0 0 N <sub>2</sub> N <sub>1</sub>	N <sub>0</sub> R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>	
	ROLC	r, n		0 0 0 1	0 0 N <sub>2</sub> N <sub>1</sub>	N <sub>0</sub> R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>	
	SHR	r, n		0 0 0 0	1 0 N <sub>2</sub> N <sub>1</sub>	N <sub>0</sub> R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>	
	SHL	r, n		0 0 0 1	1 0 N <sub>2</sub> N <sub>1</sub>	N <sub>0</sub> R <sub>2</sub> R <sub>1</sub> R <sub>0</sub>	
	SHRW	rp, n		0 0 0 0	1 1 N <sub>2</sub> N <sub>1</sub>	N <sub>0</sub> P <sub>2</sub> P <sub>1</sub> 0	
	SHLW	rp, n		0 0 0 1	1 1 N <sub>2</sub> N <sub>1</sub>	N <sub>0</sub> P <sub>2</sub> P <sub>1</sub> 0	
	ROR4	[r4]	0 0 0 0	0 1 0 1	1 0 0 0	1 0 R <sub>1</sub> 1	
	ROL4	[r4]	0 0 0 0	0 1 0 1	1 0 0 1	1 0 R <sub>1</sub> 1	
補BC正D	ADJBA		0 0 0 0	1 1 1 0			
	ADJBS		0 0 0 0	1 1 1 1			

命令群	ニモニク	オペランド	命令コード					
			B1	B2	B3	B4		
MOV1		CY, saddr.bit	0 0 0 0	1 0 0 0	0 0 0 0	0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Saddr-offset	
		CY, sfr.bit		1 0 0 0		1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Sfr-offset	
		CY, A.bit		0 0 1 1		1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		CY, X.bit		0 0 1 1		0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		CY, PSW.bit		0 0 1 0		0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		saddr.bit, CY		1 0 0 0	0 0 0 1	0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Saddr-offset	
		sfr.bit, CY		1 0 0 0		1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Sfr-offset	
		A.bit, CY		0 0 1 1		1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		X.bit, CY		0 0 1 1		0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		PSW.bit, CY		0 0 1 0		0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
AND1		CY, saddr.bit	0 0 0 0	1 0 0 0	0 0 1 0	0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Saddr-offset	
		CY, /saddr.bit			0 0 1 1	0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Saddr-offset	
		CY, sfr.bit			0 0 1 0	1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Sfr-offset	
		CY, /sfr.bit			0 0 1 1	1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Sfr-offset	
		CY, A.bit		0 0 1 1	0 0 1 0	1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		CY, /A.bit			0 0 1 1	1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		CY, X.bit			0 0 1 0	0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		CY, /X.bit			0 0 1 1	0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		CY, PSW.bit		0 0 1 0	0 0 1 0	0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		CY, /PSW.bit		0 0 1 0	0 0 1 1	0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
OR1		CY, saddr.bit	0 0 0 0	1 0 0 0	0 1 0 0	0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Saddr-offset	
		CY, /saddr.bit			0 1 0 1	0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Saddr-offset	
		CY, sfr.bit			0 1 0 0	1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Sfr-offset	
		CY, /sfr.bit			0 1 0 1	1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Sfr-offset	
		CY, A.bit		0 0 1 1	0 1 0 0	1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		CY, /A.bit			0 1 0 1	1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		CY, X.bit			0 1 0 0	0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		CY, /X.bit			0 1 0 1	0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		CY, PSW.bit		0 0 1 0	0 1 0 0	0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		CY, /PSW.bit		0 0 1 0	0 1 0 1	0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
XOR1		CY, saddr.bit	0 0 0 0	1 0 0 0	0 1 1 0	0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Saddr-offset	
		CY, sfr.bit		1 0 0 0		1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Sfr-offset	
		CY, A.bit		0 0 1 1		1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		CY, X.bit		0 0 1 1		0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		CY, PSW.bit		0 0 1 0		0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		

命令群	ニモニツク	オペランド	命 令 コ ー ド					
			B1	B2	B3	B4		
ビット操作	SET1	saddr.bit	1 0 1 1	0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Saddr-offset			
		sfr.bit	0 0 0 0	1 0 0 0	1 0 0 0	1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Sfr-offset	
		A.bit		0 0 1 1		1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		X.bit		0 0 1 1		0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		PSW.bit		0 0 1 0		0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
	CLR1	saddr.bit	1 0 1 0	0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Saddr-offset			
		sfr.bit	0 0 0 0	1 0 0 0	1 0 0 1	1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Sfr-offset	
		A.bit		0 0 1 1		1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		X.bit		0 0 1 1		0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		PSW.bit		0 0 1 0		0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
	NOT1	saddr.bit	0 0 0 0	1 0 0 0	0 1 1 1	0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Saddr-offset	
		sfr.bit		1 0 0 0		1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Sfr-offset	
		A.bit		0 0 1 1		1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		X.bit		0 0 1 1		0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
		PSW.bit		0 0 1 0		0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>		
SET1	CY	0 1 0 0	0 0 0 1					
CLR1	CY	0 1 0 0	0 0 0 0					
NOT1	CY	0 1 0 0	0 0 1 0					
コール・リターン	CALL	laddr16	0 0 1 0	1 0 0 0	Low Addr.	High Addr.		
		rp	0 0 0 0	0 1 0 1	0 1 0 1	1 P <sub>2</sub> P <sub>1</sub> 0		
	CALLF	laddr11	1 0 0 1	0 ←	fa	→		
	CALLT	[addr5]	1 1 1 ←	ta	→			
	RET		0 1 0 1	0 1 1 0				
	RETI		0 1 0 1	0 1 1 1				
スタック操作	PUSH	rp	0 0 1 1	1 1 P <sub>1</sub> P <sub>0</sub>				
		PSW	0 1 0 0	1 0 0 1				
	POP	rp	0 0 1 1	0 1 P <sub>1</sub> P <sub>0</sub>				
		PSW	0 1 0 0	1 0 0 0				
	MOVW	SP, #word	0 0 0 0	1 0 1 1	1 1 1 1	1 1 0 0	Low Byte	High Byte
		SP, AX	0 0 0 1	0 0 1 1	1 1 1 1	1 1 0 0		
AX, SP		0 0 0 1	0 0 0 1	1 1 1 1	1 1 0 0			

命令群	ニモニク	オペランド	命令コード					
			B1	B2	B3	B4		
無条件分岐	BR	laddr16	0 0 1 0	1 1 0 0	← Low Addr. →	High Addr.		
		rp	0 0 0 0	0 1 0 1	0 1 0 0	1 P <sub>2</sub> P <sub>1</sub> 0		
		\$addr16	0 0 0 1	0 1 0 0	← jdisp →			
条件付き分岐	BC	\$addr16	1 0 0 0	0 0 1 1	← jdisp →			
	BL							
	BNC	\$addr16		0 0 1 0	← jdisp →			
	BNL							
	BZ	\$addr16		0 0 0 1	← jdisp →			
	BE							
	BNZ	\$addr16		0 0 0 0	← jdisp →			
	BNE							
	BT	saddr.bit, \$addr16	0 1 1 1	0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	← Saddr-offset →	jdisp		
		sfr.bit, \$addr16	0 0 0 0	1 0 0 0	1 0 1 1	1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Sfr-offset	jdisp
		A.bit, \$addr16		0 0 1 1		1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	jdisp	
		X.bit, \$addr16		0 0 1 1		0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	jdisp	
		PSW.bit, \$addr16		0 0 1 0		0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	jdisp	
	BF	saddr.bit, \$addr16	0 0 0 0	1 0 0 0	1 0 1 0	0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Saddr-offset	jdisp
		sfr.bit, \$addr16		1 0 0 0		1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Sfr-offset	jdisp
A.bit, \$addr16			0 0 1 1		1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	jdisp		
X.bit, \$addr16			0 0 1 1		0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	jdisp		
PSW.bit, \$addr16			0 0 1 0		0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	jdisp		
BTCLR	saddr.bit, \$addr16	0 0 0 0	1 0 0 0	1 1 0 1	0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Saddr-offset	jdisp	
	sfr.bit, \$addr16		1 0 0 0		1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	Sfr-offset	jdisp	
	A.bit, \$addr16		0 0 1 1		1 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	jdisp		
	X.bit, \$addr16		0 0 1 1		0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	jdisp		
	PSW.bit, \$addr16		0 0 1 0		0 B <sub>2</sub> B <sub>1</sub> B <sub>0</sub>	jdisp		
DBNZ	r2, \$addr16	0 0 1 1	0 0 1 R <sub>0</sub>	← jdisp →				
	saddr, \$addr16	0 0 1 1	1 0 1 1	← Saddr-offset →	jdisp			
CPU制御	MOV	STBC, #byte	0 0 0 0	1 0 0 1	1 1 0 0	0 0 0 0	Data	Data
	SEL	RBn	0 0 0 0	0 1 0 1	1 0 1 0	1 0 N <sub>1</sub> N <sub>0</sub>		
	NOP		0 0 0 0	0 0 0 0				
	EI		0 1 0 0	1 0 1 1				
	DI		0 1 0 0	1 0 1 0				

8. 電気的特性

絶対最大定格 ( $T_a = 25^\circ\text{C}$ )

項目	略号	条件	定格	単位
電源電圧	$V_{DD}$		-0.5 ~ +7.0	V
	$AV_{REF}$		-0.5 ~ $V_{DD}$	V
	$AV_{SS}$		-0.5 ~ +0.5	V
入力電圧	$V_i$		-0.5 ~ $V_{DD} + 0.5$	V
出力電圧	$V_o$		-0.5 ~ $V_{DD} + 0.5$	V
ロウ・レベル出力電流	$I_{OL}$	1 端子	15	mA
		全出力端子合計	100	mA
ハイ・レベル出力電流	$I_{OH}$	1 端子	-10	mA
		全出力端子合計	-50	mA
動作温度	$T_{OPT}$		-10 ~ +70	$^\circ\text{C}$
保存温度	$T_{STG}$		-65 ~ +150	$^\circ\text{C}$

動作条件

クロック周波数	動作温度 ( $T_a$ )	電源電圧 ( $V_{DD}$ )
$4\text{ MHz} \leq f_{xx} \leq 12\text{ MHz}$	-10 ~ +70 $^\circ\text{C}$	+5.0 V $\pm 10\%$

容量 ( $T_a = 25^\circ\text{C}$ ,  $V_{DD} = V_{SS} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	$C_i$	$f_c = 1\text{ MHz}$ 被測定端子以外は 0 V に固定			20	pF
出力容量	$C_o$				20	pF
入出力容量	$C_{i0}$				20	pF

発振器特性 ( $T_a = -10 \sim +70^\circ\text{C}$ ,  $V_{DD} = +5.0\text{V} \pm 10\%$ ,  $V_{SS} = 0\text{V}$ )

発振子	推奨回路	項目	MIN.	MAX.	単位
セラミック発振子 または 水晶振動子 注1		発振周波数 ( $f_{XX}$ )	注2 4または6	12	MHz
外部クロック		X1入力周波数 ( $f_X$ )	注2 4または6	12	MHz
		X1入力立ち上がり, 立ち下がり時間 ( $t_{XN}, t_{XP}$ )	0	30	ns
		X1入力ハイ, ロウ・レベル幅 ( $t_{WXH}, t_{WXL}$ )	30	130	ns

注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。

2. の範囲に他の信号を通さないでください。

注1. 水晶振動子を用いる場合は、外付け容量として次のものを推奨します。

$C1 = C2 = 15\text{pF}$

2. A/Dコンバータ使用の場合 : 6 MHz

A/Dコンバータを使用しない場合 : 4 MHz

推奨発振回路定数

発振子	メーカー	品名	発振周波数 [MHz]	推奨定数	
				C1 [pF]	C2 [pF]
セラミック発振子	村田製作所	CAT12.0MTZ	12	30	30
		CST12.0MTW		コンデンサ内蔵タイプ	

DC特性 ( $T_a = -10 \sim +70^\circ\text{C}$ ,  $V_{DD} = +5.0\text{V} \pm 10\%$ ,  $V_{SS} = 0\text{V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル入力電圧	$V_{IL}$		0		0.8	V
ハイ・レベル入力電圧	$V_{IH1}$	注1以外の端子	2.2		$V_{DD}$	V
	$V_{IH2}$	注1の端子	$0.8 V_{DD}$		$V_{DD}$	V
ロウ・レベル出力電圧	$V_{OL1}$	$I_{OL} = 2.0\text{mA}$ 注3以外			0.45	V
	$V_{OL2}$	$I_{OL} = 8.0\text{mA}$ 注3			1.0	V
ハイ・レベル出力電圧	$V_{OH1}$	$I_{OH} = -1.0\text{mA}$ 注3以外	$V_{DD} - 1.0$			V
	$V_{OH2}$	$I_{OH} = -100\mu\text{A}$ 注3以外	$V_{DD} - 0.5$			V
	$V_{OH3}$	$I_{OH} = -5.0\text{mA}$ 注3	2.0			V
入力リーク電流	$I_{LI}$	$0 \leq V_i \leq V_{DD}$			$\pm 10$	$\mu\text{A}$
出力リーク電流	$I_{LO}$	$0 \leq V_o \leq V_{DD}$			$\pm 10$	$\mu\text{A}$
$A V_{REF}$ 電流	$A I_{REF}$	動作モード, $f_{xx} = 12\text{MHz}$		1.5	5.0	$\text{mA}$
$V_{DD}$ 電源電流	$I_{DD1}$	動作モード, $f_{xx} = 12\text{MHz}$		20	40	$\text{mA}$
データ保持電圧	$V_{DDDR}$	STOPモード	2.0		5.5	V
データ保持電流	$I_{DDDR}$	STOPモード	$V_{DDDR} = 2.0\text{V}$ $V_{DDDR} = 5\text{V} \pm 10\%$	1	10	$\mu\text{A}$
		2		20	$\mu\text{A}$	
プルアップ抵抗	$R_L$	$V_i = 0\text{V}$	15	40	80	$\text{k}\Omega$

注1. X1, X2,  $\overline{\text{RESET}}$ , P20/NMI, P21/INTP0, P22/INTP1, P23/INTP2, P24/CTI10, P25/CTI00, P26/CTI11, P27/CLR1, P34/CLR0, P35/SI, P36/SO/SB0, P37/ $\overline{\text{SCK}}$ ,  $\overline{\text{EA}}$ の各端子

- 2. P10-P17
- 3. P00-P07



AC特性 (T<sub>a</sub> = -10 ~ +70°C, V<sub>DD</sub> = +5 V ± 10%, V<sub>SS</sub> = 0 V)

リード/ライト・オペレーション

項 目	略 号	条 件	MIN.	MAX.	単 位
X1 入力クロック・サイクル・タイム	t <sub>CYX</sub>		82	250	ns
アドレス・セットアップ時間 (対 ASTB↓)	t <sub>SAST</sub>		52		ns
アドレス・ホールド時間 (対 ASTB↓)	t <sub>HSTA</sub>	R <sub>L</sub> = 5 kΩ, C <sub>L</sub> = 50 pF	25		ns
アドレス→RD↓遅延時間	t <sub>DAR</sub>		129		ns
アドレス・フロート時間 (対 RD↓)	t <sub>FAR</sub>		11		ns
アドレス→データ入力時間	t <sub>DAID</sub>			228	ns
ASTB↓→データ入力時間	t <sub>DSTID</sub>			181	ns
RD↓→データ入力時間	t <sub>DRID</sub>			99	ns
ASTB↓→RD↓遅延時間	t <sub>DSTR</sub>		52		ns
データ・ホールド時間 (対 RD↑)	t <sub>HRID</sub>		0		ns
RD↑→アドレス・アクティブ時間	t <sub>DRA</sub>		124		ns
RD↑→ASTB↑遅延時間	t <sub>DNST</sub>		124		ns
RD ロウ・レベル幅	t <sub>WRL</sub>		124		ns
ASTB ハイ・レベル幅	t <sub>WSTH</sub>		52		ns
アドレス→WR↓遅延時間	t <sub>DAW</sub>		129		ns
ASTB↓→データ出力時間	t <sub>DSTOD</sub>			142	ns
WR↓→データ出力時間	t <sub>DWOD</sub>			60	ns
ASTB↓→WR↓遅延時間	t <sub>DSTW</sub>		52		ns
データ・セットアップ時間 (対 WR↑)	t <sub>SODWR</sub>		146		ns
データ・ホールド時間 (対 WR↑) 注	t <sub>HWOD</sub>		22		ns
WR↑→ASTB↑遅延時間	t <sub>DWST</sub>		42		ns
WR ロウ・レベル幅	t <sub>WWL</sub>		196		ns

備考 表中の数値は f<sub>xx</sub> = 12 MHz, C<sub>L</sub> = 100 pFのときの値です。

注 ホールド時間には, C<sub>L</sub> = 100 pF, R<sub>L</sub> = 2 kΩの負荷条件で V<sub>OH</sub>, V<sub>OL</sub> を保持する時間を含みます。

$t_{CYX}$  依存のバス・タイミング定義

項 目	略 号	計 算 式	MIN./MAX.	12MHz	単 位
X1 入力クロック・サイクル・タイム	$t_{CYX}$		MIN.	82	ns
アドレス・セットアップ時間(対 ASTB↓)	$t_{SAST}$	$t_{CYX} - 30$	MIN.	52	ns
アドレス→ $\overline{RD}$ ↓ 遅延時間	$t_{DAR}$	$2t_{CYX} - 35$	MIN.	129	ns
アドレス・フロート時間 (対 $\overline{RD}$ ↓)	$t_{FAR}$	$t_{CYX}/2 - 30$	MIN.	11	ns
アドレス→データ入力時間	$t_{DAID}$	$(4 + 2n) t_{CYX} - 100$	MAX.	228	ns
ASTB ↓ → データ入力時間	$t_{DSTID}$	$(3 + 2n) t_{CYX} - 65$	MAX.	181	ns
$\overline{RD}$ ↓ → データ入力時間	$t_{DRID}$	$(2 + 2n) t_{CYX} - 65$	MAX.	99	ns
ASTB ↓ → $\overline{RD}$ ↓ 遅延時間	$t_{DSTR}$	$t_{CYX} - 30$	MIN.	52	ns
$\overline{RD}$ ↑ → アドレス・アクティブ時間	$t_{DRA}$	$2t_{CYX} - 40$	MIN.	124	ns
$\overline{RD}$ ↑ → ASTB ↑ 遅延時間	$t_{DRST}$	$2t_{CYX} - 40$	MIN.	124	ns
$\overline{RD}$ ロウ・レベル幅	$t_{WRL}$	$(2 + 2n) t_{CYX} - 40$	MIN.	124	ns
ASTB ハイ・レベル幅	$t_{WSTH}$	$t_{CYX} - 30$	MIN.	52	ns
アドレス→ $\overline{WR}$ ↓ 遅延時間	$t_{DAW}$	$2t_{CYX} - 35$	MIN.	129	ns
ASTB ↓ → データ出力時間	$t_{DSTOD}$	$t_{CYX} + 60$	MAX.	142	ns
ASTB ↓ → $\overline{WR}$ ↓ 遅延時間	$t_{DSTW}$	$t_{CYX} - 30$	MIN.	52	ns
データ・セットアップ時間 (対 $\overline{WR}$ ↑)	$t_{SODWR}$	$(3 + 2n) t_{CYX} - 100$	MIN.	146	ns
データ・セットアップ時間 (対 $\overline{WR}$ ↓)	$t_{SODWF}$	$t_{CYX} - 60$	MIN.	22	ns
$\overline{WR}$ ↑ → ASTB ↑ 遅延時間	$t_{DWST}$	$t_{CYX} - 40$	MIN.	42	ns
$\overline{WR}$ ロウ・レベル幅	$t_{WWL}$	$(3 + 2n) t_{CYX} - 50$	MIN.	196	ns

備考1. nはメモリ・マッピング・レジスタ (MM) の指定により挿入されるウエイト・サイクル数です。

- 2. 12MHzの規格値はゼロ・ウエイト (n=0) におけるものです。
- 3. この表に記載されていない項目は、クロック周波数 ( $f_{XX}$ ) に依存しません。

シリアル・オペレーション

項 目	略 号	条 件	MIN.	MAX.	単 位	
シリアル・クロック・サイクル・タイム	$t_{CYSK}$	入力 外部クロック	1.0		$\mu s$	
		出力	$f_{CLK}$ の 8 分周	1.3		$\mu s$
			$f_{CLK}$ の 32 分周	5.3		$\mu s$
シリアル・クロック・ロウ・レベル幅	$t_{WSKL}$	入力 外部クロック	420		ns	
		出力	$f_{CLK}$ の 8 分周	556		ns
			$f_{CLK}$ の 32 分周	2.5		$\mu s$
シリアル・クロック・ハイ・レベル幅	$t_{WSKH}$	入力 外部クロック	420		ns	
		出力	$f_{CLK}$ の 8 分周	556		ns
			$f_{CLK}$ の 32 分周	2.5		$\mu s$
SI, SBO セットアップ時間 (対 $\overline{SCK}$ ↑)	$t_{SSSK}$		150		ns	
SI, SBO ホールド時間 (対 $\overline{SCK}$ ↑)	$t_{HSSK}$		400		ns	
SO/SBO 出力遅延時間 (対 $\overline{SCK}$ ↓)	$t_{DSBSK1}$	CMOS プッシュプル出力 (3 線式シリアル I/O モード)	0	300	ns	
	$t_{OSBSK2}$	オープン・ドレイン出力 (SBI モード), $R_L = 1 k\Omega$	0	800	ns	
SBO ハイ・ホールド時間 (対 $\overline{SCK}$ ↑)	$t_{HSBSK}$	SBI モード	4		$t_{CYX}$	
SBO ロウ・セットアップ時間 (対 $\overline{SCK}$ ↓)	$t_{SSBSK}$		4		$t_{CYX}$	
SBO ロウ・レベル幅	$t_{WSBL}$		4		$t_{CYX}$	
SBO ハイ・レベル幅	$t_{WSBH}$		4		$t_{CYX}$	

備考 1. 表中の数値は  $f_{XX} = 12 \text{ MHz}$ ,  $C_L = 100 \text{ pF}$  のときの値です。  
 2.  $f_{CLK}$  は内部システム・クロック ( $f_x$  または  $f_{XX}$  の 2 分周)

その他のオペレーション

項 目		略 号	条 件	MIN.	MAX.	単 位
CTI00, CTI10, CTI11 ロウ・レベル幅		$t_{WCTL}$		4		$t_{CYX}$
CTI00, CTI10, CTI11 ハイ・レベル幅		$t_{WCTH}$		4		$t_{CYX}$
★ ★ ★ ★	CLR1 ロウ・レベル幅	$t_{WCRIL}$	デジタル・ノイズ除去回路未使用	4		$t_{CYX}$
			デジタル・ノイズ除去回路使用	ICR.4 <sup>注</sup> =0	40	
				80		$t_{CYX}$
	CLR1 ハイ・レベル幅	$t_{WCRIH}$	デジタル・ノイズ除去回路未使用	4		$t_{CYX}$
			デジタル・ノイズ除去回路使用	ICR.4 <sup>注</sup> =0	40	
				80		$t_{CYX}$
デジタル・ノイズ除去回路	除去パルス幅	$t_{WSEP}$	ICR.4 <sup>注</sup> =0		32	$t_{CYX}$
	通過パルス幅			40	$t_{CYX}$	
	除去パルス幅		ICR.4 <sup>注</sup> =1		72	$t_{CYX}$
	通過パルス幅			80	$t_{CYX}$	
NMI ロウ・レベル幅		$t_{WNIL}$		10		μs
NMI ハイ・レベル幅		$t_{WNIH}$		10		μs
INTPO-INTP2 ロウ・レベル幅		$t_{WIPL}$		4		$t_{CYX}$
INTPO-INTP2 ハイ・レベル幅		$t_{WIPH}$		4		$t_{CYX}$
RESET ロウ・レベル幅		$t_{WRSL}$		10		μs
RESET ハイ・レベル幅		$t_{WRSH}$		10		μs

注 入力コントロール・レジスタ (ICR) のビット4

クロック出力オペレーション

項 目	略 号	計 算 式	MIN.	MAX.	単 位
CLO サイクル・タイム	$t_{CYCL}$		333	2667	ns
CLO ロウ・レベル幅	$t_{CLL}$	$t_{CYCL}/2 \pm 50$	116	1384	ns
CLO ハイ・レベル幅	$t_{CLH}$	$t_{CYCL}/2 \pm 50$	116	1384	ns
CLO 立ち上がり時間	$t_{CLR}$			50	ns
CLO 立ち下がり時間	$t_{CLF}$			50	ns

備考 表中の数値は、 $f_{xx} = 12 \text{ MHz}$ ,  $C_L = 100 \text{ pF}$  のときの値です。

外部クロック・タイミング

項 目	略 号	条 件	MIN.	MAX.	単 位
X1 入力ロウ・レベル幅	$t_{WXL}$		30	130	ns
X1 入力ハイ・レベル幅	$t_{WXH}$		30	130	ns
X1 入力立ち上がり時間	$t_{XR}$		0	30	ns
X1 入力立ち下がり時間	$t_{XF}$		0	30	ns
X1 入力サイクル・タイム	$t_{CYX}$		82	250	ns

A/Dコンバータ特性 ( $T_a = -10 \sim +70^\circ\text{C}$ ,  $V_{DD} = +5.0\text{V} \pm 10\%$ ,  $3.8\text{V} \leq AV_{REF} \leq V_{DD}$ ,  $AV_{SS} = V_{SS} = 0\text{V}$ )

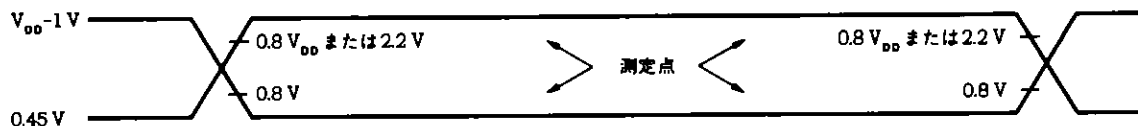
項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8			bit
フル・スケール誤差		$4.0\text{V} \leq AV_{REF} \leq V_{DD}$			0.4	%
		$3.8\text{V} \leq AV_{REF} \leq V_{DD}$			0.8	%
量子化誤差					$\pm 1/2$	LSB
変換時間	$t_{CONV}$	$83\text{ns} \leq t_{CYX} \leq 125\text{ns}$	360			$t_{CYX}$
		$125\text{ns} \leq t_{CYX} \leq 250\text{ns}$	240			$t_{CYX}$
サンプリング時間	$t_{SAMP}$	$83\text{ns} \leq t_{CYX} \leq 125\text{ns}$	72			$t_{CYX}$
		$125\text{ns} \leq t_{CYX} \leq 250\text{ns}$	48			$t_{CYX}$
アナログ入力電圧	$V_{IAN}$		-0.3		$AV_{REF} + 0.3$	V
アナログ入力インピーダンス	$R_{AN}$			1000		MΩ
基準電圧	$AV_{REF}$		3.8		$V_{DD}$	V
$AV_{REF}$ 電流	$AI_{REF}$	通常動作モード, $f_{XX} = 12\text{MHz}$		1.5	5.0	mA
		STOPモード		0.7	1.5	mA

データ・メモリ低電圧データ保持特性 ( $T_a = -10 \sim +70^\circ\text{C}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	$V_{DDDR}$	STOPモード	2.0		5.5	V
データ保持電源電流	$I_{DDDR}$	$V_{DDDR} = 2.0\text{V}$		1	10	μA
		$V_{DDDR} = 5\text{V} \pm 10\%$		2	20	μA
$V_{DD}$ 立ち上がり時間	$t_{RVD}$		200			μs
$V_{DD}$ 立ち下がり時間	$t_{FVD}$		200			μs
STOP解除信号入力時間	$t_{OREL}$		0			ms
ロウ・レベル入力電圧	$V_{IL}$	特定端子 注	0		$0.1 V_{DD}$	V
ハイ・レベル入力電圧	$V_{IH}$		$0.9 V_{DD}$		$V_{DD}$	V

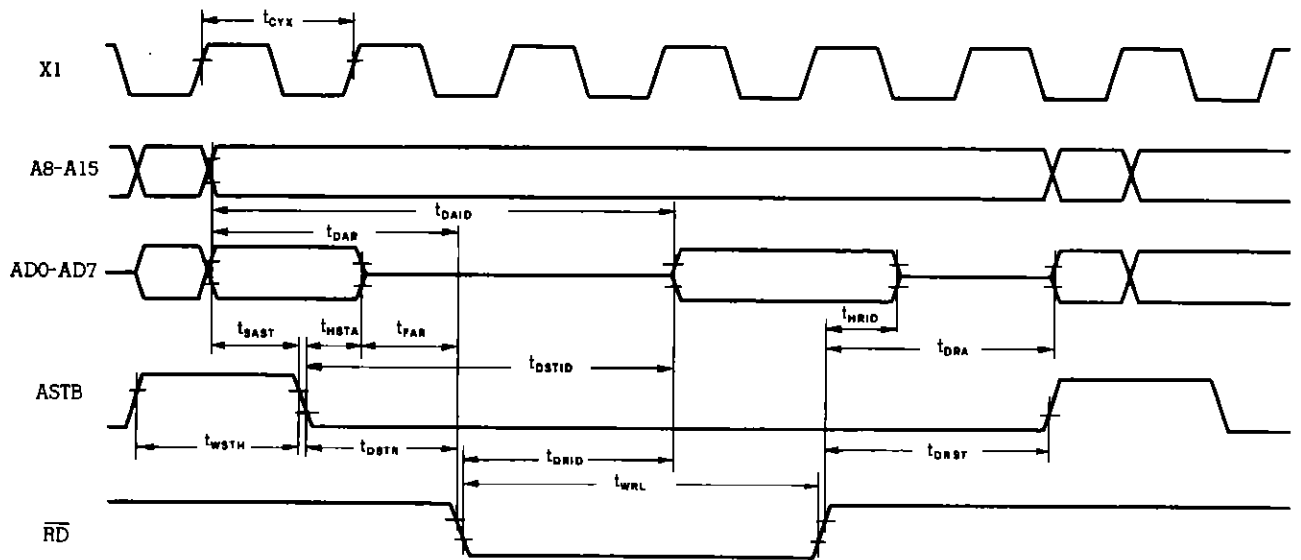
注 RESET, P20/NMI, P21/INTPO, P22/INTP1, P23/INTP2, P24/CTI10, P25/CTI00, P26/CTI11, P27/CLR1, P34/CLR0, P35/SI, P36/SO/SB0, P37/SCK,  $\bar{E}A$  の各端子

ACタイミング測定点

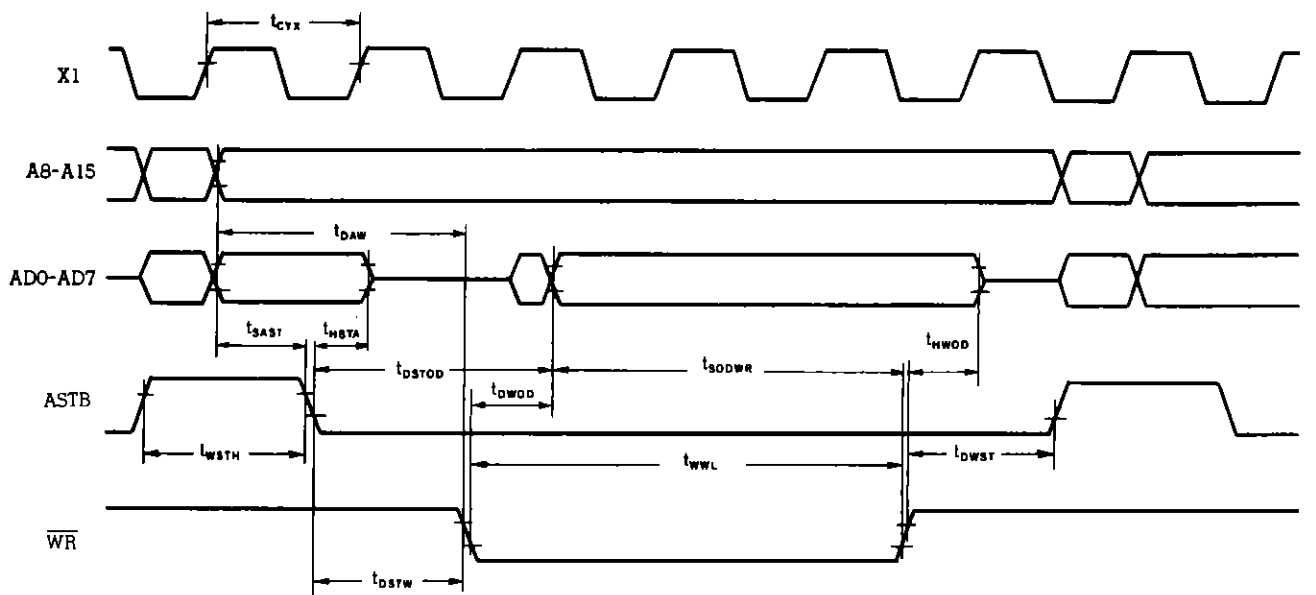


タイミング波形

リード・オペレーション

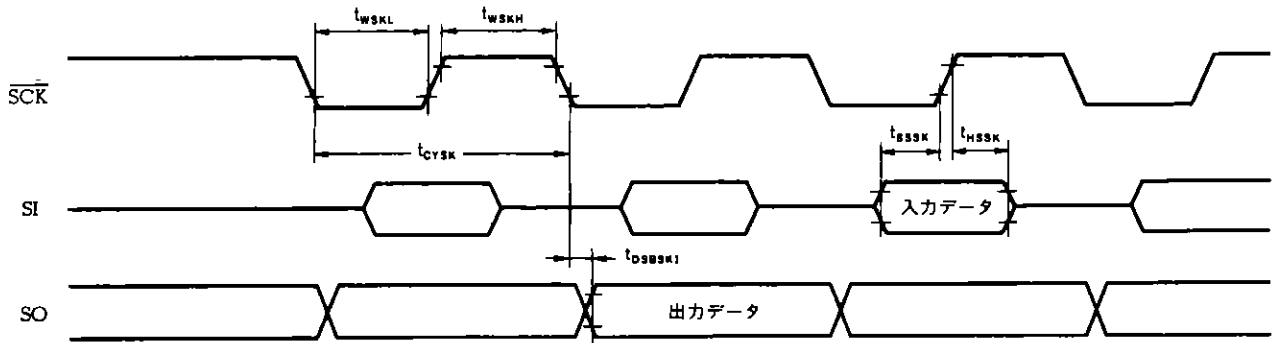


ライト・オペレーション



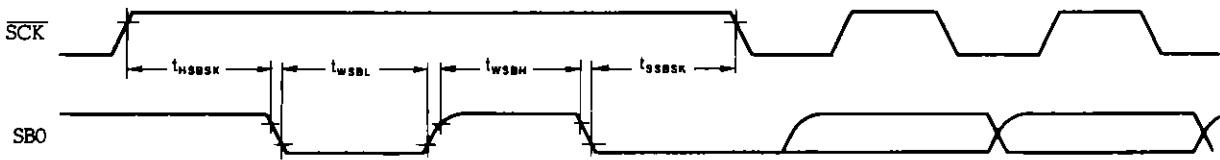
シリアル・オペレーション

3線式シリアルI/Oモード

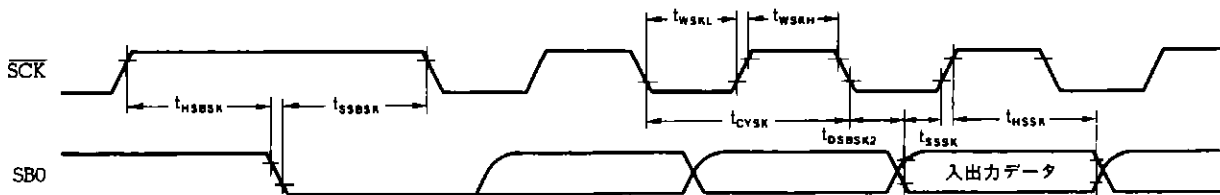


SBIモード

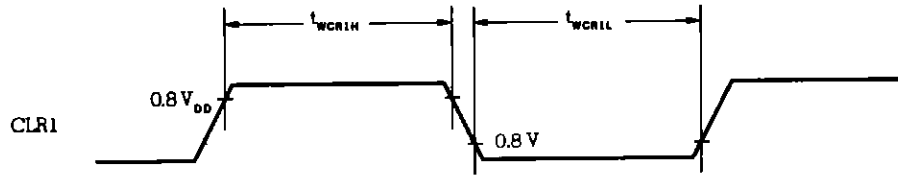
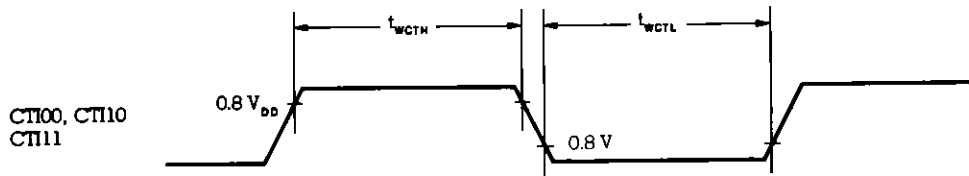
バス・リリース信号転送



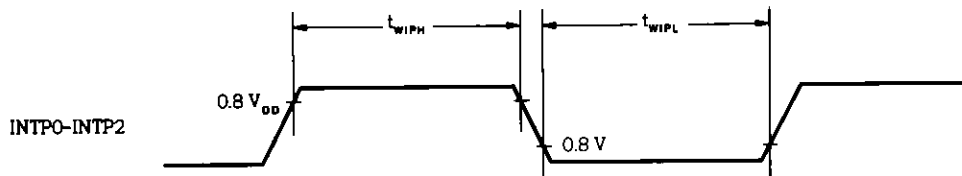
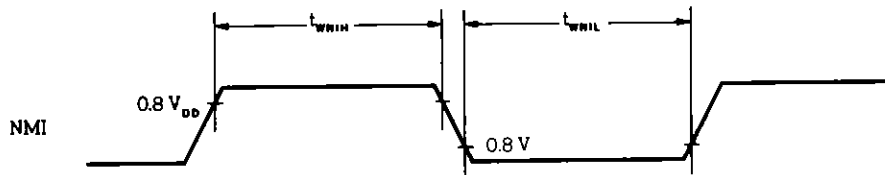
コマンド信号転送



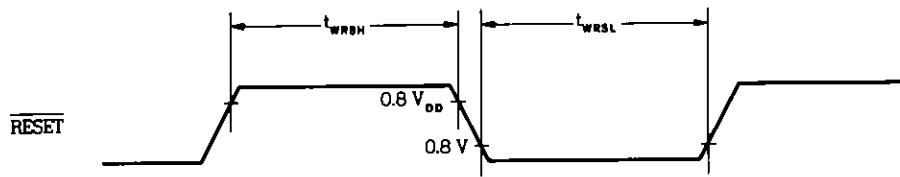
スーパー・タイマ・ユニット入力タイミング



割り込み入力タイミング

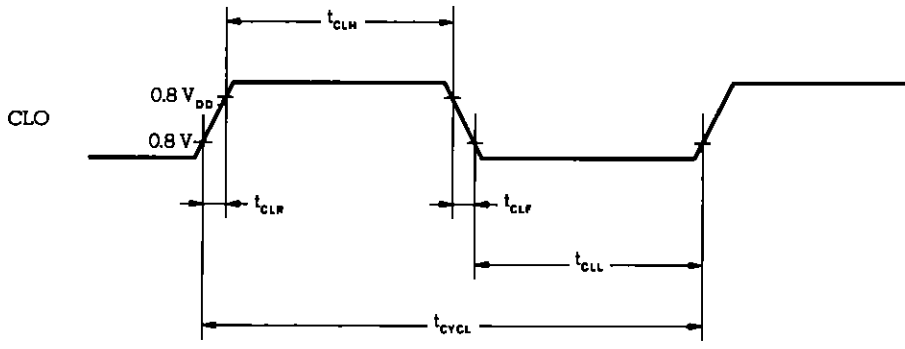


リセット入力タイミング

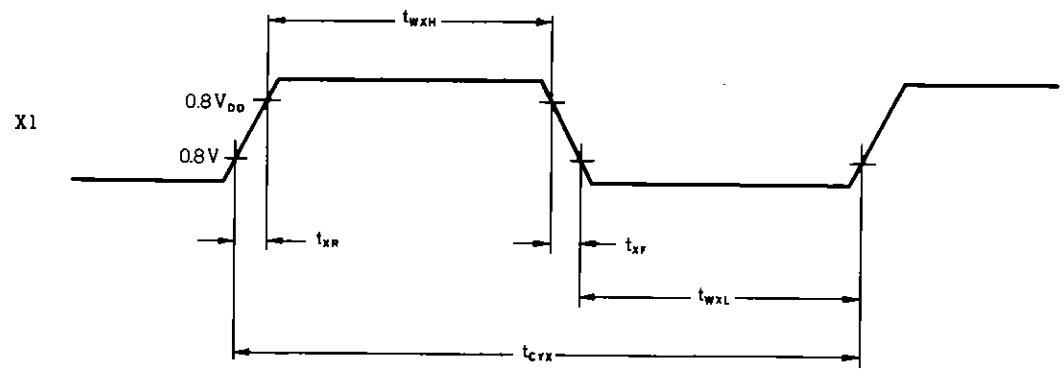




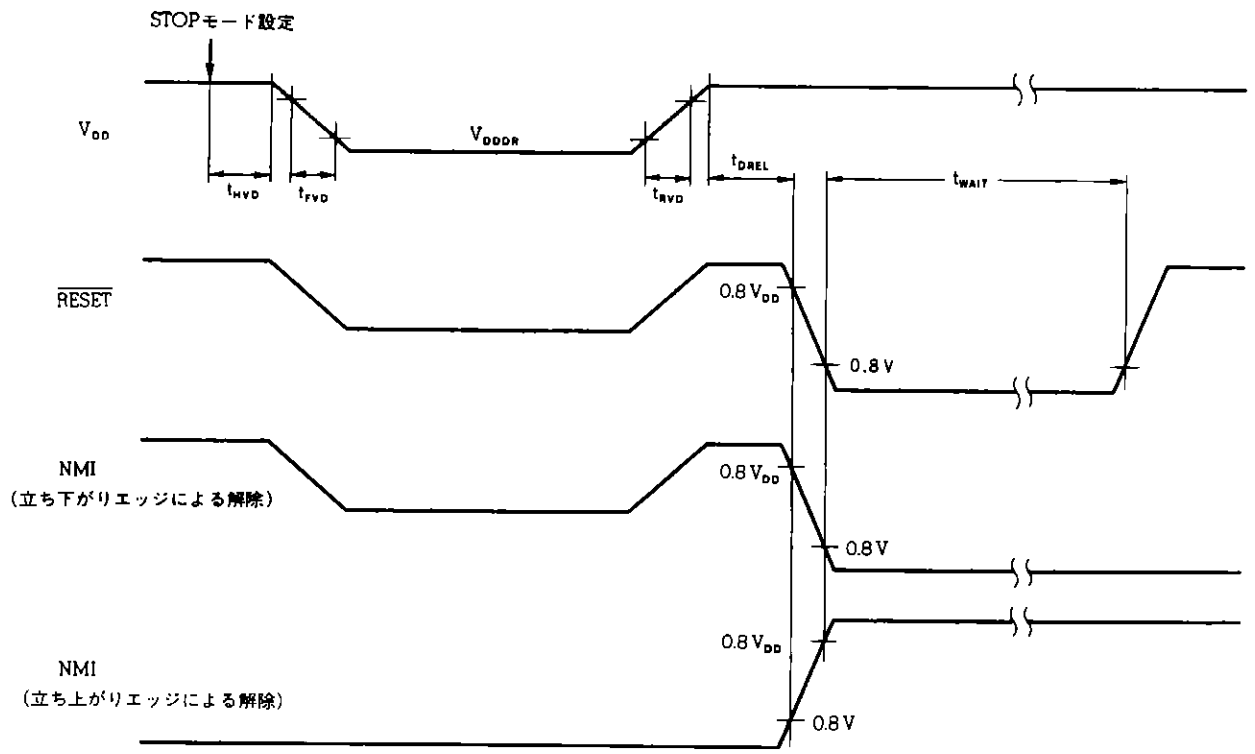
クロック出力タイミング

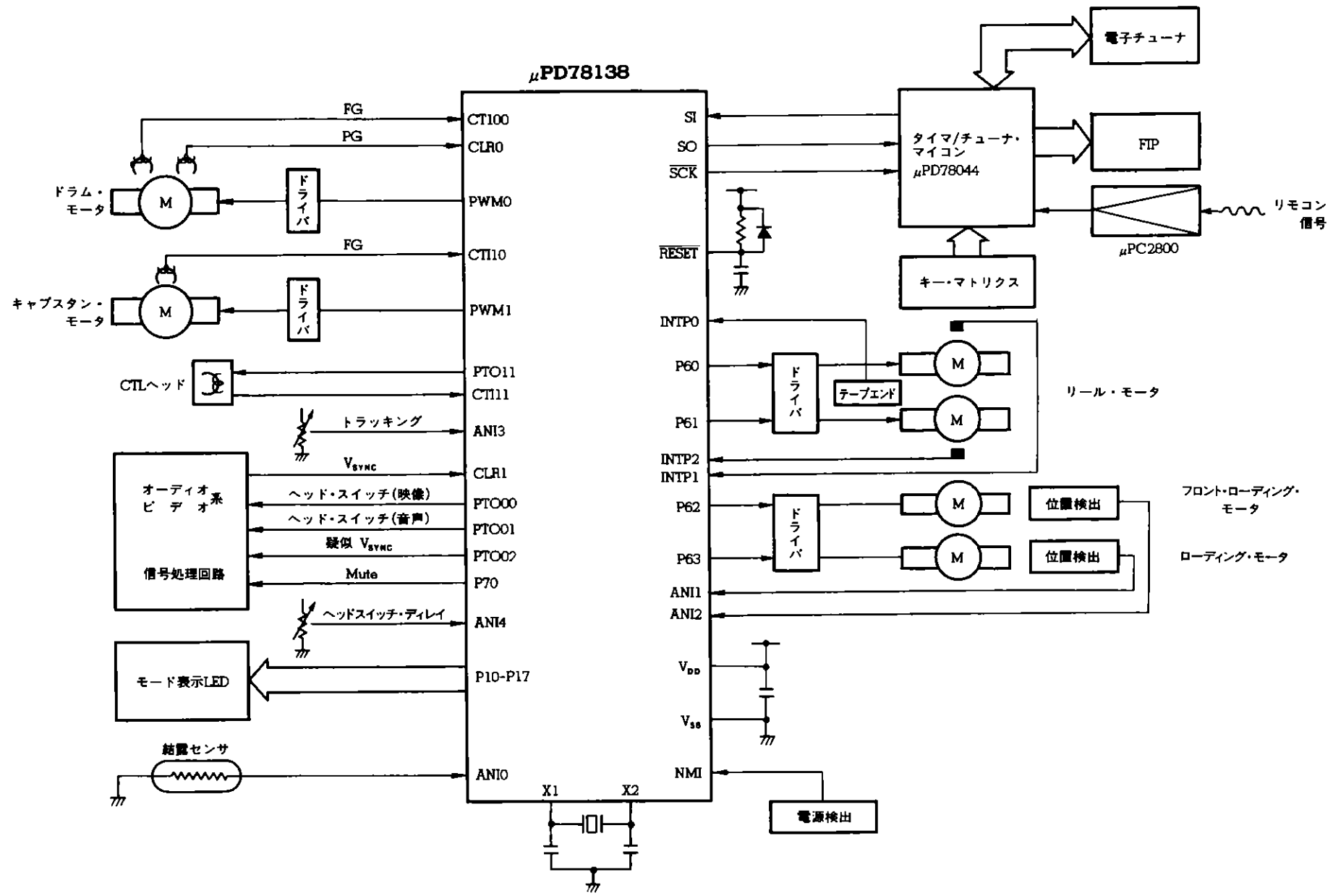


外部クロック・タイミング



データ保持特性

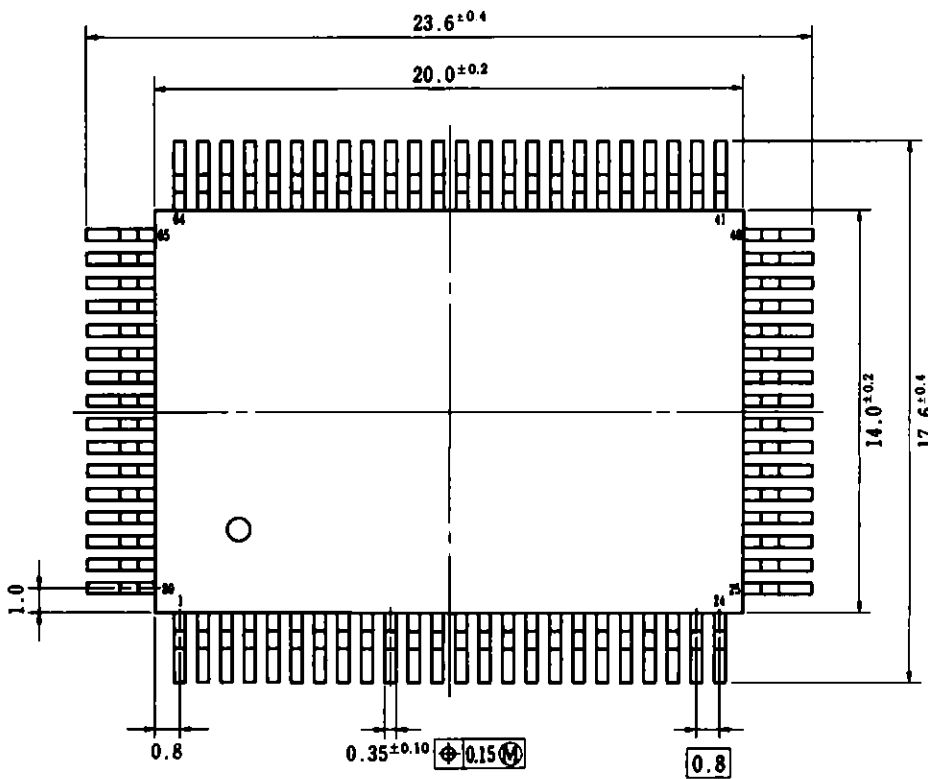




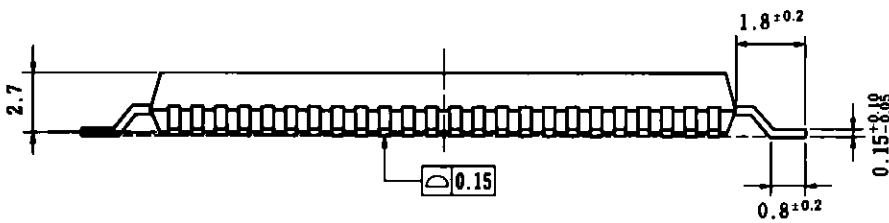
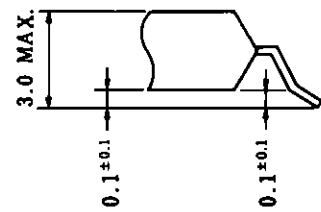
9. アナリケーション構成例 (据え置き型 VTR)

10. 外形図

80ピン・プラスチックQFP (14×20) 外形図 (単位: mm)



端子先端形状詳細図



P80GF-80-3B9-1

★ 11. 半田付け推奨条件

μPD78138 の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表 11-1 半田付け推奨条件一覧

製品名	パッケージ	推奨条件記号
μPD78134AGF-×××-3B9 μPD78136GF-×××-3B9 μPD78138GF-×××-3B9	80ピン・プラスチック QFP	IR30-107-1
		VP15-107-1
		WS60-107-1
		端子部分加熱

表 11-2 半田付け条件

推奨条件記号	半田付け方式	半田付け条件
IR30-107-1	赤外線リフロ	パッケージ・ピーク温度：230℃、時間：30秒以内（210℃以上）、回数：1回、 制限日数：7日間 <sup>注</sup> （以降は 125℃ プリベーク 10時間必要）
VP15-107-1	VPS	パッケージ・ピーク温度：215℃、時間：40秒以内（200℃以上）、回数：1回、 制限日数：7日間 <sup>注</sup> （以降は 125℃ プリベーク 10時間必要）
WS60-107-1	ウェーブソルダリング	半田槽温度：260℃以下、時間：10秒以内、回数：1回、 制限日数：7日間 <sup>注</sup> （以降は 125℃ プリベーク 10時間必要） 予備加熱温度：120℃ MAX.（パッケージ表面温度）
端子部分加熱	端子部分加熱	端子部温度：300℃以下、時間：3秒以内（デバイスの一辺当たり）

注 ドライバック開封後の保管日数で、保管条件は 25℃、65% RH 以下。

注意 半田付け推奨条件の併用はお避けください（ただし、端子部分加熱方式は除く）。

備考 半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(IEI-616) をご参照ください。

付録 A. μPD78138 シリーズと μPD78134 の相違点

★

μPD78138 シリーズ (μPD78134A, 78136, 78138, 78P138) と μPD78134 の機能の違いについて以下に示します。

①ROM/RAM サイズ

項目	μPD78134	μPD78134A	μPD78136	μPD78138	μPD78P138
ROM	16 K バイト (マスク ROM)		24 K バイト (マスク ROM)	32 K バイト (マスク ROM)	32 K バイト (PROM)
RAM	384 バイト		640 バイト		

②命令追加

μPD78138 シリーズでは、次の 15 命令が追加されています。

- 符号付き乗算命令 : MULSW r
- 8 ビット・データ転送命令 : MOV A, [HL +]  
MOV [HL +], A  
MOV A, [DE]  
MOV [DE], A  
MOV A, [DE +]  
MOV [DE +], A  
MOV A, !addr16  
MOV !addr16, A  
XCH A, [HL]  
XCH A, [DE]  
XCH A, word[rl]
- 8 ビット演算命令 : ALU A, [DE]  
ALU A, word[rl]
- コール命令 : CALL rp

備考 記号の意味

- A : A レジスタ
- rp : AX, BC, DE, HL
- r : A, X, B, C, D, E, H, L
- rl : A, B
- word : 16 ビット・イミディエト・データまたはレーベル
- !addr16 : 0000H-FFFFH イミディエト・データまたはレーベル
- HL : レジスタ・ペア
- DE : レジスタ・ペア
- ALU : 8 ビット演算のニモニックの総称  
(ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP)

**③ イベント・カウンタ・コンペア・レジスタ (ECC0, ECC1) に値を書き込んだときの動作**

- $\mu$ PD78134 … イベント・カウンタ (EC) をクリアします。
- $\mu$ PD78138 シリーズ …  $0 \times \times \times \times \times \times B$  を書き込むと、イベント・カウンタ (EC) をクリアします。  
…  $1 \times \times \times \times \times \times B$  を書き込むと、イベント・カウンタ (EC) をクリアしません。

**④ デジタル・ノイズ除去回路の除去パルス幅**

- $\mu$ PD78134 …  $40/t_{CLK}$  固定。
- $\mu$ PD78138 シリーズ …  $32/t_{CLK}$  または  $72/t_{CLK}$  のどちらかを選択可能。

**⑤ PWM キャリア周波数**

- $\mu$ PD78134 … 23.4 kHz 固定。
- $\mu$ PD78138 シリーズ … 23.4 kHz または 46.9 kHz のどちらかを選択可能。

**⑥ マクロ・サービス・リアルタイム出力ポート制御モードの制限の解消**

$\mu$ PD78138 シリーズでは、 $\mu$ PD78134 におけるマクロ・サービスのリアルタイム出力ポート制御モードにおいて、出カタイミング・データを ROM 上に設定するという制限を解消しています。

備考  $\mu$ PD78134 についての詳細は、 $\mu$ PD78134 データ・シート (IC-7839) をご覧ください。

付録 B. 開発ツール

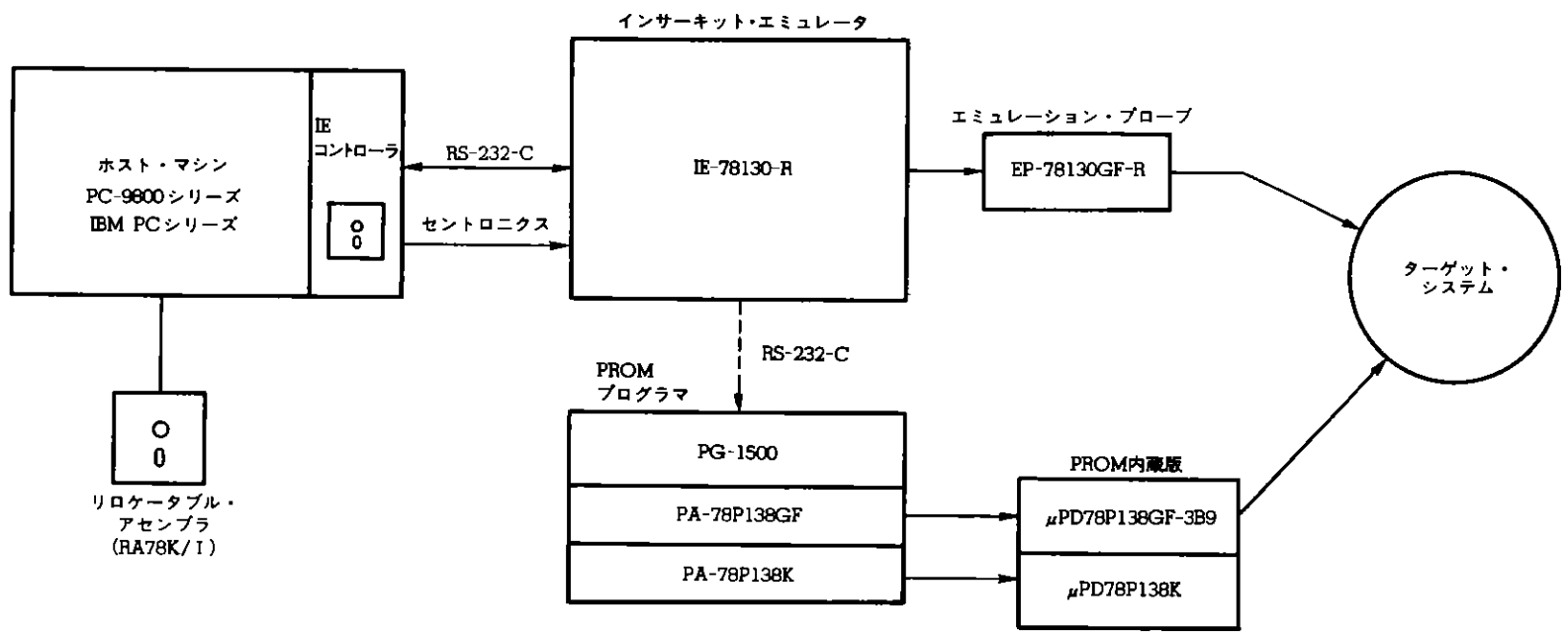
★

μPD78138 を使用するシステム開発のために以下のようなツールを用意しています。

ハードウェア	IE-78130-R	μPD78138 の応用システム開発, ディバグに使用できるインサーキット・エミュレータです。ホスト・マシンまたは, コンソールを接続してディバグを行います。ホスト・マシンに接続した場合, シンボリック・ディバグとホスト・マシンとのオブジェクト・ファイルの転送が可能となり, 効率の良いディバグを行うことが可能です。RS-232-C のシリアル・インタフェースを 2 チャンネル内蔵しているほか, セントロニクス・インタフェースも内蔵しています。PG-1500 などの PROM プログラムの接続が可能です。				
	EP-78130GF-R	IE-78130-R をターゲット・システムに接続するためのエミュレーション・プローブです。				
	PA-78P138GF PA-78P138K	PG-1500 で, μPD78P138GF/K にプログラムを書き込むための, プログラム・アダプタです。				
ソフトウェア	IE-78130-R コントロール・プログラム (IE コントローラ)	ホスト・マシン	OS	供給媒体	オーダ名称 (品名)	
		PC-9800 シリーズ	MS-DOS™ (Ver.3.10 Ver.3.30C)	5 インチ 2HD	μS5A10IE78130	
				3.5 インチ 2HD	μS5A13IE78130	
		IBM PC シリーズ	PC DOS™ (Ver.3.1 Ver.3.3)	5 インチ 2HC	μS7B10IE78130	
		RA78K/I リロケータブル・アセンブラ	ホスト・マシン	OS	供給媒体	オーダ名称 (品名)
			PC-9800 シリーズ	MS-DOS (Ver.3.10 Ver.3.30C)	5 インチ 2HD	μS5A10RA78K1
	3.5 インチ 2HD				μS5A13RA78K1	
	IBM PC シリーズ	PC DOS (Ver.3.1 Ver.3.3)	5 インチ 2HC	μS7B10RA78K1		

備考 各ソフトウェアの動作は, 上記のホスト・マシンと, OS 上のみで保証されています。

**保守/廃止**



備考 すでにPG-2000をお持ちのユーザは、そのままPA-78P138GF/Kを接続可能です。  
(PG-2000は廃品種製品です)



付録 C. シリーズ製品の機能一覧

品名		μPD78134A	μPD78136	μPD78138	
基本命令数		64			
命令実行時間		0.33 μs (12 MHz 動作時)			
内蔵メモリ	ROM	16 K バイト (マスク ROM)	24 K バイト (マスク ROM)	32 K バイト (マスク ROM)	32 K バイト (PROM)
	RAM	384 バイト	640 バイト		
メモリ拡張機能		最大 64 K バイトまで外部拡張可能			
汎用レジスタ		8 ビット×8×4 バンク (メモリ・マッピング)			
命令セット		<ul style="list-style-type: none"> <li>・符号付き乗算 (符号付き 16 ビット×絶対値 8 ビット)</li> <li>・符号なし乗除算 (16 ビット×8 ビット, 16 ビット÷8 ビット)</li> <li>・16 ビット加算, 減算, 比較</li> <li>・ビット操作 (転送, ブール演算, セット, リセット, テスト)</li> <li>・BCD 補正</li> <li>・64 K バイト空間のデータ・アクセスを容易にするアドレッシングを追加</li> </ul>			
I/O ライン		<ul style="list-style-type: none"> <li>・合計 66                             <ul style="list-style-type: none"> <li>入力ポート : 10</li> <li>出力ポート : 12</li> <li>入出力ポート : 36</li> <li>アナログ入力 : 8</li> </ul> </li> </ul>			
スーパー・タイマ・ユニット		<ul style="list-style-type: none"> <li>・タイマ, カウンタ                             <ul style="list-style-type: none"> <li>タイマ : 16 ビット×3</li> <li>7 ビット×1</li> <li>カウンタ : 18 ビット×1</li> </ul> </li> <li>・レジスタ                             <ul style="list-style-type: none"> <li>キャプチャ・レジスタ : 18 ビット×1</li> <li>16 ビット×4</li> <li>7 ビット×1</li> <li>コンペア・レジスタ : 16 ビット×6</li> <li>7 ビット×1</li> </ul> </li> <li>・PWM : 12 ビット×2 アクティブ・レベル可変, 2 種類のキャリア周波数を選択可能 : 23.4/46.9 kHz (12 MHz 動作時)</li> <li>・イベント・カウンタ (EC) のクリア動作選択追加</li> </ul>			
リアルタイム出力ポート		<ul style="list-style-type: none"> <li>・タイマに連動させたポート出力機能</li> <li>・4 ビット×2 または 8 ビット×1</li> </ul>			
シリアル・インタフェース		<ul style="list-style-type: none"> <li>・NEC フォーマット・シリアル・バス・インタフェース (SBI) または, 3 線式シリアル・インタフェースを選択可</li> </ul>			
A/D コンバータ		<ul style="list-style-type: none"> <li>・8 ビット分解能×8 入力</li> <li>・変換時間 : 30 μs/1 アナログ入力 (12 MHz 動作時)</li> </ul>			
割り込み		<ul style="list-style-type: none"> <li>・割り込みソース : 17 要因 (外部 5 要因, 内部 12 要因)</li> <li>・2 種類の処理形態を選択可 (マクロ・サービス/ベクタ割り込み)</li> <li>・割り込み優先順位可変 (2 レベル)</li> </ul>			
スタンバイ		STOP モード			
プルアップ抵抗		44 本内蔵 (ソフトウェアにより内蔵許可/禁止指定可)			
パッケージ		<ul style="list-style-type: none"> <li>・80 ピン・プラスチック QFP (本体 14×20 mm)</li> <li>・80 ピン窓付き LCC (μPD78P138 のみ)</li> </ul>			

[メモ]

○文書による当社の承諾なしに本資料の転載複製を禁じます。

○本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

○当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、冗焼対策設計、誤動作防止設計等安全設計に十分ご注意ください。

○当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海中継器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを要します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

○この製品は耐放射線設計をしておりません。

M4 94.11

本製品が外国為替および外国貿易管理法の規定による戦略物資等(または役務)に該当するか否かは、ユーザー(仕様を決定した者)が判定してください。

○文書による当社の承諾なしに本資料の転載複製を禁じます。

○この製品を使用したことにより、第三者の工業所有権等にかかわる問題が発生した場合、当社製品の構造製法に直接かかわるもの以外につきましては、当社はその責を負いませんのでご了承ください。

○当社は、航空宇宙機器、海中継器、原子力制御システム、生命維持のための医療用機器などに推奨できる製品を標準的には用意しておりません。当社製品をこれらの用途にご使用をお考えのお客様、および、「標準」品質水準品を当社が意図した用途以外にご使用をお考えのお客様は、事前に販売窓口までご連絡頂きますようお願い致します。

当社推奨の用途例

標準：コンピュータ、OA機器、通信機器、計測機器、工作機械、産業用ロボット、AV機器、家電等

特別：輸送機器（列車、自動車等）、交通信号機器、防災／防犯装置等

○この製品は耐放射線設計をしておりません。

M4 92.6

MS-DOS™ は、米国マイクロソフト社の商標です。

PC DOS™ は、米国IBM社の商標です。

# NEC 日本電気株式会社

本社	〒108-01 東京都港区芝五丁目7番1号 (日本電気本社ビル)	
コンシューマ、OA、インダストリ半導体販売事業部	〒108-01 東京都港区芝五丁目7番1号 (日本電気本社ビル)	東京 (03) 3454-1111
中部支社半導体販売部	〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル)	名古屋 (052) 242-2755
関西支社半導体販売部	〒540 大阪市中央区城見一丁目4番24号 (日本電気関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208

北海道支社	札幌 (011) 231-0161	立川支社	立川 (0425) 26-0911
東北支社	仙台 (022) 261-5511	千葉支社	千葉 (043) 227-5441
北手支店	仙台 (0196) 51-4344	静岡支社	静岡 (054) 255-2211
山形支店	山形 (0236) 23-5511	沼津支店	沼津 (0559) 63-4455
山支店	山形 (0249) 23-5511	浜松支店	浜松 (053) 452-2711
いわき支店	いわき (0246) 21-5511	北沢支店	北沢 (0762) 23-1621
長岡支店	長岡 (0258) 36-2155	福井支店	福井 (0778) 22-1866
水戸支店	水戸 (0292) 26-1717	富山支店	富山 (0764) 31-8461
神奈川支店	横浜 (045) 324-5511	京都支社	京都 (075) 352-2261
群馬支店	高崎 (0273) 26-1255	神戸支社	神戸 (078) 332-3311
群馬支店	高崎 (0276) 46-4011	神戶支社	神戶 (082) 242-5504
宇都宮支店	宇都宮 (0286) 21-2281	中野支店	中野 (0857) 27-5311
小野支店	小野 (0285) 24-5011	鳥取支店	鳥取 (0878) 36-1200
長野支店	長野 (0262) 35-1444	岡山支店	岡山 (0862) 25-4455
長野支店	長野 (0263) 35-1666	高松支店	高松 (0878) 36-1200
新潟支店	新潟 (0266) 53-5350	新居浜支店	新居浜 (0897) 32-5001
新潟支店	新潟 (0552) 24-4141	松山支店	松山 (0899) 45-4111
甲府支店	甲府 (0552) 24-4141	松山支店	松山 (0899) 45-4111
埼玉支社	大宮 (048) 641-1411	九州支店	福岡 (092) 271-7700
		北九州支店	北九州 (093) 541-2887

(技術お問い合わせ先)

半導体応用技術本部	マイクロコンピュータ技術部	〒210 川崎市川崎区駅前本町15番5号 (十五番館)	川崎 (044) 246-3922
半導体応用技術本部	中部応用システム技術部	〒460 名古屋市中区栄四丁目14番5号 (松下中日ビル)	名古屋 (052) 242-2762
半導体応用技術本部	西日本応用システム技術部	〒540 大阪市中央区城見一丁目4番24号 (日本電気関西ビル)	大阪 (06) 945-3383

半導体応用技術本部  
インフォメーションセンター  
FAX(044)548-7900