

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

8ビット・シングルチップ・マイクロコンピュータ

μ PD78070Aは、 μ PD78078サブシリーズの内部ROMを削除し、機能を限定した製品です。

外部ROMを入れ替えることにより、プログラムのメンテナンスを容易に行うことができます。

高速、高性能CPUのほかに、RAM、I/Oポート、8ビット分解能A/Dコンバータ、8ビット分解能D/Aコンバータ、タイマ、シリアル・インタフェース、リアルタイム出力ポート、割り込み制御など豊富な周辺ハードウェアを内蔵しています。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD78070A, 78070AY ユーザーズ・マニュアル : IEU-907

78K/0シリーズ ユーザーズ・マニュアル 命令編 : IEU-849

特 徴

大容量RAM内蔵

- ・内部高速RAM : 1024バイト
- ・バッファRAM : 32バイト

2種類のパッケージを用意

- ・100ピン・プラスチックQFP (ファインピッチ) (14 mm)
- ・100ピン・プラスチックQFP (14 × 20 mm)

外部メモリ拡張空間 : 64 Kバイト

高速 (0.4 μ s) から超低速 (122 μ s) まで命令実行時間変更可能

I/Oポート : 61本 (N-chオープン・ドレイン : 8本)

8ビット分解能A/Dコンバータ : 8チャンネル

8ビット分解能D/Aコンバータ : 2チャンネル

シリアル・インタフェース : 3チャンネル

・3線式 / SBI / 2線式モード : 1チャンネル

・3線式モード : 1チャンネル

・3線式 / UARTモード : 1チャンネル

タイマ : 7チャンネル

電源電圧 : $V_{DD} = 2.7 \sim 5.5$ V

用 途

CD-ROMドライバ, プリンタ, PPCなど

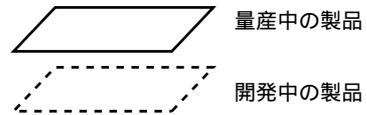
オーダ情報

オーダ名称	パッケージ
μ PD78070AGC-7EA	100ピン・プラスチックQFP (ファインピッチ) (14 mm, 樹脂厚1.45 mm)
μ PD78070AGF-3BA	100ピン・プラスチックQFP (14 × 20 mm, 樹脂厚2.7 mm)

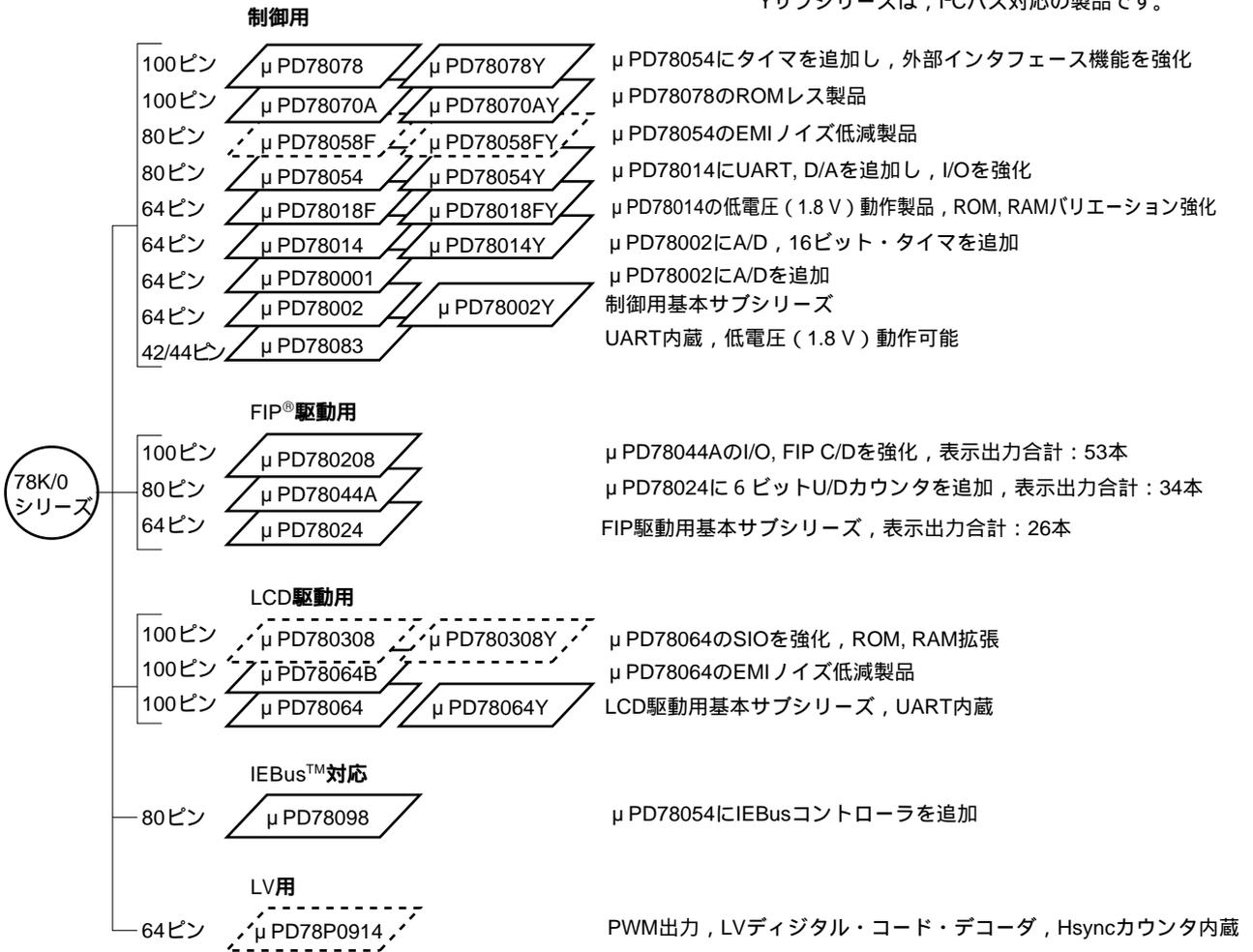
本資料の内容は、後日変更する場合があります。

78K/0シリーズの展開

78K/0シリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



Yサブシリーズは、I²Cバス対応の製品です。



各サブシリーズ間の主な機能の違いを次に示します。

機能 サブシリーズ名		ROM容量	タイマ				8-bit	8-bit	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張
			8-bit	16-bit	時計	WDT	A/D	D/A				
制御用	μ PD78078	32 K-60 K	4ch	1ch	1ch	1ch	8ch	2ch	3ch(UART : 1ch)	88本	1.8 V	
	μ PD78070A	-								2ch	61本	
	μ PD78058F	48 K-60 K	69本	2.0 V								
	μ PD78054	16 K-60 K		53本	1.8 V							
	μ PD78018F	8 K-60 K	-		2ch	2.7 V						
	μ PD78014	8 K-32 K		1ch		39本	-					
	μ PD780001	8 K	53本		-							
	μ PD78002	8 K-16 K						8ch	1ch(UART : 1ch)		33本	
	μ PD78083											
FIP 駆動用	μ PD780208	32 K-60 K	2ch	1ch	1ch	1ch	8ch	-	2ch	74本	2.7 V	-
	μ PD78044A	16 K-40 K								68本		
	μ PD78024	24 K-32 K								54本		
LCD 駆動用	μ PD780308	48 K-60 K	2ch	1ch	1ch	1ch	8ch	-	3ch(UART : 1ch)	57本	1.8 V	-
	μ PD78064B	32 K							2ch(UART : 1ch)		2.0 V	
	μ PD78064	16 K-32 K										
IEBus 対応	μ PD78098	32 K-60 K	2ch	1ch	1ch	1ch	8ch	2ch	3ch(UART : 1ch)	69本	2.7 V	
LV用	μ PD78P0914	32 K	6ch	-	-	1ch	8ch	-	2ch	54本	4.5 V	

機能概要

項 目		機 能
内部メモリ	ROM	なし
	内部高速RAM	1024バイト
	バッファRAM	32バイト
メモリ空間		64 Kバイト
汎用レジスタ		8ビット×32レジスタ(8ビット×8レジスタ×4バンク)
インストラクション・サイクル		命令実行時間の可変機能内蔵
	メイン・システム・クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (5.0 MHz動作時)
	サブシステム・クロック選択時	122 μs (32.768 kHz動作時)
命令セット		<ul style="list-style-type: none"> ・16ビット演算 ・乗除算(8ビット×8ビット, 16ビット÷8ビット) ・ビット操作(セット, リセット, テスト, ブール演算) ・BCD補正など
I/Oポート		合計 : 61本 <ul style="list-style-type: none"> ・CMOS入力 : 2本 ・CMOS入出力 : 51本 ・N-chオープン・ドレイン入出力 : 8本
A/Dコンバータ		8ビット分解能×8チャンネル
D/Aコンバータ		8ビット分解能×2チャンネル
シリアル・インタフェース		<ul style="list-style-type: none"> ・3線式/SBI/2線式モード選択可能 : 1チャンネル ・3線式モード(最大32バイト自動送受信機能内蔵) : 1チャンネル ・3線式/UARTモード選択可能 : 1チャンネル
タイマ		<ul style="list-style-type: none"> ・16ビット・タイマ/イベント・カウンタ : 1チャンネル ・8ビット・タイマ/イベント・カウンタ : 4チャンネル ・時計用タイマ : 1チャンネル ・ウォッチドッグ・タイマ : 1チャンネル
タイマ出力		5本(14ビットPWM出力可能:1本, 8ビットPWM出力可能:2本)
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック:5.0 MHz動作時) 32.768 kHz(サブシステム・クロック:32.768 kHz動作時)
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz(メイン・システム・クロック:5.0 MHz動作時)
ベクタ 割り込み	マスクابل割り込み	内部:15本, 外部:7本
	ノンマスクابل割り込み	内部:1本
	ソフトウェア割り込み	内部:1本
テスト入力		内部:1本
電源電圧		V _{DD} = 2.7 ~ 5.5 V
パッケージ		<ul style="list-style-type: none"> ・100ピン・プラスチックQFP(ファインピッチ)(14mm, 樹脂厚1.45mm) ・100ピン・プラスチックQFP(14×20mm, 樹脂厚2.7mm)

目 次

1 . 端子接続図 (Top View) ...	7
2 . ブロック図 ...	10
3 . 端子機能一覧 ...	11
3.1 ポート端子 ...	11
3.2 ポート以外の端子 ...	13
3.3 端子の入出力回路と未使用端子の処理 ...	15
4 . メモリ空間 ...	19
5 . 周辺ハードウェア機能の特徴 ...	20
5.1 ポート ...	20
5.2 クロック発生回路 ...	21
5.3 タイマ/イベント・カウンタ ...	22
5.4 クロック出力制御回路 ...	24
5.5 ブザー出力制御回路 ...	25
5.6 A/Dコンバータ ...	25
5.7 D/Aコンバータ ...	25
5.8 シリアル・インタフェース ...	26
5.9 リアルタイム出力ポート ...	28
6 . 割り込み機能とテスト機能 ...	29
6.1 割り込み機能 ...	29
6.2 テスト機能 ...	33
7 . 外部デバイス拡張機能 ...	34
8 . スタンバイ機能 ...	34
9 . リセット機能 ...	34
10 . 命令セット ...	35
11 . 電気的特性 ...	38
12 . 外形図 ...	63
13 . 半田付け推奨条件 ...	65

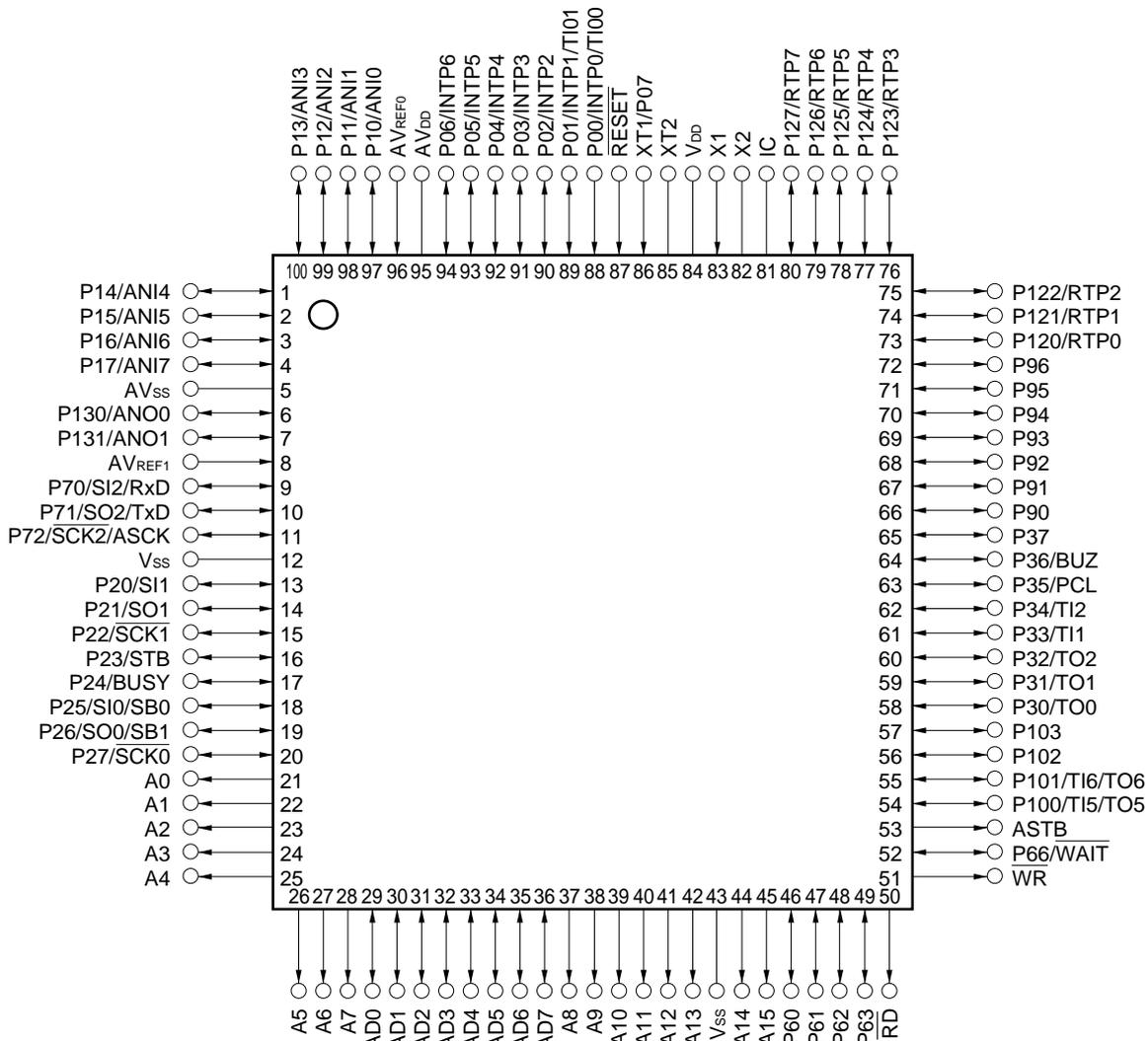
付録A . 開発ツール ... 67

付録B . 関連資料 ... 69

1. 端子接続図 (Top View)

・ 100ピン・プラスチックQFP (ファインピッチ) (14 mm)

μPD78070AGC-7EA



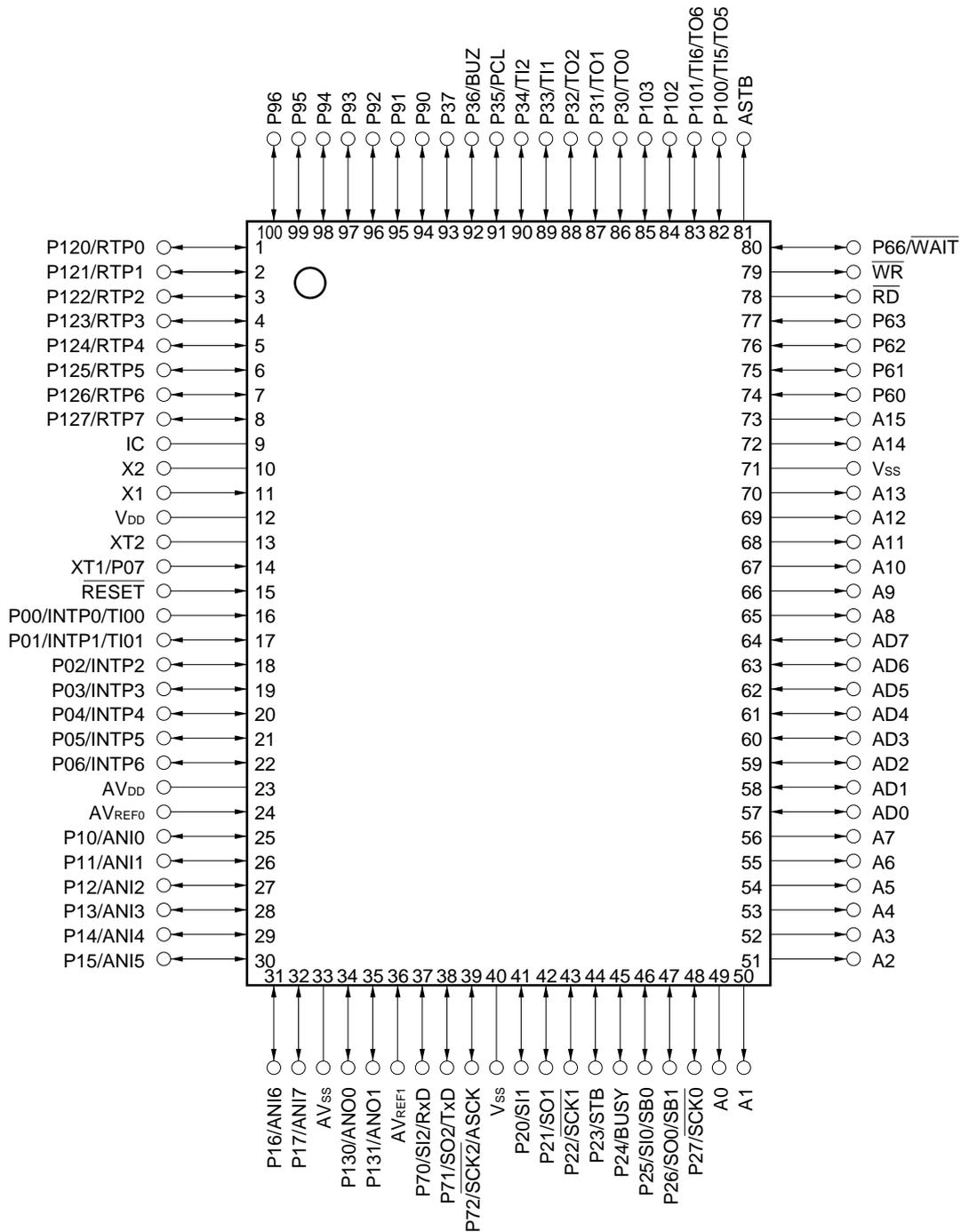
注意 1 . IC (Internally Connected) 端子はV_{SS}に直接接続してください。

2 . AV_{DD}端子はV_{DD}に接続してください。

3 . AV_{SS}端子はV_{SS}に接続してください。

・100ピン・プラスチックQFP (14×20 mm)

μPD78070AGF-3BA



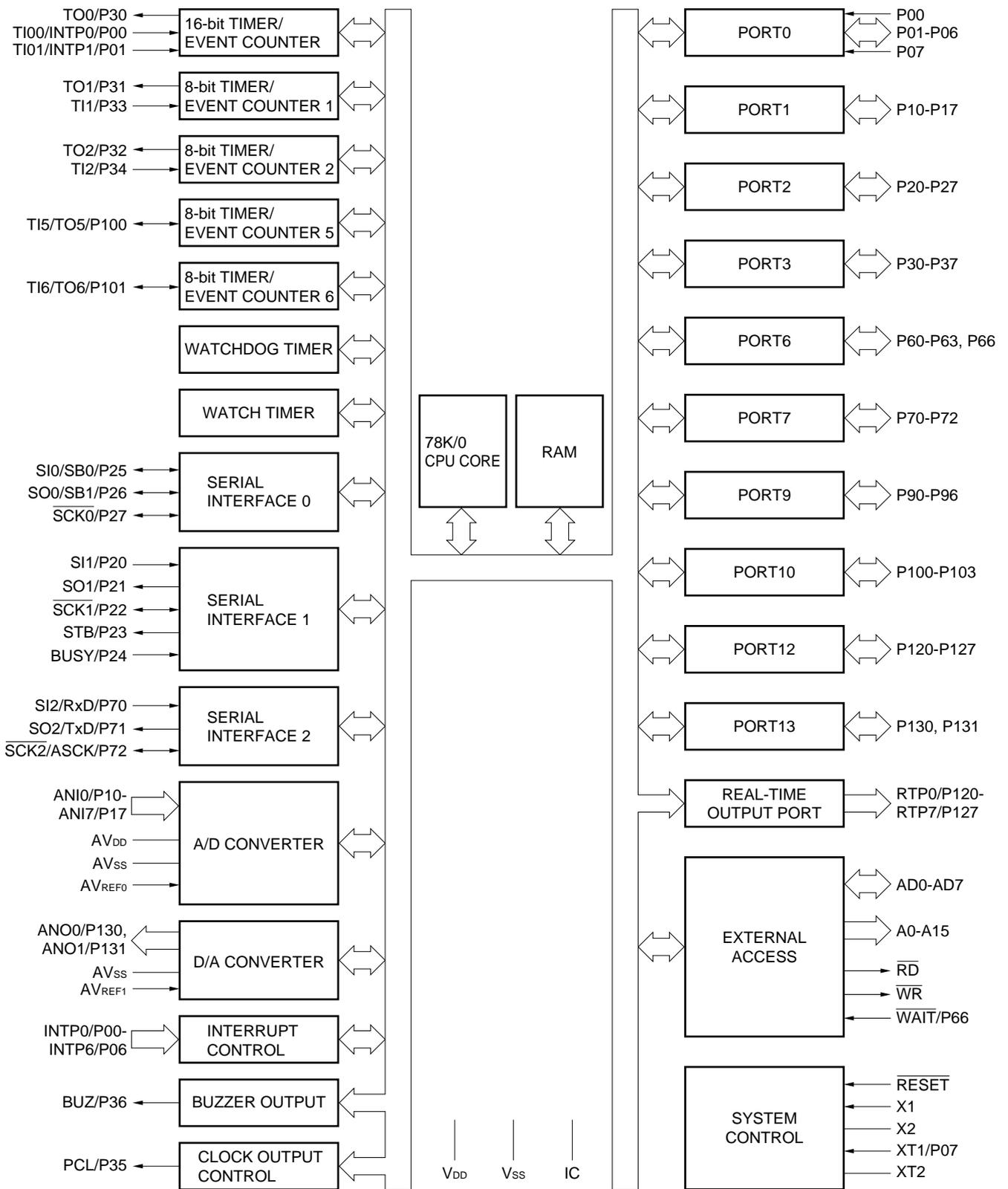
注意 1 . IC (Internally Connected) 端子はV_{SS}に直接接続してください。

2 . AV_{DD}端子はV_{DD}に接続してください。

3 . AV_{SS}端子はV_{SS}に接続してください。

P00-P07	: Port0	PCL	: Programmable Clock
P10-P17	: Port1	BUZ	: Buzzer Clock
P20-P27	: Port2	STB	: Strobe
P30-P37	: Port3	BUSY	: Busy
P60-P63, P66	: Port6	AD0-AD7	: Address/Data Bus
P70-P72	: Port7	A0-A15	: Address Bus
P90-P96	: Port9	\overline{RD}	: Read Strobe
P100-P103	: Port10	\overline{WR}	: Write Strobe
P120-P127	: Port12	\overline{WAIT}	: Wait
P130, P131	: Port13	ASTB	: Address Strobe
RTP0-RTP7	: Real-Time Output Port	X1, X2	: Crystal (Main System Clock)
INTP0-INTP6	: Interrupt from Peripherals	XT1, XT2	: Crystal (Subsystem Clock)
TI00, TI01	: Timer Input	\overline{RESET}	: Reset
TI1, TI2, TI5, TI6	: Timer Input	ANI0-ANI7	: Analog Input
TO0-TO2, TO5, TO6	: Timer Output	ANO0, ANO1	: Analog Output
SB0, SB1	: Serial Bus	AV _{DD}	: Analog Power Supply
SI0-SI2	: Serial Input	AV _{SS}	: Analog Ground
SO0-SO2	: Serial Output	AV _{REF0} , AV _{REF1}	: Analog Reference Voltage
$\overline{SCK0-SCK2}$: Serial Clock	V _{DD}	: Power Supply
RxD	: Receive Data	V _{SS}	: Ground
TxD	: Transmit Data	IC	: Internally Connected
ASCK	: Asynchronous Serial Clock		

2. ブロック図



3. 端子機能一覧

3.1 ポート端子 (1/2)

端子名称	入出力	機 能		リセット時	兼用端子
P00	入 力	ポート 0。	入力専用。	入 力	INTP0/TI00
P01	入出力	8 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入 力	INTP1/TI01
P02					INTP2
P03					INTP3
P04					INTP4
P05					INTP5
P06					INTP6
P07 ^{注1}	入 力		入力専用。	入 力	XT1
P10-P17	入出力	ポート 1。 8 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 ^{注2}		入 力	ANI0-ANI7
P20	入出力	ポート 2。 8 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入 力	SI1
P21					SO1
P22					SCK1
P23					STB
P24					BUSY
P25					SI0/SB0
P26					SO0/SB1
P27					SCK0
P30	入出力	ポート 3。 8 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入 力	TO0
P31					TO1
P32					TO2
P33					TI1
P34					TI2
P35					PCL
P36					BUZ
P37					-

注 1 . P07/XT1端子を入力ポートとして使用するときは、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット 6 (FRC) に 1 を設定してください。サブシステム・クロック発振回路の内蔵フィードバック抵抗は使用しないでください。

2 . P10/ANI0-P17/ANI7端子をA/Dコンバータのアナログ入力として使用する時、内蔵プルアップ抵抗が自動的に使用されなくなります。

3.1 ポート端子 (2/2)

端子名称	入出力	機 能		リセット時	兼用端子
P60	入出力	ポート6。 5ビット入出力ポート。 1ビット単位で入力/出力の 指定可能。	N-chオープン・ドレイン入出力ポート。 LEDを直接駆動可能。	入 力	-
P61					
P62					
P63					
P66			入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		
P70	入出力	ポート7。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗 を使用可能。		入 力	SI2/RxD
P71					SO2/TxD
P72					SCK2/ASCK
P90	入出力	ポート9。 7ビット入出力ポート。 1ビット単位で入力/出力の 指定可能。	N-chオープン・ドレイン入出力ポート。	入 力	-
P91					
P92					
P93					
P94			入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		
P95					
P96					
P96					
P100	入出力	ポート10。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗 を使用可能。		入 力	TI5/TO5
P101					TI6/TO6
P102, P103					-
P120-P127	入出力	ポート12。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗 を使用可能。		入 力	RTP0-RTP7
P130, P131	入出力	ポート13。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗 を使用可能。		入 力	ANO0, ANO1

3.2 ポート以外の端子 (1/2)

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入 力	有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み入力。	入 力	P00/TI00
INTP1				P01/TI01
INTP2				P02
INTP3				P03
INTP4				P04
INTP5				P05
INTP6				P06
SI0	入 力	シリアル・インタフェースのシリアル・データ入力。	入 力	P25/SB0
SI1				P20
SI2				P70/RxD
SO0	出 力	シリアル・インタフェースのシリアル・データ出力。	入 力	P26/SB1
SO1				P21
SO2				P71/TxD
SB0	入出力	シリアル・インタフェースのシリアル・データ入力/出力。	入 力	P25/SI0
SB1				P26/SO0
$\overline{\text{SCK0}}$	入出力	シリアル・インタフェースのシリアル・クロック入力/出力。	入 力	P27
$\overline{\text{SCK1}}$				P22
$\overline{\text{SCK2}}$				P72/ $\overline{\text{ASCK}}$
STB	出 力	シリアル・インタフェース自動送受信用ストローブ出力。	入 力	P23
BUSY	入 力	シリアル・インタフェース自動送受信用ビジー入力。	入 力	P24
RxD	入 力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力。	入 力	P70/SI2
TxD	出 力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力。	入 力	P71/SO2
ASCK	入 力	アシンクロナス・シリアル・インタフェース用シリアル・クロック入力。	入 力	P72/ $\overline{\text{SCK2}}$
TI00	入 力	16ビット・タイマ (TM0) への外部カウント・クロック入力。	入 力	P00/INTP0
TI01		キャプチャ・レジスタ (CR00) へのキャプチャ・トリガ信号入力。		P01/INTP1
TI1		8ビット・タイマ (TM1) への外部カウント・クロック入力。		P33
TI2		8ビット・タイマ (TM2) への外部カウント・クロック入力。		P34
TI5		8ビット・タイマ (TM5) への外部カウント・クロック入力。		P100/TO5
TI6		8ビット・タイマ (TM6) への外部カウント・クロック入力。		P101/TO6
TO0		出 力		16ビット・タイマ出力 (14ビットPWM出力と兼用)。
TO1	8ビット・タイマ出力。		P31	
TO2			P32	
TO5	8ビット・タイマ出力 (8ビットPWM出力と兼用)。		P100/TO5	
TO6			P101/TO6	
PCL	出 力	クロック出力 (メイン・システム・クロック, サブシステム・クロックのトリミング用)。	入 力	P35

3.2 ポート以外の端子 (2/2)

端子名称	入出力	機能	リセット時	兼用端子
BUZ	出力	ブザー出力。	入力	P36
RTP0-RTP7	出力	トリガに同期してデータを出力するリアルタイム出力ポート。	入力	P120-P127
AD0-AD7	入出力	外部メモリ用データ・バス。	入力	-
A0-A15	出力	外部メモリ用アドレス・バス。	入力	-
\overline{RD}	出力	外部メモリのリード動作ストロブ信号出力。	入力	-
\overline{WR}		外部メモリのライト動作ストロブ信号出力。		-
\overline{WAIT}	入力	外部メモリ・アクセス時のウエイト挿入。	入力	P66
ANI0-ANI7	入力	A/Dコンバータのアナログ入力。	入力	P10-P17
ANO0, ANO1	出力	D/Aコンバータのアナログ出力。	入力	P130, P131
AVREF0	入力	A/Dコンバータの基準電圧入力。	-	-
AVREF1	入力	D/Aコンバータの基準電圧入力。	-	-
AVDD	-	A/Dコンバータのアナログ電源。V _{DD} に接続。	-	-
AVSS	-	A/Dコンバータのグランド電位。V _{SS} に接続。	-	-
\overline{RESET}	入力	システム・リセット入力。	-	-
X1	入力	メイン・システム・クロック発振用クリスタル接続。	-	-
X2	-		-	-
XT1	入力	サブシステム・クロック発振用クリスタル接続。	入力	P07
XT2	-		-	-
V _{DD}	-	正電源。	-	-
V _{SS}	-	グランド電位。	-	-
IC	-	内部接続。V _{SS} に直接接続。	-	-

3.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表3 - 1 に示します。

また、各タイプの入出力回路の構成は、図3 - 1を参照してください。

表3 - 1 各端子の入出力回路タイプ (1/2)

端 子 名	入出力回路タイプ	入出力	未使用時の推奨接続方法		
P00/INTP0/TI00	2	入 力	V _{SS} に接続		
P01/INTP1/TI01	8-A	入出力	個別に抵抗を介してV _{SS} に接続		
P02/INTP2					
P03/INTP3					
P04/INTP4					
P05/INTP5					
P06/INTP6					
P07/XT1	16	入 力	V _{DD} に接続		
P10/ANI0-P17/ANI7	11	入出力	個別に抵抗を介してV _{DD} またはV _{SS} に接続		
P20/SI1	8-A				
P21/SO1	5-A				
P22/ $\overline{\text{SCK1}}$	8-A				
P23/STB	5-A				
P24/BUSY	8-A				
P25/SI0/SB0	10-A				
P26/SO0/SB1					
P27/ $\overline{\text{SCK0}}$					
P30/TO0	5-A				
P31/TO1					
P32/TO2					
P33/TI1	8-A				
P34/TI2					
P35/PCL	5-A				
P36/BUZ					
P37					
P60-P63	13-C			入出力	個別に抵抗を介してV _{DD} に接続
P66/ $\overline{\text{WAIT}}$	5-A			入出力	個別に抵抗を介してV _{DD} またはV _{SS} に接続

表 3 - 1 各端子の入出力回路タイプ (2/2)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P70/SI2/RxD	8-A	入出力	個別に抵抗を介してV _{DD} またはV _{SS} に接続
P71/SO2/TxD	5-A		
P72/ $\overline{\text{SCK2}}$ /ASCK	8-A		
P90-P93	13-C	入出力	個別に抵抗を介してV _{DD} に接続
P94-P96	5-A	入出力	個別に抵抗を介してV _{DD} またはV _{SS} に接続
P100/TI5/TO5	8-A		
P101/TI6/TO6			
P102, P103	5-A		
P120/RTP0-P127/RTP7			
P130/ANO0, P131/ANO1	12-A	入出力	個別に抵抗を介してV _{SS} に接続
AD0-AD7	5-E	入出力	個別に抵抗を介してV _{DD} に接続
A0-A15	5-A	出力	オープン
$\overline{\text{RD}}$			
$\overline{\text{WR}}$			
ASTB			
$\overline{\text{RESET}}$			
XT2	16	-	オープン
AV _{REF0}	-		V _{SS} に接続
AV _{REF1}			V _{DD} に接続
AV _{DD}			
AV _{SS}			V _{SS} に接続
IC			V _{SS} に直接接続

図 3 - 1 端子の入出力回路一覧 (1/2)

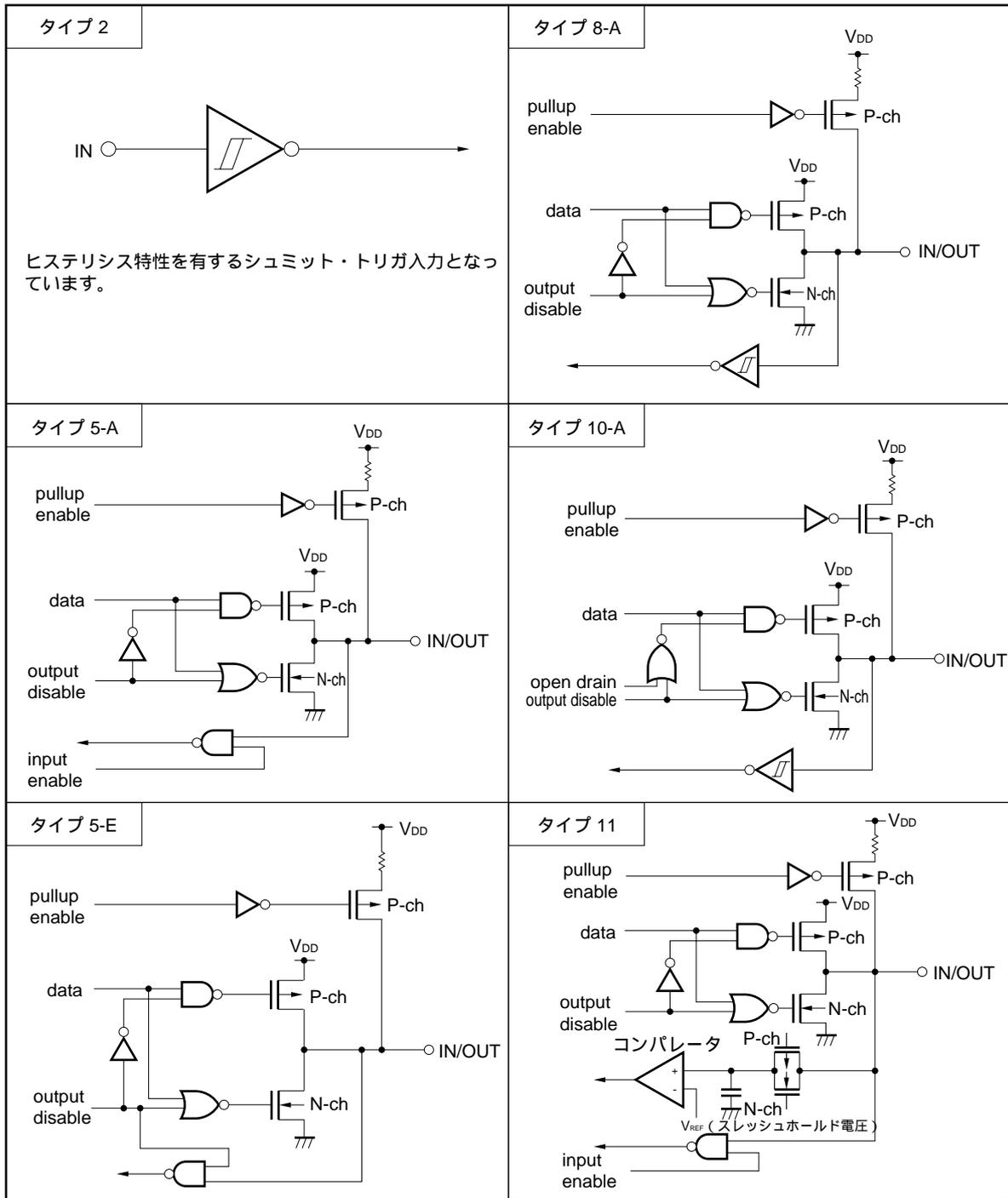
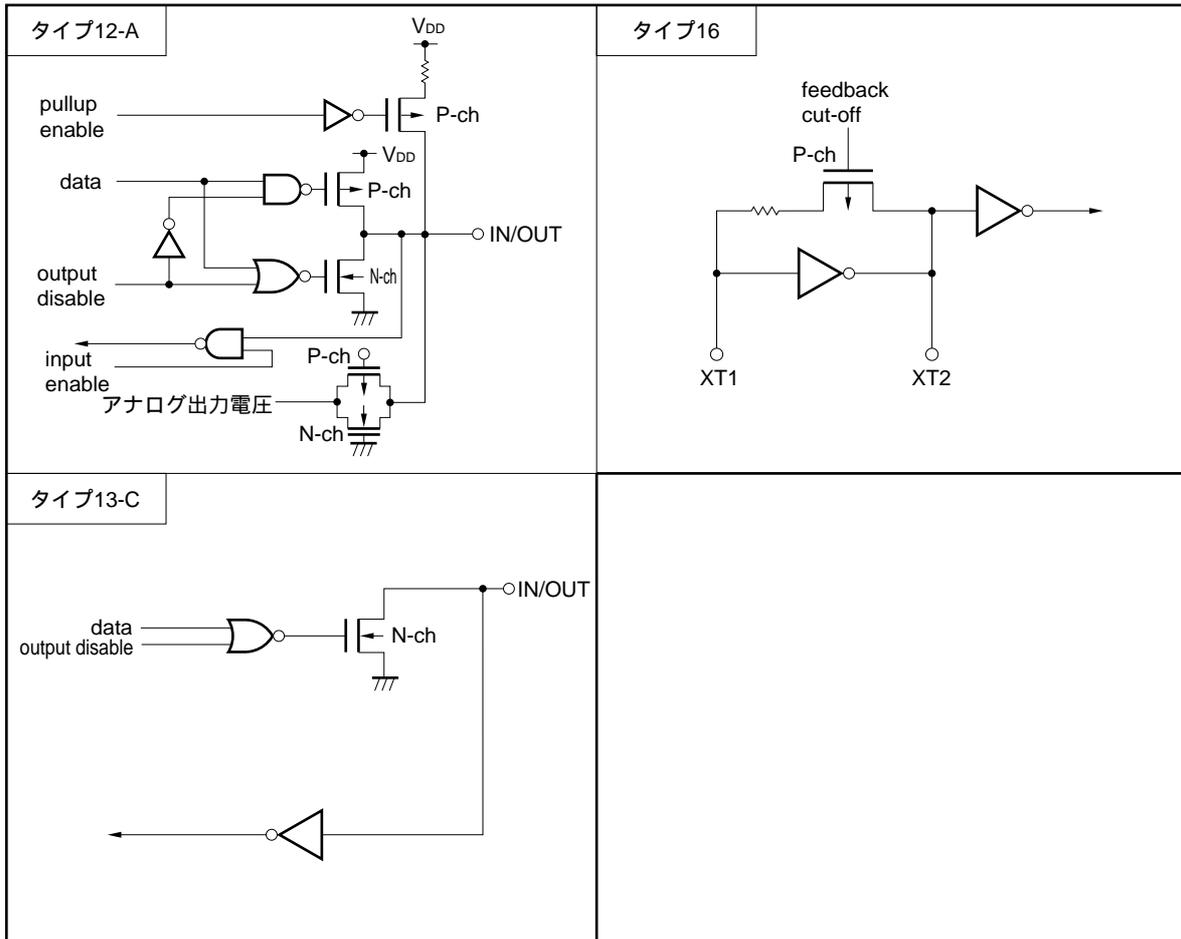


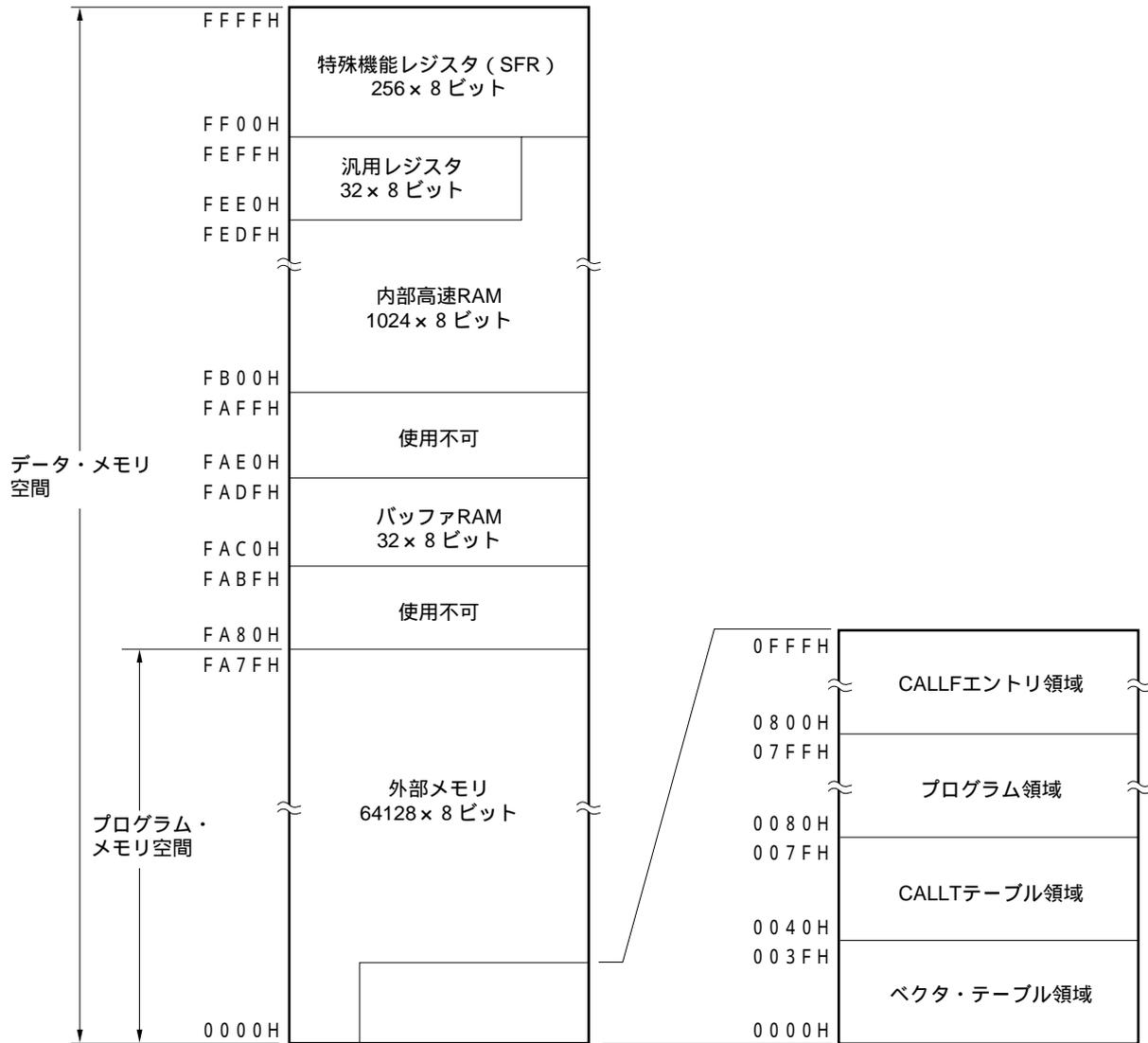
図3 - 1 端子の入出力回路一覧 (2/2)



4. メモリ空間

図4 - 1にμPD78070Aのメモリ・マップを示します。

図4 - 1 メモリ・マップ



5 . 周辺ハードウェア機能の特徴

5.1 ポート

I/Oポートには次の3種類があります。

・ CMOS入力 (P00 , P07)	: 2 本
・ CMOS入出力 (P01-P06 , ポート 1 - 3 , P66 , ポート 7 , P94-P96 , ポート10 , ポート12 , ポート13)	: 51本
・ N-chオープン・ドレイン入出力 (P60-P63 , P90-P93)	: 8 本
合計	: 61本

表5 - 1 ポートの機能

名 称	端子名称	機 能
ポート 0	P00, P07	入力専用ポート
	P01-P06	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用した場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート 1	P10-P17	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用した場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート 2	P20-P27	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用した場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート 3	P30-P37	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用した場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート 6	P60-P63	N-chオープン・ドレイン入出力ポート。1ビット単位で入力/出力の指定可能。 LEDを直接駆動可能。
	P66	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用した場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート 7	P70-P72	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用した場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート 9	P90-P93	N-chオープン・ドレイン入出力ポート。1ビット単位で入力/出力の指定可能。
	P94-P96	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用した場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート10	P100-P103	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用した場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート12	P120-P127	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用した場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート13	P130, P131	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用した場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。

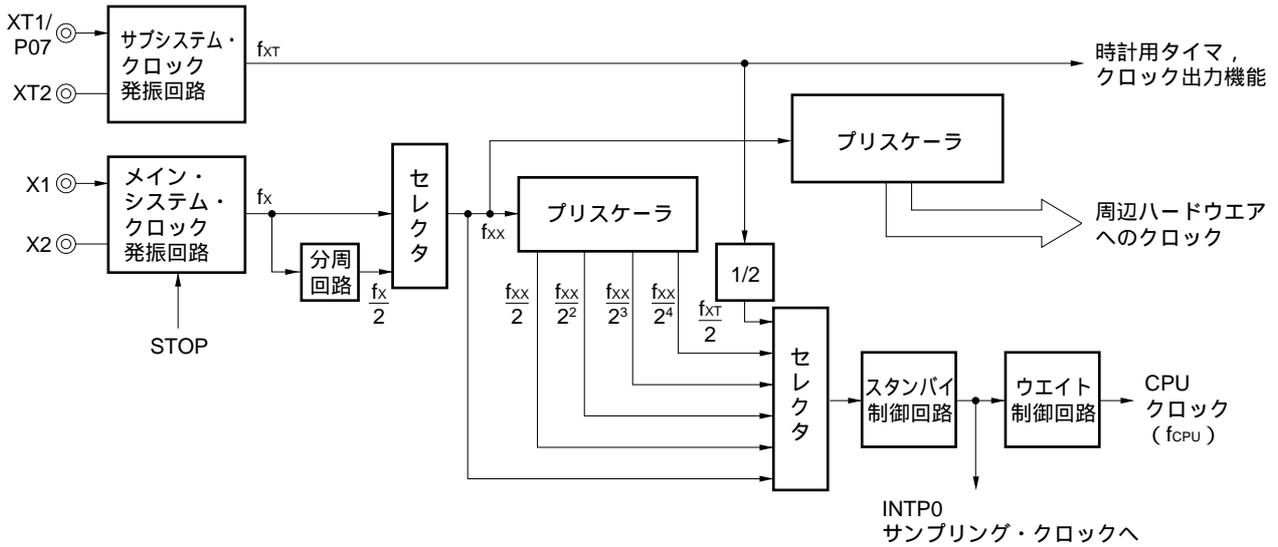
5.2 クロック発生回路

メイン・システム・クロックとサブシステム・クロックの2種類の発生回路があります。

また、命令実行時間を変化させることができます。

- ・ 0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (メイン・システム・クロック : 5.0 MHz動作時)
- ・ 122 μs (サブシステム・クロック : 32.768 kHz動作時)

図5 - 1 クロック発生回路のブロック図



5.3 タイマ/イベント・カウンタ

タイマ/イベント・カウンタを7チャンネル内蔵しています。

- ・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル
- ・ 8ビット・タイマ/イベント・カウンタ : 4チャンネル
- ・ 時計用タイマ : 1チャンネル
- ・ ウォッチドッグ・タイマ : 1チャンネル

表5 - 2 タイマ/イベント・カウンタの種類と機能

		16ビット・タイマ/ イベント・カウンタ	8ビット・タイマ/ イベント・カウンタ ^{1,2}	8ビット・タイマ/ イベント・カウンタ ^{5,6}	時計用タイマ	ウォッチドッグ・ タイマ
種類	インターバル・タイマ	1チャンネル	2チャンネル	2チャンネル	1チャンネル	1チャンネル
	外部イベント・カウンタ	1チャンネル	2チャンネル	2チャンネル	-	-
機能	タイマ出力	1出力	2出力	2出力	-	-
	PWM出力	1出力	-	2出力	-	-
	パルス幅測定	2入力	-	-	-	-
	方形波出力	1出力	2出力	2出力	-	-
	ワンショット・パルス出力	1出力	-	-	-	-
	割り込み要求	2	2	2	1	1
	テスト入力	-	-	-	1	-

図5 - 2 16ビット・タイマ/イベント・カウンタのブロック図

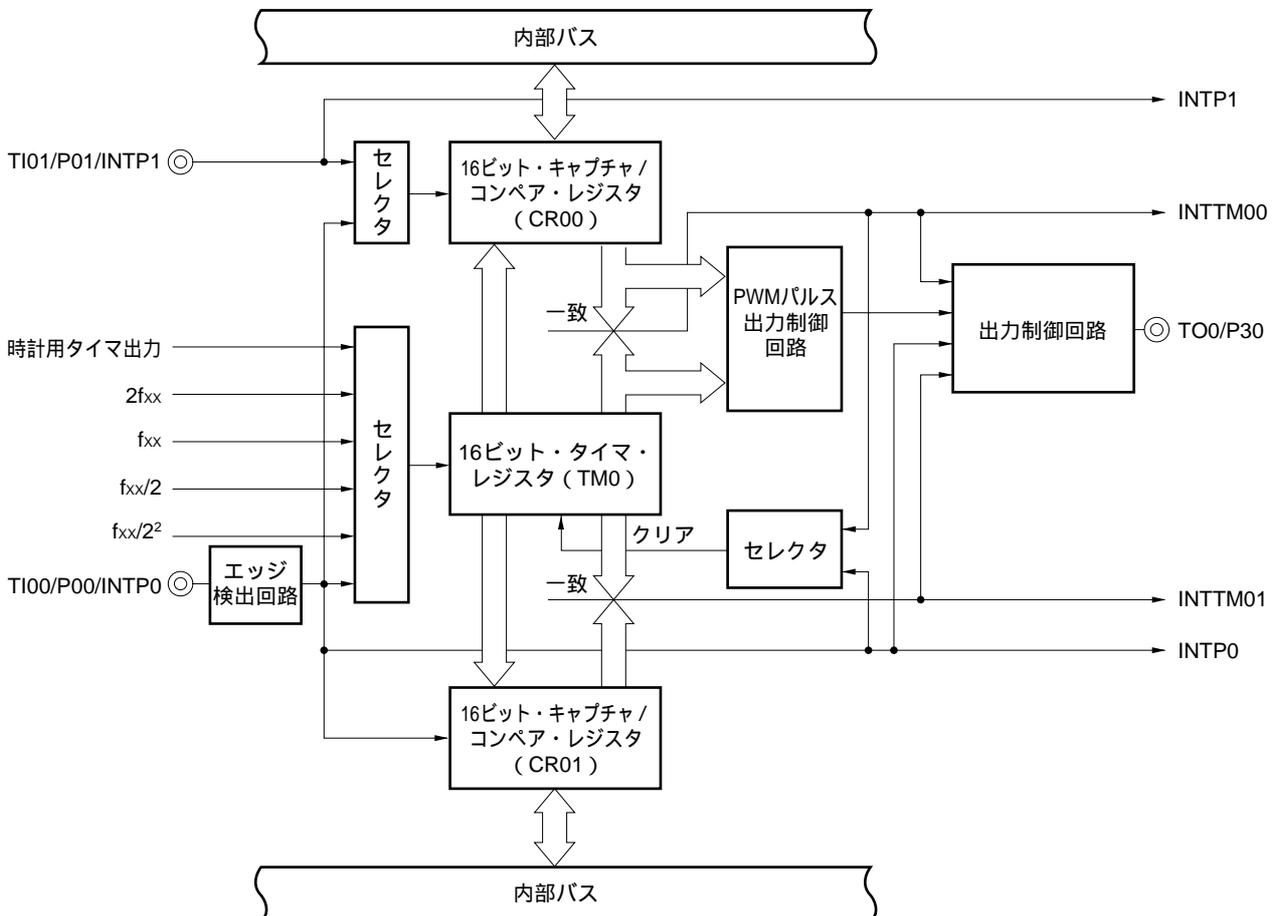


図5 - 3 8ビット・タイマ/イベント・カウンタ1, 2のブロック図

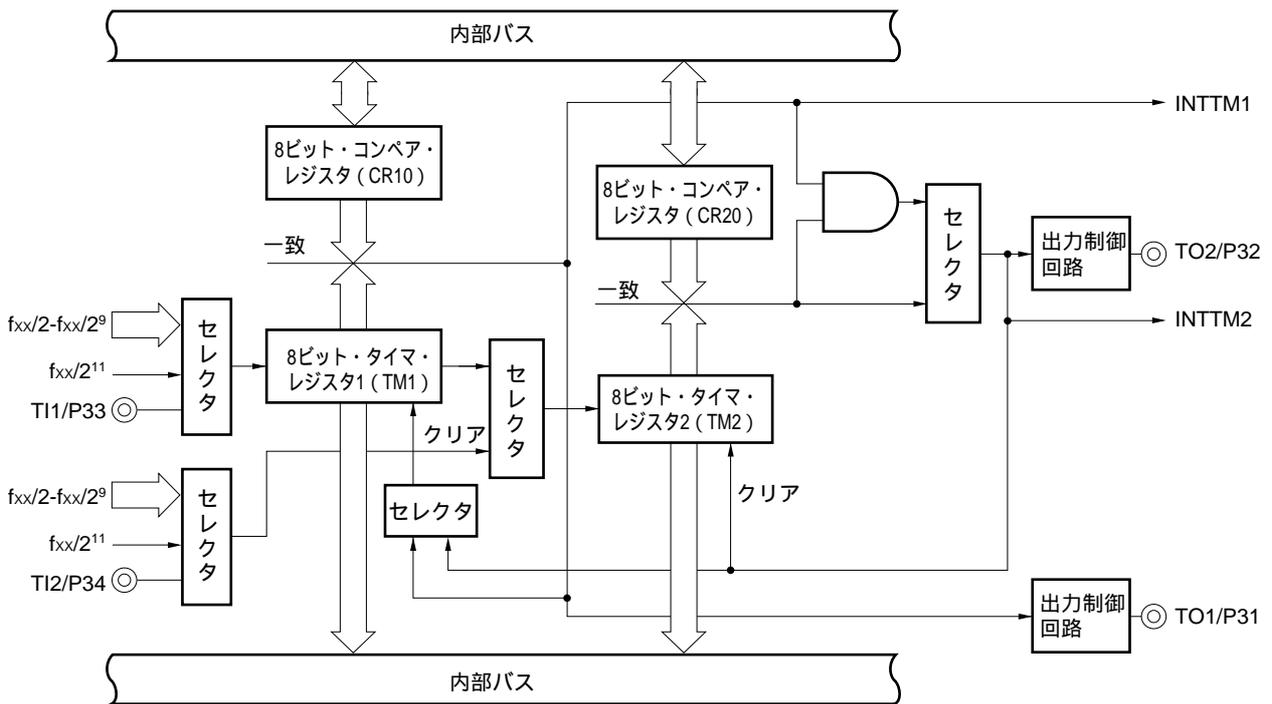
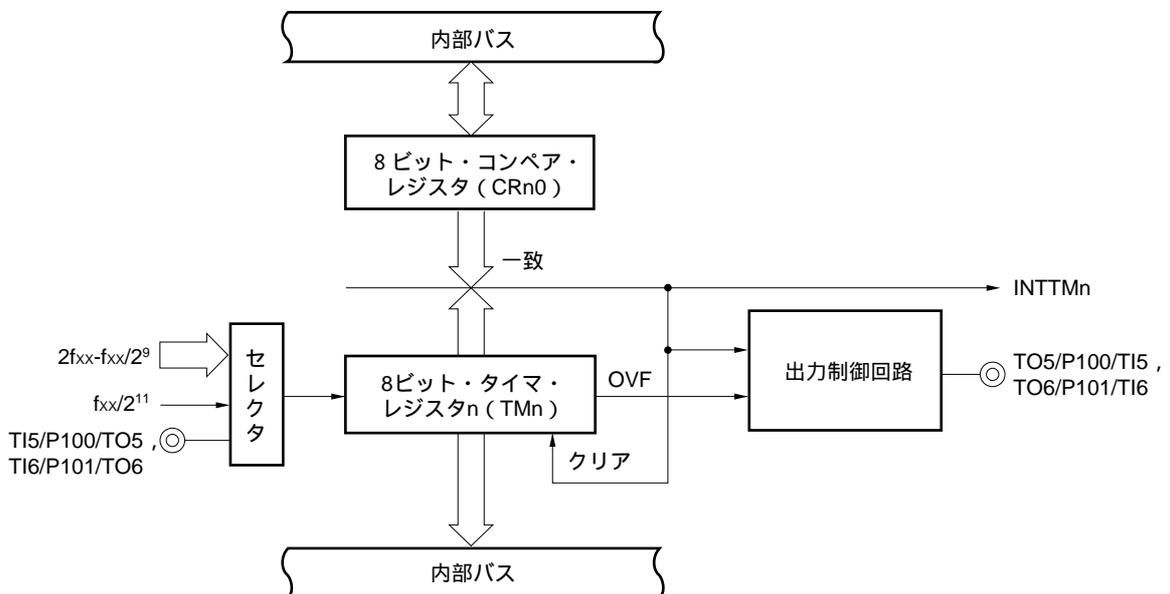


図5 - 4 8ビット・タイマ/イベント・カウンタ5, 6のブロック図



n = 5, 6

図5 - 5 時計用タイマのブロック図

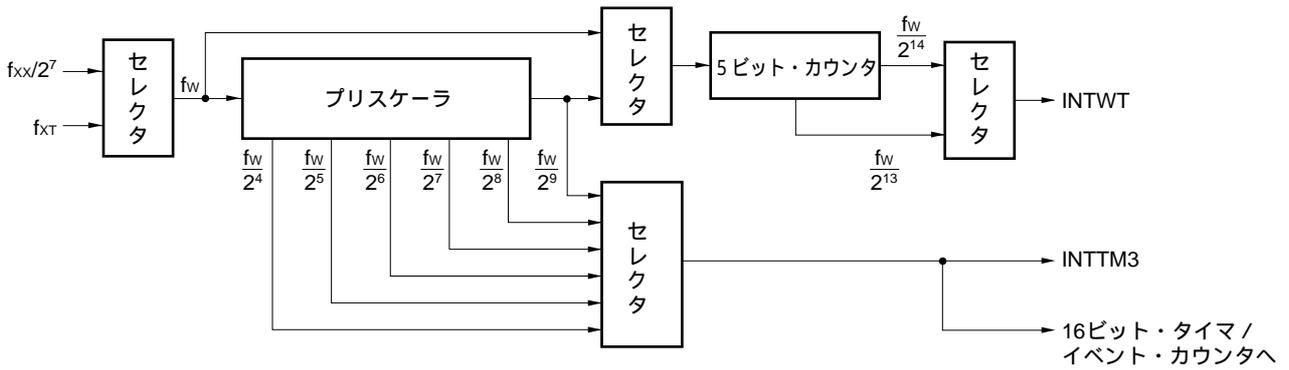
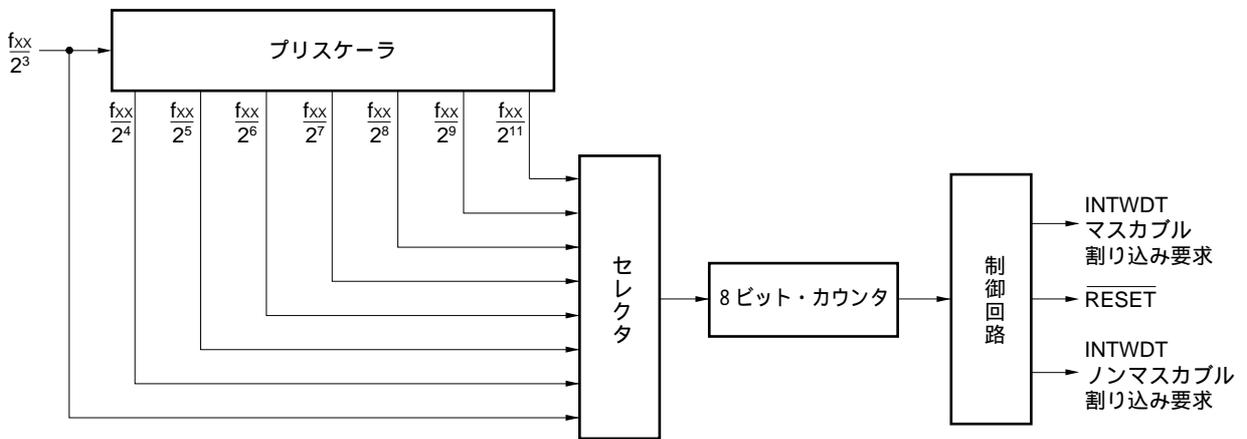


図5 - 6 ウォッチドッグ・タイマのブロック図

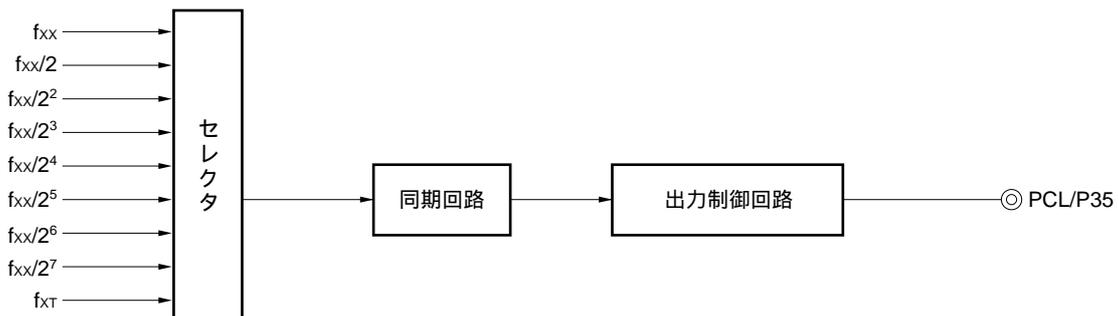


5.4 クロック出力制御回路

クロック出力として次の周波数のクロックを出力できます。

- ・ 19.5 kHz/39.1 kHz/78.1 kHz/156 kHz/313 kHz/625 kHz/1.25 MHz/2.5 MHz/5.0 MHz
(メイン・システム・クロック : 5.0 MHz動作時)
- ・ 32.768 kHz (サブシステム・クロック : 32.768 kHz動作時)

図5 - 7 クロック出力制御回路のブロック図

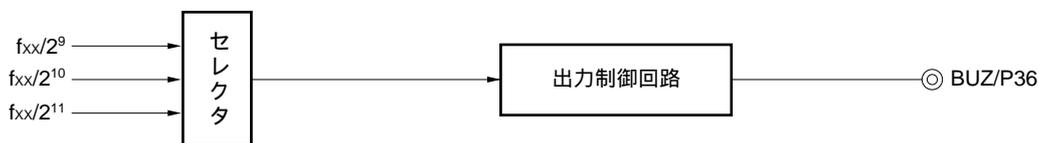


5.5 ブザー出力制御回路

ブザー出力として次の周波数のクロックを出力できます。

- ・ 1.2 kHz/2.4 kHz/4.9 kHz/9.8 kHz (メイン・システム・クロック : 5.0 MHz動作時)

図5 - 8 ブザー出力制御回路のブロック図



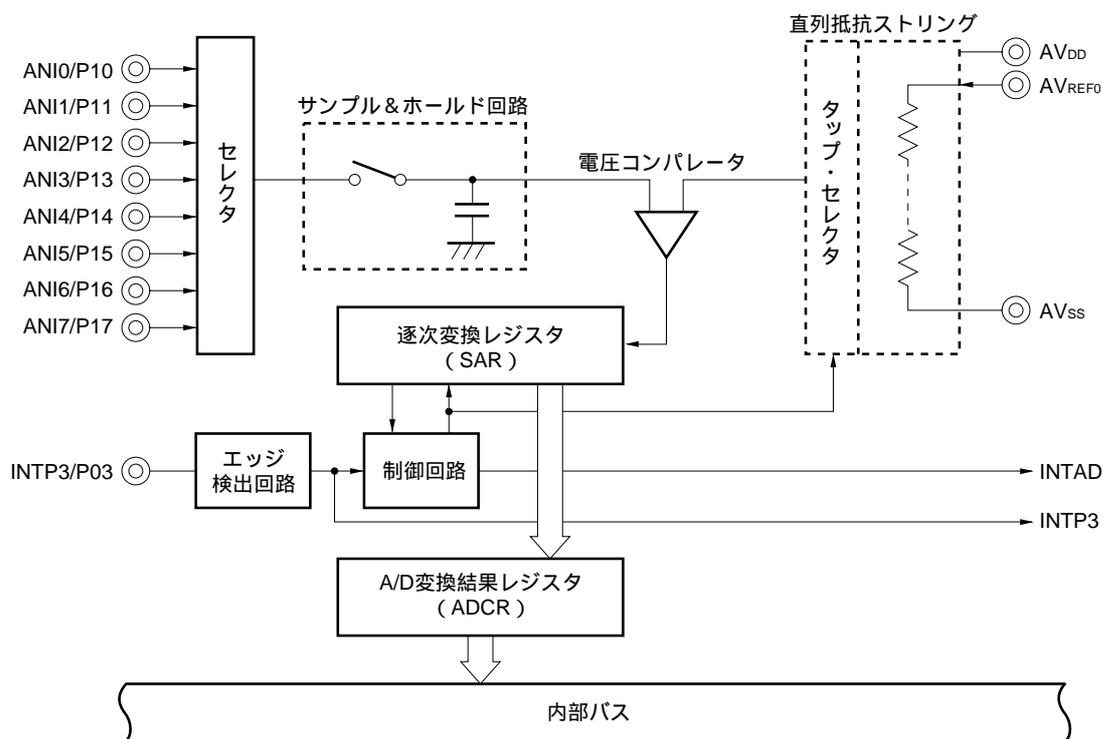
5.6 A/Dコンバータ

8ビット分解能×8チャンネルのA/Dコンバータを内蔵しています。

A/D変換動作の起動方法として次の2種類があります。

- ・ ハードウェア・スタート
- ・ ソフトウェア・スタート

図5 - 9 A/Dコンバータのブロック図

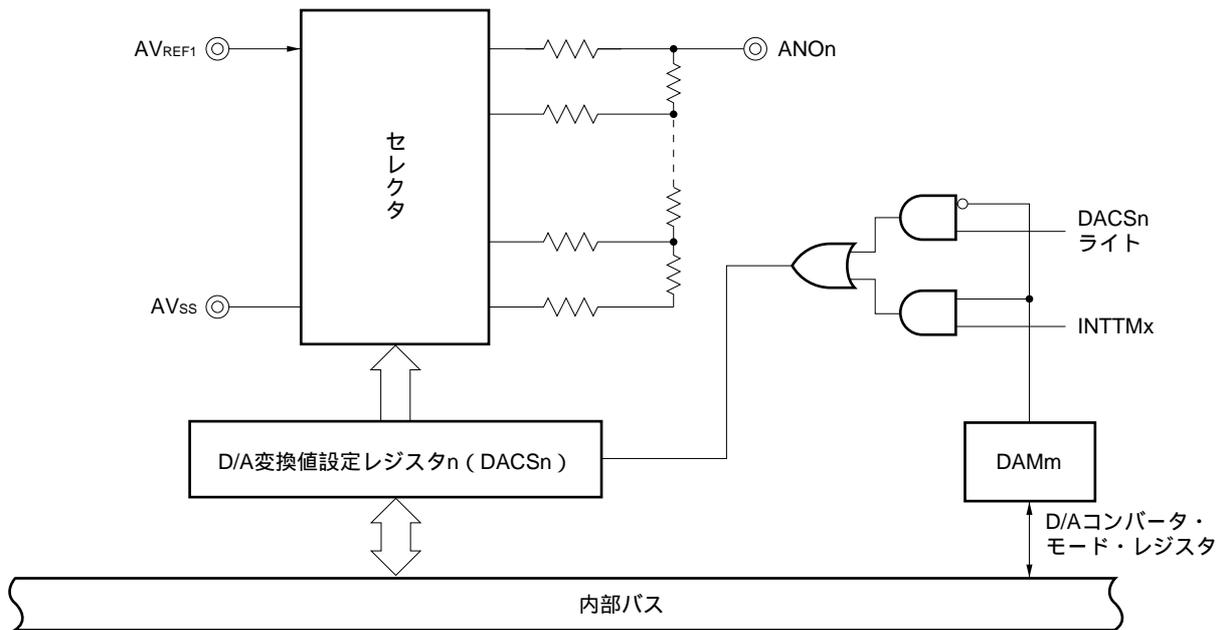


5.7 D/Aコンバータ

8ビット分解能×2チャンネルのD/Aコンバータを内蔵しています。

変換方式は、R-2R抵抗ラダー方式です。

図5 - 10 D/Aコンバータのブロック図



n = 0, 1
 m = 4, 5
 x = 1, 2

5.8 シリアル・インタフェース

クロック同期式シリアル・インタフェースを3チャンネル内蔵しています。

- ・シリアル・インタフェース・チャンネル0
- ・シリアル・インタフェース・チャンネル1
- ・シリアル・インタフェース・チャンネル2

表5 - 3 シリアル・インタフェースの種類と機能

機能	シリアル・インタフェース・チャンネル0	シリアル・インタフェース・チャンネル1	シリアル・インタフェース・チャンネル2
3線式シリアルI/Oモード	(MSB/LSB先頭切り替え可能)	(MSB/LSB先頭切り替え可能)	(MSB/LSB先頭切り替え可能)
自動送受信機能付き3線式シリアルI/Oモード	-	(MSB/LSB先頭切り替え可能)	-
2線式シリアルI/Oモード	(MSB先頭)	-	-
SBI(シリアル・バス・インタフェース)モード	(MSB先頭)	-	-
アシンクロナス・シリアル・インタフェース(UART)モード	-	-	(専用ポーレート・ジェネレータ内蔵)

図 5 - 11 シリアル・インタフェース・チャンネル0のブロック図

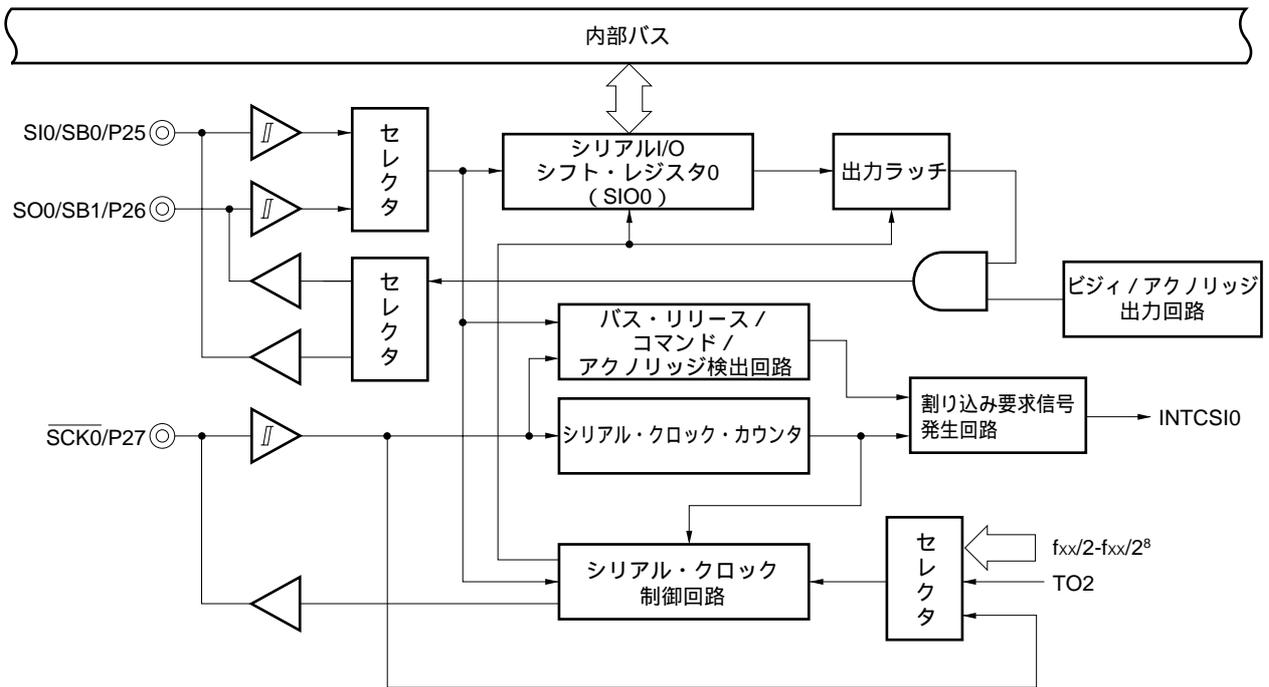
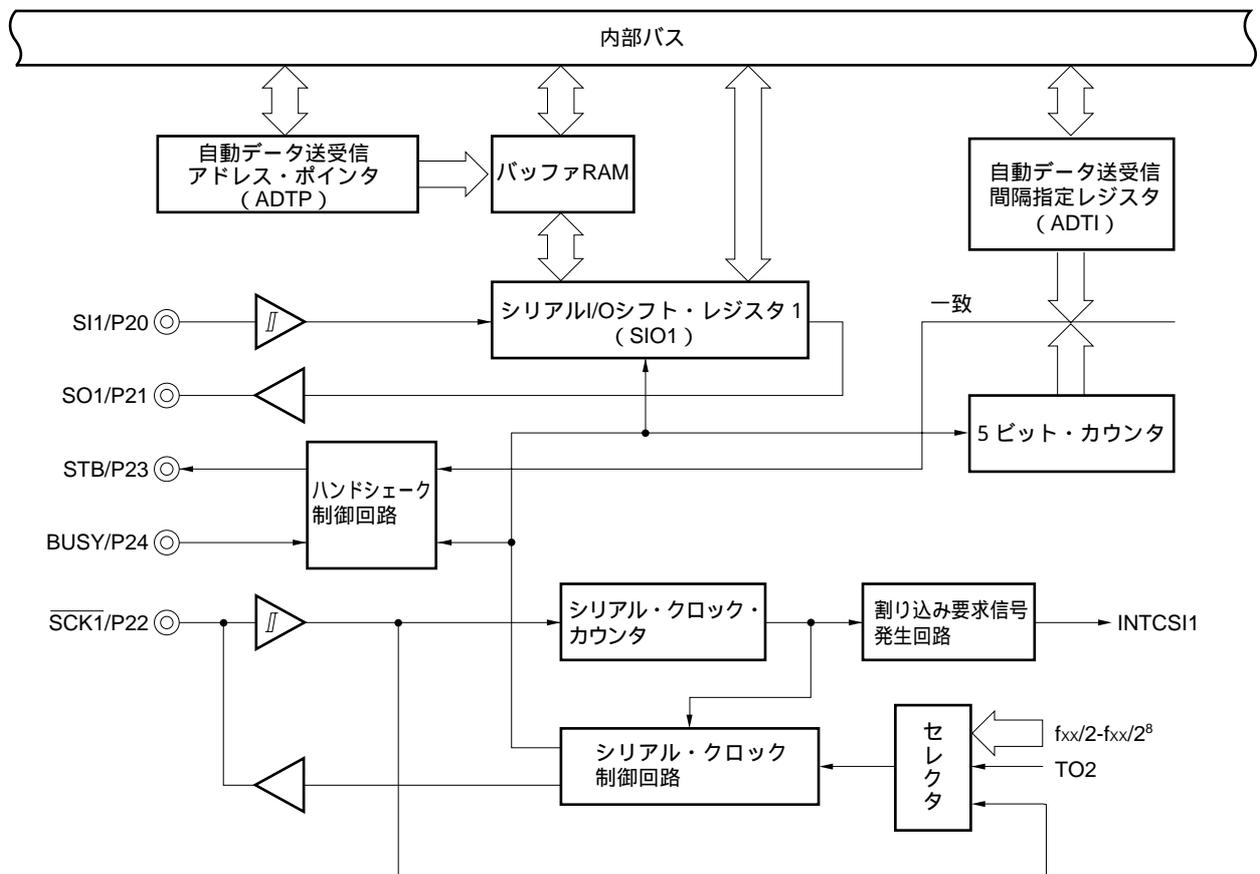


図 5 - 12 シリアル・インタフェース・チャンネル1のブロック図



6．割り込み機能とテスト機能

6.1 割り込み機能

割り込み機能には次に示す3種類、24本があります。

- ・ノンマスカブル割り込み：1本
- ・マスカブル割り込み：22本
- ・ソフトウェア割り込み：1本

表 6 - 1 割り込み要因一覧

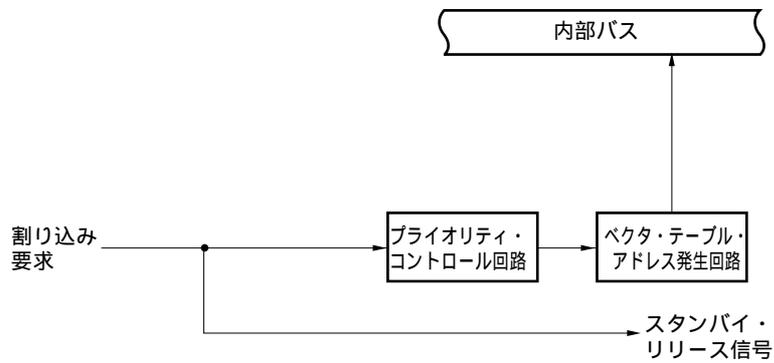
割り込みタイプ	デフォルト・注1 プライオリティ	割り込み要因		内部/ 外部	ベクタ・テーブル・ アドレス	基本構成 タイプ注2		
		名称	トリガ					
ノンマスクブル	-	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0004H	(A)		
マスクブル	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)	外部	0006H 0008H 000AH 000CH 000EH 0010H 0012H	(B)		
	1	INTP0	端子入力エッジ検出			内部	0014H 0016H 0018H 001AH 001CH 001EH 0020H 0022H 0024H 0026H 0028H 002AH 002CH	(C)
	2	INTP1						(D)
	3	INTP2						
	4	INTP3						
	5	INTP4						
	6	INTP5						
	7	INTP6						
	8	INTCSI0	シリアル・インタフェース・チャンネル0の転送終了		(B)			
	9	INTCSI1	シリアル・インタフェース・チャンネル1の転送終了					
	10	INTSER	シリアル・インタフェース・チャンネル2のUART受信エラー発生					
	11	INTSR	シリアル・インタフェース・チャンネル2のUART受信終了					
		INTCSI2	シリアル・インタフェース・チャンネル2の3線式転送終了					
	12	INTST	シリアル・インタフェース・チャンネル2のUART送信終了					
	13	INTTM3	時計用タイマからの基準時間間隔信号					
	14	INTTM00	16ビット・タイマ・レジスタとキャプチャ/コンペア・レジスタ(CR00)の一致信号発生					
	15	INTTM01	16ビット・タイマ・レジスタとキャプチャ/コンペア・レジスタ(CR01)の一致信号発生					
	16	INTTM1	8ビット・タイマ/イベント・カウンタ1の一致信号発生					
	17	INTTM2	8ビット・タイマ/イベント・カウンタ2の一致信号発生					
	18	INTAD	A/Dコンバータの変換終了					
	19	INTTM5	8ビット・タイマ/イベント・カウンタ5の一致信号発生					
20	INTTM6	8ビット・タイマ/イベント・カウンタ6の一致信号発生						
ソフトウェア	-	BRK	BRK命令の実行	内部	003EH	(E)		

注1．デフォルト・プライオリティは、複数のマスクブル割り込みが同時に発生している場合に、優先する順位です。0が最高順位，20が最低順位です。

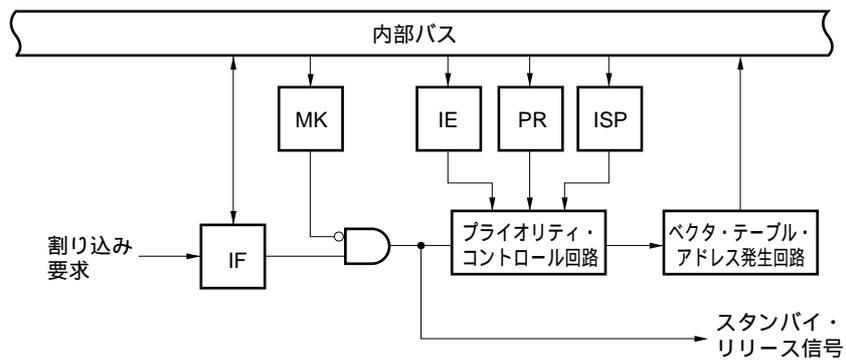
2．基本構成タイプの(A)-(E)は、それぞれ図6-1の(A)-(E)に対応しています。

図 6 - 1 割り込み機能の基本構成 (1/2)

(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み (INTP0)

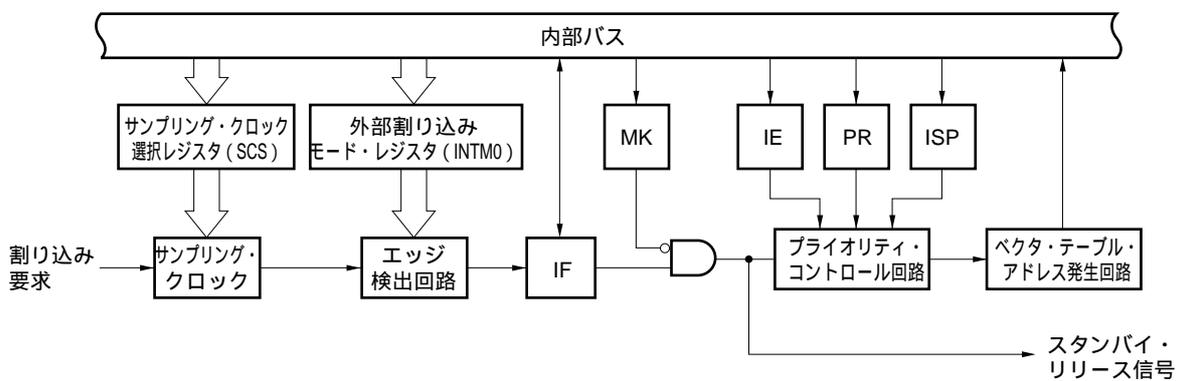
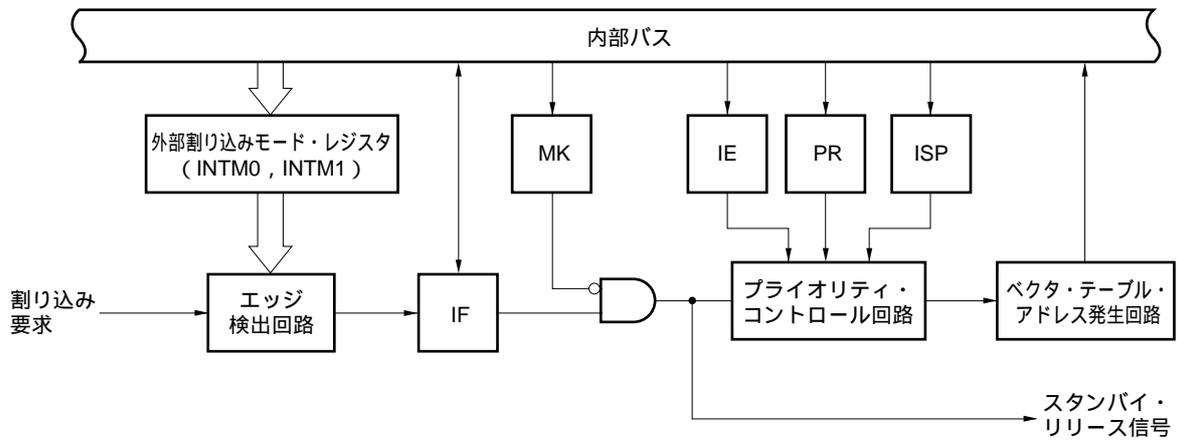
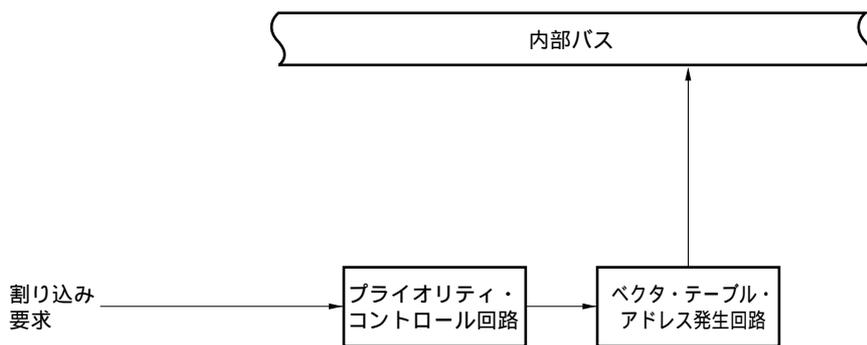


図 6 - 1 割り込み機能の基本構成 (2/2)

(D) 外部マスクブル割り込み (INTP0を除く)



(E) ソフトウェア割り込み



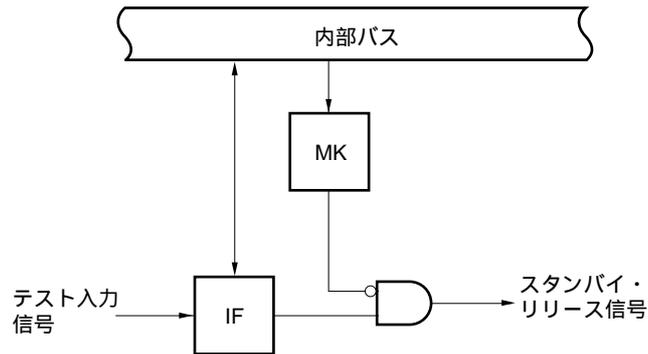
- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサースビス・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ

6.2 テスト機能

テスト機能には、次の1本があります。

テスト入力要因		内部 / 外部
名称	トリガ	外部
INTWT	時計用タイマのオーバーフロー	内部

図6 - 2 テスト機能の基本構成



IF : テスト入力フラグ

MK : テスト・マスク・フラグ

7. 外部デバイス拡張機能

外部デバイス拡張機能は、RAM，SFR以外の領域に外部デバイスを接続する機能です。

μPD78070AはROMレス製品なので、少なくとも外部デバイスとしてROMを接続する必要があります。

独立したアドレス・バス，データ・バスを使用して外部デバイスを接続します。

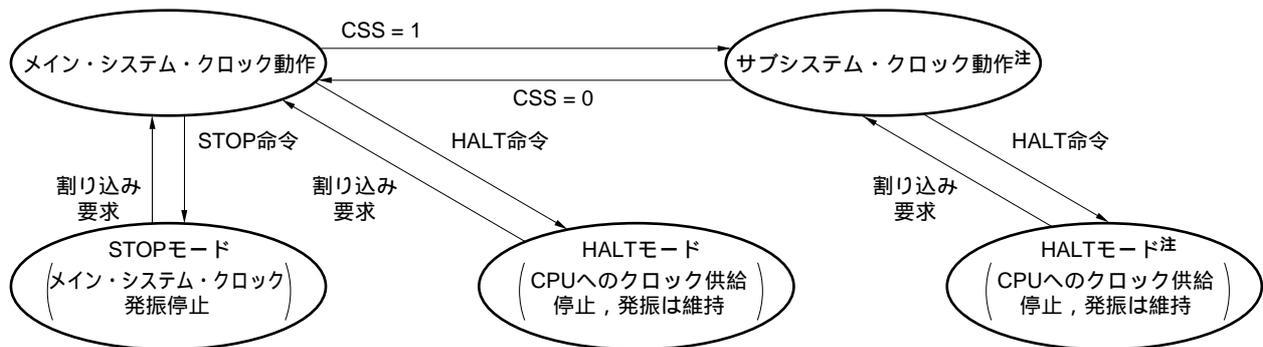
8. スタンバイ機能

スタンバイ機能は、消費電流をより低減するための機能で、次の2種類があります。

HALTモード：CPUの動作クロックを停止させます。通常動作との間欠動作により、平均消費電流を低減できます。

STOPモード：メイン・システム・クロックの発振を停止させます。メイン・システム・クロックによる動作をすべて停止させ、サブシステム・クロックだけの微小消費電力状態にします。

図8-1 スタンバイ機能



注 メイン・システム・クロックを停止させることにより、消費電流を低減することができます。

CPUがサブシステム・クロックで動作しているときは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット7（MCC）のセットによってメイン・システム・クロックを停止させてください。STOP命令は使用できません。

注意 メイン・システム・クロックを停止させ、サブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

9. リセット機能

次の2種類の方法によってリセットが、かかります。

- ・ $\overline{\text{RESET}}$ 端子による外部リセット
- ・ ウォッチドッグ・タイマの暴走時間検出による内部リセット

10. 命令セット

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド	#byte	A	r注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL+byte] [HL+B] [HL+C]	\$saddr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											

注 r = Aは除く。

第2オペランド	#byte	A	r	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL+byte] [HL+B] [HL+C]	\$addr16	1	なし
第1オペランド													
[HL]		MOV											ROR4 ROL4
[HL+byte] [HL+B] [HL+C]		MOV											
X													MULU
C													DIVUW

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド	#word	AX	rp ^注	sfrp	saddrp	!addr16	SP	なし
第1オペランド								
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW, DECW PUSH, POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL]bit	CY	\$addr16	なし
第1オペランド								
A. bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr. bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW. bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL]. bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第2オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
第1オペランド					
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

11. 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位	
電源電圧	VDD		- 0.3 ~ + 7.0	V	
	AVDD		- 0.3 ~ VDD + 0.3	V	
	AVREF0		- 0.3 ~ VDD + 0.3	V	
	AVREF1		- 0.3 ~ VDD + 0.3	V	
	AVSS		- 0.3 ~ + 0.3	V	
入力電圧	Vi1	P00-P07, P10-P17, P20-P27, P30-P37, P66, P70-P72, P94-P96, P100-P103, P120-P127, P130, P131, AD0-AD7, X1, X2, XT2, $\overline{\text{RESET}}$	- 0.3 ~ VDD + 0.3	V	
	Vi2	P60-P63, P90-P93	N-chオープン・ドレイン	- 0.3 ~ VDD + 0.3	V
出力電圧	Vo		- 0.3 ~ VDD + 0.3	V	
アナログ入力電圧	VAN	P10-P17	アナログ入力端子	AVSS - 0.3 ~ AVREF0 + 0.3	V
ハイ・レベル出力電流	IoH	1 端子		- 10	mA
		P30-P37, P60-P63, P66, P90-P96, P100-P103, P120-P127, A14, A15, $\overline{\text{RD}}$, $\overline{\text{WR}}$, ASTB 合計		- 15	mA
		P01-P06, P10-P17, P20-P27, P70-P72, P130, P131, AD0-AD7, A0-A13 合計		- 15	mA
ロウ・レベル出力電流	IoL ^注	1 端子	ピーク値	30	mA
			実効値	15	mA
		A8-A13 合計	ピーク値	50	mA
			実効値	20	mA
		P60-P63, A14, A15 合計	ピーク値	100	mA
			実効値	70	mA
		P30-P37, P66, P90-P96, P100-P103, P120-P127, $\overline{\text{RD}}$, $\overline{\text{WR}}$, ASTB 合計	ピーク値	50	mA
			実効値	20	mA
		P20-P27, AD0-AD7, A0-A7 合計	ピーク値	50	mA
			実効値	20	mA
		P01-P06, P10-P17, P70-P72, P130, P131 合計	ピーク値	50	mA
			実効値	20	mA
動作周囲温度	TA		- 40 ~ + 85		
保存温度	Tstg		- 65 ~ + 150		

注 実効値は、[実効値] = [ピーク値] × $\sqrt{\text{デューティ}}$ で計算してください。

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

容量 (TA = 25 , VDD = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	CIN	f = 1 MHz, 被測定端子以外は0 V			15	pF
出力容量	COU				15	pF
入出力容量	CIO				15	pF

メイン・システム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 2.7 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1	VDD = 発振電圧範囲	1.0		5.0	MHz
		発振安定時間注2	VDDが発振電圧範囲の MIN.に達したあと			4	ms
水晶振動子		発振周波数 (fx) 注1		1.0		5.0	MHz
		発振安定時間注2	VDD = 4.5 ~ 5.5 V			10	ms
						30	
外部クロック		X1入力周波数 (fx) 注1		1.0		5.0	MHz
		X1入力ハイ、ロウ・ レベル幅 (txH, txL)		85		500	ns

注1 . 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

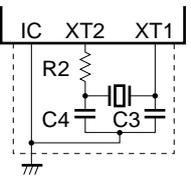
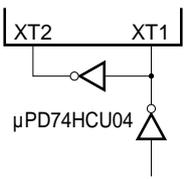
2 . リセットまたはSTOPモード解除後、発振が安定するために必要な時間です。

注意1 . メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にVSSと同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2 . メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

サブシステム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 2.7 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (fXT) 注1		32	32.768	35	kHz
		発振安定時間注2	VDD = 4.5 ~ 5.5 V		1.2	2	s
外部クロック		XT1入力周波数 (fXT) 注1		32		100	kHz
		XT1入力ハイ、ロウ・レベル幅 (tXTH, tXTL)		5		15	μs

注1 . 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2 . VDDが発振電圧範囲のMIN.に達したあと、発振が安定するために必要な時間です。

注意1 . サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にVSSと同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2 . サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い設計になっており、ノイズによる誤動作がメイン・システム・クロック発振回路より起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

DC特性 (TA = -40 ~ +85 , VDD = 2.7 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH1	P10-P17, P21, P23, P30-P32, P35-P37, P66, P71, P94-P96, P102, P103, P120-P127, P130, P131, AD0-AD7	0.7 VDD		VDD	V	
	VIH2	P00-P06, P20, P22, P24-P27, P33, P34, P70, P72, P100, P101, $\overline{\text{RESET}}$	0.8 VDD		VDD	V	
	VIH3	P60-P63, P90-P93 (N-chオープン・ドレイン)	0.7 VDD		VDD	V	
	VIH4	X1, X2	VDD - 0.5		VDD	V	
	VIH5	XT1/P07, XT2	VDD = 4.5 ~ 5.5 V	0.8 VDD		VDD	V
			0.9 VDD		VDD	V	
ロウ・レベル入力電圧	VIL1	P10-P17, P21, P23, P30-P32, P35-P37, P66, P71, P94-P96, P102, P103, P120-P127, P130, P131, AD0-AD7	0		0.3 VDD	V	
	VIL2	P00-P06, P20, P22, P24-P27, P33, P34, P70, P72, P100, P101, $\overline{\text{RESET}}$	0		0.2 VDD	V	
	VIL3	P60-P63, P90-P93 (N-chオープン・ドレイン)	VDD = 4.5 ~ 5.5 V	0		0.3 VDD	V
				0		0.2 VDD	V
	VIL4	X1, X2	0		0.4	V	
VIL5	XT1/P07, XT2	VDD = 4.5 ~ 5.5 V	0		0.2 VDD	V	
			0		0.1 VDD	V	
ハイ・レベル出力電圧	VOH	VDD = 4.5 ~ 5.5 V, IOH = - 1 mA	VDD - 1.0			V	
		IOH = - 100 μA	VDD - 0.5			V	
ロウ・レベル出力電圧	VOL1	P60-P63	VDD = 4.5 ~ 5.5 V, IOL = 15 mA	0.4	2.0	V	
		P01-P06, P10-P17, P20-P27, P30-P37, P66, P70-P72, P90-P96, P100-P103, P120-P127, P130, P131, AD0-AD7, A0-A15, $\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{ASTB}}$	VDD = 4.5 ~ 5.5 V, IOL = 1.6 mA		0.4	V	
	VOL2	SB0, SB1, $\overline{\text{SCK0}}$	VDD = 4.5 ~ 5.5 V, オープン・ドレイン, プルアップ時 (R = 1k)		0.2 VDD	V	
VOL3		IOL = 400 μA			0.5	V	

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 2.7 ~ 5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I _{LIH1}	V _{IN} = V _{DD}	P00-P06, P10-P17, P20-P27, P30-P37, P60-P63, P66, P70-P72, P90-P96, P100-P103, P120- P127, P130, P131, AD0-AD7, $\overline{\text{RESET}}$			3	μA
	I _{LIH2}		X1, X2, XT1/P07, XT2			20	μA
ロウ・レベル入力リーク電流	I _{LIL1}	V _{IN} = 0 V	P00-P06, P10-P17, P20-P27, P30-P37, P60-P63, P66, P70-P72, P90-P96, P100-P103, P120- P127, P130, P131, AD0-AD7, $\overline{\text{RESET}}$			- 3	μA
	I _{LIL2}		X1, X2, XT1/P07, XT2			- 20	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _{OUT} = V _{DD}				3	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _{OUT} = 0 V				- 3	μA
ソフトウェア・ブルアップ抵抗	R	V _{IN} = 0 V, P01-P06, P10- P17, P20-P27, P30-P37, P66, P70-P72, P94-P96, P100-P103, P120-P127, P130, P131	V _{DD} = 4.5 ~ 5.5 V	15	40	90	k
				20		500	k

備考 特に指定のないがぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 2.7 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	5.0 MHz水晶発振動作モード (f _{XX} = 2.5 MHz) ^{注2}	V _{DD} = 5.0 V ± 10 % ^{注5}	4.5	13.5	mA
			V _{DD} = 3.0 V ± 10 % ^{注6}	0.7	2.1	mA
		5.0 MHz水晶発振動作モード (f _{XX} = 5.0 MHz) ^{注3}	V _{DD} = 5.0 V ± 10 % ^{注5}	8.0	24.0	mA
			V _{DD} = 3.0 V ± 10 % ^{注6}	0.9	2.7	mA
	IDD2	5.0 MHz水晶発振HALTモード (f _{XX} = 2.5 MHz) ^{注2}	V _{DD} = 5.0 V ± 10 % ^{注5}	1.4	4.2	mA
			V _{DD} = 3.0 V ± 10 % ^{注6}	0.5	1.5	mA
		5.0 MHz水晶発振HALTモード (f _{XX} = 5.0 MHz) ^{注3}	V _{DD} = 5.0 V ± 10 % ^{注5}	1.6	4.8	mA
			V _{DD} = 3.0 V ± 10 % ^{注6}	0.65	1.95	mA
	IDD3	32.768 kHz 水晶発振動作モード ^{注4}	V _{DD} = 5.0 V ± 10 %	60	120	μA
			V _{DD} = 3.0 V ± 10 %	32	64	μA
	IDD4	32.768 kHz 水晶発振HALTモード ^{注4}	V _{DD} = 5.0 V ± 10 %	25	55	μA
			V _{DD} = 3.0 V ± 10 %	5	15	μA
IDD5	XT1 = V _{DD} STOPモード フィードバック抵抗使用時	V _{DD} = 5.0 V ± 10 %	1	30	μA	
		V _{DD} = 3.0 V ± 10 %	0.5	10	μA	
IDD6	XT1 = V _{DD} STOPモード フィードバック抵抗非使用時	V _{DD} = 5.0 V ± 10 %	0.1	30	μA	
		V _{DD} = 3.0 V ± 10 %	0.05	10	μA	

注1 . AV_{REF0}, AV_{REF1}, AV_{DD}電流およびポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

- 2 . f_{XX} = f_X/2動作時（発振モード選択レジスタ（OSMS）を00Hに設定したとき）。
- 3 . f_{XX} = f_X動作時（OSMSを01Hに設定したとき）。
- 4 . メイン・システム・クロック停止時。
- 5 . 高速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）。
- 6 . 低速モード動作時（PCCを04Hに設定したとき）。

備考 f_{XX} : メイン・システム・クロック周波数（f_Xまたはf_X/2）

f_X : メイン・システム・クロック発振周波数

AC特性

(1) 基本動作 (TA = -40 ~ +85 , VDD = 2.7 ~ 5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	TCY	メイン・システム・クロックで動作	$f_{xx} = f_x/2$ ^{注1}	0.8		64	μs
			$f_{xx} = f_x$ ^{注2}	VDD = 3.5 ~ 5.5 V	0.4		32
				0.8		32	μs
		サブシステム・クロックで動作		40	122	125	μs
TI00入力 ハイ, ロウ・レベル幅	tTIH00, tTIL00	VDD = 3.5 ~ 5.5 V		$2/f_{sam} + 0.1$ ^{注3}			μs
				$2/f_{sam} + 0.2$ ^{注3}			μs
TI01入力 ハイ, ロウ・レベル幅	tTIH01, tTIL01			10			μs
TI1, TI2, TI5, TI6 入力周波数	fTI1	VDD = 4.5 ~ 5.5 V		0		4	MHz
				0		275	kHz
TI1, TI2, TI5, TI6入力 ハイ, ロウ・レベル幅	tTIH1, tTIL1	VDD = 4.5 ~ 5.5 V		100			ns
				1.8			μs
割り込み入力 ハイ, ロウ・レベル幅	tINTH, tINTL	INTP0	VDD = 3.5 ~ 5.5 V	$2/f_{sam} + 0.1$ ^{注3}			μs
				$2/f_{sam} + 0.2$ ^{注3}			μs
		INTP1-INTP6		10			μs
RESET ロウ・レベル幅	tRSL			10			μs

注1 . 発振モード選択レジスタ (OSMS) を00Hに設定したとき。

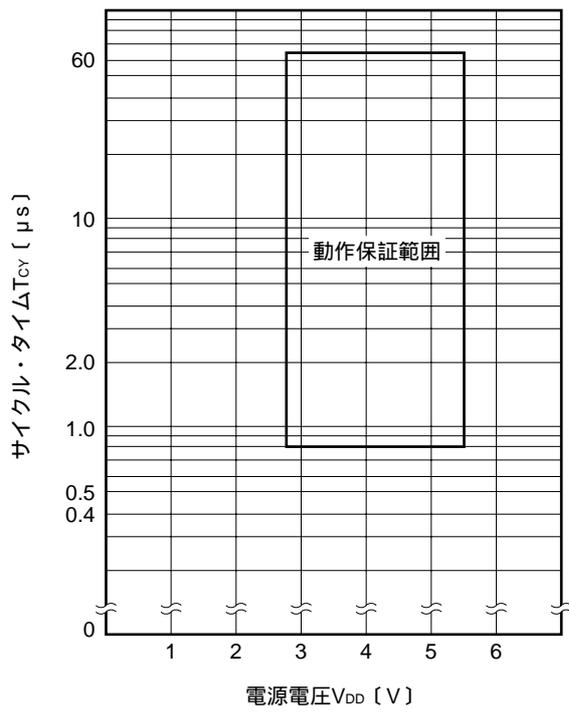
2 . OSMSを01Hに設定したとき。

3 . サンプリング・クロック選択レジスタ (SCS) のビット0 , 1 (SCS0, SCS1) により , $f_{sam} = f_{xx}/2^N, f_{xx}/32, f_{xx}/64, f_{xx}/128$ の選択が可能です (N = 0-4)。

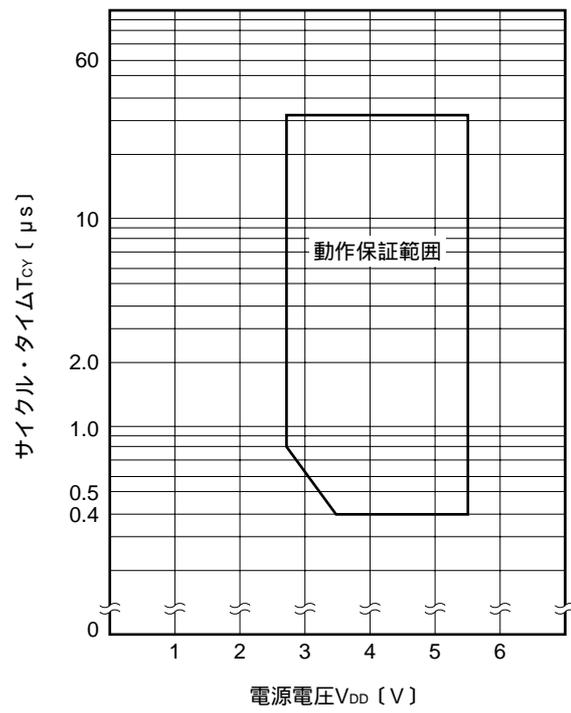
備考 f_{xx} : メイン・システム・クロック周波数 (fxまたはfx/2)

fx : メイン・システム・クロック発振周波数

T_{CY} vs V_{DD} (メイン・システム・クロック f_{XX} = f_X/2動作時)



T_{CY} vs V_{DD} (メイン・システム・クロック f_{XX} = f_X動作時)



(2) リード/ライト・オペレーション

(a) MCS = 1, PCC2-PCC0 = 000Bのとき (TA = -40 ~ +85, VDD = 4.5 ~ 5.5 V)

項目	略号	条件	MIN.	MAX.	単位
ASTBハイ・レベル幅	tASTH		0.85tcy - 50		ns
アドレス・セットアップ時間	tADS		0.85tcy - 50		ns
アドレス・ホールド時間	tADH		50		ns
アドレス データ入力時間	tADD1			(2.85 + 2n)tcy - 80	ns
	tADD2			(4 + 2n)tcy - 100	ns
RD データ入力時間	tRDD1			(2 + 2n)tcy - 100	ns
	tRDD2			(2.85 + 2n)tcy - 100	ns
リード・データ・ホールド時間	tRDH		0		ns
RDロウ・レベル幅	tRDL1		(2 + 2n)tcy - 60		ns
	tRDL2		(2.85 + 2n)tcy - 60		ns
RD WAIT 入力時間	tRDWT1			0.85tcy - 50	ns
	tRDWT2			2tcy - 60	ns
WR WAIT 入力時間	tWRWT			2tcy - 60	ns
WAITロウ・レベル幅	tWTL		(1.15 + 2n)tcy	(2 + 2n)tcy	ns
ライト・データ・セットアップ時間	tWDS		(2.85 + 2n)tcy - 100		ns
ライト・データ・ホールド時間	tWDH		20		ns
WRロウ・レベル幅	tWRL		(2.85 + 2n)tcy - 60		ns
ASTB RD 遅延時間	tASTRD		25		ns
ASTB WR 遅延時間	tASTWR		0.85tcy + 20		ns
外部フェッチ時RD ASTB 遅延時間	tRDAST		0.85tcy - 10	1.15tcy + 20	ns
外部フェッチ時RD アドレス・ホールド時間	tRDADH		0.85tcy - 50	1.15tcy + 50	ns
RD ライト・データ出力時間	tRDWD		40		ns
WR ライト・データ出力時間	tWRWD		0	50	ns
WR アドレス・ホールド時間	tWRADH		0.85tcy	1.15tcy + 40	ns
WAIT RD 遅延時間	tWTRD		1.15tcy + 40	3.15tcy + 40	ns
WAIT WR 遅延時間	tWTWR		1.15tcy + 30	3.15tcy + 30	ns

備考1 . MCS : 発振モード選択レジスタ (OSMS) のビット0

2 . PCC2-PCC0 : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット2-ビット0

3 . tcy = Tcy/4

4 . nはウエイト数を示します。

(b) MCS = 1, PCC2-PCC0 = 000B以外のとき (TA = -40 ~ +85 , VDD = 2.7 ~ 5.5 V)

項目	略号	条件	MIN.	MAX.	単位
ASTBハイ・レベル幅	t _{ASTH}		t _{cy} - 80		ns
アドレス・セットアップ時間	t _{ADS}		t _{cy} - 80		ns
アドレス・ホールド時間	t _{ADH}		0.4t _{cy} - 10		ns
アドレス データ入力時間	t _{ADD1}			(3 + 2n) t _{cy} - 160	ns
	t _{ADD2}			(4 + 2n) t _{cy} - 200	ns
RD データ入力時間	t _{RDD1}			(1.4 + 2n) t _{cy} - 70	ns
	t _{RDD2}			(2.4 + 2n) t _{cy} - 70	ns
リード・データ・ホールド時間	t _{RDH}		0		ns
RDロウ・レベル幅	t _{RDL1}		(1.4 + 2n) t _{cy} - 20		ns
	t _{RDL2}		(2.4 + 2n) t _{cy} - 20		ns
RD WAIT 入力時間	t _{RDWT1}			t _{cy} - 100	ns
	t _{RDWT2}			2t _{cy} - 100	ns
WR WAIT 入力時間	t _{WRWT}			2t _{cy} - 100	ns
WAITロウ・レベル幅	t _{WTL}		(1 + 2n) t _{cy}	(2 + 2n) t _{cy}	ns
ライト・データ・セットアップ時間	t _{WDS}		(2.4 + 2n) t _{cy} - 60		ns
ライト・データ・ホールド時間	t _{WDH}		20		ns
WRロウ・レベル幅	t _{WRL}		(2.4 + 2n) t _{cy} - 20		ns
ASTB RD 遅延時間	t _{ASTRD}		0.4t _{cy} - 30		ns
ASTB WR 遅延時間	t _{ASTWR}		1.4t _{cy} - 30		ns
外部フェッチ時RD ASTB 遅延時間	t _{RDAST}		t _{cy} - 10	t _{cy} + 20	ns
外部フェッチ時RD アドレス・ホールド時間	t _{RDADH}		t _{cy} - 50	t _{cy} + 50	ns
RD ライト・データ出力時間	t _{RDWD}		0.4t _{cy} - 20		ns
WR ライト・データ出力時間	t _{WRWD}		0	60	ns
WR アドレス・ホールド時間	t _{WRADH}		t _{cy}	t _{cy} + 60	ns
WAIT RD 遅延時間	t _{WTRD}		0.6t _{cy} + 180	2.6t _{cy} + 180	ns
WAIT WR 遅延時間	t _{WTWR}		0.6t _{cy} + 120	2.6t _{cy} + 120	ns

備考1 . MCS : 発振モード選択レジスタ (OSMS) のビット 0

2 . PCC2-PCC0 : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット 2-ビット 0

3 . t_{cy} = T_{cy}/4

4 . nはウエイト数を示します。

(3) シリアル・インタフェース ($T_A = -40 \sim +85$, $V_{DD} = 2.7 \sim 5.5 V$)

(a) シリアル・インタフェース・チャンネル0

(i) 3線式シリアルI/Oモード ($\overline{SCK0}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK0}$ サイクル・タイム	t_{KCY1}	$V_{DD} = 4.5 \sim 5.5 V$	800			ns
			1600			ns
$\overline{SCK0}$ ハイ, ロウ・レベル幅	t_{KH1}, t_{KL1}	$V_{DD} = 4.5 \sim 5.5 V$	$t_{KCY1}/2 - 50$			ns
			$t_{KCY1}/2 - 100$			ns
SIO セットアップ時間 (対 $\overline{SCK0}$)	t_{SIK1}	$V_{DD} = 4.5 \sim 5.5 V$	100			ns
			150			ns
SIO ホールド時間 (対 $\overline{SCK0}$)	t_{KSI1}		400			ns
$\overline{SCK0}$ SO0 出力遅延時間	t_{KSO1}	$C = 100 pF^{\text{注}}$			300	ns

注 Cは、 $\overline{SCK0}$, SO0出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード ($\overline{SCK0}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK0}$ サイクル・タイム	t_{KCY2}	$V_{DD} = 4.5 \sim 5.5 V$	800			ns
			1600			ns
$\overline{SCK0}$ ハイ, ロウ・レベル幅	t_{KH2}, t_{KL2}	$V_{DD} = 4.5 \sim 5.5 V$	400			ns
			800			ns
SIO セットアップ時間 (対 $\overline{SCK0}$)	t_{SIK2}		100			ns
SIO ホールド時間 (対 $\overline{SCK0}$)	t_{KSI2}		400			ns
$\overline{SCK0}$ SO0 出力遅延時間	t_{KSO2}	$C = 100 pF^{\text{注}}$			300	ns
$\overline{SCK0}$ 立ち上がり, 立ち下がり時間	t_{r2}, t_{f2}				160	ns

注 Cは、SO0出力ラインの負荷容量です。

(iii) SBIモード ($\overline{\text{SCK0}}$...内部クロック出力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
$\overline{\text{SCK0}}$ サイクル・タイム	t_{KCY3}	$V_{\text{DD}} = 4.5 \sim 5.5 \text{ V}$		800			ns
				3200			ns
$\overline{\text{SCK0}}$ ハイ, ロウ・レベル幅	$t_{\text{KH3}}, t_{\text{KL3}}$	$V_{\text{DD}} = 4.5 \sim 5.5 \text{ V}$		$t_{\text{KCY3}}/2 - 50$			ns
				$t_{\text{KCY3}}/2 - 150$			ns
SB0, SB1セットアップ時間 (対 $\overline{\text{SCK0}}$)	t_{SIK3}	$V_{\text{DD}} = 4.5 \sim 5.5 \text{ V}$		100			ns
				300			ns
SB0, SB1ホールド時間 (対 $\overline{\text{SCK0}}$)	t_{KSI3}			$t_{\text{KCY3}}/2$			ns
$\overline{\text{SCK0}}$ SB0, SB1 出力遅延時間	t_{KSO3}	$R = 1 \text{ k} \Omega$, $C = 100 \text{ pF}$ 注	$V_{\text{DD}} = 4.5 \sim 5.5 \text{ V}$	0		250	ns
				0		1000	ns
$\overline{\text{SCK0}}$ SB0, SB1	t_{KSB}			t_{KCY3}			ns
SB0, SB1 $\overline{\text{SCK0}}$	t_{SBK}			t_{KCY3}			ns
SB0, SB1ハイ・レベル幅	t_{SBH}			t_{KCY3}			ns
SB0, SB1ロウ・レベル幅	t_{SBL}			t_{KCY3}			ns

注 R, Cは, $\overline{\text{SCK0}}$, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(iv) SBIモード ($\overline{\text{SCK0}}$...外部クロック入力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
$\overline{\text{SCK0}}$ サイクル・タイム	t_{KCY4}	$V_{\text{DD}} = 4.5 \sim 5.5 \text{ V}$		800			ns
				3200			ns
$\overline{\text{SCK0}}$ ハイ, ロウ・レベル幅	$t_{\text{KH4}}, t_{\text{KL4}}$	$V_{\text{DD}} = 4.5 \sim 5.5 \text{ V}$		400			ns
				1600			ns
SB0, SB1セットアップ時間 (対 $\overline{\text{SCK0}}$)	t_{SIK4}	$V_{\text{DD}} = 4.5 \sim 5.5 \text{ V}$		100			ns
				300			ns
SB0, SB1ホールド時間 (対 $\overline{\text{SCK0}}$)	t_{KSI4}			$t_{\text{KCY4}}/2$			ns
$\overline{\text{SCK0}}$ SB0, SB1 出力遅延時間	t_{KSO4}	$R = 1 \text{ k} \Omega$, $C = 100 \text{ pF}$ 注	$V_{\text{DD}} = 4.5 \sim 5.5 \text{ V}$	0		300	ns
				0		1000	ns
$\overline{\text{SCK0}}$ SB0, SB1	t_{KSB}			t_{KCY4}			ns
SB0, SB1 $\overline{\text{SCK0}}$	t_{SBK}			t_{KCY4}			ns
SB0, SB1ハイ・レベル幅	t_{SBH}			t_{KCY4}			ns
SB0, SB1ロウ・レベル幅	t_{SBL}			t_{KCY4}			ns
$\overline{\text{SCK0}}$ 立ち上がり, 立ち下がり時間	$t_{\text{r4}}, t_{\text{f4}}$					160	ns

注 R, Cは, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(v) 2線式シリアル/Oモード (SCK0...内部クロック出力)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
SCK0サイクル・タイム	t _{KCY5}	R = 1 k , C = 100 pF ^注		1600			ns	
SCK0ハイ・レベル幅	t _{KH5}			t _{KCY5} /2 - 160			ns	
SCK0ロウ・レベル幅	t _{KL5}		V _{DD} = 4.5 ~ 5.5 V	t _{KCY5} /2 - 50			ns	
				t _{KCY5} /2 - 100			ns	
SB0, SB1セットアップ時間 (対SCK0)	t _{SIK5}		V _{DD} = 4.5 ~ 5.5 V		300			ns
					350			ns
SB0, SB1ホールド時間 (対SCK0)	t _{SI5}				600			ns
SCK0 SB0, SB1 出力遅延時間	t _{KSO5}			0		300	ns	

注 R, Cは, SCK0, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(vi) 2線式シリアル/Oモード (SCK0...外部クロック入力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	t _{KCY6}			1600			ns
SCK0ハイ・レベル幅	t _{KH6}			650			ns
SCK0ロウ・レベル幅	t _{KL6}			800			ns
SB0, SB1セットアップ時間 (対SCK0)	t _{SIK6}			100			ns
SB0, SB1ホールド時間 (対SCK0)	t _{SI6}			t _{KCY6} /2			ns
SCK0 SB0, SB1 出力遅延時間	t _{KSO6}	R = 1 k , C = 100 pF ^注	V _{DD} = 4.5 ~ 5.5 V	0		300	ns
				0		500	ns
SCK0立ち上がり, 立ち下がり時間	t _{R6} , t _{F6}					160	ns

注 R, Cは, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(b) シリアル・インタフェース・チャンネル1

(i) 3線式シリアルI/Oモード (SCK1...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK1サイクル・タイム	tkcy7	V _{DD} = 4.5 ~ 5.5 V	800			ns
			1600			ns
SCK1ハイ, ロウ・レベル幅	tkH7, tkL7	V _{DD} = 4.5 ~ 5.5 V	tkcy7/2 - 50			ns
			tkcy7/2 - 100			ns
SI1セットアップ時間 (対SCK1)	tsik7	V _{DD} = 4.5 ~ 5.5 V	100			ns
			150			ns
SI1ホールド時間 (対SCK1)	tkS17		400			ns
SCK1 SO1 出力遅延時間	tkSO7	C = 100 pF ^注			300	ns

注 Cは、SCK1, SO1出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK1...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK1サイクル・タイム	tkcy8	V _{DD} = 4.5 ~ 5.5 V	800			ns
			1600			ns
SCK1ハイ, ロウ・レベル幅	tkH8, tkL8	V _{DD} = 4.5 ~ 5.5 V	400			ns
			800			ns
SI1セットアップ時間 (対SCK1)	tsik8		100			ns
SI1ホールド時間 (対SCK1)	tkS18		400			ns
SCK1 SO1 出力遅延時間	tkSO8	C = 100 pF ^注			300	ns
SCK1立ち上がり, 立ち下がり時間	tr8, tf8				160	ns

注 Cは、SO1出力ラインの負荷容量です。

(iii) 自動送受信機能付き 3 線式シリアルI/Oモード ($\overline{\text{SCK1}}$...内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCK1}}$ サイクル・タイム	t _{KCY9}	V _{DD} = 4.5 ~ 5.5 V	800			ns
			1600			ns
$\overline{\text{SCK1}}$ ハイ, ロウ・レベル幅	t _{KH9} , t _{KL9}	V _{DD} = 4.5 ~ 5.5 V	t _{KCY9} /2 - 50			ns
			t _{KCY9} /2 - 100			ns
SI1 セットアップ時間 (対 $\overline{\text{SCK1}}$)	t _{SIK9}	V _{DD} = 4.5 ~ 5.5 V	100			ns
			150			ns
SI1 ホールド時間 (対 $\overline{\text{SCK1}}$)	t _{KS19}		400			ns
$\overline{\text{SCK1}}$ SO1 出力遅延時間	t _{KSO9}	C = 100 pF ^注			300	ns
$\overline{\text{SCK1}}$ STB	t _{SBD}		t _{KCY9} /2 - 100		t _{KCY9} /2 + 100	ns
ストロブ信号 ハイ・レベル幅	t _{SBW}		t _{KCY9} - 30		t _{KCY9} + 30	ns
ビジー信号セットアップ時間 (対 ビジー信号検出タイミング)	t _{BYS}		100			ns
ビジー信号ホールド時間 (対 ビジー信号検出タイミング)	t _{BYH}	V _{DD} = 4.5 ~ 5.5 V	100			ns
			150			ns
ビジー・インアクティブ $\overline{\text{SCK1}}$	t _{SPS}				2t _{KCY9}	ns

注 Cは、 $\overline{\text{SCK1}}$ 、SO1出力ラインの負荷容量です。

(iv) 自動送受信機能付き 3 線式シリアルI/Oモード ($\overline{\text{SCK1}}$...外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCK1}}$ サイクル・タイム	t _{KCY10}	V _{DD} = 4.5 ~ 5.5 V	800			ns
			1600			ns
$\overline{\text{SCK1}}$ ハイ, ロウ・レベル幅	t _{KH10} , t _{KL10}	V _{DD} = 4.5 ~ 5.5 V	400			ns
			800			ns
SI1 セットアップ時間 (対 $\overline{\text{SCK1}}$)	t _{SIK10}		100			ns
SI1 ホールド時間 (対 $\overline{\text{SCK1}}$)	t _{KSI10}		400			ns
$\overline{\text{SCK1}}$ SO1 出力遅延時間	t _{KSO10}	C = 100 pF ^注			300	ns
$\overline{\text{SCK1}}$ 立ち上がり, 立ち下がり時間	t _{R10} , t _{F10}				160	ns

注 Cは、SO1出力ラインの負荷容量です。

(c) シリアル・インタフェース・チャンネル2

(i) 3線式シリアルI/Oモード (SCK2...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK2サイクル・タイム	tkCY11	V _{DD} = 4.5 ~ 5.5 V	800			ns
			1600			ns
SCK2ハイ, ロウ・レベル幅	tkH11, tkL11	V _{DD} = 4.5 ~ 5.5 V	tkCY11/2 - 50			ns
			tkCY11/2 - 100			ns
SI2セットアップ時間 (対SCK2)	tsIK11	V _{DD} = 4.5 ~ 5.5 V	100			ns
			150			ns
SI2ホールド時間 (対SCK2)	tkSH11		400			ns
SCK2 SO2 出力遅延時間	tkSO11	C = 100 pF ^注			300	ns

注 Cは, SCK2, SO2出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK2...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK2サイクル・タイム	tkCY12	V _{DD} = 4.5 ~ 5.5 V	800			ns
			1600			ns
SCK2ハイ, ロウ・レベル幅	tkH12, tkL12	V _{DD} = 4.5 ~ 5.5 V	400			ns
			800			ns
SI2セットアップ時間 (対SCK2)	tsIK12		100			ns
SI2ホールド時間 (対SCK2)	tkSH12		400			ns
SCK2 SO2 出力遅延時間	tkSO12	C = 100 pF ^注			300	ns
SCK2立ち上がり, 立ち下がり時間	tr12, tf12				160	ns

注 Cは, SO2出力ラインの負荷容量です。

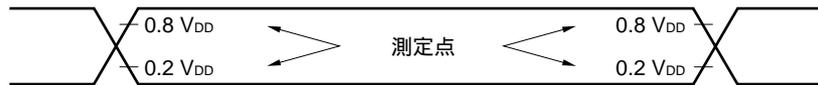
(iii) UARTモード(専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		$V_{DD} = 4.5 \sim 5.5 V$			78125	bps
					39063	bps

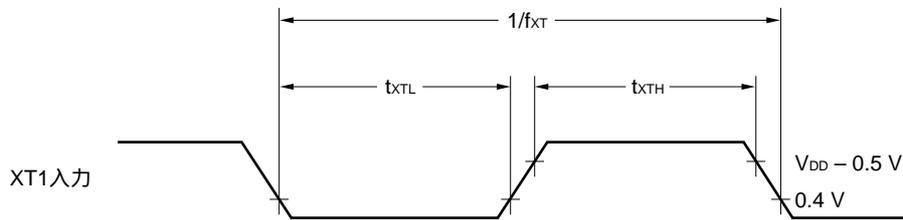
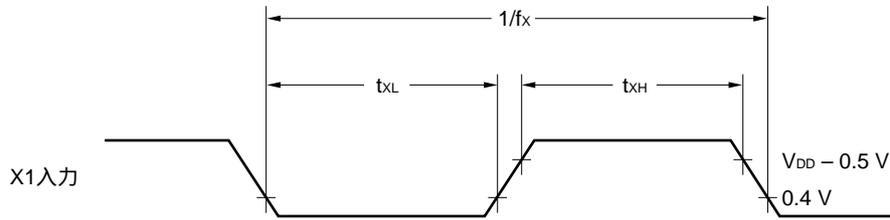
(iv) UARTモード(外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ASCKサイクル・タイム	t _{KCY13}	$V_{DD} = 4.5 \sim 5.5 V$	800			ns
			1600			ns
ASCKハイ, ロウ・レベル幅	t _{KH13} , t _{KL13}	$V_{DD} = 4.5 \sim 5.5 V$	400			ns
			800			ns
転送レート		$V_{DD} = 4.5 \sim 5.5 V$			39063	bps
					19531	bps
ASCK立ち上がり, 立ち下がり時間	t _{R13} , t _{F13}				160	ns

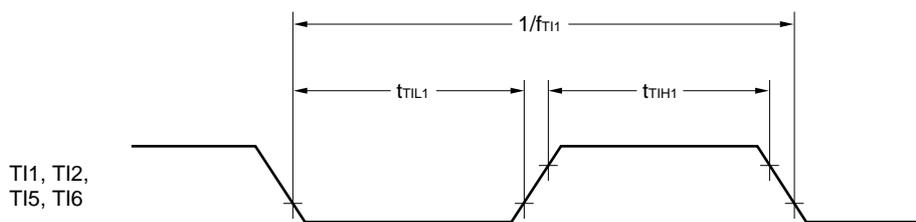
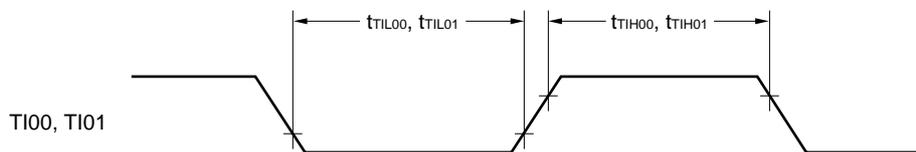
ACタイミング測定点 (X1, XT1入力を除く)



クロック・タイミング

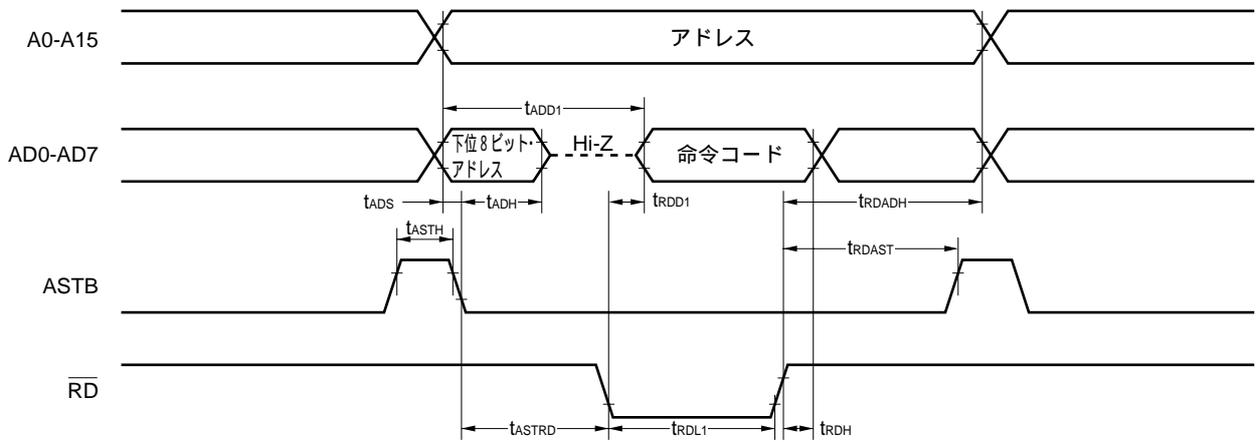


T1タイミング

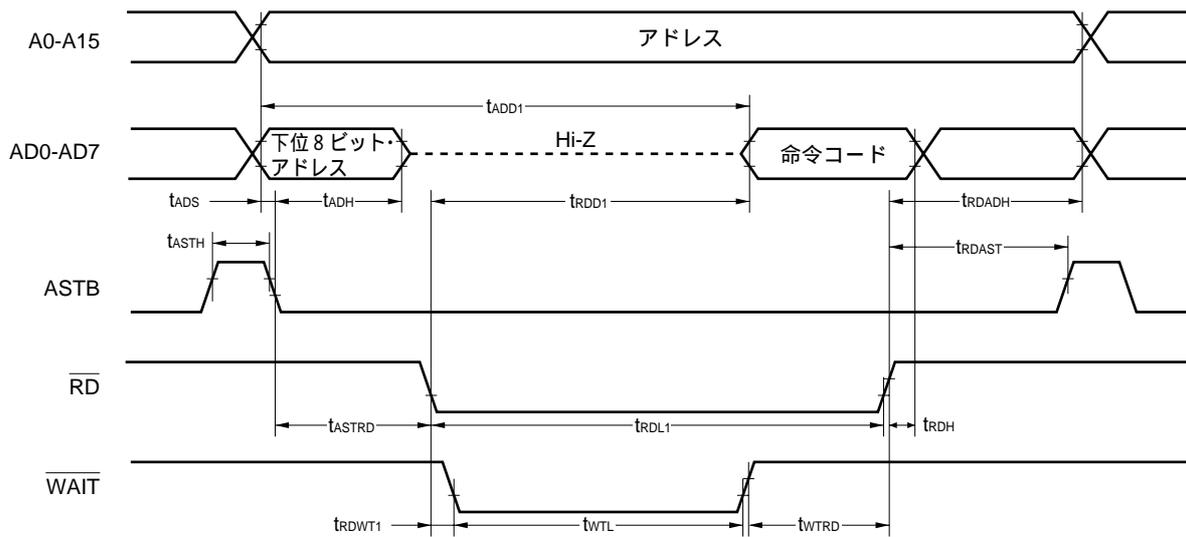


リード/ライト・オペレーション

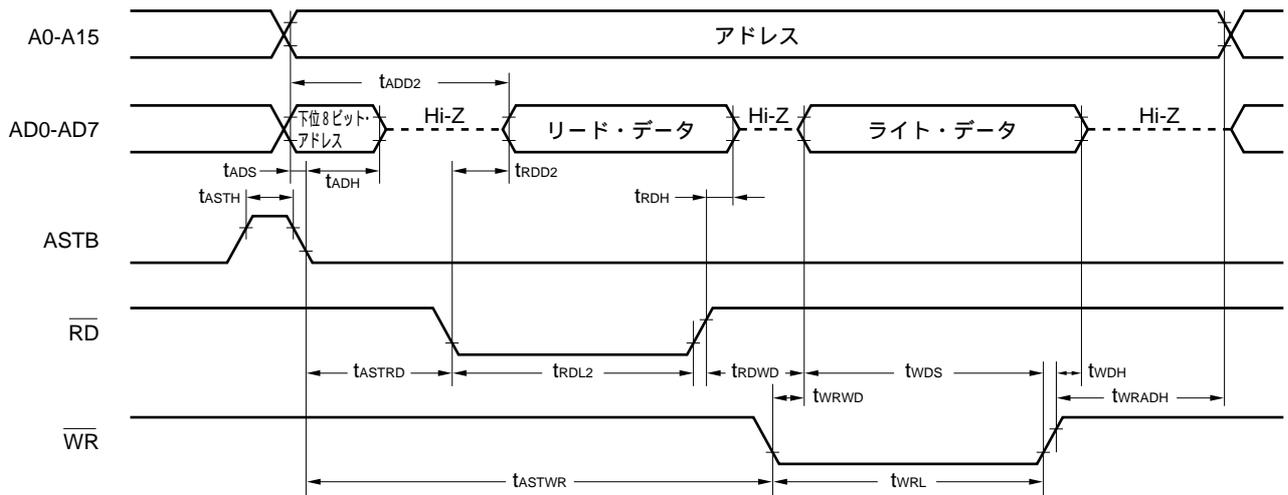
外部フェッチ（ノー・ウエイト時）：



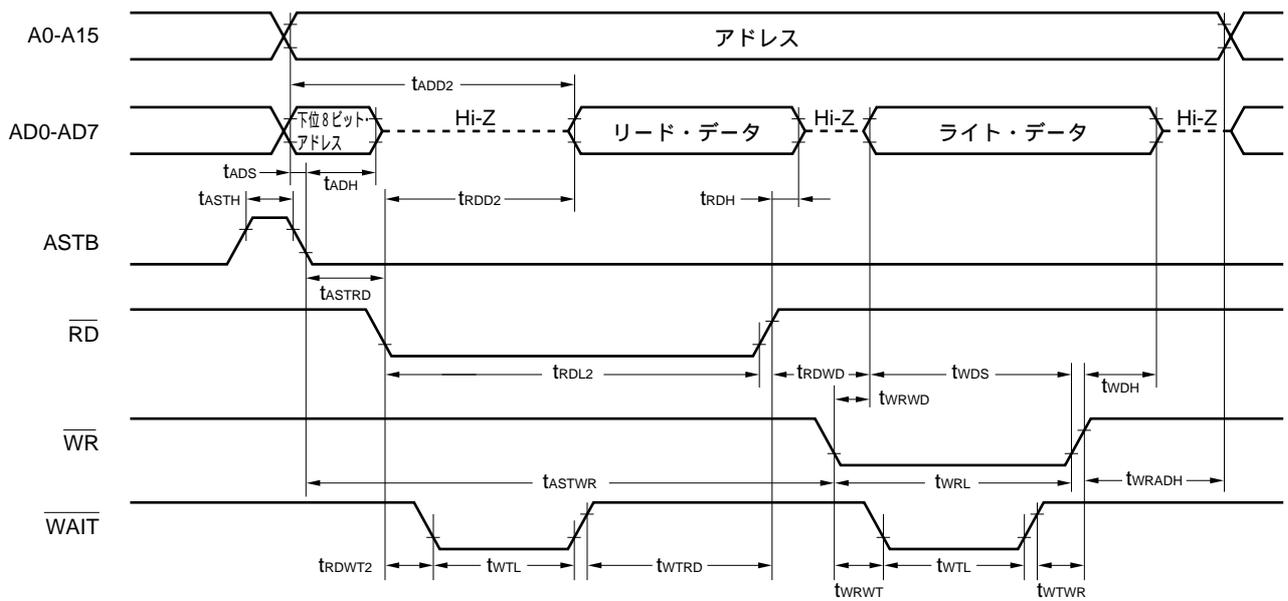
外部フェッチ（ウエイト挿入時）：



外部データ・アクセス（ノー・ウエイト時）：

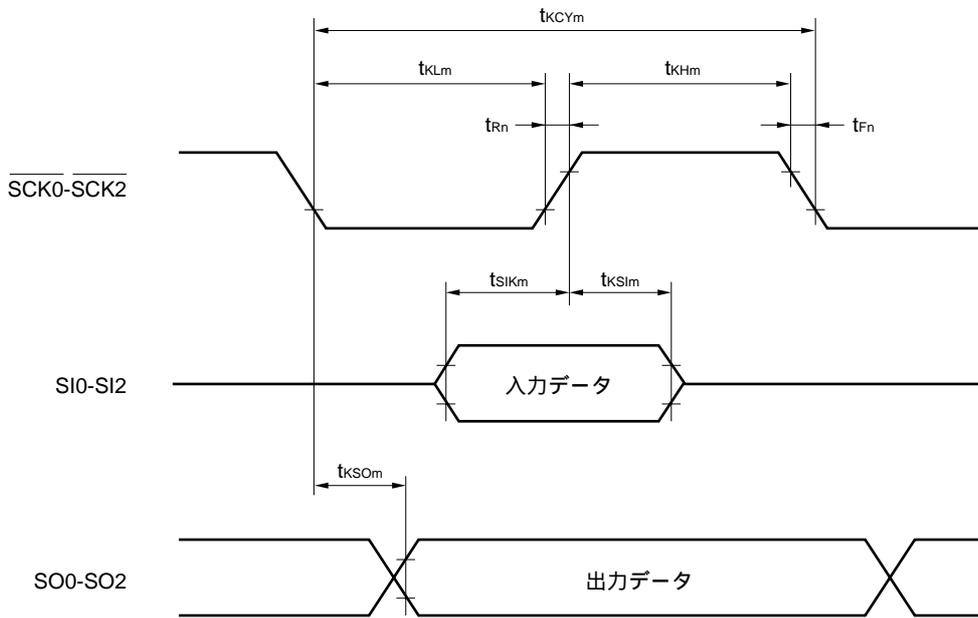


外部データ・アクセス（ウエイト挿入時）：



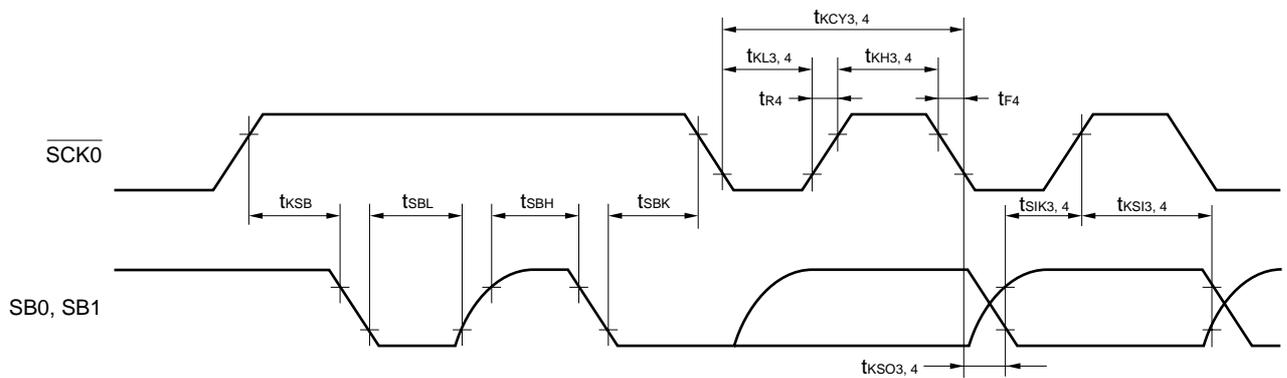
シリアル転送タイミング

3線式シリアルI/Oモード：

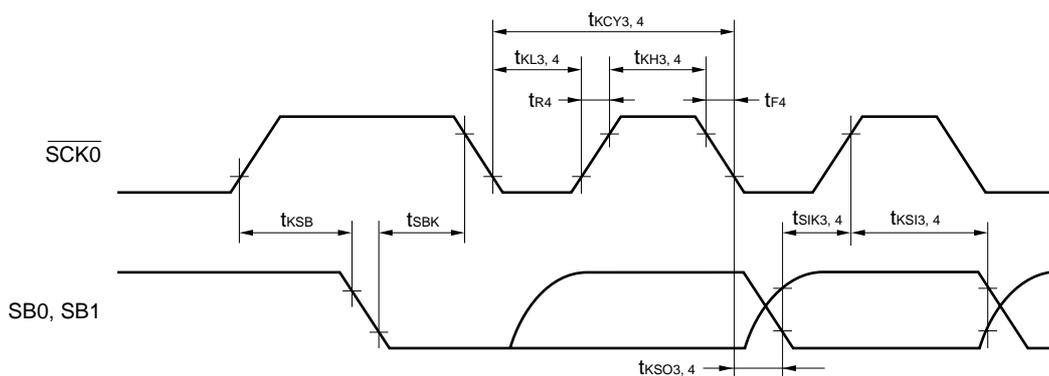


備考 $m = 1, 2, 7, 8, 11, 12$
 $n = 2, 8, 12$

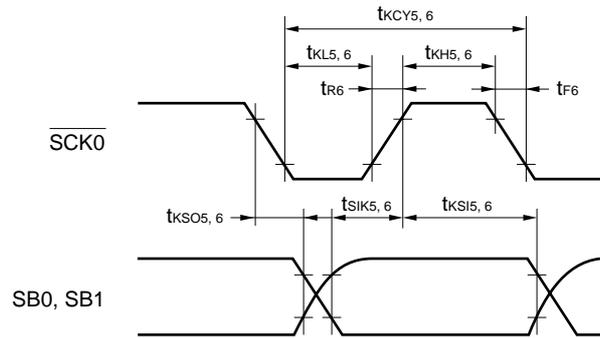
SBIモード（バス・リリース信号転送）：



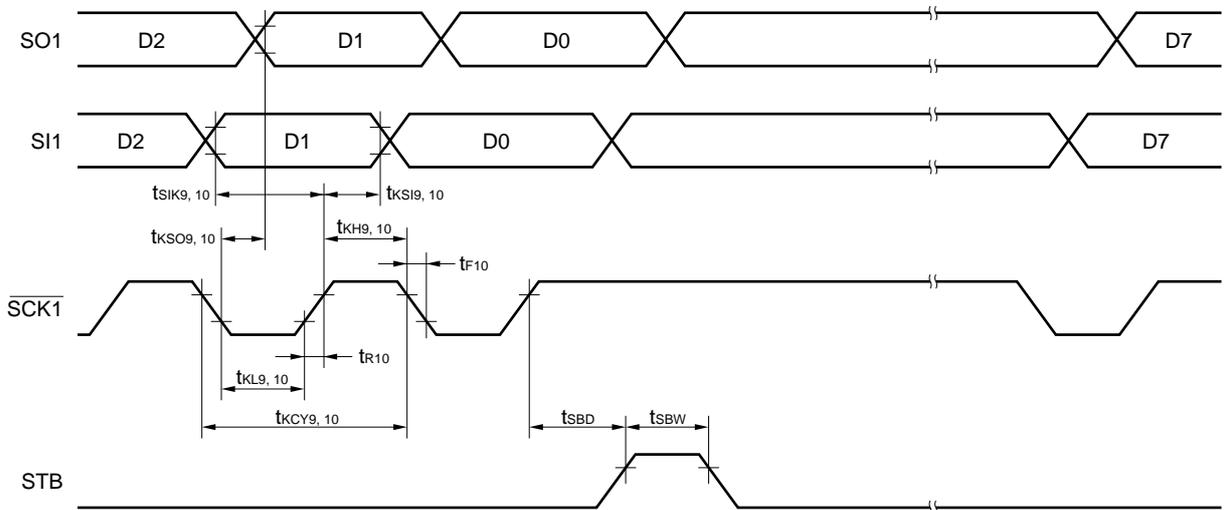
SBIモード（コマンド信号転送）：



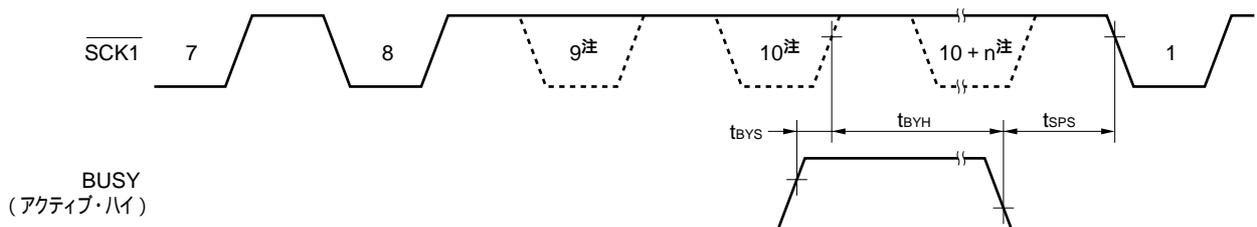
2線式シリアルI/Oモード：



自動送受信機能付き3線式シリアルI/Oモード：

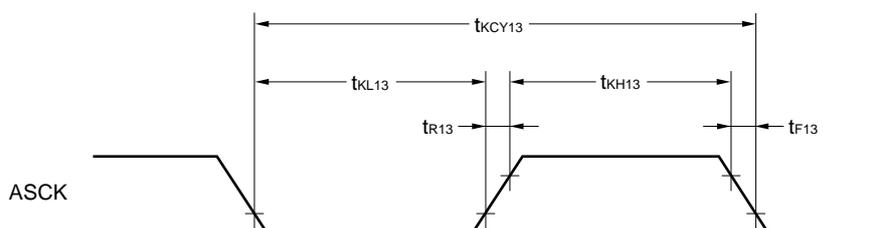


自動送受信機能付き3線式シリアルI/Oモード（ビジー処理）：



注 ここでは実際にはロウ・レベルになりませんが、タイミング規定のためこのように表記してあります。

UARTモード（外部クロック入力）：



A/Dコンバータ特性 (TA = -40 ~ +85 , AVDD = VDD = 2.7 ~ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
総合誤差 ^注		2.7 V AVREF0 AVDD			0.6	%
変換時間	tCONV		19.1		200	μs
サンプリング時間	tsAMP		12/fxx			μs
アナログ入力電圧	VIAN		AVSS		AVREF0	V
基準電圧	AVREF0		2.7		AVDD	V
AVREF0-AVSS間抵抗	RAIREF0		4	14		k

注 量子化誤差 (± 1/2LSB) を含みません。フルスケール値に対する比率で表しています。

備考 fxx : メイン・システム・クロック周波数 (fxまたはfx/2)

fx : メイン・システム・クロック発振周波数

D/Aコンバータ特性 (TA = -40 ~ +85 , VDD = 2.7 ~ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					8	bit
総合誤差		R = 2 M ^{注1}			1.2	%
		R = 4 M ^{注1}			0.8	%
		R = 10 M ^{注1}			0.6	%
セットリング・タイム		C = 30 pF ^{注1}	4.5 V AVREF1 5.5 V		10	μs
			2.7 V AVREF1 < 4.5 V		15	μs
出力抵抗	Ro	注2		10		k
アナログ基準電圧	AVREF1		2.7		VDD	V
AVREF1-AVSS間抵抗	RAIREF1	DACS0, DACS1 = 55H ^{注2}	4	8		k

注1 . R, CはD/Aコンバータ出力端子の負荷抵抗 , 負荷容量です。

2 . D/Aコンバータ1チャンネル分の値です。

備考 DACS0, DACS1 : D/A変換値設定レジスタ0 , 1

データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

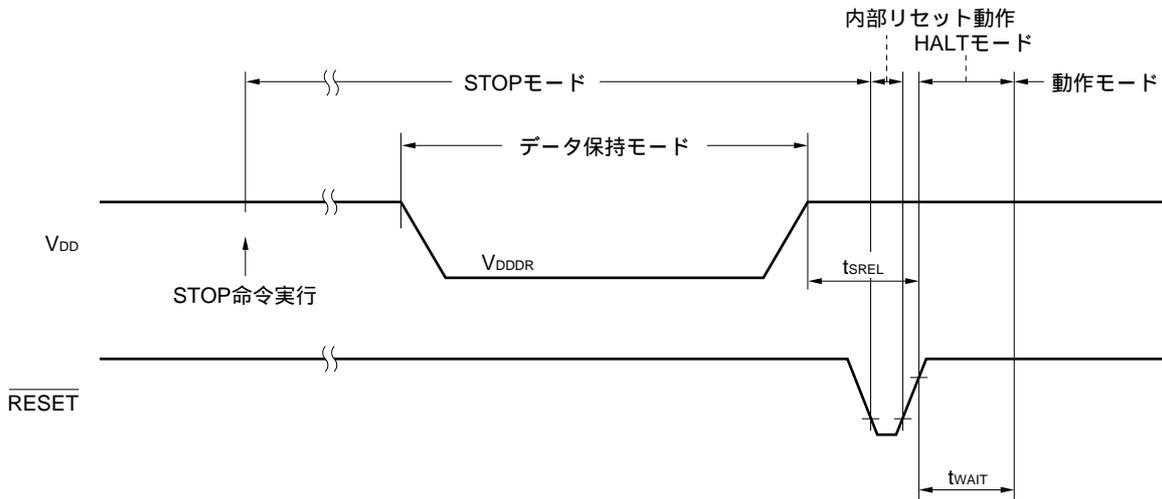
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.8		5.5	V
データ保持電源電流	I _{DDDR}	V _{DDDR} = 1.8 V サブシステム・クロック停止, フィードバック抵抗切断時		0.1	10	μA
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間	t _{WAIT}	RESETによる解除		2 ¹⁷ /f _x		ms
		割り込みによる解除		注		ms

注 発振安定時間選択レジスタ (OSTS) のビット0-ビット2 (OSTS0-OSTS2) により, 2¹²/f_{xx}, 2¹⁴/f_{xx}-2¹⁷/f_{xx}の選択が可能です。

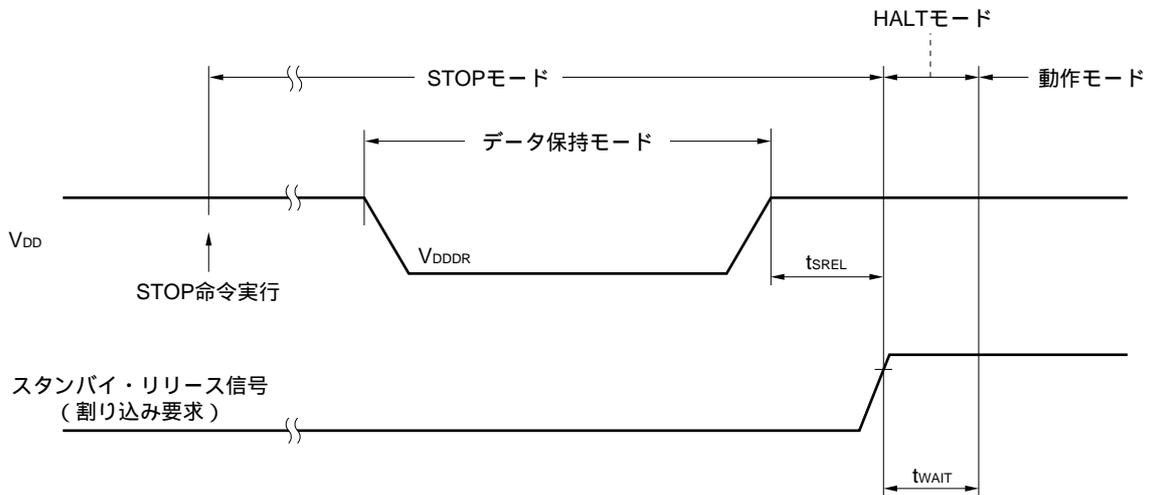
備考 f_{xx} : メイン・システム・クロック周波数 (f_xまたはf_x/2)

f_x : メイン・システム・クロック発振周波数

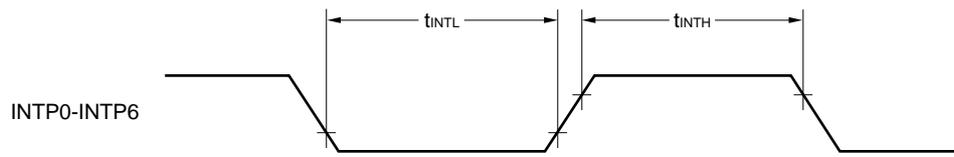
データ保持タイミング (RESETによるSTOPモード解除)



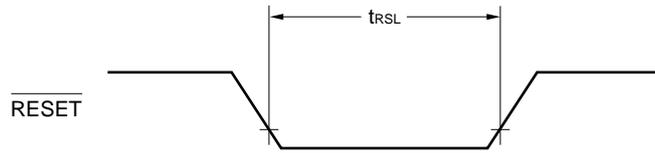
データ保持タイミング (スタンバイ・リリース信号 : 割り込み信号によるSTOPモード解除)



割り込み入力タイミング

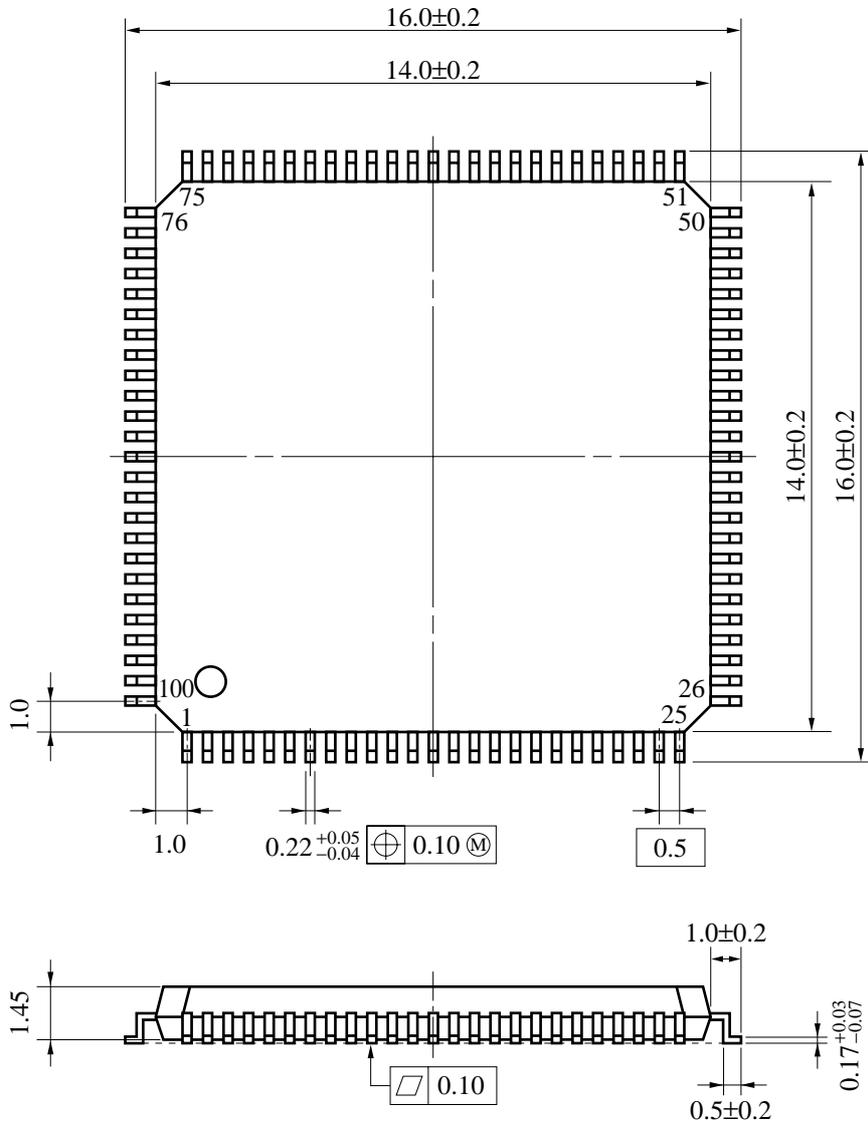


$\overline{\text{RESET}}$ 入力タイミング

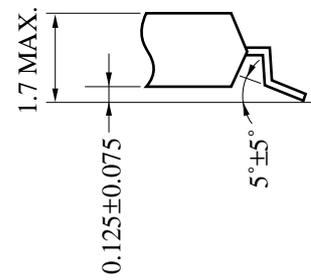


12. 外形図

100ピン・プラスチック QFP (ファインピッチ) (14) 外形図 (単位: mm)

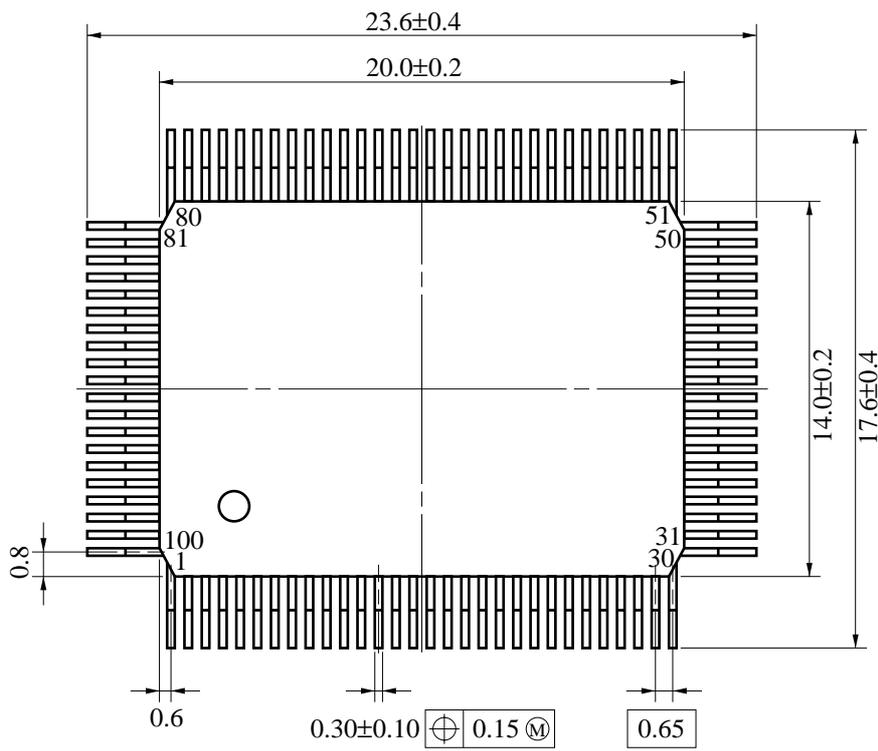


端子先端形状詳細図

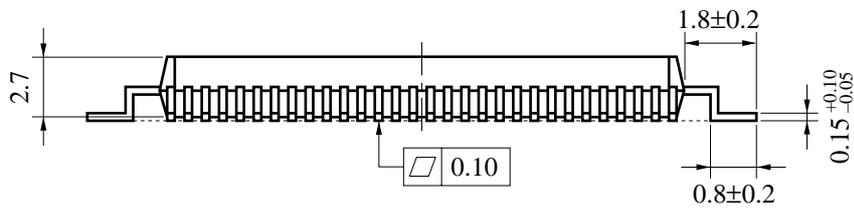
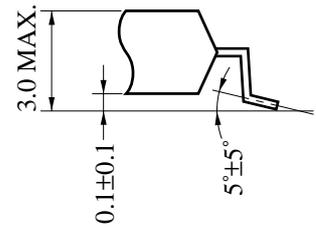


P100GC-50-7EA-2

100ピン・プラスチック QFP (14×20) 外形図 (単位: mm)



端子先端形状詳細図



P100GF-65-3BA1-2

13. 半田付け推奨条件

μPD78070Aの半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「**半導体デバイス実装マニュアル**」(IEI-616)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表13 - 1 表面実装タイプの半田付け条件 (1/2)

(1) μPD78070AGC-7EA : 100ピン・プラスチックQFP (ファインピッチ) (14 mm, 樹脂厚1.45 mm)

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：2回以内， 制限日数：7日間 ^注 （以降は125 プリベーク10時間必要） 留意事項 （1）2回目のリフロは，1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 （2）1回目のリフロ後の水によるフラックス洗浄はお避けください。	IR35-107-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：2回以内， 制限日数：7日間 ^注 （以降は125 プリベーク10時間必要） 留意事項 （1）2回目のリフロは，1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 （2）1回目のリフロ後の水によるフラックス洗浄はお避けください。	VP15-107-2
端子部分加熱	端子温度：300 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

表13 - 1 表面実装タイプの半田付け条件 (2/2)

(2) μPD78070AGF-3BA : 100ピン・プラスチックQFP (14×20 mm, 樹脂厚2.7 mm)

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：2回以内 留意事項 (1) 2回目のリフロは，1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 (2) 1回目のリフロ後の水によるフラックス洗浄はお避けください。	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：2回以内 留意事項 (1) 2回目のリフロは，1回目のリフロによるデバイス温度が常温に戻ってから開始してください。 (2) 1回目のリフロ後の水によるフラックス洗浄はお避けください。	VP15-00-2
ウエーブ・ソルダーリング	半田槽温度：260 以下，時間：10秒以内，回数：1回， 予備加熱温度：120 MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：300 以下，時間：3秒以内（デバイスの一辺当たり）	-

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

付録A．開発ツール

μPD78070Aを使用するシステム開発のために次のような開発ツールを用意しています。

言語処理用ソフトウェア

RA78K/0 ^{注1, 2, 3, 4}	78K/0シリーズ共通のアセンブラ・パッケージ
CC78K/0 ^{注1, 2, 3, 4}	78K/0シリーズ共通のCコンパイラ・パッケージ
DF78078 ^{注1, 2, 3, 4}	μPD78078サブシリーズと共通のデバイス・ファイル
CC78K/0-L ^{注1, 2, 3, 4}	78K/0シリーズ共通のCコンパイラ・ライブラリ・ソース・ファイル

ディバグ用ツール

IE-78000-R	78K/0シリーズ共通のインサーキット・エミュレータ
IE-78000-R-A ^{注8}	78K/0シリーズ共通のインサーキット・エミュレータ（統合ディバグ用）
IE-78000-R-BK	78K/0シリーズ共通のブレーク・ボード
IE-78078-R-EM	μPD78078サブシリーズと共通のエミュレーション・ボード
EP-78064GC-R	μPD78064サブシリーズと共通のエミュレーション・プロンプ
EP-78064GF-R	
EV-9500GC-100	100ピン・プラスチックQFP用に作られたターゲット・システムの基板上に実装するアダプタ
EV-9200GF-100	100ピン・プラスチックQFP用に作られたターゲット・システムの基板上に実装するソケット
SM78K0 ^{注5, 6, 7}	78K/0シリーズ共通のシステム・シミュレータ
ID78K0 ^{注4, 5, 6, 7, 8}	IE-78000-R-A用統合ディバグ
SD78K/0 ^{注1, 2}	IE-78000-R用スクリーン・ディバグ
DF78078 ^{注1, 2, 5, 6, 7}	μPD78078サブシリーズと共通のデバイス・ファイル

リアルタイムOS

RX78K/0 ^{注1, 2, 3, 4}	78K/0シリーズ用リアルタイムOS
MX78K0 ^{注1, 2, 3, 4}	78K/0シリーズ用OS

注1．PC-9800シリーズ（MS-DOS™）ベース

2．IBM PC/AT™およびその互換機（PC DOS™/IBM DOS™/MS-DOS）ベース

3．HP9000シリーズ300™（HP-UX™）ベース

4．HP9000シリーズ700™（HP-UX）ベース，SPARCstation™（SunOS™）ベース，EWS4800シリーズ（EWS-UX/V）ベース

5．PC-9800シリーズ（MS-DOS + Windows™）ベース

6．IBM PC/ATおよびその互換機（PC DOS/IBM DOS/MS-DOS + Windows）ベース

7．NEWS™（NEWS-OS™）ベース

8．開発中

備考1．3rdパーティ製開発ツールについては，78K/0シリーズ **セレクション・ガイド**（IF-357）を参照してください。

2．RA78K/0, CC78K/0, SM78K0, ID78K0, SD78K/0, RX78K/0は，DF78078と組み合わせて使用します。

ファジィ推論開発支援システム

FE9000 ^{注1} /FE9200 ^{注2}	ファジィ知識データ作成ツール
FT9080 ^{注1} /FT9085 ^{注3}	トランスレータ
FI78K0 ^{注1, 3}	ファジィ推論モジュール
FD78K0 ^{注1, 3}	ファジィ推論ディバッガ

注1 . PC-9800シリーズ (MS-DOS) ベース

2 . IBM PC/ATおよびその互換機 (PC DOS/IBM DOS/MS-DOS + Windows) ベース

3 . IBM PC/ATおよびその互換機 (PC DOS/IBM DOS/MS-DOS) ベース

備考 3rdパーティ製開発ツールについては、78K/0シリーズ **セレクション・ガイド** (IF-357) を参照してください。

付録B . 関連資料

デバイスの関連資料

資料名	資料番号	
	和文	英文
μPD78070A, 78070AY ユーザーズ・マニュアル	IEU-907	U10200E
78K/0シリーズ ユーザーズ・マニュアル 命令編	IEU-849	IEU-1372
78K/0シリーズ インストラクション活用表	U10903J	-
78K/0シリーズ インストラクション・セット	U10904J	-
μPD78070A 特殊機能レジスタ活用表	U10133J	-

開発ツールの関連資料

資料名	資料番号		
	和文	英文	
RA78Kシリーズ アセンブラ・パッケージ	操作編	EEU-809	EEU-1399
	言語編	EEU-815	EEU-1404
RA78Kシリーズ 構造化アセンブラ・プリプロセッサ		EEU-817	EEU-1402
CC78Kシリーズ Cコンパイラ	操作編	EEU-656	EEU-1280
	言語編	EEU-655	EEU-1284
CC78K/0 Cコンパイラ アプリケーション・ノート	プログラミング・ノウハウ編	EEA-618	EEA-1208
CC78Kシリーズ ライブラリ・ソース・ファイル		EEU-777	-
IE-78000-R		EEU-810	EEU-1398
IE-78000-R-A		U10057J	U10057E
IE-78000-R-BK		EEU-867	EEU-1427
IE-78078-R-EM		U10775J	EEU-1504
EP-78064		EEU-934	EEU-1522
SM78K0 システム・シミュレータ	レファレンス編	EEU-5002	U10181E
SM78Kシリーズ システム・シミュレータ	外部部品ユーザオープン	U10092J	U10092E
	インタフェース仕様編		
SD78K/0 スクリーン・ディバッガ	入門編	EEU-852	-
PC-9800シリーズ (MS-DOS) ベース	レファレンス編	U10952J	-
SD78K/0 スクリーン・ディバッガ	入門編	EEU-5024	EEU-1414
IBM PC/AT (PC DOS) ベース	レファレンス編	EEU-993	EEU-1413

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

組み込み用ソフトウェアの関連資料（ユーザズ・マニュアル）

資料名		資料番号	
		和文	英文
78K/0シリーズ リアルタイムOS	基礎編	EEU-912	-
	インストール編	EEU-911	-
	テクニカル編	EEU-913	-
78K/0シリーズ用OS MX78K0	基礎編	EEU-5010	-
ファジィ知識データ作成ツール		EEU-829	EEU-1438
78K/0, 78K/II, 87ADシリーズ ファジィ推論開発支援システム トランスレータ		EEU-862	EEU-1444
78K/0シリーズ ファジィ推論開発支援システム ファジィ推論モジュール		EEU-858	EEU-1441
78K/0シリーズ ファジィ推論開発支援システム ファジィ推論ディバツガ		EEU-921	EEU-1458

その他の関連資料

資料名		資料番号	
		和文	英文
パッケージマニュアル		IEI-635	IEI-1213
半導体デバイス 実装マニュアル		IEI-616	IEI-1207
NEC半導体デバイスの品質水準		IEI-620	IEI-1209
NEC半導体デバイスの信頼性品質管理		IEM-5068	-
静電気放電（ESD）試験について		MEM-539	-
半導体デバイスの品質保証ガイド		MEI-603	MEI-1202
マイクロコンピュータ関連製品ガイド 社外メーカ編		MEI-604	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

FIPは、日本電気株式会社の登録商標です。

IEBusは、日本電気株式会社の商標です。

MS-DOS, Windowsは、米国マイクロソフト社の商標です。

IBM DOS, PC/AT, PC DOSは、米国IBM社の商標です。

HP9000シリーズ300, HP9000シリーズ700, HP-UXは、米国ヒューレット・パッカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

文書による当社の承諾なしに本資料の転載複製を禁じます。
 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
 この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部	〒108-01	東京都港区芝五丁目7番1号 (NEC本社ビル)	東京	(03)3454-1111	(大代表)
半導体第二販売事業部					
半導体第三販売事業部					
中部支社 半導体販売部	〒460	名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋	(052)222-2170	
関西支社 半導体第一販売部	〒540	大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪	(06) 945-3178	
半導体第二販売部			大阪	(06) 945-3200	
半導体第三販売部			大阪	(06) 945-3208	
北海道支社 札幌	(011)231-0161	宇都宮支店 宇都宮	(0286)21-2281	富山支店 富山	(0764)31-8461
東北支社 仙台	(022)261-5511	小山支店 小山	(0285)24-5011	三重支店 津	(0592)25-7341
岩手支店 盛岡	(0196)51-4344	長野支社 長野	(0262)35-1444	京都支社 京都	(075)344-7824
山形支店 山形	(0236)23-5511	松本支店 松本	(0263)35-1666	神戸支社 神戸	(078)333-3854
郡山支店 郡山	(0249)23-5511	上諏訪支店 上諏訪	(0266)53-5350	中国支社 広島	(082)242-5504
いわき支店 いわき	(0246)21-5511	甲府支店 甲府	(0552)24-4141	鳥取支店 鳥取	(0857)27-5311
長岡支店 長岡	(0258)36-2155	埼玉支社 大宮	(048)641-1411	岡山支店 岡山	(086)225-4455
土浦支店 土浦	(0298)23-6161	立川支社 立川	(0425)26-5981	四国支社 高松	(0878)36-1200
水戸支店 水戸	(0292)26-1717	千葉支社 千葉	(043)238-8116	新居浜支店 新居浜	(0897)32-5001
神奈川支社 横浜	(045)324-5511	静岡支社 静岡	(054)255-2211	松山支店 松山	(0899)45-4111
群馬支店 高崎	(0273)26-1255	北陸支社 金沢	(0762)23-1621	九州支社 福岡	(092)271-7700
太田支店 太田	(0276)46-4011	福井支店 福井	(0776)22-1866	北九州支店 北九州	(093)541-2887

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部	〒210	川崎市幸区塚越三丁目484番地	川崎	(044)548-7923	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
マイクロコンピュータ技術部					
半導体販売技術本部	〒108-01	東京都港区芝五丁目7番1号 (NEC本社ビル)	東京	(03)3798-9619	
東日本販売技術部					
半導体販売技術本部	〒460	名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋	(052)222-2125	
中部販売技術部					
半導体販売技術本部	〒540	大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪	(06) 945-3383	
西日本販売技術部					