

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD780701Y, 780702Y

8ビット・シングルチップ・マイクロコンピュータ

μ PD780701Y, 780702Yは、78K/0シリーズの中の μ PD780701Yサブシリーズの製品です。DCANコントローラ (μ PD780701Y)、IEBus™コントローラ (μ PD780702Y)、A/Dコンバータ、タイマ、シリアル・インタフェース、割り込み制御など豊富な周辺ハードウェアを内蔵しています。

また、マスクROM製品と同じ電源電圧で動作可能な μ PD78F0701Yや、各種開発ツールも開発中です。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD780701Yサブシリーズ ユーザーズ・マニュアル : U13781J

78K/0シリーズ ユーザーズ・マニュアル 命令編 : U12326J

特 徴

DCAN (Direct Storage Controller Area Network) コントローラ (μ PD780701Yに内蔵)

IEBus (Inter Equipment Bus™) コントローラ (μ PD780702Yに内蔵)

内部ROM : 60 Kバイト

内部高速RAM : 1024バイト

内部拡張RAM : 2048バイト

DCAN用バッファRAM : 288バイト (μ PD780701Yのみ)

高速 (0.32 μ s) から低速 (5.09 μ s) まで最小命令実行時間変更可能

I/Oポート : 67本

8ビット分解能A/Dコンバータ : 16チャンネル

シリアル・インタフェース : 4チャンネル

タイマ : 7チャンネル

電源電圧 : $V_{DD} = 3.5 \sim 5.5$ V

応用分野

カー・オーディオ・システムなど

オーダ情報

オーダ名称	パッケージ
μ PD780701YGC- x x x -8BT	80ピン・プラスチックQFP (14 mm)
μ PD780702YGC- x x x -8BT	"

備考 x x xはROMコード番号です。

本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。
また本資料で扱う製品の製品化を中止することがあります。

78K/0シリーズの展開

78K/0シリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



Yサブシリーズは、I²Cバス対応の製品です。



機能概要

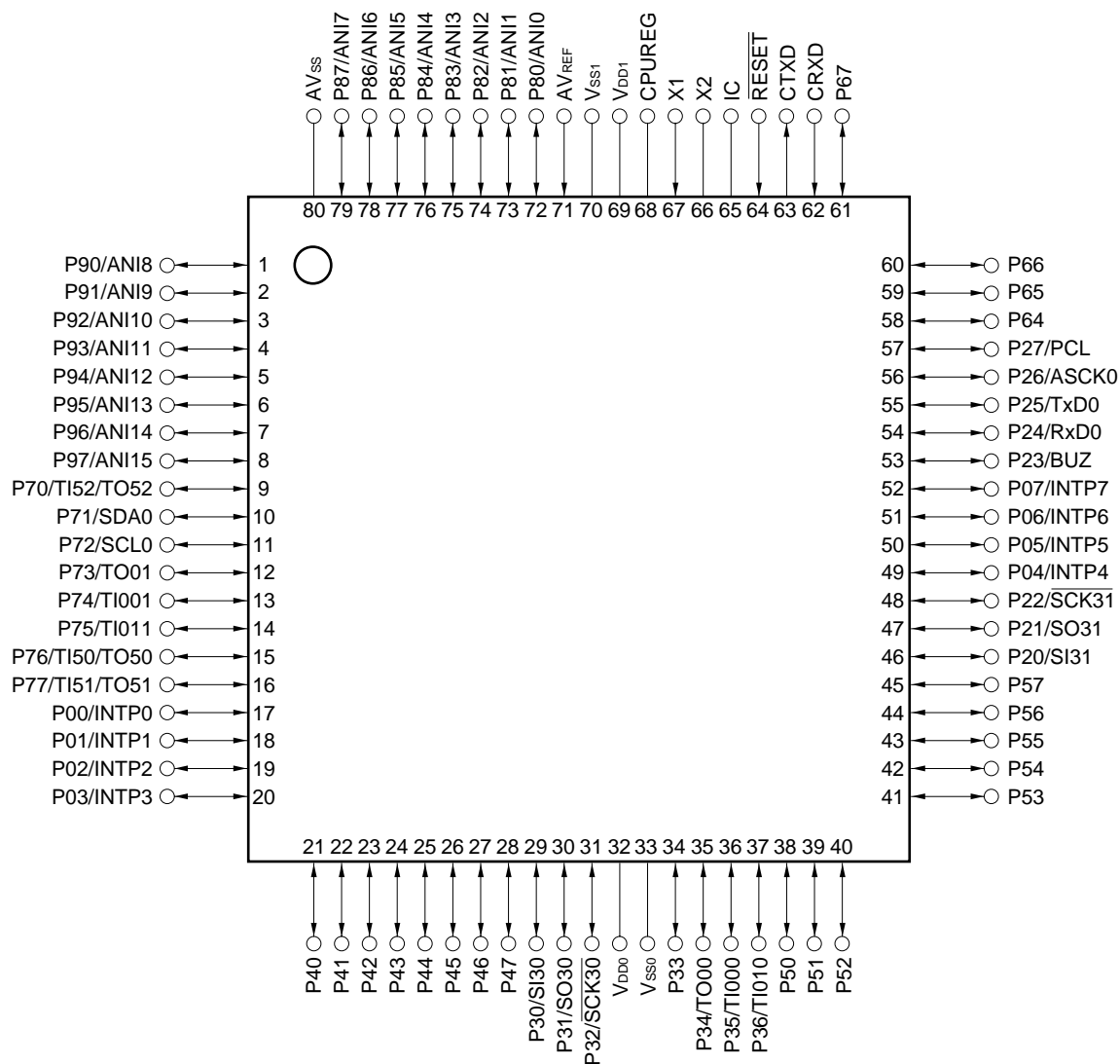
品 名		μ PD780701Y	μ PD780702Y
項 目			
内部メモリ	ROM	60 Kバイト	
	高速RAM	1024バイト	
	拡張RAM	2048バイト	
	DCAN用バッファRAM	288バイト	なし
最小命令実行時間		最小命令実行時間の可変機能内蔵 ・ 0.32 μs/0.64 μs/1.27 μs/2.54 μs/5.09 μs (システム・クロック : 6.29 MHz動作時)	
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)	
命令セット		<ul style="list-style-type: none"> ・ 16ビット演算 ・ 乗除算 (8ビット×8ビット, 16ビット÷8ビット) ・ ビット操作 (セット, リセット, テスト, プール演算) ・ BCD補正など 	
I/Oポート		合計 : 67本 <ul style="list-style-type: none"> ・ CMOS入出力 : 56本 ・ TTL入力 / CMOS出力 : 8本 ・ N-chオープン・ドレイン入出力 : 3本 	
A/Dコンバータ		<ul style="list-style-type: none"> ・ 8ビット分解能×16チャンネル ・ パワー・フェイル検出機能 	
シリアル・インタフェース		<ul style="list-style-type: none"> ・ 3線式シリアルI/Oモード : 2チャンネル ・ UARTモード : 1チャンネル ・ I²Cバス・モード : 1チャンネル 	
タイマ		<ul style="list-style-type: none"> ・ 16ビット・タイマ/イベント・カウンタ : 2チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 3チャンネル ・ 時計用タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 	
タイマ出力		5本 (8ビットPWM出力可能 : 3本)	
クロック出力		49.2 kHz, 98.3 kHz, 197 kHz, 393 kHz, 786 kHz, 1.57 MHz, 3.15 MHz, 6.29 MHz (システム・クロック : 6.29 MHz動作時)	
ブザー出力		0.768 kHz, 1.54 kHz, 3.07 kHz, 6.14 kHz (システム・クロック : 6.29 MHz動作時)	
バス・コントローラ		DCANコントローラ	IEBusコントローラ
ベクタ割り込み要因	マスカブル	内部 : 20, 外部 : 8	内部 : 19, 外部 : 8
	ノンマスカブル	内部 : 1	
	ソフトウェア	1	
電源電圧		V _{DD} = 3.5 ~ 5.5 V	
動作周囲温度		T _A = - 40 ~ + 85	
パッケージ		80ピン・プラスチックQFP (14 mm)	

端子接続図 (Top View)

(1) μ PD780701Y

・ 80ピン・プラスチックQFP (14 mm)

μ PD780701YGC- x x x -8BT



注意1. IC (Internally Connected) 端子はV_{SS0}またはV_{SS1}に直接接続してください。

2. AV_{SS}端子はV_{SS0}に接続してください。

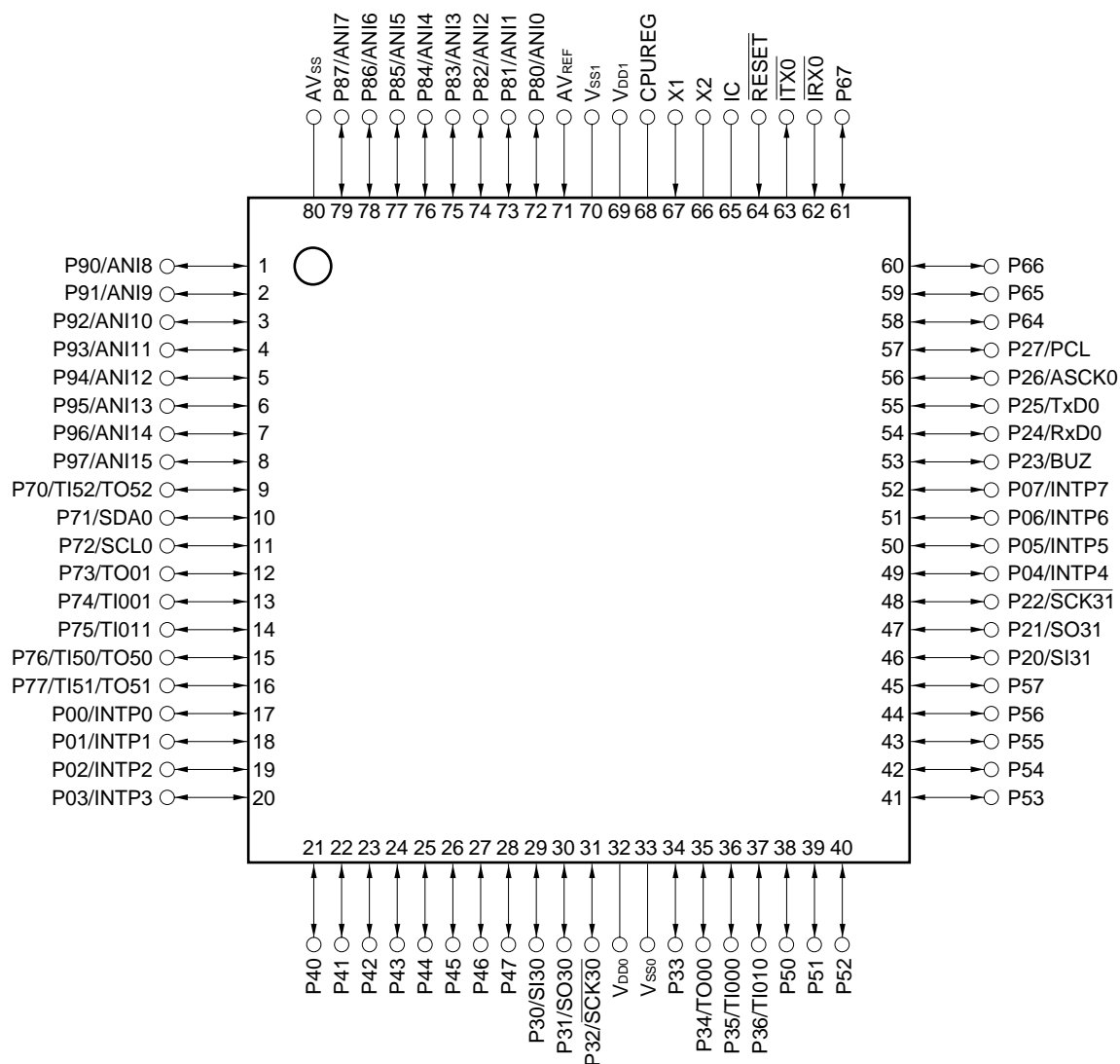
3. AV_{REF}端子はV_{DD0}に接続してください。

備考 マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD0}とV_{DD1}に個別の電源を供給し、V_{SS0}とV_{SS1}を別々のグラウンド・ラインに接続するなどのノイズ対策を行うことを推奨します。

(2) μ PD780702Y

・ 80ピン・プラスチックQFP (14 mm)

μ PD780702YGC- x x x -8BT



注意1. IC (Internally Connected) 端子はV_{SS0}またはV_{SS1}に直接接続してください。

2. AV_{SS}端子はV_{SS0}に接続してください。

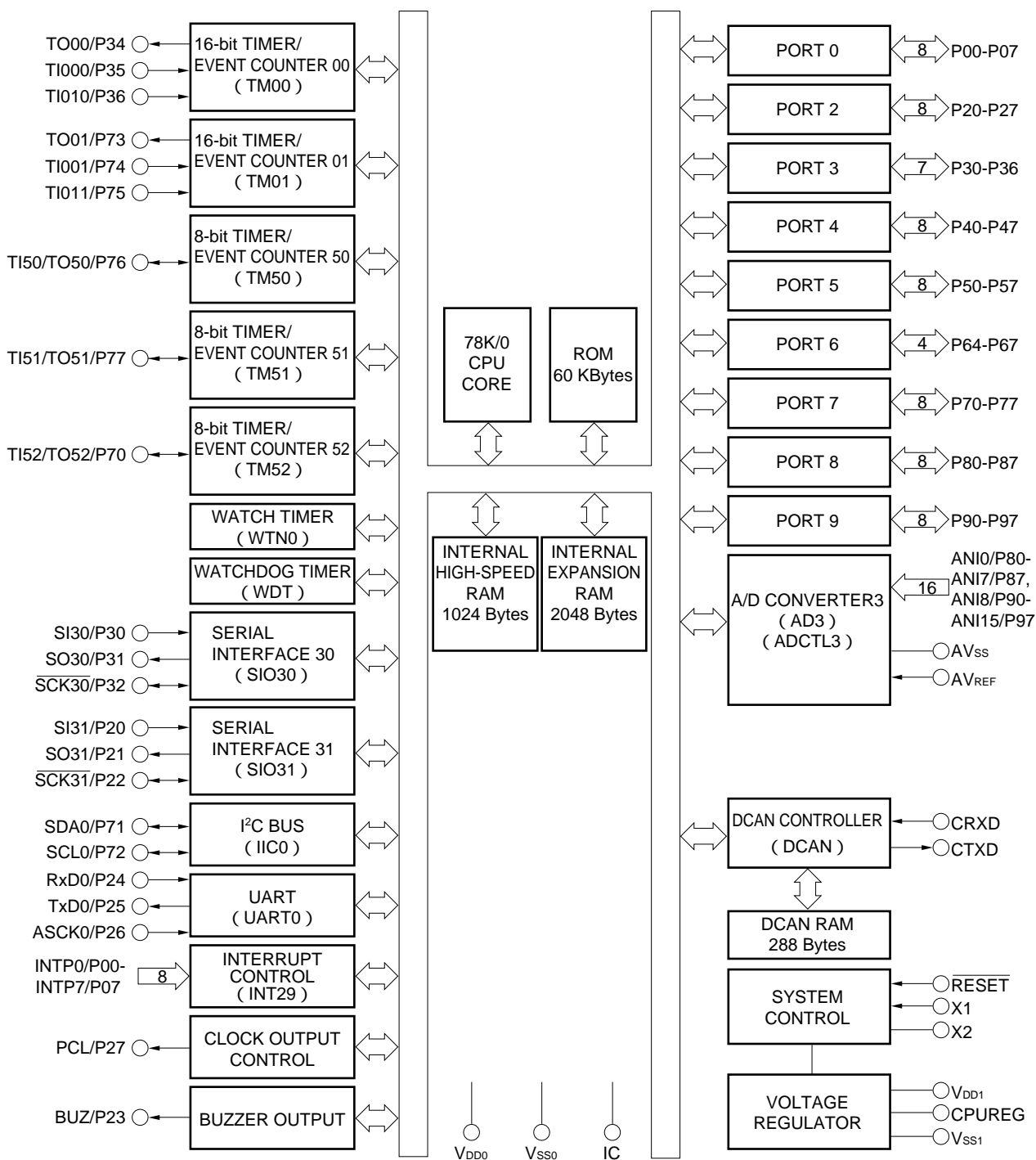
3. AV_{REF}端子はV_{DD0}に接続してください。

備考 マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD0}とV_{DD1}に個別の電源を供給し、V_{SS0}とV_{SS1}を別々のグラウンド・ラインに接続するなどのノイズ対策を行うことを推奨します。

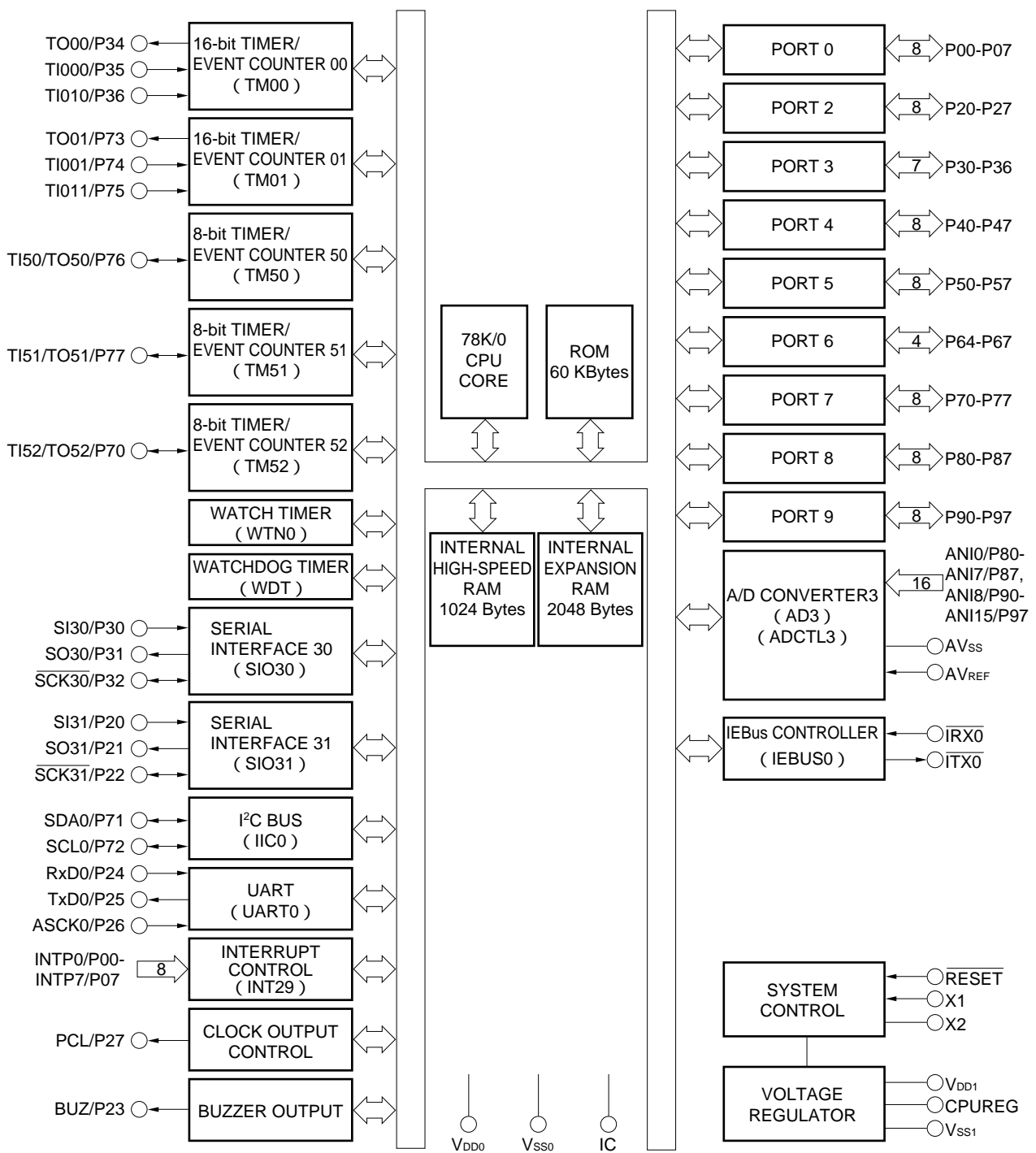
ANI0-ANI15	: Analog Input	P80-P87	: Port8
ASCK0	: Asynchronous Serial Clock	P90-P97	: Port9
AV _{REF}	: Analog Reference Voltage	PCL	: Programmable Clock
AV _{SS}	: Analog Ground	$\overline{\text{RESET}}$: Reset
BUZ	: Buzzer Output	RxD0	: Receive Data (for UART0)
CPUREG	: Regulator for CPU Power Supply	$\overline{\text{SCK30}}, \overline{\text{SCK31}}$: Serial Clock (for SIO30, 31)
CRXD	: CAN Receive Data	SCL0	: Serial Clock (for IIC0)
CTXD	: CAN Transmit Data	SDA0	: Serial Data
IC	: Internally Connected	SI30, SI31	: Serial Input
INTP0-INTP7	: Interrupt from Peripherals	SO30, SO31	: Serial Output
$\overline{\text{IRX0}}$: IEBus Receive Data	TI000, TI010, TI001,	
$\overline{\text{ITX0}}$: IEBus Transmit Data	TI011, TI50, TI51,	
P00-P07	: Port0	TI52	: Timer Input
P20-P27	: Port2	TO00, TO01, TO50,	
P30-P36	: Port3	TO51, TO52	: Timer Output
P40-P47	: Port4	TxD0	: Transmit Data (for UART0)
P50-P57	: Port5	V _{DD0} , V _{DD1}	: Power Supply
P64-P67	: Port6	V _{SS0} , V _{SS1}	: Ground
P70-P77	: Port7	X1, X2	: Crystal

ブロック図

(1) μ PD780701Y



(2) μ PD780702Y



目 次

1. μ PD780701Yと μ PD780702Yの違い	10
2. 端子機能一覧	11
2.1 ポート端子	11
2.2 ポート以外の端子	13
2.3 端子の入出力回路と未使用端子の処理	15
3. メモリ空間	17
4. 周辺ハードウェア機能の特徴	18
4.1 ポート	18
4.2 クロック発生回路	19
4.3 タイマ/カウンタ	20
4.4 クロック出力/ブザー出力制御回路	26
4.5 A/Dコンバータ	27
4.6 シリアル・インタフェース	28
4.7 DCANコントローラ (μ PD780701Yのみ)	31
4.8 IEBusコントローラ (μ PD780702Yのみ)	33
5. 割り込み機能	36
6. スタンバイ機能	40
7. リセット機能	40
8. 命令セット	41
9. 電気的特性	43
10. 外形図	56
付録A. 開発ツール	57
付録B. 関連資料	59

1. μ PD780701Yとμ PD780702Yの違い

μ PD780701Yとμ PD780702Yでは、内蔵しているバス・コントローラが異なります。μ PD780701Yとμ PD780702Yの主な違いを表1 - 1に示します。

表1 - 1 μ PD780701Yとμ PD780702Yの主な違い

品名 項目	μ PD780701Y	μ PD780702Y
内蔵バス・コントローラ	DCANコントローラ	IEBusコントローラ
DCAN用バッファRAM	288バイト	なし
RX端子 (62番ピン)	CRXD	IRX0
TX端子 (63番ピン)	CTXD	ITX0
内部マスカブル割り込み	合計20要因 (DCANコントローラによる割り込み：3要因)	合計19要因 (IEBusコントローラによる割り込み：2要因)

2. 端子機能一覧

2.1 ポート端子 (1/2)

端子名称	入出力	機 能		リセット時	兼用端子
P00-P07	入出力	ポート0。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	INTP0-INTP7
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	SI31
P21					SO31
P22					SCK31
P23					BUZ
P24					RxD0
P25					TxD0
P26					ASCK0
P27					PCL
P30	入出力	ポート3。 7ビット入出力ポート。 1ビット単位で入力 / 出力 の指定可能。	ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入力	SI30
P31			N-chオープン・ドレイン入出力ポート (15 V耐圧)。LEDを直接駆動可能。		SO30
P32					SCK30
P33					-
P34		ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	TO00		
P35		TIO00			
P36		TIO10			
P40-P47	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 立ち下がリエッジの検出により、割り込み要求フラグ (KRIF) を1にセット。		入力	-
P50-P57	入出力	ポート5。 8ビット入出力ポート。 TTLレベル入力 / CMOS出力。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	-
P64-P67	入出力	ポート6。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	-

2.1 ポート端子 (2/2)

端子名称	入出力	機 能		リセット時	兼用端子
P70	入出力	ポート7。 8ビット入出力ポート。 1ビット単位で入力/出力 の指定可能。	ソフトウェアにより、内蔵プルアップ 抵抗を使用可能。	入力	TI52/TO52
P71					N-chオープン・ドレイン入出力ポート (5V耐圧)。
P72			ソフトウェアにより、内蔵プルアップ 抵抗を使用可能。		
P73					TO01
P74					TI001
P75					TI011
P76					TI50/TO50
P77					TI51/TO51
P80-P87	入出力	ポート8。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。		入力	ANI0-ANI7
P90-P97	入出力	ポート9。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。		入力	ANI8-ANI15

2.2 ポート以外の端子 (1/2)

端子名称	入出力	機能	リセット時	兼用端子
INTP0-INTP7	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み入力。	入力	P00-P07
SI30	入力	シリアル・インタフェースのシリアル・データ入力。	入力	P30
SI31				P20
SO30	出力	シリアル・インタフェースのシリアル・データ出力。	入力	P31
SO31				P21
SDA0	入出力	シリアル・インタフェースのシリアル・データ入力/出力。	入力	P71
SCK30	入出力	シリアル・インタフェースのシリアル・クロック入力/出力。	入力	P32
SCK31				P22
SCL0				P72
RxD0	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力。	入力	P24
TxD0	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力。	入力	P25
ASCK0	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロック入力。	入力	P26
CRXD ^{注1}	入力	DCANコントローラ (DCAN) のデータ入力。	入力	-
CTXD ^{注1}	出力	DCANコントローラ (DCAN) のデータ出力。	出力	-
IRX0 ^{注2}	入力	IEBusコントローラ (IEBUS0) のデータ入力。	入力	-
ITX0 ^{注2}	出力	IEBusコントローラ (IEBUS0) のデータ出力。	出力	-
TI000	入力	16ビット・タイマ (TM00) への外部カウント・クロック入力。	入力	P35
TI010		16ビット・タイマ (TM00) への外部カウント・クロック入力。		P36
TI001		16ビット・タイマ (TM01) への外部カウント・クロック入力。		P74
TI011		16ビット・タイマ (TM01) への外部カウント・クロック入力。		P75
TI50		8ビット・タイマ (TM50) への外部カウント・クロック入力。		P76/TO50
TI51		8ビット・タイマ (TM51) への外部カウント・クロック入力。		P77/TO51
TI52		8ビット・タイマ (TM52) への外部カウント・クロック入力。		P70/TO52
TO00		出力		16ビット・タイマ (TM00) 出力。
TO01	16ビット・タイマ (TM01) 出力。		P73	
TO50	8ビット・タイマ (TM50) 出力。		P76/TI50	
TO51	8ビット・タイマ (TM51) 出力。		P77/TI51	
TO52	8ビット・タイマ (TM52) 出力。		P70/TI52	
PCL	出力	クロック出力。	入力	P27
BUZ	出力	ブザー出力。	入力	P23
ANI0-ANI7	入力	A/Dコンバータ (AD3) のアナログ入力。	入力	P80-P87
ANI8-ANI15				P90-P97
AVREF	入力	A/Dコンバータ (AD3) の基準電圧およびアナログ電源。	-	-
AVSS	-	A/Dコンバータ (AD3) のグランド電位。	-	-
X1	入力	システム・クロック発振用クリスタル接続。	-	-
X2	-		-	-

注1. μ PD780701Yのみ。

2. μ PD780702Yのみ。

2.2 ポート以外の端子 (2/2)

端子名称	入出力	機能	リセット時	兼用端子
RESET	入力	システム・リセット入力。	入力	-
CPUREG	-	CPU電源用レギュレータ。0.1 μ Fのコンデンサを介してV _{SS0} またはV _{SS1} に接続してください。	-	-
V _{DD0}	-	ポート部の正電源。	-	-
V _{DD1}	-	正電源（ポート，アナログ部を除く）。	-	-
V _{SS0}	-	ポート部のグランド電位。	-	-
V _{SS1}	-	グランド電位（ポート，アナログ部を除く）。	-	-
IC	-	内部接続されています。V _{SS0} またはV _{SS1} に直接接続してください。	-	-

2.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表2 - 1に示します。

また、各タイプの入出力回路の構成は、図2 - 1を参照してください。

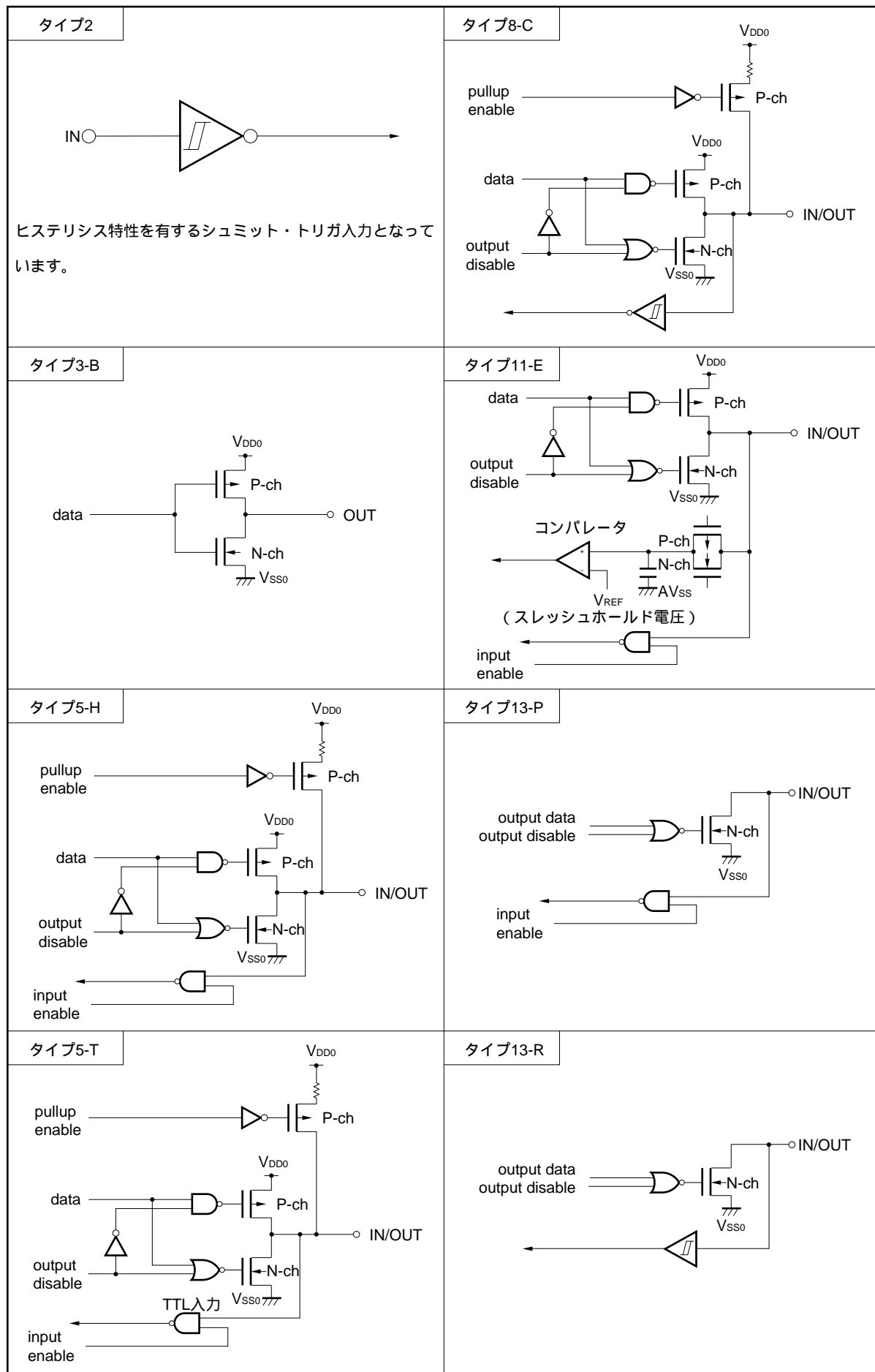
表2 - 1 各端子の入出力回路タイプと未使用端子の処理

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/INTP0-P07/INTP7	8-C	入出力	個別に抵抗を介して、V _{SS0} に接続してください。
P20/SI31			個別に抵抗を介して、V _{DD0} またはV _{SS0} に接続してください。
P21/SO31			5-H
P22/SCK31			8-C
P23/BUZ			5-H
P24/RxD0			8-C
P25/TxD0			5-H
P26/ASCK0			8-C
P27/PCL			5-H
P30/SI30			8-C
P31/SO30			5-H
P32/SCK30			8-C
P33			13-P
P34/TO00	5-H	個別に抵抗を介して、V _{DD0} またはV _{SS0} に接続してください。	
P35/TI000	8-C		
P36/TI010			
P40-P47	5-H	個別に抵抗を介して、V _{DD0} に接続してください。	
P50-P57	5-T	個別に抵抗を介して、V _{DD0} またはV _{SS0} に接続してください。	
P64-P67	5-H		
P70/TI52/TO52			
P71/SDA0	13-R		個別に抵抗を介して、V _{DD0} に接続してください。
P72/SCL0			
P73/TO01	5-H	個別に抵抗を介して、V _{DD0} またはV _{SS0} に接続してください。	
P74/TI001	8-C		
P75/TI011			
P76/TI50/TO50			
P77/TI51/TO51			
P80/ANI0-P87/ANI7			11-E
P90/ANI8-P97/ANI15			
CRXD ^{注1}	2	入力	抵抗を介して、V _{DD0} またはV _{SS0} に接続してください。
CTXD ^{注1}	3-B	出力	オープンにしてください。
IRX0 ^{注2}	2	入力	抵抗を介して、V _{DD0} またはV _{SS0} に接続してください。
ITX0 ^{注2}	3-B	出力	オープンにしてください。
RESET [¯]	2	入力	-
AV _{REF}	-		V _{DD0} に接続してください。
AV _{SS}		-	V _{SS0} に接続してください。
IC			V _{SS0} またはV _{SS1} に直接接続してください。

注1. μ PD780701Yのみ。

2. μ PD780702Yのみ。

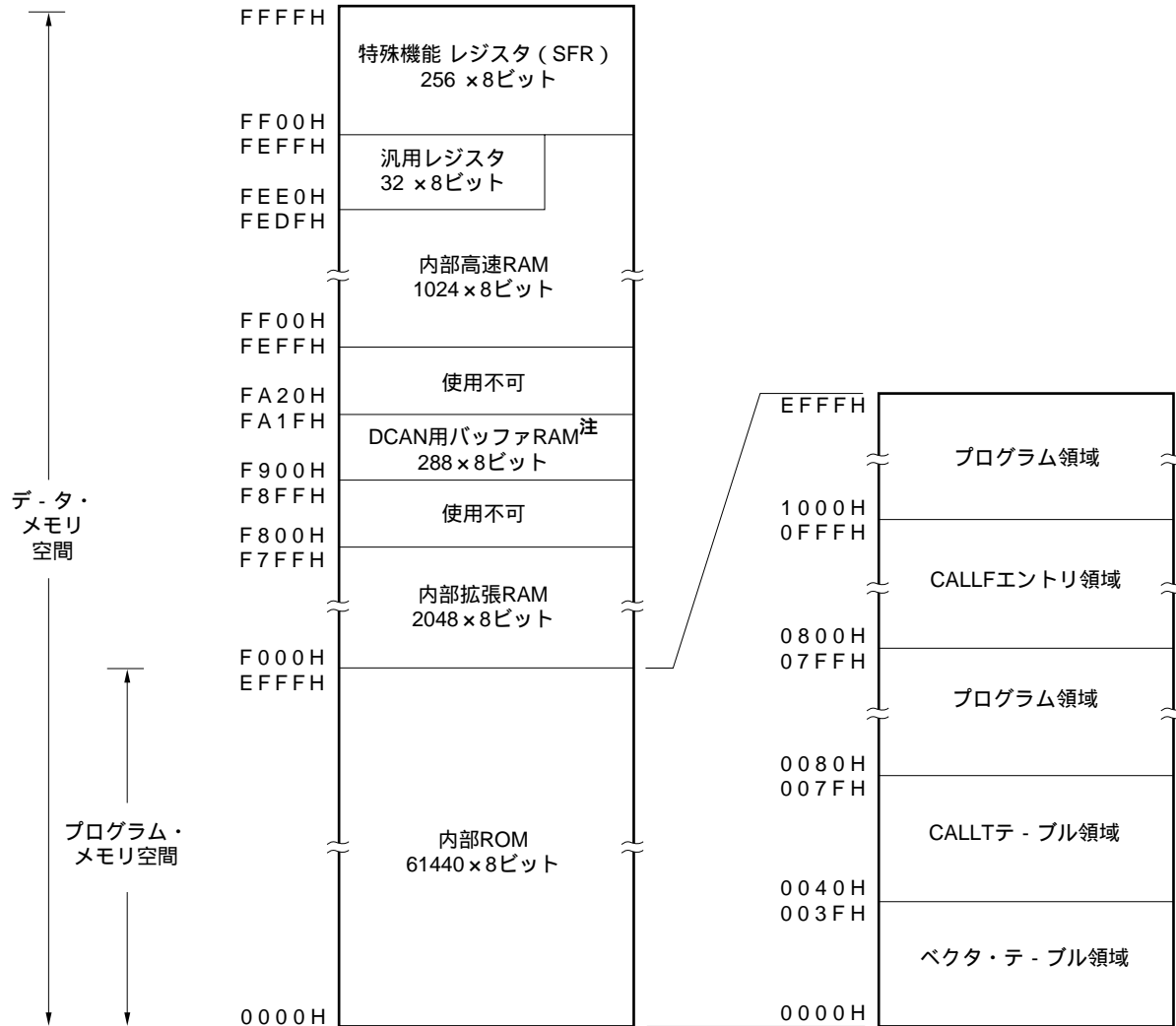
図2 - 1 端子の入出力回路一覧



3. メモリ空間

図3 - 1に , μ PD780701Y, 780702Yのメモリ・マップを示します。

図3 - 1 メモリ・マップ



注 μ PD780701Yのみ内蔵しています。μ PD780702Yは使用不可領域です。

4. 周辺ハードウェア機能の特徴

4.1 ポート

I/Oポートには次の3種類があります。

・ CMOS入出力 (ポート0, 2-4, 7-9 (P33, P71, P72を除く)	: 56本
・ TTL入力 / CMOS出力 (ポート5)	: 8本
・ N-chオープン・ドレイン入出力 (P33, P71, P72)	: 3本
合 計	: 67本

表4 - 1 ポートの機能

名 称	端子名称	機 能
ポート0	P00-P07	入出力ポート。1ビット単位で入力 / 出力の指定可能。 ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート2	P20-P27	入出力ポート。1ビット単位で入力 / 出力の指定可能。 ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート3	P30-P32, P34-P36	入出力ポート。1ビット単位で入力 / 出力の指定可能。 ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
	P33	N-chオープン・ドレイン入出力ポート。1ビット単位で入力 / 出力の指定可能。LEDを直接 駆動可能。
ポート4	P40-P47	入出力ポート。1ビット単位で入力 / 出力の指定可能。 ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 立ち下がりエッジの検出により、割り込み要求フラグ (KRIF) を1にセット。
ポート5	P50-P57	TTL入力 / CMOS出力ポート。1ビット単位で入力 / 出力の指定可能。 ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート6	P64-P67	入出力ポート。1ビット単位で入力 / 出力の指定可能。 ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート7	P70, P73-P77	入出力ポート。1ビット単位で入力 / 出力の指定可能。 ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
	P71, P72	N-chオープン・ドレイン入出力ポート。1ビット単位で入力 / 出力の指定可能。
ポート8	P80-P87	入出力ポート。1ビット単位で入力 / 出力の指定可能。
ポート9	P90-P97	入出力ポート。1ビット単位で入力 / 出力の指定可能。

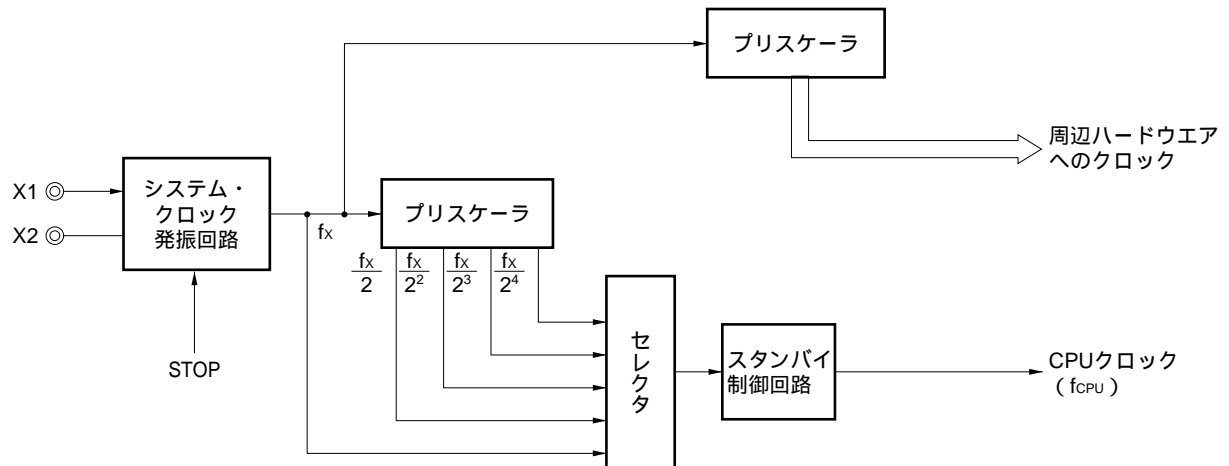
4.2 クロック発生回路

システム・クロック発生回路を内蔵しています。

また、最小命令実行時間を変化させることができます。

- ・ 0.32 μs / 0.64 μs / 1.27 μs / 2.54 μs / 5.09 μs (システム・クロック : 6.29 MHz動作時)

図4 - 1 クロック発生回路のブロック図



4.3 タイマ/カウンタ

タイマ/カウンタを7チャンネル内蔵しています。

- ・ 16ビット・タイマ/イベント・カウンタ : 2チャンネル
- ・ 8ビット・タイマ/イベント・カウンタ : 3チャンネル
- ・ 時計用タイマ : 1チャンネル
- ・ ウォッチドッグ・タイマ : 1チャンネル

表4-2 タイマ/イベント・カウンタの動作

		16ビット・タイマ/イベント・ カウンタTM00, TM01	8ビット・タイマ/イベント・ カウンタTM50, TM51, TM52	時計用タイマ	ウォッチドッグ・タイマ
動作 モード	インターバル・タイマ	2チャンネル	3チャンネル	1チャンネル ^{注1}	1チャンネル ^{注2}
	外部イベント・カウンタ	2チャンネル	3チャンネル	-	-
機能	タイマ出力	2出力	3出力	-	-
	PWM出力	-	3出力	-	-
	PPG出力	2出力	-	-	-
	パルス幅測定	4入力	-	-	-
	方形波出力	2出力	3出力	-	-
	ワンショット・パルス出力	2出力	-	-	-
	割り込み要因	4	3	2	1

注1. 時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2. ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

図4 - 2 16ビット・タイマ/イベント・カウンタ TM00のブロック図

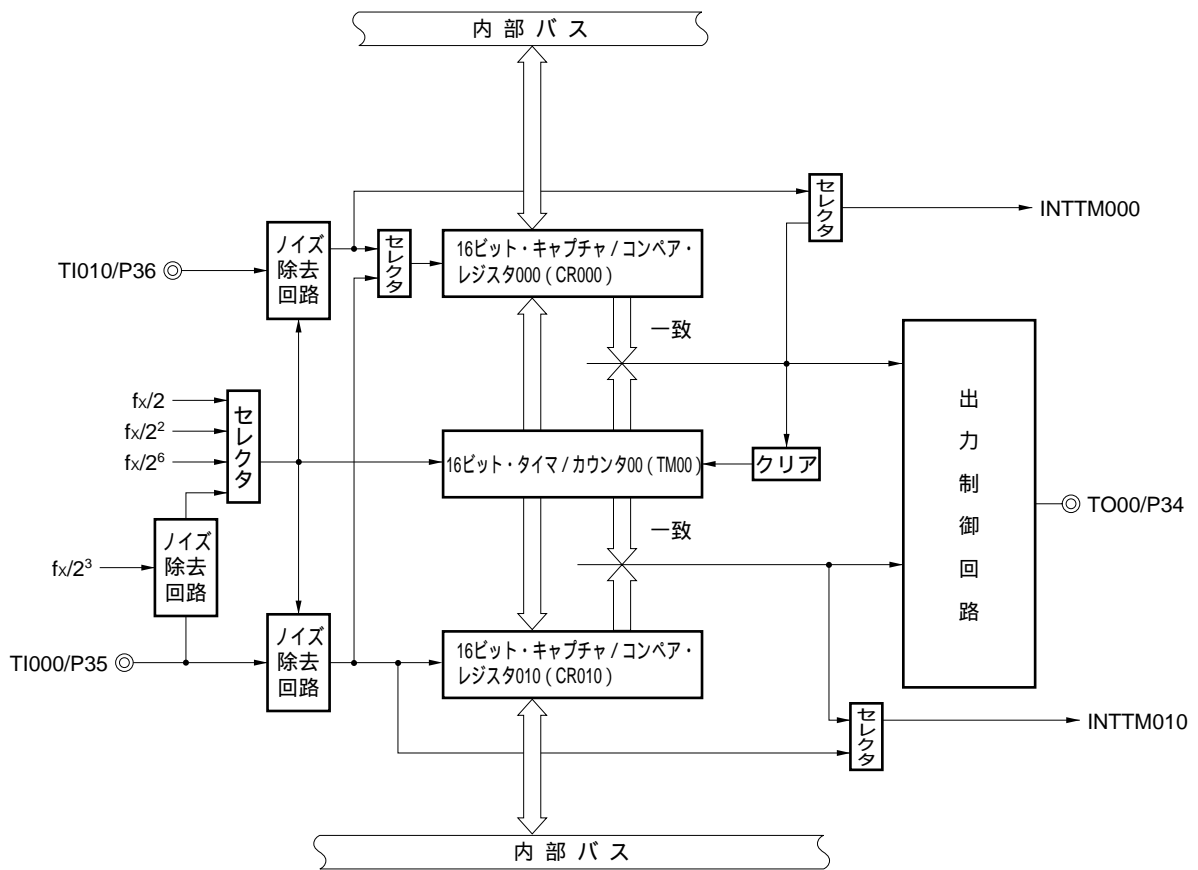


図4-3 16ビット・タイマ/イベント・カウンタ TM01のブロック図

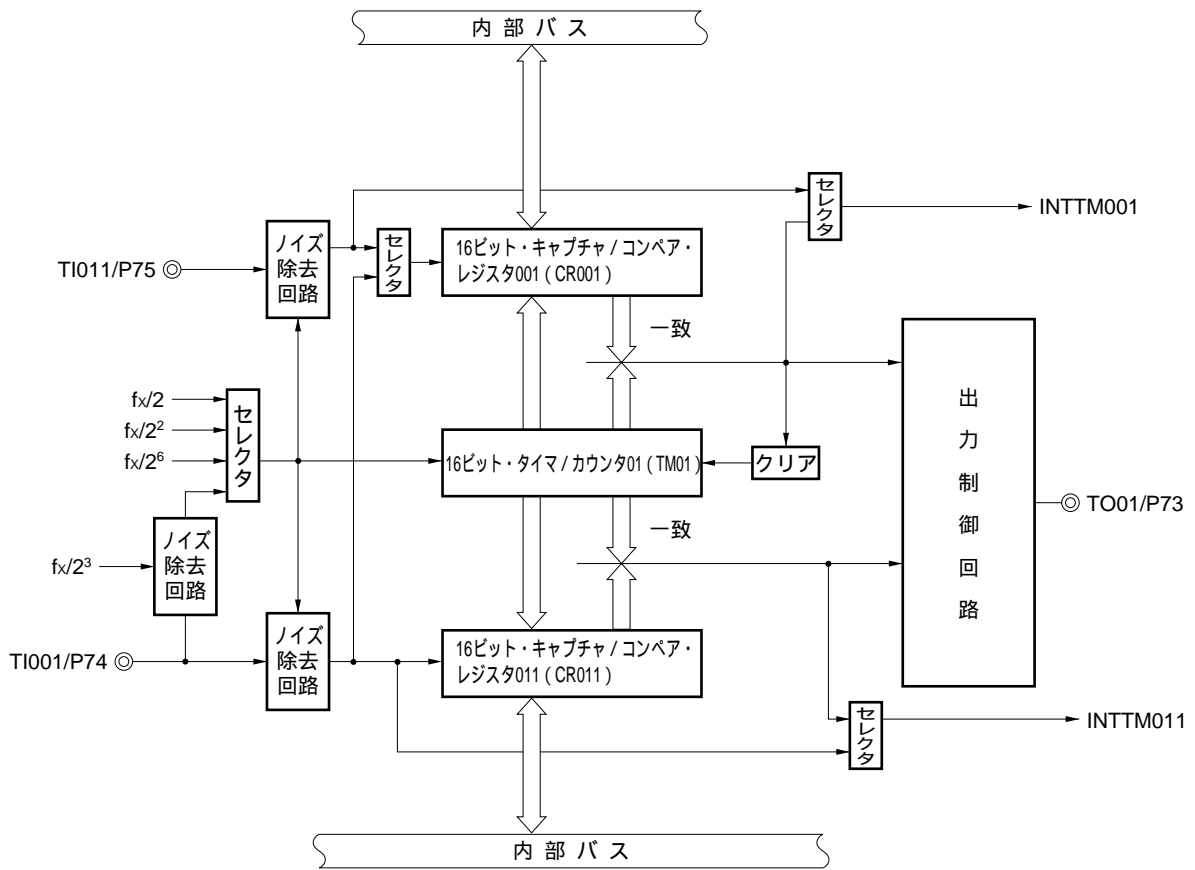


図4-4 8ビット・タイマ/イベント・カウンタ TM50のブロック図

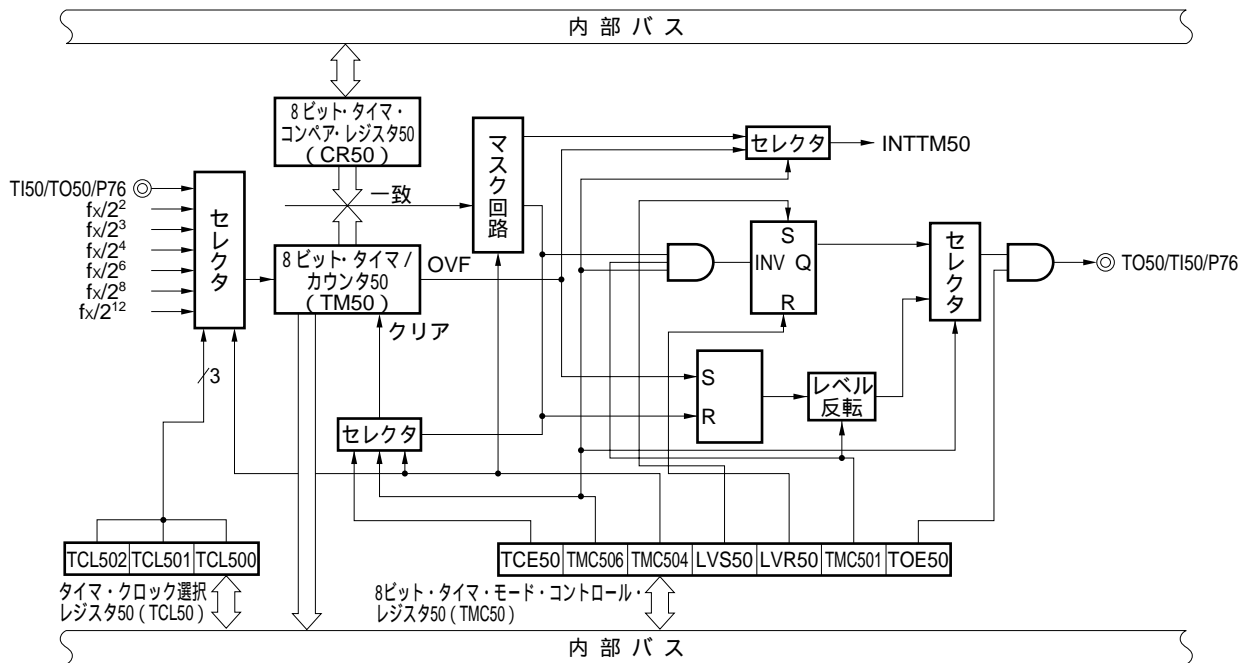


図4-5 8ビット・タイマ/イベント・カウンタ TM51のブロック図

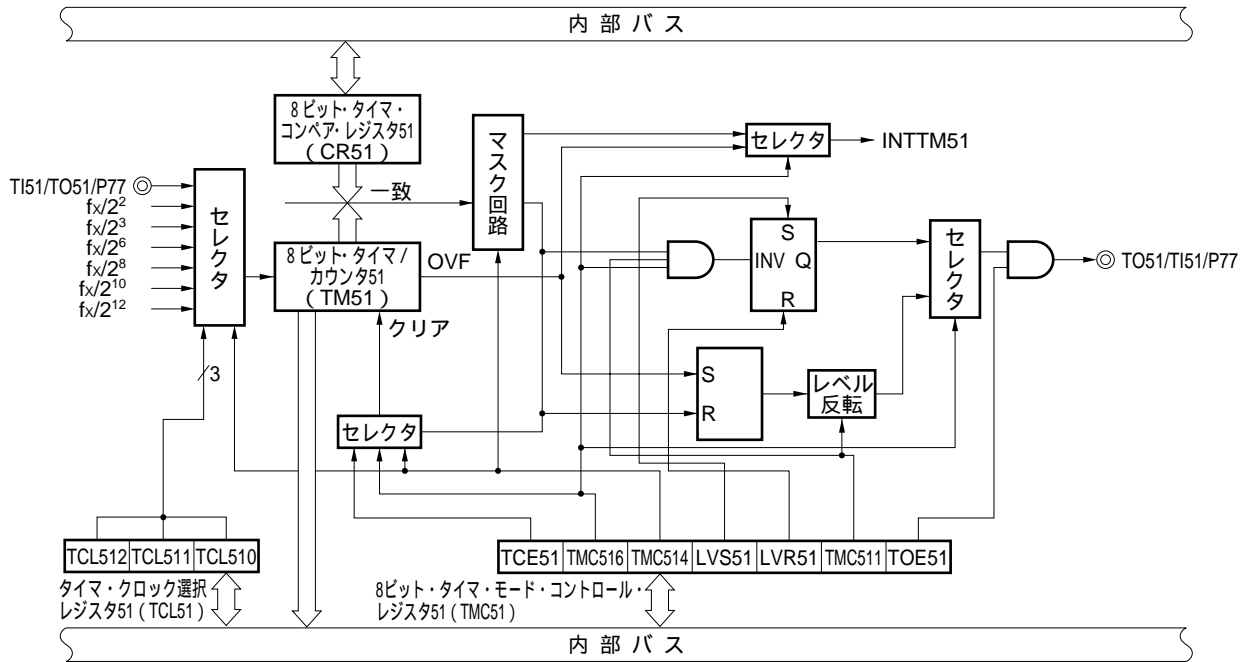


図4-6 8ビット・タイマ/イベント・カウンタ TM52のブロック図

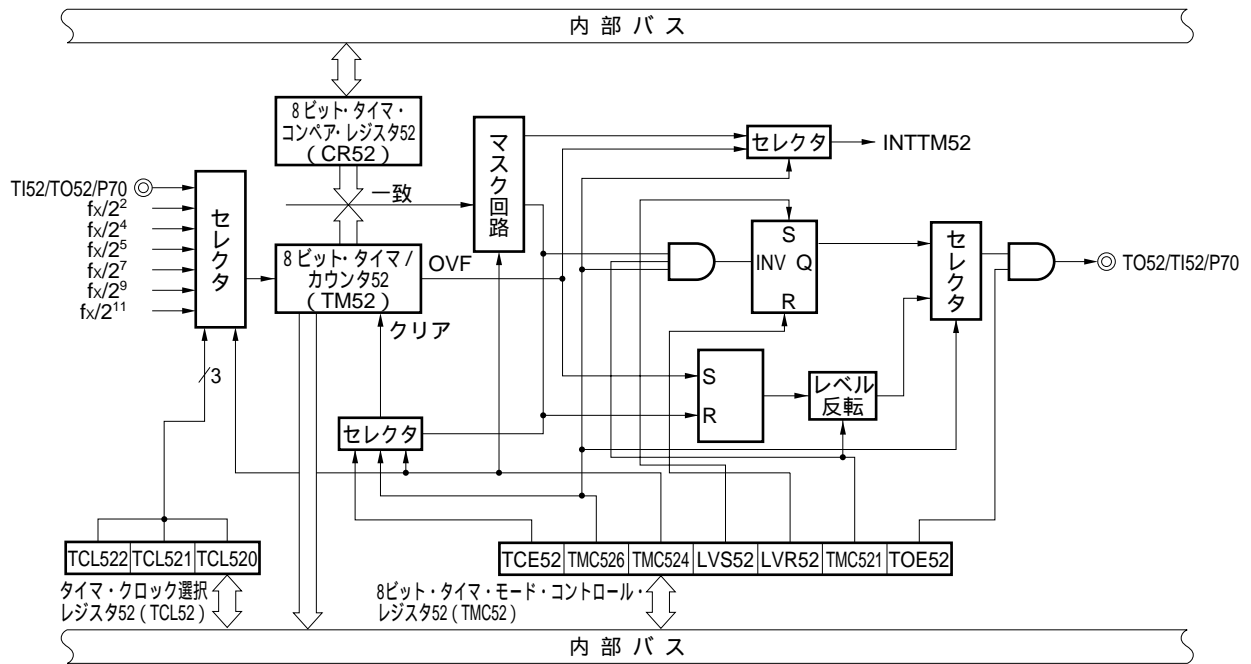
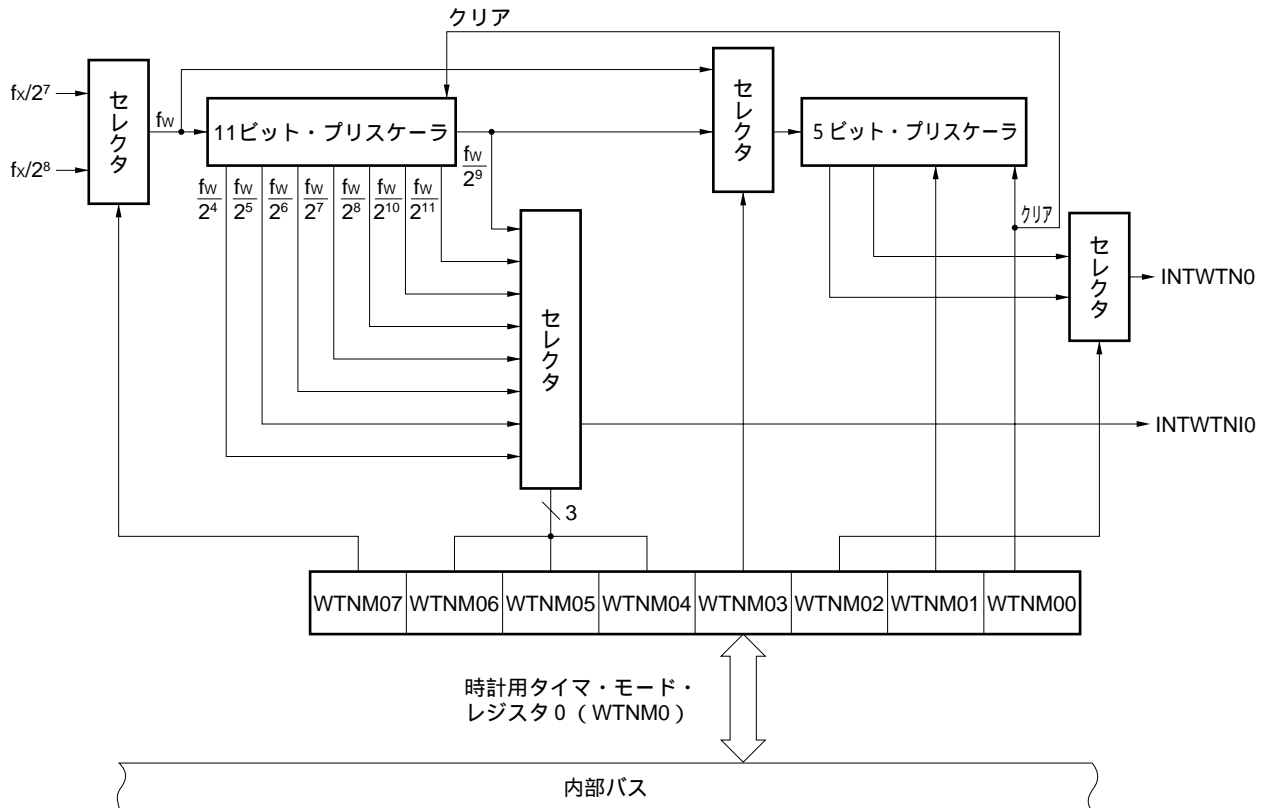
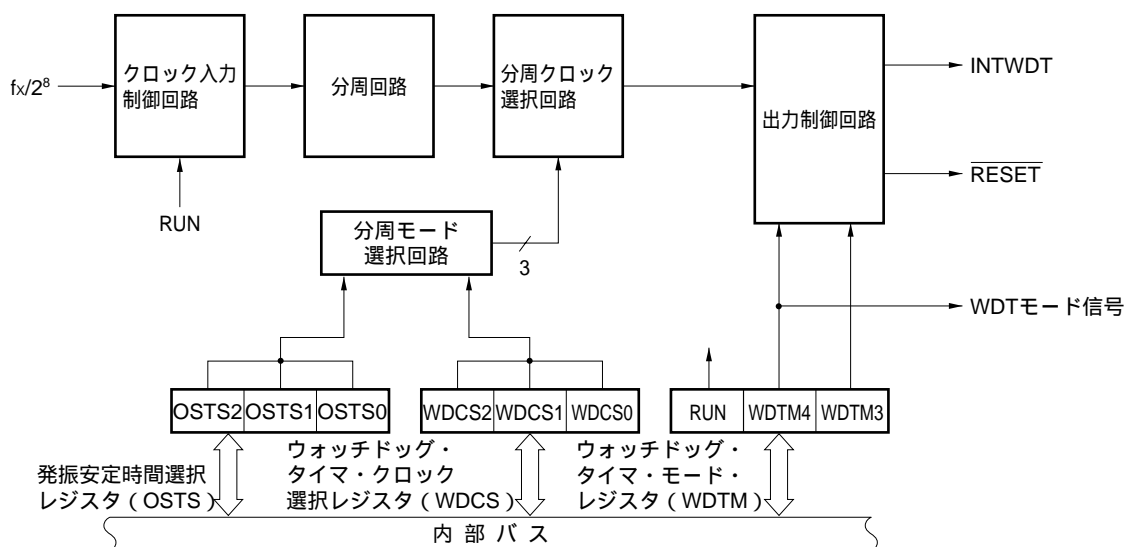


図4-7 時計用タイマのブロック図



備考 fx : システム・クロック発振周波数
fw : 時計用タイマ・クロック周波数

図4-8 ウォッチドッグ・タイマのブロック図



4.4 クロック出力/ブザー出力制御回路

クロック出力/ブザー出力制御回路 (CKU) を内蔵しています。

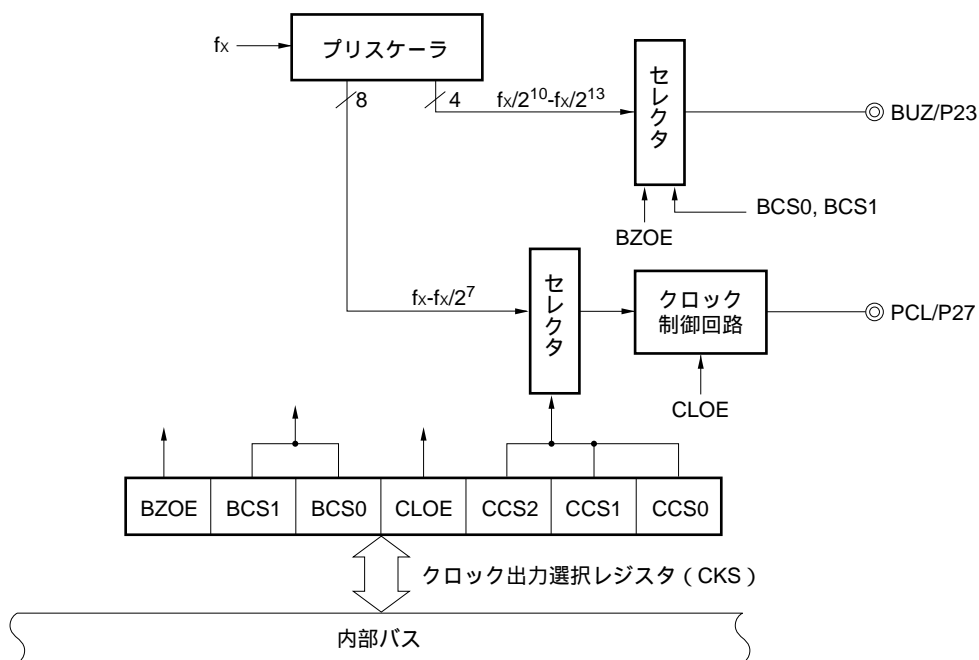
クロック出力として次の周波数のクロックを出力できます。

- ・ 49.2 kHz/98.3 kHz/197 kHz/393 kHz/786 kHz/1.57 MHz/3.15 MHz/6.29 MHz (システム・クロック : 6.29 MHz 動作時)

ブザー出力として次の周波数のクロックを出力できます。

- ・ 768 Hz/1.54 kHz/3.07 kHz/6.14 kHz (システム・クロック : 6.29 MHz動作時)

図4 - 9 クロック出力/ブザー出力制御回路 CKUのブロック図



4.5 A/Dコンバータ

8ビット分解能16チャンネルのA/Dコンバータを内蔵しています。

A/Dコンバータには次の2種類の機能があります。

- ・8ビット分解能A/D変換
- ・パワー・フェイル検出機能

図4 - 10 A/Dコンバータのブロック図

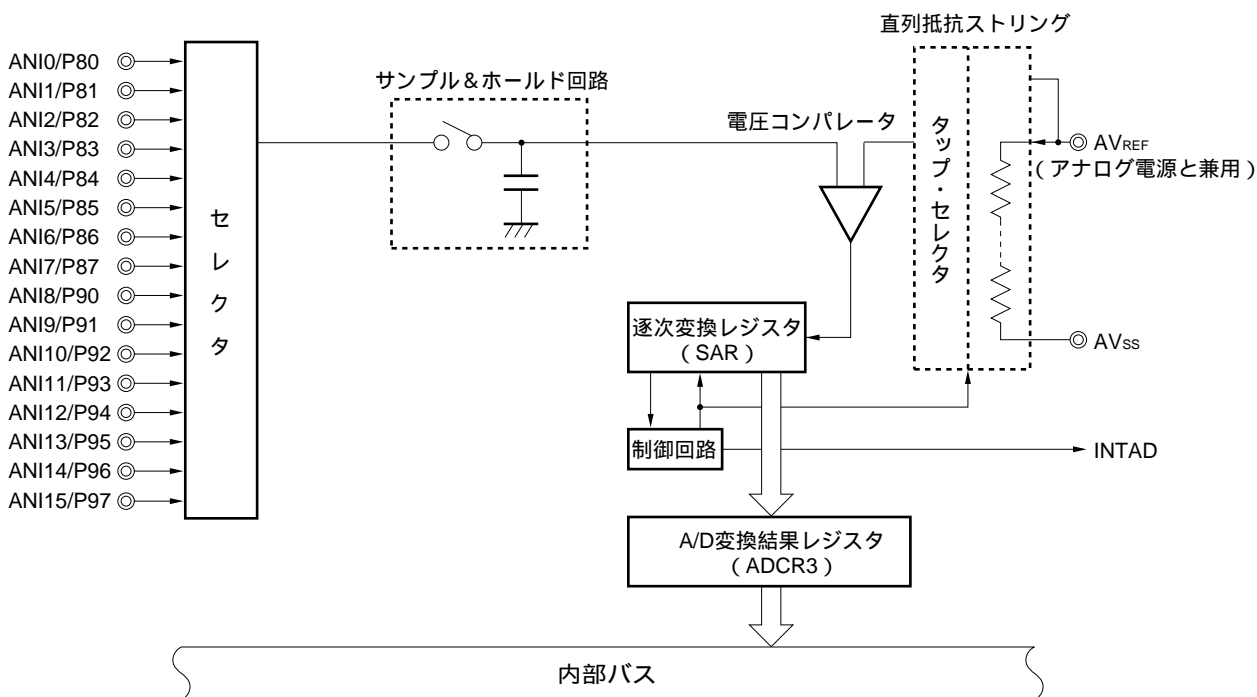
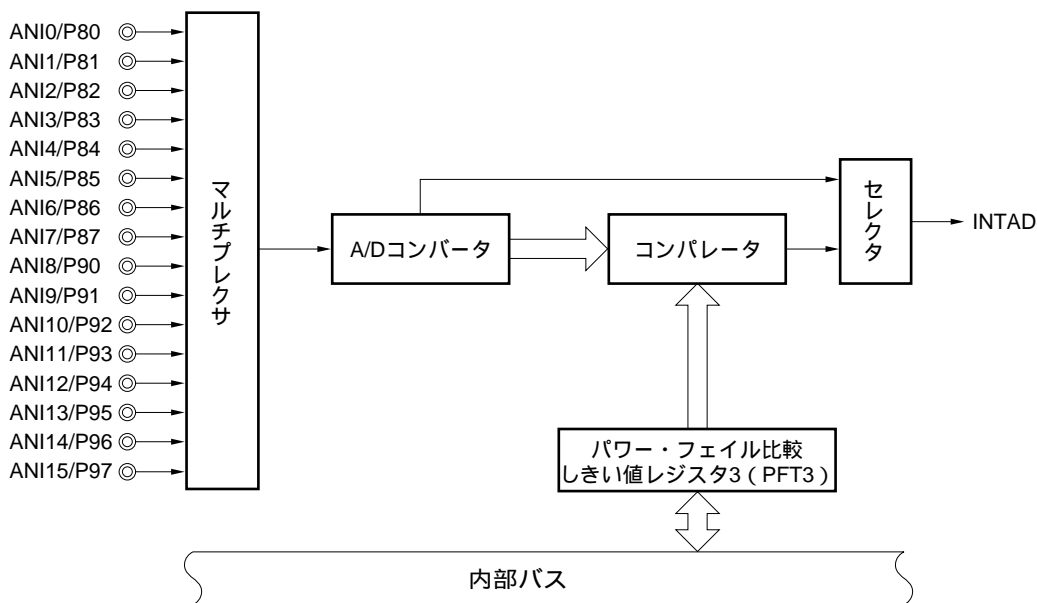


図4 - 11 パワー・フェイル検出機能のブロック図



4.6 シリアル・インタフェース

シリアル・インタフェースを4チャンネル内蔵しています。

- ・シリアル・インタフェース UART0
- ・シリアル・インタフェース SIO30, SIO31
- ・シリアル・インタフェース IIC0

(1) シリアル・インタフェース UART0

シリアル・インタフェース UART0には、アシンクロナス・シリアル・インタフェース (UART) モードがあります。

- ・アシンクロナス・シリアル・インタフェース (UART) モード

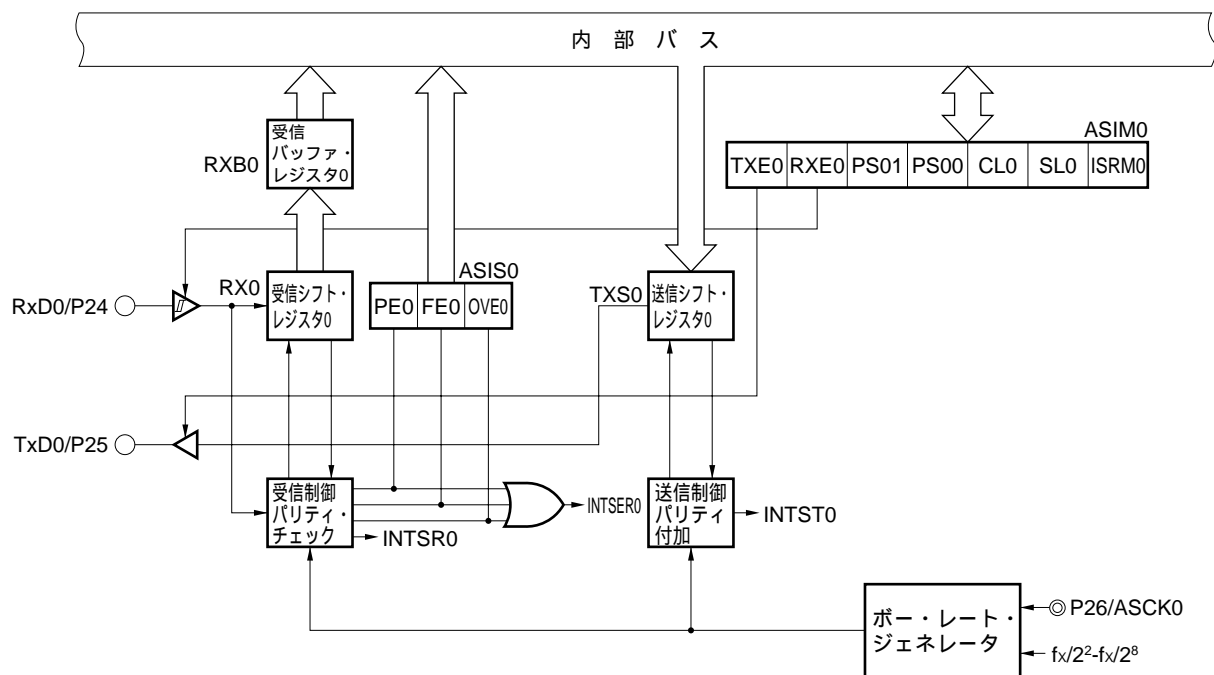
スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

また、ASCK0端子への入力クロックを分周してポー・レートを定義できます。

UART専用ポー・レート・ジェネレータを利用してMIDI規格のポー・レート (31.25 kbps) を使用できます。

図4 - 12 シリアル・インタフェース UART0のブロック図



(2) シリアル・インタフェース SIO30, SIO31

シリアル・インタフェース SIO30, SIO31には, 3線式シリアルI/Oモードがあります。

- ・3線式シリアルI/Oモード (MSB先頭固定)

シリアル・クロック ($\overline{\text{SCK3n}}$), シリアル出力 (SO3n), シリアル入力 (SI3n) の3本のラインにより, 8ビット・データを転送するモードです。

3線式シリアルI/Oモードは, 同時送受信動作が可能なので, データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットは, MSB固定です。

3線式シリアルI/Oモードは, クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントロールなどを接続するとき有効です。

備考 n = 0, 1

図4 - 13 シリアル・インタフェース SIO30のブロック図

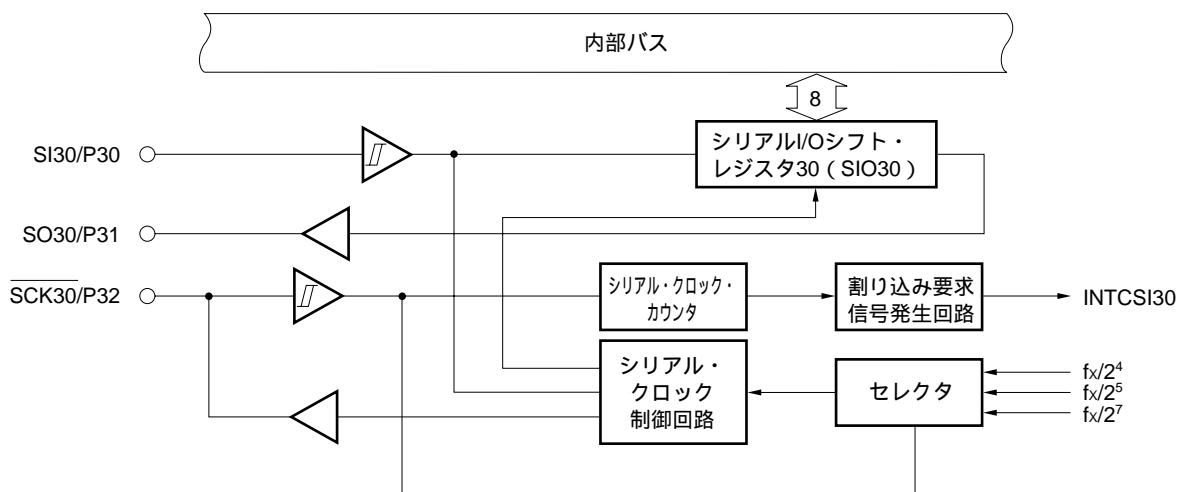
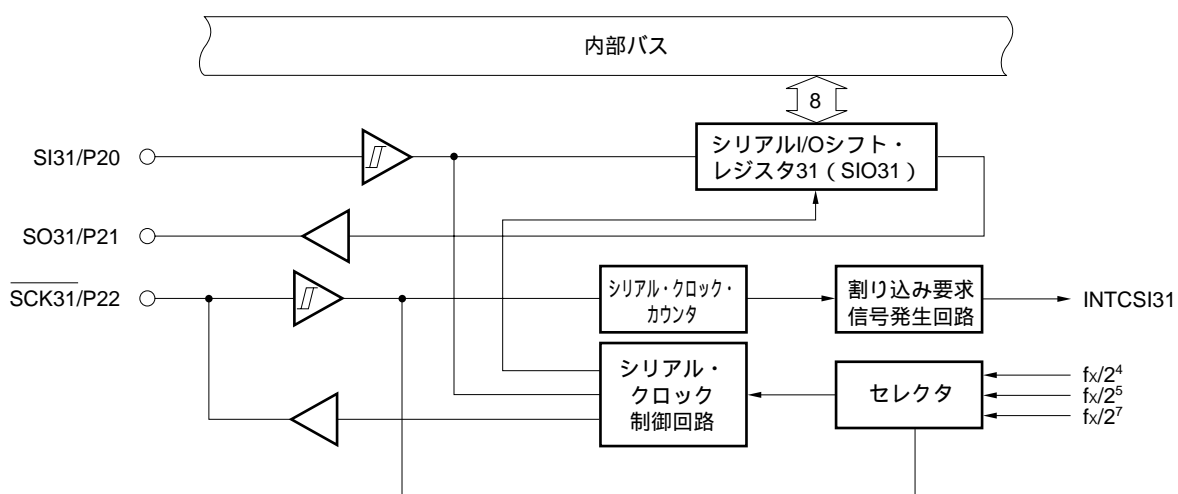


図4 - 14 シリアル・インタフェース SIO31のブロック図



(3) シリアル・インタフェース IIC0

シリアル・インタフェース IIC0には、I²C (Inter IC) バス・モード (マルチマスタ対応) があります。

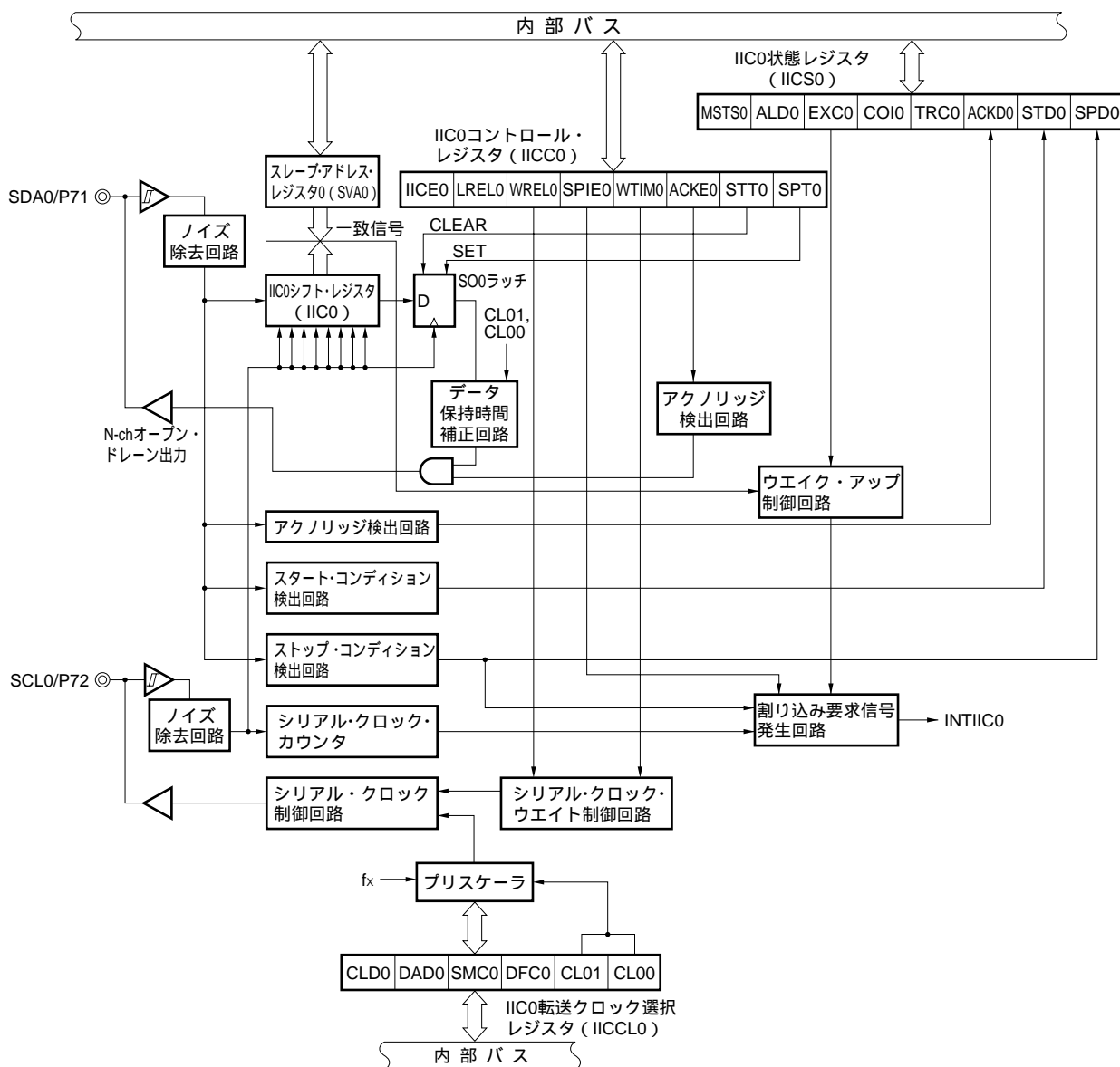
・I²Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCL0) とシリアル・データ・バス (SDA0) の2本のラインにより、複数のデバイスとの間で8ビット・データを転送するモードです。

I²Cバス・フォーマットに準拠しており、送信時、シリアル・データ・バス上に“スタート・コンディション”、“データ”および“ストップ・コンディション”を出力できます。また、受信時には、これらのデータをハードウェアにより自動的に検出します。

IIC0では、SCL0とSDA0はオープン・ドレイン出力になっているため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

図4 - 15 シリアル・インタフェース IIC0のブロック図



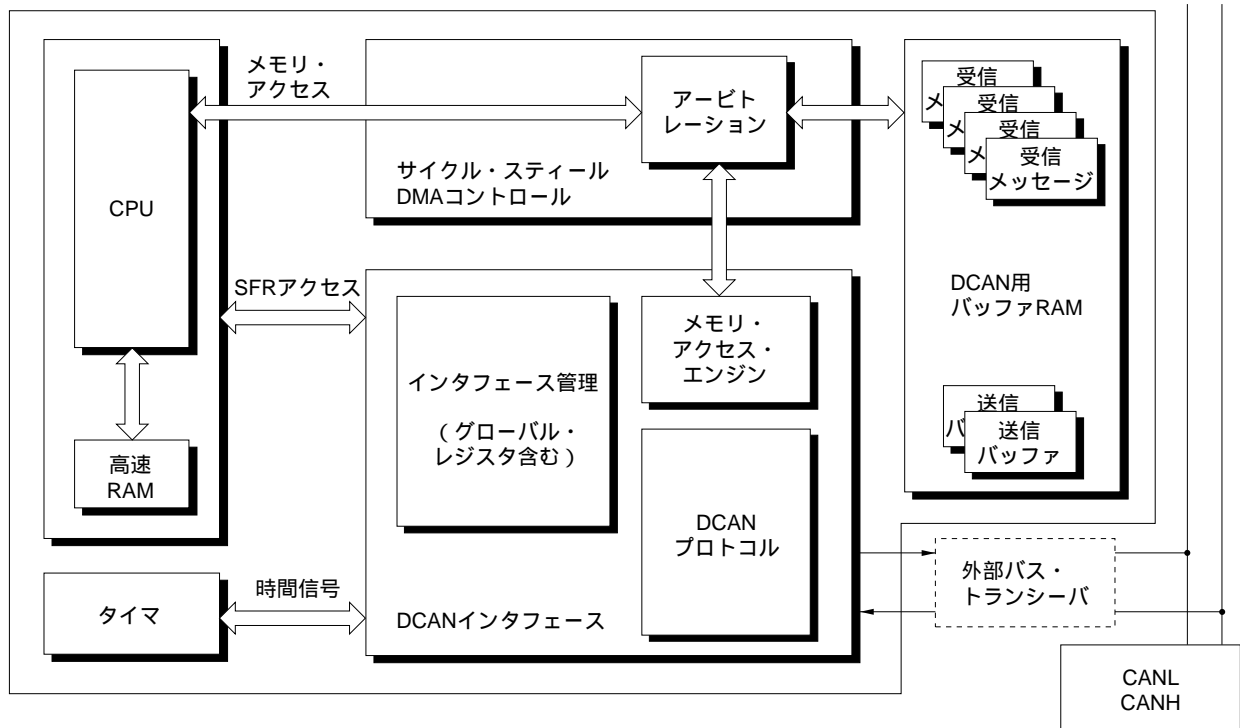
4.7 DCANコントローラ (μ PD780701Yのみ)

μ PD780701Yは、DCAN (Direct storage Control Area Network) コントローラを内蔵しています。

表4-3 DCANコントローラの機能概要

機能	詳細
プロトコル	拡張フレームに対応したCAN2.0 (Bosch仕様2.0パートB)
ポー・レート	最大390 kbps (6.29 MHz時)
バス・ライン制御	外部トランシーバ用CMOS入出力
クロック	レジスタにて選択可能
データ記憶	DCAN用バッファRAM容量：288バイト (DCANで使用しない場合は通常のRAMとして使用可能)
メッセージ構成	メッセージ・アイデンティファイアにより受信メッセージはRAMに記憶 送信メッセージ・バッファ：2
メッセージ番号	マスク2個を含む受信メッセージ最大16個 送信チャンネル：2チャンネル
メッセージ・ソート	受信メッセージ16個について個別のアイデンティファイアを設定可能 マスク・アイデンティファイア：2 全メッセージにグローバル・マスク設定可能
割り込み	送信割り込み要求：1 受信割り込み要求：1 エラー割り込み要求：1
タイム機能	タイム・スタンプ機能あり
その他の機能	送受信個別のエラー・カウンタあり バス接続確認用フラグあり 受信専用モードあり (バス上のポー・レート検出時に利用)
低消費電力モード	スリープ・モード (DCANバスよりウエイク・アップ可能) ストップ・モード (DCANバスよりウエイク・アップ不可)

図4 - 16 DCANコントローラのブロック図 (μ PD780701Yのみ)



DCANインタフェース部はDCANプロトコル部のハードウェアによるプロトコル動作のすべてを処理します。

メモリ・アクセス・エンジンは、特定のRAM領域からDCANプロトコル送信の情報を取り込みDCANプロトコル部へ移すか、あるいは取り込んだ情報を比較、ソートし、その情報を事前に定義しておいたRAM領域に記憶します。

DCANは、CPUに影響を及ぼさず、DCANとCPUによってアクセス可能なCPU領域に直接インタフェースします。DCAN部分は、送信データ・ラインと受信データ・ラインをDCANバスの電気的特性に変換する外部バス・トランシーバと共に動作します。

4.8 IEBusコントローラ (μ PD780702Yのみ)

μ PD780702Yは、IEBusコントローラを内蔵しています。従来品のIEBusインタフェース機能 (μ PD78098Bサブシリーズに内蔵) に比べると、機能を限定したものです。

表4 - 4にμ PD78098Bサブシリーズとμ PD780702Yのインタフェースの比較を示します。

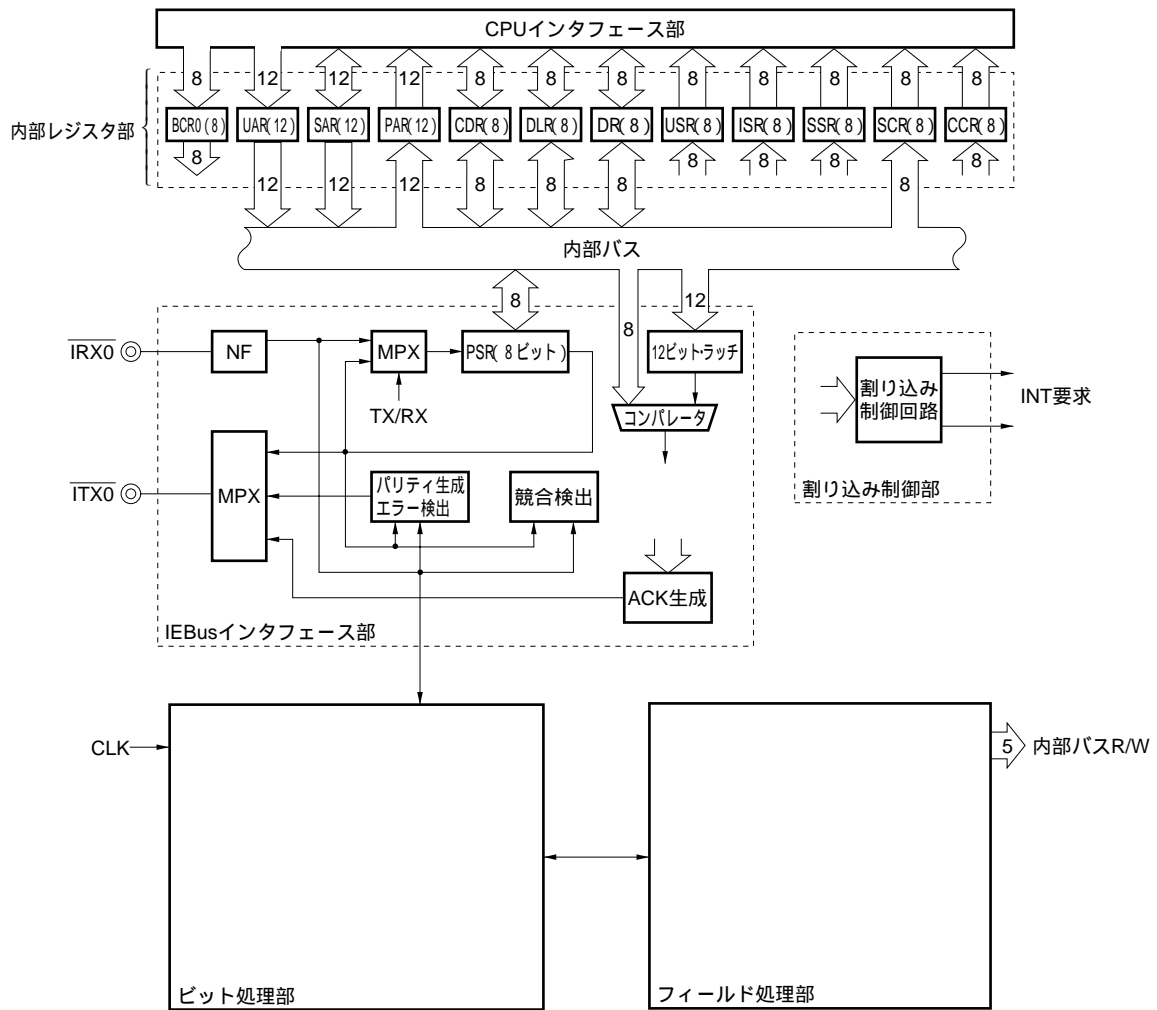
表4 - 4 IEBusインタフェースの比較 (μ PD78098Bサブシリーズとμ PD780702Y)

項 目	μ PD78098Bサブシリーズ内蔵IEBus	μ PD780702Y内蔵IEBus
通信モード	モード0, モード1, モード2	モード1固定
内部システム・クロック	$f_x = 6.0 (6.29) \text{ MHz}$	$f_x = 6.291456 \text{ MHz}$ ^注
内部バッファ・サイズ	送信バッファ 33バイト (FIFO) 受信バッファ 40バイト (FIFO) 最大4フレーム受信可能	送信バッファ 1バイト 受信バッファ 1バイト
CPU処理	通信開始前処理 (データ設定) 各通信状態設定, 管理 送信バッファへのデータ・ライト 受信バッファからのデータ・リード	通信開始前処理 (データ設定) 各通信状態設定, 管理 1バイトごとのデータ・ライト処理 1バイトごとのデータ・リード処理 スレーブ・ステータスなど送信管理 複数フレーム管理, 再マスタ要求処理
ハード処理	ビット処理 (変復調, エラー検出) フィールド処理 (生成 / 管理) アービトレーション結果検出 パリティ処理 (生成 / エラー検出) ACK/NACKの自動返答 自動データ再送処理 自動再マスタ処理 自動スレーブ・ステータスなどの送信処理 複数フレーム受信処理	ビット処理 (変復調, エラー検出) フィールド処理 (生成 / 管理) アービトレーション結果検出 パリティ処理 (生成 / エラー検出) ACK/NACKの自動返答 自動データ再送処理

注 μ PD780702Yは、 $f_x = 6.291456 \text{ MHz}$ でIEBusコントローラを対応します。 $f_x = 6.291456 \text{ MHz}$ 以外では対応しません。

備考 f_x : システム・クロック周波数

図4 - 17 IEBusコントローラのブロック図 (μ PD780702Yのみ)



IEBusの内部構成は、主に次の6つのブロックから構成されます。

- ・ CPUインタフェース部
- ・ 割り込み制御部
- ・ 内部レジスタ部
- ・ ビット処理部
- ・ フィールド処理部
- ・ IEBusインタフェース部

< CPUインタフェース部 >

CPU (78K0) とIEBus本体とをインタフェースするための制御部です。

< 割り込み制御部 >

IEBus本体からの割り込み要求信号をCPUに渡すための制御部です。

< 内部レジスタ部 >

IEBusの制御を行うコントロール・レジスタ、各フィールドのデータを設定します。

< ビット処理部 >

ビット・タイミングの生成、分解を行い、主にビット・シーケンスROM、8ビット・プリセット・タイマ、判定器から構成されます。

< フィールド処理部 >

通信フレーム内の各フィールドの生成を行い、主にフィールド・シーケンスROM、4ビット・ダウン・カウンタ、判定器から構成されます。

< IEBusインタフェース部 >

外付けのドライバ/レシーバのインタフェース部で、主にノイズ・フィルタ、シフト・レジスタ、競合検出、パリティ検出、パリティ生成回路、およびACK/NACK生成回路から構成されます。

5. 割り込み機能

割り込み機能には次に示す3種類（μ PD780701Yは30要因，μ PD780702Yは29要因）があります。

- ・ ノンマスカブル : 1
- ・ マスカブル : 28 (μ PD780701Y)
27 (μ PD780702Y)
- ・ ソフトウェア : 1

表15 - 1 割り込み要因一覧 (1/2)

割り込みの種類	デフォルト・プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}
		名称	トリガ			
ノンマスカブル	-	INTWDT	ウォッチドッグ・タイマのオーバフロー (ノンマスカブル割り込み選択時)	内部	0004H	(A)
マスカブル	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ選択時)	外部	0006H 0008H 000AH 000CH 000EH 0010H 0012H 0014H	(C)
	1	INTP0	端子入力エッジ検出			
	2	INTP1				
	3	INTP2				
	4	INTP3				
	5	INTP4				
	6	INTP5				
	7	INTP6				
	8	INTP7				
	9	INTSER0	UART0の受信エラー発生			
	10	INTSR0	UART0の受信終了			
	11	INTST0	UART0の送信終了			
	12	INTCSI30	SIO30の転送終了			
	13	INTCSI31	SIO31の転送終了			
	14	INTIIC0	IIC0の転送終了			
	15	INTCE ^{注3}	DCANのエラー			
	16	INTCR ^{注3} / INTIE1 ^{注4}	DCANの受信 / IEBusデータ・アクセス要求			
	17	INTCT ^{注3} / INTIE2 ^{注4}	DCANの送信バッファ / IEBus通信エラーおよび通信開始 / 終了			
	18	INTWTNIO	時計用タイマからの基準時間間隔信号			
	19	INTTM000	TM00とCR000の一致信号発生 (コンペア・レジスタ指定時) TI000有効エッジ検出 (キャプチャ・レジスタ指定時)			

注1. デフォルト・プライオリティは、複数のマスカブル割り込み要求が同時に発生している場合に、優先する順位です。0が最高順位，28が最低順位です。

2. 基本構成タイプの(A)-(E)は、それぞれ図5-1の(A)-(E)に対応しています。

3. μ PD780701Yのみ。

4. μ PD780702Yのみ。

表15 - 1 割り込み要因一覧 (2/2)

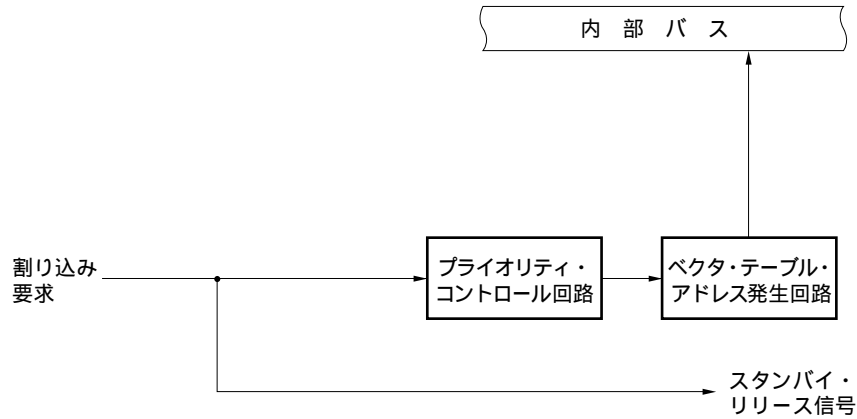
割り込みの種類	デフォルト・プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}
		名称	トリガ			
マスカブル	20	INTTM010	TM00とCR010の一致信号発生 (コンペア・レジスタ指定時) TI010有効エッジ検出 (キャプチャ・レジスタ指定時)	内部	002CH	(B)
	21	INTTM001	TM01とCR001の一致信号発生 (コンペア・レジスタ指定時) TI001有効エッジ検出 (キャプチャ・レジスタ指定時)		002EH	
	22	INTTM011	TM01とCR011の一致信号発生 (コンペア・レジスタ指定時) TI011有効エッジ検出 (キャプチャ・レジスタ指定時)		0030H	
	23	INTTM50	TM50とCR50の一致信号発生		0032H	
	24	INTTM51	TM51とCR51の一致信号発生		0034H	
	25	INTTM52	TM52とCR52の一致信号発生		0036H	
	26	INTAD	A/Dコンバータの変換終了		0038H	
	27	INTWTN0	時計用タイマのオーバフロー		003AH	
	28	INTKR	ポート4の立ち下がりエッジ検出	外部	003CH	(D)
ソフトウェア	-	BRK	BRK命令の実行	-	003EH	(E)

注1. デフォルト・プライオリティは、複数のマスカブル割り込み要求が同時に発生している場合に、優先する順位です。0が最高順位、28が最低順位です。

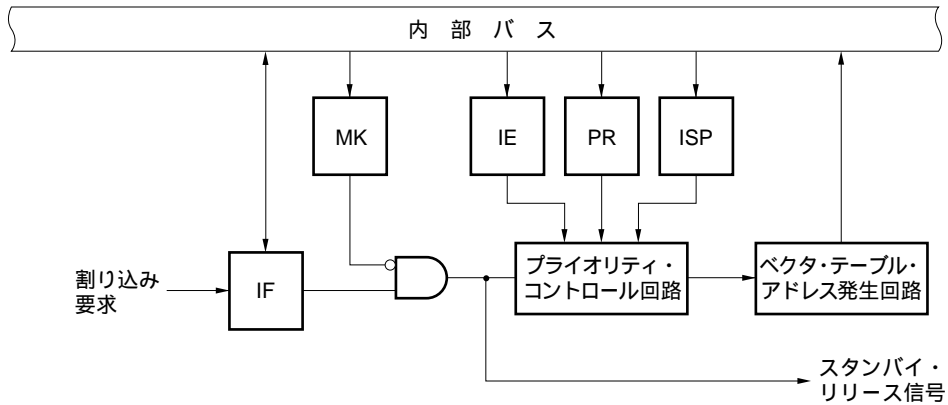
2. 基本構成タイプの(A) - (E)は、それぞれ図5 - 1の(A) - (E)に対応しています。

図5 - 1 割り込み機能の基本構成 (1/2)

(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み (INTP0-INTP7)

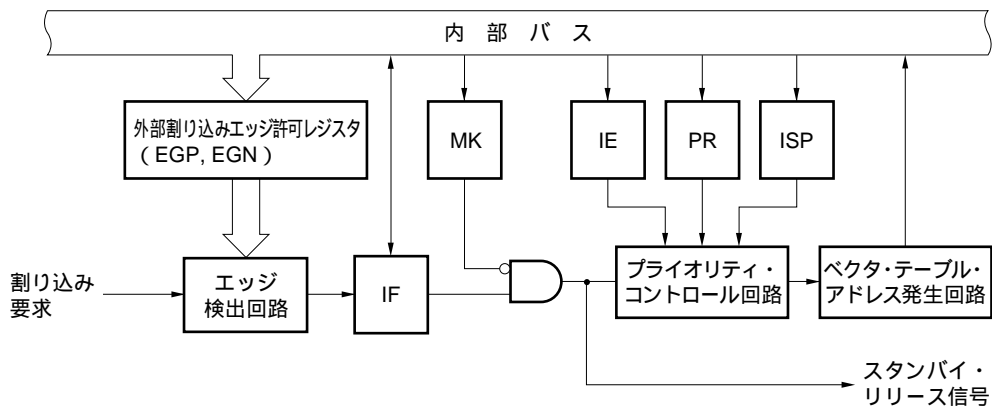
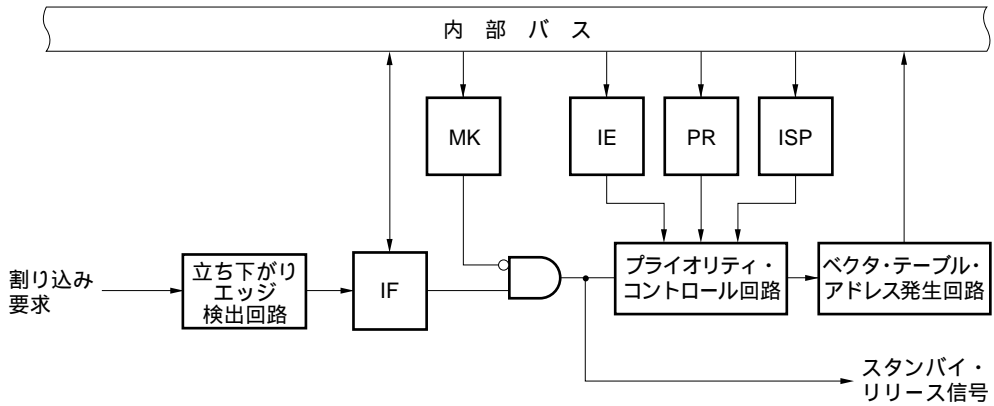
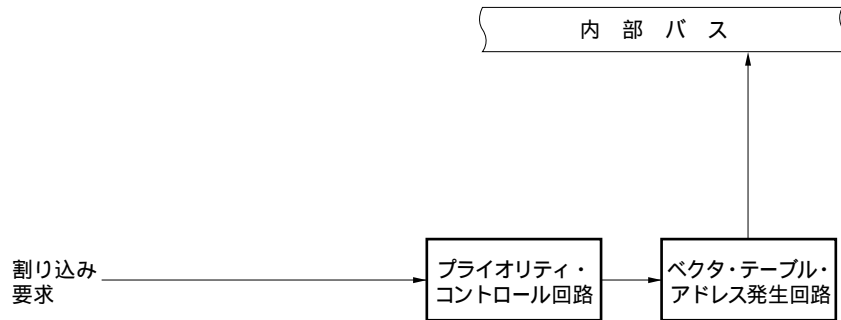


図5 - 1 割り込み機能の基本構成 (2/2)

(D) 外部マスクابل割り込み (INTKR)



(E) ソフトウェア割り込み



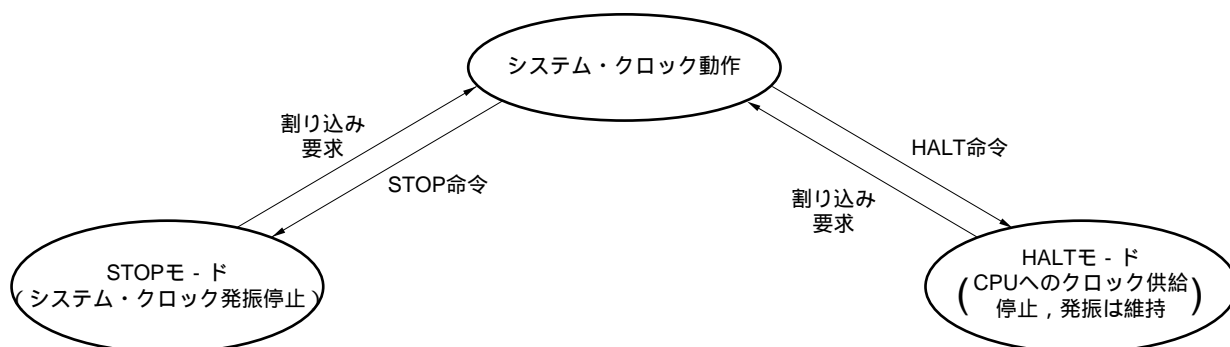
- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサース・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ

6. スタンバイ機能

スタンバイ機能は、消費電流をより低減するための機能で、次の2種類があります。

- ・ HALTモード : CPUの動作クロックを停止させます。通常動作との間欠動作により、平均消費電流を低減できます。
- ・ STOPモード : システム・クロックの発振を停止させます。システム・クロックによる動作をすべて停止させ、微小消費電流状態にします。

図6-1 スタンバイ機能



7. リセット機能

次の2種類の方法によってリセットがかかります。

- ・ RESET端子による外部リセット
- ・ ウォッチドッグ・タイマの暴走時間検出による内部リセット

8. 命令セット

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド	#byte	A	注 r	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL+byte] [HL+B] [HL+C]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL+byte] [HL+B] [HL+C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW, DECW PUSH, POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第2オペランド 第1オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR, BC, BNC BZ, BNZ
複合命令					BT, BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

9. 電気的特性

絶対最大定格 (TA = 25)

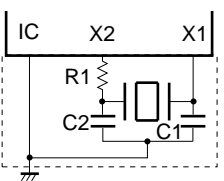
項目	略号	条件		定格	単位
電源電圧	V _{DD}	V _{DD} = AV _{REF}		- 0.3 ~ + 6.5	V
	AV _{REF}				
	AV _{SS}			- 0.3 ~ + 0.3	V
入力電圧	V _{I1}	P00-P07, P20-P27, P30-P32, P34-P36, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, CRXD, $\overline{\text{IRX0}}$, X1, X2, RESET $\overline{\text{}}$		- 0.3 ~ V _{DD} + 0.3	V
	V _{I2}	P33	N-chオープン・ドレイン	- 0.3 ~ + 16	V
出力電圧	V _O	P00-P07, P20-P27, P30-P36, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, CTXD, $\overline{\text{ITX0}}$		- 0.3 ~ V _{DD} + 0.3	V
アナログ入力電圧	V _{AN}	P80-P87, P90-P97	アナログ入力端子	AV _{SS} - 0.3 ~ AV _{REF} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH}	P00-P07, P20-P27, P30-P32, P34-P36, P40-P47, P50-P57, P64-P67, P70, P73-P77, P80-P87, P90-P97, CRXD, $\overline{\text{IRX0}}$ の1端子		- 10	mA
		全端子合計		- 30	mA
ロウ・レベル出力電流	I _{OL} ^注	P00-P07, P20-P27, P30-P32, P34-P36, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, CTXD, $\overline{\text{ITX0}}$ の1端子	ピーク値	20	mA
			実効値	10	mA
		P33	ピーク値	30	mA
			実効値	15	mA
		全端子合計	ピーク値	100	mA
			実効値	60	mA
動作周囲温度	T _A			- 40 ~ + 85	
保存温度	T _{stg}			- 65 ~ + 150	

注 実効値は、[実効値] = [ピーク値] × √デューティで計算してください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 3.5 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (fx) ^{注1}			6.29 ^{注2}		MHz
		発振安定時間 ^{注3}				30	ms

注1. 発振回路の特性だけを示すものです。

2. 6.29 = 6.291456 (MHz)

3. リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にVSS1と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

DC特性 (TA = -40 ~ +85 , VDD = 3.5 ~ 5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	VIH1	P21, P23, P25, P27, P31, P34, P40-P47, P64-P67, P73, P80-P87, P90-P97		0.7 VDD		VDD	V
	VIH2	P00-P07, P20, P22, P24, P26, P30, P32, P35, P36, P70-P72, P74-P77, CRXD, $\overline{\text{IRX0}}$, $\overline{\text{RESET}}$		0.8 VDD		VDD	V
	VIH3	P50-P57		2.3		VDD	V
	VIH4	P33	N-chオープン・ドレーン	0.7 VDD		15	V
	VIH5	X1, X2		VDD - 0.5		VDD	V
ロウ・レベル入力電圧	VIL1	P21, P23, P25, P27, P31, P34, P40-P47, P64-P67, P73, P80-P87, P90-P97		0		0.3 VDD	V
	VIL2	P00-P07, P20, P22, P24, P26, P30, P32, P35, P36, P70-P72, P74-P77, CRXD, $\overline{\text{IRX0}}$, $\overline{\text{RESET}}$		0		0.2 VDD	V
	VIL3	P50-P57		0		0.75	V
	VIL4	P33	N-chオープン・ドレーン	0		0.3 VDD	V
	VIL5	X1, X2		0		0.4	V
ハイ・レベル出力電圧	VOH1	IOH = -1 mA	P00-P07, P20-P27, P30-P32, P34-P36, P40-P47, P50-P57, P64-P67, P70, P73-P77, P80-P87, P90-P97, CTXD, $\overline{\text{ITX0}}$	VDD - 1.0		VDD	V
	VOH2	IOH = -100 μA		VDD - 0.5		VDD	V
ロウ・レベル出力電圧	VOL1	IOL = 15 mA	P33		0.4	2.0	V
	VOL2	IOL = 1.6 mA	P71, P72			0.4	V
	VOL3	IOL = 1 mA	P00-P07, P20-P27, P30-P32, P34-P36, P40-P47, P50-P57, P64-P67, P70, P73-P77, P80-P87, P90-P97, CTXD, $\overline{\text{ITX0}}$			1.0	V
	VOL4	IOL = 100 μA				0.5	V
ハイ・レベル入力リーク電流	ILIH1	VIN = VDD	P00-P07, P20-P27, P30-P32, P34-P36, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, CRXD, $\overline{\text{IRX0}}$, $\overline{\text{RESET}}$			3	μA
	ILIH2		X1, X2			20	μA
	ILIH3	VIN = 15 V	P33			80	μA
ロウ・レベル入力リーク電流	ILIL1	VIN = 0 V	P00-P07, P20-P27, P30-P32, P34-P36, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, CRXD, $\overline{\text{IRX0}}$, $\overline{\text{RESET}}$			-3	μA
	ILIL2		X1, X2			-20	μA
	ILIL3		P33 (入力命令実行時以外 [※])			-3	μA

注 入力命令実行時は、1クロック間（ノー・ウエイト時）のみ、-200 μA (MAX.) になります。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 3.5 ~ 5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力リーク電流	ILOH	VOUT = VDD	P00-P07, P20-P27, P30-P36, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, CTXD, ITX0			3	μA
ロウ・レベル出力リーク電流	ILOL	VOUT = 0 V	P00-P07, P20-P27, P30-P36, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, CTXD, ITX0			- 3	μA
ソフトウェア・プルアップ抵抗	R1	VIN = 0 V	P00-P07, P20-P27, P30-P32, P34-P36, P40-P47, P50-P57, P64-P67, P70, P73-P77	15	30	90	kΩ
電源電流 ^{注1}	IDD1	6.29 MHz 水晶発振動作モード			4.0	20	mA
	IDD2	6.29 MHz 水晶発振HALTモード ^{注2}			500	1000	μA
	IDD3	STOPモード			0.1	30	μA

注1. VDD1端子に流れる電流です。A/Dコンバータ、内蔵プルアップ抵抗に流れる電流は含みません。

2. 低速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を04Hに設定したとき）。周辺回路の動作電流を含みません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

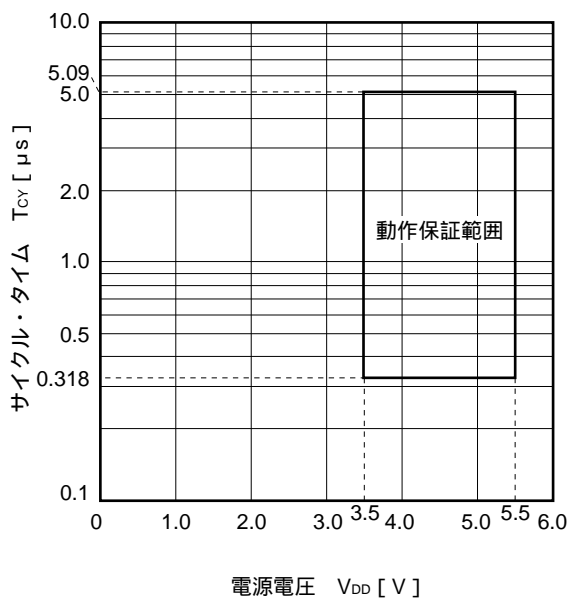
AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 3.5 \sim 5.5 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T_{CY}	システム・クロック動作 ($f_x = 6.291456 MHz$ 時)	0.318		5.09	μs
TI000, TI010, TI001, TI011入力ハイ, ロウ・ レベル幅	t_{TIH0} t_{TIL0}		$4/f_{sam} +$ 0.25 ^注			μs
TI50, TI51, TI52入力周 波数	f_{TI5}				2	MHz
TI50, TI51, TI52入力ハ イ, ロウ・レベル幅	t_{TIH5} t_{TIL5}		200			ns
割り込み要求入力ハ イ, ロウ・レベル幅	t_{INTH} t_{INTL}	INTP0-INTP7, P40-P47	10			μs
RESETロウ・レベル幅	t_{RSL}		10			μs

注 プリスケアラ・モード・レジスタ0n (PRM0n)のビット0, 1 (PRM0n0, PRM0n1)により, $f_{sam} = f_x/2, f_x/4, f_x/64$ の選択が可能です。ただし, カウント・クロックとしてTI00nの有効エッジを選択した場合は, $f_{sam} = f_x/8$ となります ($n = 0, 1$)。

T_{CY} vs V_{DD} (システム・クロック動作時)



(2) シリアル・インタフェース (TA = -40 ~ +85 , VDD = 3.5 ~ 5.5 V)

(a) 3線式シリアル/Oモード (SCK30...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK30サイクル・タイム	t _{KCY1}		1.9			μs
SCK30ハイ, ロウ・レベル幅	t _{KH1} t _{KL1}		t _{KCY1} /2 - 50			ns
SI30セットアップ時間 (対SCK30)	t _{SIK1}		100			ns
SI30ホールド時間 (対SCK30)	t _{KS1}		400			ns
SCK30 SO30出力遅延時間	t _{KSO1}	C = 100 pF ^注			300	ns

注 Cは, SCK30, SO30出力ラインの負荷容量です。

(b) 3線式シリアル/Oモード (SCK30...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK30サイクル・タイム	t _{KCY2}		800			ns
SCK30ハイ, ロウ・レベル幅	t _{KH2} t _{KL2}		400			ns
SI30セットアップ時間 (対SCK30)	t _{SIK2}		100			ns
SI30ホールド時間 (対SCK30)	t _{KS2}		400			ns
SCK30 SO30出力遅延時間	t _{KSO2}	C = 100 pF ^注			300	ns

注 Cは, SO30出力ラインの負荷容量です。

(c) 3線式シリアル/Oモード (SCK31...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK31サイクル・タイム	t _{KCY3}		1.9			μs
SCK31ハイ, ロウ・レベル幅	t _{KH3} t _{KL3}		t _{KCY1} /2 - 50			ns
SI31セットアップ時間 (対SCK31)	t _{SIK3}		100			ns
SI31ホールド時間 (対SCK31)	t _{KS3}		400			ns
SCK31 SO31出力遅延時間	t _{KSO3}	C = 100 pF ^注			300	ns

注 Cは, SCK31, SO31出力ラインの負荷容量です。

(d) 3線式シリアル/Oモード (SCK31...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK31サイクル・タイム	t _{KCY4}		800			ns
SCK31ハイ, ロウ・レベル幅	t _{KH4} t _{KL4}		400			ns
SI31セットアップ時間 (対SCK31)	t _{SIK4}		100			ns
SI31ホールド時間 (対SCK31)	t _{KS4}		400			ns
SCK31 SO31出力遅延時間	t _{KSO4}	C = 100 pF ^注			300	ns

注 Cは, SO31出力ラインの負荷容量です。

(e) UARTモード (専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					38836	bps

(f) UARTモード (外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ASCK0サイクル・タイム	t _{KCY3}		800			ns
ASCK0ハイ, ロウ・レベル幅	t _{KH3} , t _{KL3}		400			ns
転送レート					39063	bps

(g) I²Cバス・モード

項目	略号	標準モード		高速モード		単位
		MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数	f _{SCL}	0	100	0	400	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}	4.7	-	1.3	-	μs
ホールド・タイム ^{注1}	t _{HD : STA}	4.0	-	0.6	-	μs
SCL0クロックのロウ・レベル幅	t _{LOW}	4.7	-	1.3	-	μs
SCL0クロックのハイ・レベル幅	t _{HIGH}	4.0	-	0.6	-	μs
スタート/リスタート・コンディションのセットアップ間	t _{SU : STA}	4.7	-	0.6	-	μs
データ・ホールド時間	CBUS互換マスタの場合	t _{HD : DAT}	5.0	-	-	μs
	I ² Cバスの場合		0 ^{注2}	-	0 ^{注2}	0.9 ^{注3}
データ・セットアップ時間	t _{SU : DAT}	250	-	100 ^{注4}	-	ns
SDA0およびSCL0信号の立ち上がり時間	t _R	-	1000	-	300	ns
SDA0およびSCL0信号の立ち下がり時間	t _F	-	300	-	300	ns
ストップ・コンディションのセットアップ時間	t _{SU : STO}	4.0	-	0.6	-	μs
入力フィルタによって抑制されるスパイクの パルス幅	t _{SP}	-	-	0	50	ns
各バス・ラインの容量性負荷	C _b	-	400	-	400	pF

注1. スタート・コンディション時に、この期間のあと、最初のクロック・パルスが生成されます。

2. 装置は、SCL0の立ち下がり端の未定義領域を埋めるために (SCL0信号のV_{IHmin}での) SDA0信号用に最低300 nsのホールド時間を内部的に提供する必要があります。
3. 装置がSCL0信号のロウ・ホールド時間 (t_{LOW}) を延長しない場合は、最大データ・ホールド時間t_{HD : DAT}のみを満たす必要があります。
4. 高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

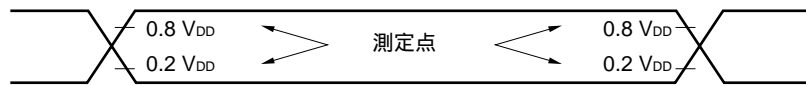
- ・装置がSCL0信号のロウ状態ホールド・タイムを延長しない場合

t_{SU : DAT} 250 ns

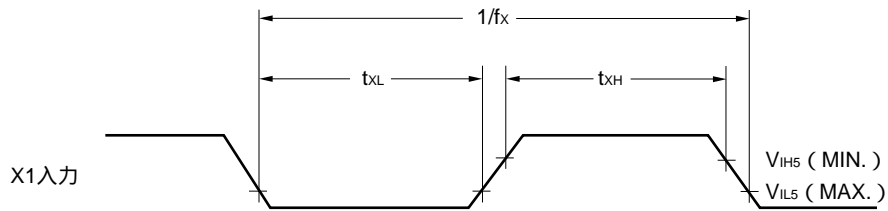
- ・装置がSCL0信号のロウ状態ホールド・タイムを延長する場合

SCL0ラインが解放される (t_{Rmax} + t_{SU : DAT} = 1000 + 250 = 1250 ns : 標準モードI²Cバス仕様による) 前に、次のデータ・ビットをSDA0ラインに送出してください。

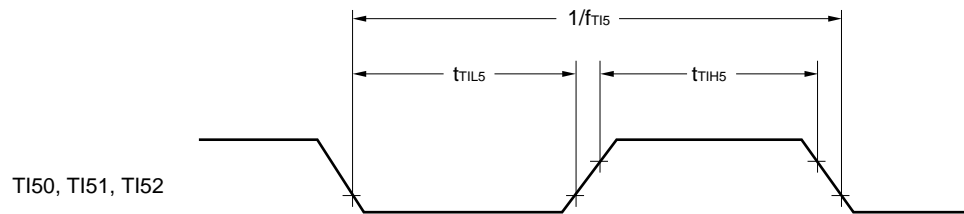
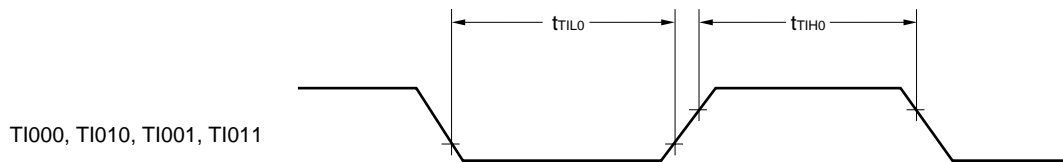
ACタイミング測定点 (X1入力を除く)



クロック・タイミング

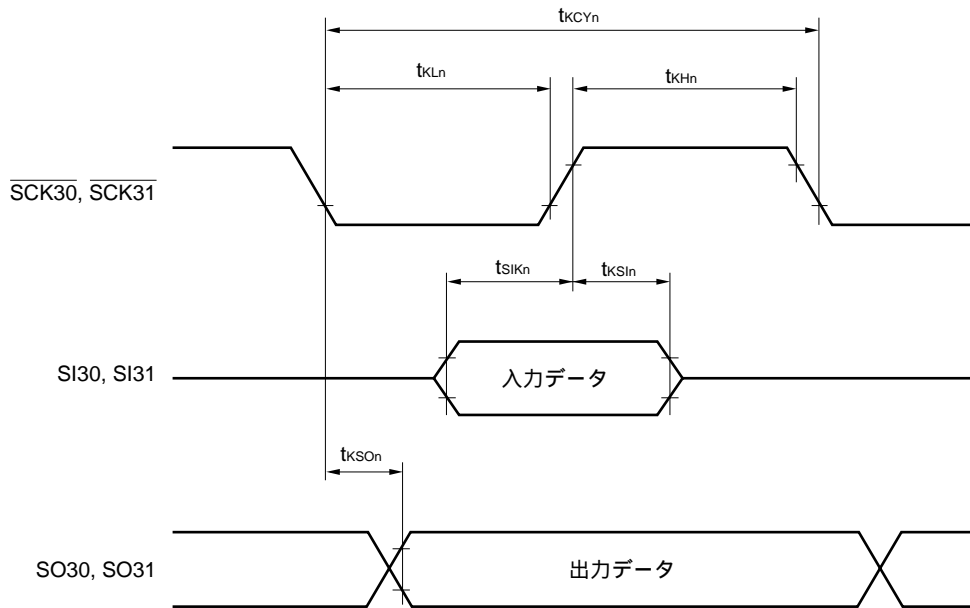


TIタイミング



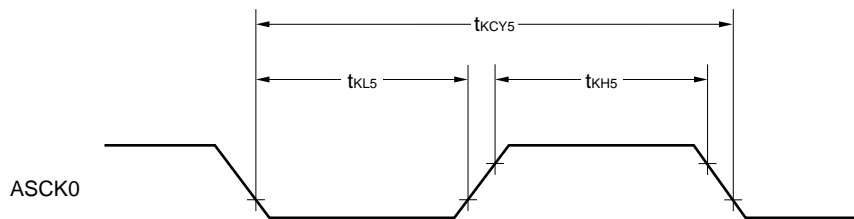
シリアル転送タイミング

3線式シリアルI/Oモード :

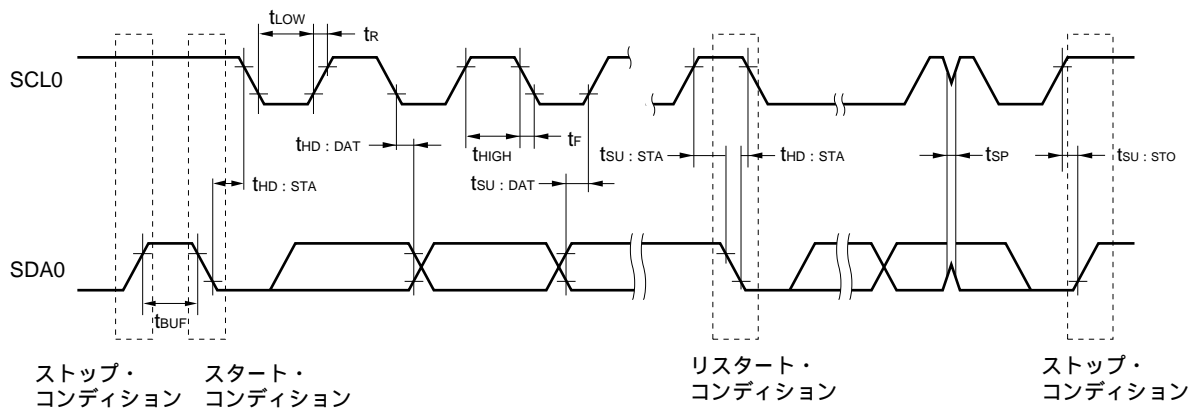


n = 1-4

UARTモード (外部クロック入力) :



I²Cバス・モード :



IEBus0コントローラ特性 (TA = -40 ~ +85 , VDD = 3.5 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
IEBusシステム・クロック周波数	fs	モード1固定		6.29		MHz
ドライバ遅延時間 (ITX0出力バス・ライン)	tdTX	C = 50 pF ^注 ドライバ/レシーバはμ PC2590を使用			1.5	μs
レシーバ遅延時間 (バス・ライン IRX0入力)	tdRX	ドライバ/レシーバはμ PC2590を使用			0.7	μs
バス上の伝搬遅延時間	tdBUS	ドライバ/レシーバはμ PC2590を使用			0.85	μs

注 CはITX0出力ラインの負荷容量です。

備考1. IEBusの規格では、システム・クロック周波数は6.0 MHzですが、μ PD780702Yは、6.29 MHzで正常動作を保証します。

2. fs : IEBusコントローラ・システム・クロック周波数

A/Dコンバータ特性 (TA = -40 ~ +85 , VDD = AVREF = 3.5 ~ 5.5 V , VSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
総合誤差 ^注					± 0.6	%
変換時間	tCONV		14		100	μs
アナログ入力電圧	VIAN		AVSS		AVREF	V
AVREF抵抗	RAIREF		T.B.D	28	T.B.D	kΩ

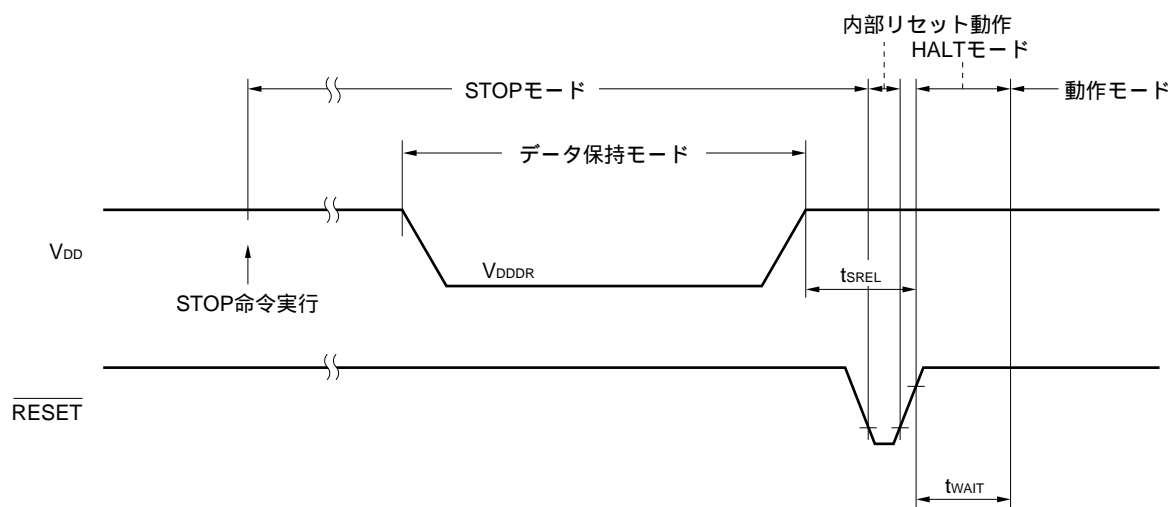
注 量子化誤差 (± 0.2 %) を含みません。フルスケール値に対する比率で表しています。

データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

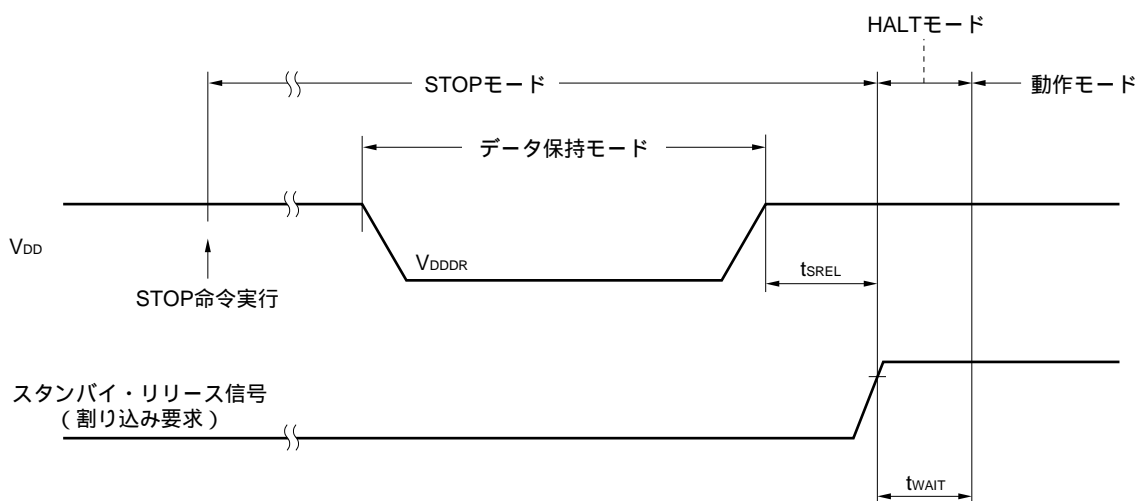
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		2.0		5.5	V
データ保持電源電流	I _{DDDR}	V _{DDDR} = 2.0 V		0.1	10	μA
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間	t _{WAIT}	RESETによる解除		2 ¹⁷ /f _x		ms
		割り込み要求による解除		注		ms

注 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により, 2¹²/f_x, 2¹⁴/f_x, 2¹⁹/f_x, 2²¹/f_xの選択が可能です。

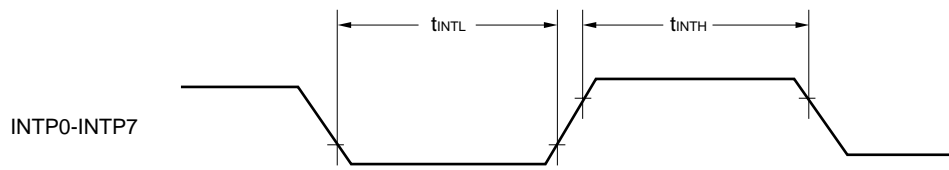
データ保持タイミング (RESETによるSTOPモード解除)



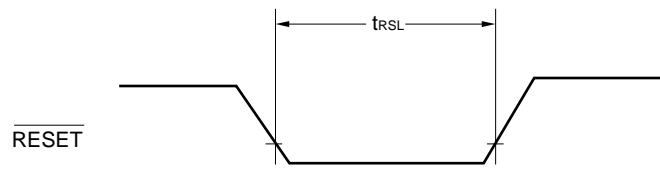
データ保持タイミング (スタンバイ・リリース信号：割り込み要求信号によるSTOPモード解除)



割り込み要求入力タイミング

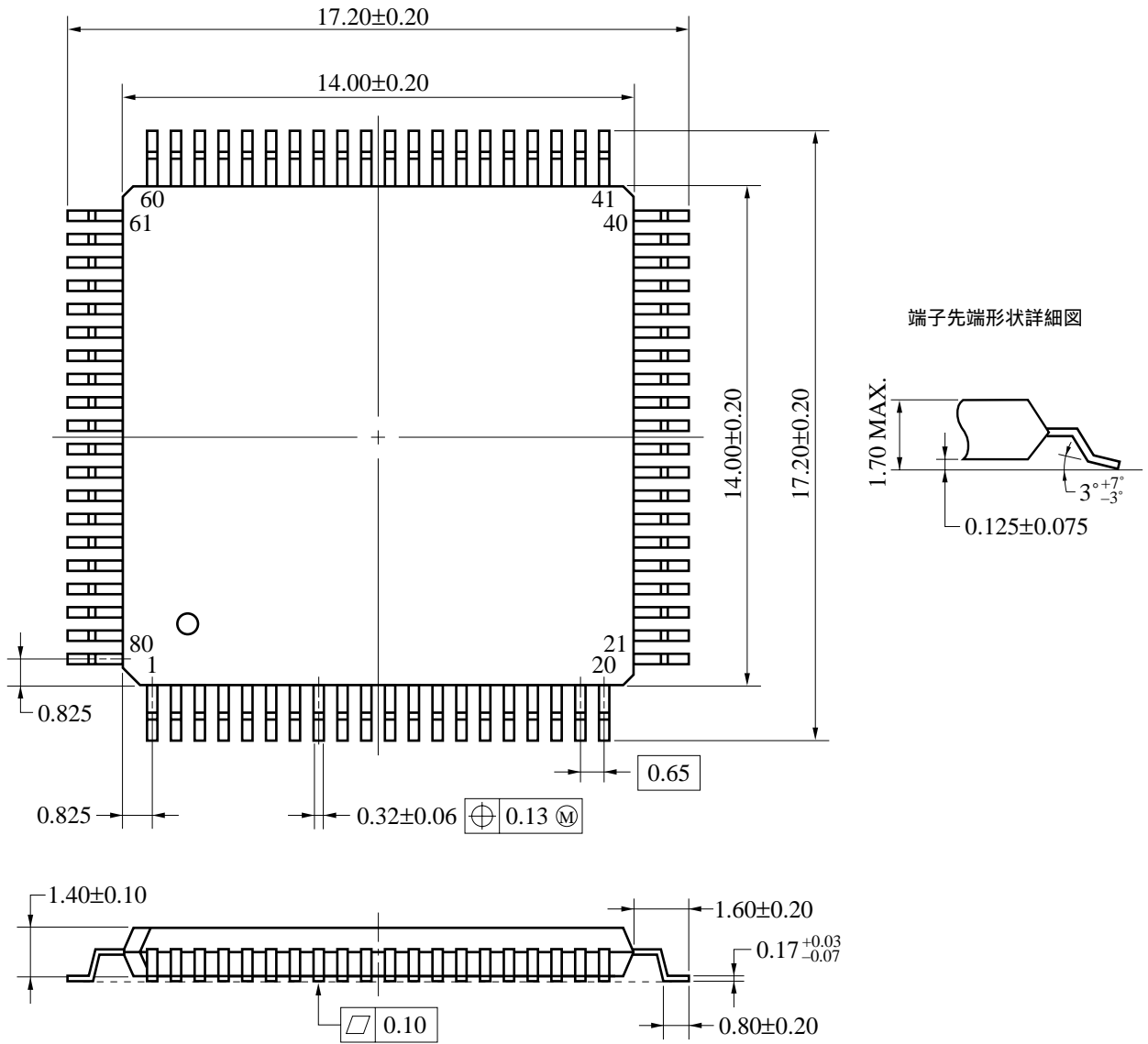


$\overline{\text{RESET}}$ 入力タイミング



10. 外形図

80ピン・プラスチック QFP (14×14) 外形図 (単位: mm)



P80GC-65-8BT

付録A. 開発ツール

μ PD780701Yサブシリーズを使用するシステム開発のために、次のような開発ツールを用意しています。

(5) 開発ツールを使用する際の注意も参照してください。

(1) 言語処理用ソフトウェア

RA78K/0	78K/0シリーズ共通のアセンブラ・パッケージ
CC78K/0	78K/0シリーズ共通のCコンパイラ・パッケージ
DF780701 ^注	μ PD780701Yサブシリーズ用のデバイス・ファイル
CC78K/0-L	78K/0シリーズ共通のCコンパイラ・ライブラリ・ソース・ファイル

注 開発中

(2) フラッシュ・メモリ書き込み用ツール

Flashpro (型番FL-PR2), Flashpro (型番FL-PR3, PG-FP3)	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライター
FA-80GC	80ピン・プラスチックQFP (GC-8BTタイプ) 用フラッシュ・メモリ書き込み用アダプタ。 対象製品にあわせて結線が必要です。
Flashpro コントローラ, Flashpro コントローラ	パソコン上から制御するプログラムです。Flashpro , Flashpro に添付されています。 Windows™95などで動作します。

(3) デバッグ用ツール

・インサーキット・エミュレータ IE-78K0-NSを使用する場合

IE-78K0-NS	78K/0シリーズ共通のインサーキット・エミュレータ
IE-70000-MC-PS-B	IE-78K0-NS用電源ユニット
IE-70000-98-IF-C	ホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) を使用するときのインタフェース・アダプタ (Cバス対応)
IE-70000-CD-IF-A	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブル (PCMCIAソケット対応)
IE-70000-PC-IF-C	ホスト・マシンとしてIBM PC/AT™互換機を使用するときに必要なインタフェース・アダプタ (ISAバス対応)
EI-70000-PCI-IF	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタ
IE-780701-NS-EM1 ^注	μ PD780701Yサブシリーズをエミュレーションするためのエミュレーション・ボード
NP-80GC	80ピン・プラスチックQFP (GC-8BTタイプ) 用エミュレーション・プローブ
EV-9200GC-80	80ピン・プラスチックQFP (GC-8BTタイプ) を実装できるように作られたターゲット・システムの基板とNP-80GCを接続するための変換ソケット
ID78K0-NS	IE-78K0-NS用統合デバッグ
SM78K0	78K/0シリーズ共通のシステム・シミュレータ
DF780701 ^注	μ PD780701Yサブシリーズ用デバイス・ファイル

注 開発中

・インサーキット・エミュレータ IE-78001-R-Aを使用する場合

IE-78001-R-A	78K/0シリーズ共通のインサーキット・エミュレータ
IE-70000-98-IF-C	ホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なインタフェース・アダプタ（Cバス対応）
IE-70000-PC-IF-C	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なインタフェース・アダプタ（ISAバス対応）
IE-70000-PCI-IF	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタ
IE-78000-R-SV3	ホスト・マシンとしてEWSを使用するときに必要なインタフェース・アダプタとケーブル
IE-780701-NS-EM1 ^注	μ PD780701Yサブシリーズをエミュレーションするためのエミュレーション・ボード
IE-78K0-R-EX1	IE-780701-NS-EM1をIE-78001-R-A上で使用するときに必要なエミュレーション・プロンプト変換ボード
EP-78230GC-R	80ピン・プラスチックQFP（GC-8BTタイプ）用エミュレーション・プロンプト
EV-9200GC-80	80ピン・プラスチックQFP（GC-8BTタイプ）を実装できるように作られたターゲット・システムの基板とEP-78230GC-Rを接続するための変換ソケット
ID78K0	IE-78001-R-A用統合デバッグ
SM78K0	78K/0シリーズ共通のシステム・シミュレータ
DF780701 ^注	μ PD780701Yサブシリーズ用デバイス・ファイル

注 開発中

(4) リアルタイムOS

RX78K/0	78K/0シリーズ用リアルタイムOS
MX78K0	78K/0シリーズ用OS

(5) 開発ツールを使用する際の注意

- ・ ID78K0-NS, ID78K0, SM78K0は, DF780701と組み合わせて使用します。
- ・ CC78K/0, RX78K/0は, RA78K/0およびDF780701と組み合わせて使用します。
- ・ FL-PR2, FL-PR3, FA-80GC, NP-80GCは, 株式会社内藤電誠町田製作所（TEL（044）822-3813）の製品です。ご購入の際はNEC特約店にご相談ください。
- ・ 3rdパーティ製開発ツールについては, 78K/0シリーズ **セレクション・ガイド**（U11126J）を参照してください。
- ・ 各ソフトウェアに対応するホスト・マシンとOSは次のとおりです。

ホスト・マシン [OS]	PC	EWS
	ソフトウェア	PC-9800シリーズ [Windows™] IBM PC/AT互換機 [日本語 / 英語Windows]
RA78K/0	注	
CC78K/0	注	
ID78K0-NS		-
ID78K0		
SM78K0		-
RX78K/0	注	
MX78K0	注	

注 DOSベースのソフトウェアです。

付録B. 関連資料

デバイスの関連資料

資料名	資料番号	
	和文	英文
μ PD780701Yサブシリーズ ユーザーズ・マニュアル	U13781J	作成中
μ PD780701Y, 780702Y ペーパー・マシン	この資料	作成予定
μ PD78F0701Y ペーパー・マシン	U13563J	U13563E
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E

開発ツールの資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
RA78K0 アセンブラ・パッケージ	操作編	U11802J U11802E
	言語編	U11801J U11801E
	構造化アセンブリ言語編	U11789J U11789E
RA78Kシリーズ 構造化アセンブラ・プリプロセッサ	U12323J	EEU-1402
CC78K0 Cコンパイラ	操作編	U11517J U11517E
	言語編	U11518J U11518E
CC78K/0 Cコンパイラ アプリケーション・ノート	プログラミング・ノウハウ編	U13034J U13034E
IE-78K0-NS	作成予定	作成予定
IE-78001-R-A	作成予定	作成予定
IE-78K0-R-EX1	作成予定	作成予定
IE-780701-NS-EM1	作成予定	作成予定
EP-780230	EEU-985	EEU-1515
SM78K0 システム・シミュレータ Windowsベース	レファレンス編	U10181J U10181E
SM78Kシリーズ システム・シミュレータ	外部部品ユーザオープン インタフェース仕様編	U10092J U10092E
ID78K0-NS 統合ディバッガ Windowsベース	レファレンス編	U12900J U12900E
ID78K0 統合ディバッガ EWSベース	レファレンス編	U11151J -
ID78K0 統合ディバッガ Windowsベース	ガイド編	U11649J U11649E
ID78K0 統合ディバッガ PCベース	レファレンス編	U11539J U11539E

組み込み用ソフトウェアの資料（ユーザーズ・マニュアル）

資料名		資料番号	
		和文	英文
78K/0シリーズ リアルタイムOS	基礎編	U11537J	U11537E
	インストール編	U11536J	U11536E
78K/0シリーズ用OS MX78K0	基礎編	U12257J	U12257E

その他の資料

資料名		資料番号	
		和文	英文
NEC IC Package Manual (CD-ROM)		-	C13388E
半導体デバイス 実装マニュアル		C10535J	C10535E
NEC半導体デバイスの品質水準		C11531J	C11531E
NEC半導体デバイスの信頼性品質管理		C10983J	C10983E
静電気放電（ESD）破壊対策ガイド		C11892J	C11892E
半導体 品質 / 信頼性ハンドブック		C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編		U11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

CMOSデバイスの一般的注意事項

静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

注意: 本製品は μ Cバス・インタフェース回路を内蔵しています。

日本電気株式会社の μ Cバス対応部品をご購入いただくことにより、これらの部品を μ Cシステムに使用する実施権がフィリップス社 μ C特許に基づき許諾されることとなります。ただし、これらの μ Cシステムはフィリップス社によって設定された μ C標準規格に合致しているものとします。

Purchase of NEC μ C components conveys a license under the Philips μ C Patent Rights to use these components in an μ C system, provided that the system conforms to the μ C Standard Specification as defined by Philips.

FIPは、日本電気株式会社の登録商標です。

IEBus, Inter Equipment Busは、日本電気株式会社の商標です。

Windowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

本製品が外国為替および外国貿易管理法の規定による戦略物資等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

文書による当社の承諾なしに本資料の転載複製を禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン（インフォメーションセンター）
 （電話：午前 9:00～12:00、午後 1:00～5:00）

電話 : 044-548-8899
 FAX : 044-548-7900
 E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

半導体第一販売事業部	〒108-8001	東京都港区芝5-7-1	(日本電気本社ビル)	(03)3454-1111				
半導体第二販売事業部								
半導体第三販売事業部								
中部支社	〒460-8525	愛知県名古屋市中区錦1-17-1	(日本電気中部ビル)	(052)222-2170 (052)222-2190				
関西支社	〒540-8551	大阪府大阪市中央区城見1-4-24	(日本電気関西ビル)	(06) 945-3178 (06) 945-3200 (06) 945-3208				
北海道支社	札幌	(011)251-5599	宇都宮支店	宇都宮	(028)621-2281	北陸支社	金沢	(076)232-7303
東北支社	仙台	(022)267-8740	小山支店	小山	(0285)24-5011	京都支社	京都	(075)344-7824
岩手支店	盛岡	(019)651-4344	甲府支店	甲府	(0552)24-4141	神戸支社	神戸	(078)333-3854
郡山支店	郡山	(0249)23-5511	長野支社	松本	(0263)35-1662	中国支社	広島	(082)242-5504
いわき支店	いわき	(0246)21-5511	静岡支社	静岡	(054)254-4794	鳥取支店	鳥取	(0857)27-5311
長岡支店	長岡	(0258)36-2155	立川支社	立川	(042)526-5981,6167	岡山支店	岡山	(086)225-4455
水戸支店	水戸	(029)226-1717	埼玉支社	大宮	(048)649-1415	松山支店	松山	(089)945-4149
土浦支店	土浦	(0298)23-6161	千葉支社	千葉	(043)238-8116	九州支社	福岡	(092)261-2806
群馬支店	高崎	(027)326-1255	神奈川支社	横浜	(045)682-4524			
太田支店	太田	(0276)46-4011	三重支店	津	(059)225-7341			