

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 8ビット・シングルチップ・マイクロコンピュータ

$\mu$ PD78064B(A)は、 $\mu$ PD78064B（標準品）に比べてより厳しい品質保証プログラムを適用している製品です（NECではこれを品質水準の分類において、特別水準と称しています）。

$\mu$ PD78064B(A)は、78K/0シリーズの中の $\mu$ PD78064Bサブシリーズの製品です。

従来の $\mu$ PD78064サブシリーズに比べ、マイコン内部から発生するEMI（Electro Magnetic Interference）ノイズを低減しています。

また、マスクROM製品と同じ電源電圧で動作可能なワン・タイムPROM製品や、各種開発ツールも用意しております。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

$\mu$ PD78064Bサブシリーズ ユーザーズ・マニュアル：U10785J

78K/0シリーズ ユーザーズ・マニュアル 命令編：U12326J

## 特 徴

大容量ROM, RAM内蔵	I/Oポート：57本（セグメント信号出力兼用端子を含む）
・内部ROM：32 Kバイト	LCDコントローラ/ドライバ
・内部高速RAM：1024バイト	電源電圧： $V_{DD} = 2.0 \sim 6.0$ V（スタティック表示モード）
・LCD表示用RAM：40 × 4 ビット	： $V_{DD} = 2.5 \sim 6.0$ V（1/3バイアス法）
3種類のパッケージを用意	： $V_{DD} = 2.7 \sim 6.0$ V（1/2バイアス法）
・100ピン・プラスチックQFP（ファインピッチ）（14 mm）	8ビット分解能A/Dコンバータ：8チャンネル
・100ピン・プラスチックLQFP（ファインピッチ）（14 mm）	シリアル・インタフェース：2チャンネル
・100ピン・プラスチックQFP（14 × 20 mm）	タイマ：5チャンネル
高速（0.4 $\mu$ s）から超低速（122 $\mu$ s）まで最小命令実行時間変更可能	電源電圧： $V_{DD} = 2.0 \sim 6.0$ V

## 応用分野

自動車電装の制御装置，ガス検知遮断機，各種安全装置，血圧計など

本資料の内容は、後日変更する場合があります。

オーダー情報

オーダー名称	パッケージ	品質水準
μ PD78064BGC(A)-x x x-7EA	100ピン・プラスチックQFP (ファインピッチ) ( 14 mm)	特別水準
μ PD78064BGC(A)-x x x-8EU <sup>注</sup>	100ピン・プラスチックLQFP (ファインピッチ) ( 14 mm)	"
μ PD78064BGF(A)-x x x-3BA	100ピン・プラスチックQFP (14×20 mm)	"

注 開発中

注意 μPD78064BGC(A)には2種類のパッケージがあります(11.外形図参照)。供給可能なパッケージについては当社販売員にご相談ください。

備考 x x xはROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

μPD78064B(A)とμPD78064Bの違い

項目	品名	μ PD78064B(A)	μ PD78064B
品質水準		特別水準	標準水準

★ 78K/0シリーズの展開

78K/0シリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



Yサブシリーズは、I<sup>2</sup>Cバス対応の製品です。



注 計画中

各サブシリーズ間の主な機能の違いを次に示します。

機能 サブシリーズ名		ROM容量	タイマ				8-bit	10-bit	8-bit	シリアル・ インタフェース	I/O	V <sub>DD</sub> MIN.値	外部 拡張				
			8-bit	16-bit	時計	WDT	A/D	A/D	D/A								
制御用	μ PD78075B	32 K-40 K	4ch	1ch	1ch	1ch	8ch	-	2ch	3ch( UART:1ch )	88本	1.8 V					
	μ PD78078	48 K-60 K									61本	2.7 V					
	μ PD78070A	-															
	μ PD780018	48 K-60 K	2ch						-	2ch( 時分割 3線:1ch )	88本	1.8 V					
	μ PD780058	24 K-60 K							2ch	3ch( 時分割UART:1ch )	68本			1.8 V			
	μ PD78058F	48 K-60 K									3ch( UART:1ch )			69本	2.7 V		
	μ PD78054	16 K-60 K							2.0 V								
	μ PD780034	8 K-32 K								-	8ch			-	3ch( UART:1ch, 時分割 3線:1ch )	51本	1.8 V
	μ PD780024								8ch	-				53本			
	μ PD78014H																
	μ PD78018F	8 K-60 K	8 K-32 K								39本	2.7 V					
	μ PD78014	8 K-32 K															
	μ PD780001	8 K												-	-	1ch	53本
	μ PD78002	8 K-16 K												-	-		
μ PD78083	8 K	-	-	1ch	33本	1.8 V	-										
インバータ 制御用	μ PD780964	8 K-32 K	3ch	注	-	1ch	-	8ch	-	2ch( UART:2ch )	47本	2.7 V					
	μ PD780924						8ch	-									
FIP 駆動用	μ PD780208	32 K-60 K	2ch	1ch	1ch	1ch	8ch	-	-	2ch	74本	2.7 V	-				
	μ PD780228	48 K-60 K								-	-	1ch		72本	4.5 V		
	μ PD78044H	32 K-48 K								2ch	1ch					1ch	68本
	μ PD78044F	16 K-40 K								2ch							
LCD 駆動用	μ PD780308	48 K-60 K	2ch	1ch	1ch	1ch	8ch	-	-	3ch( 時分割UART:1ch )	57本	2.0 V	-				
	μ PD78064B	32 K								2ch( UART:1ch )							
	μ PD78064	16 K-32 K															
IEBus 対応	μ PD78098B	40 K-60 K	2ch	1ch	1ch	1ch	8ch	-	2ch	3ch( UART:1ch )	69本	2.7 V					
	μ PD78098	32 K-60 K															
メータ 制御用	μ PD780973	24 K-32 K	3ch	1ch	1ch	1ch	5ch	-	-	2ch( UART:1ch )	56本	4.5 V	-				
	μ PD780805	40 K-60 K					2ch				8ch	39本		2.7 V			
LV用	μ PD78P0914	32 K	6ch	-	-	1ch	8ch	-	-	2ch	54本	4.5 V					

注 10ビット・タイマ：1チャンネル

機能概要

項 目		機 能
内部メモリ	ROM	32 Kバイト
	高速RAM	1024バイト
	LCD表示用RAM	40 × 4 ビット
汎用レジスタ		8 ビット × 32レジスタ ( 8 ビット × 8 レジスタ × 4 バンク )
最小命令 実行時間	メイン・システム・ クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs ( 5.0 MHz動作時 )
	サブシステム・ クロック選択時	122 μs ( 32.768 kHz動作時 )
命令セット		<ul style="list-style-type: none"> <li>・ 16ビット演算</li> <li>・ 乗除算 ( 8 ビット × 8 ビット , 16ビット ÷ 8 ビット )</li> <li>・ ビット操作 ( セット , リセット , テスト , プール演算 )</li> <li>・ BCD補正など</li> </ul>
I/Oポート  ( セグメント信号出力 ) ( 兼用端子を含む )		合計 : 57本 <ul style="list-style-type: none"> <li>・ CMOS入力 : 2本</li> <li>・ CMOS入出力 : 55本</li> </ul>
A/Dコンバータ		8 ビット分解能 × 8 チャンネル
LCDコントローラ/ドライバ		<ul style="list-style-type: none"> <li>・ セグメント信号出力 : 最大40本</li> <li>・ コモン信号出力 : 最大4本</li> <li>・ バイアス : 1/2, 1/3バイアス切り替え可能</li> </ul>
シリアル・インタフェース		<ul style="list-style-type: none"> <li>・ 3線式シリアルI/O / SBI / 2線式シリアルI/Oモード選択可能 : 1チャンネル</li> <li>・ 3線式シリアルI/O / UARTモード選択可能 : 1チャンネル</li> </ul>
タイマ		<ul style="list-style-type: none"> <li>・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル</li> <li>・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル</li> <li>・ 時計用タイマ : 1チャンネル</li> <li>・ ウォッチドッグ・タイマ : 1チャンネル</li> </ul>
タイマ出力		3本 ( 14ビットPWM出力可能 : 1本 )
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz ( メイン・システム・クロック : 5.0 MHz動作時 ) 32.768 kHz ( サブシステム・クロック : 32.768 kHz動作時 )
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz ( メイン・システム・クロック : 5.0 MHz動作時 )
ベクタ	マスカブル	内部 : 12, 外部 : 6
割り込み	ノンマスカブル	内部 : 1
要因	ソフトウェア	1
テスト入力		内部 : 1本, 外部 : 1本
電源電圧		V <sub>DD</sub> = 2.0 ~ 6.0 V
パッケージ		<ul style="list-style-type: none"> <li>・ 100ピン・プラスチックQFP ( ファインピッチ ) ( 14 mm )</li> <li>・ 100ピン・プラスチックLQFP ( ファインピッチ ) ( 14 mm )<sup>注</sup></li> <li>・ 100ピン・プラスチックQFP ( 14 × 20 mm )</li> </ul>

注 開発中

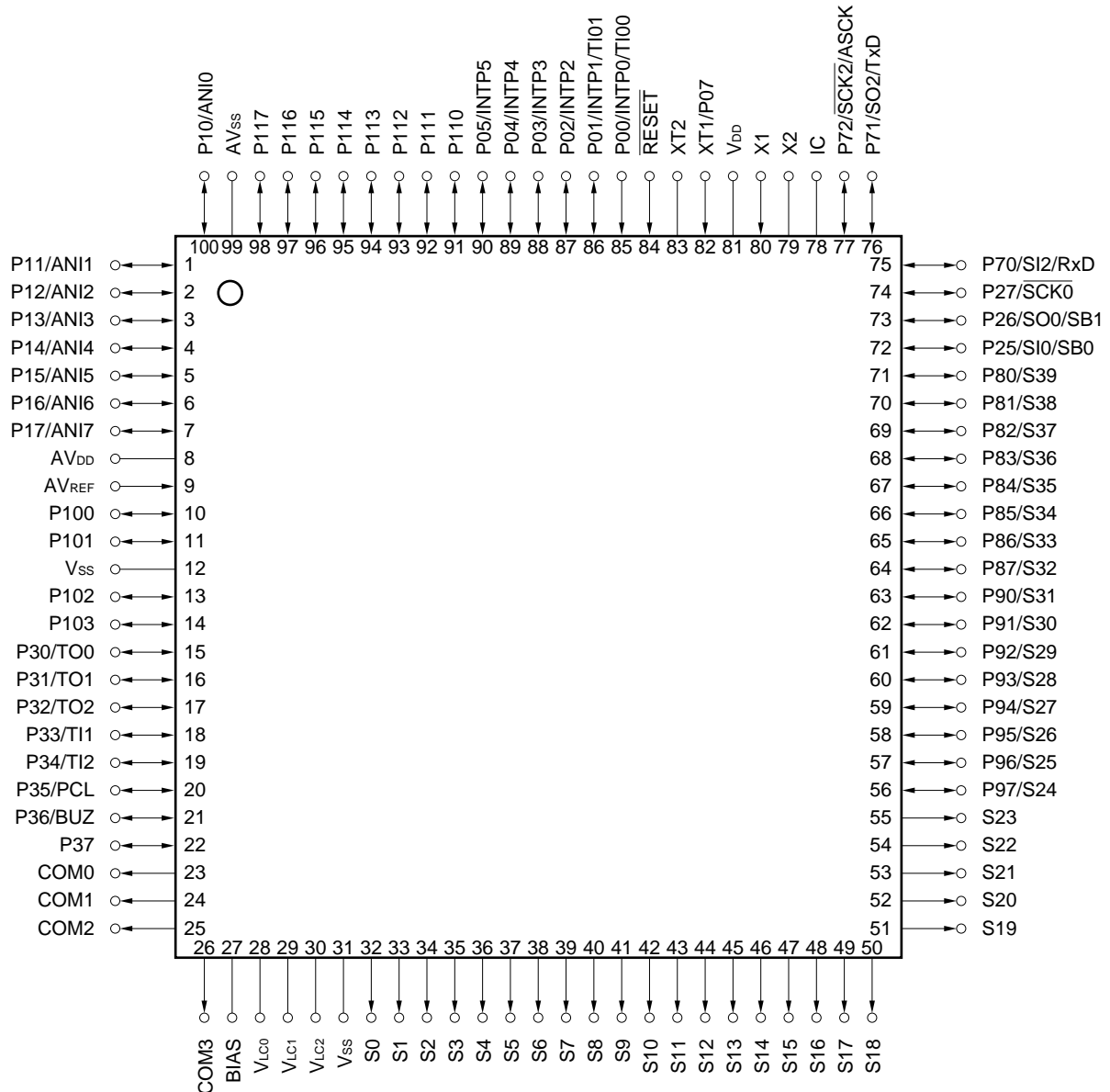
## 目 次

1 . 端子接続図 (Top View) ...	7
2 . ブロック図 ...	10
3 . 端子機能一覧 ...	11
3.1 ポート端子 ...	11
3.2 ポート以外の端子 ...	13
3.3 端子の入出力回路と未使用端子の処理 ...	14
4 . メモリ空間 ...	18
5 . 周辺ハードウェア機能の特徴 ...	19
5.1 ポート ...	19
5.2 クロック発生回路 ...	20
5.3 タイマ/イベント・カウンタ ...	20
5.4 クロック出力制御回路 ...	23
5.5 ブザー出力制御回路 ...	23
5.6 A/Dコンバータ ...	24
5.7 シリアル・インタフェース ...	25
5.8 LCDコントローラ/ドライバ ...	27
6 . 割り込み機能とテスト機能 ...	28
6.1 割り込み機能 ...	28
6.2 テスト機能 ...	32
7 . スタンバイ機能 ...	33
8 . リセット機能 ...	33
9 . 命令セット ...	34
10 . 電気的特性 ...	37
11 . 外形図 ...	57
12 . 半田付け推奨条件 ...	60
付録A . 開発ツール ...	61
付録B . 関連資料 ...	63



1. 端子接続図 (Top View)

- 100ピン・プラスチックQFP (ファインピッチ) ( 14 mm )  
μPD78064BGC(A)-x x x -7EA
- 100ピン・プラスチックLQFP (ファインピッチ) ( 14 mm )  
μPD78064BGC(A)-x x x -8EU<sup>注</sup>



注 開発中

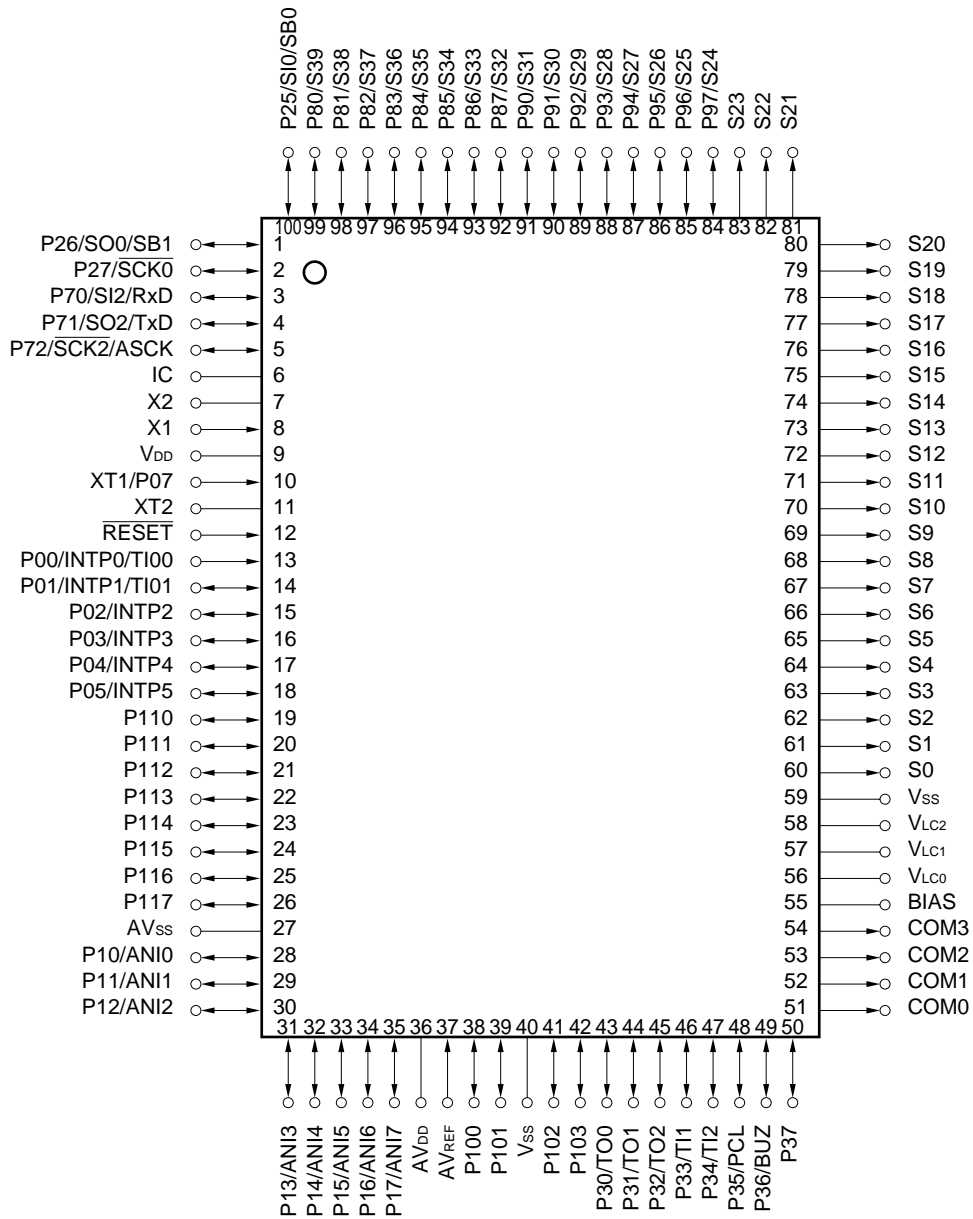
注意 1 . IC ( Internally Connected ) 端子はV<sub>SS</sub>に直接接続してください。

2 . AV<sub>DD</sub>端子はA/Dコンバータの電源とポートの電源を兼用しています。マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V<sub>DD</sub>と同電位の別の電源に接続してください。

3 . AV<sub>SS</sub>端子はA/Dコンバータのグラウンドとポートのグラウンドを兼用しています。マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V<sub>SS</sub>と別のグラウンド・ラインに接続してください。

・100ピン・プラスチックQFP (14 × 20 mm)

μPD78064BGF(A)-x × x -3BA



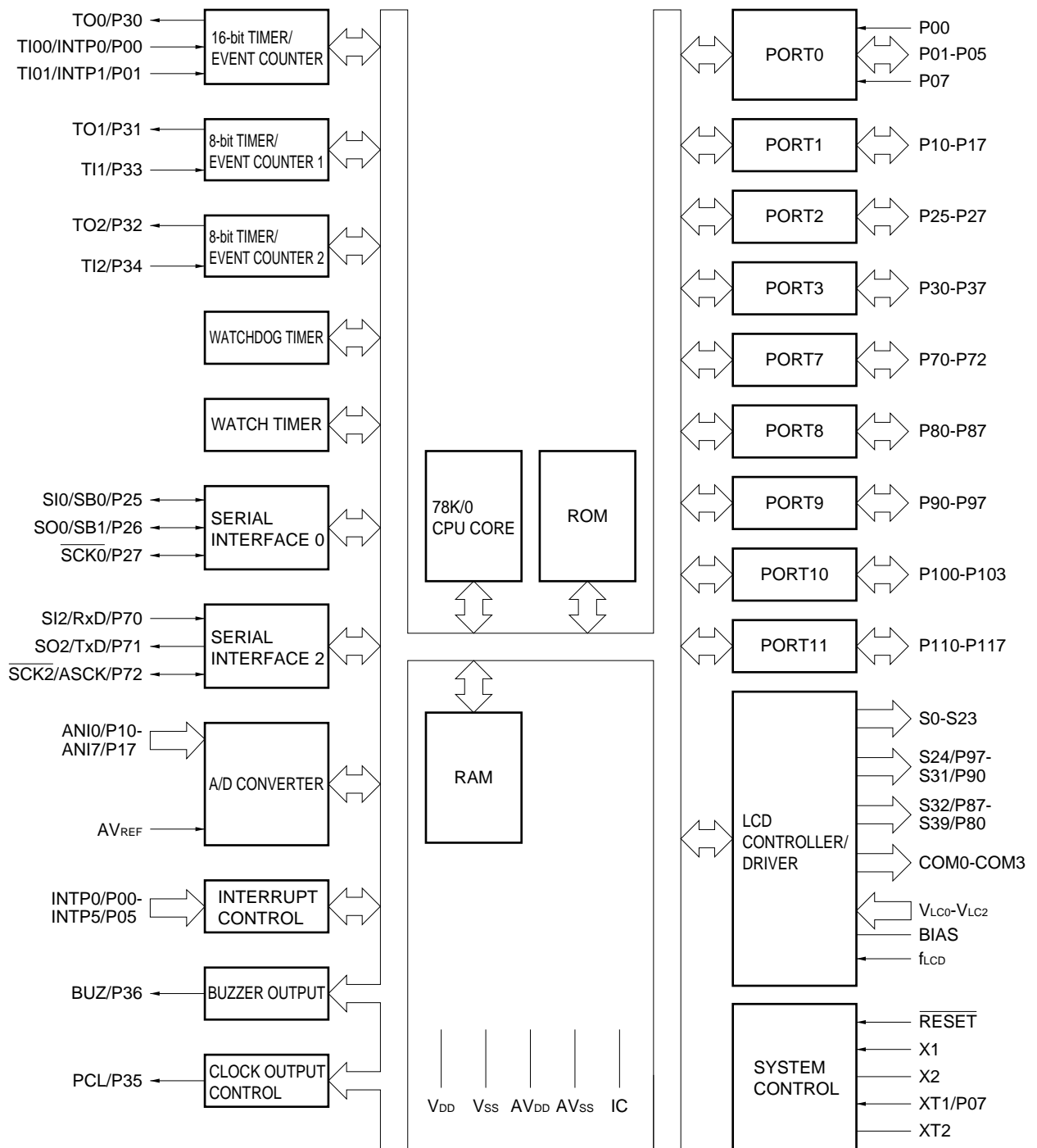
注意 1 . IC (Internally Connected) 端子はV<sub>SS</sub>に直接接続してください。

2 . AV<sub>DD</sub>端子はA/Dコンバータの電源とポートの電源を兼用しています。マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V<sub>DD</sub>と同電位の別の電源に接続してください。

3 . AV<sub>SS</sub>端子はA/Dコンバータのグランドとポートのグランドを兼用しています。マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V<sub>SS</sub>と別のグランド・ラインに接続してください。

ANI0-ANI7	: Analog Input	P110-P117	: Port11
ASCK	: Asynchronous Serial Clock	PCL	: Programmable Clock
AV <sub>DD</sub>	: Analog Power Supply	$\overline{\text{RESET}}$	: Reset
AV <sub>REF</sub>	: Analog Reference Voltage	RxD	: Receive Data
AV <sub>SS</sub>	: Analog Ground	S0-S39	: Segment Output
BIAS	: LCD Power Supply Bias Control	SB0 , SB1	: Serial Bus
BUZ	: Buzzer Clock	SI0 , SI2	: Serial Input
COM0-COM3	: Common Output	SO0 , SO2	: Serial Output
IC	: Internally Connected	$\overline{\text{SCK0}}$ , $\overline{\text{SCK2}}$	: Serial Clock
INTP0-INTP5	: Interrupt from Peripherals	TI00 , TI01	: Timer Input
P00-P05 , P07	: Port0	TI1 , TI2	: Timer Input
P10-P17	: Port1	TO0-TO2	: Timer Output
P25-P27	: Port2	TxD	: Transmit Data
P30-P37	: Port3	V <sub>DD</sub>	: Power Supply
P70-P72	: Port7	V <sub>LC0-V<sub>LC2</sub></sub>	: LCD Power Supply
P80-P87	: Port8	V <sub>SS</sub>	: Ground
P90-P97	: Port9	X1 , X2	: Crystal ( Main System Clock )
P100-P103	: Port10	XT1 , XT2	: Crystal ( Subsystem Clock )

2. ブロック図



### 3. 端子機能一覧

#### 3.1 ポート端子 (1/2)

端子名称	入出力	機 能		リセット時	兼用端子
P00	入力	ポート0。	入力専用	入力	INTP0/TI00
P01	入出力	7ビット入出力ポート。	1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入力	INTP1/TI01
P02					INTP2
P03					INTP3
P04					INTP4
P05					INTP5
P07 <sup>注1</sup>	入力		入力専用。	入力	XT1
P10-P17	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 <sup>注2</sup>		入力	ANI0-ANI7
P25	入出力	ポート2。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	SI0/SB0
P26					SO0/SB1
P27					SCK0
P30	入出力	ポート3。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	TO0
P31					TO1
P32					TO2
P33					TI1
P34					TI2
P35					PCL
P36					BUZ
P37					-
P70	入出力	ポート7。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	SI2/RxD
P71					SO2/TxD
P72					SCK2/ASCK

注1．P07/XT1端子を入力ポートとして使用するときは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット6（FRC）を1に設定してください（サブシステム・クロック発振回路の内蔵フィードバック抵抗を使用しないでください）。

2．P10/ANI0-P17/ANI7端子をA/Dコンバータのアナログ入力として使用するときは、ポート1を入力モードにしてください。なお、内蔵プルアップ抵抗は自動的に使用されなくなります。

3.1 ポート端子 (2/2)

端子名称	入出力	機能	リセット時	兼用端子
P80-P87	入出力	ポート8。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LCD表示コントロール・レジスタ(LCDC)により、2ビット単位で入出力ポート/セグメント信号出力機能の指定可能。	入力	S39-S32
P90-P97	入出力	ポート9。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LCD表示コントロール・レジスタ(LCDC)により、2ビット単位で入出力ポート/セグメント信号出力機能の指定可能。	入力	S31-S24
P100-P103	入出力	ポート10。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。	入力	-
P110-P117	入出力	ポート11。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 立ち下がりエッジ検出可能。	入力	-

**注意** ポートと兼用機能を持った端子については、A/D変換動作中は次の操作を行わないでください。A/D変換時の総合誤差の規格が守れなくなります(LCDセグメント出力兼用端子を除く)。

ポートとして使用している場合、その出力の出力ラッチを書き換えること

ポートとして使用していない場合でも、出力として使用している端子の出力レベルを変更すること

3.2 ポート以外の端子 (1/2)

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力。	入力	P00/TI00
INTP1				P01/TI01
INTP2				P02
INTP3				P03
INTP4				P04
INTP5				P05
SI0	入力	シリアル・インタフェースのシリアル・データ入力。	入力	P25/SB0
SI2				P70/RxD
SO0	出力	シリアル・インタフェースのシリアル・データ出力。	入力	P26/SB1
SO2				P71/TxD
SB0	入出力	シリアル・インタフェースのシリアル・データ入力 / 出力。	入力	P25/SI0
SB1				P26/SO0
$\overline{\text{SCK0}}$	入出力	シリアル・インタフェースのシリアル・クロック入力 / 出力。	入力	P27
$\overline{\text{SCK2}}$				P72/ASCK
RxD	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力。	入力	P70/SI2
TxD	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力。	入力	P71/SO2
ASCK	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロック入力。	入力	P72/ $\overline{\text{SCK2}}$
TI00	入力	16ビット・タイマ (TM0) への外部カウント・クロック入力。	入力	P00/INTP0
TI01		キャプチャ・レジスタ (CR00) へのキャプチャ・トリガ信号入力。		P01/INTP1
TI1		8ビット・タイマ (TM1) への外部カウント・クロック入力。		P33
TI2		8ビット・タイマ (TM2) への外部カウント・クロック入力。		P34
TO0	出力	16ビット・タイマ (TM0) 出力 (14ビットPWM出力と兼用)。	入力	P30
TO1		8ビット・タイマ (TM1) 出力。		P31
TO2		8ビット・タイマ (TM2) 出力。		P32
PCL	出力	クロック出力 (メイン・システム・クロック, サブシステム・クロックのトリミング用)。	入力	P35
BUZ	出力	ブザー出力。	入力	P36
S0-S23	出力	LCDコントローラ / ドライバのセグメント信号出力。	出力	-
S24-S31			入力	P97-P90
S32-S39				P87-P80
COM0-COM3	出力	LCDコントローラ / ドライバのCOMMON信号出力。	出力	-
V <sub>LC0</sub> -V <sub>LC2</sub>	-	LCD駆動用電圧。マスク・オプションにより, 分割抵抗の内蔵が可能。	-	-
BIAS	-	LCD駆動用電源供給。	-	-

3.2 ポート以外の端子 (2/2)

端子名称	入出力	機能	リセット時	兼用端子
ANI0-ANI7	入力	A/Dコンバータのアナログ入力。	入力	P10-P17
AVREF	入力	A/Dコンバータの基準電圧入力。	-	-
AVDD	-	A/Dコンバータのアナログ電源 (ポート部の電源と兼用)。	-	-
AVSS	-	A/Dコンバータのグランド電位 (ポート部のグランド電位と兼用)。	-	-
RESET	入力	システム・リセット入力。	-	-
X1	入力	メイン・システム・クロック発振用クリスタル接続。	-	-
X2	-		-	-
XT1	入力	サブシステム・クロック発振用クリスタル接続。	入力	P07
XT2	-		-	-
VDD	-	正電源 (ポート部を除く)。	-	-
VSS	-	グランド電位 (ポート部を除く)。	-	-
IC	-	内部接続。VSS端子に直接接続。	-	-

注意 1 . AVDD端子はA/Dコンバータの電源とポートの電源を兼用しています。マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VDDと同電位の別の電源に接続してください。

2 . AVSS端子はA/Dコンバータのグランドとポートのグランドを兼用しています。マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VSSと別のグランド・ラインに接続してください。

3.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表 3 - 1 に示します。

また、各タイプの入出力回路の構成は、図 3 - 1 を参照してください。

表 3 - 1 各端子の入出力回路タイプ (1/2)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/INTP0/ TI00	2	入力	VSSに接続
P01/INTP1/ TI01	8-D	入出力	個別に抵抗を介して、VSSに接続
P02/INTP2			
P03/INTP3			
P04/INTP4			
P05/INTP5			
P07/XT1	16	入力	VDDに接続
P10/ANI0- P17/ANI7	11-C	入出力	個別に抵抗を介して、VDDまたはVSSに接続
P25/SI0/SB0	10-C		
P26/SO0/SB1			
P27/SCK0			
P30/TO0	5-J		
P31/TO1			
P32/TO2			



表 3 - 1 各端子の入出力回路タイプ (2/2)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法		
P33/TI1	8-D	入出力	個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続		
P34/TI2					
P35/PCL	5-J				
P36/BUZ					
P37					
P70/SI2/RxD				8-D	
P71/SO2/TxD	5-J				
P72/SCK2/ ASCK	8-D				
P80/S39-P87/ S32	17-E				
P90/S31-P97/ S24					
P100-P103				5-J	
P110-P117	8-D			個別に抵抗を介して、V <sub>DD</sub> に接続	
S0-S23	17-D			出力	オープン
COM0-COM3	18-B				
V <sub>LC0</sub> -V <sub>LC2</sub>	-				
BIAS	-	-	-		
RESET	2	入力	-		
XT2	16	-	オープン		
AV <sub>REF</sub>	-		V <sub>SS</sub> に接続		
AV <sub>DD</sub>			V <sub>DD</sub> と同電位の別の電源に接続		
AV <sub>SS</sub>			V <sub>SS</sub> と同電位の別のグラウンドに接続		
IC			V <sub>SS</sub> に直接接続		

図3 - 1 端子の入出力回路一覧 (1/2)

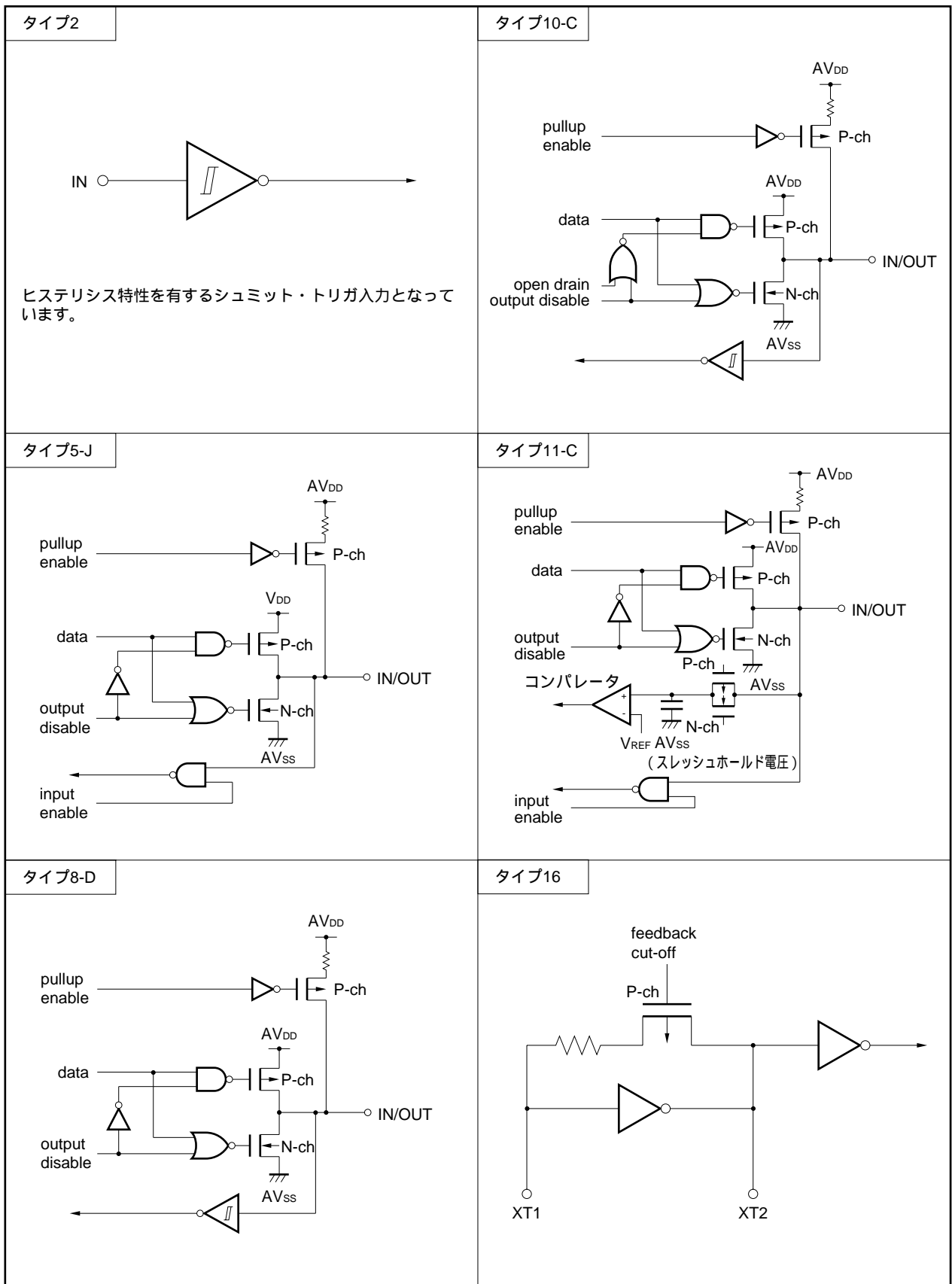
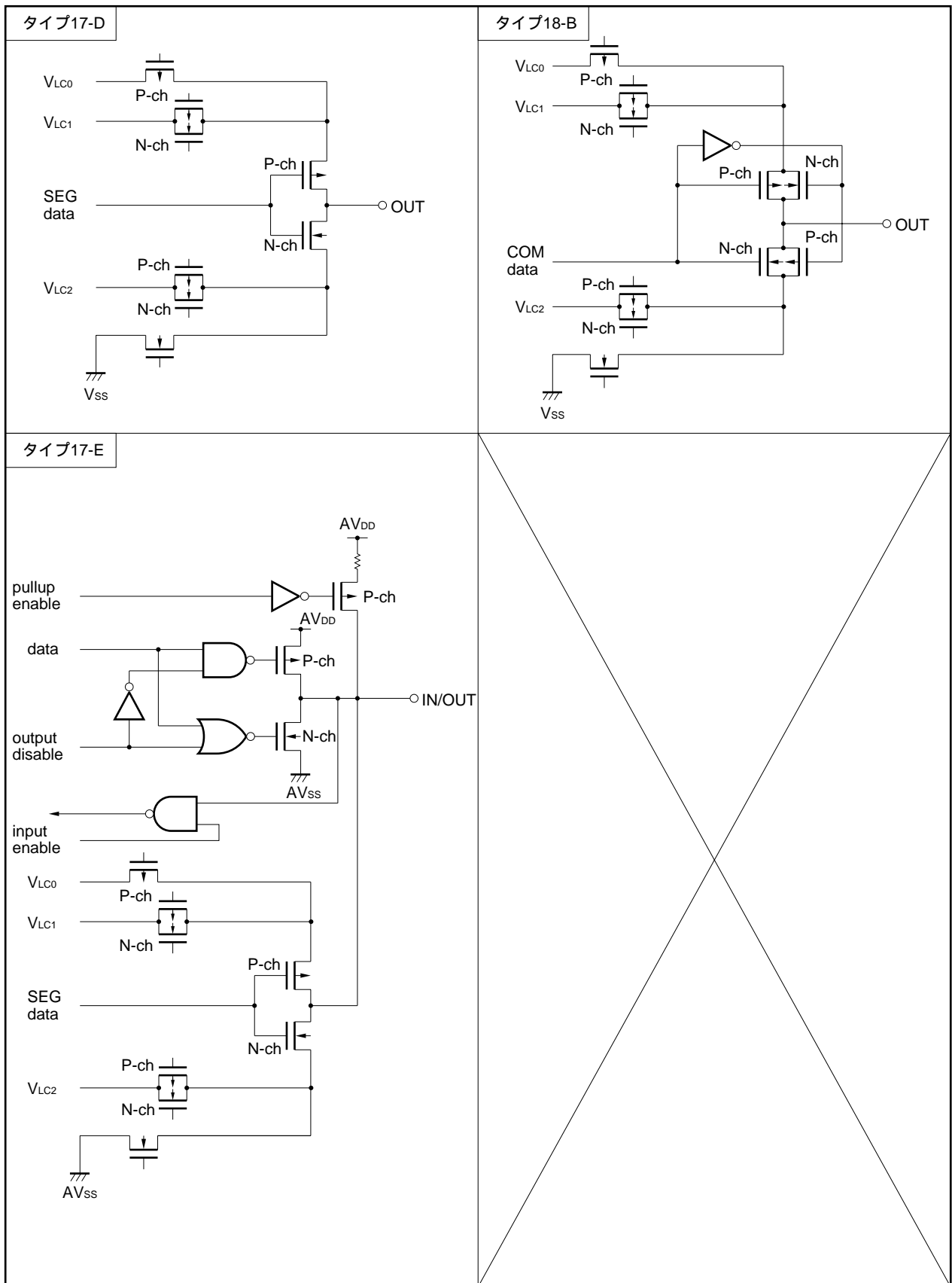


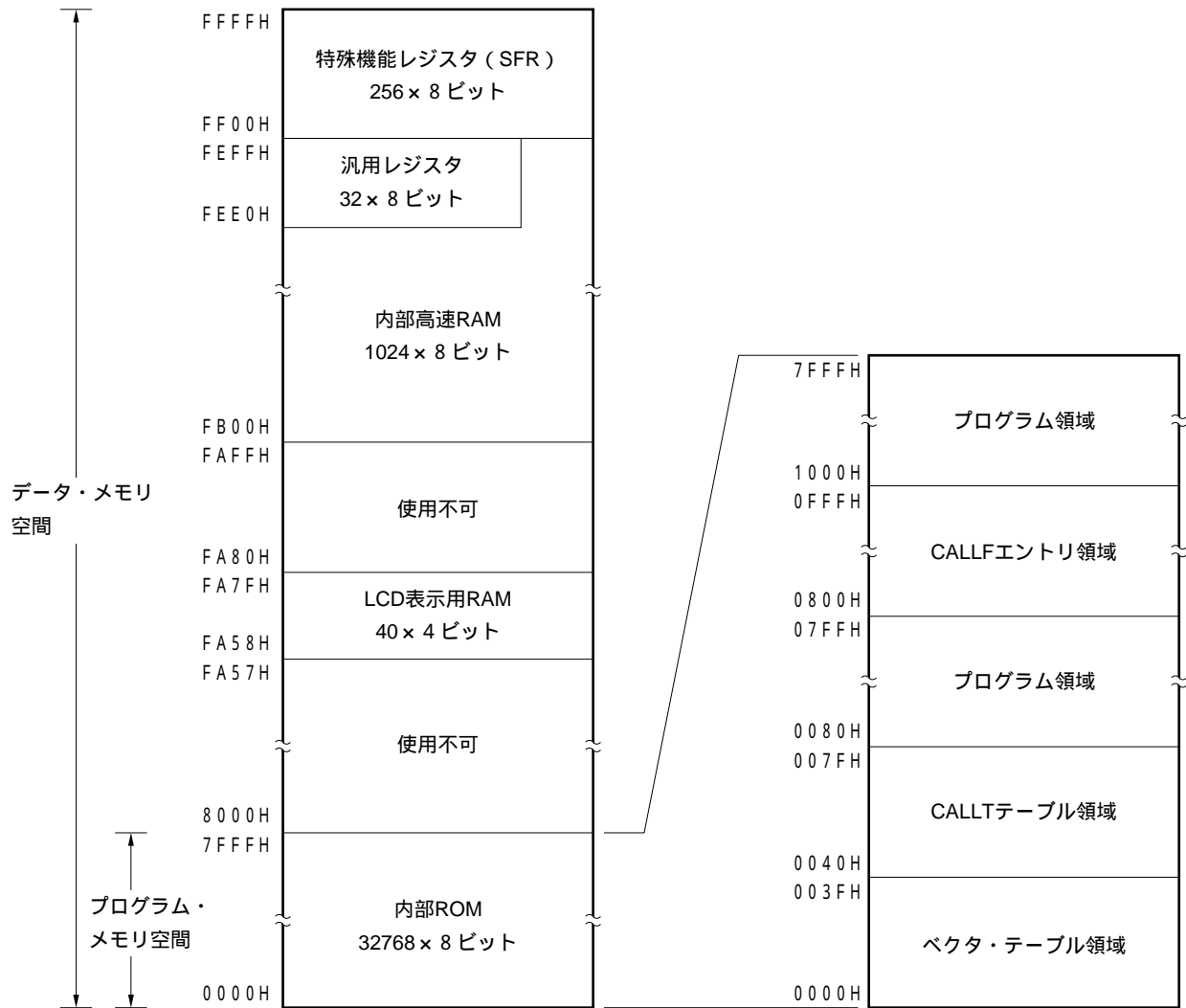
図3 - 1 端子の入出力回路一覧 (2/2)



4. メモリ空間

図4 - 1に、μPD78064B(A)のメモリ・マップを示します。

図4 - 1 メモリ・マップ



## 5．周辺ハードウェア機能の特徴

### 5.1 ポート

I/Oポートには次の2種類があります。

・ CMOS入力 ( P00 , P07 )	: 2本
・ CMOS入出力 ( P01-P05 , ポート 1 -ポート 3 , ポート 7 -ポート 11 )	: 55本
合計	: 57本

表 5 - 1 ポートの機能

名 称	端子名称	機 能
ポート 0	P00, P07	入力専用ポート
	P01-P05	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート 1	P10-P17	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート 2	P25-P27	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート 3	P30-P37	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート 7	P70-P72	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート 8	P80-P87	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LCD表示コントロール・レジスタ (LCDC) により、2ビット単位で入出力ポート/セグメント信号出力機能の指定可能。
ポート 9	P90-P97	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LCD表示コントロール・レジスタ (LCDC) により、2ビット単位で入出力ポート/セグメント信号出力機能の指定可能。
ポート 10	P100-P103	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。
ポート 11	P110-P117	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 立ち下がりエッジ検出によりテスト入力フラグ (KRIF) を 1 にセット。

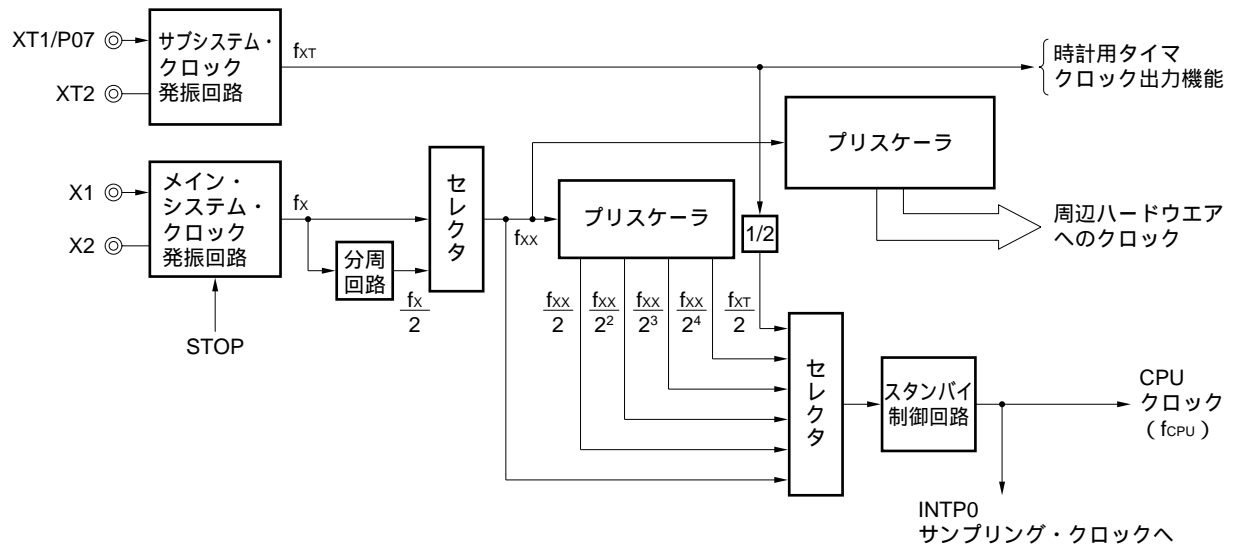
### 5.2 クロック発生回路

メイン・システム・クロックとサブシステム・クロックの2種類があります。

また、最小命令実行時間を変化させることができます。

- ・ 0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (メイン・システム・クロック : 5.0 MHz動作時)
- ・ 122 μs (サブシステム・クロック : 32.768 kHz動作時)

図5 - 1 クロック発生回路のブロック図



### 5.3 タイマ/イベント・カウンタ

タイマ/イベント・カウンタを5チャンネル内蔵しています。

- ・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル
- ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル
- ・ 時計用タイマ : 1チャンネル
- ・ ウォッチドッグ・タイマ : 1チャンネル

表5 - 2 タイマ/イベント・カウンタの種類と機能

		16ビット・タイマ/ イベント・カウンタ	8ビット・タイマ/ イベント・カウンタ	時計用タイマ	ウォッチドッグ・ タイマ
種類	インターバル・タイマ	1チャンネル	2チャンネル	1チャンネル	1チャンネル
	外部イベント・カウンタ	1チャンネル	2チャンネル	-	-
機能	タイマ出力	1出力	2出力	-	-
	PWM出力	1出力	-	-	-
	パルス幅測定	2入力	-	-	-
	方形波出力	1出力	2出力	-	-
	ワンショット・ パルス出力	1出力	-	-	-
	割り込み要求	2	2	1	1
	テスト入力	-	-	1入力	-

図5-2 16ビット・タイマ/イベント・カウンタのブロック図

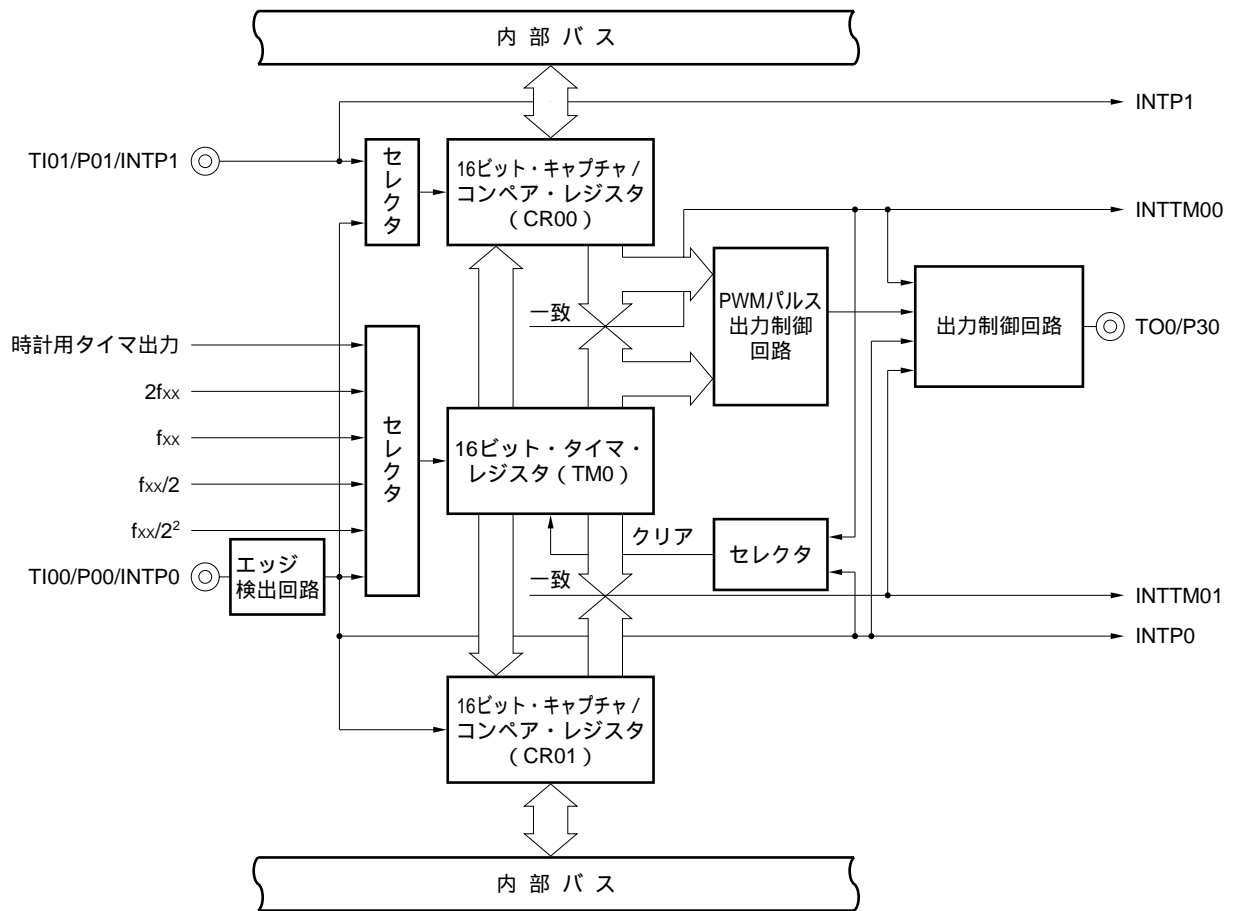


図5-3 8ビット・タイマ/イベント・カウンタのブロック図

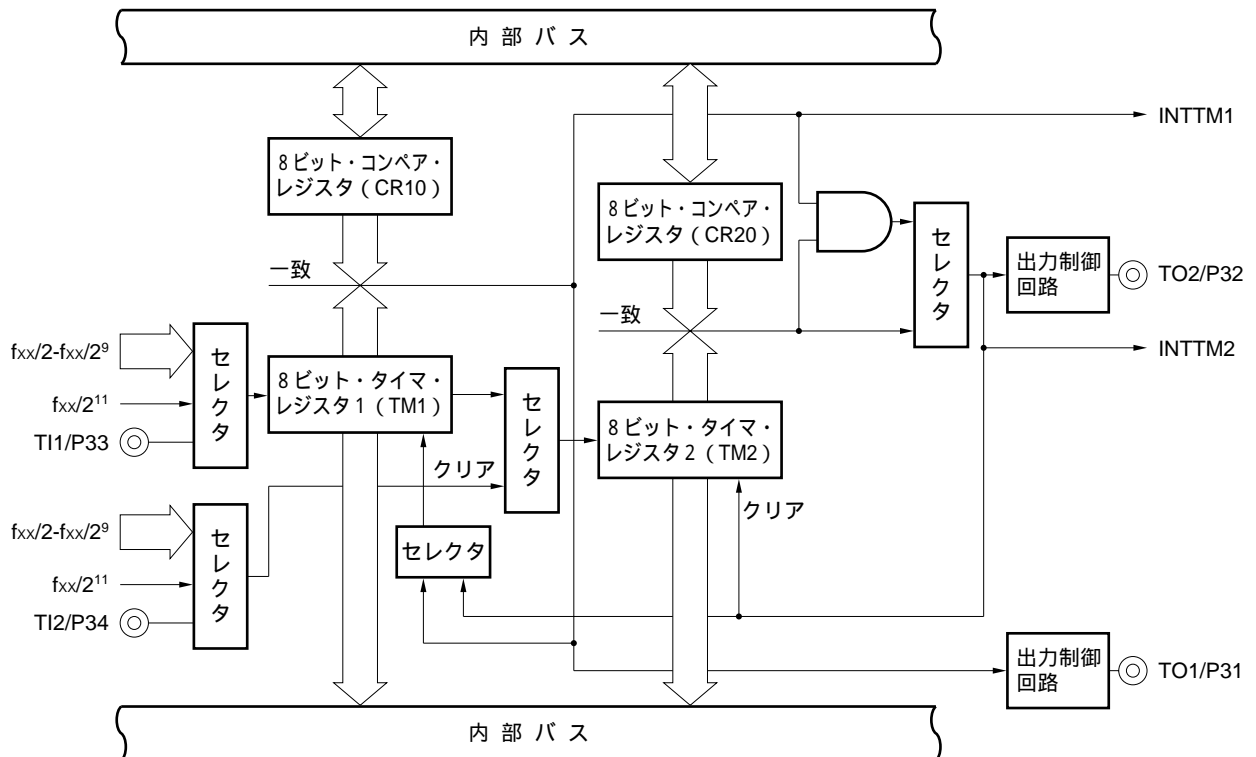


図5 - 4 時計用タイマのブロック図

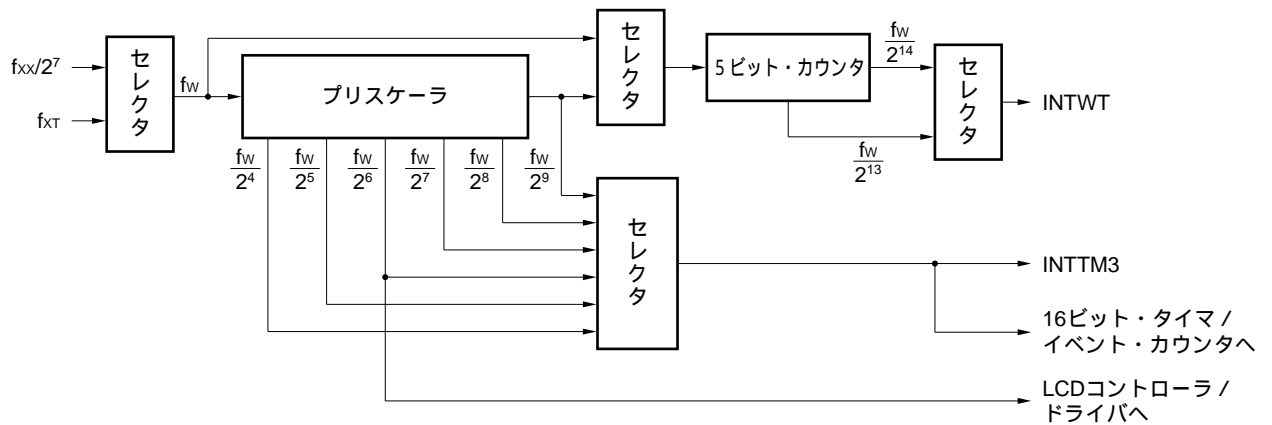
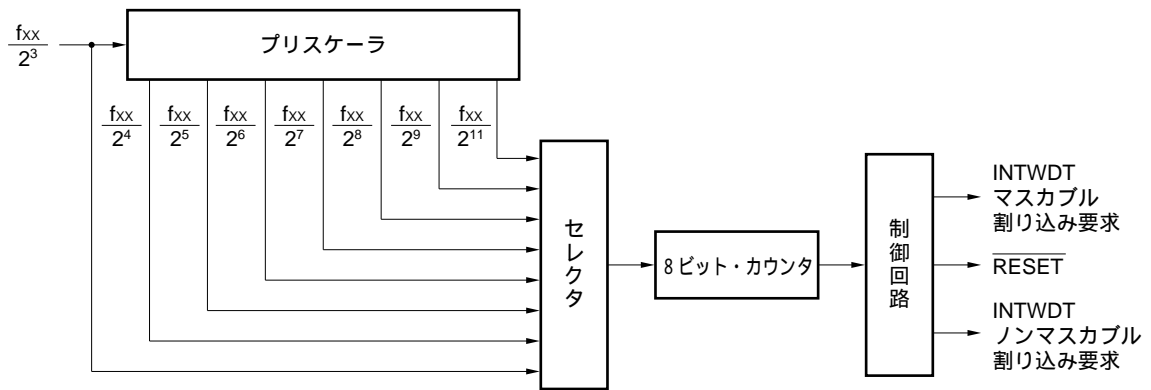


図5 - 5 ウォッチドッグ・タイマのブロック図



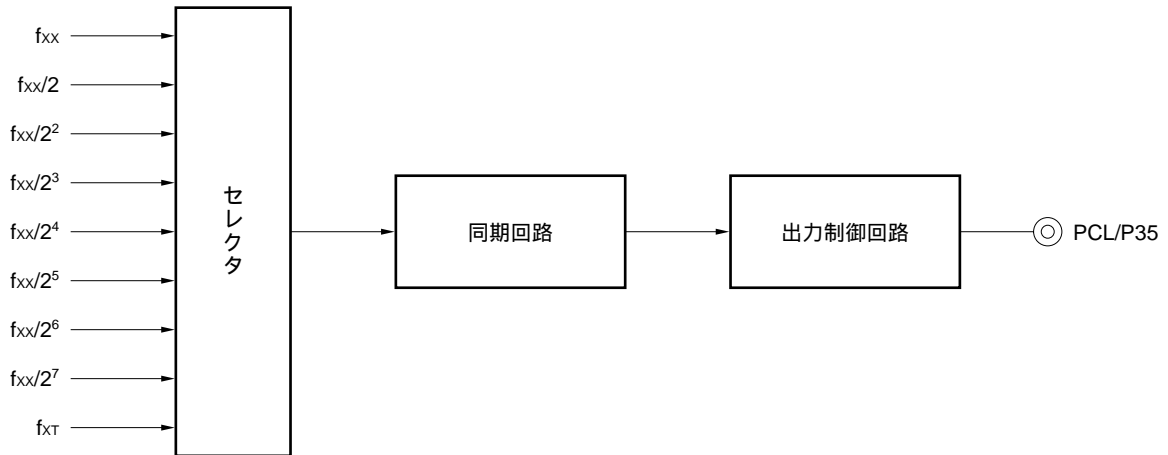


5.4 クロック出力制御回路

クロック出力として次の周波数のクロックを出力できます。

- ・ 19.5 kHz/39.1 kHz/78.1 kHz/156 kHz/313 kHz/625 kHz/1.25 MHz/2.5 MHz/5.0 MHz (メイン・システム・クロック : 5.0 MHz動作時)
- ・ 32.768 kHz (サブシステム・クロック : 32.768 kHz動作時)

図5 - 6 クロック出力制御回路のブロック図

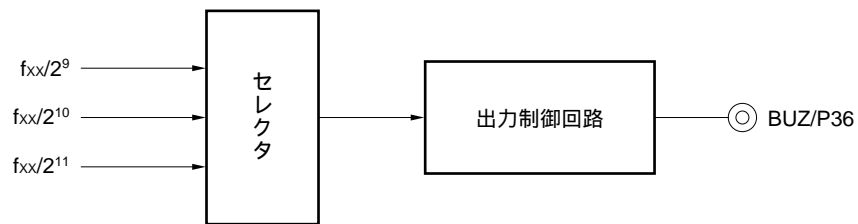


5.5 ブザー出力制御回路

ブザー出力として次の周波数のクロックを出力できます。

- ・ 1.2 kHz/2.4 kHz/4.9 kHz/9.8 kHz (メイン・システム・クロック : 5.0 MHz動作時)

図5 - 7 ブザー出力制御回路のブロック図



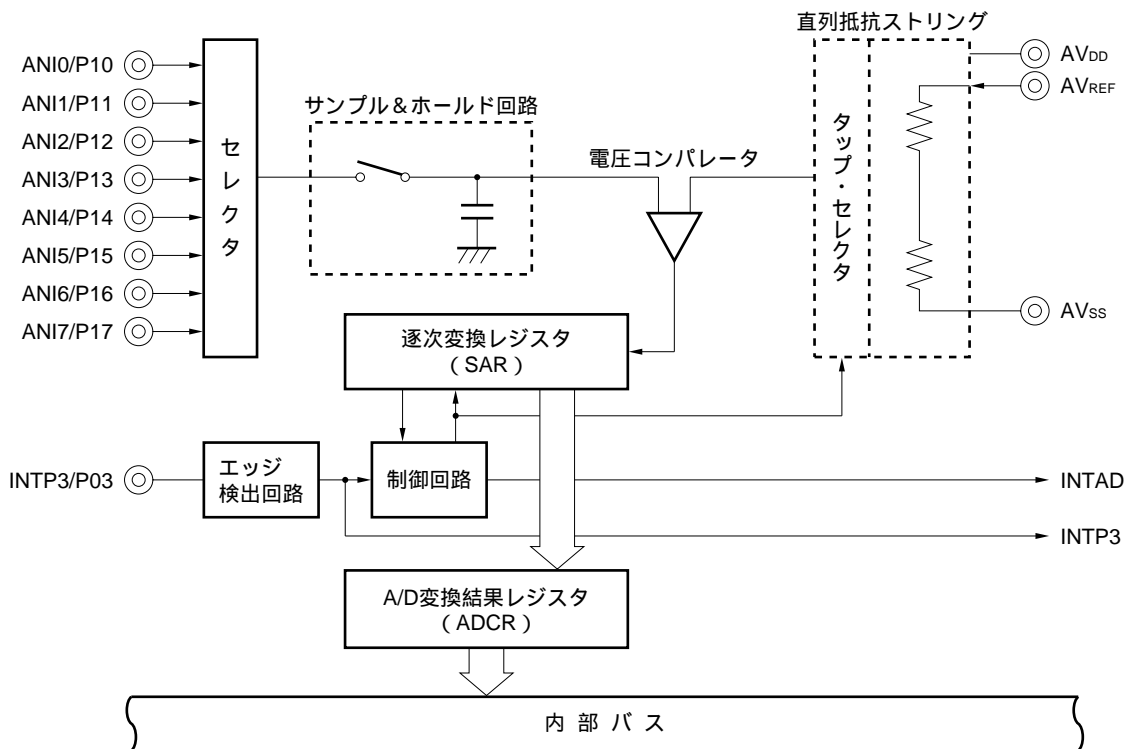
5.6 A/Dコンバータ

8ビット分解能8チャンネルのA/Dコンバータを内蔵しています。

A/D変換動作の起動方法として次の2種類があります。

- ・ハードウェア・スタート
- ・ソフトウェア・スタート

図5 - 8 A/Dコンバータのブロック図



**注意** ポートと兼用機能を持った端子(3.1 ポート端子参照)については、A/D変換動作中は次の操作を行わないでください。A/D変換時の総合誤差の規格が守れなくなります(LCDセグメント出力兼用端子を除く)。

ポートとして使用している場合、その出力の出力ラッチを書き換えること

ポートとして使用していない場合でも、出力として使用している端子の出力レベルを変更すること

### 5.7 シリアル・インタフェース

クロック同期式シリアル・インタフェースを2チャンネル内蔵しています。

- ・シリアル・インタフェース・チャンネル0
- ・シリアル・インタフェース・チャンネル2

表5 - 3 シリアル・インタフェースの種類と機能

機 能	シリアル・インタフェース・ チャンネル0	シリアル・インタフェース・ チャンネル2
3線式シリアル/Oモード	(MSB/LSB先頭切り替え可能)	(MSB/LSB先頭切り替え可能)
SBI(シリアル・バス・インタフェース)モード	(MSB先頭)	-
2線式シリアル/Oモード	(MSB先頭)	-
アシンクロナス・シリアル・インタフェース (UART)モード	-	(専用ポーレート・ジェネレー タ内蔵)

図5 - 9 シリアル・インタフェース・チャンネル0のブロック図

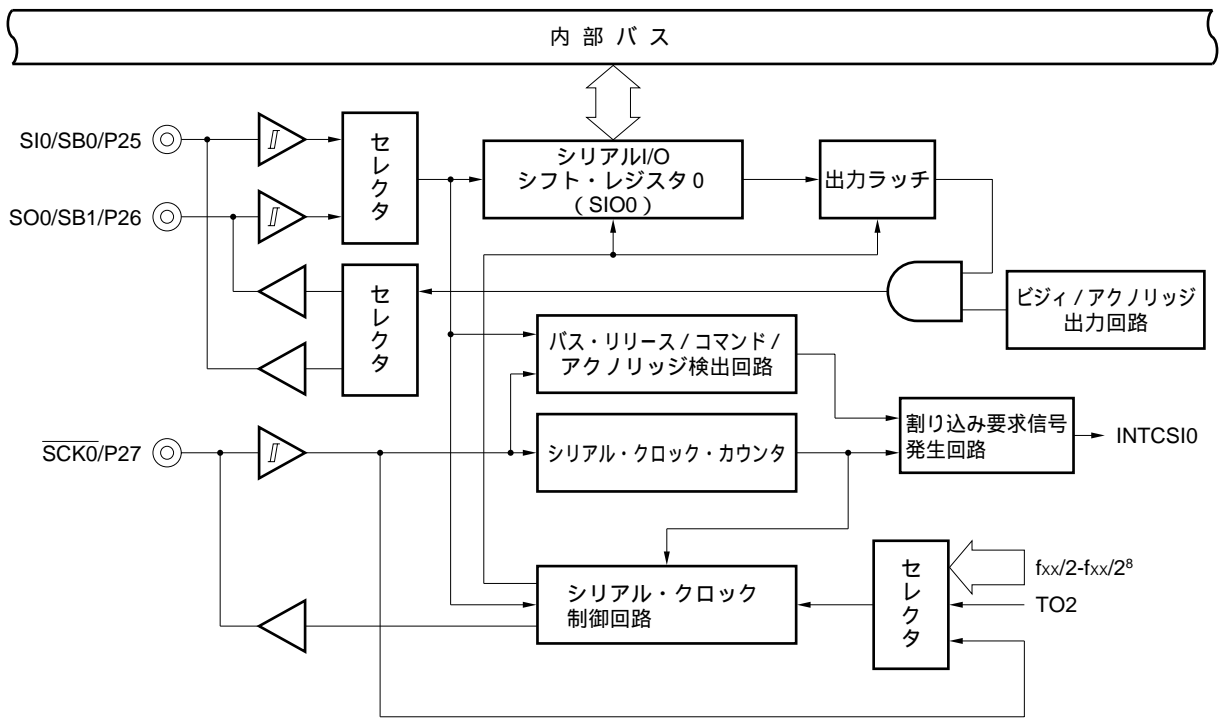
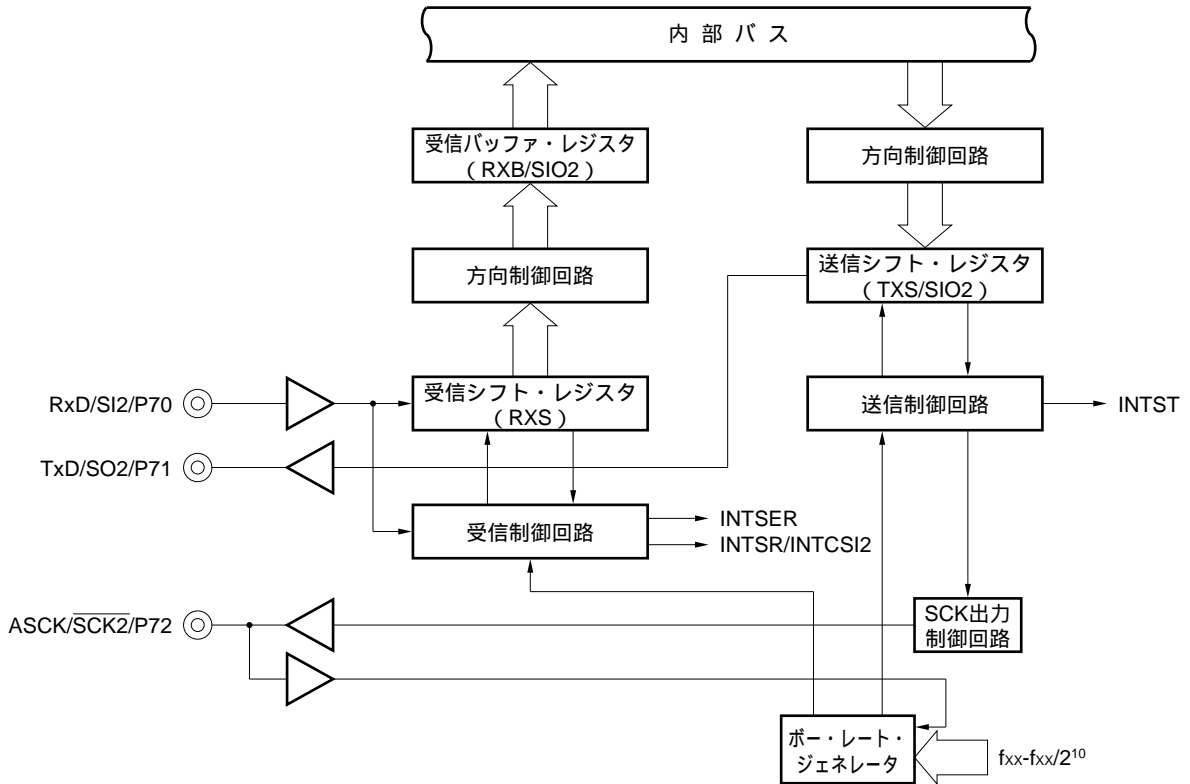


図5 - 10 シリアル・インタフェース・チャンネル2のブロック図



5.8 LCDコントローラ/ドライバ

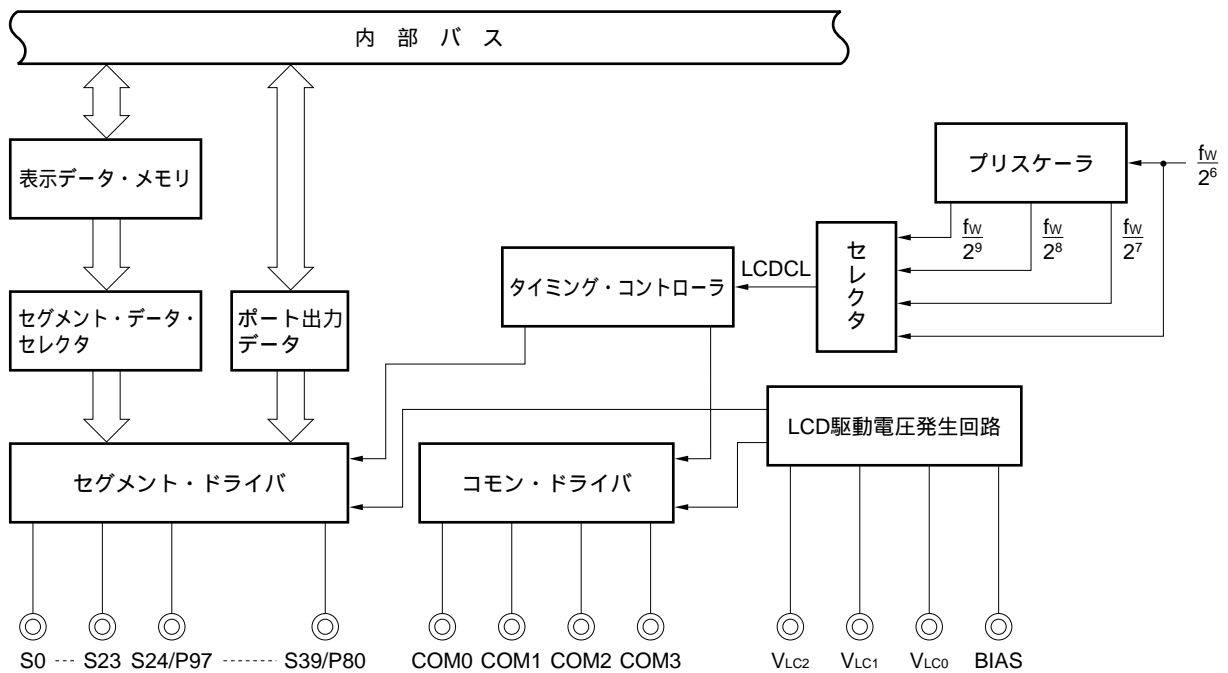
次の機能を持ったLCDコントローラ/ドライバを内蔵しています。

- ・ 5種類の表示モードが選択可能
- ・ セグメント信号出力のうち16本は、2本単位で入出力ポートに切り替え可能 (P80/S39-P87/S32, P90/S31-P97/S24)

表5 - 4 表示モードの種類と最大表示画素数

バイアス法	時分割	使用コモン信号	最大表示画素数
-	スタティック	COM0 (COM1-COM3)	40 (40セグメント × 1 コモン)
1/2	2	COM0, COM1	80 (40セグメント × 2 コモン)
	3	COM0-COM2	120 (40セグメント × 3 コモン)
1/3	3	COM0-COM2	160 (40セグメント × 4 コモン)
	4	COM0-COM3	

図5 - 11 LCDコントローラ/ドライバのブロック図



## 6．割り込み機能とテスト機能

### 6.1 割り込み機能

割り込み機能には次に示す3種類，20要因があります。

- ・ノンマスカブル : 1
- ・マスカブル : 18
- ・ソフトウェア : 1

表 6 - 1 割り込み要因一覧

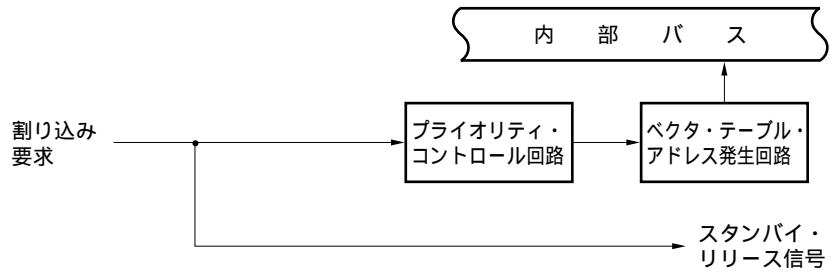
割り込みの種類	デフォルト・プライオリティ <sup>注1</sup>	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス	基本構成タイプ <sup>注2</sup>
		名称	トリガ			
ノンマスカブル	-	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0004H	(A)
マスカブル	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)			(B)
	1	INTP0	端子入力エッジ検出	外部	0006H	(C)
	2	INTP1			0008H	(D)
	3	INTP2			000AH	
	4	INTP3			000CH	
	5	INTP4			000EH	
	6	INTP5			0010H	
	7	INTCSI0			シリアル・インタフェース・チャンネル0の転送終了	内部
	8	INTSER	シリアル・インタフェース・チャンネル2のUART受信エラー発生		0018H	
	9	INTSR	シリアル・インタフェース・チャンネル2のUART受信終了		001AH	
		INTCSI2	シリアル・インタフェース・チャンネル2の3線式転送終了			
	10	INTST	シリアル・インタフェース・チャンネル2のUART送信終了		001CH	
	11	INTTM3	時計用タイマからの基準時間間隔信号		001EH	
	12	INTTM00	16ビット・タイマ・レジスタとキャプチャ / コンペア・レジスタ (CR00) の一致信号発生		0020H	
	13	INTTM01	16ビット・タイマ・レジスタとキャプチャ / コンペア・レジスタ (CR01) の一致信号発生		0022H	
	14	INTTM1	8ビット・タイマ / イベント・カウンタ1の一致信号発生		0024H	
	15	INTTM2	8ビット・タイマ / イベント・カウンタ2の一致信号発生		0026H	
	16	INTAD	A/Dコンバータの変換終了		0028H	
ソフトウェア	-	BRK	BRK命令の実行	-	003EH	(E)

注1 . デフォルト・プライオリティは、複数のマスカブル割り込み要求が同時に発生している場合に、優先する順位です。0が最高順位、16が最低順位です。

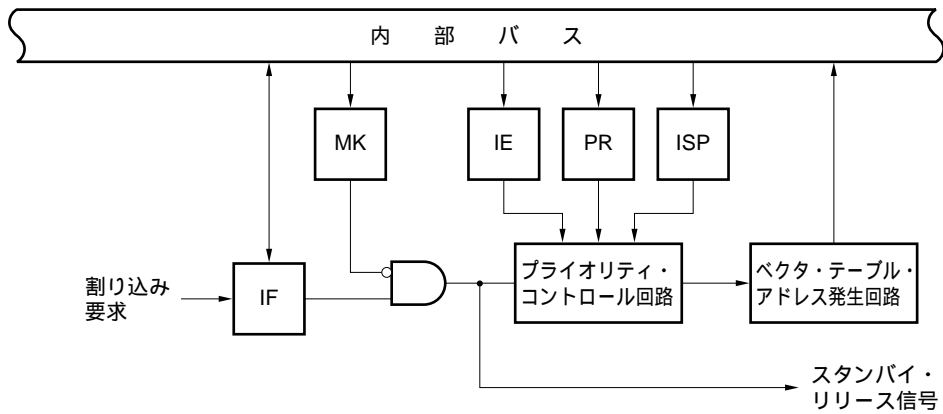
2 . 基本構成タイプの (A) - (E) は、それぞれ図 6 - 1 の (A) - (E) に対応しています。

図 6 - 1 割り込み機能の基本構成 (1/2)

(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み (INTP0)

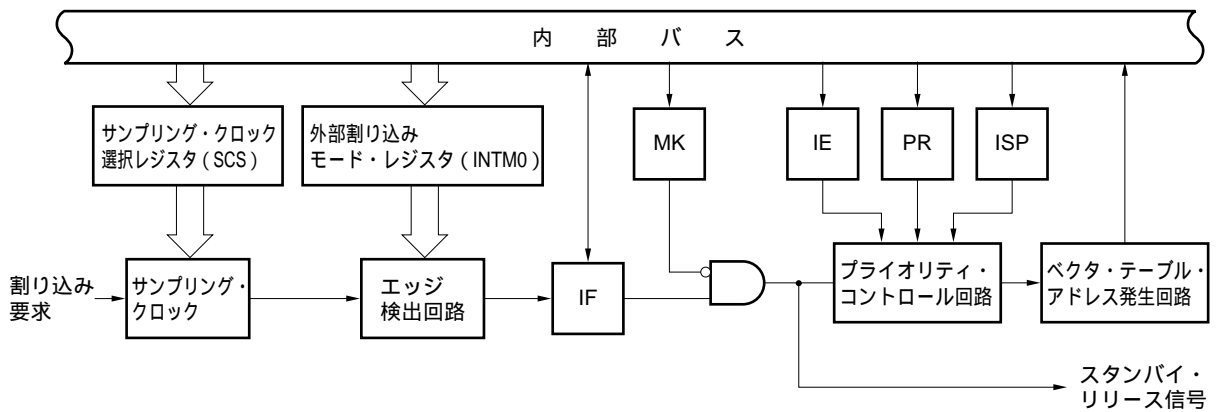
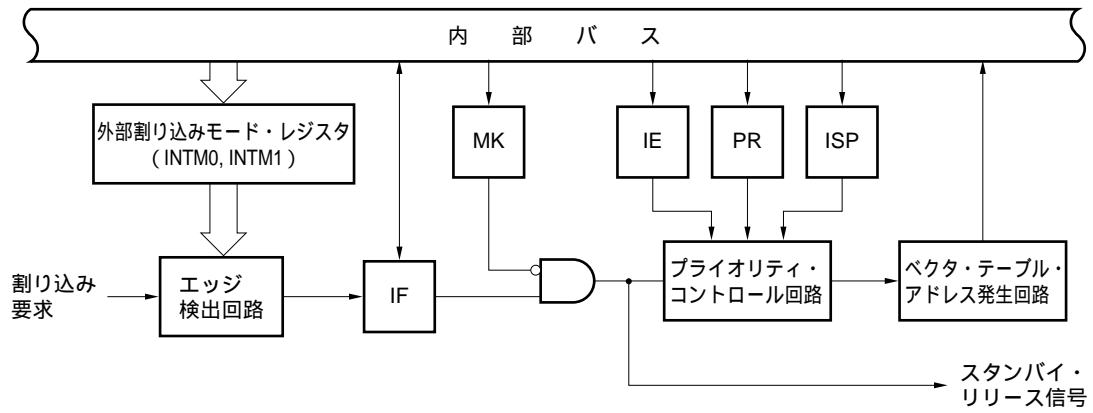


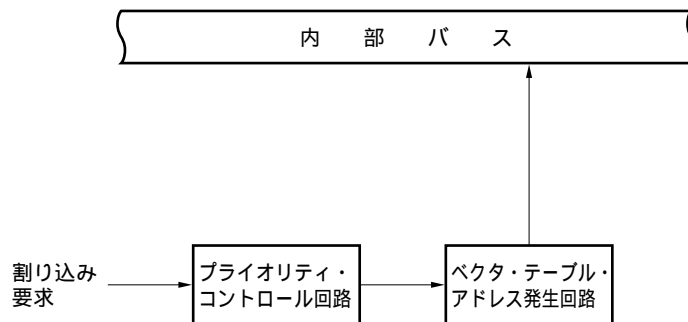


図 6 - 1 割り込み機能の基本構成 (2/2)

(D) 外部マスクブル割り込み (INTP0を除く)



(E) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサービス・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ

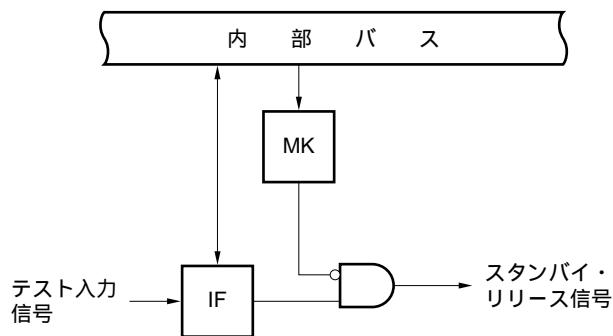
6.2 テスト機能

テスト機能には表 6 - 2 に示す 2 本があります。

表 6 - 2 テスト入力要因一覧

テスト入力要因		内部 / 外部
名 称	ト リ ガ	
INTWT	時計用タイマのオーバーフロー	内部
INTPT11	ポート11の立ち下がりエッジ検出	外部

図 6 - 2 テスト機能の基本構成



IF : テスト入力フラグ

MK : テスト・マスク・フラグ

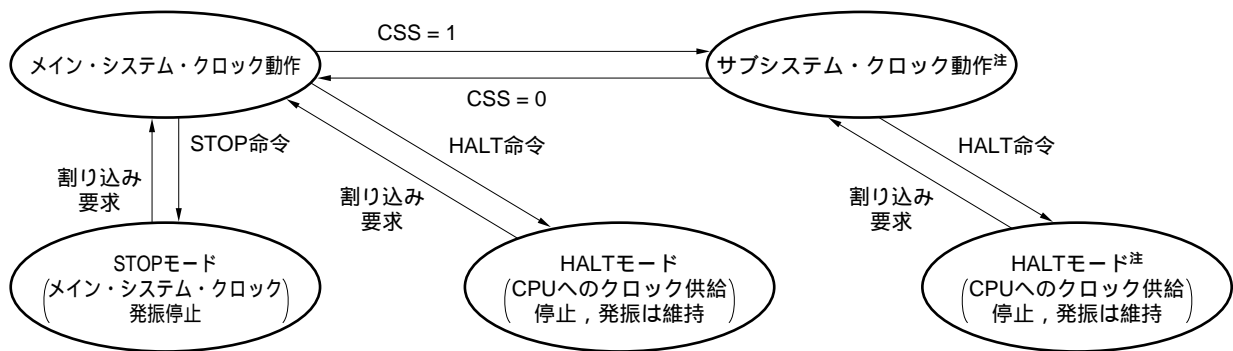
## 7. スタンバイ機能

スタンバイ機能は、消費電流をより低減するための機能で、次の2種類があります。

HALTモード：CPUの動作クロックを停止させます。通常動作との間欠動作により、平均消費電流を低減できます。

STOPモード：メイン・システム・クロックの発振を停止させます。メイン・システム・クロックによる動作をすべて停止させ、サブシステム・クロックだけの微小消費電力状態にします。

図7-1 スタンバイ機能



注 メイン・システム・クロックを停止させることにより、消費電流を低減することができます。

CPUがサブシステム・クロックで動作しているときは、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット7 (MCC) のセットによってメイン・システム・クロックを停止させてください。STOP命令は使用できません。

注意 メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

## 8. リセット機能

次の2種類の方法によってリセットがかかります。

- ・RESET端子による外部リセット
- ・ウォッチドッグ・タイマの暴走時間検出による内部リセット

9. 命令セット

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2 オペランド	#byte	A	r注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL+byte] [HL+B] [HL+C]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											

注 r=Aは除く。

第2 オペランド	#byte	A	r	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL+byte]	\$addr16	1	なし
第1 オペランド										[HL+B] [HL+C]			
[HL]		MOV											ROR4 ROL4
[HL+byte] [HL+B] [HL+C]		MOV											
X													MULU
C													DIVUW

(2) 16ビット命令

MOVW , XCHW , ADDW , SUBW , CMPW , PUSH , POP , INCW , DECW

第2 オペランド	#word	AX	rp <sup>注</sup>	sfrp	saddrp	!addr16	SP	なし
第1 オペランド								
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW <sup>注</sup>						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC , DE , HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2 オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
第1 オペランド								
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令/分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第2 オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
第1 オペランド					
基本命令	BR	CALL BR	CALLF	CALLT	BR, BC, BNC BZ, BNZ
複合命令					BT, BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

10. 電気的特性

絶対最大定格 (TA = 25 )

項目	略号	条件		定 格	単位
電源電圧	VDD			- 0.3 ~ + 7.0	V
	AVDD			- 0.3 ~ VDD + 0.3	V
	AVREF			- 0.3 ~ VDD + 0.3	V
	AVSS			- 0.3 ~ + 0.3	V
入力電圧	Vi			- 0.3 ~ VDD + 0.3	V
出力電圧	Vo			- 0.3 ~ VDD + 0.3	V
アナログ入力電圧	VAN	P10-P17	アナログ入力端子	AVSS - 0.3 ~ AVREF + 0.3	V
ハイ・レベル出力電流	IoH	1 端子		- 10	mA
		P01-P05, P10-P17, P25-P27, P30-P37, P70-P72, P80-P87, P90-P97, P100-P103, P110-P117合計		- 15	mA
ロウ・レベル出力電流	IoL <sup>注</sup>	1 端子	ピーク値	30	mA
			実効値	15	mA
		P01-P05, P10-P17, P25-P27, P30-P37, P70-P72, P80-P87, P90-P97, P100-P103, P110-P117合計	ピーク値	100	mA
			実効値	70	mA
動作周囲温度	TA			- 40 ~ + 85	
保存温度	Tstg			- 65 ~ + 150	

注 実効値は、[ 実効値 ] = [ ピーク値 ] × √デューティで計算してください。

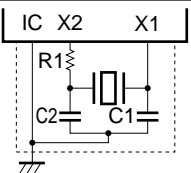
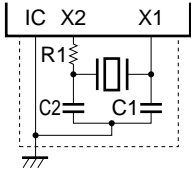
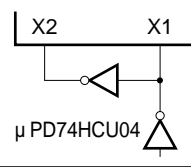
**注意** 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

**備考** 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

容 量 (TA = 25 , VDD = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	CIN	f = 1 MHz			15	pF
出力容量	COU <sub>T</sub>	被測定端子以外は0V			15	pF
入出力容量	CIO				15	pF

★ メイン・システム・クロック発振回路特性 (T<sub>A</sub> = -40 ~ +85 , V<sub>DD</sub> = 2.0 ~ 6.0 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (f <sub>x</sub> ) 注1	V <sub>DD</sub> = 発振電圧範囲	1		5	MHz
		発振安定時間注2	V <sub>DD</sub> が発振電圧範囲のMIN. に達したあと			4	ms
水晶振動子		発振周波数 (f <sub>x</sub> ) 注1		1		5	MHz
		発振安定時間注2	V <sub>DD</sub> = 4.5 ~ 6.0 V			10 30	ms
外部 クロック		X1入力周波数 (f <sub>x</sub> ) 注1		1		5	MHz
		X1入力ハイ、ロウ・レ ベル幅 (t <sub>xH</sub> , t <sub>xL</sub> )		85		500	ns

注1．発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2．リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意1．メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にV<sub>SS</sub>と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2．メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。



サブシステム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 6.0 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f <sub>XT</sub> ) <sup>注1</sup>		32	32.768	35	kHz
		発振安定時間 <sup>注2</sup>	V <sub>DD</sub> = 4.5 ~ 6.0 V		1.2	2	s
外部 クロック		XT1入力周波数 (f <sub>XT</sub> ) <sup>注1</sup>		32		100	kHz
		XT1入力ハイ、ロウ・レベル幅 (t <sub>XTH</sub> , t <sub>XTL</sub> )		5		15	μs

注1．発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2．V<sub>DD</sub>が発振電圧範囲のMIN.に達したあと、発振が安定するのに必要な時間です。

注意1．サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にV<sub>SS</sub>と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2．サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっており、ノイズによる誤動作がメイン・システム・クロックよりも起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

推奨発振回路定数

メイン・システム・クロック：セラミック発振子 (TA = - 40 ~ +85 )

メーカー	品名	周波数 (MHz)	推奨回路定数		発振電圧範囲		備考
			C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)	
村田製作所	CSA5.00MG	5.00	30	30	2.2	6.0	
	CST5.00MGW	5.00	内蔵	内蔵	2.7	6.0	
松下電子部品	EF0GC5004A4	5.00	内蔵	内蔵	2.7	6.0	リード・タイプ
	EF0EC5004A4	5.00	内蔵	内蔵	2.0	6.0	丸リード・タイプ
	EF0EN5004A4	5.00	33	33	2.7	6.0	リード・タイプ
	EF0S5004B5	5.00	内蔵	内蔵	2.7	6.0	チップ・タイプ
京セラ	KBR-5.0MSA	5.00	33	33	2.7	6.0	リード・タイプ
	PBRC5.00A	5.00	33	33	2.7	6.0	チップ・タイプ
	KBR-5.0MKS	5.00	内蔵	内蔵	2.7	6.0	リード・タイプ
	KBR-5.0MWS	5.00	内蔵	内蔵	2.7	6.0	チップ・タイプ

サブシステム・クロック：水晶振動子 (TA = - 40 ~ +60 )

メーカー	品名	周波数 (kHz)	推奨回路定数			発振電圧範囲	
			C3 (pF)	C4 (pF)	R2 (k )	MIN. (V)	MAX. (V)
京セラ	KF-38G-12P0200 <sup>注</sup> ( 負荷容量12pF )	32.768	15	22	220	2.0	6.0

★ 注 KF-38G-12P0200は、保守製品です。

注意 発振回路定数および発振電圧範囲は、安定して発振する条件を示しています。発振周波数精度は保証していません。アプリケーションで発振周波数精度が必要な場合、実装回路で発振周波数を調整する必要があります。詳細については、ご使用になる発振子のメーカーに直接お問い合わせください。

DC特性 (T<sub>A</sub> = -40 ~ +85 , V<sub>DD</sub> = 2.0 ~ 6.0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル 入力電圧	V <sub>IH1</sub>	P10-P17, P30-P32, P35-P37, P80-P87, P90-P97, P100-P103	V <sub>DD</sub> = 2.7 - 6.0 V	0.7 V <sub>DD</sub>		V <sub>DD</sub>	V
				0.8 V <sub>DD</sub>		V <sub>DD</sub>	V
	V <sub>IH2</sub>	P00-P05, P25-P27, P33, P34, P70-P72, P110-P117, RESET	V <sub>DD</sub> = 2.7 - 6.0 V	0.8 V <sub>DD</sub>		V <sub>DD</sub>	V
				0.85 V <sub>DD</sub>		V <sub>DD</sub>	V
	V <sub>IH3</sub>	X1, X2	V <sub>DD</sub> = 2.7 - 6.0 V	V <sub>DD</sub> - 0.5		V <sub>DD</sub>	V
				V <sub>DD</sub> - 0.2		V <sub>DD</sub>	V
	V <sub>IH4</sub>	XT1/P07, XT2	4.5 V V <sub>DD</sub> 6.0 V	0.8 V <sub>DD</sub>		V <sub>DD</sub>	V
			2.7 V V <sub>DD</sub> < 4.5 V	0.9 V <sub>DD</sub>		V <sub>DD</sub>	V
			2.0 V V <sub>DD</sub> < 2.7 V <sup>注</sup>	0.9 V <sub>DD</sub>		V <sub>DD</sub>	V
	ロウ・レベル 入力電圧	V <sub>IL1</sub>	P10-P17, P30-P32, P35-P37, P80-P87, P90-P97, P100-P103	V <sub>DD</sub> = 2.7 - 6.0 V	0		0.3 V <sub>DD</sub>
				0		0.2 V <sub>DD</sub>	V
V <sub>IL2</sub>		P00-P05, P25-P27, P33, P34, P70-P72, P110-P117, RESET	V <sub>DD</sub> = 2.7 - 6.0 V	0		0.2 V <sub>DD</sub>	V
				0		0.15 V <sub>DD</sub>	V
V <sub>IL3</sub>		X1, X2	V <sub>DD</sub> = 2.7 - 6.0 V	0		0.4	V
				0		0.2	V
V <sub>IL4</sub>		XT1/P07, XT2	4.5 V V <sub>DD</sub> 6.0 V	0		0.2 V <sub>DD</sub>	V
			2.7 V V <sub>DD</sub> < 4.5 V	0		0.1 V <sub>DD</sub>	V
			2.0 V V <sub>DD</sub> < 2.7 V <sup>注</sup>	0		0.1 V <sub>DD</sub>	V
ハイ・レベル 出力電圧		V <sub>OH</sub>	V <sub>DD</sub> = 4.5 - 6.0 V, I <sub>OH</sub> = -1 mA	V <sub>DD</sub> - 1.0		V <sub>DD</sub>	V
	I <sub>OH</sub> = -100 μA		V <sub>DD</sub> - 0.5		V <sub>DD</sub>	V	
ロウ・レベル 出力電圧	V <sub>OL1</sub>	P100-P103	V <sub>DD</sub> = 4.5 - 6.0 V, I <sub>OL</sub> = 15 mA		0.4	2.0	V
		P01-P05, P10-P17, P25-P27, P30-P37, P70-P72, P80-P87, P90-P97, P110-P117	V <sub>DD</sub> = 4.5 - 6.0 V, I <sub>OL</sub> = 1.6 mA			0.4	V
	V <sub>OL2</sub>	SB0, SB1, SCK0	V <sub>DD</sub> = 4.5 - 6.0 V, オープン・ドレイン プルアップ時 (R = 1k )			0.2 V <sub>DD</sub>	V
	V <sub>OL3</sub>	I <sub>OL</sub> = 400 μA				0.5	V

注 P07/XT1端子をP07として使用する場合は, XT2端子にP07の逆相を入力してください。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (T<sub>A</sub> = -40 ~ +85 , V<sub>DD</sub> = 2.0 ~ 6.0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル 入力リーク電流	I <sub>LIH1</sub>	V <sub>IN</sub> = V <sub>DD</sub>	P00-P05, P10-P17, P25-P27, P30-P37, P70-P72, P80-P87, P90-P97, P100-P103, P110-P117			3	μA
	I <sub>LIH2</sub>		X1, X2, XT1/P07, XT2			20	μA
ロウ・レベル 入力リーク電流	I <sub>LIL1</sub>	V <sub>IN</sub> = 0 V	P00-P05, P10-P17, P25-P27, P30-P37, P70-P72, P80-P87, P90-P97, P100-P103, P110-P117			- 3	μA
	I <sub>LIL2</sub>		X1, X2, XT1/P07, XT2			- 20	μA
ハイ・レベル 出力リーク電流	I <sub>LOH</sub>	V <sub>OUT</sub> = V <sub>DD</sub>				3	μA
ロウ・レベル 出力リーク電流	I <sub>LOL</sub>	V <sub>OUT</sub> = 0 V				- 3	μA
ソフトウェア・ プリアップ抵抗	R	V <sub>IN</sub> = 0 V, P01-P05, P10-P17, P25-P27, P30-P37, P70-P72, P80-P87, P90-P97, P100-P103, P110-P117	4.5 V V <sub>DD</sub> 6.0 V	15	40	90	k
			2.7 V V <sub>DD</sub> < 4.5 V	20		500	k
電源電流 <sup>注1</sup>	I <sub>DD1</sub>	5.00 MHz水晶発振 (f <sub>XX</sub> = 2.5 MHz) <sup>注2</sup> 動作モード	V <sub>DD</sub> = 5.0 V ± 10 % <sup>注4</sup>		4	12	mA
			V <sub>DD</sub> = 3.0 V ± 10 % <sup>注5</sup>		0.6	1.8	mA
			V <sub>DD</sub> = 2.2 V ± 10 % <sup>注5</sup>		0.35	1.05	mA
	I <sub>DD2</sub>	5.00 MHz水晶発振 (f <sub>XX</sub> = 5.0 MHz) <sup>注3</sup> 動作モード	V <sub>DD</sub> = 5.0 V ± 10 % <sup>注4</sup>		6.5	19.5	mA
			V <sub>DD</sub> = 3.0 V ± 10 % <sup>注5</sup>		0.8	2.4	mA
	I <sub>DD2</sub>	5.00 MHz水晶発振 (f <sub>XX</sub> = 2.5 MHz) <sup>注2</sup>	V <sub>DD</sub> = 5.0 V ± 10 %		1.4	4.2	mA
			V <sub>DD</sub> = 3.0 V ± 10 %		500	1500	μA
		HALTモード	V <sub>DD</sub> = 2.2 V ± 10 %		280	840	μA
V <sub>DD</sub> = 3.0 V ± 10 %				650	1950	μA	

注1 . V<sub>DD</sub>およびAV<sub>DD</sub>端子に流れる電流です。ただし、A/Dコンバータ、内蔵プリアップ抵抗、およびLCD分割抵抗に流れる電流は含みません。

- 2 . メイン・システム・クロックf<sub>XX</sub> = f<sub>X</sub>/2動作時 (発振モード選択レジスタ (OSMS) を00Hに設定したとき)。
- 3 . メイン・システム・クロックf<sub>XX</sub> = f<sub>X</sub>動作時 (OSMSを01Hに設定したとき)。
- 4 . 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき)。
- 5 . 低速モード動作時 (PCCを04Hに設定したとき)。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (T<sub>A</sub> = -40 ~ +85 , V<sub>DD</sub> = 2.0 ~ 6.0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流 <sup>注1</sup>	I <sub>DD3</sub>	32.768 kHz水晶発振 動作モード <sup>注2</sup>	V <sub>DD</sub> = 5.0 V ± 10 %		60	120	μA
			V <sub>DD</sub> = 3.0 V ± 10 %		32	64	μA
			V <sub>DD</sub> = 2.2 V ± 10 %		24	48	μA
	I <sub>DD4</sub>	32.768 kHz水晶発振 HALTモード <sup>注2</sup>	V <sub>DD</sub> = 5.0 V ± 10 %		25	55	μA
			V <sub>DD</sub> = 3.0 V ± 10 %		5	15	μA
			V <sub>DD</sub> = 2.2 V ± 10 %		2.5	12.5	μA
	I <sub>DD5</sub>	XT1 = V <sub>DD</sub> STOPモード フィードバック抵抗使用時	V <sub>DD</sub> = 5.0 V ± 10 %		1	30	μA
			V <sub>DD</sub> = 3.0 V ± 10 %		0.5	10	μA
			V <sub>DD</sub> = 2.2 V ± 10 %		0.3	10	μA
	I <sub>DD6</sub>	XT1 = V <sub>DD</sub> STOPモード フィードバック抵抗非使用時	V <sub>DD</sub> = 5.0 V ± 10 %		0.1	30	μA
			V <sub>DD</sub> = 3.0 V ± 10 %		0.05	10	μA
			V <sub>DD</sub> = 2.2 V ± 10 %		0.05	10	μA

注1 . V<sub>DD</sub>およびAV<sub>DD</sub>端子に流れる電流です。ただし、A/Dコンバータ、内蔵プルアップ抵抗、およびLCD分割抵抗に流れる電流は含みません。

2 . メイン・システム・クロックの動作を停止させたとき。

DC特性 (TA = -10 ~ +85 )

(1) スタティック表示モード (VDD = 2.0 ~ 6.0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
LCD駆動電圧	V <sub>LCD</sub>			2.0		V <sub>DD</sub>	V
LCD分割抵抗	R <sub>LCD</sub>			60	100	150	k
LCD出力電圧偏差 <sup>注</sup> (コモン)	V <sub>ODC</sub>	I <sub>o</sub> = ± 5 μA	2.0 V V <sub>LCD</sub> V <sub>DD</sub> V <sub>LCD0</sub> = V <sub>LCD</sub>	0		± 0.2	V
LCD出力電圧偏差 <sup>注</sup> (セグメント)	V <sub>ODS</sub>	I <sub>o</sub> = ± 1 μA		0		± 0.2	V

注 電圧偏差とは、セグメント、コモン出力の理想値 (V<sub>LCDn</sub>; n = 0, 1, 2) に対する出力電圧との差です。

(2) 1/3バイアス法 (VDD = 2.5 ~ 6.0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
LCD駆動電圧	V <sub>LCD</sub>			2.5		V <sub>DD</sub>	V
LCD分割抵抗	R <sub>LCD</sub>			60	100	150	k
LCD出力電圧偏差 <sup>注</sup> (コモン)	V <sub>ODC</sub>	I <sub>o</sub> = ± 5 μA	2.5 V V <sub>LCD</sub> V <sub>DD</sub> V <sub>LCD0</sub> = V <sub>LCD</sub>	0		± 0.2	V
LCD出力電圧偏差 <sup>注</sup> (セグメント)	V <sub>ODS</sub>	I <sub>o</sub> = ± 1 μA	V <sub>LCD1</sub> = V <sub>LCD</sub> × 2/3 V <sub>LCD2</sub> = V <sub>LCD</sub> × 1/3	0		± 0.2	V

注 電圧偏差とは、セグメント、コモン出力の理想値 (V<sub>LCDn</sub>; n = 0, 1, 2) に対する出力電圧との差です。

(3) 1/2バイアス法 (VDD = 2.7 ~ 6.0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
LCD駆動電圧	V <sub>LCD</sub>			2.7		V <sub>DD</sub>	V
LCD分割抵抗	R <sub>LCD</sub>			60	100	150	k
LCD出力電圧偏差 <sup>注</sup> (コモン)	V <sub>ODC</sub>	I <sub>o</sub> = ± 5 μA	2.7 V V <sub>LCD</sub> V <sub>DD</sub> V <sub>LCD0</sub> = V <sub>LCD</sub>	0		± 0.2	V
LCD出力電圧偏差 <sup>注</sup> (セグメント)	V <sub>ODS</sub>	I <sub>o</sub> = ± 1 μA	V <sub>LCD1</sub> = V <sub>LCD</sub> × 1/2 V <sub>LCD2</sub> = V <sub>LCD1</sub>	0		± 0.2	V

注 電圧偏差とは、セグメント、コモン出力の理想値 (V<sub>LCDn</sub>; n = 0, 1, 2) に対する出力電圧との差です。

AC特性

(1) 基本動作 (TA = -40 ~ +85 , VDD = 2.0 ~ 6.0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	TCY	メイン・システム・クロックで動作 (fxx = 2.5 MHz) 注1	VDD = 2.7 ~ 6.0 V	0.8		64	μs
				2.2		64	μs
		メイン・システム・クロックで動作 (fxx = 5.0 MHz) 注2	4.5 V VDD 6.0 V	0.4		32	μs
			2.7 V VDD < 4.5 V	0.8		32	μs
		サブシステム・クロックで動作	40注3	122	125	μs	
★ TI00入力 ハイ, ロウ・レベル幅	tTIH00,	4.5 V VDD 6.0 V		2f <sub>sam</sub> + 0.1注4			μs
	tTIL00	2.7 V VDD < 4.5 V		2f <sub>sam</sub> + 0.2注4			μs
		2.0 V VDD < 2.7 V		2f <sub>sam</sub> + 0.5注4			μs
★ TI01入力 ハイ, ロウ・レベル幅	tTIH01,	VDD = 2.7 ~ 6.0 V		10			μs
	tTIL01			20			μs
TI1, TI2入力周波数	fTH	VDD = 4.5 ~ 6.0 V	VDD = 2.7 ~ 6.0 V	0		4	MHz
				0		275	kHz
TI1, TI2入力 ハイ, ロウ・レベル幅	tTIH1,	VDD = 4.5 ~ 6.0 V		100			ns
	tTIL1			1.8			μs
割り込み入力 ハイ, ロウ・レベル幅	tINTH,	INTP0		8/f <sub>sam</sub> 注4			μs
	tINTL	INTP1-INTP5 ,		10			μs
		P110-P117		20			μs
RESETロウ・レベル幅	trSL	VDD = 2.7 ~ 6.0 V		10			μs
				20			μs

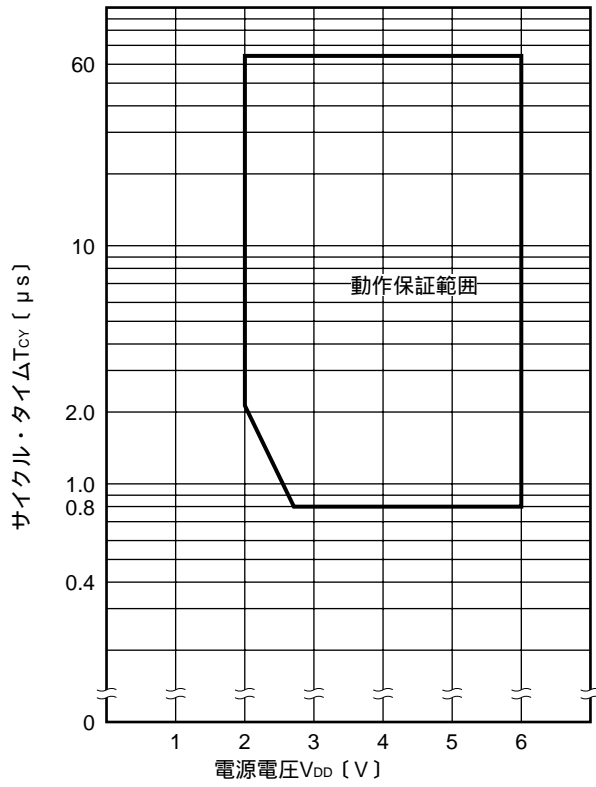
注1 . メイン・システム・クロックfxx = fx/2動作時 (発振モード選択レジスタ (OSMS) を00Hに設定したとき)。

2 . メイン・システム・クロックfxx = fx動作時 (OSMSを01Hに設定したとき)。

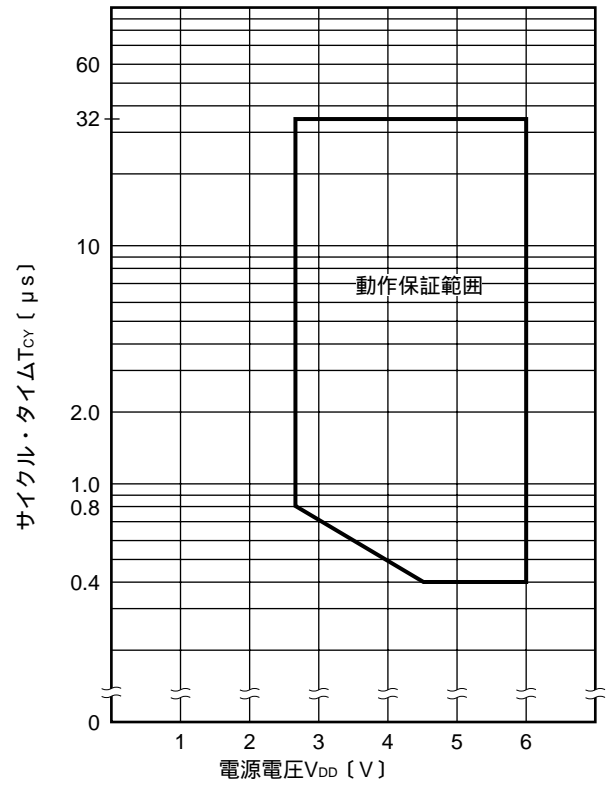
3 . 外部クロック使用時の値です。水晶振動子使用時は114 μs (MIN.) です。

4 . サンプリング・クロック選択レジスタ (SCS) のビット0, 1 (SCS0, SCS1) により, f<sub>sam</sub> = fxx/2<sup>N</sup>, fxx/32, fxx/64, fxx/128の選択が可能です (N = 0-4)。

T<sub>CY</sub> vs V<sub>DD</sub> (メイン・システム・クロック f<sub>XX</sub> = f<sub>X</sub>/2動作時)



T<sub>CY</sub> vs V<sub>DD</sub> (メイン・システム・クロック f<sub>XX</sub> = f<sub>X</sub>動作時)





(2) シリアル・インタフェース (TA = -40 ~ +85 , VDD = 2.0 ~ 6.0 V)

(a) シリアル・インタフェース・チャンネル0

(i) 3線式シリアルI/Oモード (SCK0...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	tkCY1	4.5 V VDD 6.0 V	800			ns
		2.7 V VDD < 4.5 V	1600			ns
			3200			ns
SCK0ハイ, ロウ・レベル幅	tkH1,	VDD = 4.5 ~ 6.0 V	tkCY1/2 - 50			ns
	tkL1		tkCY1/2 - 100			ns
SIOセットアップ時間 (対SCK0)	tSIK1	4.5 V VDD 6.0 V	100			ns
		2.7 V VDD < 4.5 V	150			ns
			300			ns
SIOホールド時間 (対SCK0)	tkSI1		400			ns
SCK0 SO0 出力遅延時間	tkSO1	C = 100 pF <sup>注</sup>			300	ns

注 Cは, SCK0, SO0出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK0...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	tkCY2	4.5 V VDD 6.0 V	800			ns
		2.7 V VDD < 4.5 V	1600			ns
			3200			ns
SCK0ハイ, ロウ・レベル幅	tkH2,	4.5 V VDD 6.0 V	400			ns
	tkL2		800			ns
			1600			ns
SIOセットアップ時間 (対SCK0)	tSIK2		100			ns
SIOホールド時間 (対SCK0)	tkSI2		400			ns
SCK0 SO0 出力遅延時間	tkSO2	C = 100 pF <sup>注</sup>			300	ns
SCK0立ち上がり, 立ち下がり時間	tr2, tf2				1000	ns

注 Cは, SO0出力ラインの負荷容量です。

( iii ) SBIモード (SCK0...内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	t <sub>KCY3</sub>	V <sub>DD</sub> = 4.5 ~ 6.0 V	800			ns
			3200			ns
SCK0ハイ, ロウ・レベル幅	t <sub>KH3</sub> ,	V <sub>DD</sub> = 4.5 ~ 6.0 V	t <sub>KCY3</sub> /2 - 50			ns
	t <sub>KL3</sub>		t <sub>KCY3</sub> /2 - 150			ns
SB0, SB1セットアップ時間 ( 対SCK0 )	t <sub>SIK3</sub>	V <sub>DD</sub> = 4.5 ~ 6.0 V	100			ns
			300			ns
SB0, SB1ホールド時間 (対SCK0 )	t <sub>KS3</sub>		t <sub>KCY3</sub> /2			ns
SCK0 SB0, SB1 出力遅延時間	t <sub>KSO3</sub>	R = 1 k , C = 100 pF <sup>注</sup> V <sub>DD</sub> = 4.5 ~ 6.0 V	0		250	ns
			0		1000	ns
SCK0 SB0, SB1	t <sub>KSB</sub>		t <sub>KCY3</sub>			ns
SB0, SB1 SCK0	t <sub>SBK</sub>		t <sub>KCY3</sub>			ns
SB0, SB1ハイ・レベル幅	t <sub>SBH</sub>		t <sub>KCY3</sub>			ns
SB0, SB1ロウ・レベル幅	t <sub>SBL</sub>		t <sub>KCY3</sub>			ns

注 R, Cは, SCK0, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

( iv ) SBIモード (SCK0...外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	t <sub>KCY4</sub>	V <sub>DD</sub> = 4.5 ~ 6.0 V	800			ns
			3200			ns
SCK0ハイ, ロウ・レベル幅	t <sub>KH4</sub> ,	V <sub>DD</sub> = 4.5 ~ 6.0 V	400			ns
	t <sub>KL4</sub>		1600			ns
SB0, SB1セットアップ時間 ( 対SCK0 )	t <sub>SIK4</sub>	V <sub>DD</sub> = 4.5 ~ 6.0 V	100			ns
			300			ns
SB0, SB1ホールド時間 (対SCK0 )	t <sub>KS4</sub>		t <sub>KCY4</sub> /2			ns
SCK0 SB0, SB1 出力遅延時間	t <sub>KSO4</sub>	R = 1 k , C = 100 pF <sup>注</sup> V <sub>DD</sub> = 4.5 ~ 6.0 V	0		300	ns
			0		1000	ns
SCK0 SB0, SB1	t <sub>KSB</sub>		t <sub>KCY4</sub>			ns
SB0, SB1 SCK0	t <sub>SBK</sub>		t <sub>KCY4</sub>			ns
SB0, SB1ハイ・レベル幅	t <sub>SBH</sub>		t <sub>KCY4</sub>			ns
SB0, SB1ロウ・レベル幅	t <sub>SBL</sub>		t <sub>KCY4</sub>			ns
SCK0立ち上がり, 立ち下がり時間	t <sub>R4</sub> ,				1000	ns
	t <sub>F4</sub>					

注 R, Cは, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(v) 2線式シリアル/Oモード (SCK0...内部クロック出力)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
SCK0サイクル・タイム	t <sub>KCY5</sub>	R = 1 k , C = 100 pF <sup>注</sup>	V <sub>DD</sub> = 2.7 ~ 6.0 V	1600			ns	
				3200			ns	
SCK0ハイ・レベル幅	t <sub>KH5</sub>		V <sub>DD</sub> = 2.7 ~ 6.0 V	t <sub>KCY5</sub> /2 - 160			ns	
				t <sub>KCY5</sub> /2 - 190			ns	
SCK0ロウ・レベル幅	t <sub>KL5</sub>		V <sub>DD</sub> = 4.5 ~ 6.0 V	t <sub>KCY5</sub> /2 - 50			ns	
				t <sub>KCY5</sub> /2 - 100			ns	
SB0, SB1セットアップ時間 (対SCK0)	t <sub>SIK5</sub>		4.5 V V <sub>DD</sub> 6.0 V	300			ns	
				2.7 V V <sub>DD</sub> < 4.5 V	350			ns
				400			ns	
SB0, SB1ホールド時間 (対SCK0)	t <sub>KSI5</sub>			600			ns	
SCK0 SB0, SB1 出力遅延時間	t <sub>KSO5</sub>			0		300	ns	

注 R, Cは, SCK0, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(vi) 2線式シリアル/Oモード (SCK0...外部クロック入力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	t <sub>KCY6</sub>		V <sub>DD</sub> = 2.7 ~ 6.0 V	1600			ns
				3200			ns
SCK0ハイ・レベル幅	t <sub>KH6</sub>		V <sub>DD</sub> = 2.7 ~ 6.0 V	650			ns
				1300			ns
SCK0ロウ・レベル幅	t <sub>KL6</sub>		V <sub>DD</sub> = 2.7 ~ 6.0 V	800			ns
				1600			ns
SB0, SB1セットアップ時間 (対SCK0)	t <sub>SIK6</sub>			100			ns
SB0, SB1ホールド時間 (対SCK0)	t <sub>KSI6</sub>			t <sub>KCY6</sub> /2			ns
SCK0 SB0, SB1 出力遅延時間	t <sub>KSO6</sub>	R = 1 k , C = 100 pF 注	V <sub>DD</sub> = 4.5 ~ 6.0 V	0		300	ns
				0		500	ns
SCK0立ち上がり, 立ち下がり時間	t <sub>R6</sub> , t <sub>F6</sub>					1000	ns

注 R, Cは, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(b) シリアル・インタフェース・チャンネル2

(i) 3線式シリアルI/Oモード (SCK2...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK2サイクル・タイム	tkCY7	4.5 V V <sub>DD</sub> 6.0 V	800			ns
		2.7 V V <sub>DD</sub> < 4.5 V	1600			ns
			3200			ns
SCK2ハイ, ロウ・レベル幅	tkH7,	4.5 V V <sub>DD</sub> 6.0 V	tkCY7/2 - 50			ns
	tkL7		tkCY7/2 - 100			ns
SI2セットアップ時間 (対SCK2)	tSIK7	4.5 V V <sub>DD</sub> 6.0 V	100			ns
		2.7 V V <sub>DD</sub> < 4.5 V	150			ns
			300			ns
SI2ホールド時間 (対SCK2)	tkSI7		400			ns
SCK2 SO2 出力遅延時間	tkSO7	C = 100 pF <sup>注</sup>			300	ns

注 Cは, SCK2, SO2出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK2...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK2サイクル・タイム	tkCY8	4.5 V V <sub>DD</sub> 6.0 V	800			ns
		2.7 V V <sub>DD</sub> < 4.5 V	1600			ns
			3200			ns
SCK2ハイ, ロウ・レベル幅	tkH8,	4.5 V V <sub>DD</sub> 6.0 V	400			ns
	tkL8	2.7 V V <sub>DD</sub> < 4.5 V	800			ns
			1600			ns
SI2セットアップ時間 (対SCK2)	tSIK8		100			ns
SI2ホールド時間 (対SCK2)	tkSI8		400			ns
SCK2 SO2 出力遅延時間	tkSO8	C = 100 pF <sup>注</sup>			300	ns
SCK2立ち上がり, 立ち下がり時間	tr8, tf8				1000	ns

注 Cは, SO2出力ラインの負荷容量です。

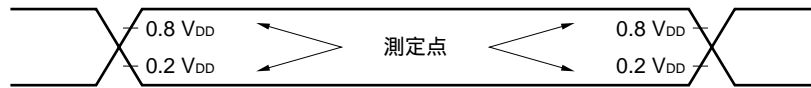
( iii ) UARTモード (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
転送レート		4.5 V $V_{DD}$ 6.0 V			78125	bps
		2.7 V $V_{DD} < 4.5$ V			39063	bps
					19531	bps

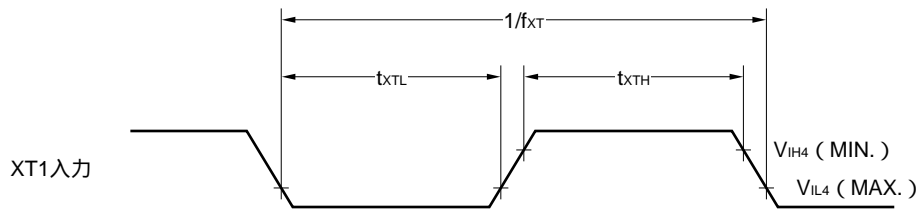
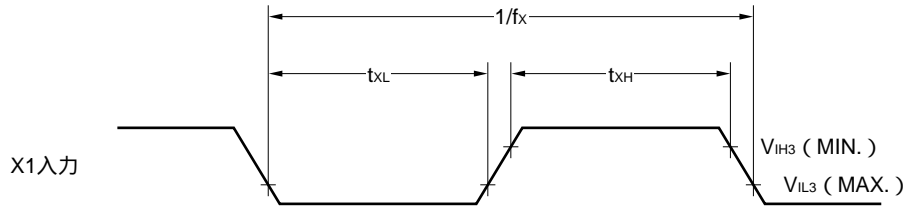
( iv ) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
ASCKサイクル・タイム	$t_{KCY9}$	4.5 V $V_{DD}$ 6.0 V	800			ns
		2.7 V $V_{DD} < 4.5$ V	1600			ns
			3200			ns
ASCKハイ, ロウ・レベル幅	$t_{KH9},$	4.5 V $V_{DD}$ 6.0 V	400			ns
	$t_{KL9}$	2.7 V $V_{DD} < 4.5$ V	800			ns
			1600			ns
転送レート		4.5 V $V_{DD}$ 6.0 V			39063	bps
		2.7 V $V_{DD} < 4.5$ V			19531	bps
					9766	bps
ASCK立ち上がり, 立ち下がり時間	$t_{R9},$				1000	ns
	$t_{F9}$					

ACタイミング測定点 (X1, XT1入力を除く)

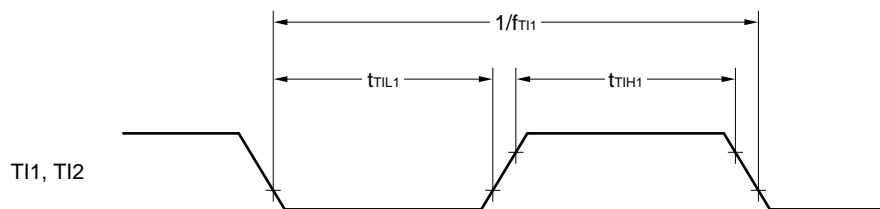
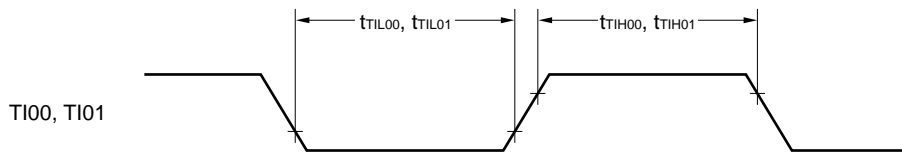


クロック・タイミング



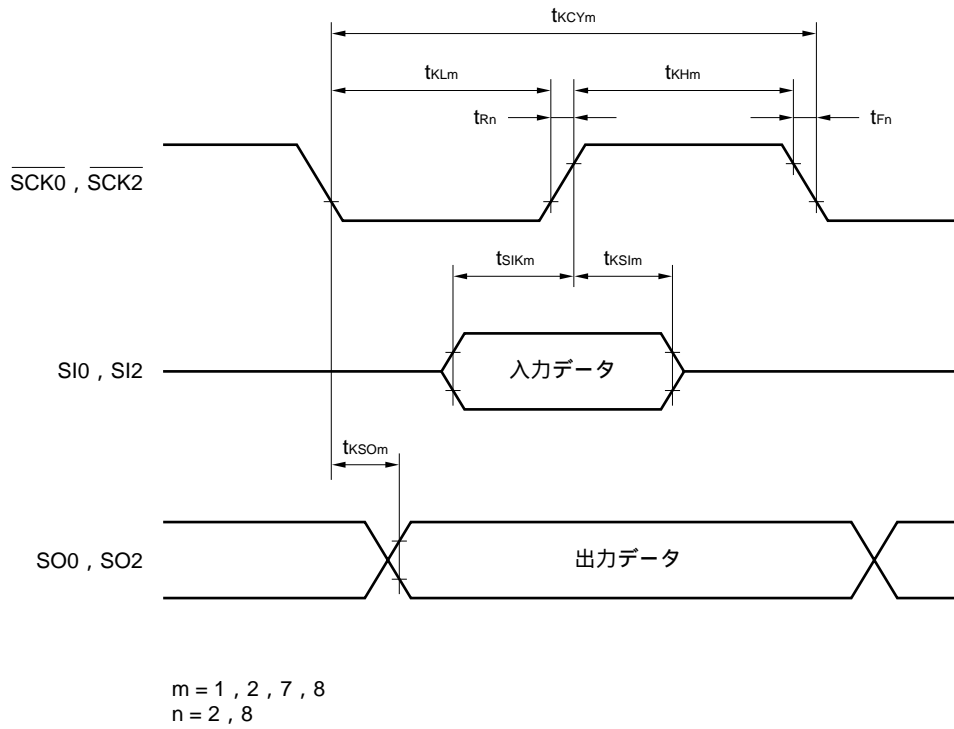
T1タイミング

★

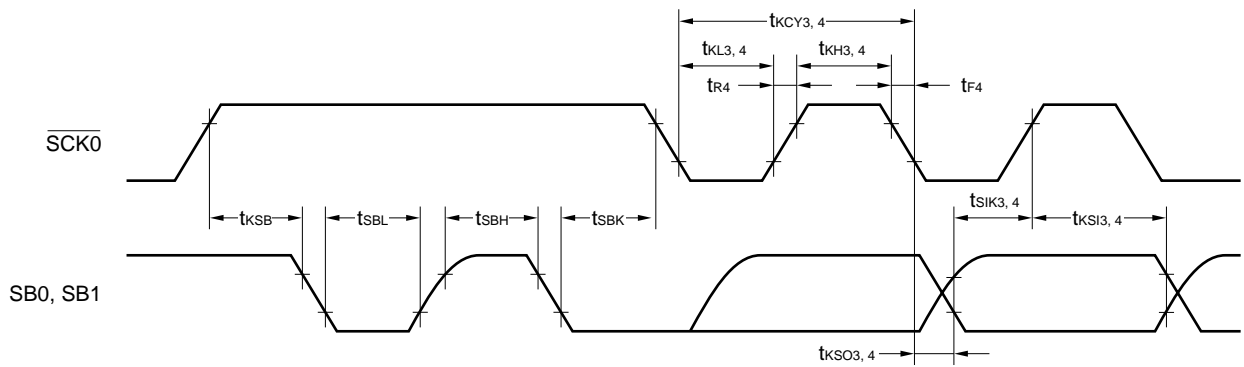


シリアル転送タイミング

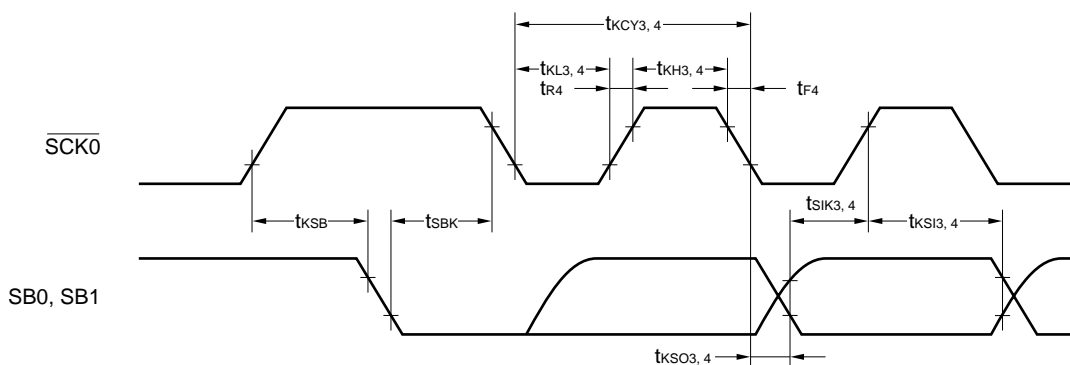
3線式シリアルI/Oモード :



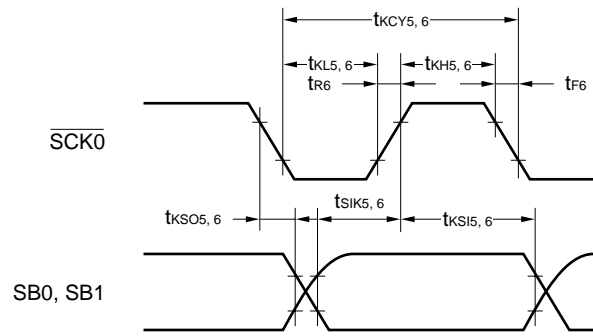
SBIモード (バス・リリース信号転送) :



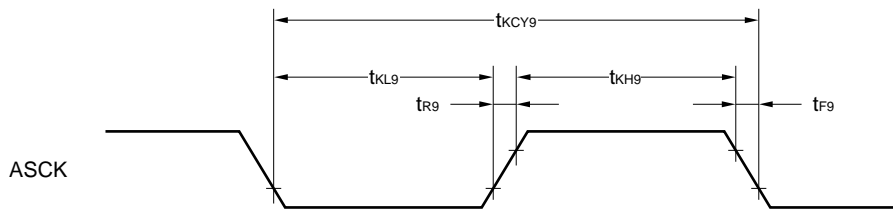
SBIモード (コマンド信号転送) :



2線式シリアルI/Oモード：



UARTモード：



A/Dコンバータ特性 (  $T_A = -40 \sim +85$  ,  $AV_{DD} = V_{DD} = 2.0 \sim 6.0 V$  ,  $AV_{SS} = V_{SS} = 0 V$  )

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
総合誤差 <sup>注</sup>		2.7 V $AV_{REF}$ 6.0 V			± 0.6	%
					± 1.4	%
変換時間	$t_{CONV}$		19.1		200	μs
サンプリング時間	$t_{SAMP}$		$12/f_{XX}$			μs
アナログ入力電圧	$V_{IAN}$		$AV_{SS}$		$AV_{REF}$	V
基準電圧	$AV_{REF}$		2.0		$AV_{DD}$	V
$AV_{REF}$ - $AV_{SS}$ 間抵抗	$RA_{REF}$		4	14		k

注 量子化誤差 ( ± 1/2 LSB ) を含みません。フルスケール値に対する比率で表します。

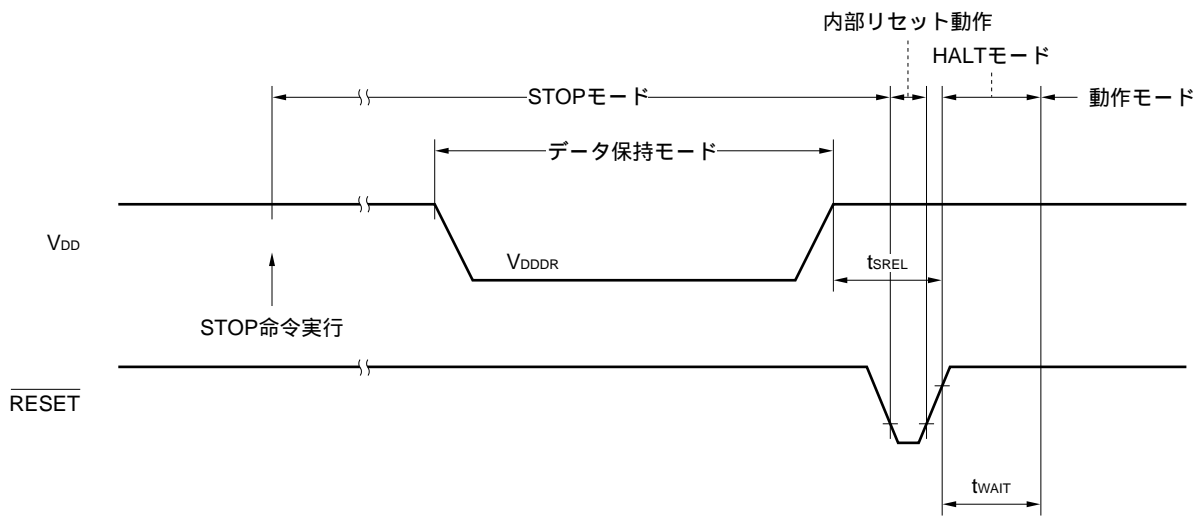


データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85 )

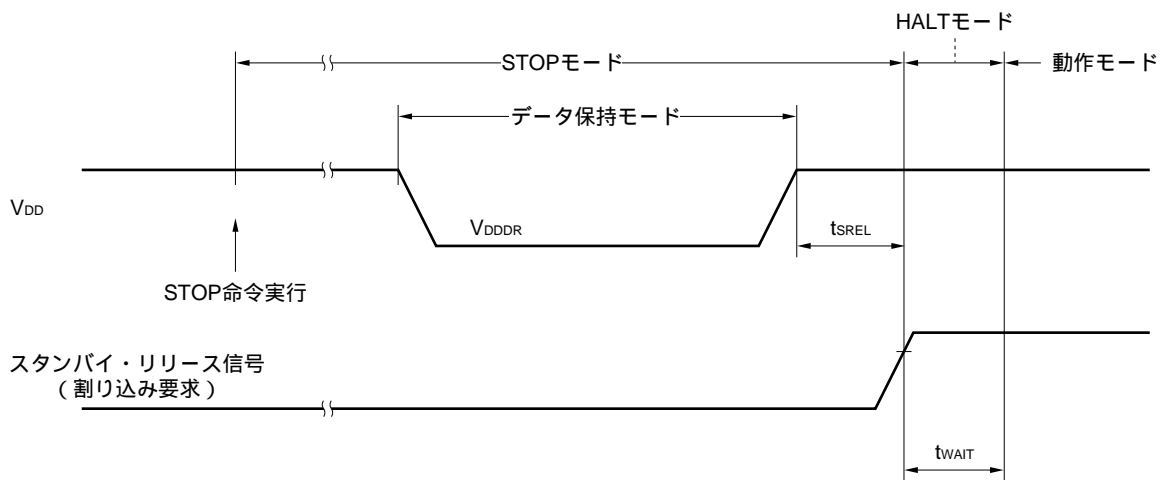
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.8		6.0	V
データ保持電源電流	I <sub>DDDR</sub>	V <sub>DDDR</sub> = 1.8 V サブシステム・クロック停止, フィードバック抵抗切断時		0.1	10	μA
リリース信号セット時間	t <sub>SREL</sub>		0			μs
発振安定ウエイト時間	t <sub>WAIT</sub>	RESETによる解除		2 <sup>17</sup> /f <sub>x</sub>		ms
		割り込みによる解除		注		ms

注 発振安定時間選択レジスタ (OSMS) のビット0-ビット2 (OSTS0-OSTS2) により, 2<sup>12</sup>/f<sub>xx</sub>, 2<sup>14</sup>/f<sub>xx</sub>-2<sup>17</sup>/f<sub>xx</sub>の選択が可能です。

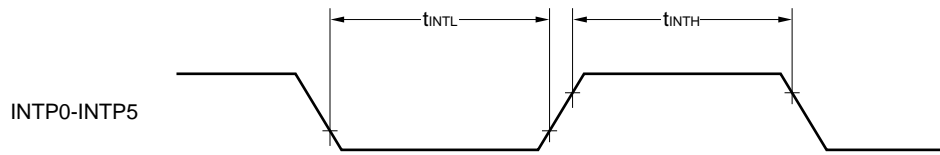
データ保持タイミング (RESETによるSTOPモード解除)



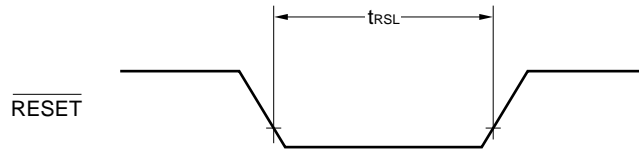
データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



割り込み入力タイミング

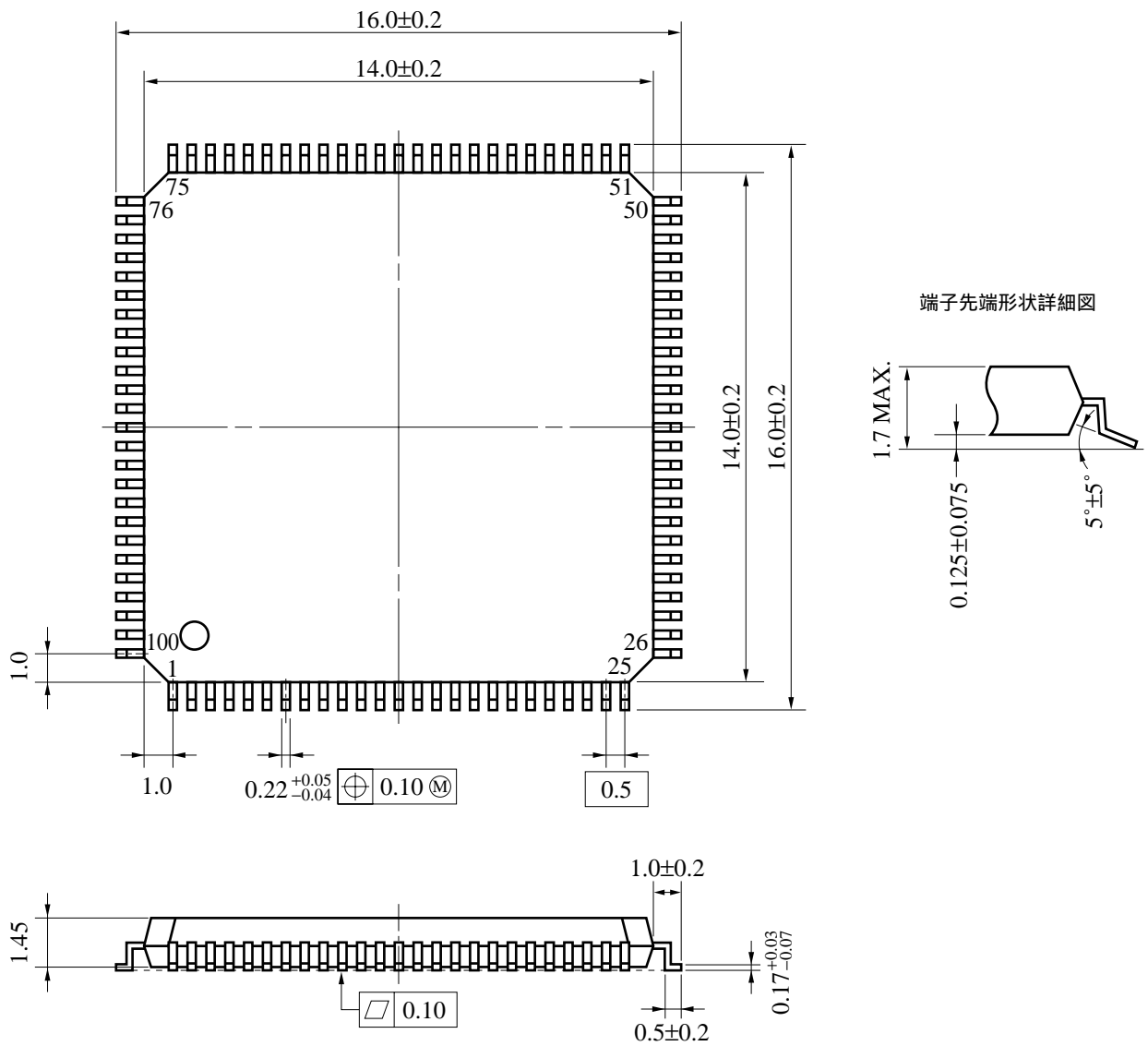


RESET入力タイミング



11. 外形図

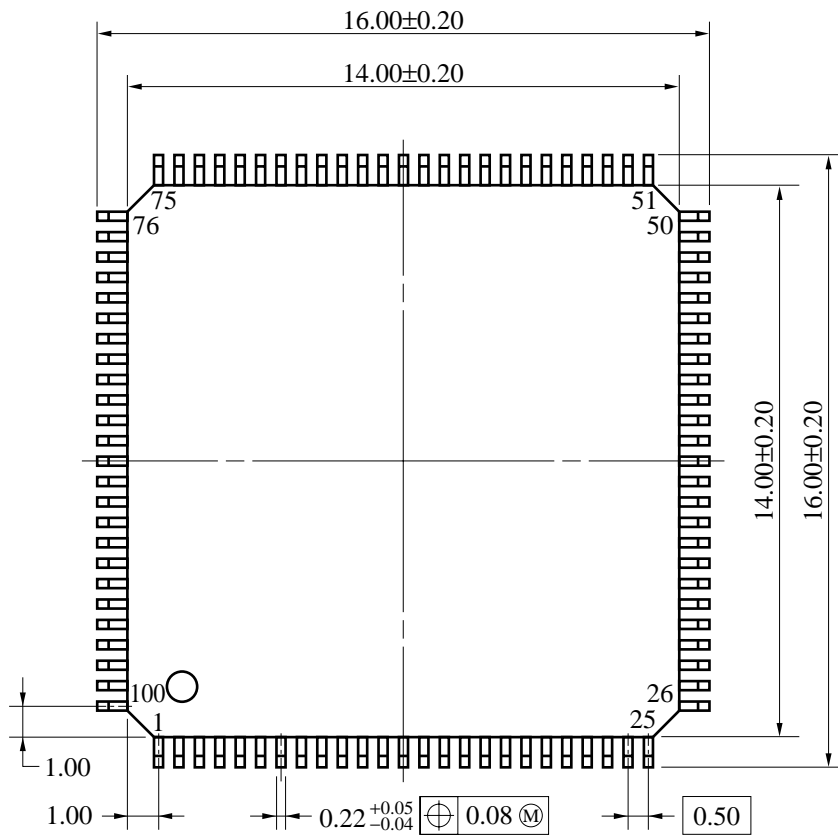
100ピン・プラスチック QFP (ファインピッチ) ( 14) 外形図 (単位 : mm)



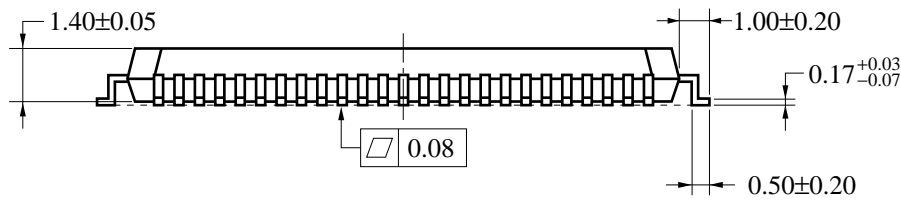
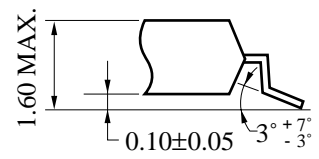
P100GC-50-7EA-2

備考 ES品の外形や材質は、量産品と同じです。

100ピン・プラスチック LQFP (ファインピッチ)(14×14) 外形図 (単位: mm)



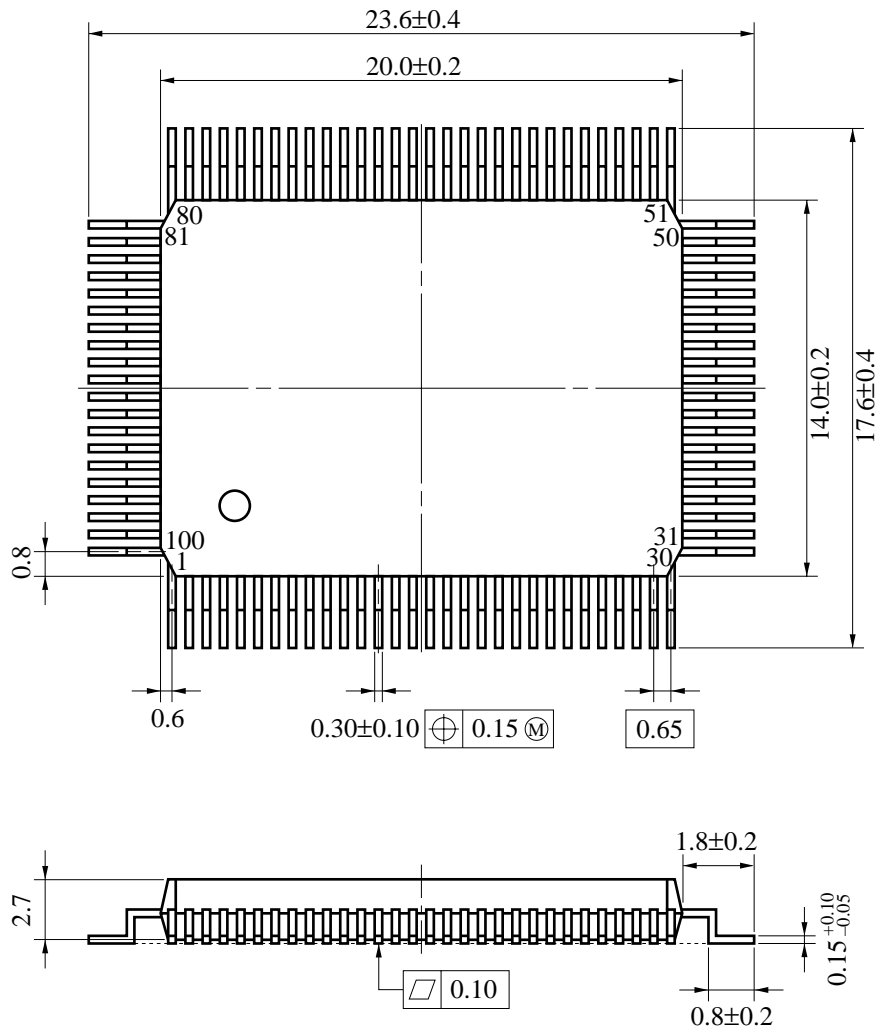
端子先端形状詳細図



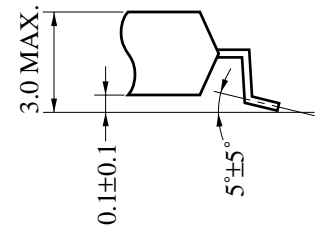
S100GC-50-8EU

備考 ES品の外形や材質は、量産品と同じです。

100ピン・プラスチック QFP (14×20) 外形図 (単位 : mm)



端子先端形状詳細図



P100GF-65-3BA1-2

備考 ES品の外形や材質は、量産品と同じです。

12. 半田付け推奨条件

μPD78064B(A)の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表12 - 1 表面実装タイプの半田付け条件 (1/2)

(1) μPD78064BGC(A)-x x x-7EA : 100ピン・プラスチックQFP (ファインピッチ) ( 14 mm)

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上)，回数：2回以内， 制限日数：7日間 <sup>注</sup> (以降は125 プリベーク10時間必要)  留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上)，回数：2回以内， 制限日数：7日間 <sup>注</sup> (以降は125 プリベーク10時間必要)  留意事項 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングができません。	VP15-107-2
端子部分加熱	端子温度：300 以下，時間：3秒以内 (デバイスの一辺当たり)	-

(2) μPD78064BGF(A)-x x x-3BA : 100ピン・プラスチックQFP (14 x 20 mm)

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上)，回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内 (200 以上)，回数：3回以内	VP15-00-3
ウェーブ・ ソルダーリング	半田槽温度：260 以下，時間：10秒以内，回数：1回， 予備加熱温度：120 MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：300 以下，時間：3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意1 . 半田付け方式の併用はお避けください (ただし，端子部分加熱は除く)。

2 . μPD78064BGC(A)-x x x-8EUは開発中のため，半田付け条件は未定です。

## 付録A．開発ツール

μPD78064B(A)を使用するシステム開発のために次のような開発ツールを用意しています。

## 言語処理用ソフトウェア

RA78K0 <sup>注1, 2, 3, 4</sup>	78K/0シリーズ共通のアセンブラ・パッケージ
CC78K0 <sup>注1, 2, 3, 4</sup>	78K/0シリーズ共通のCコンパイラ・パッケージ
DF78064 <sup>注1, 2, 3, 4</sup>	μPD78064サブシリーズと共通のデバイス・ファイル
CC78K0-L <sup>注1, 2, 3, 4</sup>	78K/0シリーズ共通のCコンパイラ・ライブラリ・ソース・ファイル

## PROM書き込み用ツール

PG-1500	PROMプログラマ
PA-78P064GC PA-78P064GF	PG-1500に接続するプログラマ・アダプタ
PG-1500コントローラ <sup>注1, 2</sup>	PG-1500用コントロール・プログラム

## ★ デバッグ用ツール

IE-78000-R	78K/0シリーズ共通のインサキット・エミュレータ
IE-78000-R-A	78K/0シリーズ共通のインサキット・エミュレータ（統合デバッグ用）
IE-78000-R-BK	78K/0シリーズ共通のブレーク・ボード
IE-780308-R-EM	μPD780308サブシリーズと共通のエミュレーション・ボード
IE-78000-R-SV3	ホスト・マシンとしてEWS使用時のインタフェース・アダプタとケーブル（IE-78000-R-A用）
IE-70000-98-IF-B	ホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときのインタフェース・アダプタ（IE-78000-R-A用）
IE-70000-98N-IF	ホスト・マシンとしてPC-9800シリーズのノート型パソコンを使用するときのインタフェース・アダプタとケーブル（IE-78000-R-A用）
IE-70000-PC-IF-B	ホスト・マシンとしてIBM PC/AT™を使用するときのインタフェース・アダプタ（IE-78000-R-A用）
EP-78064GC-R EP-78064GF-R	μPD78064サブシリーズと共通のエミュレーション・プローブ
TGC-100SDW	100ピン・プラスチックQFP（GC-7EA, GC-8EUタイプ）用に作られたターゲット・システムの基板上に実装するアダプタ。 東京エレクトック株式会社（東京（03）5295-1661）の製品です。ご購入の際はNEC特約店にご相談ください。
EV-9200GF-100	100ピン・プラスチックQFP（GF-3BAタイプ）用に作られたターゲット・システムの基板上に実装するソケット
SM78K0 <sup>注5, 6, 7</sup>	78K/0シリーズ共通のシステム・シミュレータ
ID78K0 <sup>注4, 5, 6, 7</sup>	IE-78000-R-A用総合デバッグ
SD78K0 <sup>注1, 2</sup>	IE-78000-R用スクリーン・デバッグ
DF78064 <sup>注1, 2, 4, 5, 6, 7</sup>	μPD78064サブシリーズと共通のデバイス・ファイル

## リアルタイムOS

RX78K0 <sup>注1, 2, 3, 4</sup>	78K/0シリーズ用リアルタイムOS
MX78K0 <sup>注1, 2, 3, 4</sup>	78K/0シリーズ用OS

## ファジィ推論開発支援システム

FE9000 <sup>注1</sup> /FE9200 <sup>注6</sup>	ファジィ知識データ作成ツール
FT9080 <sup>注1</sup> /FT9085 <sup>注2</sup>	トランスレータ
FI78K0 <sup>注1, 2</sup>	ファジィ推論モジュール
FD78K0 <sup>注1, 2</sup>	ファジィ推論ディバッガ

注1．PC-9800シリーズ（MS-DOS™）ベース

2．IBM PC/ATおよびその互換機（PC DOS™/IBM DOS™/MS-DOS）ベース

3．HP9000シリーズ300™（HP-UX™）ベース

4．HP9000シリーズ700™（HP-UX）ベース，SPARCstation™（SunOS™）ベース，EWS4800シリーズ（EWS-UX/V）ベース

5．PC-9800シリーズ（MS-DOS + Windows™）ベース

6．IBM PC/ATおよびその互換機（PC DOS/IBM DOS/MS-DOS + Windows）ベース

7．NEWS™（NEWS-OS™）ベース

備考1．3rdパーティ製開発ツールについては，78K/0シリーズ **セレクション・ガイド**（U11126J）を参照してください。

2．RA78K/0，CC78K/0，SM78K0，ID78K0，SD78K/0，RX78K/0は，DF78064と組み合わせて使用します。



付録B . 関連資料

デバイスの関連資料

資料名	資料番号	
	和文	英文
μPD78064Bサブシリーズ ユーザーズ・マニュアル	U10785J	U10785E
μPD78064B(A) データ・シート	この資料	U11597E
μPD78P064B データ・シート	U11598J	U11598E
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E
78K/0シリーズ インストラクション活用表	U10903J	-
78K/0シリーズ インストラクション・セット	U10904J	-
μPD78064Bサブシリーズ 特殊機能レジスタ活用表	作成予定	-

開発ツールの資料(ユーザーズ・マニュアル)(1/2)

資料名	資料番号		
	和文	英文	
RA78Kシリーズ アセンブラ・パッケージ	操作編	EEU-809	EEU-1399
	言語編	EEU-815	EEU-1404
RA78Kシリーズ 構造化アセンブラ・プリプロセッサ		EEU-817	EEU-1402
RA78K0 アセンブラ・パッケージ	操作編	U11802J	U11802E
	アセンブリ言語編	U11801J	U11801E
	構造化アセンブリ言語	U11789J	U11789E
CC78Kシリーズ Cコンパイラ	操作編	EEU-656	EEU-1280
	言語編	EEU-655	EEU-1284
CC78K0 Cコンパイラ	操作編	U11517J	U11517E
	言語編	U11518J	U11518E
CC78K/0 Cコンパイラ アプリケーション・ノート	プログラミング・ノウハウ編	EEA-618	EEA-1208
CC78Kシリーズ ライブラリ・ソース・ファイル		U12322J	-
PG-1500 PROMプログラマ		EEU-651	EEU-1335
PG-1500コントローラ PC-9800シリーズ (MS-DOS) ベース		EEU-704	EEU-1291
PG-1500コントローラ IBM PCシリーズ (PC DOS) ベース		EEU-5008	U10540E
IE-78000-R		U11376J	U11376E
IE-78000-R-A		U10057J	U10057E
IE-78000-R-BK		EEU-867	EEU-1427
IE-780308-R-EM		U11362J	U11362E
EP-78064		EEU-934	EEU-1469

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

## 開発ツールの資料 (ユーザーズ・マニュアル) (2/2)

資料名	資料番号	
	和文	英文
SM78K0 システム・シミュレータ Windowsベース	レファレンス編	U10181J U10181E
SM78Kシリーズ システム・シミュレータ	外部部品ユーザオープン インタフェース仕様編	U10092J U10092E
ID78K0 統合デバッグ EWSベース	レファレンス編	U11151J -
ID78K0 統合デバッグ PCベース	レファレンス編	U11539J U11539E
ID78K0 統合デバッグ Windowsベース	ガイド編	U11649J U11649E
SD78K/0 スクリーン・デバッグ	入門編	EEU-852 U10539E
PC-9800シリーズ (MS-DOS) ベース	レファレンス編	U10952J -
SD78K/0 スクリーン・デバッグ	入門編	EEU-5024 EEU-1414
IBM PC/AT (PC DOS) ベース	レファレンス編	U11279J U11279E

## 組み込み用ソフトウェアの関連資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
78K/0シリーズ リアルタイムOS	基礎編	U11537J -
	インストール編	U11536J -
78K/0シリーズ用OS MX78K0	基礎編	U12257J -
ファジィ知識データ作成ツール		EEU-829 EEU-1438
78K/0, 78K/ , 87ADシリーズ ファジィ推論開発支援システム トランスレータ		EEU-862 EEU-1444
78K/0シリーズ ファジィ推論開発支援システム ファジィ推論モジュール		EEU-858 EEU-1441
78K/0シリーズ ファジィ推論開発支援システム ファジィ推論デバッグ		EEU-921 EEU-1458

## その他の関連資料

資料名	資料番号	
	和文	英文
IC PACKAGE MANUAL	C10943X	
半導体デバイス 実装マニュアル	C10535J	C10535J
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 試験について	MEM-539	-
半導体デバイスの品質保証ガイド	C11893J	MEI-1202
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

## CMOSデバイスの一般的注意事項

**静電気対策（MOS全般）**

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

**未使用入力の処理（CMOS特有）**

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV<sub>DD</sub>またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

**初期化以前の状態（MOS全般）**

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

FIPは、日本電気株式会社の登録商標です。

IEBusは、日本電気株式会社の商標です。

MS-DOSおよびWindowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

IBM DOS, PC/AT, PC DOSは、米国IBM社の商標です。

HP9000シリーズ300, HP9000シリーズ700, HP-UXは、米国ヒューレット・パッカード社の商標です。

SPARCstationは、米国SPARC International, Inc. の商標です。

SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

本製品が外国為替および外国貿易管理法の規定による戦略物資等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

文書による当社の承諾なしに本資料の転載複製を禁じます。  
 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。  
 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。  
 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。  
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
 特別水準：輸送機器（自動車、列車、船舶等）、交通信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器  
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等  
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。  
 この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3454-1111	(大代表)
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2170 名古屋 (052)222-2190	
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208	
北海道支社 札幌 東北支社 仙台 岩手支店 盛岡 山形支店 山形 郡山支店 郡山 いわき支店 いわき 長岡支店 長岡 土浦支店 土浦 水戸支店 水戸 神奈川支社 横浜 群馬支店 高崎	(011)231-0161 (022)267-8740 (019)651-4344 (0236)23-5511 (0249)23-5511 (0246)21-5511 (0258)36-2155 (0298)23-6161 (029)226-1717 (045)324-5524 (0273)26-1255	太田支店 太田 (0276)46-4011 宇都宮支店 宇都宮 (028)621-2281 小山支店 小山 (0285)24-5011 長野支社 松本 (0263)35-1662 甲府支店 甲府 (0552)24-4141 埼玉支社 大宮 (048)641-1411 立川支社 立川 (0425)26-5981 千葉支社 千葉 (043)238-8116 静岡支社 静岡 (054)255-2211 北陸支社 金沢 (0762)23-1621 福井支店 福井 (0776)22-1866	富山支店 富山 (0764)31-8461 三重支店 津 (0592)25-7341 京都支社 京都 (075)344-7824 神戸支社 神戸 (078)333-3854 中国支社 広島 (082)242-5504 鳥取支店 鳥取 (0857)27-5311 岡山支店 岡山 (086)225-4455 四国支社 高松 (0878)36-1200 新居浜支店 新居浜 (0897)32-5001 松山支店 松山 (089)945-4149 九州支社 福岡 (092)271-7700

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7923	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3383	