

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ D78062, 78063, 78064

8ビット・シングルチップ・マイクロコンピュータ

μ PD78062, 78063, 78064は, 78K/0シリーズの中の μ PD78064サブシリーズの製品です。LCDコントローラ/ドライバ, 8ビット分解能A/Dコンバータ, タイマ, シリアル・インタフェース, 割り込み機能など豊富な周辺ハードウェアを内蔵しています。

また, マスクROM製品と同じ電源電圧範囲で動作可能なワン・タイムPROMおよびEPROM製品や, 各種開発ツールも用意しております。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD78064, 78064Yサブシリーズ ユーザーズ・マニュアル : U10105J

78K/0シリーズ ユーザーズ・マニュアル 命令編 : U12326J

特 徴

大容量ROM, RAM内蔵

項 目 品 名	プログラム・ メモリ (ROM)	データ・メモリ		パッケージ
		内部高速RAM	LCD表示用RAM	
μ PD78062	16 Kバイト	512バイト	40 × 4ビット	100ピン・プラスチックQFP (ファインピッチ) (14 mm, 0.5 mmピッチ)
μ PD78063	24 Kバイト	1024バイト		100ピン・プラスチックQFP (14 × 20 mm, 0.65 mmピッチ)
★ μ PD78064	32 Kバイト			100ピン・プラスチックLQFP (ファインピッチ) (14 mm, 0.5 mmピッチ)

高速 (0.4 μ s) から超低速 (122 μ s) まで命令実行時間変更可能

I/Oポート : 57本 (セグメント信号出力兼用端子を含む)

LCDコントローラ/ドライバ

電源電圧 $V_{DD} = 2.0 \sim 6.0$ V (スタティック表示モード)

$V_{DD} = 2.5 \sim 6.0$ V (1/3バイアス法)

$V_{DD} = 2.7 \sim 6.0$ V (1/2バイアス法)

8ビット分解能A/Dコンバータ : 8チャンネル

シリアル・インタフェース : 2チャンネル

タイマ : 5チャンネル

電源電圧 : $V_{DD} = 2.0 \sim 6.0$ V

本資料の内容は, 後日変更する場合があります。

応用分野

携帯電話, CDプレーヤ, カメラなど

オーダ情報

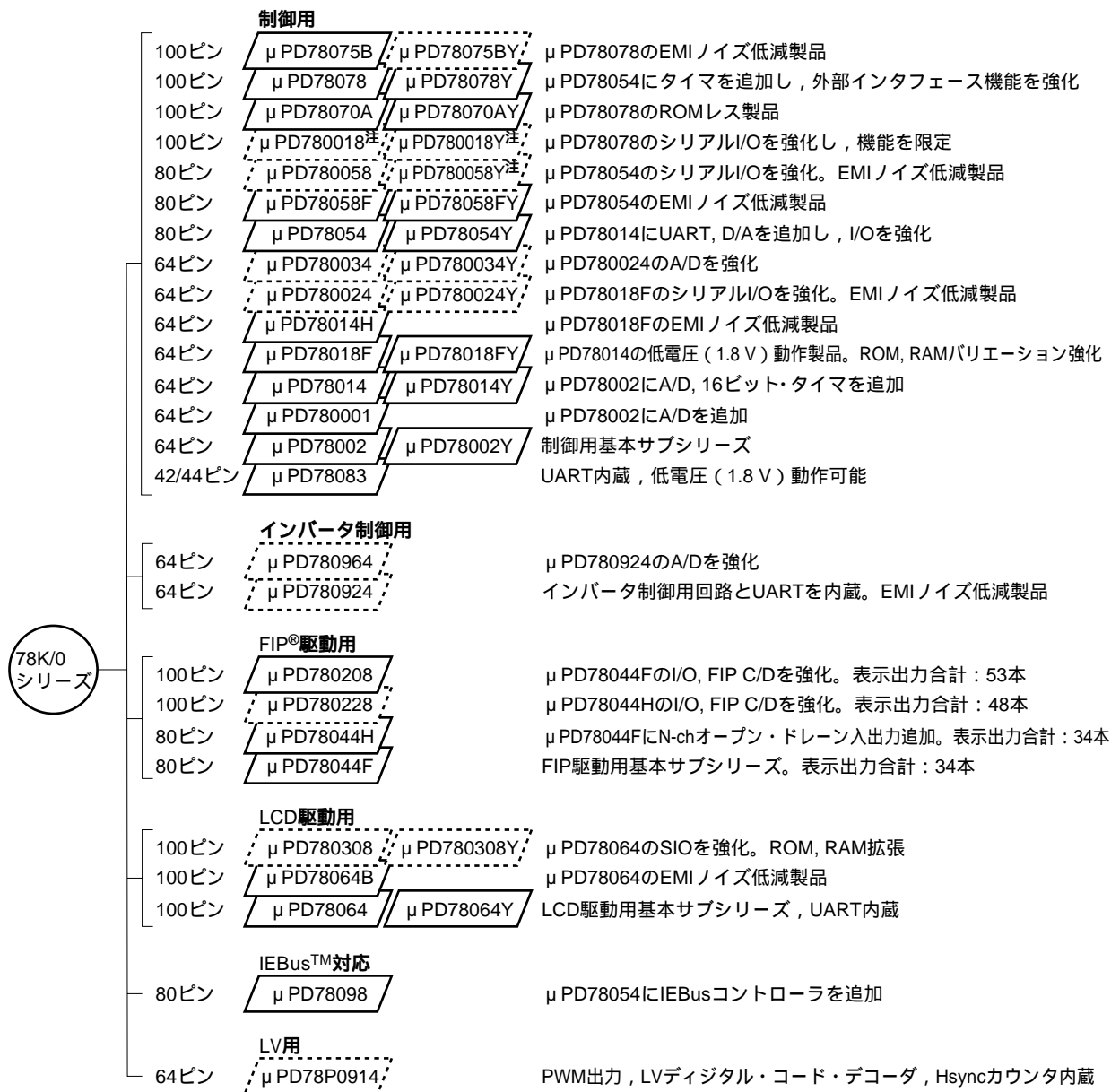
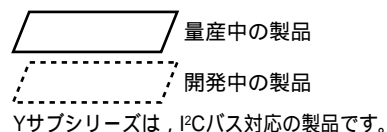
オーダ名称	パッケージ
μ PD78062GC- x x x -7EA	100ピン・プラスチックQFP (ファインピッチ) (14 mm, 樹脂厚1.45 mm)
★ μ PD78062GC- x x x -8EU	100ピン・プラスチックLQFP (ファインピッチ) (14 mm, 樹脂厚1.40 mm)
μ PD78062GF- x x x -3BA	100ピン・プラスチックQFP (14 x 20 mm)
μ PD78063GC- x x x -7EA	100ピン・プラスチックQFP (ファインピッチ) (14 mm, 樹脂厚1.45 mm)
★ μ PD78063GC- x x x -8EU	100ピン・プラスチックLQFP (ファインピッチ) (14 mm, 樹脂厚1.40 mm)
μ PD78063GF- x x x -3BA	100ピン・プラスチックQFP (14 x 20 mm)
μ PD78064GC- x x x -7EA	100ピン・プラスチックQFP (ファインピッチ) (14 mm, 樹脂厚1.45 mm)
★ μ PD78064GC- x x x -8EU	100ピン・プラスチックLQFP (ファインピッチ) (14 mm, 樹脂厚1.40 mm)
μ PD78064GF- x x x -3BA	100ピン・プラスチックQFP (14 x 20 mm)

- ★ 注意 μPD78062GC, 78063GC, 78064GCには2種類のパッケージがあります(12.外形図参照)。供給可能なパッケージについては, 当社販売員にご相談ください。

備考 x x x はROMコード番号です。

★ 78K/0シリーズの展開

78K/0シリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



注 計画中

各サブシリーズ間の主な機能の違いを次に示します。

機能 サブシリーズ名		ROM容量	タイマ				8-bit A/D	10-bit A/D	8-bit D/A	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張			
			8-bit	16-bit	時計	WDT										
制御用	μ PD78075B	32 K-40 K	4ch	1ch	1ch	1ch	8ch	-	2ch	3ch (UART : 1ch)	88本	1.8 V				
	μ PD78078	48 K-60 K									61本	2.7 V				
	μ PD78070A	-														
	μ PD780018	48 K-60 K	2ch						-	2ch (時分割3線 : 1ch)	88本					
	μ PD780058	24 K-60 K							2ch	3ch (時分割UART : 1ch)	68本	1.8 V				
	μ PD78058F	48 K-60 K							3ch (UART : 1ch)	69本	2.7 V					
	μ PD78054	16 K-60 K									2.0 V					
	μ PD780034	8 K-32 K							-	8ch	-	3ch (UART : 1ch, 時分割3線 : 1ch)		51本	1.8 V	
	μ PD780024								8ch	-	2ch	53本				
	μ PD78014H															
	μ PD78018F	8 K-60 K														
	μ PD78014	8 K-32 K														2.7 V
	μ PD780001	8 K												-	-	1ch
	μ PD78002	8 K-16 K														
μ PD78003	1ch												-		53本	
μ PD78083	8 K					8ch		1ch (UART : 1ch)	33本	1.8 V	-					
インバータ 制御用	μ PD780964	8 K-32 K	3ch	注	-	1ch	-	8ch	-	2ch (UART : 2ch)	47本	2.7 V				
	μ PD780924						8ch	-								
FIP 駆動用	μ PD780208	32 K-60 K	2ch	1ch	1ch	1ch	8ch	-	-	2ch	74本	2.7 V	-			
	μ PD780228	48 K-60 K	3ch	-	-					1ch	72本	4.5 V				
	μ PD78044H	32 K-48 K	2ch	1ch	1ch						68本	2.7 V				
	μ PD78044F	16 K-40 K								2ch						
LCD 駆動用	μ PD780308	48 K-60 K	2ch	1ch	1ch	1ch	8ch	-	-	3ch (時分割UART : 1ch)	57本	2.0 V	-			
	μ PD78064B	32 K								2ch (UART : 1ch)						
	μ PD78064	16 K-32 K														
IEBus 対応	μ PD78098	32 K-60 K	2ch	1ch	1ch	1ch	8ch	-	2ch	3ch (UART : 1ch)	69本	2.7 V				
LV用	μ PD78P0914	32 K	6ch	-	-	1ch	8ch	-	-	2ch	54本	4.5 V				

注 10ビット・タイマ : 1チャンネル

機能概要

項目		品名	μ PD78062	μ PD78063	μ PD78064
内部メモリ	ROM		16 Kバイト	24 Kバイト	32 Kバイト
	高速RAM		512バイト	1024バイト	
	LCD表示用RAM		40 × 4 ビット		
汎用レジスタ			8 ビット × 32レジスタ (8 ビット × 8 レジスタ × 4 バンク)		
インストラクション・サイクル			命令実行時間の可変機能内蔵		
	メイン・システム・クロック選択時		0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (5.0 MHz動作時)		
	サブシステム・クロック選択時		122 μs (32.768 kHz動作時)		
命令セット			<ul style="list-style-type: none"> ・ 16ビット演算 ・ 乗除算 (8 ビット × 8 ビット, 16ビット ÷ 8 ビット) ・ ビット操作 (セット, リセット, テスト, プール演算) ・ BCD補正など 		
I/Oポート (セグメント信号出力) (兼用端子を含む)			合計 : 57本	<ul style="list-style-type: none"> ・ CMOS入力 : 2本 ・ CMOS入出力 : 55本 	
A/Dコンバータ			8 ビット分解能 × 8 チャンネル		
LCDコントローラ / ドライバ			<ul style="list-style-type: none"> ・ セグメント信号出力 : 最大40本 ・ コモン信号出力 : 最大4本 ・ バイアス : 1/2, 1/3バイアス切り替え可能 		
シリアル・インタフェース			<ul style="list-style-type: none"> ・ 3線式シリアルI/O / SBI / 2線式シリアルI/Oモード選択可能 : 1チャンネル ・ 3線式シリアルI/O / UARTモード選択可能 : 1チャンネル 		
タイマ			<ul style="list-style-type: none"> ・ 16ビット・タイマ / イベント・カウンタ : 1チャンネル ・ 8ビット・タイマ / イベント・カウンタ : 2チャンネル ・ 時計用タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 		
タイマ出力			3本 (14ビットPWM出力可能 : 1本)		
クロック出力			19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック : 5.0 MHz動作時) 32.768 kHz (サブシステム・クロック : 32.768 kHz動作時)		
ブザー出力			1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz (メイン・システム・クロック : 5.0 MHz動作時)		
ベクタ	マスカブル		内部 : 12, 外部 : 6		
割り込み	ノンマスカブル		内部 : 1		
要因	ソフトウェア		1		
テスト入力			内部 : 1本, 外部 : 1本		
電源電圧			V _{DD} = 2.0 ~ 6.0 V		
パッケージ			<ul style="list-style-type: none"> ・ 100ピン・プラスチックQFP (ファインピッチ) (14 mm, 樹脂厚1.45 mm) ・ 100ピン・プラスチックQFP (14 × 20 mm) ・ 100ピン・プラスチックLQFP (ファインピッチ) (14 mm, 樹脂厚1.40 mm) 		

★

目 次

1 . 端子接続図 (Top View) ...	8
2 . ブロック図 ...	11
3 . 端子機能一覧 ...	12
3.1 ポート端子 ...	12
3.2 ポート以外の端子 ...	14
3.3 端子の入出力回路と未使用端子の処理 ...	15
4 . メモリ空間 ...	19
5 . 周辺ハードウェア機能の特徴 ...	20
5.1 ポート ...	20
5.2 クロック発生回路 ...	21
5.3 タイマ/イベント・カウンタ ...	21
5.4 クロック出力制御回路 ...	24
5.5 ブザー出力制御回路 ...	24
5.6 A/Dコンバータ ...	25
5.7 シリアル・インタフェース ...	26
5.8 LCDコントローラ/ドライバ ...	28
6 . 割り込み機能とテスト機能 ...	29
6.1 割り込み機能 ...	29
6.2 テスト機能 ...	33
7 . スタンバイ機能 ...	34
8 . リセット機能 ...	34
9 . 命令セット ...	35
10 . 電気的特性 ...	38
11 . 特性曲線 (参考値) ...	58
12 . 外形図 ...	60
13 . 半田付け推奨条件 ...	63

付録A . 開発ツール ... 64

付録B . 関連資料 ... 66

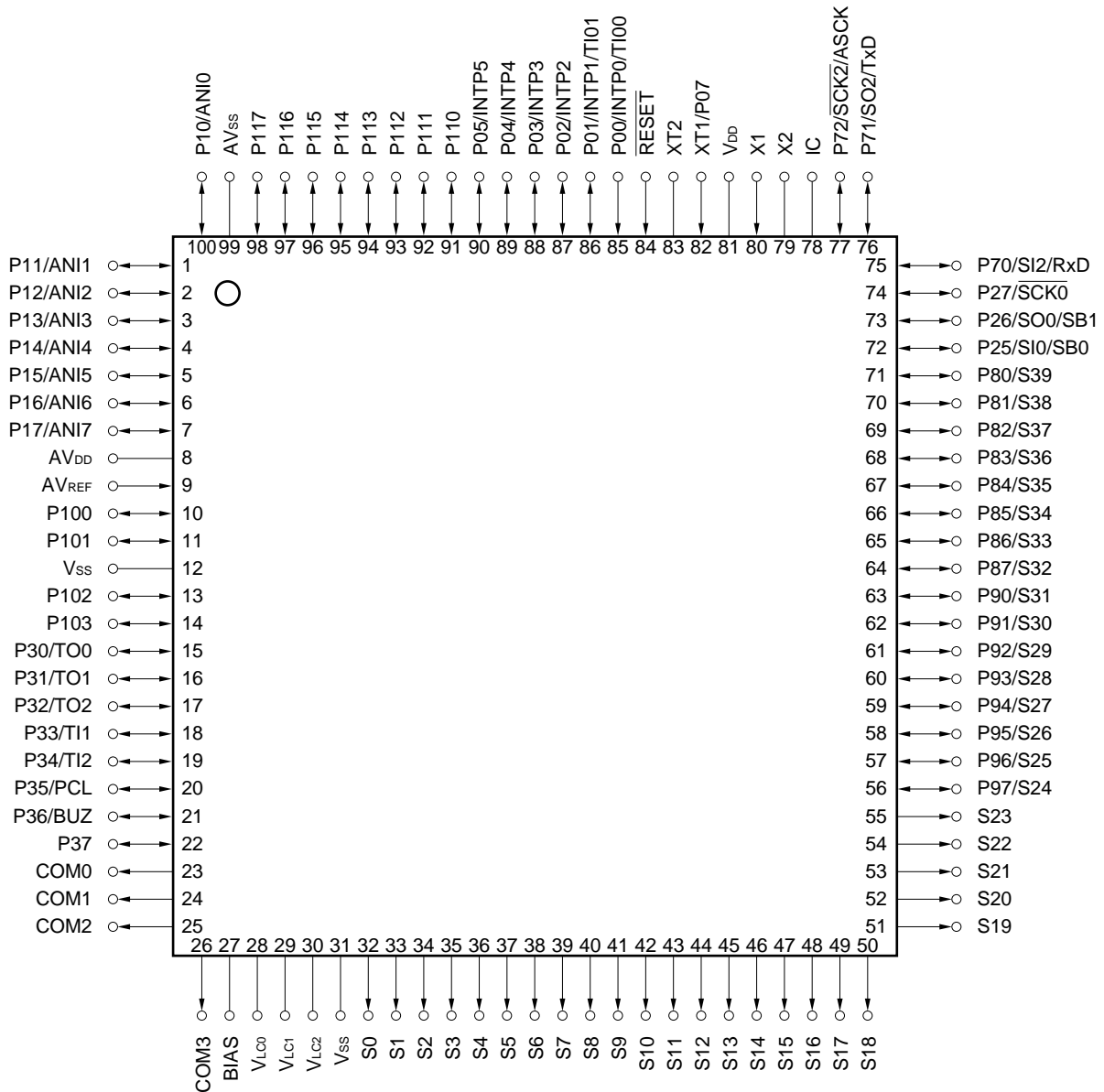
1. 端子接続図 (Top View)

・ 100ピン・プラスチックQFP (ファインピッチ) (14 mm , 樹脂厚1.45 mm)

μPD78062GC- x x x -7EA , 78063GC- x x x -7EA , 78064GC- x x x -7EA

★ ・ 100ピン・プラスチックLQFP (ファインピッチ) (14 mm , 樹脂厚1.40 mm)

μPD78062GC- x x x -8EU , 78063GC- x x x -8EU , 78064GC- x x x -8EU



注意 1 . IC (Internally Connected) 端子はVssに直接接続してください。

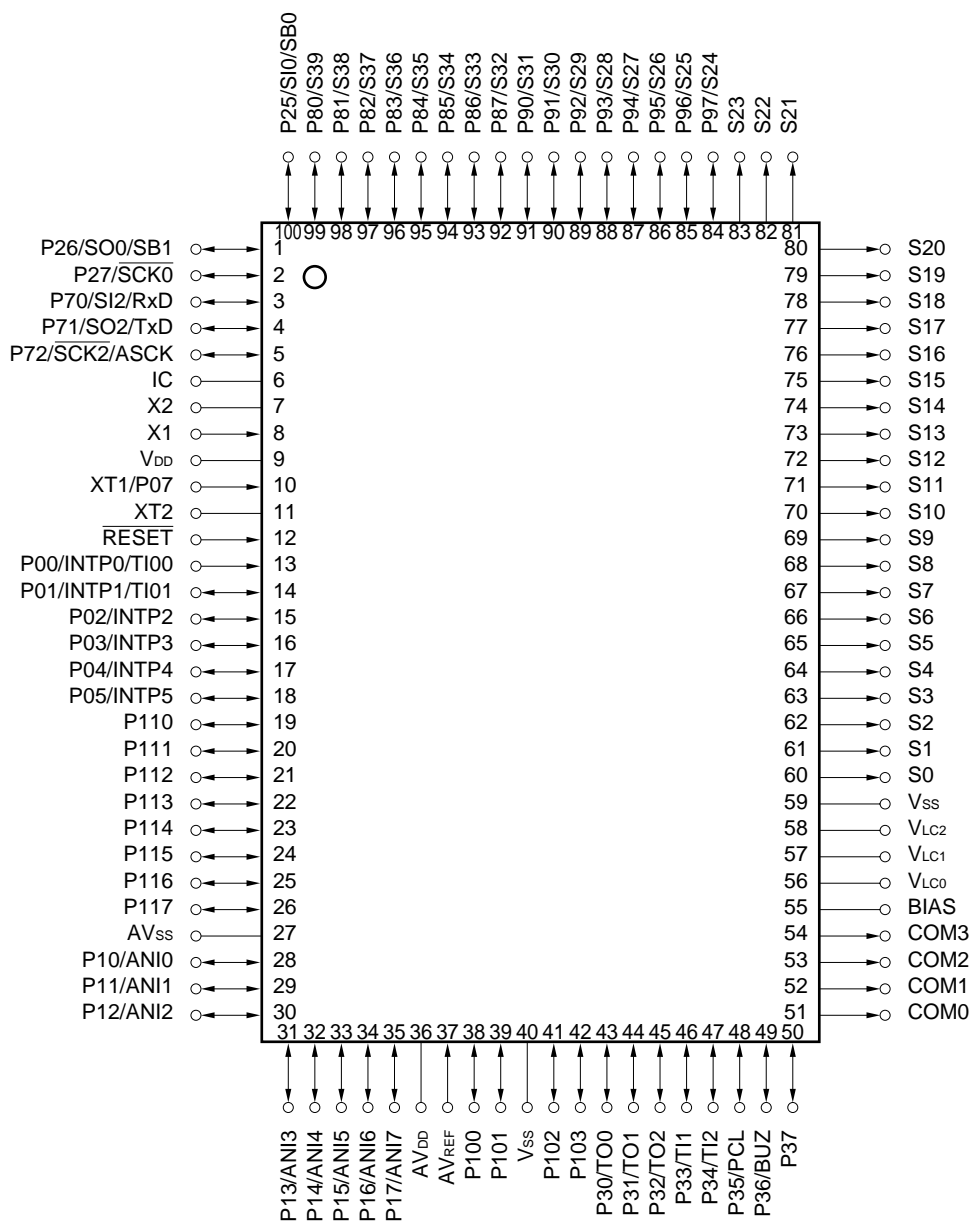
2 . AVDD端子はVDDに接続してください。

3 . AVss端子はVssに接続してください。

・100ピン・プラスチックQFP (14 × 20 mm)

μPD78062GF- x x x -3BA , 78063GF- x x x -3BA

μPD78064GF- x x x -3BA



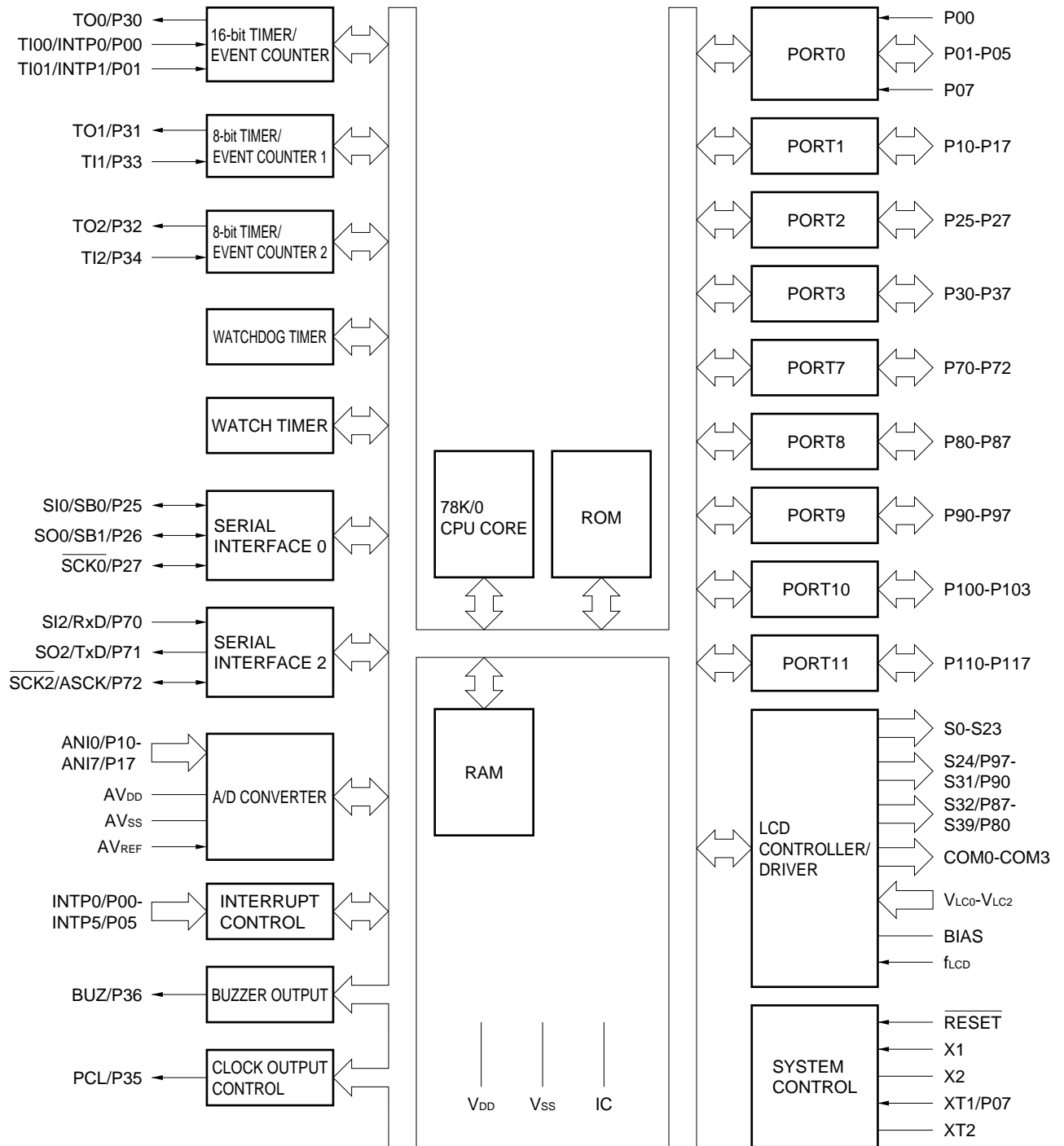
注意 1 . IC (Internally Connected) 端子はV_{SS}に直接接続してください。

2 . AV_{DD}端子はV_{DD}に接続してください。

3 . AV_{SS}端子はV_{SS}に接続してください。

P00-P05 , P07	: Port0	S0-S39	: Segment Output
P10-P17	: Port1	COM0-COM3	: Common Output
P25-P27	: Port2	V _{LC0} -V _{LC2}	: LCD Power Supply
P30-P37	: Port3	BIAS	: LCD Power Supply Bias Control
P70-P72	: Port7	X1 , X2	: Crystal (Main System Clock)
P80-P87	: Port8	XT1 , XT2	: Crystal (Subsystem Clock)
P90-P97	: Port9	$\overline{\text{RESET}}$: Reset
P100-P103	: Port10	ANI0-ANI7	: Analog Input
P110-P117	: Port11	AV _{DD}	: Analog Power Supply
INTP0-INTP5	: Interrupt from Peripherals	AV _{SS}	: Analog Ground
TI00 , TI01	: Timer Input	AV _{REF}	: Analog Reference Voltage
TI1 , TI2	: Timer Input	V _{DD}	: Power Supply
TO0-TO2	: Timer Output	V _{SS}	: Ground
SB0 , SB1	: Serial Bus	IC	: Internally Connected
SI0 , SI2	: Serial Input		
SO0 , SO2	: Serial Output		
$\overline{\text{SCK0}}$, $\overline{\text{SCK2}}$: Serial Clock		
RxD	: Receive Data		
TxD	: Transmit Data		
ASCK	: Asynchronous Serial Clock		
PCL	: Programmable Clock		
BUZ	: Buzzer Clock		

2. ブロック図



備考 内部ROM, RAM容量は製品によって異なります。

3. 端子機能一覧

3.1 ポート端子 (1/2)

端子名称	入出力	機 能		リセット時	兼用端子
P00	入力	ポート0。	入力専用	入力	INTP0/TI00
P01	入出力	7ビット入出力ポート。	1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入力	INTP1/TI01
P02					INTP2
P03					INTP3
P04					INTP4
P05					INTP5
P07 ^{注1}	入力		入力専用。	入力	XT1
P10-P17	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 ^{注2}		入力	ANI0-ANI7
P25	入出力	ポート2。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	SI0/SB0
P26					SO0/SB1
P27					SCK0
P30	入出力	ポート3。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	TO0
P31					TO1
P32					TO2
P33					TI1
P34					TI2
P35					PCL
P36					BUZ
P37					-
P70	入出力	ポート7。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入力	SI2/RxD
P71					SO2/TxD
P72					SCK2/ASCK

注1. P07/XT1端子を入力ポートとして使用するときは、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット6 (FRC) を1に設定してください (サブシステム・クロック発振回路の内蔵フィードバック抵抗を使用しないでください)。

2. P10/ANI0-P17/ANI7端子をA/Dコンバータのアナログ入力として使用するときは、ポート1を入力モードにしてください。なお、内蔵プルアップ抵抗は自動的に使用されなくなります。

3.1 ポート端子 (2/2)

端子名称	入出力	機能	リセット時	兼用端子
P80-P87	入出力	<p>ポート 8。</p> <p>8 ビット入出力ポート。</p> <p>1 ビット単位で入力 / 出力の指定可能。</p> <p>入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。</p> <p>LCDコントロール・レジスタ (LCDC) により、2 ビット単位で入出力ポート / セグメント信号出力機能の指定可能。</p>	入力	S39-S32
P90-P97	入出力	<p>ポート 9。</p> <p>8 ビット入出力ポート。</p> <p>1 ビット単位で入力 / 出力の指定可能。</p> <p>入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。</p> <p>LCDコントロール・レジスタ (LCDC) により、2 ビット単位で入出力ポート / セグメント信号出力機能の指定可能。</p>	入力	S31-S24
P100-P103	入出力	<p>ポート 10。</p> <p>4 ビット入出力ポート。</p> <p>1 ビット単位で入力 / 出力の指定可能。</p> <p>入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。</p> <p>LEDを直接駆動可能。</p>	入力	-
P110-P117	入出力	<p>ポート 11。</p> <p>8 ビット入出力ポート。</p> <p>1 ビット単位で入力 / 出力の指定可能。</p> <p>入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。</p> <p>立ち下がりエッジ検出可能。</p>	入力	-

3.2 ポート以外の端子 (1/2)

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力。	入力	P00/TI00
INTP1				P01/TI01
INTP2				P02
INTP3				P03
INTP4				P04
INTP5				P05
SI0	入力	シリアル・インタフェースのシリアル・データ入力。	入力	P25/SB0
SI2				P70/RxD
SO0	出力	シリアル・インタフェースのシリアル・データ出力。	入力	P26/SB1
SO2				P71/TxD
SB0	入出力	シリアル・インタフェースのシリアル・データ入力 / 出力。	入力	P25/SI0
SB1				P26/SO0
$\overline{\text{SCK0}}$	入出力	シリアル・インタフェースのシリアル・クロック入力 / 出力	入力	P27
$\overline{\text{SCK2}}$				P72/ASCK
RxD	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力。	入力	P70/SI2
TxD	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力。	入力	P71/SO2
ASCK	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロック入力。	入力	P72/ $\overline{\text{SCK2}}$
TI00	入力	16ビット・タイマ (TM0) への外部カウント・クロック入力。	入力	P00/INTP0
TI01		キャプチャ・レジスタ (CR00) へのキャプチャ・トリガ信号入力。		P01/INTP1
TI1		8ビット・タイマ (TM1) への外部カウント・クロック入力。		P33
TI2		8ビット・タイマ (TM2) への外部カウント・クロック入力。		P34
TO0	出力	16ビット・タイマ (TM0) 出力 (14ビットPWM出力と兼用)。	入力	P30
TO1		8ビット・タイマ (TM1) 出力		P31
TO2		8ビット・タイマ (TM2) 出力		P32
PCL	出力	クロック出力 (メイン・システム・クロック, サブシステム・クロックのトリミング用)。	入力	P35
BUZ	出力	ブザー出力。	入力	P36
S0-S23	出力	LCDコントローラ / ドライバのセグメント信号出力。	出力	-
S24-S31			入力	P97-P90
S32-S39				P87-P80
COM0-COM3	出力	LCDコントローラ / ドライバのコモン信号出力。	出力	-
V _{LC0} -V _{LC2}	-	LCD駆動用電圧。マスク・オプションにより, 分割抵抗の内蔵が可能。	-	-
BIAS	-	LCD駆動用電源供給。	-	-

3.2 ポート以外の端子 (2/2)

端子名称	入出力	機能	リセット時	兼用端子
ANI0-ANI7	入力	A/Dコンバータのアナログ入力。	入力	P10-P17
AVREF	入力	A/Dコンバータの基準電圧入力。	-	-
AVDD	-	A/Dコンバータのアナログ電源。V _{DD} に接続。	-	-
AVSS	-	A/Dコンバータのグランド電位。V _{SS} に接続。	-	-
RESET	入力	システム・リセット入力。	-	-
X1	入力	メイン・システム・クロック発振用クリスタル接続。	-	-
X2	-		-	-
XT1	入力	サブシステム・クロック発振用クリスタル接続。	入力	P07
XT2	-		-	-
V _{DD}	-	正電源。	-	-
V _{SS}	-	グランド電位。	-	-
IC	-	内部接続。V _{SS} 端子に直接接続。	-	-

3.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表3 - 1に示します。

また、各タイプの入出力回路の構成は、図3 - 1を参照してください。

表3 - 1 各端子の入出力回路タイプ (1/2)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/INTP0/ TI00	2	入力	V _{SS} に接続
P01/INTP1/ TI01	8-A	入出力	個別に抵抗を介して、V _{SS} に接続
P02/INTP2			
P03/INTP3			
P04/INTP4			
P05/INTP5			
P07/XT1	16	入力	V _{DD} に接続
P10/ANI0- P17/ANI7	11	入出力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続
P25/SI0/SB0	10-A		
P26/SO0/SB1			
P27/SCK0			
P30/TO0	5-A		
P31/TO1			
P32/TO2			

表 3 - 1 各端子の入出力回路タイプ (2/2)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P33/TI1	8-A	入出力	個別に抵抗を介して, V _{DD} またはV _{SS} に接続
P34/TI2			
P35/PCL	5-A		
P36/BUZ			
P37			
P70/SI2/RxD			
P71/SO2/TxD	5-A		
P72/SCK2/ ASCK	8-A		
P80/S39-P87/ S32	17-A		
P90/S31-P97/ S24			
P100-P103	5-A		
P110-P117	8-A	個別に抵抗を介して, V _{DD} に接続	
S0-S23	17	出力	オープン
COM0-COM3	18		
V _{LC0} -V _{LC2}	-	-	
BIAS			
RESET	2	入力	-
XT2	16	-	オープン
AV _{REF}	-		V _{SS} に接続
AV _{DD}			V _{DD} に接続
AV _{SS}			V _{SS} に接続
IC			V _{SS} に直接接続

図3 - 1 端子の入出力回路一覧 (1/2)

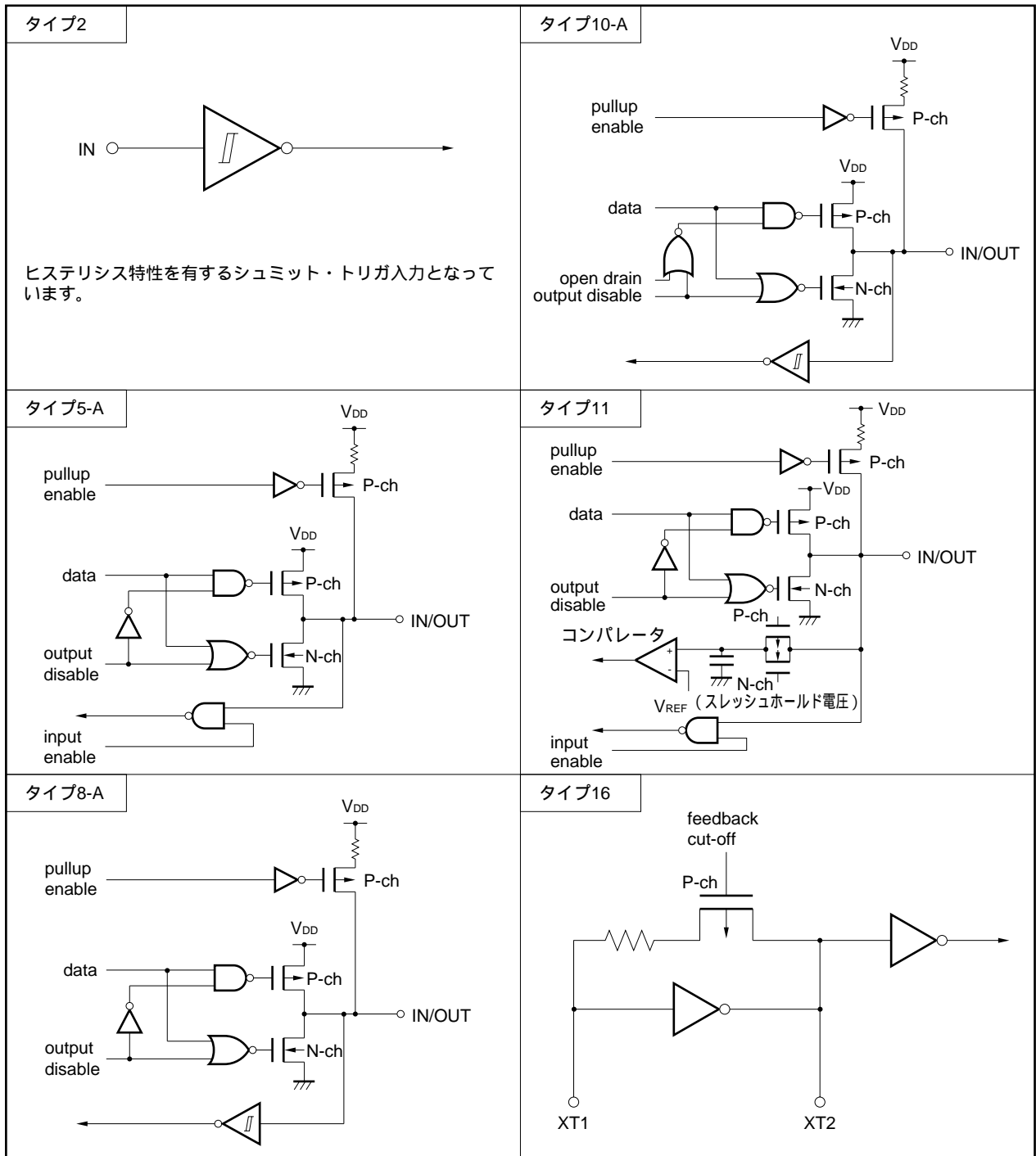
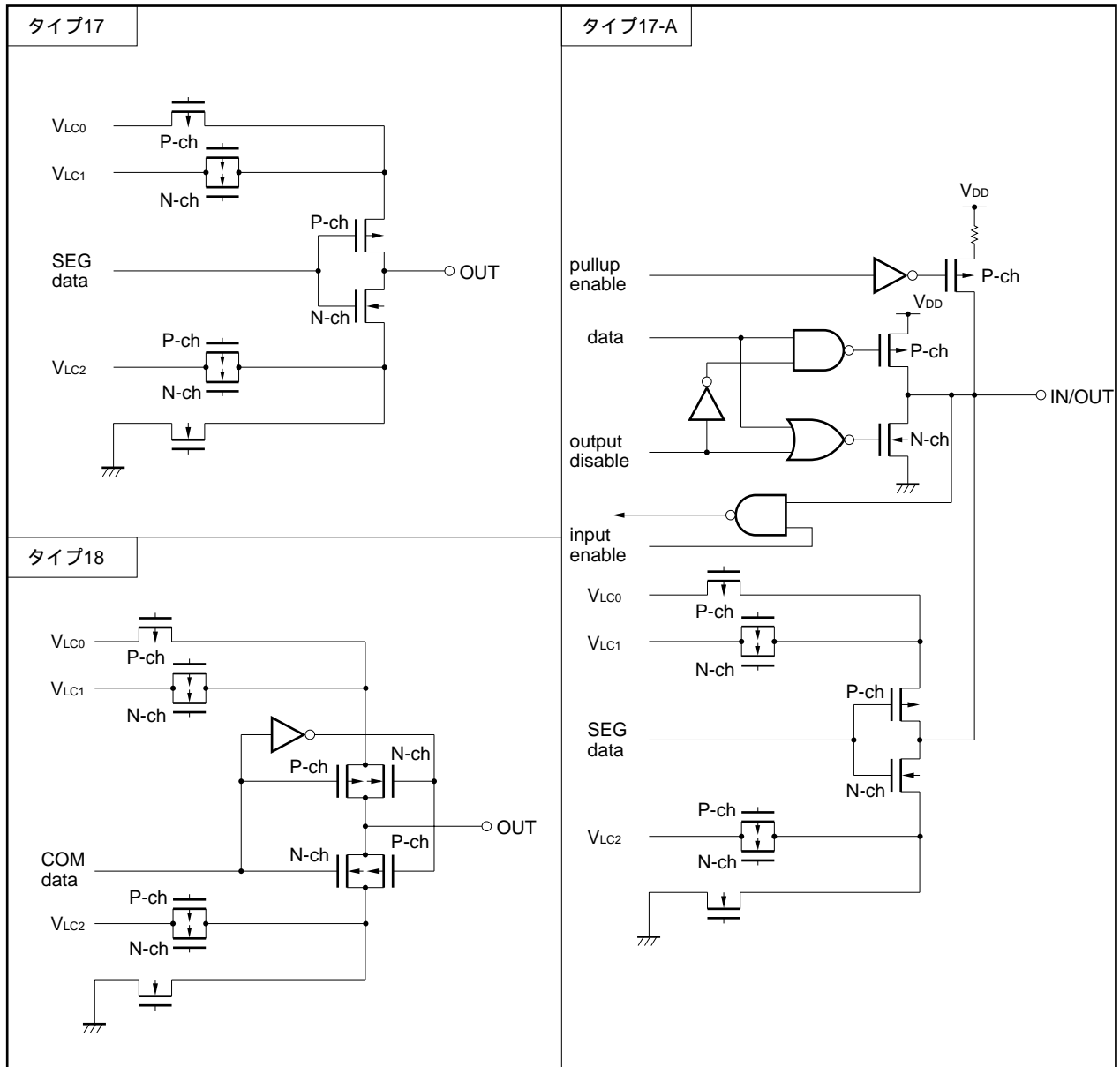


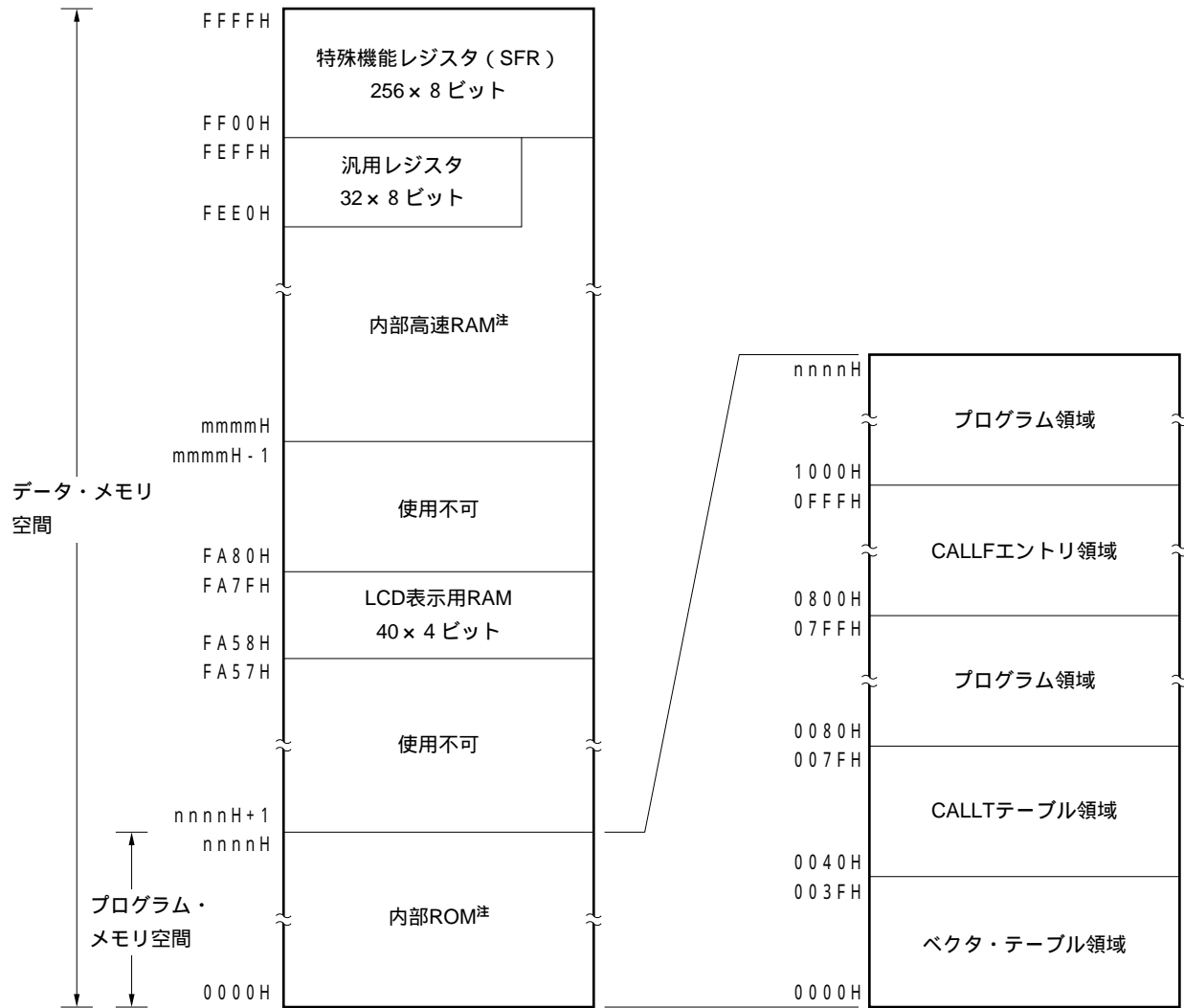
図3 - 1 端子の入出力回路一覧 (2/2)



4. メモリ空間

図4-1に、μPD78062, 78063, 78064のメモリ・マップを示します。

図4-1 メモリ・マップ



注 内部ROM, 内部高速RAM容量は製品により異なります(下表参照)。

品名	内部ROM最終アドレス nnnnH	内部高速RAM先頭アドレス mmmmH
μPD78062	3FFFH	FD00H
μPD78063	5FFFH	FB00H
μPD78064	7FFFH	

5 . 周辺ハードウェア機能の特徴

5.1 ポート

I/Oポートには次の2種類があります。

- ・ CMOS入力 (P00 , P07) : 2本
- ・ CMOS入出力 (P01-P05 , ポート1-ポート3 , ポート7-ポート11) : 55本

- 合計 : 57本

表5 - 1 ポートの機能

名 称	端子名称	機 能
ポート0	P00, P07	入力専用ポート
	P01-P05	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート1	P10-P17	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート2	P25-P27	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート3	P30-P37	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート7	P70-P72	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート8	P80-P87	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LCDコントロール・レジスタ (LCDC) により、2ビット単位で入出力ポート/セグメント信号出力機能の指定可能。
ポート9	P90-P97	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LCDコントロール・レジスタ (LCDC) により、2ビット単位で入出力ポート/セグメント信号出力機能の指定可能。
ポート10	P100-P103	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。
ポート11	P110-P117	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 立ち下がりエッジ検出によりテスト入力フラグ (KRIF) を1にセット。

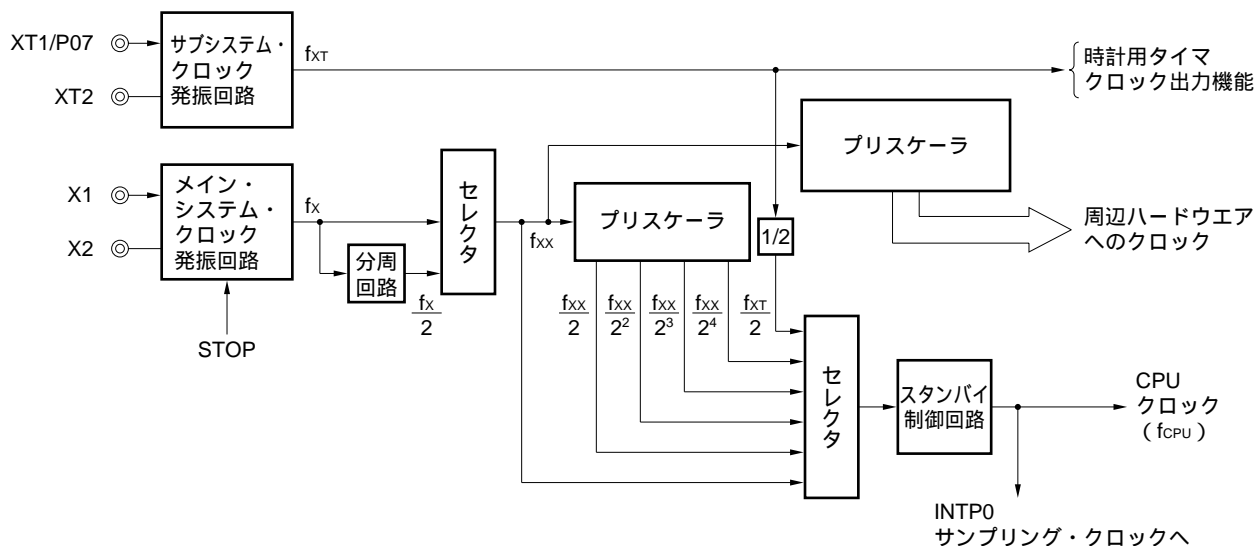
5.2 クロック発生回路

メイン・システム・クロックとサブシステム・クロックの2種類があります。

また、命令実行時間を変化させることができます。

- ・ 0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs (メイン・システム・クロック : 5.0 MHz動作時)
- ・ 122 μs (サブシステム・クロック : 32.768 kHz動作時)

図5 - 1 クロック発生回路のブロック図



5.3 タイマ/イベント・カウンタ

タイマ/イベント・カウンタを5チャンネル内蔵しています。

- ・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル
- ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル
- ・ 時計用タイマ : 1チャンネル
- ・ ウォッチドッグ・タイマ : 1チャンネル

表5 - 2 タイマ/イベント・カウンタの種類と機能

		16ビット・タイマ/ イベント・カウンタ	8ビット・タイマ/ イベント・カウンタ	時計用タイマ	ウォッチドッグ・ タイマ
種 類	インターバル・タイマ	1チャンネル	2チャンネル	1チャンネル	1チャンネル
	外部イベント・カウンタ	1チャンネル	2チャンネル	-	-
機 能	タイマ出力	1出力	2出力	-	-
	PWM出力	1出力	-	-	-
	パルス幅測定	2入力	-	-	-
	方形波出力	1出力	2出力	-	-
	ワンショット・パルス出力	1出力	-	-	-
	割り込み要求	2	2	2	1
	テスト入力	-	-	1入力	-

図5 - 2 16ビット・タイマ/イベント・カウンタのブロック図

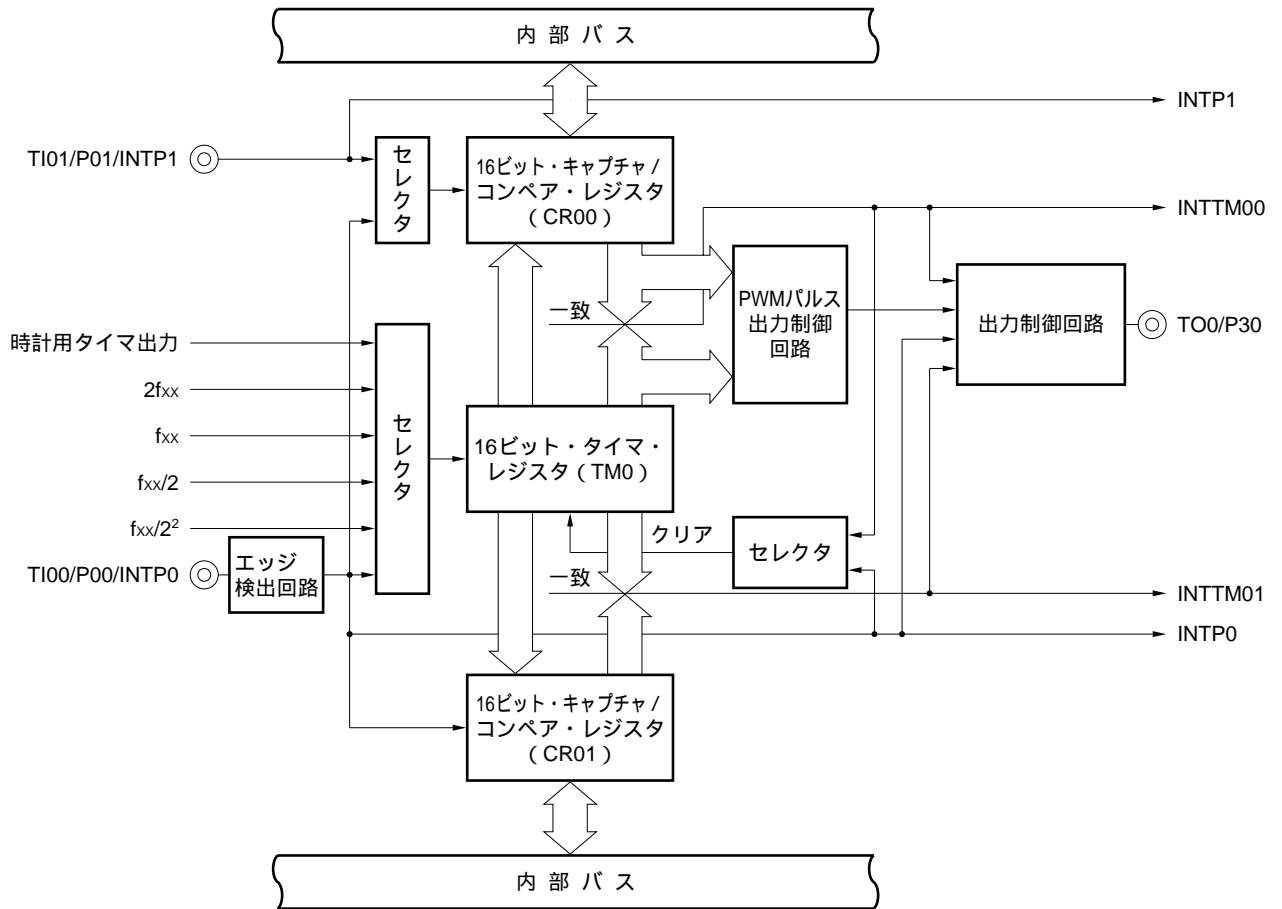


図5 - 3 8ビット・タイマ/イベント・カウンタのブロック図

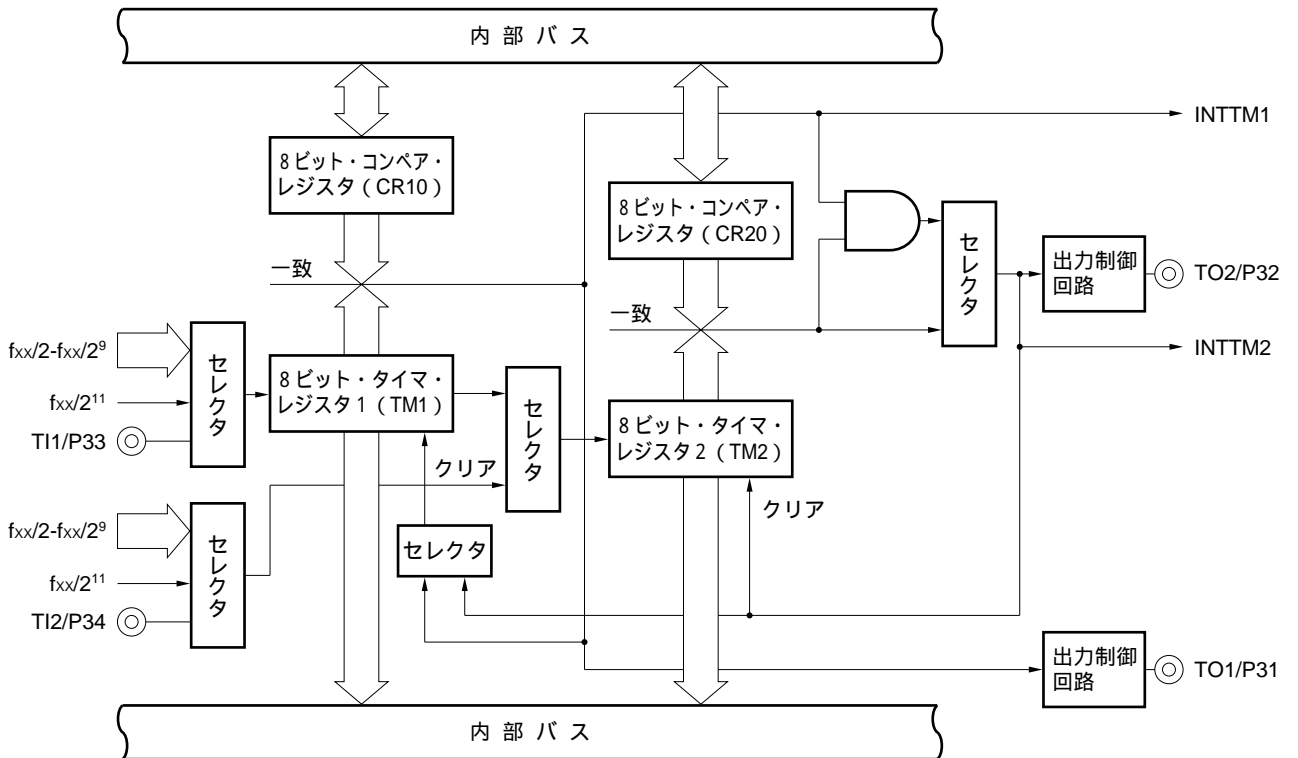


図5 - 4 時計用タイマのブロック図

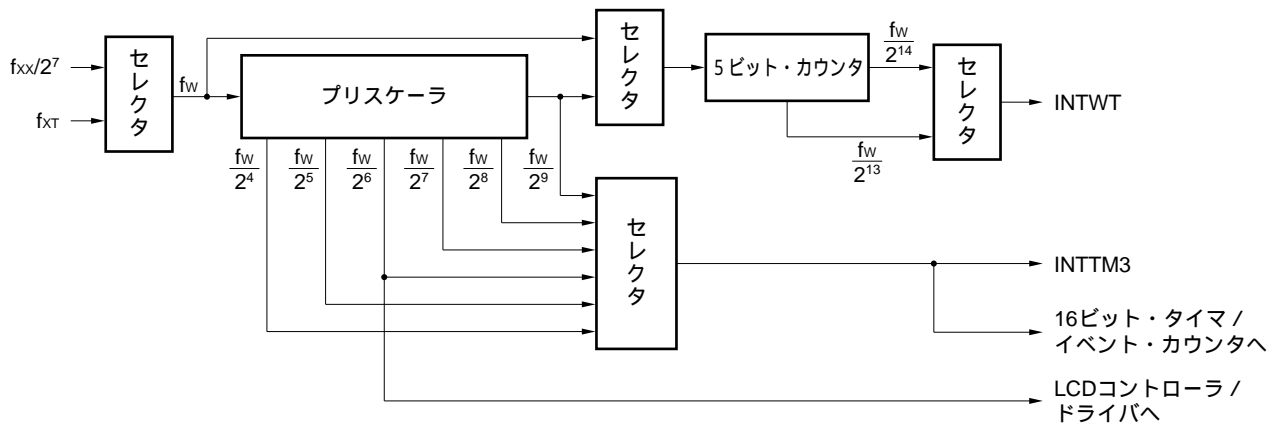
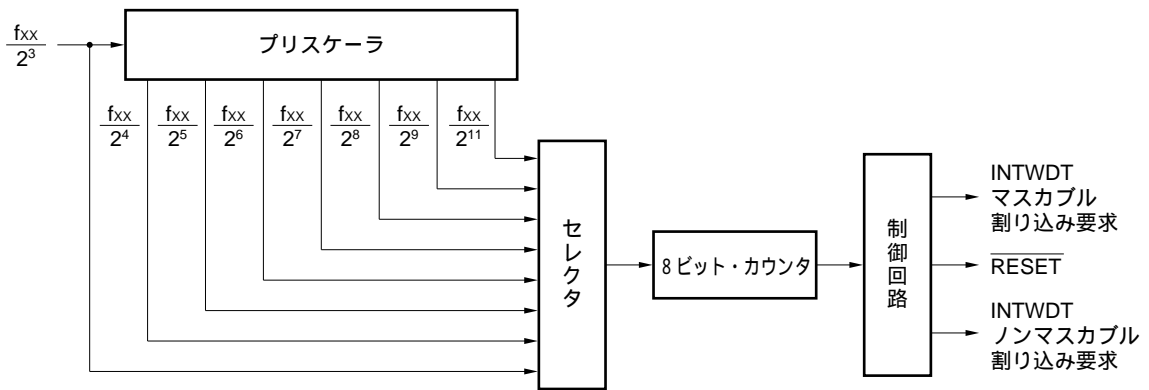


図5 - 5 ウォッチドッグ・タイマのブロック図

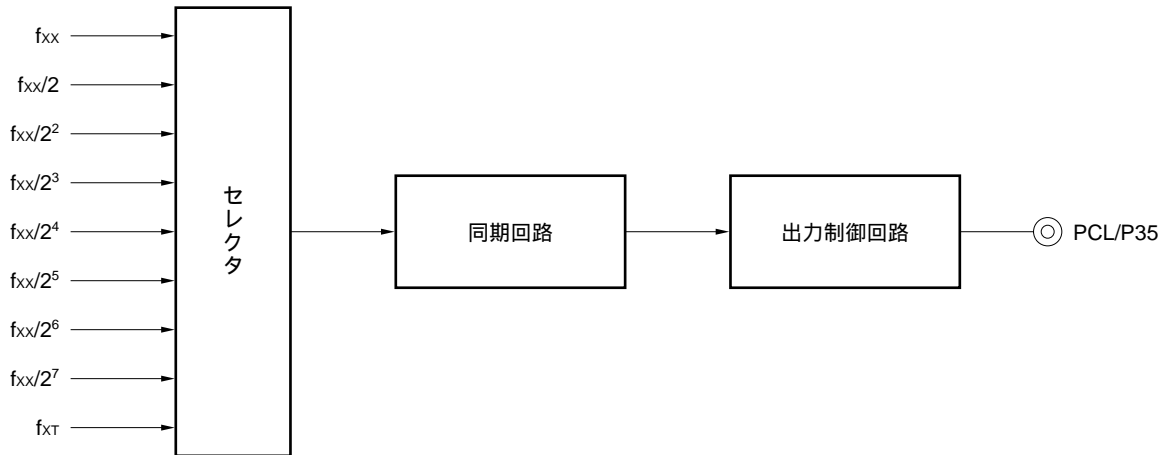


5.4 クロック出力制御回路

クロック出力として次の周波数のクロックを出力できます。

- ・ 19.5 kHz/39.1 kHz/78.1 kHz/156 kHz/313 kHz/625 kHz/1.25 MHz/2.5 MHz/5.0 MHz (メイン・システム・クロック : 5.0 MHz動作時)
- ・ 32.768 kHz (サブシステム・クロック : 32.768 kHz動作時)

図5 - 6 クロック出力制御回路のブロック図

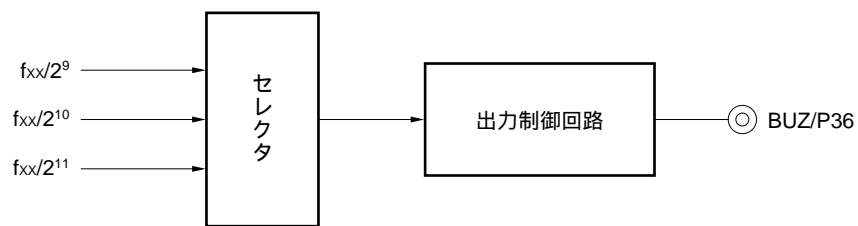


5.5 ブザー出力制御回路

ブザー出力として次の周波数のクロックを出力できます。

- ・ 1.2 kHz/2.4 kHz/4.9 kHz/9.8 kHz (メイン・システム・クロック : 5.0 MHz動作時)

図5 - 7 ブザー出力制御回路のブロック図



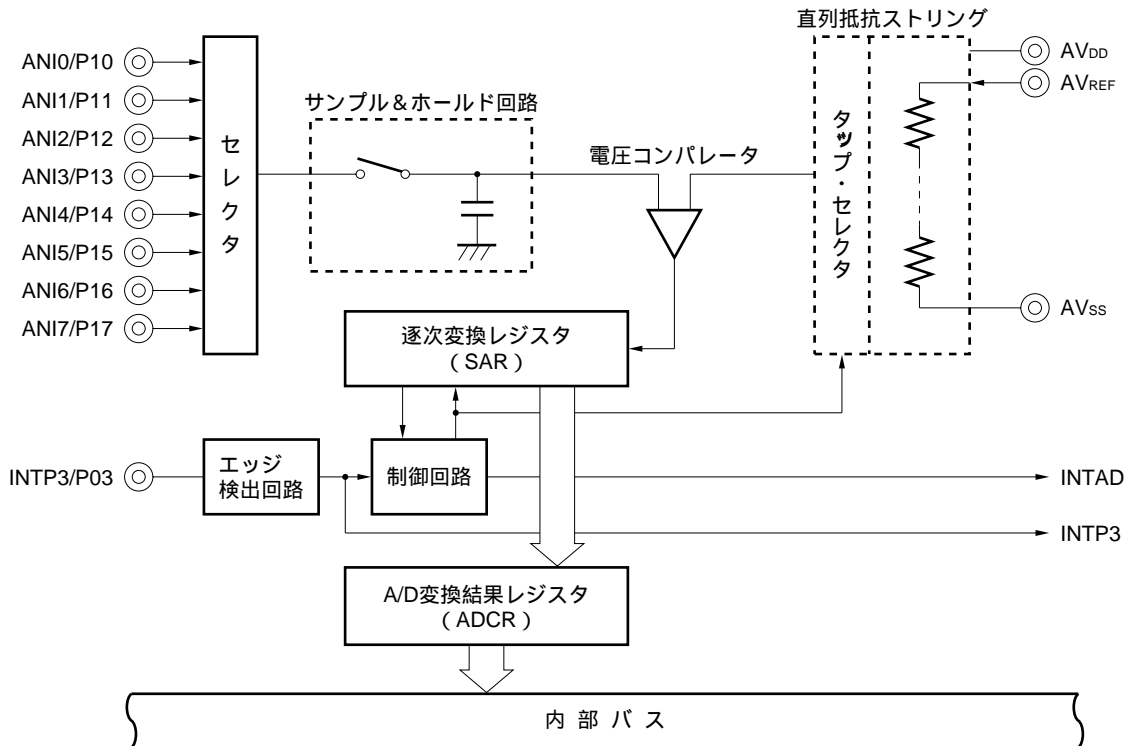
5.6 A/Dコンバータ

8ビット分解能8チャンネルのA/Dコンバータを内蔵しています。

A/D変換動作の起動方法として次の2種類があります。

- ・ハードウェア・スタート
- ・ソフトウェア・スタート

図5 - 8 A/Dコンバータのブロック図



5.7 シリアル・インタフェース

クロック同期式シリアル・インタフェースを2チャンネル内蔵しています。

- ・シリアル・インタフェース・チャンネル0
- ・シリアル・インタフェース・チャンネル2

表5 - 3 シリアル・インタフェースの種類と機能

機 能	シリアル・インタフェース・ チャンネル0	シリアル・インタフェース・ チャンネル2
3線式シリアル/Oモード	(MSB/LSB先頭切り替え可能)	(MSB/LSB先頭切り替え可能)
SBI(シリアル・バス・インタフェース)モード	(MSB先頭)	-
2線式シリアル/Oモード	(MSB先頭)	-
アシンクロナス・シリアル・インタフェース (UART)モード	-	(専用ポーレート・ジェネレータ内蔵)

図5 - 9 シリアル・インタフェース・チャンネル0のブロック図

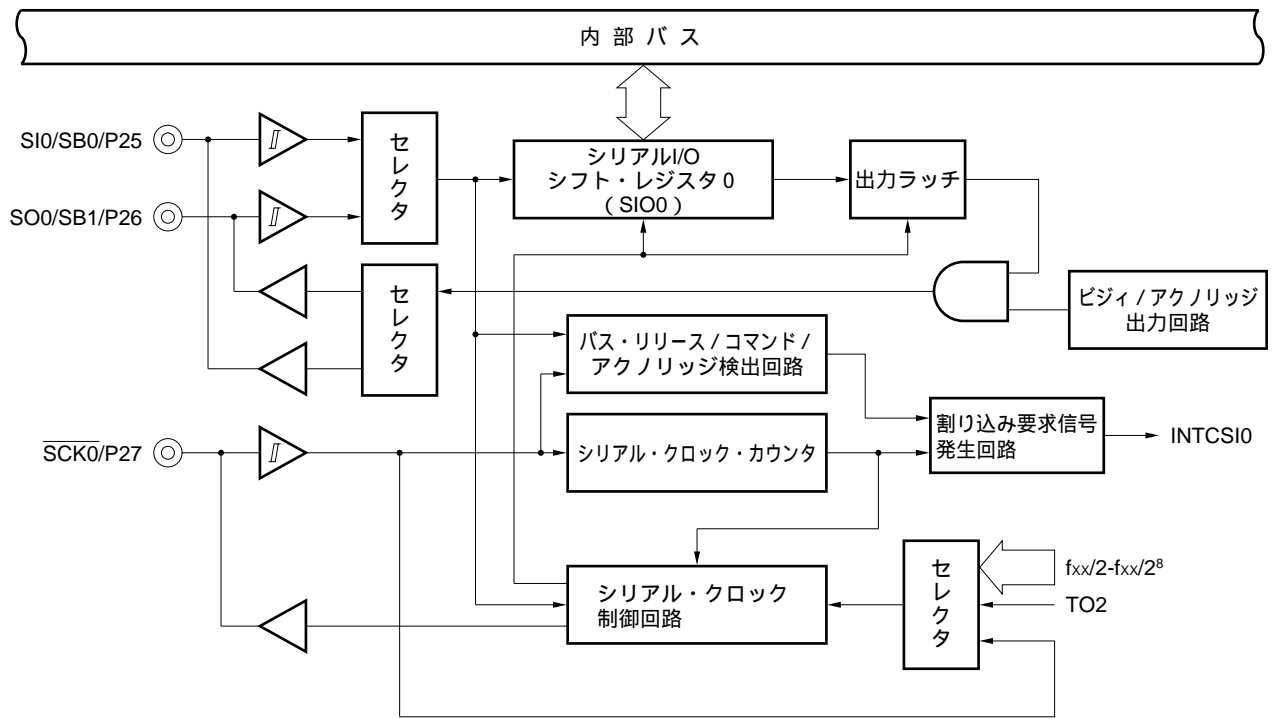
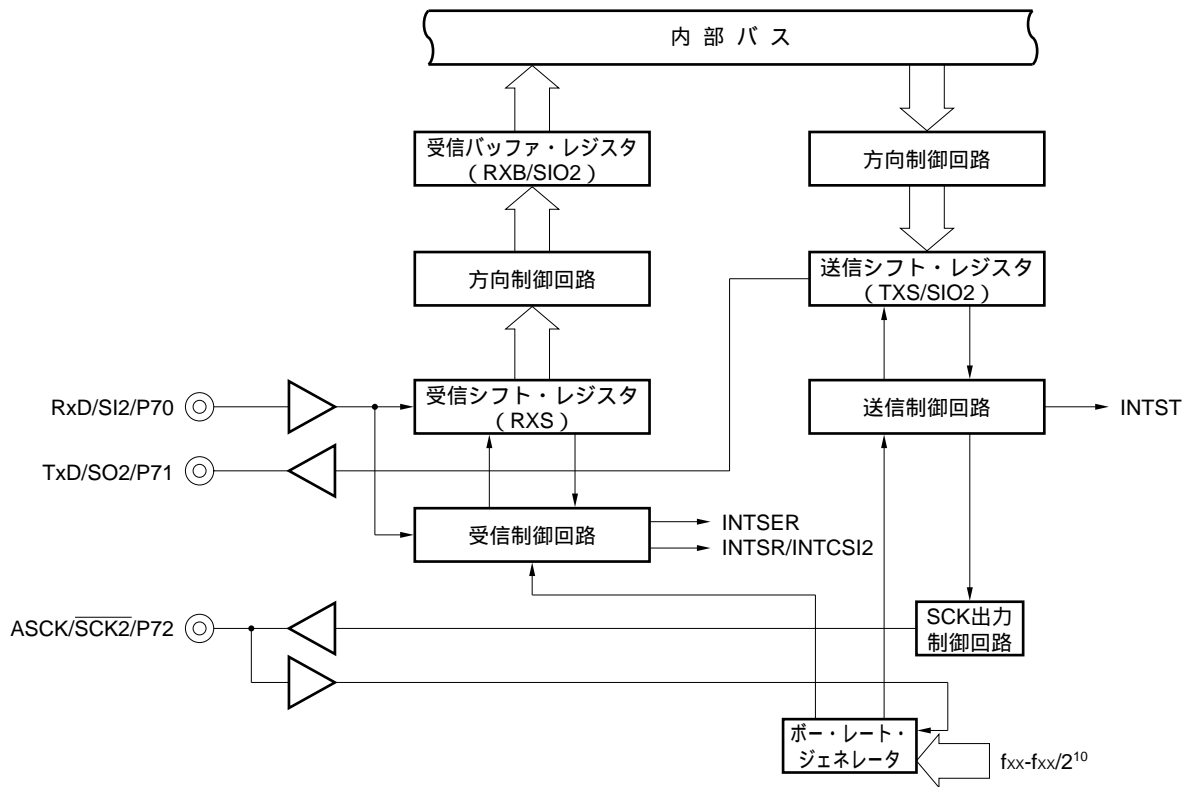


図5 - 10 シリアル・インタフェース・チャンネル2のブロック図



5.8 LCDコントローラ/ドライバ

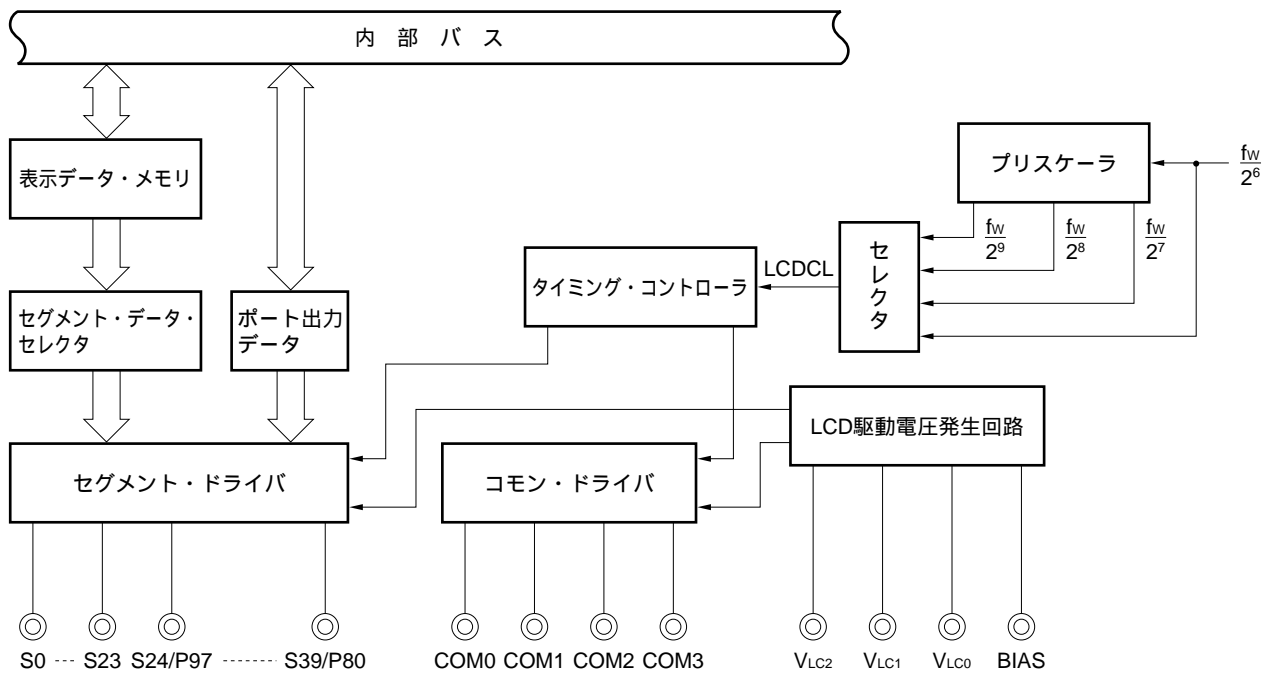
次の機能を持ったLCDコントローラ/ドライバを内蔵しています。

- ・ 5種類の表示モードが選択可能
- ・ セグメント信号出力のうち16本は、2本単位で入出力ポートに切り替え可能 (P80/S39-P87/S32, P90/S31-P97/S24)

表5-4 表示モードの種類と最大表示画素数

バイアス法	時分割	使用コモン信号	最大表示画素数
-	スタティック	COM0 (COM1-COM3)	40 (40セグメント × 1 コモン)
1/2	2	COM0, COM1	80 (40セグメント × 2 コモン)
	3	COM0-COM2	120 (40セグメント × 3 コモン)
1/3	3	COM0-COM2	160 (40セグメント × 4 コモン)
	4	COM0-COM3	

図5-11 LCDコントローラ/ドライバのブロック図



6. 割り込み機能とテスト機能

6.1 割り込み機能

割り込み機能には次に示す3種類, 20要因があります。

- ・ノンマスクابل : 1
- ・マスクابل : 18
- ・ソフトウェア : 1

表 6 - 1 割り込み要因一覧

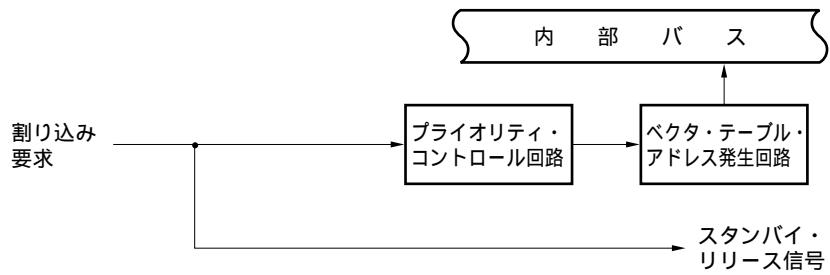
割り込み種類	デフォルト・プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}
		名称	トリガ			
ノンマスカブル	-	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0004H	(A)
マスカブル	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)			(B)
	1	INTP0	端子入力エッジ検出	外部	0006H	(C)
	2	INTP1			0008H	(D)
	3	INTP2			000AH	
	4	INTP3			000CH	
	5	INTP4			000EH	
	6	INTP5			0010H	
	7	INTCSI0			シリアル・インタフェース・チャンネル0の転送終了	内部
	8	INTSER	シリアル・インタフェース・チャンネル2のUART受信エラー発生		0018H	
	9	INTSR	シリアル・インタフェース・チャンネル2のUART受信終了		001AH	
		INTCSI2	シリアル・インタフェース・チャンネル2の3線式転送終了			
	10	INTST	シリアル・インタフェース・チャンネル2のUART送信終了		001CH	
	11	INTTM3	時計用タイマからの基準時間間隔信号		001EH	
	12	INTTM00	16ビット・タイマ・レジスタとキャプチャ / コンペア・レジスタ (CR00) の一致信号発生		0020H	
	13	INTTM01	16ビット・タイマ・レジスタとキャプチャ / コンペア・レジスタ (CR01) の一致信号発生		0022H	
	14	INTTM1	8ビット・タイマ / イベント・カウンタ1の一致信号発生		0024H	
	15	INTTM2	8ビット・タイマ / イベント・カウンタ2の一致信号発生		0026H	
16	INTAD	A/Dコンバータの変換終了		0028H		
ソフトウエア	-	BRK	BRK命令の実行	-	003EH	(E)

注1 . デフォルト・プライオリティは、複数のマスカブル割り込み要求が同時に発生している場合に、優先する順位です。0が最高順位、16が最低順位です。

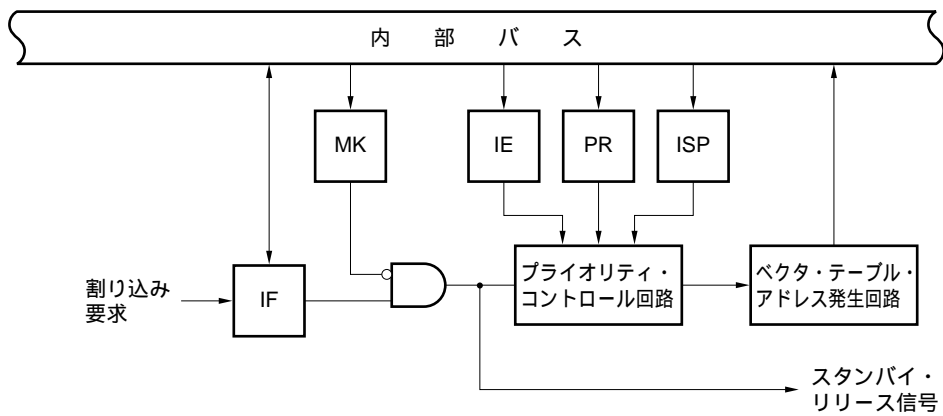
2 . 基本構成タイプの (A) - (E) は、それぞれ図 6 - 1 の (A) - (E) に対応しています。

図 6 - 1 割り込み機能の基本構成 (1/2)

(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み (INTP0)

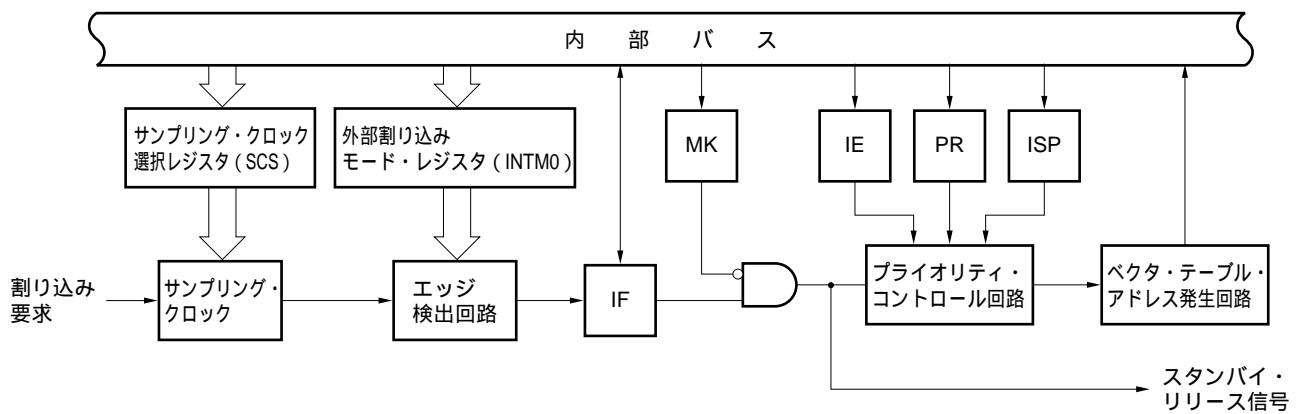
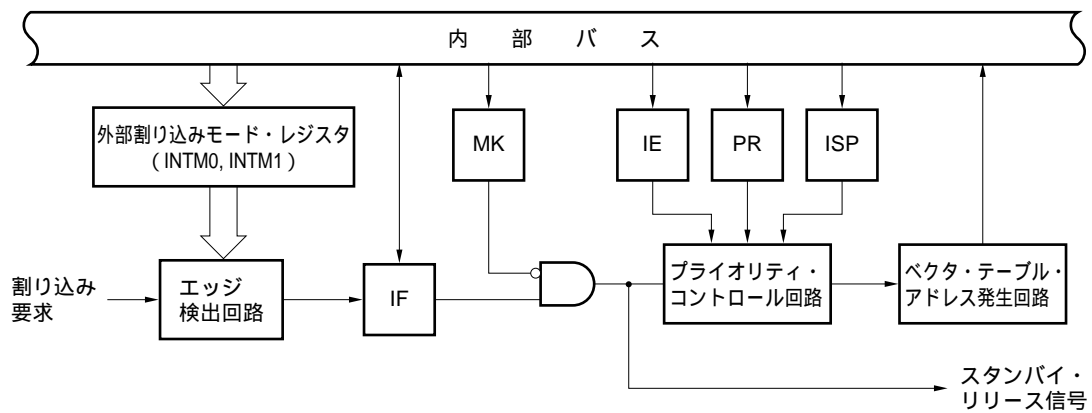
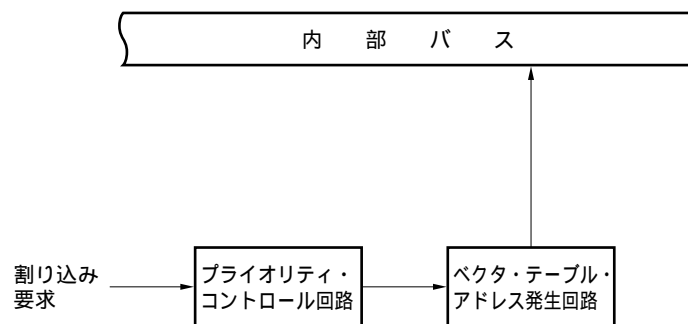


図6 - 1 割り込み機能の基本構成 (2/2)

(D) 外部マスクブル割り込み (INTP0を除く)



(E) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサービス・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ

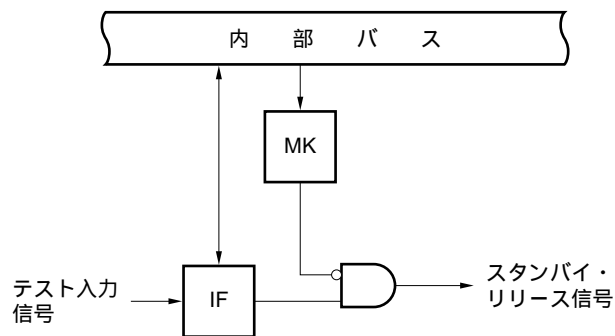
6.2 テスト機能

テスト機能には表 6 - 2 に示す 2 要因があります。

表 6 - 2 テスト入力要因一覧

テスト入力要因		内部 / 外部
名 称	ト リ ガ	
INTWT	時計用タイマのオーバーフロー	内部
INTPT11	ポート11の立ち下がりエッジ検出	外部

図 6 - 2 テスト機能の基本構成



IF : テスト入力フラグ

MK : テスト・マスク・フラグ

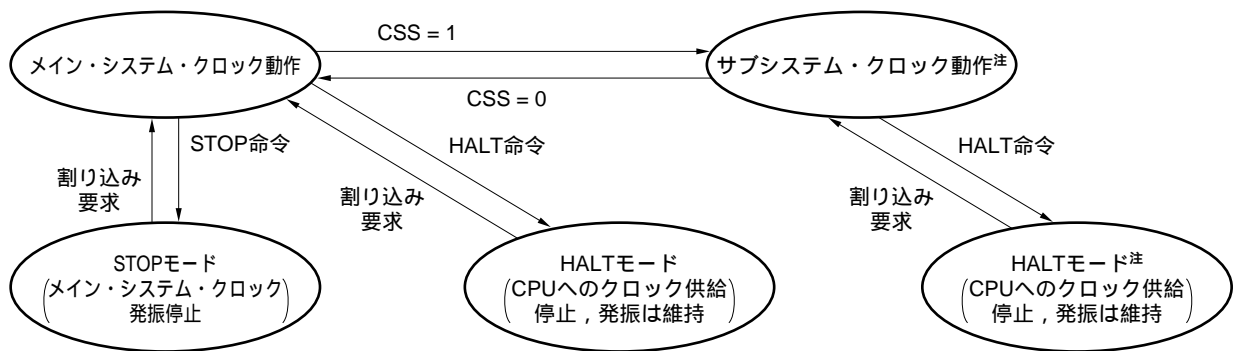
7. スタンバイ機能

スタンバイ機能は、消費電流をより低減するための機能で、次の2種類があります。

HALTモード：CPUの動作クロックを停止させます。通常動作との間欠動作により、平均消費電流を低減できます。

STOPモード：メイン・システム・クロックの発振を停止させます。メイン・システム・クロックによる動作をすべて停止させ、サブシステム・クロックだけの微小消費電力状態にします。

図7-1 スタンバイ機能



注 メイン・システム・クロックを停止させることにより、消費電流を低減することができます。

CPUがサブシステム・クロックで動作しているときは、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット7 (MCC) のセットによってメイン・システム・クロックを停止させてください。STOP命令は使用できません。

注意 メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

8. リセット機能

次の2種類の方法によってリセットが、かかります。

- ・RESET端子による外部リセット
- ・ウォッチドッグ・タイマの暴走時間検出による内部リセット

9. 命令セット

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2 オペランド	#byte	A	r ^注	sfr	saddr	! addr16	PSW	[DE]	[HL]	[HL + byte] [HL + B] [HL + C]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP			ROR ROL RORC ROLC	
r	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV ADD ADDC SUB SUBC AND OR XOR CMP				CMP							INC DEC
★ B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											

注 r = Aは除く。

第2 オペランド	#byte	A	r ^注	sfr	saddr	! addr16	PSW	[DE]	[HL]	[HL+byte] [HL+B] [HL+C]	\$addr16	1	なし
[HL]		MOV											ROR4 ROL4
[HL+byte] [HL+B] [HL+C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW , XCHW , ADDW , SUBW , CMPW , PUSH , POP , INCW , DECW

第2 オペランド	#word	AX	rp ^注	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC , DE , HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2 オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
第1 オペランド								
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令/分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第2 オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
第1 オペランド					
基本命令	BR	CALL BR	CALLF	CALLT	BR, BC, BNC BZ, BNZ
複合命令					BT, BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

10. 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件		定格	単位
電源電圧	VDD			- 0.3 ~ +7.0	V
	AVDD			- 0.3 ~ VDD + 0.3	V
	AVREF			- 0.3 ~ VDD + 0.3	V
	AVSS			- 0.3 ~ + 0.3	V
入力電圧	Vi			- 0.3 ~ VDD + 0.3	V
出力電圧	Vo			- 0.3 ~ VDD + 0.3	V
アナログ入力電圧	VAN	P10-P17	アナログ入力端子	AVSS - 0.3 ~ AVREF + 0.3	V
ハイ・レベル出力電流	IoH	1 端子		- 10	mA
		P00-P05, P07, P10-P17, P100, P101, P110-P117合計		- 15	mA
		P25-P27, P30-P37, P70-P72, P80-P87, P90-P97, P102, P103合計		- 15	mA
ロウ・レベル出力電流	IoL ^注	1 端子	ピーク値	30	mA
			実効値	15	mA
		P00-P05, P10-P17, P100, P101, P110-P117合計	ピーク値	100	mA
			実効値	70	mA
		P30-P37, P102, P103合計	ピーク値	100	mA
			実効値	70	mA
		P25-P27, P70-P72, P80-P87, P90-P97合計	ピーク値	50	mA
			実効値	20	mA
動作周囲温度	TA			- 40 ~ + 85	
保存温度	Tstg			- 65 ~ + 150	

注 実効値は, [実効値] = [ピーク値] × √デューティ で計算してください。

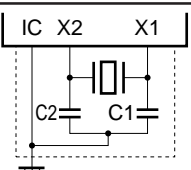
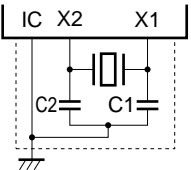
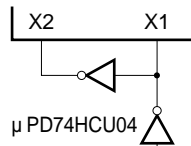
注意 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で, 製品をご使用ください。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

容量 (TA = 25 , VDD = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	CIN	f = 1 MHz			15	pF
出力容量	COUT	被測定端子以外は0 V			15	pF
入出力容量	CIO				15	pF

メイン・システム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 6.0 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1	VDD = 発振電圧範囲	1		5	MHz
		発振安定時間注2	VDDが発振電圧範囲のMIN.に達したあと			4	ms
水晶振動子		発振周波数 (fx) 注1		1		5	MHz
		発振安定時間注2	VDD = 4.5 ~ 6.0 V			10	ms
外部 クロック		X1入力周波数 (fx) 注1		1.0		5.0	MHz
		X1入力ハイ、ロウ・レベル幅 (txH, txL)		85		500	ns

注1 . 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2 . リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意1 . メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

配線は極力短くする。

他の信号線と交差させない。

変化する大電流が流れる線に接近させない。

発振回路のコンデンサの接地点は、常にVSSと同電位になるようにする。

大電流が流れるグランド・パターンに接地しない。

発振回路から信号を取り出さない。

2 . メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

サブシステム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 6.0 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f _{XT}) 注1		32	32.768	35	kHz
		発振安定時間注2	V _{DD} = 4.5 ~ 6.0 V		1.2	2	s
外部 クロック		XT1入力周波数 (f _{XT}) 注1		32		100	kHz
		XT1入力ハイ、ロウ・レベル幅 (t _{XTH} , t _{XTL})		5		15	μs

注1．発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2．V_{DD}が発振電圧範囲のMIN.に達したあと、発振が安定するのに必要な時間です。

注意1．サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

配線は極力短くする。

他の信号線と交差させない。

変化する大電流が流れる線に接近させない。

発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。

大電流が流れるグランド・パターンに接地しない。

発振回路から信号を取り出さない。

2．サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっており、ノイズによる誤動作がメイン・システム・クロックよりも起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

推奨発振回路定数

メイン・システム・クロック：セラミック発振子 (T_A = -40 ~ +85)

メーカー	品名	周波数 (MHz)	推奨回路定数		発振電圧範囲		備考
			C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)	
村田製作所	CSA5.00MG	5.00	30	30	2.2	6.0	
	CST5.00MGW	5.00	内蔵	内蔵	2.7	6.0	
松下電子部品	EF0GC5004A4	5.00	内蔵	内蔵	2.7	6.0	リード・タイプ
	EF0EC5004A4	5.00	内蔵	内蔵	2.0	6.0	丸リード・タイプ
	EF0EN5004A4	5.00	33	33	2.7	6.0	リード・タイプ
	EF0S5004B5	5.00	内蔵	内蔵	2.7	6.0	チップ・タイプ
京セラ	KBR-5.0MSA	5.00	33	33	2.7	6.0	リード・タイプ
	PBRC5.00A	5.00	33	33	2.7	6.0	チップ・タイプ
	KBR-5.0MKS	5.00	内蔵	内蔵	2.7	6.0	リード・タイプ
	KBR-5.0MWS	5.00	内蔵	内蔵	2.7	6.0	チップ・タイプ

サブシステム・クロック：水晶振動子 (T_A = -40 ~ +60)

メーカー	品名	周波数 (kHz)	推奨回路定数			発振電圧範囲	
			C3 (pF)	C4 (pF)	R2 (k)	MIN. (V)	MAX. (V)
京セラ	KF-38G-12P0200 ^注 (負荷容量12 pF)	32.768	15	22	220	2.0	6.0

★ 注 KF-38G-12P0200は、保守製品です。

注意 発振回路定数ならびに発振電圧範囲は、安定して発振する条件を示しています。発振周波数精度は保証していません。アプリケーションで発振周波数精度が必要な場合、実装回路で発振周波数を調整する必要があります。詳細については、ご使用になる発振子のメーカーに直接お問い合わせください。

DC特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 6.0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル 入力電圧	VIH1	P10-P17, P30-P32, P35-P37, P80-P87, P90-P97, P100-P103	VDD = 2.7 ~ 6.0 V	0.7 VDD		VDD	V
				0.8 VDD		VDD	V
	VIH2	P00-P05, P25-P27, P33, P34, P70-P72, P110-P117, RESET	VDD = 2.7 ~ 6.0 V	0.8 VDD		VDD	V
				0.85 VDD		VDD	V
	VIH3	X1, X2	VDD = 2.7 ~ 6.0 V	VDD - 0.5		VDD	V
				VDD - 0.2		VDD	V
	VIH4	XT1/P07, XT2	4.5 V VDD 6.0 V	0.8 VDD		VDD	V
			2.7 V VDD < 4.5 V	0.9 VDD		VDD	V
			2.0 V VDD < 2.7 V ^注	0.9 VDD		VDD	V
	ロウ・レベル 入力電圧	VIL1	P10-P17, P30-P32, P35-P37, P80-P87, P90-P97, P100-P103	VDD = 2.7 ~ 6.0 V	0		0.3 VDD
				0		0.2 VDD	V
VIL2		P00-P05, P25-P27, P33, P34, P70-P72, P110-P117, RESET	VDD = 2.7 ~ 6.0 V	0		0.2 VDD	V
				0		0.15 VDD	V
VIL3		X1, X2	VDD = 2.7 ~ 6.0 V	0		0.4	V
				0		0.2	V
VIL4		XT1/P07, XT2	4.5 V VDD 6.0 V	0		0.2 VDD	V
			2.7 V VDD < 4.5 V	0		0.1 VDD	V
			2.0 V VDD < 2.7 V ^注	0		0.1 VDD	V
ハイ・レベル 出力電圧		VOH	VDD = 4.5 ~ 6.0 V, IOH = - 1 mA	VDD - 1.0		VDD	V
	IOH = - 100 μA		VDD - 0.5		VDD	V	
ロウ・レベル 出力電圧	VOL1	P100-P103	VDD = 4.5 ~ 6.0 V, IOL = 15 mA		0.4	2.0	V
		P00-P05, P10-P17, P25-P27, P30-P37, P70-P72, P80-P87, P90-P97, P110-P117	VDD = 4.5 ~ 6.0 V, IOL = 1.6 mA			0.4	V
	VOL2	SB0, SB1, SCK0	VDD = 4.5 ~ 6.0 V, オープン・ドレイン プルアップ時 (R=1k)			0.2 VDD	V
	VOL3	IOL = 400 μA			0.5	V	

注 P07/XT1端子をP07として使用する場合は、XT2端子にP07の逆相を入力してください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 6.0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル 入力リーク電流	I _{LIH1}	Vi = V _{DD}	P00-P05, P10-P17, P25-P27, P30-P37, P70-P72, P80-P87, P90-P97, P100-P103, P110-P117			3	μA
	I _{LIH2}		X1, X2, XT1/P07, XT2			20	μA
ロウ・レベル 入力リーク電流	I _{LIL1}	Vi = 0 V	P00-P05, P10-P17, P25-P27, P30-P37, P70-P72, P80-P87, P90-P97, P100-P103, P110-P117			- 3	μA
	I _{LIL2}		X1, X2, XT1/P07, XT2			- 20	μA
ハイ・レベル 出力リーク電流	I _{LOH}	Vo = V _{DD}				3	μA
ロウ・レベル 出力リーク電流	I _{LOL}	Vo = 0 V				- 3	μA
ソフトウェア・ プルアップ抵抗	R	Vi = 0 V, P01-P05, P10-P17, P25-P27, P30-P37, P70-P72, P80-P87, P90-P97, P100-P103, P110-P117	4.5 V V _{DD} 6.0 V	15	40	90	k
			2.7 V V _{DD} < 4.5 V	20		500	k
電源電流 ^{注1}	I _{DD1}	5.00 MHz水晶発振 (f _{xx} = 2.5 MHz) ^{注2} 動作モード	V _{DD} = 5.0 V ± 10 % ^{注4}		4	12	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}		0.6	1.8	mA
			V _{DD} = 2.2 V ± 10 % ^{注5}		0.35	1.05	mA
		5.00 MHz水晶発振 (f _{xx} = 5.0 MHz) ^{注3} 動作モード	V _{DD} = 5.0 V ± 10 % ^{注4}		6.5	19.5	mA
			V _{DD} = 3.0 V ± 10 % ^{注5}		0.8	2.4	mA
	I _{DD2}	5.00 MHz水晶発振 (f _{xx} = 2.5 MHz) ^{注2}	V _{DD} = 5.0 V ± 10 %		1.4	4.2	mA
			V _{DD} = 3.0 V ± 10 %		500	1500	μA
HALTモード		V _{DD} = 2.2 V ± 10 %		280	840	μA	
5.00 MHz水晶発振 (f _{xx} = 5.0 MHz) ^{注3}	V _{DD} = 5.0 V ± 10 %		1.6	4.8	mA		
	V _{DD} = 3.0 V ± 10 %		650	1950	μA		

注1．内蔵プルアップ抵抗やLCD分割抵抗に流れる電流は含みません。

- 2．メイン・システム・クロック f_{xx} = f_x/2動作時 (発振モード選択レジスタ (OSMS) を00Hに設定したとき)。
- 3．メイン・システム・クロック f_{xx} = f_x動作時 (OSMSを01Hに設定したとき)。
- 4．高速モード動作時 (プロセッサ・クロック・コントロールレジスタ (PCC) を00Hに設定したとき)。
- 5．低速モード動作時 (PCCを04Hに設定したとき)。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 2.0 ~ 6.0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD3	32.768 kHz水晶発振 動作モード ^{注2}	VDD = 5.0 V ± 10 %		60	120	μA
			VDD = 3.0 V ± 10 %		32	64	μA
			VDD = 2.2 V ± 10 %		24	48	μA
	IDD4	32.768 kHz水晶発振 HALTモード ^{注2}	VDD = 5.0 V ± 10 %		25	55	μA
			VDD = 3.0 V ± 10 %		5	15	μA
			VDD = 2.2 V ± 10 %		2.5	12.5	μA
	IDD5	XT1 = VDD STOPモード フィードバック抵抗使用時	VDD = 5.0 V ± 10 %		1	30	μA
			VDD = 3.0 V ± 10 %		0.5	10	μA
			VDD = 2.2 V ± 10 %		0.3	10	μA
	IDD6	XT1 = VDD STOPモード フィードバック抵抗非使用時	VDD = 5.0 V ± 10 %		0.1	30	μA
			VDD = 3.0 V ± 10 %		0.05	10	μA
			VDD = 2.2 V ± 10 %		0.05	10	μA

注1 . 内蔵プルアップ抵抗やLCD分割抵抗に流れる電流は含みません。

2 . メイン・システム・クロックの動作を停止させたとき。

DC特性 (TA = -10 ~ +85)

(1) スタティック表示モード (VDD = 2.0 ~ 6.0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
LCD駆動電圧	V _{LCD}			2.0		V _{DD}	V
LCD分割抵抗	R _{LCD}			60	100	150	k
LCD出力電圧偏差 ^注 (コモン)	V _{ODC}	Io = ± 5 μA	2.0 V V _{LCD} V _{DD} V _{LCD0} = V _{LCD}	0		± 0.2	V
LCD出力電圧偏差 ^注 (セグメント)	V _{ODS}	Io = ± 1 μA		0		± 0.2	V

注 電圧偏差とは、セグメント、コモン出力の理想値 (V_{LCDn}; n = 0, 1, 2) に対する出力電圧との差です。

(2) 1/3バイアス法 (VDD = 2.5 ~ 6.0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
LCD駆動電圧	V _{LCD}			2.5		V _{DD}	V
LCD分割抵抗	R _{LCD}			60	100	150	k
LCD出力電圧偏差 ^注 (コモン)	V _{ODC}	Io = ± 5 μA	2.5 V V _{LCD} V _{DD} V _{LCD0} = V _{LCD}	0		± 0.2	V
LCD出力電圧偏差 ^注 (セグメント)	V _{ODS}	Io = ± 1 μA	V _{LCD1} = V _{LCD} × 2/3 V _{LCD2} = V _{LCD} × 1/3	0		± 0.2	V

注 電圧偏差とは、セグメント、コモン出力の理想値 (V_{LCDn}; n = 0, 1, 2) に対する出力電圧との差です。

(3) 1/2バイアス法 (VDD = 2.7 ~ 6.0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
LCD駆動電圧	V _{LCD}			2.7		V _{DD}	V
LCD分割抵抗	R _{LCD}			60	100	150	k
LCD出力電圧偏差 ^注 (コモン)	V _{ODC}	Io = ± 5 μA	2.7 V V _{LCD} V _{DD} V _{LCD0} = V _{LCD}	0		± 0.2	V
LCD出力電圧偏差 ^注 (セグメント)	V _{ODS}	Io = ± 1 μA	V _{LCD1} = V _{LCD} × 1/2 V _{LCD2} = V _{LCD1}	0		± 0.2	V

注 電圧偏差とは、セグメント、コモン出力の理想値 (V_{LCDn}; n = 0, 1, 2) に対する出力電圧との差です。

AC特性

(1) 基本動作 (TA = -40 ~ +85 , VDD = 2.0 ~ 6.0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	TCY	メイン・システム・クロックで動作 (f _{XX} = 2.5 MHz) 注1	V _{DD} = 2.7 ~ 6.0 V	0.8		64	μs
				2.2		64	μs
		メイン・システム・クロックで動作 (f _{XX} = 5.0 MHz) 注2	4.5 V V _{DD} 6.0 V	0.4		32	μs
			2.7 V V _{DD} < 4.5 V	0.8		32	μs
		サブシステム・クロックで動作		40注3	122	125	μs
★ TI00入力周波数	f _{TI00}	t _{TI00} = t _{TIH00} + t _{TILO0}		0		1/t _{TI00}	MHz
★ TI00入力	t _{TIH00} ,	4.5 V V _{DD} 6.0 V		2/f _{sam} + 0.1注4			μs
★ ハイ, ロウ・レベル幅	t _{TILO0}	2.7 V V _{DD} < 4.5 V		2/f _{sam} + 0.2注4			μs
		2.0 V V _{DD} < 2.7 V		2/f _{sam} + 0.5注4			μs
★ TI01入力	t _{TIH01} ,	2.7 V V _{DD} 6.0 V		10			μs
	t _{TILO1}			20			μs
TI1, TI2入力周波数	f _{TI1}	V _{DD} = 4.5 ~ 6.0 V		0		4	MHz
				0		275	kHz
TI1, TI2入力	t _{TIH1} ,	V _{DD} = 4.5 ~ 6.0 V		100			ns
	t _{TILO1}			1.8			μs
割り込み入力	t _{INTH} ,	INTP0		8/f _{sam} 注4			μs
★ ハイ, ロウ・レベル幅	t _{INTL}	INTP1-INTP5 , P110-P117	V _{DD} = 2.7 ~ 6.0 V	10			μs
				20			μs
RESETロウ・レベル幅	t _{RSL}	V _{DD} = 2.7 ~ 6.0 V		10			μs
				20			μs

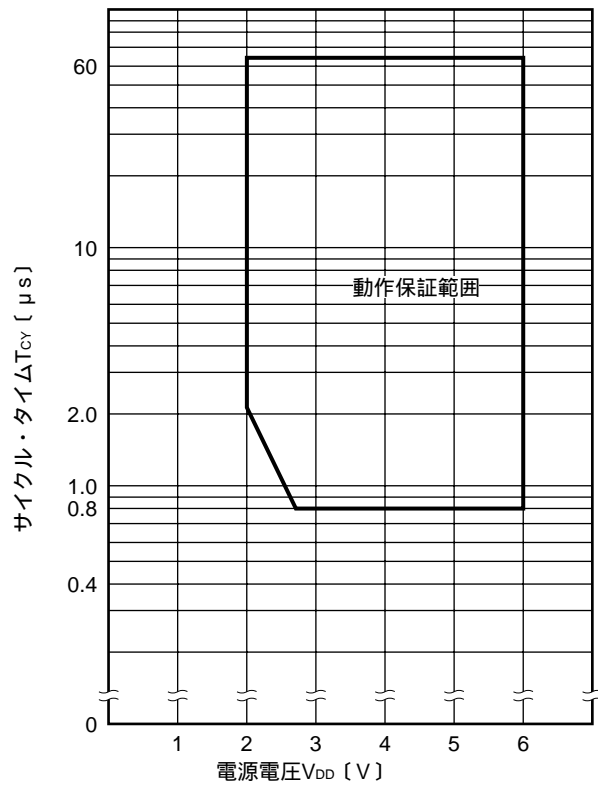
注1 . メイン・システム・クロック f_{XX} = f_X/2動作時 (発振モード選択レジスタ (OSMS) を00Hに設定したとき)。

2 . メイン・システム・クロック f_{XX} = f_X動作時 (OSMSを01Hに設定したとき)。

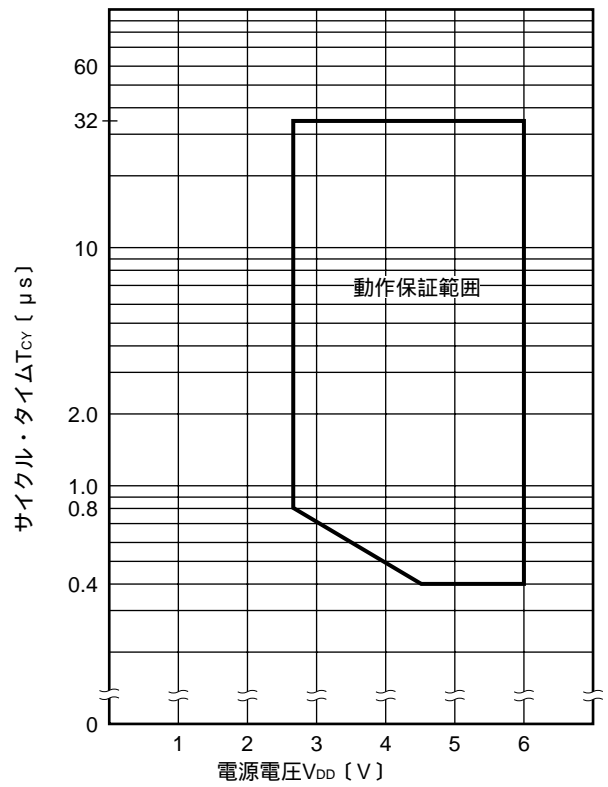
3 . 外部クロック使用時の値です。水晶振動子使用時は114 μs (MIN.) です。

4 . サンプリング・クロック選択レジスタ (SCS) のビット0, 1 (SCS0, SCS1) により, f_{sam} = f_{XX}/2^N, f_{XX}/32, f_{XX}/64, f_{XX}/128の選択が可能です (N = 0-4)。

T_{cy} vs V_{DD} (メイン・システム・クロック f_{xx} = f_x/2動作時)



T_{cy} vs V_{DD} (メイン・システム・クロック f_{xx} = f_x動作時)



(2) シリアル・インタフェース (TA = -40 ~ +85 , VDD = 2.0 ~ 6.0 V)

(a) シリアル・インタフェース・チャンネル0

(i) 3線式シリアルI/Oモード (SCK0...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	tkCY1	4.5 V VDD 6.0 V	800			ns
		2.7 V VDD < 4.5 V	1600			ns
			3200			ns
SCK0ハイ,ロウ・レベル幅	tkH1,	VDD = 4.5 ~ 6.0 V	tkCY1/2 - 50			ns
	tkL1		tkCY1/2 - 100			ns
SIOセットアップ時間 (対SCK0)	tSIK1	4.5 V VDD 6.0 V	100			ns
		2.7 V VDD < 4.5 V	150			ns
			300			ns
SIOホールド時間 (対SCK0)	tkSI1		400			ns
SCK0 SO0 出力遅延時間	tkSO1	C = 100 pF ^注			300	ns

注 Cは, SCK0, SO0出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK0...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	tkCY2	4.5 V VDD 6.0 V	800			ns
		2.7 V VDD < 4.5 V	1600			ns
			3200			ns
SCK0ハイ,ロウ・レベル幅	tkH2,	4.5 V VDD 6.0 V	400			ns
	tkL2	2.7 V VDD < 4.5 V	800			ns
			1600			ns
SIOセットアップ時間 (対SCK0)	tSIK2		100			ns
SIOホールド時間 (対SCK0)	tkSI2		400			ns
SCK0 SO0 出力遅延時間	tkSO2	C = 100 pF ^注			300	ns
SCK0立ち上がり, 立ち下がり時間	tr2, tf2				1000	ns

注 Cは, SO0出力ラインの負荷容量です。

(iii) SBIモード (SCK0...内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	t _{KCY3}	V _{DD} = 4.5 ~ 6.0 V	800			ns
			3200			ns
SCK0ハイ, ロウ・レベル幅	t _{KH3} , t _{KL3}	V _{DD} = 4.5 ~ 6.0 V	t _{KCY3} /2 - 50			ns
			t _{KCY3} /2 - 150			ns
SB0, SB1セットアップ時間 (対SCK0)	t _{SIK3}	V _{DD} = 4.5 ~ 6.0 V	100			ns
			300			ns
SB0, SB1ホールド時間(対SCK0)	t _{KS3}		t _{KCY3} /2			ns
SCK0 SB0, SB1 出力遅延時間	t _{KSO3}	R = 1 k , C = 100 pF ^注 V _{DD} = 4.5 ~ 6.0 V	0		250	ns
			0		1000	ns
SCK0 SB0, SB1	t _{KSB}		t _{KCY3}			ns
SB0, SB1 SCK0	t _{SBK}		t _{KCY3}			ns
SB0, SB1ハイ・レベル幅	t _{SBH}		t _{KCY3}			ns
SB0, SB1ロウ・レベル幅	t _{SBL}		t _{KCY3}			ns

注 R, Cは, SCK0, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(iv) SBIモード (SCK0...外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	t _{KCY4}	V _{DD} = 4.5 ~ 6.0 V	800			ns
			3200			ns
SCK0ハイ, ロウ・レベル幅	t _{KH4} , t _{KL4}	V _{DD} = 4.5 ~ 6.0 V	400			ns
			1600			ns
SB0, SB1セットアップ時間 (対SCK0)	t _{SIK4}	V _{DD} = 4.5 ~ 6.0 V	100			ns
			300			ns
SB0, SB1ホールド時間(対SCK0)	t _{KS4}		t _{KCY4} /2			ns
SCK0 SB0, SB1 出力遅延時間	t _{KSO4}	R = 1 k , C = 100 pF ^注 V _{DD} = 4.5 ~ 6.0 V	0		300	ns
			0		1000	ns
SCK0 SB0, SB1	t _{KSB}		t _{KCY4}			ns
SB0, SB1 SCK0	t _{SBK}		t _{KCY4}			ns
SB0, SB1ハイ・レベル幅	t _{SBH}		t _{KCY4}			ns
SB0, SB1ロウ・レベル幅	t _{SBL}		t _{KCY4}			ns
SCK0立ち上がり, 立ち下がり時間	t _{r4} , t _{f4}				1000	ns

注 R, Cは, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(v) 2線式シリアル/Oモード (SCK0...内部クロック出力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	t _{KCY5}	R = 1 k , C = 100 pF ^注	V _{DD} = 2.7 ~ 6.0 V	1600			ns
				3200			ns
SCK0ハイ・レベル幅	t _{KH5}		V _{DD} = 2.7 ~ 6.0 V	t _{KCY5} /2 - 160			ns
				t _{KCY5} /2 - 190			ns
SCK0ロウ・レベル幅	t _{KL5}		V _{DD} = 4.5 ~ 6.0 V	t _{KCY5} /2 - 50			ns
				t _{KCY5} /2 - 100			ns
SB0, SB1セットアップ時間 (対SCK0)	t _{SIK5}		4.5 V V _{DD} 6.0 V	300			ns
			2.7 V V _{DD} < 4.5 V	350			ns
				400			ns
SB0, SB1ホールド時間 (対SCK0)	t _{KSI5}			600			ns
SCK0 SB0, SB1 出力遅延時間	t _{KSO5}					300	ns

注 R, Cは, SCK0, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(vi) 2線式シリアル/Oモード (SCK0...外部クロック入力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCK0サイクル・タイム	t _{KCY6}		V _{DD} = 2.7 ~ 6.0 V	1600			ns
				3200			ns
SCK0ハイ・レベル幅	t _{KH6}		V _{DD} = 2.7 ~ 6.0 V	650			ns
				1300			ns
SCK0ロウ・レベル幅	t _{KL6}		V _{DD} = 2.7 ~ 6.0 V	800			ns
				1600			ns
SB0, SB1セットアップ時間 (対SCK0)	t _{SIK6}			100			ns
SB0, SB1ホールド時間 (対SCK0)	t _{KSI6}			t _{KCY6} /2			ns
SCK0 SB0, SB1 出力遅延時間	t _{KSO6}	R = 1 k , C = 100 pF ^注	V _{DD} = 4.5 ~ 6.0 V	0		300	ns
				0		500	ns
SCK0立ち上がり, 立ち下がり時間	t _{r6} , t _{f6}					1000	ns

注 R, Cは, SB0, SB1出力ラインの負荷抵抗, 負荷容量です。

(b) シリアル・インタフェース・チャンネル2

(i) 3線式シリアルI/Oモード (SCK2...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK2サイクル・タイム	t _{KCY7}	4.5 V V _{DD} 6.0 V	800			ns
		2.7 V V _{DD} < 4.5 V	1600			ns
			3200			ns
SCK2ハイ, ロウ・レベル幅	t _{KH7} ,	V _{DD} = 4.5 ~ 6.0 V	t _{KCY7} /2 - 50			ns
	t _{KL7}		t _{KCY7} /2 - 100			ns
SI2セットアップ時間 (対SCK2)	t _{SIK7}	4.5 V V _{DD} 6.0 V	100			ns
		2.7 V V _{DD} < 4.5 V	150			ns
			300			ns
SI2ホールド時間 (対SCK2)	t _{KSI7}		400			ns
SCK2 SO2 出力遅延時間	t _{KSO7}	C = 100 pF ^注			300	ns

注 Cは、SCK2, SO2出力ラインの負荷容量です。

(ii) 3線式シリアルI/Oモード (SCK2...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK2サイクル・タイム	t _{KCY8}	4.5 V V _{DD} 6.0 V	800			ns
		2.7 V V _{DD} < 4.5 V	1600			ns
			3200			ns
SCK2ハイ, ロウ・レベル幅	t _{KH8} ,	4.5 V V _{DD} 6.0 V	400			ns
	t _{KL8}		800			ns
			1600			ns
SI2セットアップ時間 (対SCK2)	t _{SIK8}		100			ns
SI2ホールド時間 (対SCK2)	t _{KSI8}		400			ns
SCK2 SO2 出力遅延時間	t _{KSO8}	C = 100 pF ^注			300	ns
SCK2立ち上がり, 立ち下がり時間	t _{r8} , t _{f8}				1000	ns

注 Cは、SO2出力ラインの負荷容量です。

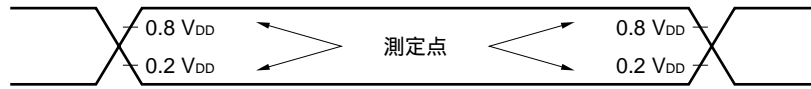
(iii) UARTモード (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
転送レート		4.5 V V_{DD} 6.0 V			78125	bps
		2.7 V $V_{DD} < 4.5 V$			39063	bps
					19531	bps

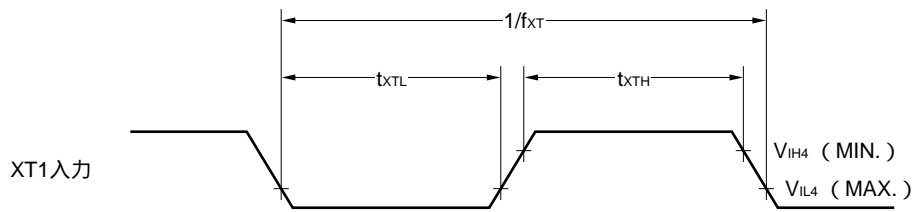
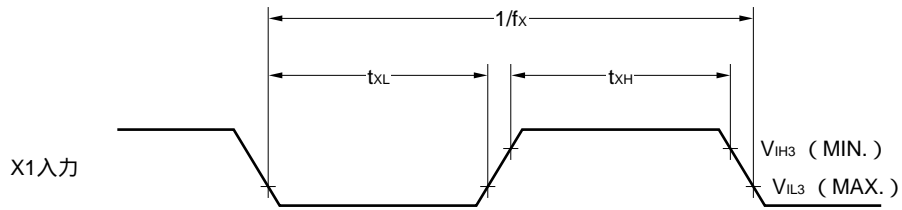
(iv) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
ASCKサイクル・タイム	t_{KCY9}	4.5 V V_{DD} 6.0 V	800			ns
		2.7 V $V_{DD} < 4.5 V$	1600			ns
			3200			ns
ASCKハイ, ロウ・レベル幅	t_{KH9} ,	4.5 V V_{DD} 6.0 V	400			ns
	t_{KL9}	2.7 V $V_{DD} < 4.5 V$	800			ns
			1600			ns
転送レート		4.5 V V_{DD} 6.0 V			39063	bps
		2.7 V $V_{DD} < 4.5 V$			19531	bps
					9766	bps
ASCK立ち上がり, 立ち下がり時間	t_{R9} , t_{F9}				1000	ns

ACタイミング測定点 (X1, XT1入力を除く)

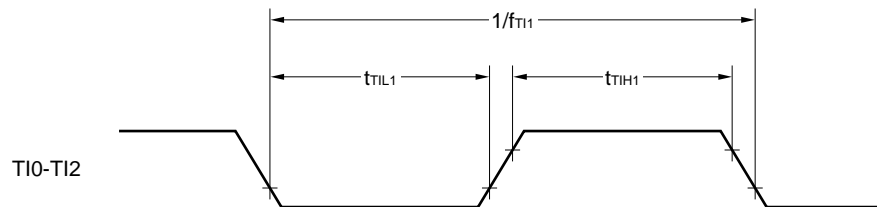
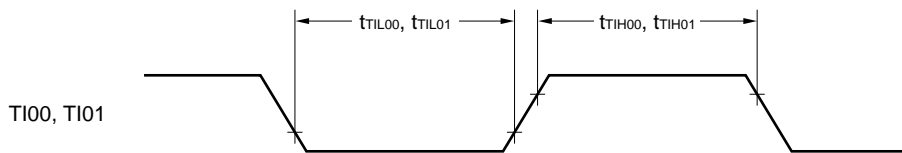


クロック・タイミング



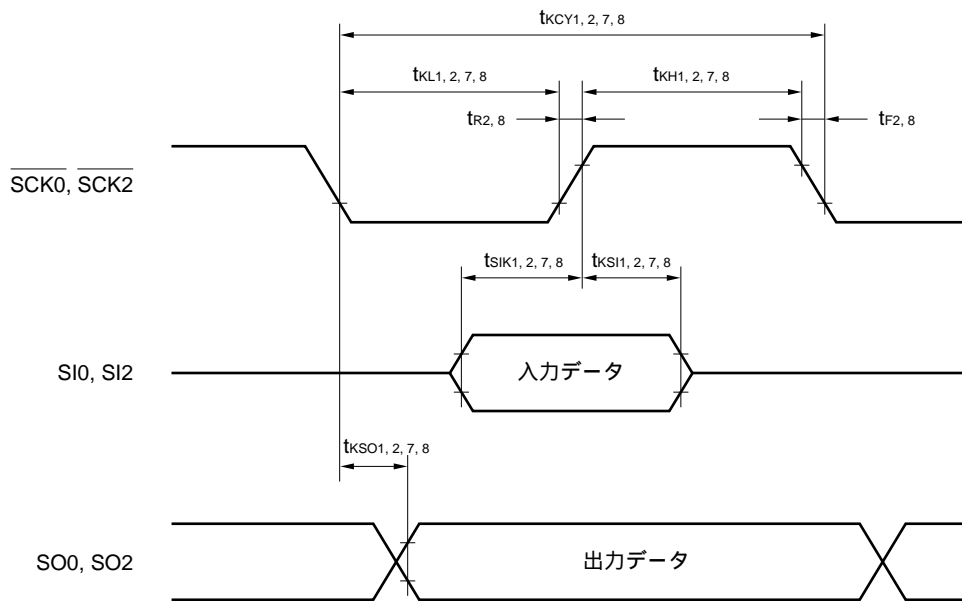
T1タイミング

★

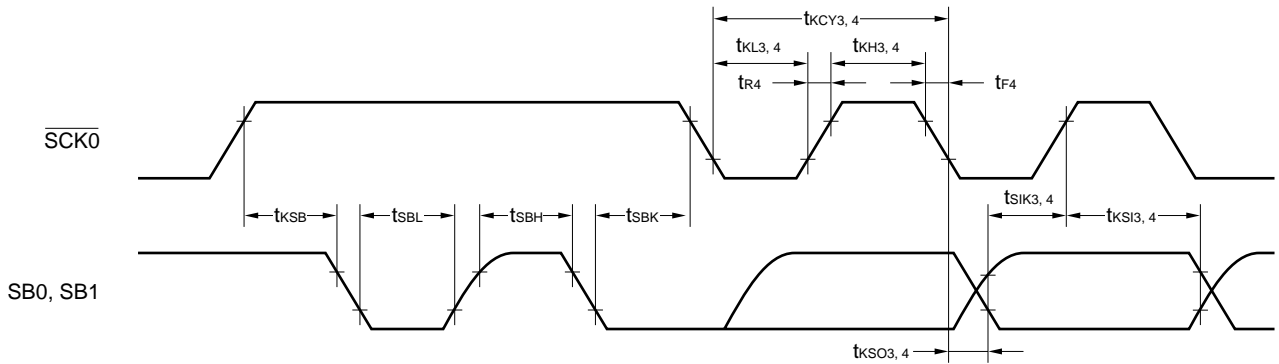


シリアル転送タイミング

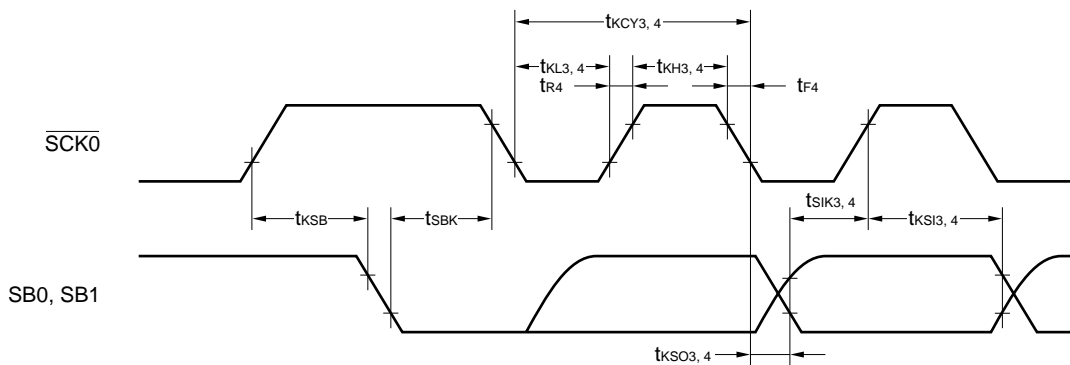
3線式シリアルI/Oモード :



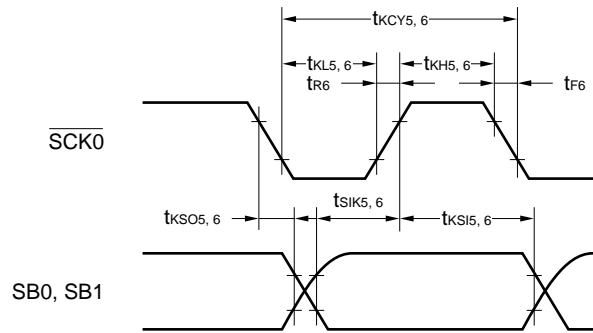
SBIモード (バス・リリース信号転送) :



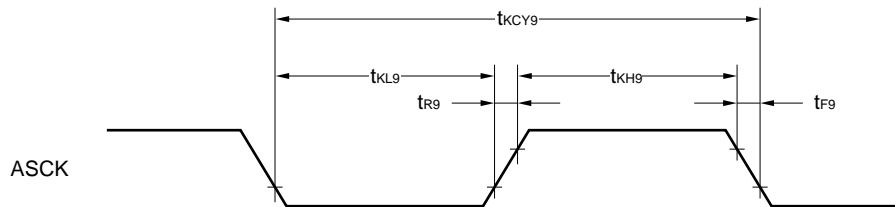
SBIモード (コマンド信号転送) :



2線式シリアルI/Oモード :



UARTモード :



A/Dコンバータ特性 ($T_A = -40 \sim +85$, $AV_{DD} = V_{DD} = 2.0 \sim 6.0 V$, $AV_{SS} = V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
総合誤差 ^注		2.7 V AV_{REF} 6.0 V			± 0.6	%
					± 1.4	%
変換時間	t_{CONV}		19.1		200	μs
サンプリング時間	t_{SAMP}		$12/f_{XX}$			μs
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{REF}	V
基準電圧	AV_{REF}		2.0		AV_{DD}	V
AV_{REF} - AV_{SS} 間抵抗	RA_{REF}		4	14		k

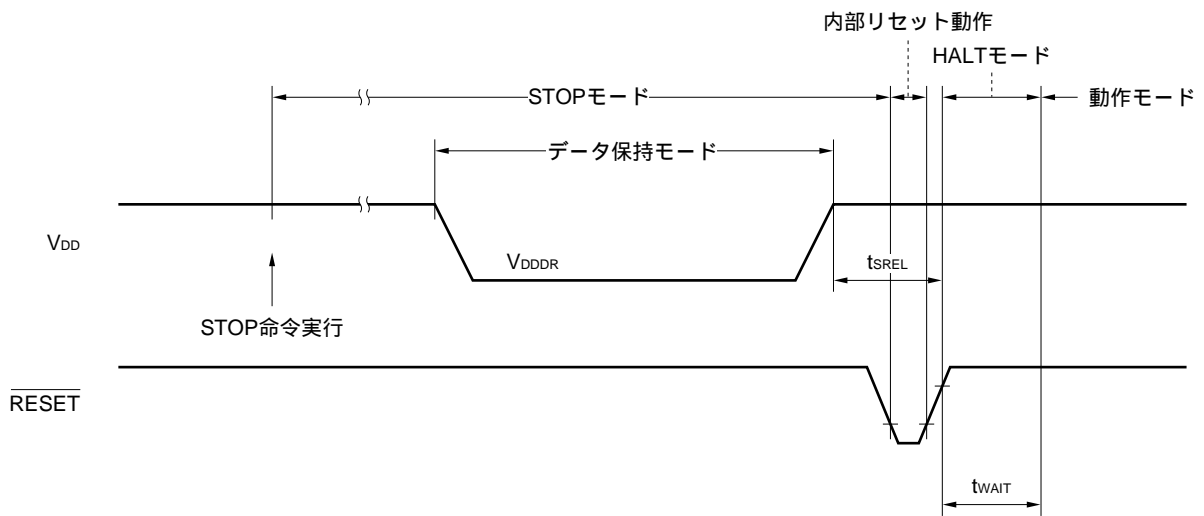
注 量子化誤差 ($\pm 1/2$ LSB) を含みません。フルスケール値に対する比率で表します。

データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

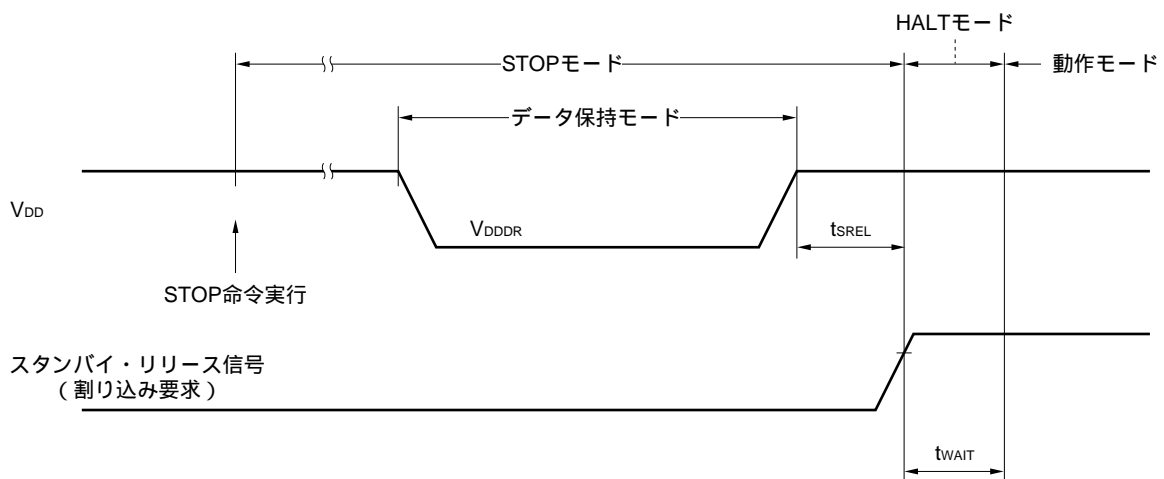
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.8		6.0	V
データ保持電源電流	I _{DDDR}	V _{DDDR} = 1.8 V サブシステム・クロック停止, フィードバック抵抗切断時		0.1	10	μA
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間	t _{WAIT}	RESETによる解除		2 ¹⁷ /f _{xx}		ms
		割り込みによる解除		注		ms

注 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により, 2¹²/f_{xx}, 2¹⁴/f_{xx}-2¹⁷/f_{xx}の選択が可能です。

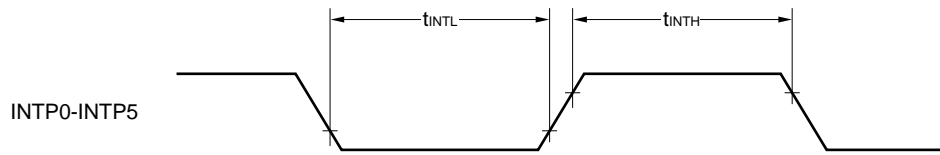
データ保持タイミング (RESETによるSTOPモード解除)



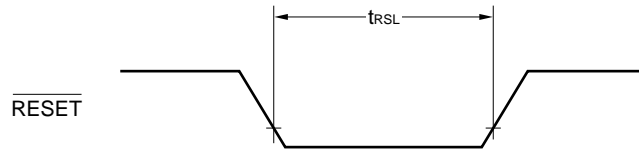
データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



割り込み入力タイミング

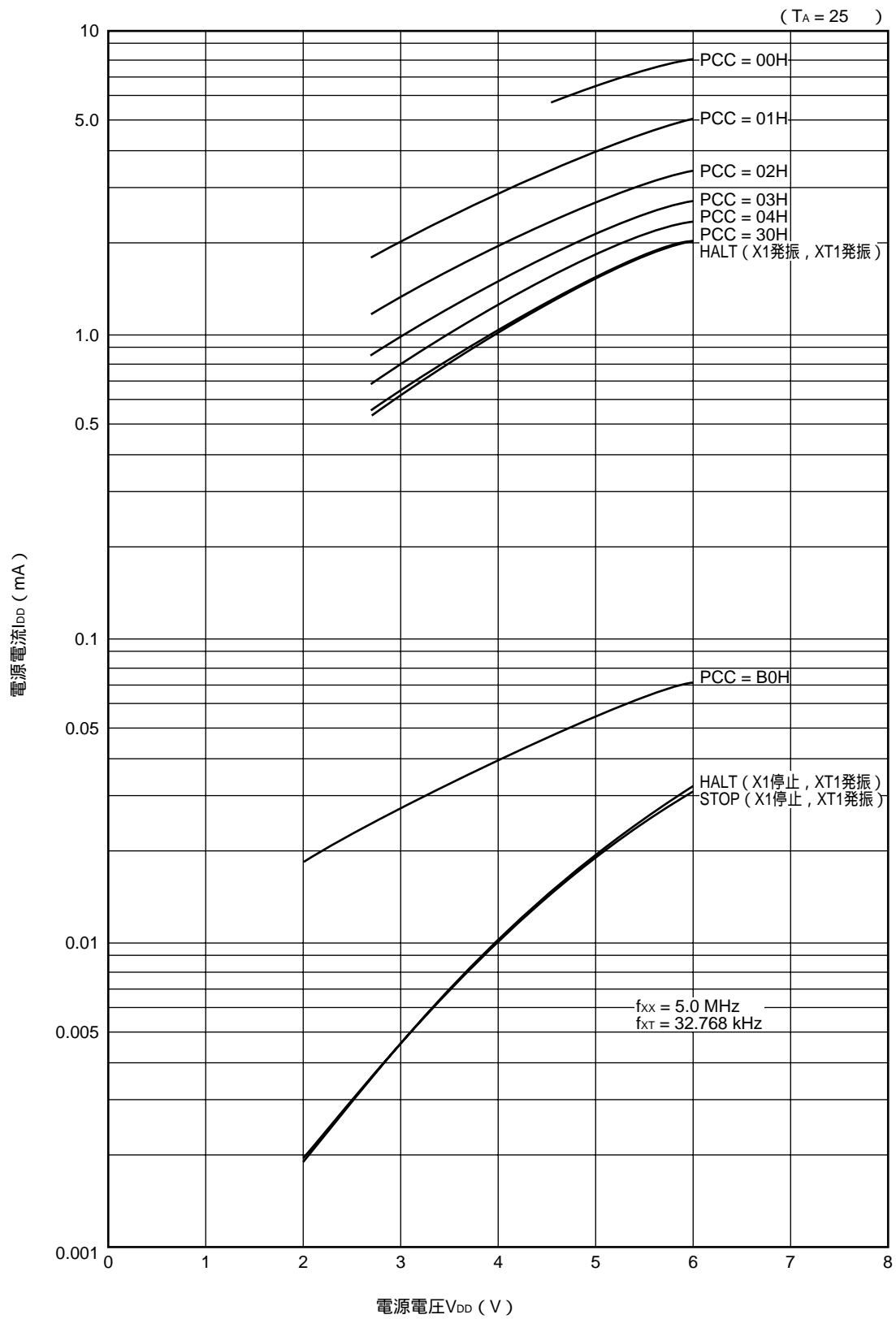


$\overline{\text{RESET}}$ 入力タイミング

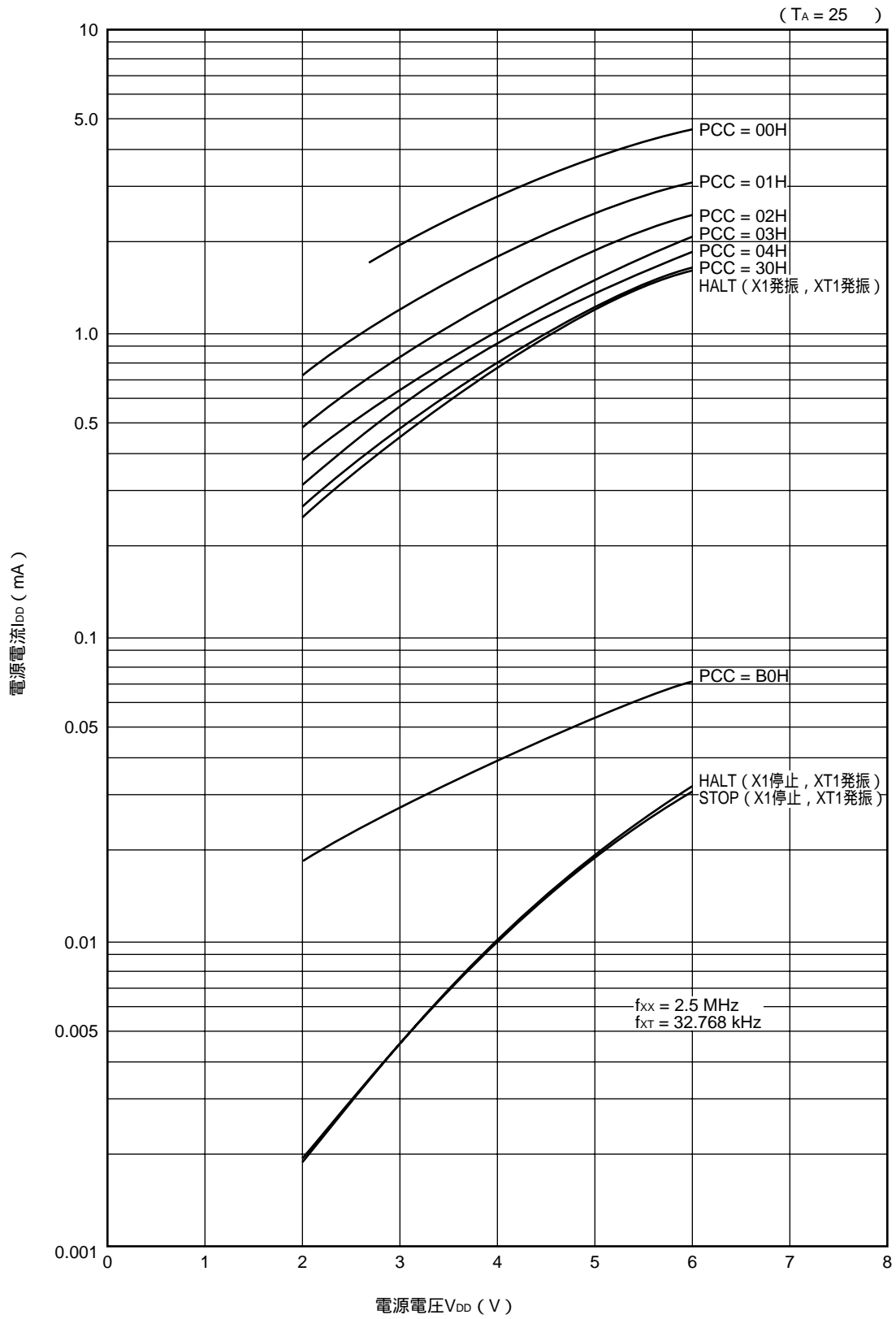


★ 11. 特性曲線 (参考値)

I_{DD} vs V_{DD} (メイン・システム・クロック : 5.0 MHz)

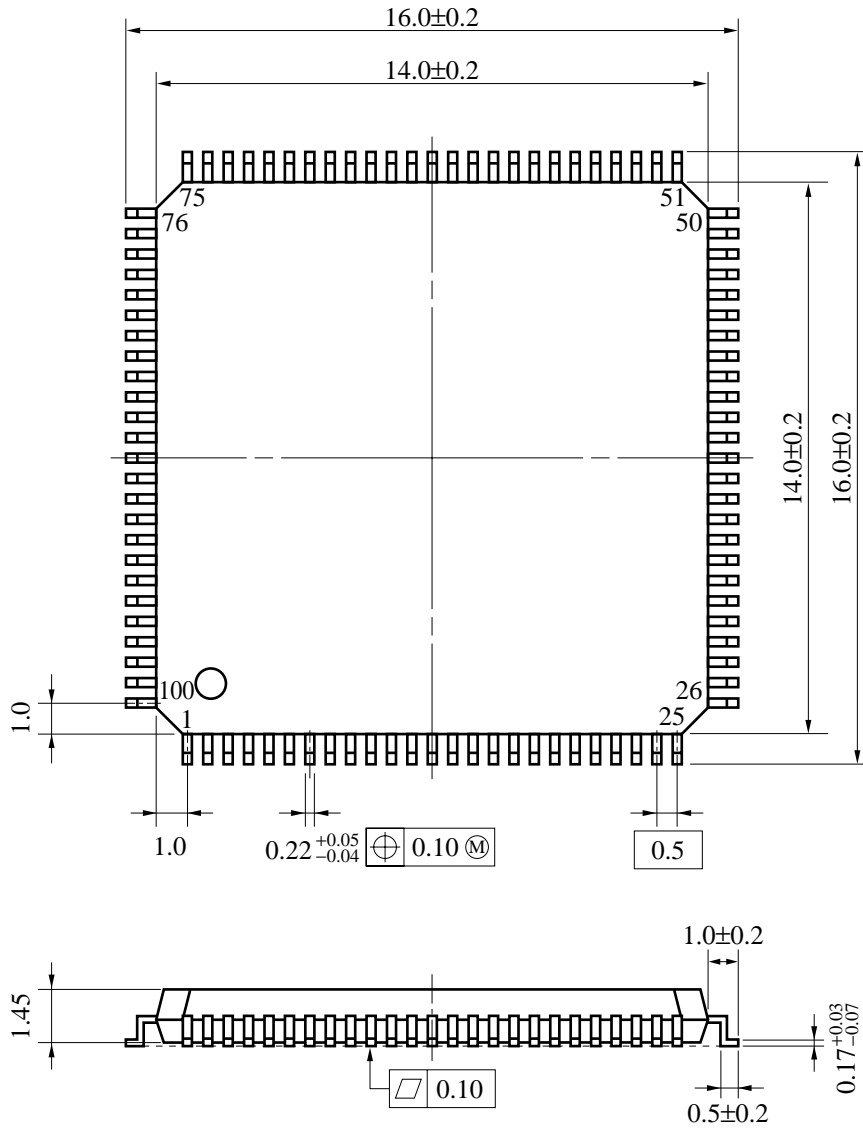


I_{DD} vs V_{DD} (メイン・システム・クロック : 2.5 MHz)

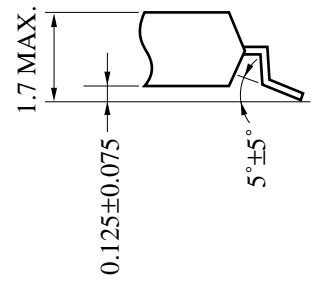


12. 外形図

100ピン・プラスチック QFP (ファインピッチ)(14) 外形図 (単位: mm)



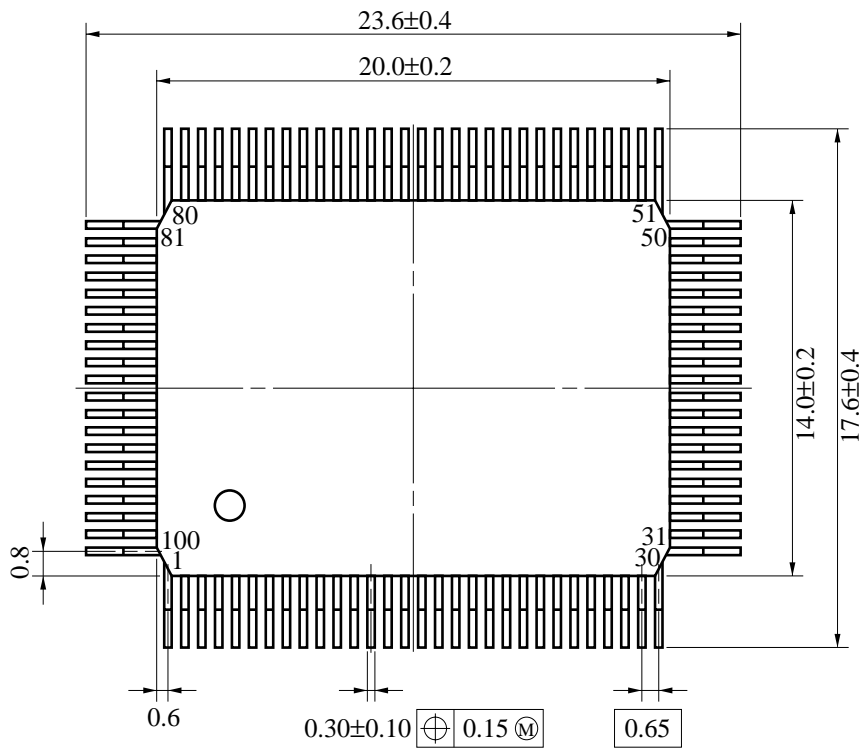
端子先端形状詳細図



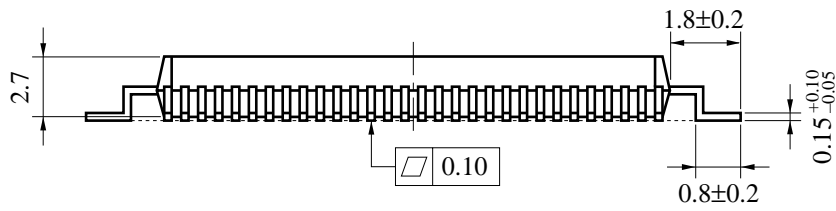
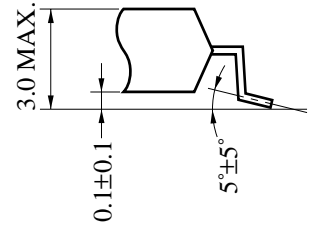
P100GC-50-7EA-2

備考 ES品の外形や材質は、量産品と同じです。

100ピン・プラスチック QFP (14 × 20) 外形図 (単位 : mm)



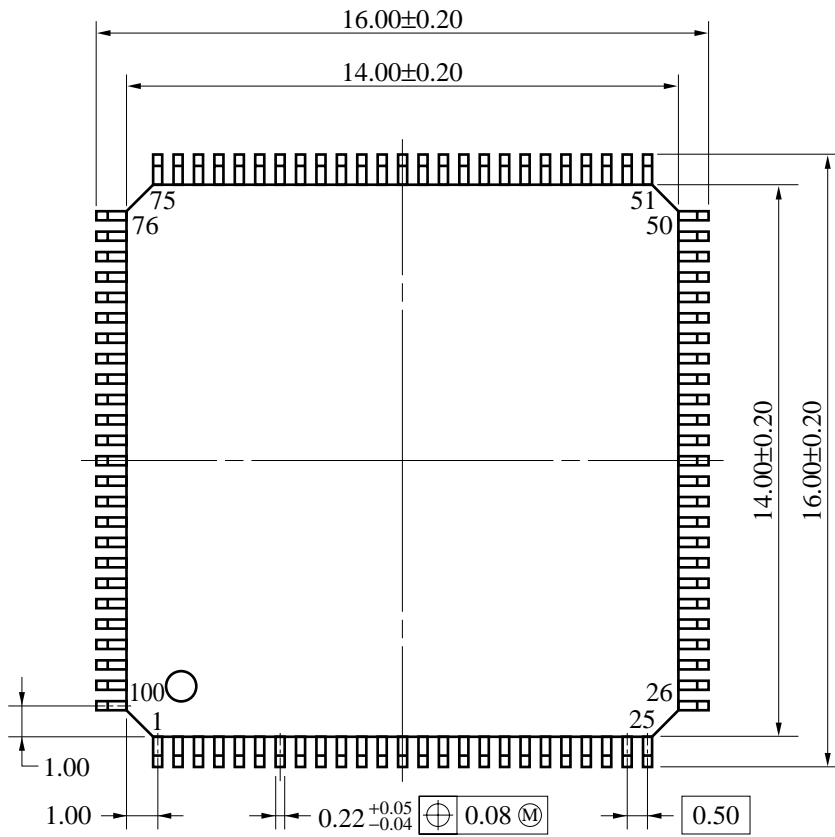
端子先端形状詳細図



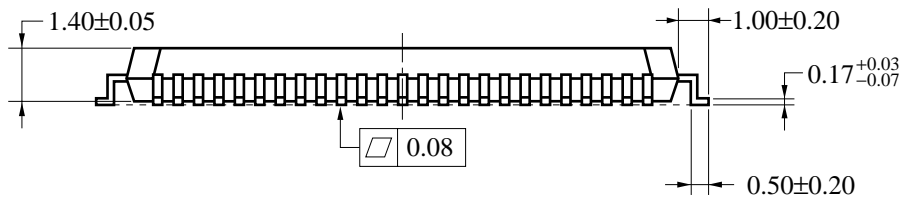
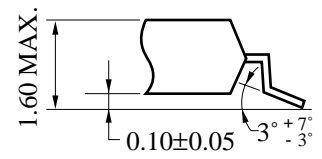
P100GF-65-3BA1-2

備考 ES品の外形や材質は、量産品と同じです。

★ 100ピン・プラスチック LQFP (ファインピッチ)(14×14) 外形図 (単位: mm)



端子先端形状詳細図



S100GC-50-8EU

備考 ES品の外形や材質は、量産品と同じです。

13. 半田付け推奨条件

μPD78062, 78063, 78064の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表13 - 1 表面実装タイプの半田付け条件

- (1) μPD78062GC-x x x-7EA: 100ピン・プラスチックQFP (ファインピッチ) (14 mm, 樹脂厚1.45 mm)
- ★ μPD78062GC-x x x-8EU: 100ピン・プラスチックLQFP (ファインピッチ) (14 mm, 樹脂厚1.40 mm)
- μPD78063GC-x x x-7EA: 100ピン・プラスチックQFP (ファインピッチ) (14 mm, 樹脂厚1.45 mm)
- ★ μPD78063GC-x x x-8EU: 100ピン・プラスチックLQFP (ファインピッチ) (14 mm, 樹脂厚1.40 mm)
- μPD78064GC-x x x-7EA: 100ピン・プラスチックQFP (ファインピッチ) (14 mm, 樹脂厚1.45 mm)
- ★ μPD78064GC-x x x-8EU: 100ピン・プラスチックLQFP (ファインピッチ) (14 mm, 樹脂厚1.40 mm)

半田付け方式	半 田 付 け 条 件	推奨条件記号
★ 赤外線リフロ	パッケージ・ピーク温度: 235 , 時間: 30秒以内 (210 以上), 回数: 2回以内, 制限日数: 7日間 ^注 (以降は125 プリベーク10時間必要) 留意事項 耐熱トレイ以外 (マガジン, テーピング, 非耐圧トレイ) は, 包装状態でのベーキングができません。	IR35-107-2
★ VPS	パッケージ・ピーク温度: 215 , 時間: 40秒以内 (200 以上), 回数: 2回以内, 制限日数: 7日間 ^注 (以降は125 プリベーク10時間必要) 留意事項 耐熱トレイ以外 (マガジン, テーピング, 非耐圧トレイ) は, 包装状態でのベーキングができません。	VP15-107-2
端子部分加熱	端子温度: 300 以下, 時間: 3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で、保管条件は25 , 65 %RH以下。

- (2) μPD78062GF-x x x-3BA: 100ピン・プラスチックQFP (14 x 20 mm)
- μPD78063GF-x x x-3BA: 100ピン・プラスチックQFP (")
- μPD78064GF-x x x-3BA: 100ピン・プラスチックQFP (")

半田付け方式	半 田 付 け 条 件	推奨条件記号
★ 赤外線リフロ	パッケージ・ピーク温度: 235 , 時間: 30秒以内 (210 以上), 回数: 3回以内	IR35-00-3
★ VPS	パッケージ・ピーク温度: 215 , 時間: 40秒以内 (200 以上), 回数: 3回以内	VP15-00-3
ウエーブ・ソルダーリング	半田槽温度: 260 以下, 時間: 10秒以内, 回数: 1回 予備加熱温度: 120 MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度: 300 以下, 時間: 3秒以内 (デバイスの一辺当たり)	-

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱は除く)。

付録A．開発ツール

μPD78062, 78063, 78064を使用するシステム開発のために次のような開発ツールを用意しています。

言語処理用ソフトウェア

RA78K0 ^{注1, 2, 3, 4}	78K/0シリーズ共通のアセンブラ・パッケージ
CC78K0 ^{注1, 2, 3, 4}	78K/0シリーズ共通のCコンパイラ・パッケージ
DF78064 ^{注1, 2, 3, 4}	μPD78064サブシリーズ用デバイス・ファイル
CC78K0-L ^{注1, 2, 3, 4}	78K/0シリーズ共通のCコンパイラ・ライブラリ・ソース・ファイル

PROM書き込み用ツール

PG-1500	PROMプログラマ
PA-78P064GC PA-78P064GF PA-78P064KL-T	PG-1500に接続するプログラマ・アダプタ
PG-1500コントローラ ^{注1, 2}	PG-1500用コントロール・プログラム

ディバグ用ツール

IE-78000-R	78K/0シリーズ共通のインサーキット・エミュレータ
★ IE-78000-R-A	78K/0シリーズ共通のインサーキット・エミュレータ（統合ディバグ用）
IE-78000-R-BK	78K/0シリーズ共通のブレーク・ボード
IE-78064-R-EM ^{注8}	μPD78064サブシリーズ評価用エミュレーション・ボード
★ IE-780308-R-EM	μPD780308サブシリーズと共通のエミュレーション・ボード
EP-78064GC-R EP-78064GF-R	μPD78064サブシリーズ共通のエミュレーション・プローブ
★ TGC-100SDW	100ピン・プラスチックQFP（GC-7EA, GC-8EUタイプ）用に作られたターゲット・システムの基板上に実装するアダプタ TGC-100SDWは、東京エレクトック株式会社（東京（03）5295-1661）の製品です。ご購入の際はNEC特約店にご相談ください。
EV-9200GF-100	100ピン・プラスチックQFP（GF-3BAタイプ）用に作られたターゲット・システムの基板上に実装するソケット
EV-9900	EV-9200GF-100からμPD78P064KL-Tを取り外す際に使用する治具
SM78K0 ^{注5, 6, 7}	78K/0シリーズ共通のシステム・シミュレータ
★ ID78K0 ^{注4, 5, 6, 7}	IE-78000-R-A用統合ディバグ
SD78K0 ^{注1, 2}	IE-78000-R用スクリーン・ディバグ
DF78064 ^{注1, 2, 4, 5, 6, 7}	μPD78064サブシリーズ用デバイス・ファイル

リアルタイムOS

RX78K0 ^{注1, 2, 3, 4}	78K/0シリーズ用リアルタイムOS
MX78K0 ^{注1, 2, 3, 4}	78K/0シリーズ用OS

ファジィ推論開発支援システム

FE9000 ^{注1} /FE9200 ^{注6}	ファジィ知識データ作成ツール
FT9080 ^{注1} /FT9085 ^{注2}	トランスレータ
FI78K0 ^{注1, 2}	ファジィ推論モジュール
FD78K0 ^{注1, 2}	ファジィ推論ディバッガ

注1 . PC-9800シリーズ (MS-DOS™) ベース

2 . IBM PC/AT™およびその互換機 (PC DOS™/IBM DOS™/MS-DOS) ベース

3 . HP9000シリーズ300™ (HP-UX™) ベース

4 . HP9000シリーズ700™ (HP-UX) ベース , SPARCstation™ (SunOS™) ベース , EWS4800シリーズ (EWS-UX/V) ベース

5 . PC-9800シリーズ (MS-DOS + Windows™) ベース

6 . IBM PC/ATおよびその互換機 (PC DOS/IBM DOS/MS-DOS + Windows) ベース

★ 7 . NEWS™ (NEWS-OS™) ベース

8 . IE-78064-R-EMIは保守製品です。

備考1 . 3rdパーティ製開発ツールについては、78K/0シリーズ **セレクション・ガイド** (U11126J) を参照してください。

2 . RA78K/0 , CC78K/0 , SM78K0 , ID78K0 , SD78K/0 , RX78K/0は、DF78064と組み合わせて使用します。

付録B . 関連資料

デバイスの関連資料

資 料 名	資 料 番 号		
	和文	英文	
μ PD78062, 78063, 78064 データ・シート	この資料	作成中	
μ PD78062(A), 78063(A), 78064(A) データ・シート	IC-9133	U10335E	
μ PD78P064 データ・シート	IC-8636	IC-3224	
μ PD78064 , 78064Yサブシリーズ ユーザーズ・マニュアル	U10105J	U10105E	
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	IEU-1372	
78K/0シリーズ インストラクション活用表	U10903J	-	
78K/0シリーズ インストラクション・セット	U10904J	-	
μ PD78064サブシリーズ 特殊機能レジスタ活用表	IEM-5568	-	
78K/0シリーズ アプリケーション・ノート	基礎編 ()	IEA-767	U10182E
	浮動小数点演算プログラム編	IEA-718	IEA-1289

開発ツールの関連資料 (ユーザーズ・マニュアル) (1 / 2)

	資 料 名	資 料 番 号		
		和文	英文	
	RA78Kシリーズ アセンブラ・パッケージ	操作編	EEU-809	EEU-1399
		言語編	EEU-815	EEU-1404
	RA78Kシリーズ 構造化アセンブラ・プリプロセッサ		EEU-817	EEU-1402
★	RA78K0 アセンブラ・パッケージ	操作編	U11802J	U11802E
★		アセンブリ言語編	U11801J	U11801E
★		構造化アセンブリ言語編	U11789J	U11789E
	CC78Kシリーズ Cコンパイラ	操作編	EEU-656	EEU-1280
		言語編	EEU-655	EEU-1284
★	CC78K0 Cコンパイラ	操作編	U11517J	U11517E
★		言語編	U11518J	U11518E
★	CC78K/0 Cコンパイラ アプリケーション・ノート	プログラミング・ノウハウ編	EEA-618	EEA-1208
	CC78Kシリーズ ライブラリ・ソース・ファイル		U12322J	-
	PG-1500 PROMプログラマ		U11940J	EEU-1335
	PG-1500コントローラ PC-9800シリーズ (MS-DOS) ベース		EEU-704	EEU-1291
	PG-1500コントローラ IBM PCシリーズ (PC DOS) ベース		EEU-5008	U10540E
	IE-78000-R		EEU-810	U11376E
★	IE-78000-R-A		U10057J	U10057E
	IE-78000-R-BK		EEU-867	EEU-1427
	IE-78064-R-EM		EEU-905	EEU-1443
★	IE-780308-R-EM		U11362J	U11362E
	EP-78064		EEU-934	EEU-1469

開発ツールの関連資料（ユーザズ・マニュアル）（2/2）

	資料名	資料番号	
		和文	英文
★	SM78Kシリーズ システム・シミュレータ 外部部品ユーザオープン インタフェース仕様編	U10092J	U10092E
	SM78K0 システム・シミュレータ Windowsベース	U10181J	U10181E
★	ID78K0統合ディバッガ EWSベース	U11151J	-
★	ID78K0統合ディバッガ PCベース	U11539J	U11539E
★	ID78K0統合ディバッガ Windowsベース	U11649J	U11649E
	SD78K/0 スクリーン・ディバッガ 入門編	EEU-852	U10539E
	PC-9800シリーズ（MS-DOS）ベース レファレンス編	U10952J	-
	SD78K/0 スクリーン・ディバッガ 入門編	EEU-5024	EEU-1414
	IBM PC/AT（PC DOS）ベース レファレンス編	U11279J	U11279E

組み込み用ソフトウェアの関連資料（ユーザズ・マニュアル）

	資料名	資料番号	
		和文	英文
	78K/0シリーズ リアルタイムOS 基礎編	U11537J	-
	インストール編	U11536J	-
	78K/0シリーズ用OS MX78K0 基礎編	U12257J	-
	ファジィ知識データ作成ツール	EEU-829	EEU-1438
	78K/0, 78K/ , 87ADシリーズ	EEU-862	EEU-1444
	ファジィ推論開発支援システム トランスレータ		
	78K/0シリーズ ファジィ推論開発支援システム ファジィ推論モジュール	EEU-858	EEU-1441
	78K/0シリーズ ファジィ推論開発支援システム ファジィ推論ディバッガ	EEU-921	EEU-1458

その他の関連資料

	資料名	資料番号	
		和文	英文
	IC PACKAGE MANUAL	C10943X	
	半導体デバイス 実装マニュアル	C10535J	C10535E
	NEC半導体デバイスの品質水準	C11531J	C11531E
	NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
	静電気放電（ESD）試験について	MEM-539	-
	半導体デバイスの品質保証ガイド	C11893J	C11893E
	マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

{ × ㉔ }

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

FIPは、日本電気株式会社の登録商標です。

IEBusは、日本電気株式会社の商標です。

MS-DOSおよびWindowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

IBM DOS, PC/AT, PC DOSは、米国IBM社の商標です。

HP9000シリーズ300, HP9000シリーズ700, HP-UXは、米国ヒューレット・パッカード社の商標です。

SPARCstationは、米国SPARC International, Inc. の商標です。

SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

本製品が外国為替および外国貿易管理法の規定による戦略物資等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

文書による当社の承諾なしに本資料の転載複製を禁じます。
 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
 この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部	〒108-01	東京都港区芝五丁目7番1号（NEC本社ビル）	東京	(03)3454-1111	(大代表)			
半導体第二販売事業部								
半導体第三販売事業部								
中部支社	〒460	名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋	(052)222-2170	名古屋 (052)222-2190			
関西支社	〒540	大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪	(06) 945-3178	大阪 (06) 945-3200			
			大阪	(06) 945-3208				
北海道支社	札幌	(011)251-5599	太田支店	太田	(0276)46-4011	福井支店	福井	(0776)22-1866
東北支社	仙台	(022)267-8740	宇都宮支店	宇都宮	(028)621-2281	富山支店	富山	(0764)31-8461
岩手支店	盛岡	(019)651-4344	小山支店	小山	(0285)24-5011	三重支店	津	(0592)25-7341
郡山支店	郡山	(0249)23-5511	長野支社	松本	(0263)35-1662	京都支社	京都	(075)344-7824
いわき支店	いわき	(0246)21-5511	甲府支店	甲府	(0552)24-4141	神戸支社	神戸	(078)333-3854
長岡支店	長岡	(0258)36-2155	埼玉支社	大宮	(048)649-1415	中国支社	広島	(082)242-5504
土浦支店	土浦	(0298)23-6161	立川支社	立川	(0425)26-5981	鳥取支店	鳥取	(0857)27-5311
水戸支店	水戸	(029)226-1717	千葉支社	千葉	(043)238-8116	岡山支店	岡山	(086)225-4455
神奈川支社	横浜	(045)682-4524	静岡支社	静岡	(054)254-4794	松山支店	松山	(089)945-4149
群馬支店	高崎	(0273)26-1255	北陸支社	金沢	(076)232-7303	九州支社	福岡	(092)261-2806

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部	〒210	川崎市幸区塚越三丁目484番地	川崎	(044)548-7923	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
マイクロコンピュータ技術部					
半導体販売技術本部	〒108-01	東京都港区芝五丁目7番1号（NEC本社ビル）	東京	(03)3798-9619	
東日本販売技術部					
半導体販売技術本部	〒460	名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋	(052)222-2125	
中部販売技術部					
半導体販売技術本部	〒540	大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪	(06) 945-3383	
西日本販売技術部					