

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD780226, 780228

8ビット・シングルチップ・マイクロコンピュータ

μ PD780226, 780228は、78K/0シリーズの中の μ PD780228サブシリーズの製品です。

μ PD780228サブシリーズは、従来の μ PD78044HサブシリーズのFIP[®]コントローラ/ドライバ、N-chオープン・ドレイン・ポートを強化した製品です。

また、マスクROM製品と同じ電源電圧で動作可能なフラッシュ・メモリ製品 μ PD78F0228や、各種開発ツールも開発中です。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD780228サブシリーズ ユーザーズ・マニュアル : U12012J

78K/0シリーズ ユーザーズ・マニュアル 命令編 : U12326J

特 徴

I/Oポート : 72本 (N-chオープン・ドレイン入出力16本)

大容量ROM, RAM内蔵

品 名	項 目	プログラム・ メモリ (ROM)	データ・メモリ		
			内部高速RAM	内部拡張RAM	FIP表示用RAM
μ PD780226		48 Kバイト	1024バイト	512バイト	96バイト
μ PD780228		60 Kバイト			

高速 (0.4 μ s) から低速 (6.4 μ s) まで最小命令実行時間変更可能

FIPコントローラ/ドライバ : 表示出力合計48本
(ユニバーサル・グリッド対応)

8ビット分解能A/Dコンバータ : 8チャンネル

シリアル・インタフェース : 1チャンネル

タイマ : 4チャンネル

電源電圧 : $V_{DD} = 4.5 \sim 5.5$ V

応用分野

一体型ミニコンポ, セパレート型ミニコンポ, チューナ, カセット・デッキ, CDプレーヤ, オーディオ・アンプなど

オーダ情報

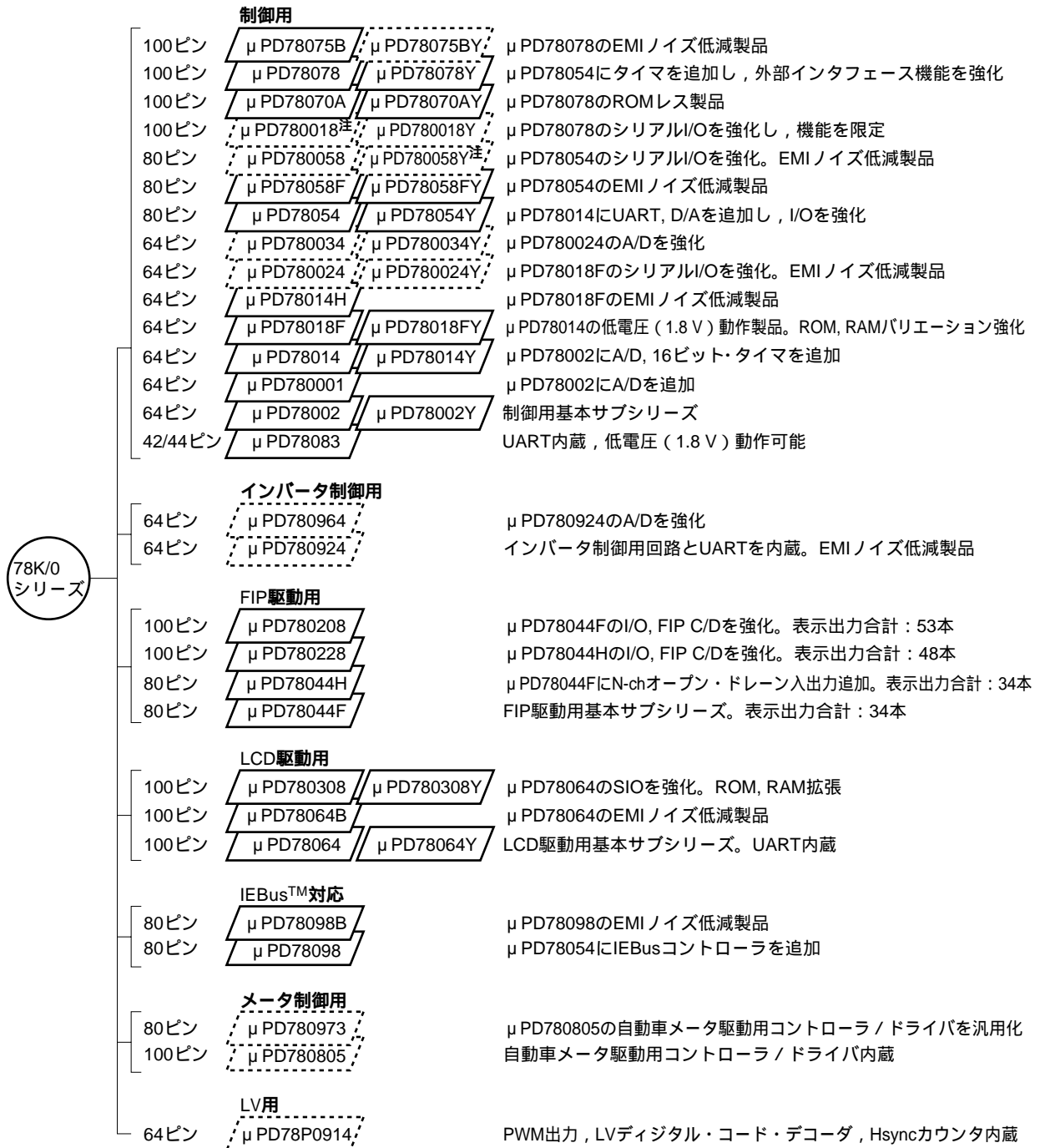
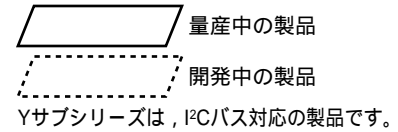
オーダ名称	パッケージ
μ PD780226GF-x x x-3BA	100ピン・プラスチックQFP (14 x 20 mm)
μ PD780228GF-x x x-3BA	"

備考 x x xはROMコード番号です。

本資料の内容は、後日変更する場合があります。

★ 78K/0シリーズの展開

78K/0シリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



注 計画中

各サブシリーズ間の主な機能の違いを次に示します。

機能 サブシリーズ名		ROM容量	タイマ				8-bit	10-bit	8-bit	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張		
			8-bit	16-bit	時計	WDT	A/D	A/D	D/A						
制御用	μ PD78075B	32 K-40 K	4ch	1ch	1ch	1ch	8ch	-	2ch	3ch (UART : 1ch)	88本	1.8 V			
	μ PD78078	48 K-60 K									61本	2.7 V			
	μ PD78070A	-													
	μ PD780018	48 K-60 K	2ch						-	2ch (時分割3線 : 1ch)	88本				
	μ PD780058	24 K-60 K							2ch (時分割UART : 1ch)	68本	1.8 V				
	μ PD78058F	48 K-60 K							3ch (UART : 1ch)	69本	2.7 V				
	μ PD78054	16 K-60 K									2.0 V				
	μ PD780034	8 K-32 K							-	8ch	-	3ch (UART : 1ch, 時分割3線 : 1ch)		51本	1.8 V
	μ PD780024								8ch	-					
	μ PD78014H				2ch	53本									
	μ PD78018F	8 K-60 K						2.7 V							
	μ PD78014	8 K-32 K													
	μ PD780001	8 K	-	-		1ch	39本		-						
	μ PD78002	8 K-16 K		1ch		-	53本								
μ PD78083			-		8ch	1ch (UART : 1ch)	33本	1.8 V	-						
インバータ 制御用	μ PD780964	8 K-32 K	3ch	注	-	1ch	-	8ch	-	2ch (UART : 2ch)	47本	2.7 V			
	μ PD780924						8ch	-							
FIP 駆動用	μ PD780208	32 K-60 K	2ch	1ch	1ch	1ch	8ch	-	-	2ch	74本	2.7 V	-		
	μ PD780228	48 K-60 K	3ch	-	-	1ch				72本	4.5 V				
	μ PD78044H	32 K-48 K	2ch	1ch	1ch	68本				2.7 V					
	μ PD78044F	16 K-40 K				2ch									
LCD 駆動用	μ PD780308	48 K-60 K	2ch	1ch	1ch	1ch	8ch	-	-	3ch (時分割UART : 1ch)	57本	2.0 V	-		
	μ PD78064B	32 K								2ch (UART : 1ch)					
	μ PD78064	16 K-32 K													
IEBus 対応	μ PD78098B	40 K-60 K	2ch	1ch	1ch	1ch	8ch	-	2ch	3ch (UART : 1ch)	69本	2.7 V			
	μ PD78098	32 K-60 K													
メータ 制御用	μ PD780973	24 K-32 K	3ch	1ch	1ch	1ch	5ch	-	-	2ch (UART : 1ch)	56本	4.5 V	-		
	μ PD780805	40 K-60 K	2ch				8ch				39本	2.7 V			
LV用	μ PD78P0914	32 K	6ch	-	-	1ch	8ch	-	-	2ch	54本	4.5 V			

注 10ビット・タイマ : 1チャンネル

機能概要

品名		μPD780226	μPD780228
内部メモリ	ROM	48 Kバイト	60 Kバイト
	高速RAM	1024バイト	
	拡張RAM	512バイト	
	FIP表示用RAM	96バイト	
汎用レジスタ		8ビット×32レジスタ(8ビット×8レジスタ×4バンク)	
最小命令実行時間		<ul style="list-style-type: none"> ・最小命令実行時間の可変機能内蔵 ・0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs(メイン・システム・クロック:5.0MHz動作時) 	
命令セット		<ul style="list-style-type: none"> ・乗除算(8ビット×8ビット,16ビット÷8ビット) ・ビット操作(セット,リセット,テスト,ブール演算) 	
I/Oポート (FIP兼用端子を含む)		合計 : 72本 <ul style="list-style-type: none"> ・CMOS入力 : 8本 ・CMOS入出力 : 16本 ・N-chオープン・ドレイン入出力 : 16本 ・P-chオープン・ドレイン入出力 : 24本 ・P-chオープン・ドレイン出力 : 8本 	
FIPコントローラ/ドライバ		表示出力合計 : 48本 <ul style="list-style-type: none"> ・表示電流10 mA : 16本 ・表示電流3 mA : 32本 	
A/Dコンバータ		<ul style="list-style-type: none"> ・8ビット分解能×8チャンネル ・電源電圧:AV_{DD}=4.5~5.5V 	
シリアル・インタフェース		3線式シリアルI/Oモード:1チャンネル	
タイマ		<ul style="list-style-type: none"> ・8ビット・リモコン・タイマ:1チャンネル ・8ビットPWMタイマ : 2チャンネル ・ウォッチドッグ・タイマ : 1チャンネル 	
タイマ出力		2本(8ビットPWM出力可能)	
ベクタ割り込み 要因	マスカブル	内部:6,外部:4	
	ノンマスカブル	内部:1	
	ソフトウェア	1	
電源電圧		V _{DD} =4.5~5.5V	
パッケージ		100ピン・プラスチックQFP(14×20mm)	

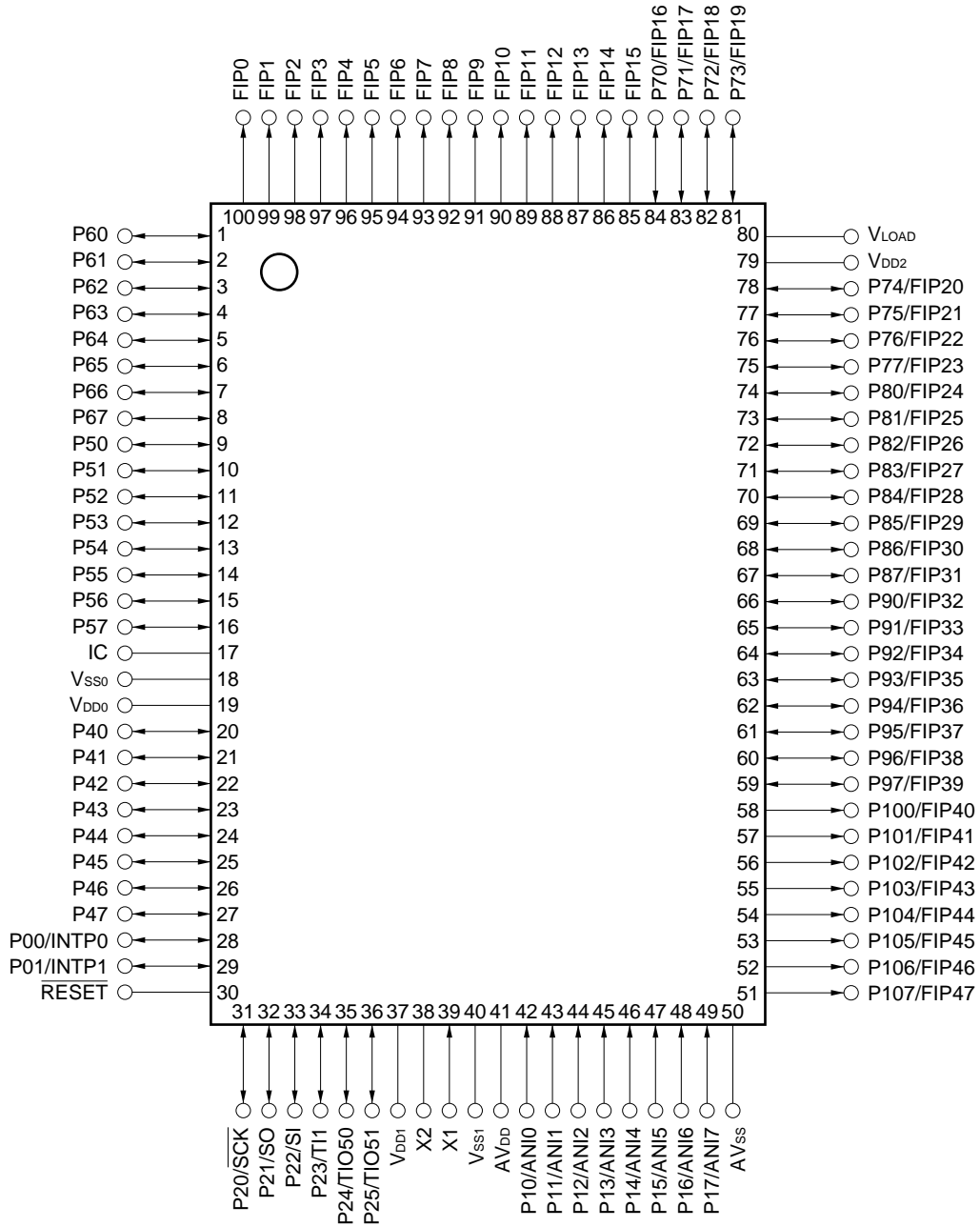
目 次

1 . 端子接続図 (Top View) ...	6
2 . ブロック図 ...	8
3 . 端子機能一覧 ...	9
3.1 ポート端子 ...	9
3.2 ポート以外の端子 ...	11
3.3 端子の入出力回路と未使用端子の処理 ...	12
4 . メモリ空間 ...	14
5 . 周辺ハードウェア機能の特徴 ...	15
5.1 ポート ...	15
5.2 クロック発生回路 ...	16
5.3 タイマ/イベント・カウンタ ...	16
5.4 A/Dコンバータ ...	18
5.5 シリアル・インタフェース ...	19
5.6 FIPコントローラ/ドライバ ...	19
6 . 割り込み機能 ...	21
7 . スタンバイ機能 ...	24
8 . リセット機能 ...	24
9 . 命令セット ...	25
★ 10 . 電気的特性 ...	28
11 . 外形図 ...	43
★ 12 . 半田付け推奨条件 ...	44
付録A . 開発ツール ...	45
付録B . 関連資料 ...	47

1. 端子接続図 (Top View)

・100ピン・プラスチックQFP (14×20 mm)

μPD780226GF- x x x -3BA, 780228GF- x x x -3BA



注意 1 . IC (Internally Connected) 端子はVSS1に直接接続してください。

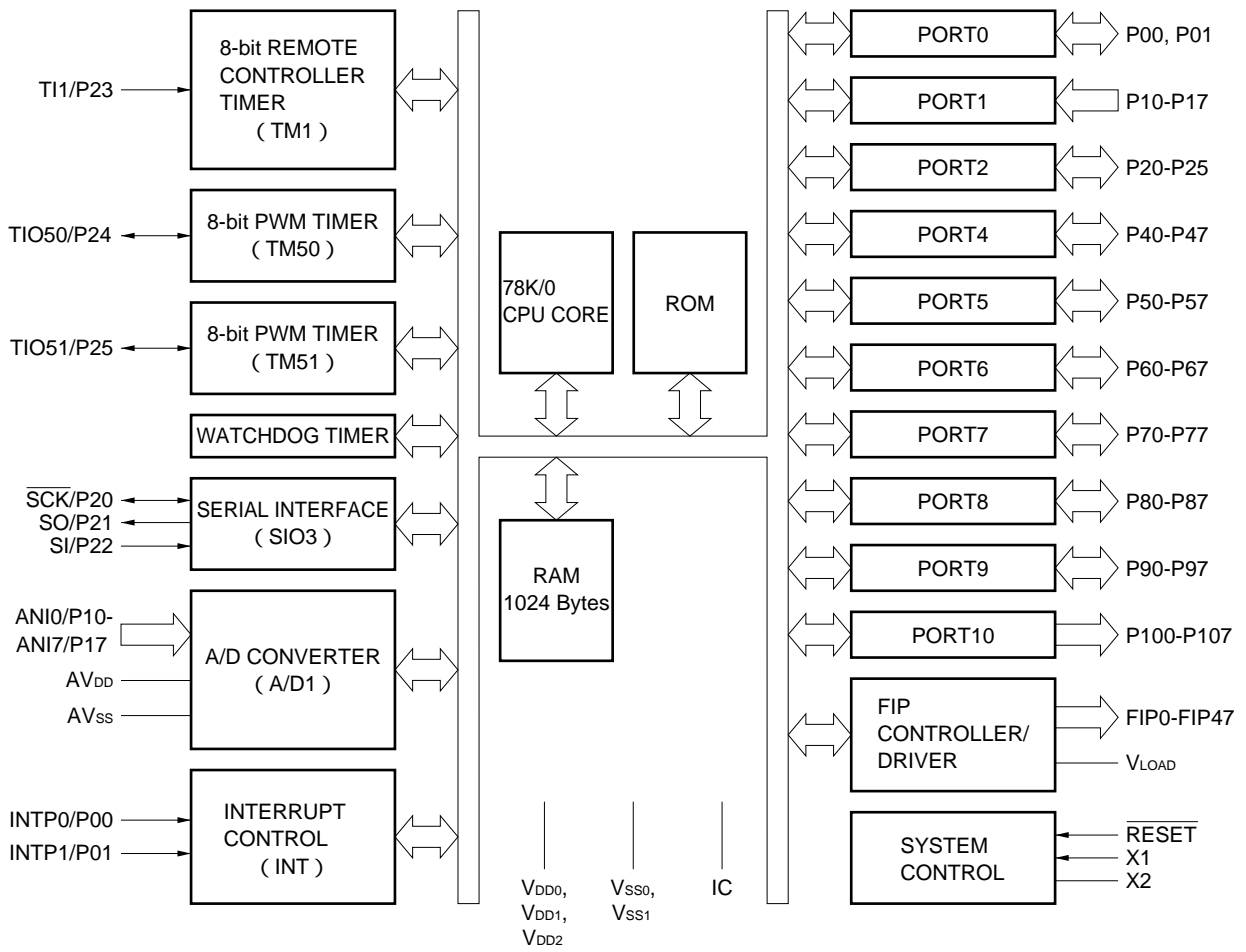
2 . AVDD端子はVDD1に接続してください。

3 . AVSS端子はVSS1に接続してください。

備考 マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VDD0とVDD1に個別の電源を供給し、VSS0とVSS1を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

ANI0-ANI7	: Analog Input	P80-P87	: Port8
AV _{DD}	: Analog Power Supply	P90-P97	: Port9
AV _{SS}	: Analog Ground	P100-P107	: Port10
FIP0-FIP47	: Fluorescent Indicator Panel	$\overline{\text{RESET}}$: Reset
IC	: Internally Connected	$\overline{\text{SCK}}$: Serial Clock
INTP0, INTP1	: Interrupt from Peripherals	SI	: Serial Input
P00, P01	: Port0	SO	: Serial Output
P10-P17	: Port1	TI1	: Timer Input
P20-P25	: Port2	TIO50, TIO51	: Timer Input/Output
P40-P47	: Port4	V _{DD0} -V _{DD2}	: Power Supply
P50-P57	: Port5	V _{LOAD}	: Negative Power Supply
P60-P67	: Port6	V _{SS0} , V _{SS1}	: Ground
P70-P77	: Port7	X1, X2	: Crystal

2. ブロック図



備考 内部ROM容量は製品によって異なります。

3. 端子機能一覧

3.1 ポート端子 (1/2)

端子名称	入出力	機 能	リセット時	兼用端子
P00	入出力	ポート0。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入 力	INTP0
P01				INTP1
P10-P17	入 力	ポート1。 8ビット入力専用ポート。	入 力	ANI0-ANI7
P20	入出力	ポート2。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入 力	SCK
P21				SO
P22				SI
P23				TI1
P24				TIO50
P25				TIO51
P40-P47	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 LEDを直接駆動可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入 力	-
P50-P57	入出力	ポート5。 N-chオープン・ドレイン8ビット中耐圧入出力ポート。 1ビット単位で入力/出力の指定可能。 LEDを直接駆動可能。 マスク・オプションにより、1ビット単位でプルアップ抵抗の内蔵が可能。	入 力	-
P60-P67	入出力	ポート6。 N-chオープン・ドレイン8ビット中耐圧入出力ポート。 1ビット単位で入力/出力の指定可能。 LEDを直接駆動可能。 マスク・オプションにより、1ビット単位でプルアップ抵抗の内蔵が可能。	入 力	-

3.1 ポート端子 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
P70-P77	入出力	ポート7。 P-chオープン・ドレイン8ビット高耐圧入出力ポート。 1ビット単位で入力/出力の指定可能。 マスク・オプションにより、1ビット単位でプルダウン抵抗の内蔵が可能。	入 力	FIP16-FIP23
P80-P87	入出力	ポート8。 P-chオープン・ドレイン8ビット高耐圧入出力ポート。 1ビット単位で入力/出力の指定可能。 マスク・オプションにより、1ビット単位でプルダウン抵抗の内蔵が可能。	入 力	FIP24-FIP31
P90-P97	入出力	ポート9。 P-chオープン・ドレイン8ビット高耐圧入出力ポート。 1ビット単位で入力/出力の指定可能。 マスク・オプションにより、1ビット単位でプルダウン抵抗の内蔵が可能。	入 力	FIP32-FIP39
P100-P107	出 力	ポート10。 P-chオープン・ドレイン8ビット高耐圧出力ポート。 マスク・オプションにより、1ビット単位でプルダウン抵抗の内蔵が可能。	出 力	FIP40-FIP47

3.2 ポート以外の端子

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入 力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能。 外部割り込み要求入力。	入 力	P00
INTP1				P01
$\overline{\text{SCK}}$	入出力	シリアル・インタフェースのシリアル・クロック入力/出力。	入 力	P20
SO	出 力	シリアル・インタフェースのシリアル・データ出力。	入 力	P21
SI	入 力	シリアル・インタフェースのシリアル・データ入力。	入 力	P22
TI1	入 力	8ビット・リモコン・タイマ（TM1）のタイマ入力。	入 力	P23
TIO50	入出力	8ビットPWMタイマ（TM50）のキャプチャ・トリガ入力/タイマ出力。	入 力	P24
TIO51	入出力	8ビットPWMタイマ（TM51）のキャプチャ・トリガ入力/タイマ出力。	入 力	P25
FIP0- FIP15	出 力	FIPコントローラ/ドライバの高耐圧大電流出力。	出 力	-
FIP16-FIP23			入 力	P70-P77
FIP24-FIP31				P80-P87
FIP32-FIP39				P90-P97
FIP40-FIP47				P100-P107
V _{LOAD}	-	FIPコントローラ/ドライバのプルダウン抵抗接続。	-	-
$\overline{\text{RESET}}$	入 力	システム・リセット入力。	-	-
X1	入 力	メイン・システム・クロック発振用クリスタル接続。	-	-
X2	-		-	-
ANI0-ANI7	入 力	A/Dコンバータのアナログ入力。	入 力	P10-P17
AV _{DD}	-	A/Dコンバータのアナログ電源。V _{DD1} と同電位。	-	-
AV _{SS}	-	A/Dコンバータのグランド電位。V _{SS1} と同電位。	-	-
V _{DD0}	-	ポート部の正電源。	-	-
V _{DD1}	-	正電源（ポート，アナログ，FIPコントローラ/ドライバ部を除く）。	-	-
V _{DD2}	-	FIPコントローラ/ドライバ部の正電源。	-	-
V _{SS0}	-	ポート部のグランド電位。	-	-
V _{SS1}	-	グランド電位（ポート，アナログ部を除く）。	-	-
IC	-	内部接続。V _{SS1} に直接接続。	-	-

3.3 端子の入出力回路と未使用端子の処理

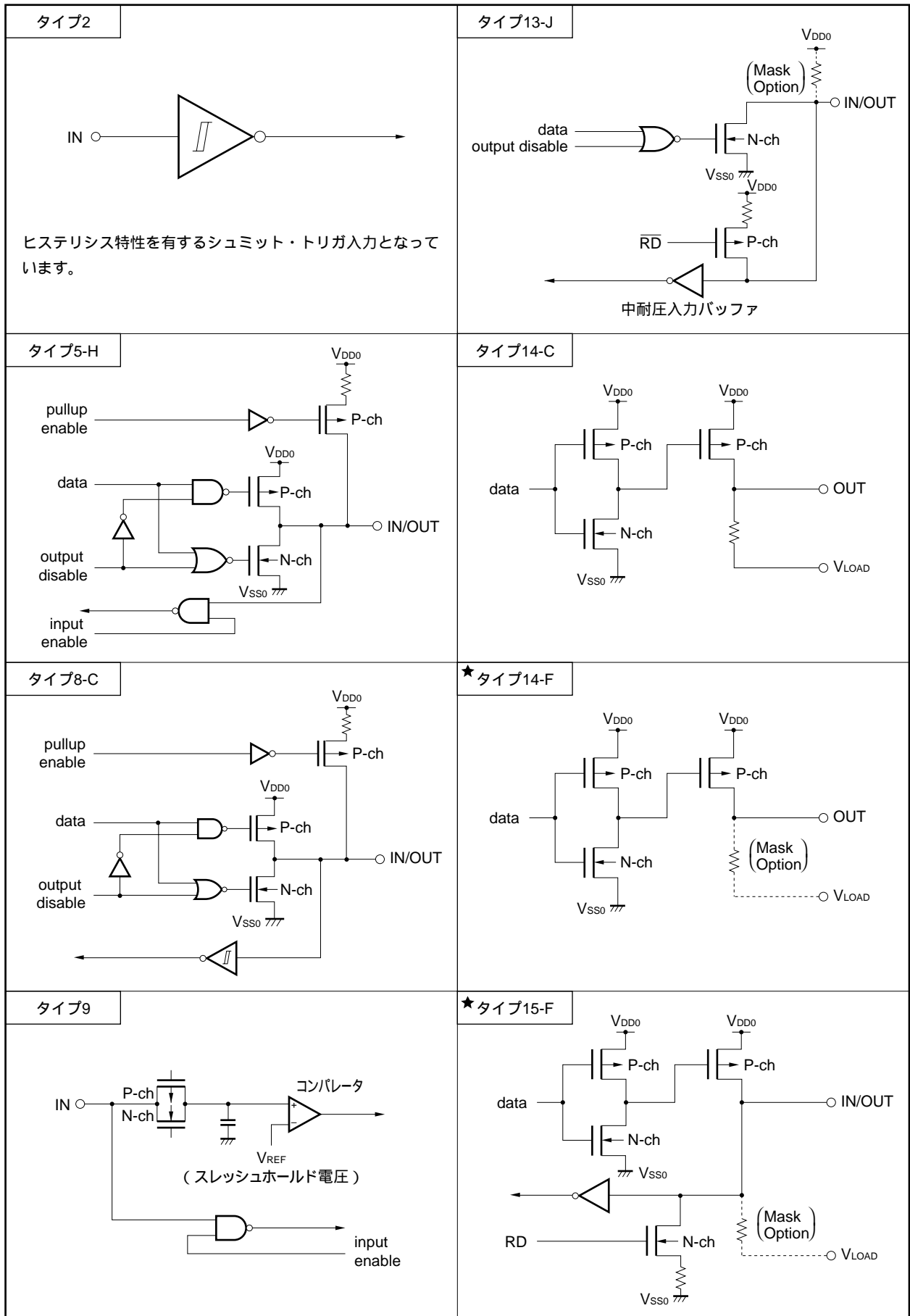
各端子の入出力回路タイプと、未使用端子の処理を表3 - 1 に示します。

また、各タイプの入出力回路の構成は、図3 - 1を参照してください。

表3 - 1 各端子の入出力回路タイプ

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/INTP0	8-C	入出力	個別に抵抗を介して、V _{SS0} に接続
P01/INTP1			
P10/ANI0-P17/ANI7	9	入 力	
P20/SCK	8-C	入出力	個別に抵抗を介して、V _{DD0} またはV _{SS0} に接続
P21/SO			
P22/SI			
P23/TI1			
P24/TIO50			
P25/TIO51			
P40-P47			
P50-P57			
P60-P67			
★ P70/FIP16-P77/FIP23	15-F	入出力	個別に抵抗を介して、V _{DD0} またはV _{SS0} に接続
P80/FIP24-P87/FIP31			
P90/FIP32-P97/FIP39			
★ P100/FIP40-P107/FIP47	14-F	出 力	
FIP0-FIP15	14-C	出 力	
RESET	2	入 力	-
AV _{DD}	-	-	V _{DD1} に接続
AV _{SS}			V _{SS1} に接続
V _{LOAD}			
IC			V _{SS1} に直接接続

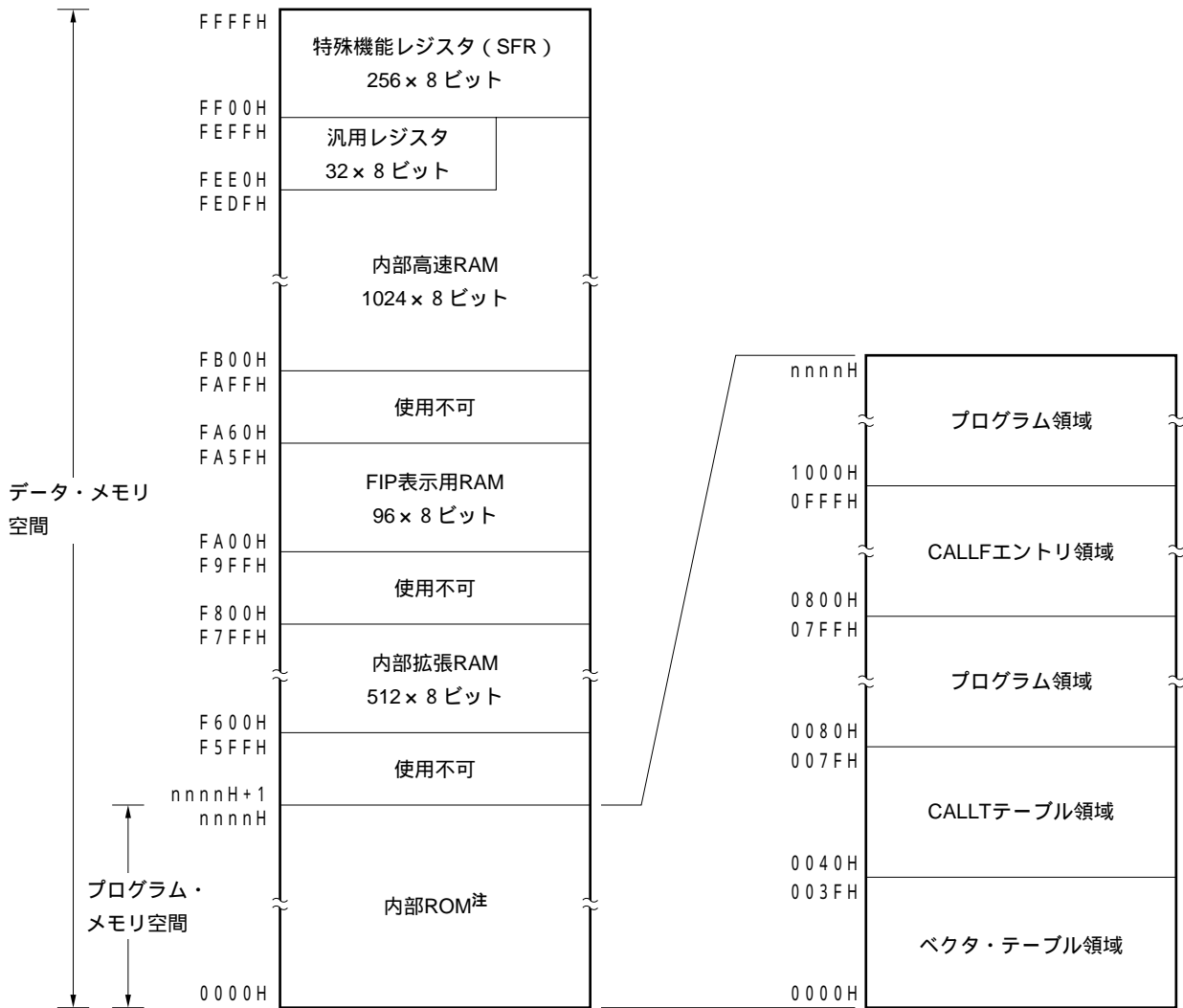
図3-1 端子の入出力回路一覧



4. メモリ空間

図4-1に、μPD780226,780228のメモリ・マップを示します。

図4-1 メモリ・マップ



注 内部ROM容量は製品により異なります(下表参照)。

品名	内部ROM最終アドレス nnnnH
μPD780226	BFFFH
μPD780228	EFFFH

5 . 周辺ハードウェア機能の特徴

5.1 ポート

I/Oポートには次の5種類があります。

- ・ CMOS入力 (ポート1) : 8本
 - ・ CMOS入出力 (ポート0, 2, 4) : 16本
 - ・ N-chオープン・ドレイン入出力 (ポート5, 6) : 16本
 - ・ P-chオープン・ドレイン入出力 (ポート7-9) : 24本
 - ・ P-chオープン・ドレイン出力 (ポート10) : 8本
-
- 合計 : 72本

表5 - 1 ポートの機能

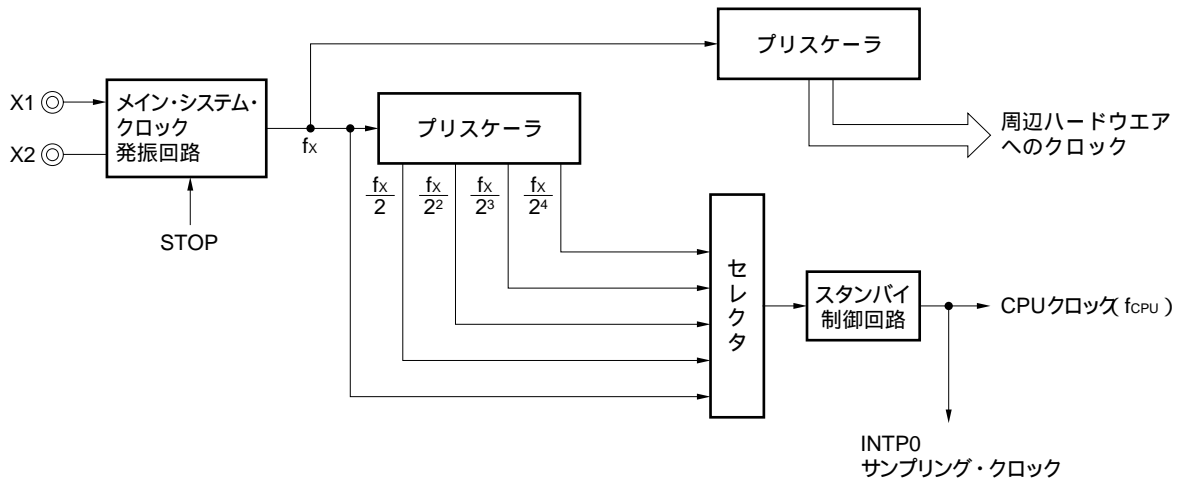
名 称	端子名称	機 能
ポート0	P00, P01	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート1	P10-P17	入力専用ポート。
ポート2	P20-P25	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。
ポート4	P40-P47	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 LEDを直接駆動可能。
ポート5	P50-P57	N-chオープン・ドレイン中耐圧入出力ポート。1ビット単位で入力/出力の指定可能。 マスク・オプションにより、1ビット単位でプルアップ抵抗を内蔵可能。 LEDを直接駆動可能。
ポート6	P60-P67	N-chオープン・ドレイン中耐圧入出力ポート。1ビット単位で入力/出力の指定可能。 マスク・オプションにより、1ビット単位でプルアップ抵抗を内蔵可能。 LEDを直接駆動可能。
ポート7	P70-P77	P-chオープン・ドレイン高耐圧入出力ポート。1ビット単位で入力/出力の指定可能。 マスク・オプションにより、1ビット単位でプルダウン抵抗を内蔵可能。
ポート8	P80-P87	P-chオープン・ドレイン高耐圧入出力ポート。1ビット単位で入力/出力の指定可能。 マスク・オプションにより、1ビット単位でプルダウン抵抗を内蔵可能。
ポート9	P90-P97	P-chオープン・ドレイン高耐圧入出力ポート。1ビット単位で入力/出力の指定可能。 マスク・オプションにより、1ビット単位でプルダウン抵抗を内蔵可能。
ポート10	P100-P107	P-chオープン・ドレイン高耐圧出力ポート。 マスク・オプションにより、1ビット単位でプルダウン抵抗を内蔵可能。

5.2 クロック発生回路

最小命令実行時間を変化させることができます。

- ・ 0.4 μs, 0.8 μs, 1.6 μs, 3.2 μs, 6.4 μs (メイン・システム・クロック : 5.0 MHz動作時)

図5 - 1 クロック発生回路のブロック図



5.3 タイマ/イベント・カウンタ

タイマ/イベント・カウンタを4チャンネル内蔵しています。

- ・ 8ビット・リモコン・タイマ : 1チャンネル
- ・ 8ビットPWMタイマ : 2チャンネル
- ・ ウォッチドッグ・タイマ : 1チャンネル

表5 - 2 タイマ/イベント・カウンタの種類と機能

		8ビット・リモコン・タイマ	8ビットPWMタイマ	ウォッチドッグ・タイマ
種類	インターバル・タイマ	-	2チャンネル	1チャンネル
	外部イベント・カウンタ	-	2チャンネル	-
機能	タイマ出力	-	2出力	-
	PWM出力	-	2出力	-
	パルス幅測定	1入力	2入力	-
	方形波出力	-	2出力	-
	割り込み要求	2	2	1

図5 - 2 8ビット・リモコン・タイマのブロック図

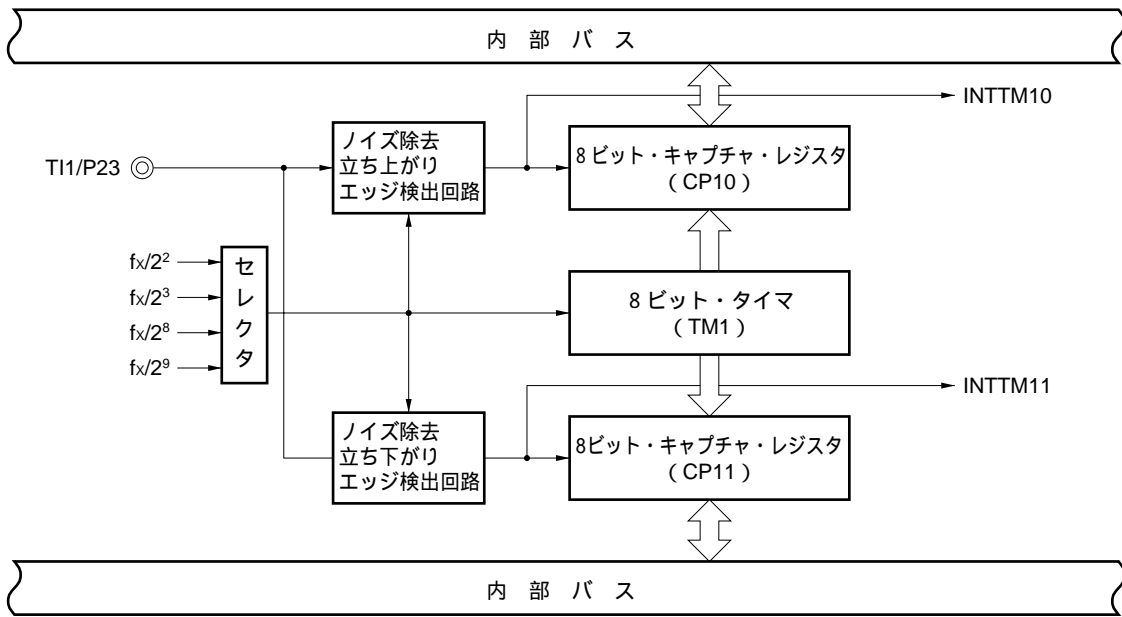
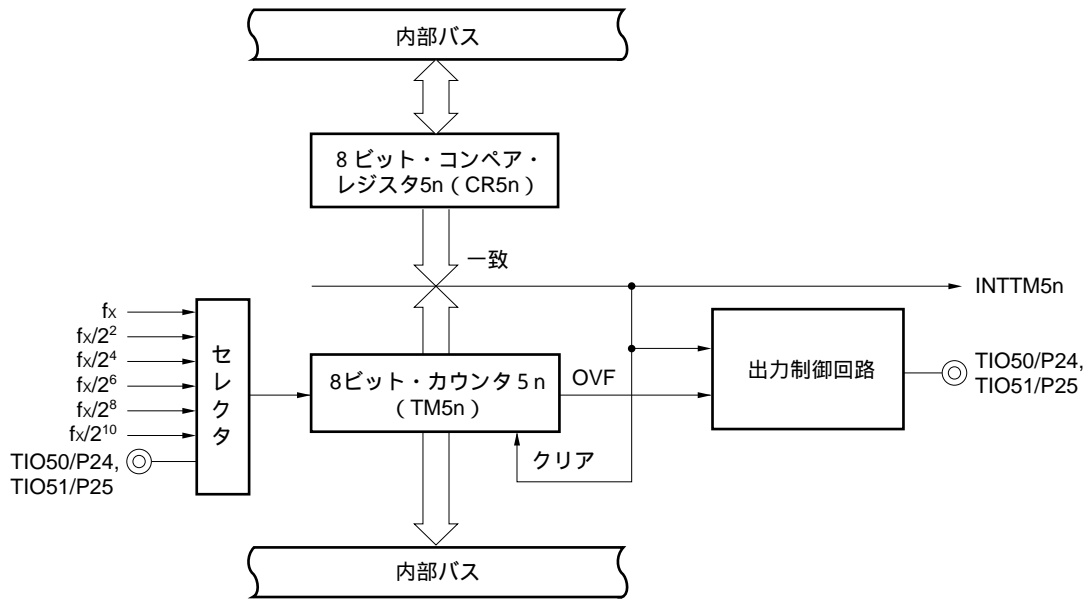
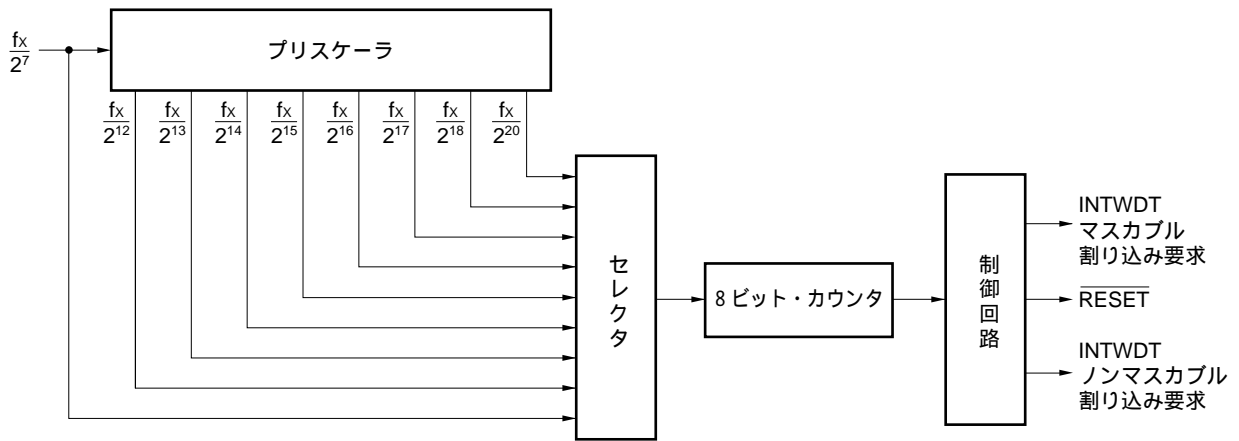


図5 - 3 8ビットPWMタイマのブロック図



n = 0, 1

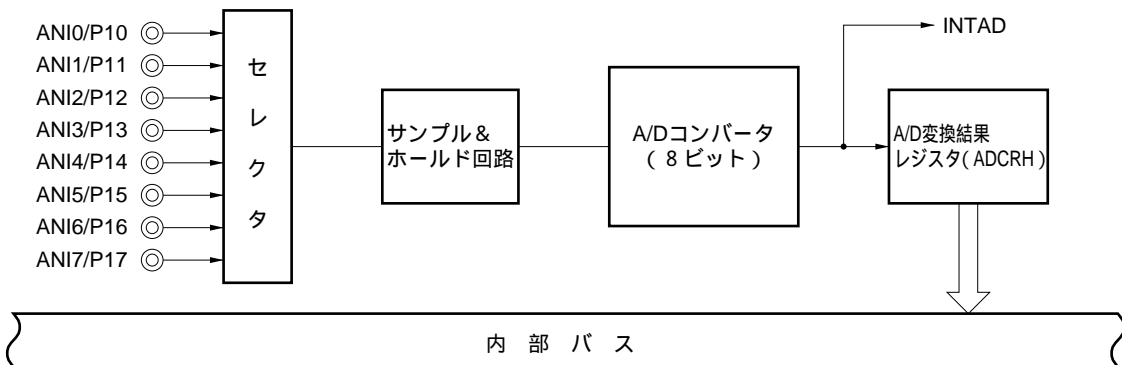
図5 - 4 ウォッチドッグ・タイマのブロック図



5.4 A/Dコンバータ

8ビット分解能8チャンネルのA/Dコンバータを内蔵しています。
 A/D変換動作の起動方法は、ソフトウェア・スタートのみです。

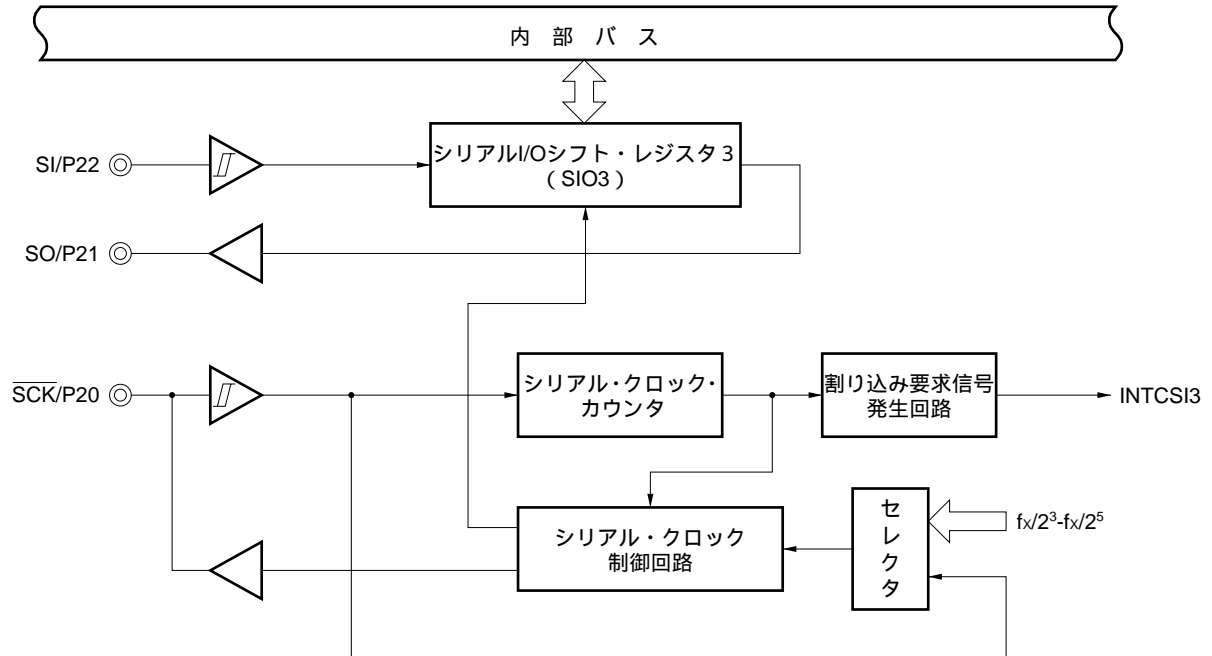
図5 - 5 A/Dコンバータのブロック図



5.5 シリアル・インタフェース

クロック同期式シリアル・インタフェースを1チャンネル内蔵しています。
シリアル・インタフェースは、MSB先頭固定の3線式シリアルI/Oモードで動作します。

図5 - 6 シリアル・インタフェースのブロック図

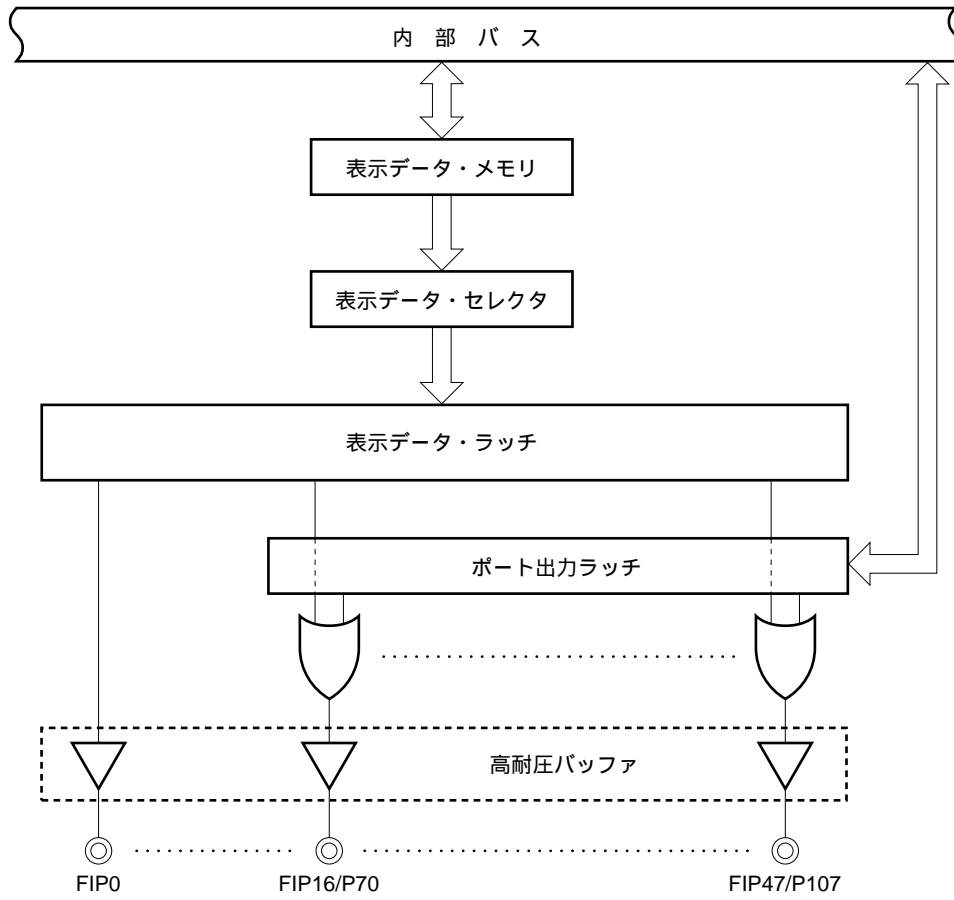


5.6 FIPコントローラ/ドライバ

次の機能を持ったFIPコントローラ/ドライバを内蔵しています。

- (a) 総表示本数48本、16パターンの出力が可能。
- (b) 96バイトの表示RAMを持ち、表示データの自動読み出しによる表示信号出力 (DMA動作) が可能。
- (c) FIP表示に使用しないポート端子は、出力ポートおよび入出力ポートとして利用可能 (ただしFIP0-FIP15はFIP出力専用端子)。
- (d) 表示モード・レジスタ1 (DSPM1) により、8段階の輝度調節が可能。
- (e) キー・スキャン応用を考慮したハードウェアを内蔵。
- (f) キー・スキャン・タイミングの挿入/非挿入を選択可能。
- (g) FIPを直接駆動可能な高耐圧出力バッファ (FIPドライバ) を内蔵。
- (h) FIP出力端子はマスク・オプションでプルダウン抵抗を内蔵可能 (FIP0-FIP15はプルダウン抵抗内蔵)。

図5 - 7 FIPコントローラ/ドライバのブロック図



6. 割り込み機能

割り込み機能には次の3種類があります。

- ・ノンマスカブル : 1
- ・マスカブル : 10
- ・ソフトウェア : 1

表 6 - 1 割り込み要因一覧

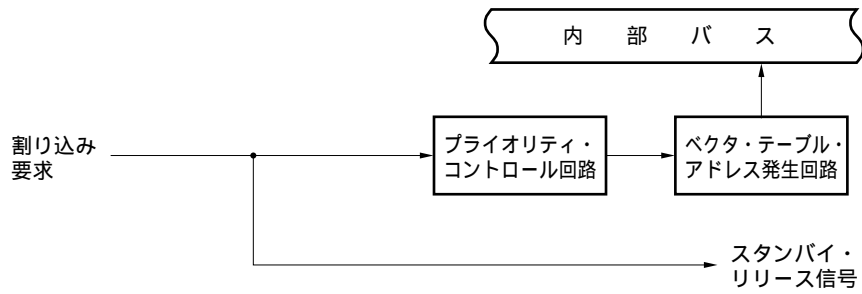
割り込みの種類	注1 デフォルト・ プライオリティ	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	注2 基本構成 タイプ
		名称	ト リ ガ			
ノンマスカブル	-	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0004H	(A)
マスカブル	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)			
	1	INTP0	端子入力エッジ検出	外部	0006H	(C)
	2	INTP1				
	3	INTTM10	タイマ入力エッジ検出		000AH	(D)
	4	INTTM11				
	5	INTKS	FIPコントローラ/ドライバからのキー・スキャン・タイミング	内部	000EH	(B)
	6	INTCSI3	シリアル・インタフェースの転送終了		0010H	
	7	INTTM50	8ビット・タイマ(TM50)の一致		0012H	
	8	INTTM51	8ビット・タイマ(TM51)の一致		0014H	
	9	INTAD	A/D変換終了		0016H	
ソフトウェア	-	BRK	BRK命令の実行	-	003EH	(E)

注1. デフォルト・プライオリティは、複数のマスカブル割り込み要求が同時に発生している場合に、優先する順位です。0が最高順位、9が最低順位です。

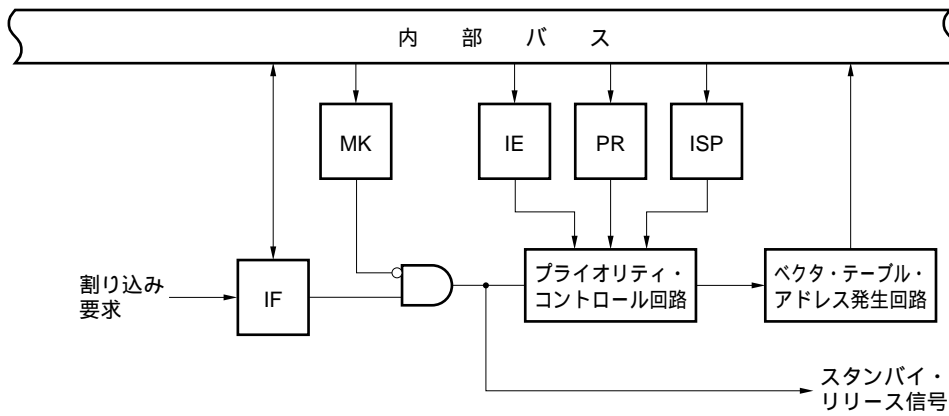
2. 基本構成タイプの(A)-(E)は、それぞれ図6-1の(A)-(E)に対応しています。

図 6 - 1 割り込み機能の基本構成 (1/2)

(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み (INTP0, INTP1)

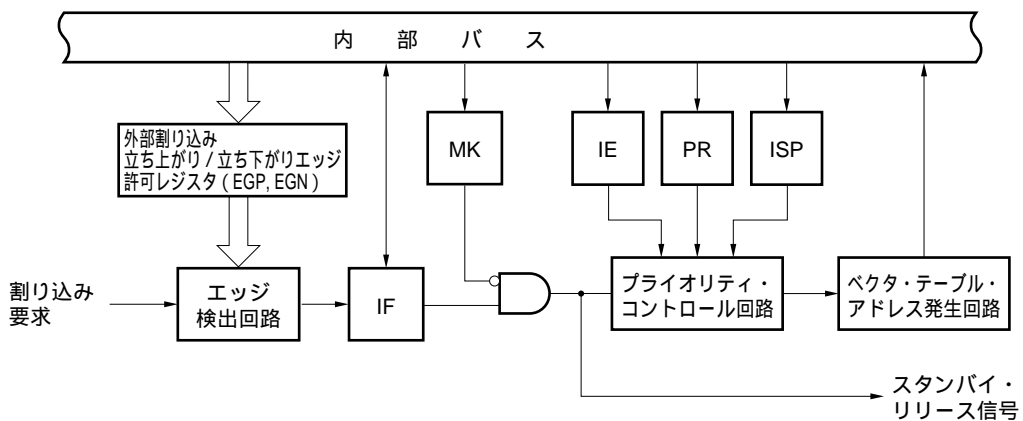
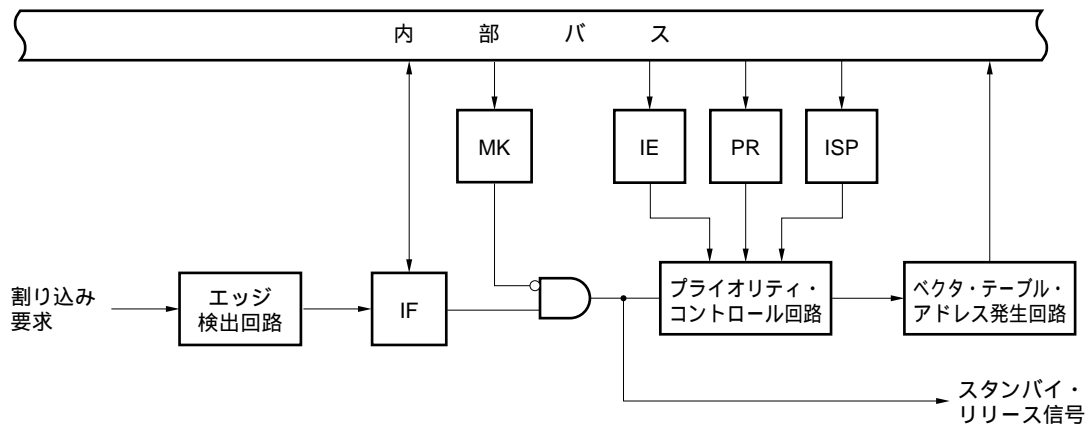


図 6 - 1 割り込み機能の基本構成 (2/2)

(D) 外部マスク割込み (INTTM10, INTTM11)



(E) ソフトウェア割込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサービス・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ

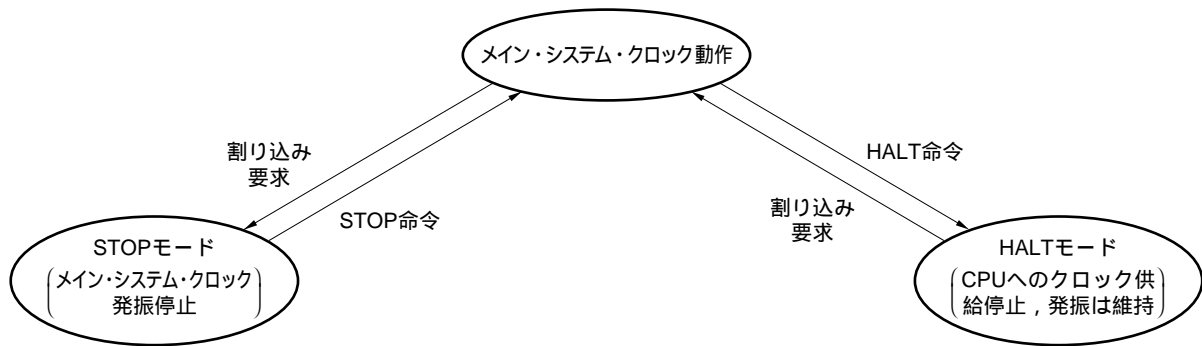
7. スタンバイ機能

スタンバイ機能は、消費電流をより低減するための機能で、次の2種類があります。

HALTモード：CPUの動作クロックを停止させます。通常動作との間欠動作により、平均消費電流を低減できます。

STOPモード：メイン・システム・クロックの発振を停止させます。メイン・システム・クロックによる動作をすべて停止させ、微小消費電力状態にします。

図7-1 スタンバイ機能



8. リセット機能

次の2種類の方法によってリセットがかかります。

- ・ $\overline{\text{RESET}}$ 端子による外部リセット
- ・ウォッチドッグ・タイマの暴走検出による内部リセット

9 . 命令セット

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte] [HL + B] [HL + C]	\$saddr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL + byte] [HL + B] [HL + C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第2オペランド 第1オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

★ 10. 電気的特性

絶対最大定格 (TA = 25)

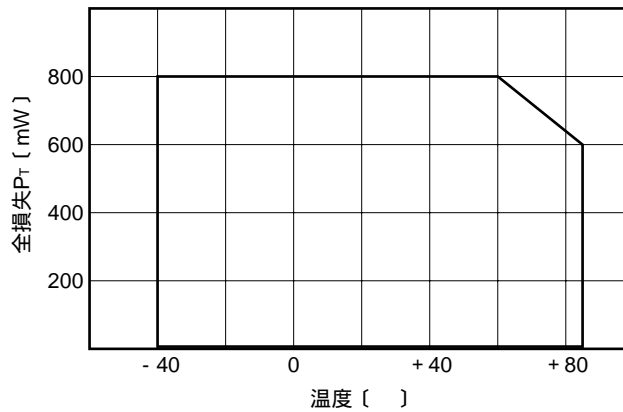
項目	略号	条件		定格	単位
電源電圧	V _{DD}			- 0.3 ~ + 6.5	V
	V _{LOAD}			V _{DD} - 40 ~ V _{DD} + 0.3	V
	AV _{DD}			- 0.3 ~ V _{DD} + 0.3	V
	AV _{SS}			- 0.3 ~ + 0.3	V
入力電圧	V _{I1}	P00, P01, P10-P17 (アナログ入力端子時を除く), P20-P25, P40-P47, X1, X2, RESET		- 0.3 ~ V _{DD} + 0.3	V
	V _{I2}	P50-P57, P60-P67	N-chオープン・ドレイン	- 0.3 ~ + 13 ^{注1}	V
	V _{I3}	P70-P77, P80-P87, P90-P97	P-chオープン・ドレイン	V _{DD} - 40 ~ V _{DD} + 0.3	V
出力電圧	V _{O1}	P00, P01, P10-P17, P20-P25, P40-P47		- 0.3 ~ V _{DD} + 0.3	V
	V _{O2}	P50-P57, P60-P67	N-chオープン・ドレイン	- 0.3 ~ + 13 ^{注1}	V
	V _{OD}	P70-P77, P80-P87, P90-P97, P100-P107	P-chオープン・ドレイン	V _{DD} - 40 ~ V _{DD} + 0.3	V
アナログ入力電圧	V _{AN}	ANI0-ANI7	アナログ入力端子	AV _{SS} ~ AV _{DD}	V
ハイ・レベル出力電流	I _{OH}	P00, P01, P20-P25, P40-P47の1端子		- 10	mA
		P00, P01, P20-P25, P40-P47の合計		- 30	mA
		FIP0-FIP15の1端子		- 15	mA
		FIP16-FIP47 (P7-P10)の1端子		- 5	mA
		FIP0-FIP47の合計		- 225	mA
ロウ・レベル出力電流	I _{OL}	P00, P01, P20-P25の1端子	実効値	10	mA
		P40-P47, P50-P57, P60-P67の1端子	実効値	20	mA
		P00, P01, P20-P25, P40-P47, P50-P57, P60-P67の合計	実効値	260	mA
全損失	P _T ^{注2}	TA = - 40 ~ + 60		800	mW
		TA = + 85		600	mW
動作周囲温度	TA			- 40 ~ + 85	
保存温度	T _{stg}			- 65 ~ + 150	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注1 . マスク・オプションで、プルアップ抵抗を内蔵している端子は - 0.3 ~ V_{DD} + 0.3になります。

注2．許容全損失は温度によって異なります（下図参照）。



全損失の計算方法

μPD780226, 780228の消費電力には次の3つがあります。この3つの消費電力の和が全損失P_T以下となるように設計してください（定格の80%以下での使用を推奨いたします）。

CPUの消費電力：V_{DD} (MAX.) × I_{DD} (MAX.) で計算される消費電力です。

出力端子の消費電力：FIP出力端子に最大の電流を流した場合の消費電力です。

プルダウン抵抗の消費電力：FIP出力端子にマスク・オプションで内蔵するプルダウン抵抗による消費電力です。

図10 - 1 の表示例における全消費電力の計算方法を示します。

例 次のような条件を仮定します。

V_{DD} = 5.5 V , 5.0 MHz発振

電源電流 (I_{DD}) = 21.0 mA

FIP出力：11グリッド×10セグメント（ブランキング幅：1/16）

グリッド端子には最大10 mA流れるものとします。

セグメント端子には最大3 mA流れるものとします。

また、キー・スキャン・タイミングではFIP出力端子はオフしているものとします。

FIP出力電圧：グリッド V_{OD} = V_{DD} - 2 V（2 Vの電圧降下があるものとします。）

セグメント V_{OD} = V_{DD} - 0.5 V（0.5 Vの電圧降下があるものとします。）

蛍光表示管の電圧 (V_{LOAD}) = - 35 V

マスク・オプション・プルダウン抵抗 = 25 k

以上のような条件を計算方法 ~ にあてはめ、全損失を計算します。

CPUの消費電力 : 5.5 V × 21.0 mA = 115.5 mW

出力端子の消費電力：

$$\begin{aligned} \text{グリッド} \quad (V_{DD} - V_{OD}) \times \frac{\text{各グリッドの電流値合計}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ 2\text{ V} \times \frac{10\text{ mA} \times 11\text{グリッド}}{11\text{グリッド} + 1} \times (1 - \frac{1}{16}) = 17.2\text{ mW} \end{aligned}$$

$$\begin{aligned} \text{セグメント} \quad (V_{DD} - V_{OD}) \times \frac{\text{点灯ドットのセグメント電流値合計}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ 0.5\text{ V} \times \frac{3\text{ mA} \times 31\text{ドット}}{11\text{グリッド} + 1} \times (1 - \frac{1}{16}) = 3.6\text{ mW} \end{aligned}$$

プルダウン抵抗の消費電力：

$$\begin{aligned} \text{グリッド} \quad \frac{(V_{OD} - V_{LOAD})^2}{\text{プルダウン抵抗値}} \times \frac{\text{グリッド数}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ \frac{(5.5\text{ V} - 2\text{ V} - (-35\text{ V}))^2}{25\text{ k}} \times \frac{11\text{グリッド}}{11\text{グリッド} + 1} \times (1 - \frac{1}{16}) = 50.9\text{ mW} \end{aligned}$$

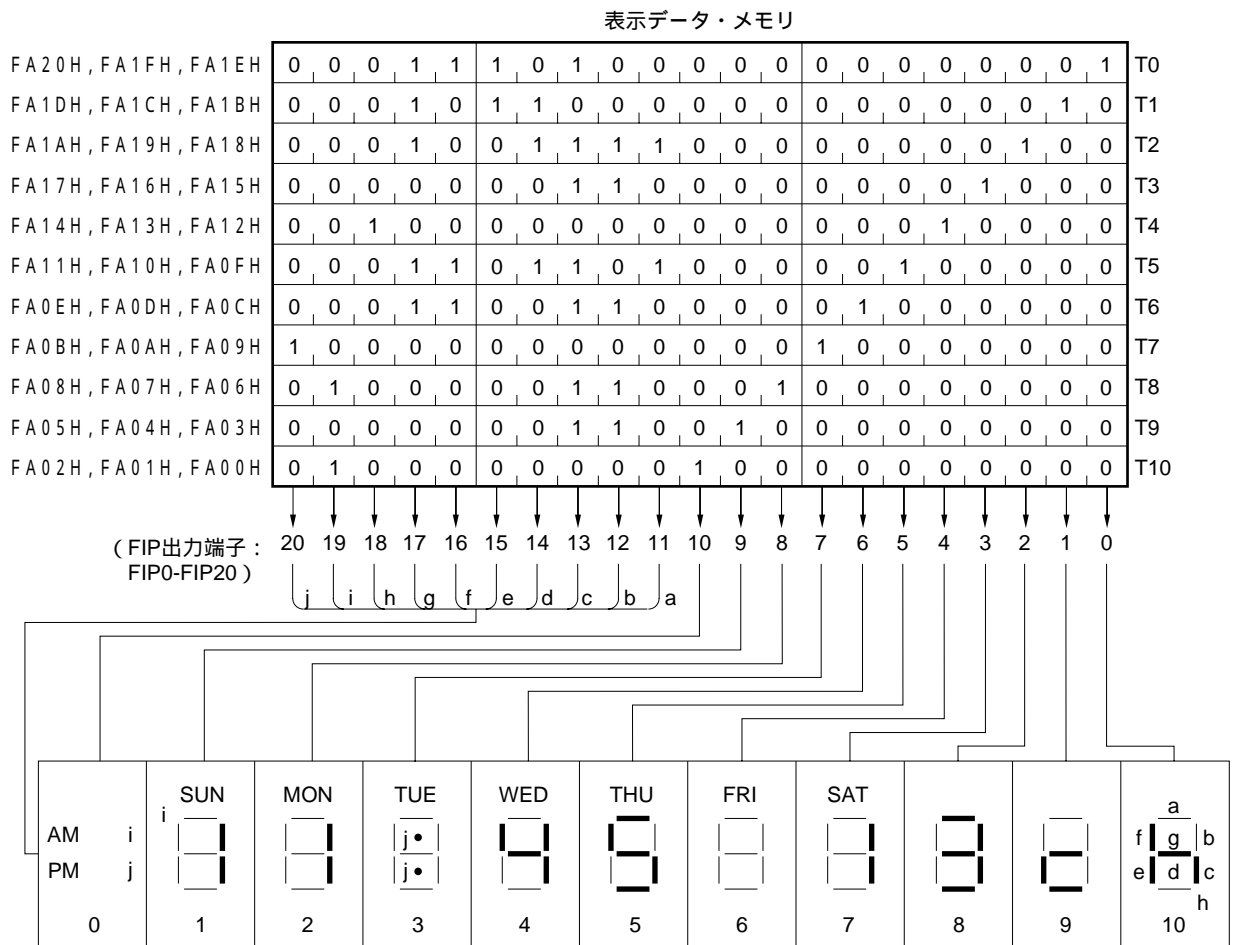
$$\begin{aligned} \text{セグメント} \quad \frac{(V_{OD} - V_{LOAD})^2}{\text{プルダウン抵抗値}} \times \frac{\text{点灯ドット数}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ \frac{(5.5\text{ V} - 0.5\text{ V} - (-35\text{ V}))^2}{25\text{ k}} \times \frac{31\text{ドット}}{11\text{グリッド} + 1} \times (1 - \frac{1}{16}) = 155.0\text{ mW} \end{aligned}$$

$$\text{全消費電力} = \quad + \quad + \quad = 115.5 + 17.2 + 3.6 + 50.9 + 155.0 = 342.2\text{ mW}$$

この例では、全消費電力が前頁のグラフに示す許容全損失の定格を越えないので、消費電力は問題ありません。

全消費電力が許容全損失の定格を越えた場合には、消費電力を下げる必要があります。消費電力を下げるには、内蔵するプルダウン抵抗の本数を少なくします。

図10 - 1 10セグメント-11桁の表示例



メイン・システム・クロック発振回路特性 (TA = - 40 ~ + 85 , VDD = 4.5 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1	VDD = 発振電圧範囲	1		5	MHz
		発振安定時間注2	VDDが発振電圧範囲MIN.に 達したあと			4	ms
水晶振動子		発振周波数 (fx) 注1		1		5	MHz
		発振安定時間注2				10	ms
外部 クロック		X1入力周波数 (fx) 注1		1		5	MHz
		X1入力ハイ, ロウ・レベル幅 (txH, txL)		85		500	ns

注1 . 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2 . リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意 メイン・システム・クロックの発振回路を使用する場合は、配線容量などの影響を避けるために、破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にVSS1と同電位となるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

推奨発振回路定数

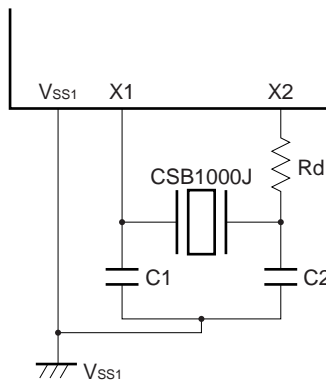
メイン・システム・クロック：セラミック発振子 (TA = -40 ~ +85)

メーカー	品名	周波数 (MHz)	推奨回路定数		発振電圧範囲		備考
			C1(pF)	C2(pF)	MIN(V)	MAX(V)	
富山村田製作所	CSB1000J	1.000	100	100	4.5	5.5	Rd = 5.6 k 注
	CSA2.00MG040	2.000	100	100	4.5	5.5	
	CST2.00MG040	2.000	-	-	4.5	5.5	コンデンサ内蔵
	CSA4.19MG	4.194	30	30	4.5	5.5	
	CST4.19MGW	4.194	-	-	4.5	5.5	コンデンサ内蔵
	CSA5.00MG	5.000	30	30	4.5	5.5	
	CST5.00MGW	5.000	-	-	4.5	5.5	コンデンサ内蔵
TDK	CCR1000K2	1.00	100	100	4.5	5.5	
	CCR4.19MC3	4.19	-	-	4.5	5.5	コンデンサ内蔵, 表面実装型
	FCR4.19MC5	4.19	-	-	4.5	5.5	コンデンサ内蔵
	CCR5.0MC3	5.00	-	-	4.5	5.5	コンデンサ内蔵, 表面実装型
	FCR5.0MC5	5.00	-	-	4.5	5.5	コンデンサ内蔵
松下電子部品	EFOEC2004A4	2.00	-	-	4.5	5.5	コンデンサ内蔵
	EFOEC4194A4	4.19	-	-	4.5	5.5	コンデンサ内蔵
	EFOEC5004A4	5.00	-	-	4.5	5.5	コンデンサ内蔵

注 セラミック発振子として富山村田製作所のCSB1000J (1.000 MHz) を使用する場合には、制限抵抗 (5.6 k) が 必要です (下図のメイン・システム・クロック推奨回路例参照)。その他の推奨発振子を使用する場合は制限抵抗は不要です。

注意 発振回路定数および発振電圧範囲は、安定して発振する条件を示しています。発振周波数精度は保証していません。アプリケーションで発振周波数精度が必要な場合、実装回路で発振周波数を調整する必要があります。詳細については、ご使用になる発振子のメーカーに直接お問い合わせください。

メイン・システム・クロック推奨回路例 (村田製作所製CSB1000J使用の場合)



容量 (TA = 25 , VDD = VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
入力容量	C _{IN}	f = 1 MHz 被測定端子以外は0 V	P10-P17			15	pF
出力容量	C _{OUT}	f = 1 MHz 被測定端子以外は0 V	P100-P107, FIP0-FIP15			35	pF
入出力容量	C _{IO}	f = 1 MHz 被測定端子以外は0 V	P00, P01, P20-P27			15	pF
			P40-P47, P50-P57, P60-P67			20	pF
			P70-P77, P80-P87, P90-P97			35	pF

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 4.5 ~ 5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH1}	P00, P01, P10-P17, P20-P25, P40-P47, $\overline{\text{RESET}}$		0.7 V _{DD}		V _{DD}	V
	V _{IH2}	P50-P57, P60-P67		0.7 V _{DD}		12	V
	V _{IH3}	P70-P77, P80-P87, P90-P97		0.7 V _{DD}		V _{DD}	V
	V _{IH4}	X1, X2		V _{DD} - 0.5		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	P00, P01, P10-P17, P20-P25, $\overline{\text{RESET}}$		0		0.2 V _{DD}	V
	V _{IL2}	P40-P47, P50-P57, P60-P67		0		0.3 V _{DD}	V
	V _{IL3}	P70-P77, P80-P87, P90-P97		V _{DD} - 35		0.3 V _{DD}	V
	V _{IL4}	X1, X2		0		0.4	V
ハイ・レベル出力電圧	V _{OH}	I _{OH} = - 1 mA		V _{DD} - 1.0		V _{DD}	V
		I _{OH} = - 100 μA		V _{DD} - 0.5		V _{DD}	V
ロウ・レベル出力電圧	V _{OL1}	P00, P01, P20-P25	I _{OL} = 400 μA			0.5	V
	V _{OL2}	P40-P47	I _{OL} = 10 mA		0.4	2.0	V
	V _{OL3}	P50-P57, P60-P67	I _{OL} = 15 mA		0.4	2.0	V
ハイ・レベル 入力リーク電流	I _{LIH1}	P00, P01, P10-P17, P20-P25, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, $\overline{\text{RESET}}$	V _{IN} = V _{DD}			3	μA
	I _{LIH2}	X1, X2				20	μA
	I _{LIH3}	P50-P57, P60-P67	V _{IN} = 13 V			10	μA
	I _{LIH4}	P70-P77, P80-P87, P90-P97				3	μA
ロウ・レベル 入力リーク電流	I _{LIL1}	P00, P01, P10-P17, P20-P25, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, $\overline{\text{RESET}}$	V _{IN} = 0 V			- 3	μA
	I _{LIL2}	X1, X2				- 20	μA
	I _{LIL3}	P50-P57, P60-P67				- 3 ^{注1}	μA
	I _{LIL4}	P70-P77, P80-P87, P90-P97	V _{IN} = - 35 V			- 10	μA
ハイ・レベル 出力リーク電流 ^{注2}	I _{LOH1}	P00, P01, P20-P25, P40-P47, P70-P77, P80-P87, P90-P97, P100-P107, FIP0-FIP15	V _{OUT} = V _{DD}			3	μA
	I _{LOH2}	P50-P57, P60-P67	V _{OUT} = 15 V			80	μA
ロウ・レベル 出力リーク電流 ^{注2}	I _{LOL1}	P00, P01, P20-P25, P40-P47, P50-P57, P60-P67	V _{OUT} = 0 V			- 3	μA
	I _{LOL2}	P70-P77, P80-P87, P90-P97, P100-P107, FIP0-FIP15	V _{OUT} = V _{LOAD} = V _{DD} - 35 V			- 10	μA

注1 . P50-P57, P60-P67にプルアップ抵抗を内蔵しない場合（マスク・オプションにより指定），ポート5，6（P5，P6），ポート・モード・レジスタ5，6（PM5, PM6）に対して読み出し命令を実行したときの1クロック間のみ，ロウ・レベル入力リーク電流が - 200 μA (MAX.) 流れます。読み出し命令実行時の1クロック間以外では，- 3 μA (MAX.) です。

2 . 内蔵のプルアップ抵抗，プルダウン抵抗による電流は含みません。

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = -40 ~ +85 , V_{DD} = 4.5 ~ 5.5 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
FIP出力電流	I _{OD}	FIP0-FIP15	V _{OD} = V _{DD} - 2 V			- 10	mA
		FIP16-FIP47				- 3	mA
ソフトウェア・プルアップ抵抗	R ₁	P00, P01 P20-P25, P40-P47	V _{IN} = 0 V	10	30	100	k
内蔵マスク・オプション・プルアップ抵抗	R ₂	P50-P57, P60-P67		20	40	90	k
内蔵プルダウン抵抗	R ₃	FIP0-FIP15	V _{OD} - V _{LOAD} = 35 V	25	70	135	k
内蔵マスク・オプション・プルダウン抵抗	R ₄	FIP16-FIP47		25	70	135	k
電源電流 ^注	I _{DD1}	5.0 MHz 水晶発振 動作モード	PCC = 00H		7	21	mA
	I _{DD2}	5.0 MHz 水晶発振 HALTモード			1.5	4.5	mA
	I _{DD3}	STOPモード			1	30	μA

注 ポート電流, FIP出力端子に流れる電流, 内蔵プルアップ抵抗(マスク・オプション), 内蔵プルダウン抵抗(マスク・オプション)に流れる電流は含みません。

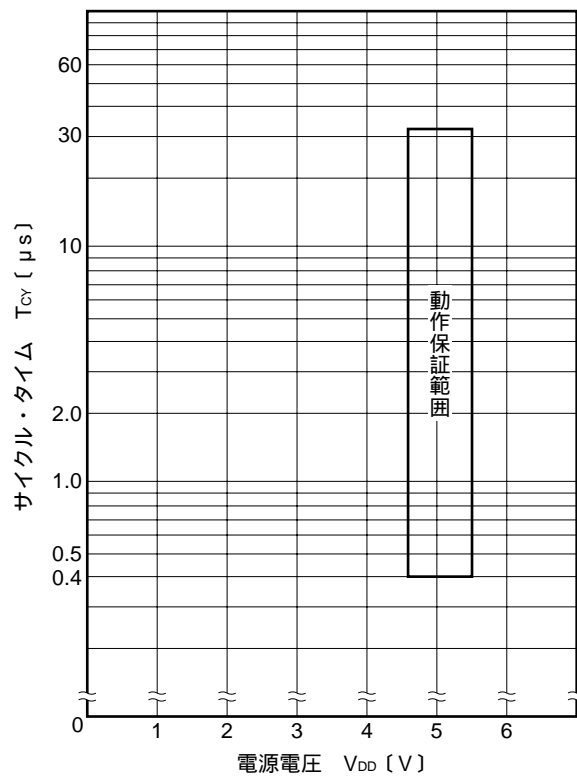
備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

AC特性

(1) 基本動作 (TA = - 40 ~ + 85 , VDD = 4.5 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T _{CY}	メイン・システム・クロックで動作	0.4		32	μs
割り込み要求入力 ハイ,ロウ・レベル幅	t _{INTH} t _{INTL}	INTP0, INTP1	10			μs
RESETロウ・レベル幅	t _{RSL}		10			μs

T_{CY} vs V_{DD}



(2) タイマ/カウンタ (TA = - 40 ~ + 85 , VDD = 4.5 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
TI1入力 ハイ,ロウ・レベル幅	t _{TI1H} t _{TI1L}		2/F _{count} + 0.2 ^注			μs
TIO50, TIO51入力 ハイ,ロウ・レベル幅	t _{TI5H} t _{TI5L}		0.1			μs
TIO50, TIO51 入力周波数	f _{TI5}				4	MHz

注 F_{count}はTM1で選択されているカウント・クロック (fx/4, fx/8, fx/256, fx/512の選択が可能) の周波数を示します。

(3) シリアル・インタフェース ($T_A = -40 \sim +85$, $V_{DD} = 4.5 \sim 5.5V$)

(a) 3線式シリアル/Oモード (\overline{SCK} ...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
\overline{SCK} サイクル・タイム	t_{KCY1}		800			ns
\overline{SCK} ハイ・ロウ・レベル幅	t_{KH1} t_{KL1}		$t_{KCY1}/2 - 50$			ns
SIセットアップ時間 (対 \overline{SCK})	t_{SIK1}		100			ns
SIホールド時間 (対 \overline{SCK})	t_{KSI1}		400			ns
\overline{SCK} SO出力遅延時間	t_{KSO1}	$C = 100 \text{ pF}$ 注			300	ns

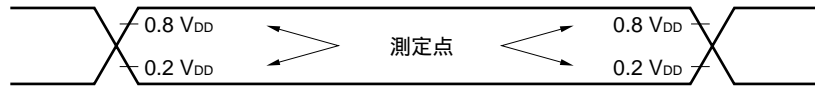
注 Cは、 \overline{SCK} 、SO出力ラインの負荷容量です。

(b) 3線式シリアル/Oモード (\overline{SCK} ...外部クロック入力)

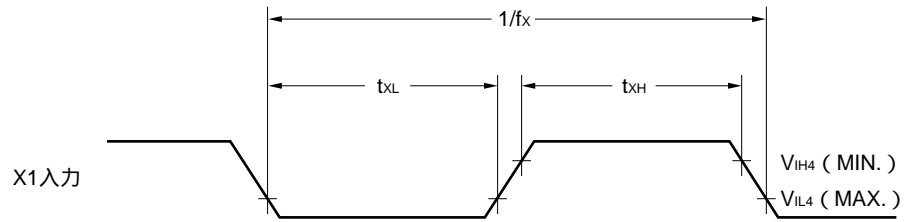
項目	略号	条件	MIN.	TYP.	MAX.	単位
\overline{SCK} サイクル・タイム	t_{KCY2}		800			ns
\overline{SCK} ハイ・ロウ・レベル幅	t_{KH2} t_{KL2}		400			ns
SIセットアップ時間 (対 \overline{SCK})	t_{SIK2}		100			ns
SIホールド時間 (対 \overline{SCK})	t_{KSI2}		400			ns
\overline{SCK} SO出力遅延時間	t_{KSO2}	$C = 100 \text{ pF}$ 注			300	ns
\overline{SCK} 立ち上がり/ 立ち下がり時間	t_{R2} t_{F2}				1	μs

注 Cは、SO出力ラインの負荷容量です。

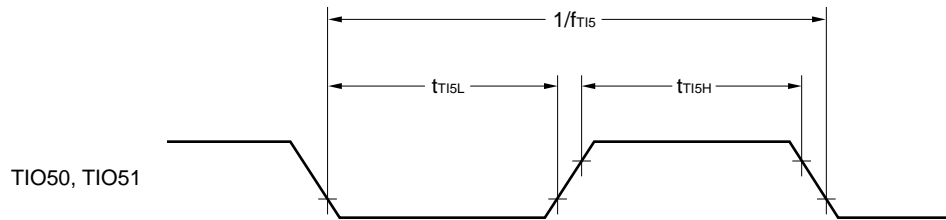
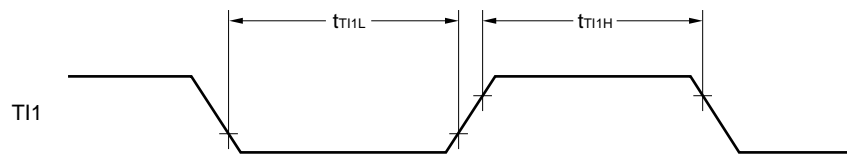
ACタイミング測定点 (X1入力を除く)



クロック・タイミング

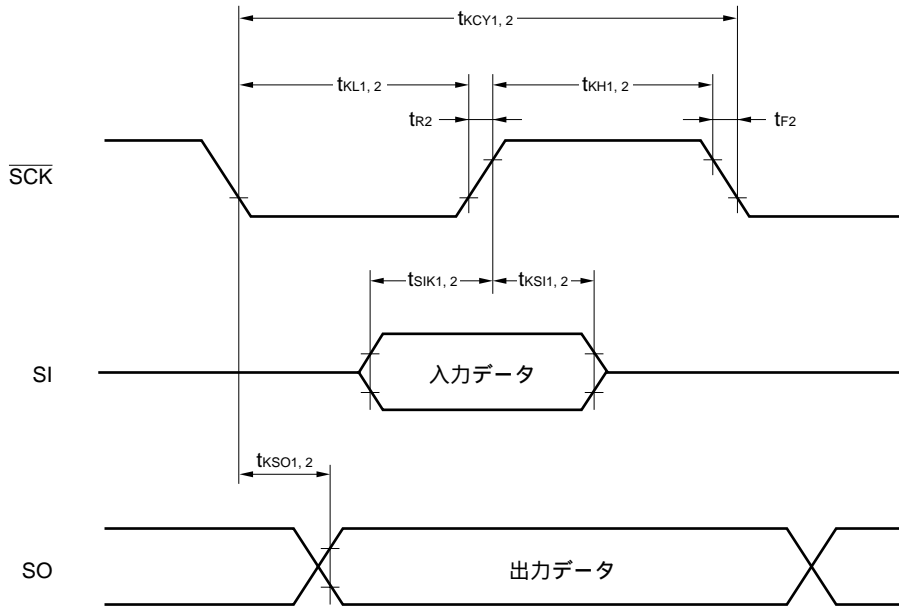


T1タイミング



シリアル転送タイミング

3線式シリアルI/Oモード:



A/Dコンバータ特性 ($T_A = -40 \sim +85$, $AV_{DD} = V_{DD} = 4.5 \sim 5.5 V$, $AV_{SS} = V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					8	bit
総合誤差 ^{注1}					± 1.0	%
変換時間 ^{注2}	t_{CONV}	1 MHz f_x 5.0 MHz	14		144	μs
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{DD}	V
AV_{DD} - AV_{SS} 間抵抗	R_{REF}	A/D変換非動作時		24.7		k

注1 . 量子化誤差 (± 1/2LSB) を含みません。フルスケール値に対する比率で表しています。

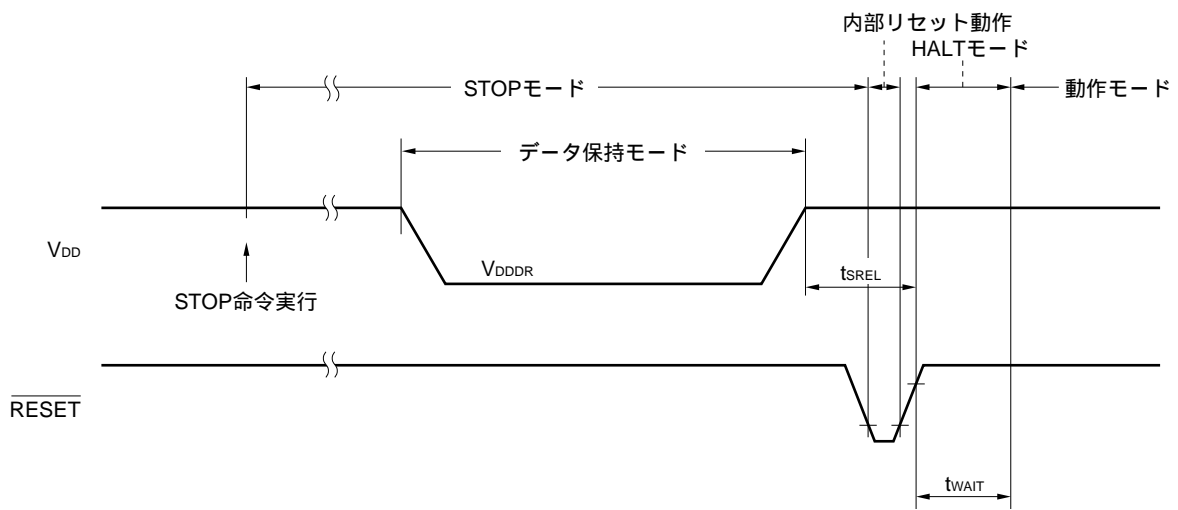
2 . A/D変換時間が14 μs以上になるように設定してください。

データ・メモリSTOPモード低電源電圧データ保持特性 (TA = - 40 ~ + 85)

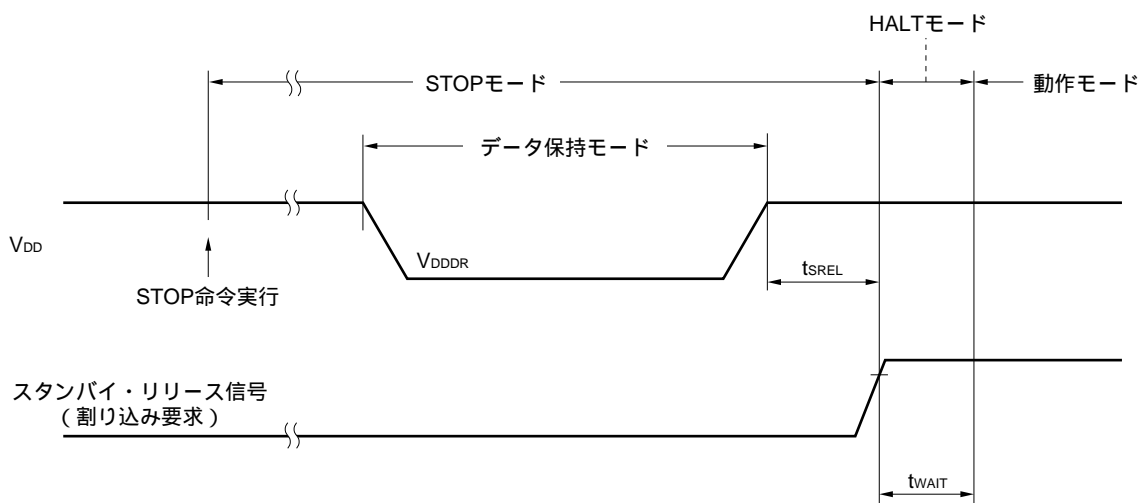
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		2.0		5.5	V
データ保持電源電流	IDDDR	VDDDR = 2.0 V		0.1	10	μA
リリース信号セット時間	tsREL		0			μs
発振安定ウエイト時間	tWAIT	RESETによる解除		2 ¹⁶ /fx		ms
		割り込み要求による解除		注		ms

注 発振安定時間選択レジスタ (OSTS) のビット0-ビット2 (OSTS0-OSTS2) により, 2¹¹/fx, 2¹³/fx-2¹⁶/fxの選択が可能です。

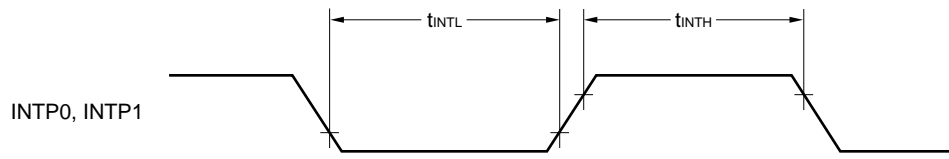
データ保持タイミング (RESETによるSTOPモード解除)



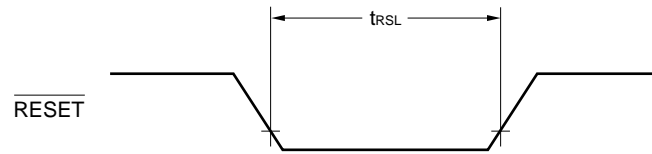
データ保持タイミング (スタンバイ・リリース信号：割り込み要求信号によるSTOPモード解除)



割り込み要求入力タイミング

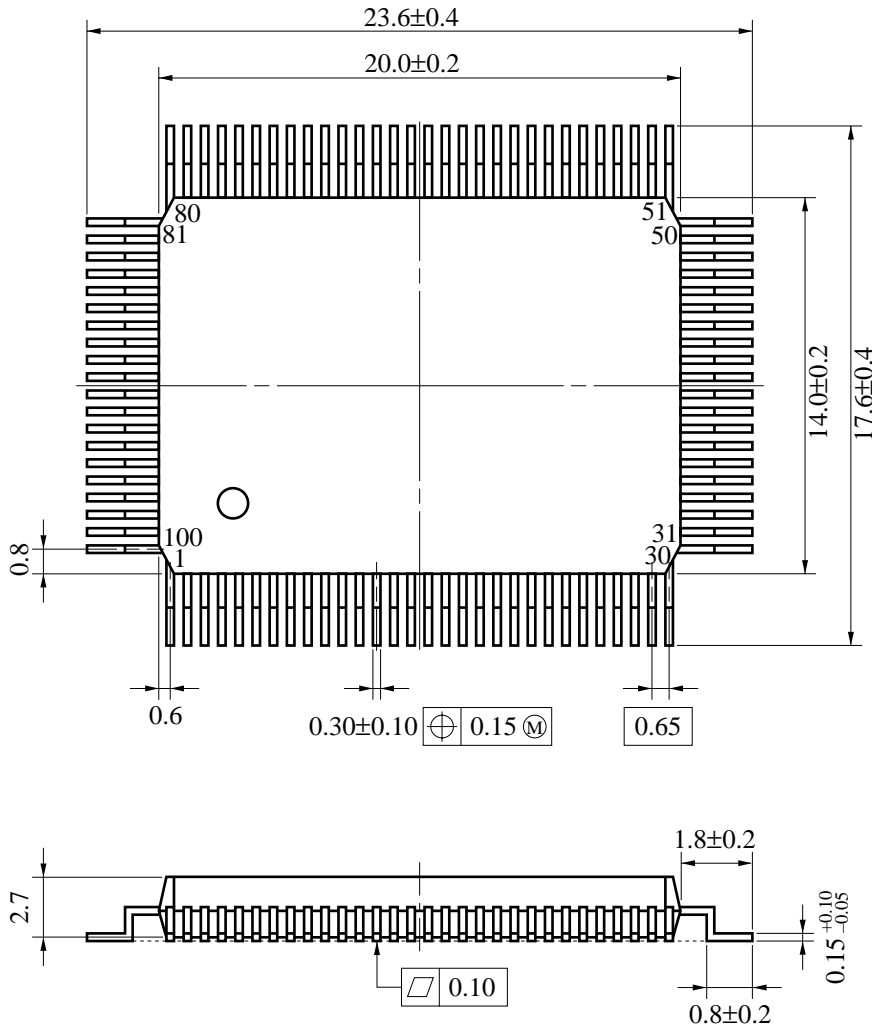


RESET入力タイミング

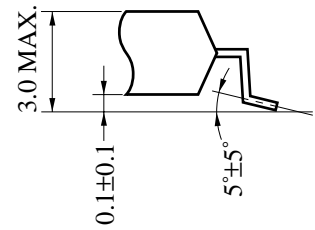


11. 外形図

100ピン・プラスチック QFP (14×20) 外形図 (単位: mm)



端子先端形状詳細図



P100GF-65-3BA1-2

★ 備考 ES品の外形や材質は量産品と同じです。

★ 12. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「**半導体デバイス実装マニュアル**」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表12 - 1 表面実装タイプの半田付け条件

μPD780226GF- x x x -3BA : 100ピン・プラスチックQFP (14 x 20 mm)

μPD780228GF- x x x -3BA : "

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：3回以内	VP15-00-3
ウエーブ・ ソルダーリング	半田槽温度：260 以下，時間：10秒以内，回数：1回， 予備加熱温度：120 MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：300 以下，時間：3秒以内（デバイスの一辺当たり）	-

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

付録A．開発ツール

μPD780226, 780228を使用するシステム開発のために次のような開発ツールを用意しています。

言語処理用ソフトウェア

RA78K0 ^{注1, 2, 3, 4}	78K/0シリーズ共通のアセンブラ・パッケージ
CC78K0 ^{注1, 2, 3, 4}	78K/0シリーズ共通のCコンパイラ・パッケージ
DF780228 ^{注1, 2, 3, 4, 8}	μPD780228サブシリーズ用デバイス・ファイル
CC78K0-L ^{注1, 2, 3, 4}	78K/0シリーズ共通のCコンパイラ・ライブラリ・ソース・ファイル

★ フラッシュ・メモリ書き込み用ツール

Flashpro (型番 FL-PR2)	専用フラッシュ・ライター
FA-100GF	フラッシュ・メモリ書き込み用アダプタ

★ デバッグ用ツール

IE-78001-R-A ^{注8}	78K/0シリーズ共通のインサーキット・エミュレータ
IE-78K0-SL-P01 ^{注8}	μPD780228サブシリーズをエミュレーションするためのI/Oボード
IE-780228-SL-EM4 ^{注8}	μPD780228サブシリーズをエミュレーションするためのプローブ・ボード
EP-100GF-SL	100ピン・プラスチックQFP (GF-3BAタイプ) 用エミュレーション・プローブ
NQPACK100RB	100ピン・プラスチックQFP (GF-3BAタイプ) 用に作られたターゲット・システムの基板上に実装するソケット
YQPACK100RB	NQPACK100RBとEP-100GF-SLを接続するときのアダプタ
HQPACK100RB	NQPACK100RBにデバイスを実装したときのフタ
SM78K0 ^{注5, 6, 7}	78K/0シリーズ共通のシステム・シミュレータ
ID78K0 ^{注4, 5, 6, 7}	IE-78001-R-A用統合デバッガ
DF780228 ^{注4, 5, 6, 7, 8}	μPD780228サブシリーズ用デバイス・ファイル

注1．PC-9800シリーズ (MS-DOS™) ベース

2．IBM PC/AT™およびその互換機 (PC DOS™/IBM DOS™/MS-DOS) ベース

3．HP9000シリーズ300™ (HP-UX™) ベース

4．HP9000シリーズ700™ (HP-UX) ベース, SPARCstation™ (SunOS™) ベース, EWS4800シリーズ (EWS-UX/V) ベース

5．PC-9800シリーズ (MS-DOS + Windows™) ベース

6．IBM PC/ATおよびその互換機 (PC DOS/IBM DOS/MS-DOS + Windows) ベース

7．NEWS™ (NEWS-OS™) ベース

8．開発中

備考1．RA78K0, CC78K0, SM78K0, ID78K0, RX78K0/0は, DF780228と組み合わせて使用します。

2．Flashpro, FA-100GFは, 株式会社内藤電誠町田製作所の製品です。

3．NQPACK100RB, YQPACK100RB, HQPACK100RBは, 東京エレクトック株式会社 (東京 (03) 5295-1661) の製品です。ご購入の際はNEC特約店にご相談ください。

リアルタイムOS

RX78K0 ^{注1, 2, 3, 4}	78K/0シリーズ用リアルタイムOS
MX78K0 ^{注1, 2, 3, 4}	78K/0シリーズ用OS

ファジィ推論開発支援システム

FE9000 ^{注1} /FE9200 ^{注5}	ファジィ知識データ作成ツール
FT9080 ^{注1} /FT9085 ^{注2}	トランスレータ
FI78K0 ^{注1, 2}	ファジィ推論モジュール
FD78K0 ^{注1, 2}	ファジィ推論ディバッガ

注1．PC-9800シリーズ（MS-DOS）ベース

2．IBM PC/ATおよびその互換機（PC DOS/IBM DOS/MS-DOS）ベース

3．HP9000シリーズ300（HP-UX）ベース

4．HP9000シリーズ700（HP-UX）ベース，SPARCstation（SunOS）ベース，EWS4800シリーズ（EWS-UX/V）ベース

5．IBM PC/ATおよびその互換機（PC DOS/IBM DOS/MS-DOS + Windows）ベース

付録B . 関連資料

デバイスの関連資料

資料名	資料番号	
	和文	英文
μPD780228サブシリーズ ユーザーズ・マニュアル	U12012J	作成中
μPD780226, 780228 データ・シート	この資料	U11797E
μPD78F0228 ペーパー・マシン	U11971J	U11971E
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	IEU-1372
78K/0シリーズ インストラクション活用表	U10903J	-
78K/0シリーズ インストラクション・セット	U10904J	-
★ 78K/0シリーズ アプリケーション・ノート 基礎編 ()	U10121J	U10121E

開発ツールの資料 (ユーザーズ・マニュアル)

資料名	資料番号		
	和文	英文	
RA78Kシリーズ アセンブラ・パッケージ	操作編	EEU-809	EEU-1399
	言語編	EEU-815	EEU-1404
RA78Kシリーズ 構造化アセンブラ・プリプロセッサ		EEU-817	EEU-1402
★ RA78K0 アセンブラ・パッケージ	操作編	U11802J	U11802E
	アセンブリ言語編	U11801J	U11801E
	構造化アセンブリ言語編	U11789J	U11789E
CC78Kシリーズ Cコンパイラ	操作編	EEU-656	EEU-1280
	言語編	EEU-655	EEU-1284
CC78K0 Cコンパイラ	操作編	U11517J	U11517E
	言語編	U11518J	U11518E
CC78K/0 Cコンパイラ アプリケーション・ノート	プログラミング・ノウハウ編	EEA-618	EEA-1208
CC78Kシリーズ ライブラリ・ソース・ファイル		U12322J	-
IE-78001-R-A		作成予定	作成予定
IE-78K0-SL-P01		作成予定	作成予定
IE-780228-SL-EM4		作成予定	作成予定
EP-100GF-SL		作成予定	作成予定
SM78K0 システム・シミュレータ Windowsベース	レファレンス編	U10181J	U10181E
SM78Kシリーズ システム・シミュレータ	外部部品ユーザオープン	U10092J	U10092E
	インタフェース仕様編		
ID78K0 統合デバッグ EWSベース	レファレンス編	U11151J	-
ID78K0 統合デバッグ PCベース	レファレンス編	U11539J	U11539E
ID78K0 統合デバッグ Windowsベース	ガイド編	U11649J	U11649E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

組み込み用ソフトウェアの資料（ユーザズ・マニュアル）

資料名		資料番号	
		和文	英文
78K/0シリーズ リアルタイムOS	基礎編	U11537J	-
	インストール編	U11536J	-
78K/0シリーズ用OS MX78K0	基礎編	U12257J	-
ファジィ知識データ作成ツール		EEU-829	EEU-1438
78K/0, 78K/ , 87ADシリーズ ファジィ推論開発支援システム トランスレータ		EEU-862	EEU-1444
78K/0シリーズ ファジィ推論開発支援システム ファジィ推論モジュール		EEU-858	EEU-1441
78K/0シリーズ ファジィ推論開発支援システム ファジィ推論デバッグ		EEU-921	EEU-1458

その他の資料

資料名		資料番号	
		和文	英文
IC PACKAGE MANUAL		C10943X	
半導体デバイス 実装マニュアル		C10535J	C10535E
NEC半導体デバイスの品質水準		C11531J	C11531E
NEC半導体デバイスの信頼性品質管理		C10983J	C10983E
静電気放電（ESD）試験について		MEM-539	-
半導体デバイスの品質保証ガイド		C11893J	MEI-1202
マイクロコンピュータ関連製品ガイド 社外メーカ編		U11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

{ × ㉮ }

{ × ㉔ }

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

FIPは、日本電気株式会社の登録商標です。

IEBusは、日本電気株式会社の商標です。

MS-DOSおよびWindowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

IBM DOS, PC/AT, PC DOSは、米国IBM社の商標です。

HP9000シリーズ300, HP9000シリーズ700, HP-UXは、米国ヒューレット・パッカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

本製品が外国為替および外国貿易管理法の規定による戦略物資等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

文書による当社の承諾なしに本資料の転載複製を禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

この製品は耐放射線設計をしておりません。

M4 94.11

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部					
半導体第二販売事業部	〒108-01	東京都港区芝五丁目7番1号（NEC本社ビル）	東京	(03)3454-1111 (大代表)	
半導体第三販売事業部					
中部支社 半導体第一販売部	〒460	名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋	(052)222-2170	
半導体第二販売部			名古屋	(052)222-2190	
関西支社 半導体第一販売部	〒540	大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪	(06) 945-3178	
半導体第二販売部			大阪	(06) 945-3200	
半導体第三販売部			大阪	(06) 945-3208	
北海道支社 札幌	(011)231-0161	太田支店 太田	(0276)46-4011	富山支店 富山	(0764)31-8461
東北支社 仙台	(022)267-8740	宇都宮支店 宇都宮	(028)621-2281	三重支店 津	(0592)25-7341
岩手支店 盛岡	(019)651-4344	小山支店 小山	(0285)24-5011	京都支社 京都	(075)344-7824
山形支店 山形	(0236)23-5511	長野支店 松本	(0263)35-1662	神戸支社 神戸	(078)333-3854
郡山支店 郡山	(0249)23-5511	甲府支店 甲府	(0552)24-4141	中国支社 広島	(082)242-5504
いわき支店 いわき	(0246)21-5511	埼玉支店 大宮	(048)641-1411	鳥取支店 鳥取	(0857)27-5311
長岡支店 長岡	(0258)36-2155	立川支店 立川	(0425)26-5981	岡山支店 岡山	(086)225-4455
土浦支店 土浦	(0298)23-6161	千葉支店 千葉	(043)238-8116	四国支社 高松	(0878)36-1200
水戸支店 水戸	(029)226-1717	静岡支店 静岡	(054)255-2211	新居浜支店 新居浜	(0897)32-5001
神奈川支社 横浜	(045)324-5524	北陸支店 金沢	(0762)23-1621	松山支店 松山	(089)945-4149
群馬支店 高崎	(0273)26-1255	福井支店 福井	(0776)22-1866	九州支社 福岡	(092)271-7700

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部	〒210	川崎市幸区塚越三丁目484番地	川崎	(044)548-7923	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
マイクロコンピュータ技術部					
半導体販売技術本部	〒108-01	東京都港区芝五丁目7番1号（NEC本社ビル）	東京	(03)3798-9619	
東日本販売技術部					
半導体販売技術本部	〒460	名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋	(052)222-2125	
中部販売技術部					
半導体販売技術本部	〒540	大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪	(06) 945-3383	
西日本販売技術部					