

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

EMMA Mobile1-S (μPD77630A) (以降, EM1-S といいます) は, CPU と DSP を合わせた Logic を搭載した携帯マルチメディア・プロセッサです。

EM1-S は, マルチメディア・プロセッサ機能として CPU (ARM1176JZF-S™) を 1 個, DSP (SPXK701) を 1 個搭載し, 高速, 低消費電力を両立したアプリケーション処理の実現, また, 多彩な機能を持つ画像処理プロセッサを搭載することにより, より高速な画像処理が実現可能です。

さらに, 消費電力に関しては, さまざまな省電力モードを設定し, アプリケーション処理に応じた電力制御および待機時の電力低減をシステムと独立したシーケンスで実行できます。

特 徴

CPU : ARM1176JZF-S (~500 MHz, I-cache : 32 K バイト, D-cache : 32 K バイト)

DSP : SPXK701 (~500 MHz, I-cache : 32 K バイト, D-cache : 32 K バイト)

DMA コントローラ : メモリ メモリ間, メモリ 周辺インタフェース間

タイマ : 汎用タイマ, ウォッチドッグ・タイマ (WDT)

画像処理

- ・イメージ・プロセッサ (リサイズ, フィルタリングなど)
- ・イメージ・ローテータ (回転 0 度, 90 度, 180 度, 270 度)
- ・イメージ・DMA (ROP, FILL)
- ・イメージ・コンポーザ (LCD 出力画像合成)

H.264/MPEG-4 AVC アクセラレータ・アプリケーション性能

- ・H.264/MPEG-4 AVC Encode/Decode : D1 30 fps

周辺インタフェース

- ・メモリ・インタフェース : 外部バス・インタフェース (16 ビット : FLASH メモリなど), Mobile-DDR SDRAM インタフェース (32 ビット), NAND インタフェース
- ・シリアル・インタフェース : UART, I²C, Audio/Voice Serial, SPI, IrDA
- ・SD カード・インタフェース
- ・画像関連インタフェース : LCD インタフェース, 地上デジタル TV インタフェース (OFDM), ITU-R.BT656 出力, カメラ・インタフェース
- ・汎用入出力インタフェース (GPIO : General Purpose Input/Output)
- ・USB インタフェース

電源電圧

- ・コア電源 : V (1.2 V 系 : 1.1V ~ 1.3V)
- ・IO 電源 : VIO18 (1.8 V 系 : 1.7V ~ 1.9V), VIO3 (3 V 系 : 2.7V ~ 3.6V)

オーダ情報

オーダ名称	パッケージ
μPD77630AF1-ENZ-A	481 ピン FPBGA (12.7mm × 12.7mm)

本資料の内容は, 予告なく変更することがありますので, 最新のものであることをご確認の上ご使用ください。

関連資料

携帯マルチメディア・プロセッサの機能は次の資料に記載しています。設計などの際には、この資料と合わせて参照してください。

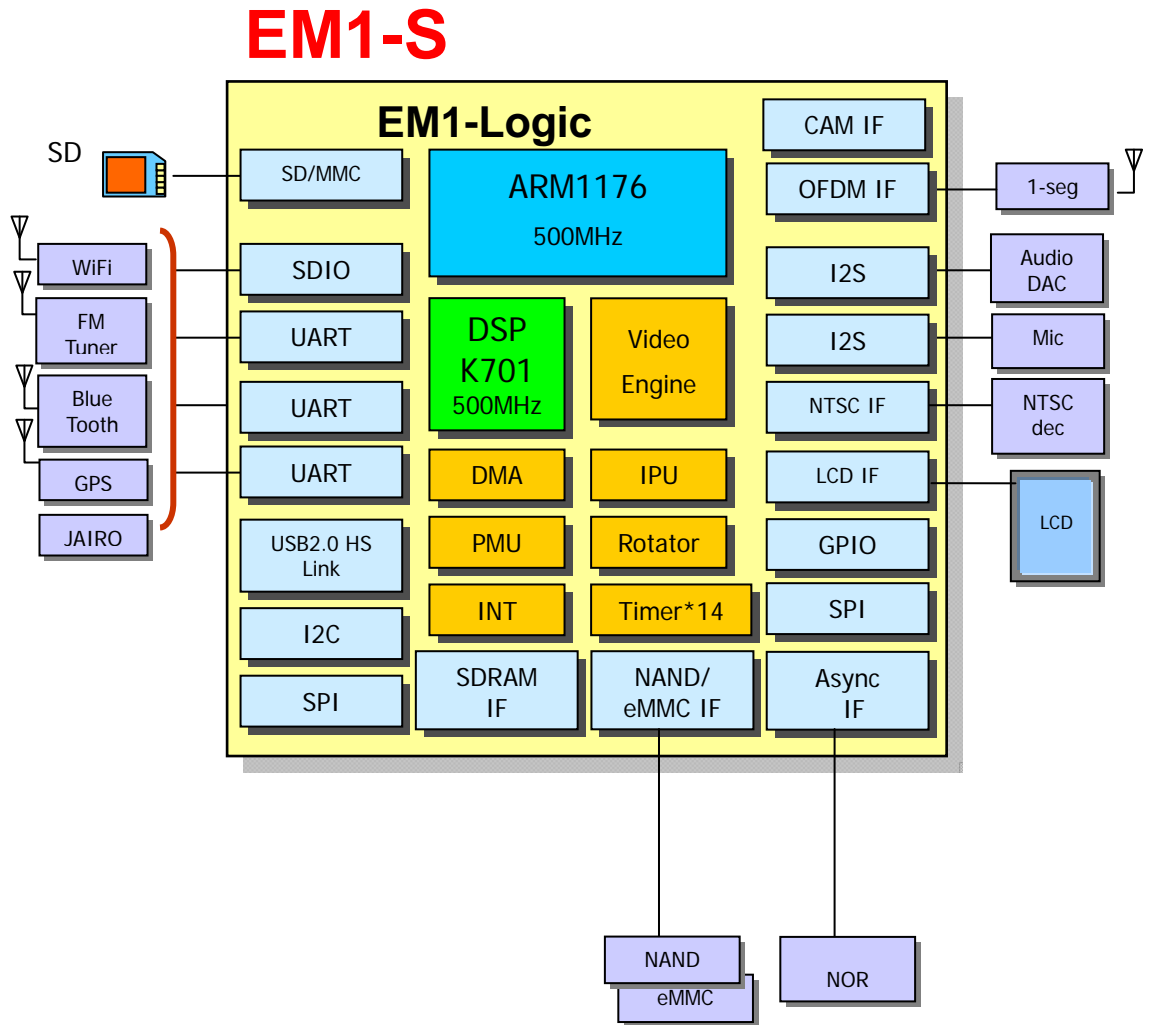
関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしていません。あらかじめご了承ください。

- ・携帯マルチメディア・プロセッサ ユーザーズ・マニュアル

- Audio/Voice , PWM インタフェース編 (S19253J)
- DDR SRAM インタフェース編 (S19254J)
- DMA コントローラ編 (S19255J)
- I²C インタフェース編 (S19256J)
- ITU-R BT.656 インタフェース編 (S19257J)
- LCD コントローラ編 (S19258J)
- MICROWIRE 編 (S19259J)
- NAND Flash インタフェース編 (S19260J)
- SPI 編 (S19261J)
- UART インタフェース編 (S19262J)
- イメージ・コンポーザ編 (S19263J)
- イメージ・プロセッサ・ユニット編 (S19264J)
- システム制御 / 汎用入出力インタフェース編 (S19265J)
- タイマ編 (S19266J)
- 地上デジタルTV インタフェース編 (S19267J)
- カメラ・インタフェース編 (S19285J)
- USB インタフェース編 (S19359J)
- SD メモリ・カード・インタフェース編 (S19361J)
- PDMA 編 (S19373J)
- 1 チップ編 (S19687J)

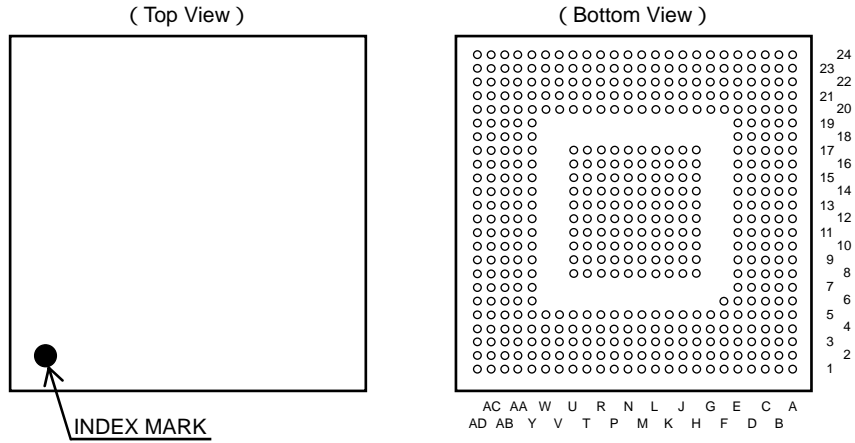
注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

ブロック図



端子配置

481ピン・ファイン・ピッチ BGA パッケージ (12.7 mm × 12.7 mm 0.5 mm ピッチ)



端子表

(1/4)

端子番号	タイプ	端子名
A1	-	G
A2	-	G
A3	-	G
A4	D	PWM0
A5	D	URT0_SRIN
A6	-	G
A7	-	V
A8	C	PM0_CLK
A9	B	C32K
A10	-	VA2
A11	-	G
A12	-	VA3
A13	-	V
A14	-	VIO3
A15	-	G
A16	D	REFCLKO
A17	Z	OSC12M_CKO
A18	Z	OSC12M_CKI
A19	-	G
A20	-	V
A21	-	VIO18
A22	-	G
A23	-	G
A24	-	G
B1	-	G
B2	-	G
B3	D	URT2_SOUT
B4	D	PWM1
B5	D	URT0_SOUT
B6	-	G
B7	-	V
B8	D	SP0_CLK
B9	C	IIC2_SDA
B10	-	VA2
B11	-	G
B12	-	VA3
B13	-	V
B14	-	VIO3
B15	-	G
B16	D	JT0_TMS
B17	A	DET1
B18	J	LCD_HSYNC
B19	-	G

端子番号	タイプ	端子名
B20	-	V
B21	-	VIO18
B22	J	LCD_G1
B23	-	G
B24	-	G
C1	-	G
C2	D	DTV_DATA
C3	D	URT2_SRIN
C4	D	URT2_RTSTB
C5	D	URT0_RTSTB
C6	-	G
C7	-	VIO3
C8	D	SP0_SI
C9	C	IIC2_SCL
C10	C	IIC2_SDA
C11	-	VA1
C12	E	BOOTSEL1
C13	D	GIO_P2
C14	-	VIO3
C15	-	G
C16	D	JT0_TDI
C17	D	JT0_RTCK
C18	J	LCD_VSYNC
C19	J	LCD_B3
C20	J	LCD_B0
C21	J	LCD_G3
C22	J	LCD_G2
C23	J	LCD_G0
C24	-	G
D1	C	DTV_BCLK
D2	D	DTV_PSYNC
D3	D	DTV_VLD
D4	D	URT2_CTSB
D5	D	URT0_CTSB
D6	-	G
D7	-	VIO3
D8	D	SP0_SO
D9	D	PM0_SEN
D10	C	IIC_SCL
D11	-	VA1
D12	E	BOOTSEL2
D13	D	GIO_P3
D14	-	VIO3

端子番号	タイプ	端子名
D15	-	G
D16	D	JT0_TDO
D17	C	JT0_TRSTB
D18	J	LCD_ENABLE
D19	J	LCD_B4
D20	J	LCD_B1
D21	J	LCD_G4
D22	J	LCD_R5
D23	J	LCD_R4
D24	J	LCD_PXCLK
E1	-	V
E2	-	V
E3	-	VIO18
E4	-	VIO18
E5	D	GIO_P6
E6	D	GIO_P5
E7	D	GIO_P4
E8	D	SP0_CS2
E9	D	SP0_CS0
E10	D	PM0_SI
E11	R	TE2
E12	E	BOOTSEL3
E13	E	BOOTSEL0
E14	D	GIO_P0
E15	-	G
E16	C	JT0_TCK
E17	N	TESTRSTB
E18	M	TRSTB
E19	J	LCD_B5
E20	J	LCD_B2
E21	J	LCD_G5
E22	J	LCD_R3
E23	J	LCD_R2
E24	J	LCD_R1
F1	-	G
F2	-	G
F3	-	G
F4	-	G
F5	D	GIO_P7
F6	-	G
F20	J	LCD_R0
F21	M	AB0_CSB3
F22	M	AB0_CSB2

(2/4)

端子番号	タイプ	端子名
F23	-	V
F24	-	V
G1	-	G
G2	-	G
G3	-	G
G4	-	G
G5	D	GIO_P8
G20	M	AB0_CSB1
G21	-	G
G22	-	G
G23	-	G
G24	-	G
H1	C	NTS_CLK
H2	D	NTS_VS
H3	D	NTS_HS
H4	D	NTS_DATA0
H5	D	NTS_DATA5
H8	D	SP0_CS1
H9	D	PM0_SO
H10	D	ERR_RST_REQB
H11	-	G
H12	Q	TE1
H13	C	A_RESETB
H14	D	GIO_P1
H15	-	G
H16	J	DEBUG_EN
H17	E	UTEST
H20	M	AB0_CSB0
H21	-	G
H22	-	G
H23	-	G
H24	-	G
J1	D	NTS_DATA1
J2	D	NTS_DATA2
J3	D	NTS_DATA3
J4	D	NTS_DATA4
J5	D	NTS_DATA6
J8	-	G
J9	-	G
J10	-	G
J11	-	G
J12	-	G
J13	-	G

端子番号	タイプ	端子名
J14	-	G
J15	-	G
J16	-	G
J17	-	G
J20	M	AB0_WAIT
J21	M	AB0_BEN1
J22	M	AB0_BEN0
J23	M	AB0_A26
J24	M	AB0_A25
K1	C	SD1_CK1
K2	D	SD1_CMD
K3	D	SD1_CKO
K4	D	SD1_DATA0
K5	D	NTS_DATA7
K8	-	G
K9	-	G
K10	-	G
K11	-	G
K12	-	G
K13	-	G
K14	-	G
K15	-	G
K16	-	G
K17	-	G
K20	M	AB0_A24
K21	M	AB0_A23
K22	M	AB0_A22
K23	M	AB0_A21
K24	M	AB0_A20
L1	D	SD1_DATA1
L2	D	SD1_DATA2
L3	D	SD1_DATA3
L4	D	SD0_CMD
L5	D	SD0_DATA0
L8	-	G
L9	-	G
L10	-	G
L11	-	G
L12	-	G
L13	-	G
L14	-	G
L15	-	G
L16	-	G

端子番号	タイプ	端子名
L17	-	G
L20	M	AB0_A19
L21	-	V
L22	-	V
L23	-	VIO18
L24	-	VIO18
M1	-	VIO3
M2	-	VIO3
M3	-	VIO3
M4	-	VIO3
M5	D	SD0_DATA1
M8	-	G
M9	-	G
M10	-	G
M11	-	G
M12	-	G
M13	-	G
M14	-	G
M15	-	G
M16	-	G
M17	-	G
M20	M	AB0_A18
M21	-	G
M22	-	G
M23	-	G
M24	-	G
N1	-	G
N2	-	G
N3	-	G
N4	-	G
N5	-	G
N8	-	G
N9	-	G
N10	-	G
N11	-	G
N12	-	G
N13	-	G
N14	-	G
N15	-	G
N16	-	G
N17	-	G
N20	M	AB0_A17
N21	-	G

端子番号	タイプ	端子名
N22	-	G
N23	-	G
N24	-	G
P1	-	G
P2	-	G
P3	-	G
P4	-	G
P5	-	G
P8	-	G
P9	-	G
P10	-	G
P11	-	G
P12	-	G
P13	-	G
P14	-	G
P15	-	G
P16	-	G
P17	-	G
P20	M	AB0_WRB
P21	M	AB0_RDB
P22	P	AB0_AD15
P23	P	AB0_AD14
P24	P	AB0_AD13
R1	C	SD0_CKI
R2	D	SD0_DATA2
R3	D	SD0_DATA3
R4	D	SD2_CMD
R5	D	GIO_P9
R8	-	G
R9	-	G
R10	-	G
R11	-	G
R12	-	G
R13	-	G
R14	-	G
R15	-	G
R16	-	G
R17	-	G
R20	P	AB0_AD12
R21	P	AB0_AD11
R22	P	AB0_AD10
R23	P	AB0_AD9
R24	J	AB0_CLK

端子番号	タイプ	端子名
T1	D	SD0_CKO
T2	D	SD2_DATA0
T3	D	SD2_DATA1
T4	D	SD2_DATA2
T5	D	GIO_P10
T8	-	G
T9	-	G
T10	-	G
T11	-	G
T12	K	DDR_CSB1
T13	K	DDR_CKE1
T14	-	G
T15	-	G
T16	-	G
T17	-	G
T20	P	AB0_AD8
T21	P	AB0_AD7
T22	P	AB0_AD6
T23	P	AB0_AD5
T24	P	AB0_AD4
U1	-	V
U2	-	V
U3	-	V
U4	-	V
U5	-	V
U8	-	G
U9	-	G
U10	-	G
U11	-	G
U12	K	DDR_WEB
U13	K	DDR_RASB
U14	K	DDR_CSB0
U15	K	DDR_CKE0
U16	K	DDR_CASB
U17	-	G
U20	P	AB0_AD3
U21	-	V
U22	-	V
U23	-	VIO18
U24	-	VIO18
V1	-	G
V2	-	G
V3	-	G

端子番号	タイプ	端子名
V4	-	G
V5	-	G
V20	P	AB0_AD2
V21	-	G
V22	-	G
V23	-	G
V24	-	G
W1	-	G
W2	-	G
W3	-	G
W4	-	G
W5	K	DDR_DATA23
W20	P	AB0_AD1
W21	-	G
W22	-	G
W23	-	G
W24	-	G
Y1	-	VIO3
Y2	-	VIO3
Y3	-	VIO3
Y4	-	VIO3
Y5	K	DDR_DATA24
Y6	K	DDR_DATA22
Y7	K	DDR_DATA20
Y8	K	DDR_DATA17
Y9	K	DDR_DATA14
Y10	K	DDR_DATA13
Y11	-	V
Y12	K	DDR_DATA8
Y13	K	DDR_DATA5
Y14	K	DDR_DATA1
Y15	K	DDR_DATA0
Y16	K	DDR_BA1
Y17	K	DDR_A11
Y18	K	DDR_A6
Y19	K	DDR_A5
Y20	K	DDR_A4
Y21	P	AB0_AD0
Y22	G	AB0_ADV
Y23	G	USB_STP
Y24	G	USB_CLK
AA1	C	SD2_CKI
AA2	D	SD2_DATA3

(4/4)

端子番号	タイプ	端子名
AA3	K	DDR_DATA29
AA4	K	DDR_DATA27
AA5	K	DDR_DATA25
AA6	-	G
AA7	K	DDR_DATA21
AA8	K	DDR_DATA18
AA9	K	DDR_DATA15
AA10	-	G
AA11	-	V
AA12	K	DDR_DATA9
AA13	K	DDR_DATA6
AA14	K	DDR_DATA2
AA15	-	G
AA16	K	DDR_BA0
AA17	K	DDR_A10
AA18	-	VIO18
AA19	-	G
AA20	K	DDR_A3
AA21	G	USB_DATA7
AA22	G	USB_DATA6
AA23	G	USB_DATA5
AA24	G	USB_NXT
AB1	-	G
AB2	D	SD2_CKO
AB3	K	DDR_DATA30
AB4	K	DDR_DATA28
AB5	K	DDR_DATA26
AB6	-	G
AB7	-	VIO18
AB8	K	DDR_DATA19
AB9	K	DDR_DATA16
AB10	-	G
AB11	-	VIO18
AB12	K	DDR_DATA10
AB13	K	DDR_DATA7
AB14	K	DDR_DATA3
AB15	-	G
AB16	K	DDR_A13
AB17	K	DDR_A9
AB18	-	VIO18
AB19	-	G
AB20	K	DDR_A2
AB21	G	USB_DATA4

端子番号	タイプ	端子名
AB22	G	USB_DIR
AB23	G	USB_DATA3
AB24	-	G
AC1	-	G
AC2	-	G
AC3	K	DDR_DATA31
AC4	K	DDR_DQM3
AC5	-	V
AC6	-	G
AC7	-	VIO18
AC8	K	DDR_DQM2
AC9	K	DDR_DQM1
AC10	-	G
AC11	-	VIO18
AC12	K	DDR_DATA11
AC13	K	DDR_DQM0
AC14	K	DDR_DATA4
AC15	-	G
AC16	K	DDR_A12
AC17	K	DDR_A8
AC18	-	V
AC19	-	G
AC20	K	DDR_A1
AC21	G	USB_DATA1
AC22	G	USB_DATA2
AC23	-	G
AC24	-	G
AD1	-	G
AD2	-	G
AD3	-	G
AD4	K	DDR_DQS3
AD5	-	V
AD6	-	G
AD7	-	VIO18
AD8	K	DDR_DQS2
AD9	K	DDR_DQS1
AD10	-	G
AD11	-	VIO18
AD12	K	DDR_DATA12
AD13	K	DDR_DQS0
AD14	K	DDR_MCLKB
AD15	-	G
AD16	K	DDR_MCLK

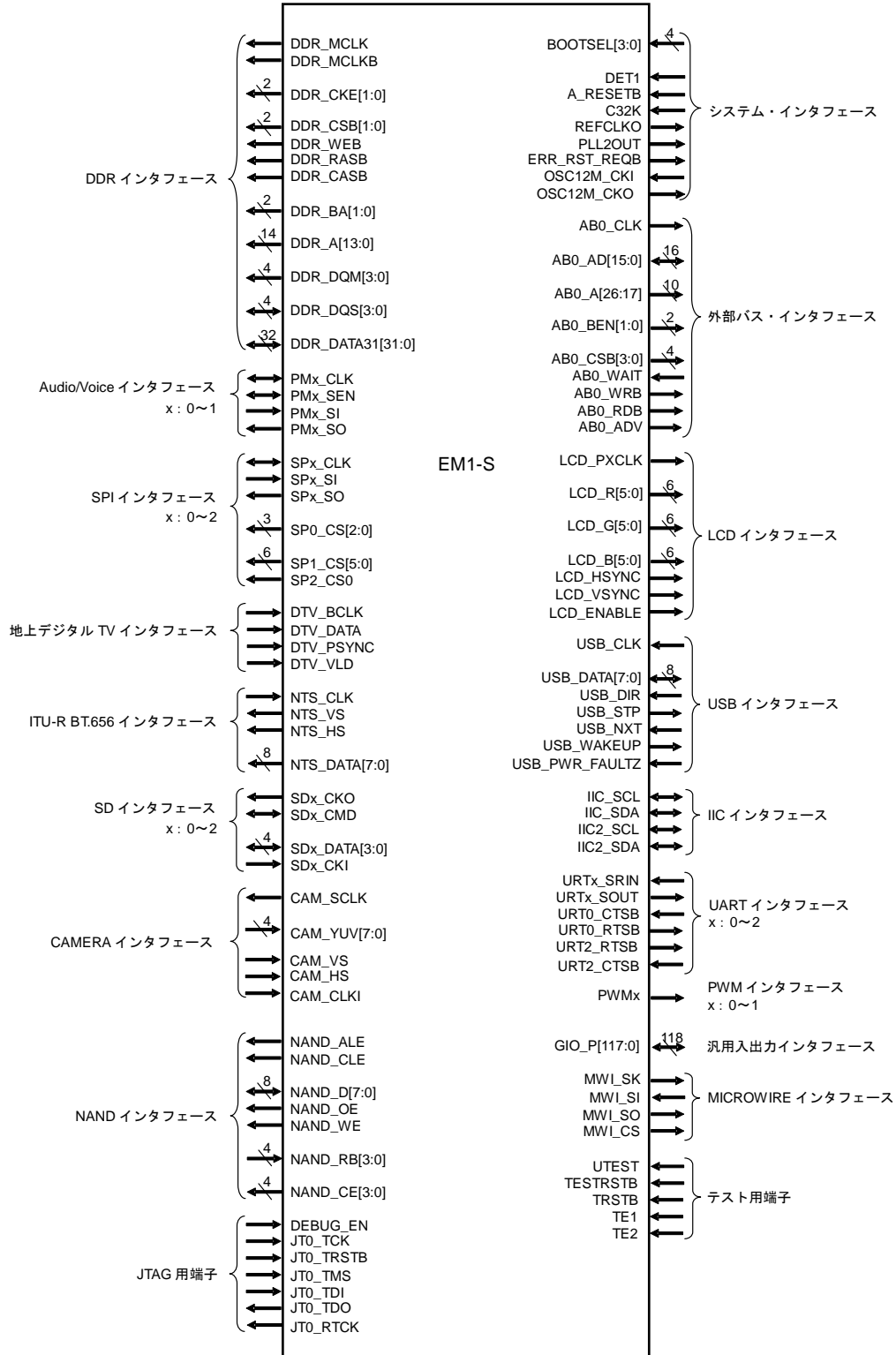
端子番号	タイプ	端子名
AD17	K	DDR_A7
AD18	-	V
AD19	-	G
AD20	K	DDR_A0
AD21	G	USB_DATA0
AD22	-	G
AD23	-	G
AD24	-	G

目 次

1. 端子機能 ... 10	
1.1 端子構成 ... 10	
1.2 端子機能一覧 ... 11	
1.3 入出力回路一覧 ... 25	
2. 電気的特性 ... 29	
2.1 絶対最大定格 ... 29	
2.2 推奨動作条件 ... 29	
2.3 容 量 ... 30	
2.4 DC特性 ... 31	
2.4.1 1.8 V系I/O ... 31	
2.4.2 2.8 V系I/O ... 32	
2.4.3 スタンバイ状態電流 ... 32	
2.5 AC特性 ... 33	
2.5.1 ACテスト入出力測定点 ... 33	
2.5.2 システム・コントロール ... 34	
2.5.3 非同期バス (AB0) インタフェース ... 38	
2.5.4 DDRインタフェース ... 40	
2.5.5 UARTインタフェース ... 42	
2.5.6 IICインタフェース ... 43	
2.5.7 Audio/Voiceインタフェース ... 45	
2.5.8 SDIOインタフェース ... 47	
2.5.9 カメラ・インタフェース ... 48	
2.5.10 LCDインタフェース ... 49	
2.5.11 USBインタフェース ... 50	
2.5.12 SPIインタフェース ... 51	
2.5.13 DTVインタフェース ... 53	
2.5.14 NAND Flashインタフェース ... 54	
2.5.15 ITU-R BT.656 インタフェース ... 56	
2.5.16 MICROWIREインタフェース ... 57	
3. 外形図 ... 58	

1. 端子機能

1.1 端子構成



1.2 端子機能一覧

入力バッファタイプは端子番号に紐付けされています。兼用端子に記載されている端子名とは必ずしも一致するものではありません。

(1) ブート・セレクト信号 (VIO18)

端子名	端子番号	入出力	機 能	兼用端子	タイプ	未使用時の 端子処理
BOOTSEL3	E12	入力	ブート・モード選択 3	-	E	-
BOOTSEL2	D12	入力	ブート・モード選択 2	-	E	-
BOOTSEL1	C12	入力	ブート・モード選択 1	-	E	-
BOOTSEL0	E13	入力	ブート・モード選択 0	-	E	-

(2) システム・コントロール信号 (VIO3 / VIO18)

端子名	端子番号	入出力	機 能	兼用端子	タイプ	未使用時の 端子処理
DET1	B17	入力	パワーオン・リセット	-	A	-
A_RESETB	H13	入力	システム・リセット	-	C	-
C32K	A9	入力	基準クロック (32.768 kHz)	-	B	-
REFCLKO	A16	出力	リファレンス・クロック	PLL2OUT OSC12M_OUT	D	オープン
PLL2OUT	A16	出力	内部 PLL2 出力	REFCLKO OSC12M_OUT	D	オープン
OSC12M_OUT	A16	出力	内部 OSC 出力	REFCLKO PLL2OUT	D	オープン
ERR_RST_REQB	H10	出力	エラー・リセット要求	-	D	オープン
OSC12M_CKI <small>注</small>	A18	入力	OSC XT1	-	Z	オープン
OSC12M_CKO <small>注</small>	A17	出力	OSC XT2	-	Z	オープン

注 VIO18

(3) 外部バス・インタフェース信号 (VIO18)

端子名	端子番号	入出力	機能	兼用端子	タイプ	未使用時の端子処理
AB0_CLK	R24	出力	クロック	GIO_P11 NTS_CLK	J	オープン
AB0_AD[15:0]	P22, P23, P24, R20, R21, R22, R23, T20, T21, T22, T23, T24, U20, V20, W20, Y21	入出力	データ	GIO_P[27:12]	P	オープン
AB0_A[26:20]	J23, J24, K20, K21, K22, K23, K24	出力	アドレス	GIO_P[37:31] AB0_A[10:4]	M	オープン
AB0_A[19:17]	L20, M20, N20	出力	アドレス	GIO_P[30:28] NTS_DATA[2:0] AB0_A[3:1]	M	オープン
AB0_A[10:4]	J23, J24, K20, K21, K22, K23, K24	出力	アドレス	GIO_P[37:31] AB0_A[26:20]	M	オープン
AB0_A[3:1]	L20, M20, N20	出力	アドレス	GIO_P[30:28] NTS_DATA[2:0] AB0_A[19:17]	M	オープン
AB0_BEN[1:0]	J21, J22	出力	バイト・イネーブル	GIO_P[47:46]	M	オープン
AB0_CSB3	F21	出力	チップ・セレクト	GIO_P45 NTS_HS	M	オープン
AB0_CSB2	F22	出力	チップ・セレクト	GIO_P44 NTS_VS	M	オープン
AB0_CSB1	G20	出力	チップ・セレクト	GIO_P43 NTS_DATA7	M	オープン
AB0_CSB0	H20	出力	チップ・セレクト	GIO_P42 NTS_DATA6	M	オープン
AB0_WAIT	J20	入力	ウエイト	GIO_P41 NTS_DATA5	M	オープン
AB0_WRB	P20	出力	ライト・ストロープ	GIO_P40 NTS_DATA4	M	オープン
AB0_RDB	P21	出力	リード・ストロープ	GIO_P39 NTS_DATA3	M	オープン
AB0_ADV	Y22	出力	アドレス有効	GIO_P38	G	オープン

(4) DDR インタフェース信号 (VIO18)

端子名	端子番号	入出力	機能	兼用端子	タイプ	未使用時の端子処理
DDR_MCLK	AD16	出力	クロック	-	K	オープン
DDR_MCLKB	AD14	出力	クロック	-	K	オープン
DDR_CKE[1:0]	T13, U15	出力	クロック・イネーブル	-	K	オープン
DDR_CSB[1:0]	T12, U14	出力	チップ・セレクト	-	K	オープン
DDR_WEB	U12	出力	ライト・イネーブル	-	K	オープン
DDR_RASB	U13	出力	RAS	-	K	オープン
DDR_CASB	U16	出力	CAS	-	K	オープン
DDR_BA[1:0]	Y16, AA16	出力	バンク・アドレス	-	K	オープン
DDR_A[13:0]	AB16, AC16, Y17, AA17, AB17, AC17, AD17, Y18, Y19, Y20, AA20, AB20, AC20, AD20	出力	アドレス	-	K	オープン
DDR_DQM[3:0]	AC4, AC8, AC9, AC13	出力	ライト・データ・マスク	-	K	オープン
DDR_DQS[3:0]	AD4, AD8, AD9, AD13	入出力	データ・ストロブ	-	K	オープン
DDR_DATA[31:0]	AC3, AB3, AA3, AB4, AA4, AB5, AA5, Y5, W5, Y6, AA7, Y7, AB8, AA8, Y8, AB9, AA9, Y9, Y10, AD12, AC12, AB12, AA12, Y12, AB13, AA13, Y13, AC14, AB14, AA14, Y14, Y15	入出力	リード/ライト・データ	-	K	オープン

(5) Audio インタフェース信号 (VIO3)

端子名	端子番号	入出力	機能	兼用端子	タイプ	未使用時の端子処理
PM0_CLK	A8	入出力	PCM0 クロック (デフォルト入力)	-	C	オープン
PM0_SEN	D9	入出力	PCM0 フレーム同期 (デフォルト入力)	-	D	オープン
PM0_SI	E10	入力	PCM0 データ	GIO_P87	D	オープン
PM0_SO	H9	出力	PCM0 データ	-	D	オープン
PM1_CLK	H1	入出力	PCM1 クロック (デフォルト入力)	GIO_P72 NTS_CLK	C	オープン
PM1_SEN	H5	入出力	PCM1 フレーム同期 (デフォルト入力)	GIO_P80 NTS_DATA5 SP1_CS4	D	オープン
PM1_SI	J5	入力	PCM1 データ	GIO_P81 NTS_DATA6 SP1_CS5	D	オープン
PM1_SO	K5	出力	PCM1 データ	GIO_P82 NTS_DATA7	D	オープン

(6) カメラ・インタフェース (VIO3)

端子名	端子番号	入出力	機能	兼用端子	タイプ	未使用時の 端子処理
CAM_SCLK	E6	出力	カメラ・クロック	GIO_P5, NAND_RB2	D	オープン
CAM_CLKI	K1	入力	カメラ I/F	GIO_P92, SD1_CKI	C	オープン
CAM_YUV7	L1	入力	カメラ I/F	SD1_DATA1	D	オープン
CAM_YUV6	K4	入力	カメラ I/F	SD1_DATA0	D	オープン
CAM_YUV5	K2	入力	カメラ I/F	SD1_CMD	D	オープン
CAM_YUV4	J4	入力	カメラ I/F	NTS_DATA4, SP1_CS3 GIO_P79	D	オープン
CAM_YUV3	J3	入力	カメラ I/F	NTS_DATA3, SP1_CS2 GIO_P78	D	オープン
CAM_YUV2	J2	入力	カメラ I/F	NTS_DATA2, SP1_CS1 GIO_P77	D	オープン
CAM_YUV1	J1	入力	カメラ I/F	NTS_DATA1, SP1_CS0 GIO_P76	D	オープン
CAM_YUV0	H4	入力	カメラ I/F	NTS_DATA0, SP1_SO GIO_P75	D	オープン
CAM_HS	L3	入力	カメラ I/F	SD1_DATA3	D	オープン
CAM_VS	L2	入力	カメラ I/F	SD1_DATA2	D	オープン

(7) SPI インタフェース信号 (VIO3)

端子名	端子番号	入出力	機能	兼用端子	タイプ	未使用時の端子処理
SP0_CLK	B8	入出力	SPI0 クロック出力	MWI_SK	D	オープン
SP0_SI	C8	入力	SPI0 データ	MWI_SI	D	オープン
SP0_SO	D8	出力	SPI0 データ	MWI_SO	D	オープン
SP0_CS0	E9	入出力	SPI0 チップ・セレクト	MWI_CS	D	オープン
SP0_CS[2:1]	E8, H8	出力	SPI0 チップ・セレクト	GIO_P[49:48]	D	オープン
SP1_CLK	H2	入出力	SPI1 クロック入力	GIO_P73 NTS_VS	D	オープン
SP1_SI	H3	入力	SPI1 データ	GIO_P74 NTS_HS	D	オープン
SP1_SO	H4	出力	SPI1 データ	GIO_P75 NTS_DATA0 CAM_YUV0	D	オープン
SP1_CS5	J5	出力	SPI1 チップ・セレクト	GIO_P81 NTS_DATA6 PM1_SI	D	オープン
SP1_CS4	H5	出力	SPI1 チップ・セレクト	GIO_P80 NTS_DATA5 PM1_SEN	D	オープン
SP1_CS[3:1]	J4, J3, J2	出力	SPI1 チップ・セレクト	GIO_P[79:77] NTS_DATA[4:2] CAM_YUV[4:2]	D	オープン
SP1_CS0	J1	入出力	SPI1 チップ・セレクト	GIO_P76 NTS_DATA1 CAM_YUV1	D	オープン
SP2_CLK	D1	入出力	SPI2 クロック入力	DTV_BCLK	C	オープン
SP2_SI	C2	入力	SPI2 データ	DTV_DATA	D	オープン
SP2_SO	D2	出力	SPI2 データ	DTV_PSYNC	D	オープン
SP2_CS0	D3	入出力	SPI2 チップ・セレクト	DTV_VLD	D	オープン

(8) 地上デジタルTV インタフェース信号 (VIO3)

端子名	端子番号	入出力	機能	兼用端子	タイプ	未使用時の端子処理
DTV_BCLK	D1	入力	クロック	SP2_CLK	C	オープン
DTV_DATA	C2	入力	YUV データ	SP2_SI	D	オープン
DTV_PSYNC	D2	入力	垂直同期	SP2_SO	D	オープン
DTV_VLD	D3	入力	水平同期	SP2_CS0	D	オープン

(9) LCD インタフェース信号 (VIO18)

端子名	端子番号	入出力	機能	兼用端子	タイプ	未使用時の端子処理
LCD_PXCLK	D24	出力	ピクセル・クロック	GIO_P50	J	オープン
LCD_R[5:0]	D22, D23, E22, E23, E24, F20	出力	Red データ	GIO_P[56:51]	J	オープン
LCD_G[5:0]	E21, D21, C21, C22, B22, C23	出力	Green データ	GIO_P[62:57]	J	オープン
LCD_B[5:0]	E19, D19, C19, E20, D20, C20	出力	Blue データ	GIO_P[68:63]	J	オープン
LCD_HSYNC	B18	出力	水平同期	GIO_P69	J	オープン
LCD_VSYNC	C18	出力	垂直同期	GIO_P70	J	オープン
LCD_ENABLE	D18	出力	データ・イネーブル	GIO_P71	J	オープン

(10) USB インタフェース信号 (VIO18 / VIO3)

端子名	端子番号	入出力	機能	兼用端子	タイプ	未使用時の端子処理
USB_CLK	Y24	入力	クロック	GIO_P96	G	オープン
USB_DATA[7:0]	AA21, AA22, AA23, AB21, AB23, AC22, AC21, AD21	入出力	USB データ	GIO_P[104:97]	G	オープン
USB_DIR	AB22	入力	USB DIR 入力	GIO_P105	G	オープン
USB_STP	Y23	出力	USB STOP 出力	GIO_P106	G	オープン
USB_NXT	AA24	入力	USB NXT 入力	GIO_P107	G	オープン
USB_WAKEUP ^注	H14	出力	サスペンド・ウェイクアップ	GIO_P1 USB_PWR_FAULT	D	オープン
USB_PWR_FAULT ^注	H14	入力	パワー・フォルト	GIO_P1 USB_WAKEUP	D	オープン

注 VIO3

(11) ITU-R BT.656 インタフェース信号 (3.3 V 系)

端子名	端子番号	入出力	機能	兼用端子	タイプ	未使用時の端子処理
NTS_CLK	H1	入力	クロック	GIO_P72, PM1_CLK	C	オープン
	R24 注			AB0_CLK, GIO_P11	J	オープン
NTS_VS	H2	出力	垂直同期	GIO_P73, SP1_CLK	D	オープン
	F22 注			AB0_CSB2, GIO_P44	M	オープン
NTS_HS	H3	出力	水平同期	GIO_P74, SP1_SI	D	オープン
	F21 注			AB0_CSB3, GIO_P45	M	オープン
NTS_DATA7	K5	出力	NTSC データ	GIO_P82, PM1_SO	D	オープン
	G20 注			AB0_CSB1, GIO_P43	M	オープン
NTS_DATA6	J5	出力	NTSC データ	GIO_P81, SP1_CS5 PM1_SI,	D	オープン
	H20 注			AB0_CSB0, GIO_P42	M	オープン
NTS_DATA5	H5	出力	NTSC データ	GIO_P80, SP1_CS4 PM1_SEN,	D	オープン
	J20 注			AB0_WAIT, GIO_P41	M	オープン
NTS_DATA4	J4	出力	NTSC データ	GIO_P79, SP1_CS3 CAM_YUV4	D	オープン
	P20 注			AB0_WRB, GIO_P40	M	オープン
NTS_DATA3	J3	出力	NTSC データ	GIO_P78, SP1_CS2 CAM_YUV3	D	オープン
	P21 注			AB0_RDB, GIO_P39	M	オープン
NTS_DATA2	J2	出力	NTSC データ	GIO_P77, SP1_CS1 CAM_YUV2	D	オープン
	L20 注			AB0_A3, AB0_A19, GIO_P30	M	オープン
NTS_DATA1	J1	出力	NTSC データ	GIO_P76, SP1_CS0 CAM_YUV1	D	オープン
	M20 注			AB0_A2, AB0_A18, GIO_P29	M	オープン
NTS_DATA0	H4	出力	NTSC データ	GIO_P75, SPI_SO CAM_YUV0	D	オープン
	N20 注			AB0_A1, AB0_A17, GIO_P28	M	オープン

注 VIO18

(12) IIC インタフェース信号 (VIO3)

端子名	端子番号	入出力	機能	兼用端子	タイプ	未使用時の端子処理
IIC_SCL	D10	出力	シリアル・クロック出力	GIO_P83	C	オープン
IIC_SDA	C10	入出力	シリアル・データ入出力	GIO_P84	C	オープン
IIC2_SCL	C9	出力	シリアル・クロック出力	NAND_WE	C	オープン
IIC2_SDA	B9	入出力	シリアル・データ入出力	NAND_RB0	C	オープン

(13) UART インタフェース信号 (VIO3)

端子名	端子番号	入出力	機能	兼用端子	タイプ	未使用時の 端子処理
URT0_SRIN	A5	入力	シリアル・データ	-	D	オープン
URT0_SOUT	B5	出力	シリアル・データ	-	D	オープン
URT0_CTSB	D5	入力	接続先デバイス・データ送受信準備完了	GIO_P85 URT1_SRIN	D	オープン
URT0_RTSTB	C5	出力	データ送受信準備完了	GIO_P86 URT1_SOUT	D	オープン
URT1_SRIN	D5	入力	シリアル・データ	GIO_P85 URT0_CTSB	D	オープン
URT1_SOUT	C5	出力	シリアル・データ	GIO_P86 URT0_RTSTB	D	オープン
URT2_SRIN	C3	入力	シリアル・データ	GIO_P108 NAND_ALE	D	オープン
URT2_SOUT	B3	出力	シリアル・データ	GIO_P109 NAND_CLE	D	オープン
URT2_CTSB	D4	入力	接続先デバイス・データ送受信準備完了	GIO_P110 NAND_D0	D	オープン
URT2_RTSTB	C4	出力	データ送受信準備完了	GIO_P111 NAND_D1	D	オープン

(14) メモリ・カード・インタフェース信号 (VIO3)

端子名	端子番号	入出力	機能	兼用端子	タイプ	未使用時の 端子処理
SD0_CKO	T1	出力	クロック	-	D	オープン
SD0_CMD	L4	入出力	コマンド・レスポンス	-	D	オープン
SD0_DATA[3:1]	R3, R2, M5	入出力	データ	GIO_P[90:88]	D	オープン
SD0_DATA0	L5	入出力	データ	-	D	オープン
SD0_CKI	R1	入力	ループ・バック	GIO_P91	C	オープン
SD1_CKO	K3	出力	クロック	-	D	オープン
SD1_CMD	K2	入出力	コマンド・レスポンス	CAM_YUV5	D	オープン
SD1_DATA3	L3	入出力	データ	CAM_HS	D	オープン
SD1_DATA2	L2	入出力	データ	CAM_VS	D	オープン
SD1_DATA1	L1	入出力	データ	CAM_YUV7	D	オープン
SD1_DATA0	K4	入出力	データ	CAM_YUV6	D	オープン
SD1_CKI	K1	入力	ループ・バック	GIO_P92 CAM_CLKI	C	オープン
SD2_CKO	AB2	出力	クロック	GIO_P112 NAND_D2	D	オープン
SD2_CMD	R4	入出力	コマンド・レスポンス	GIO_P113 NAND_D3	D	オープン
SD2_DATA[3:0]	AA2, T4, T3, T2	入出力	データ	GIO_P[117:114] NAND_D[7:4]	D	オープン
SD2_CKI	AA1	入力	ループ・バック	GPIO_P93 NAND_OE	C	オープン

(15) PWM インタフェース信号 (VIO3)

端子名	端子番号	入出力	機能	兼用端子	タイプ	未使用時の 端子処理
PWM0	A4	出力	PWM 出力	GIO_P94	D	オープン
PWM1	B4	出力	PWM 出力	GIO_P95	D	オープン

(16) 汎用入出力インタフェース信号 (VIO18 / VIO3)

(1/3)

端子名	端子番号	入出力	機能	兼用端子	タイプ	未使用時の 端子処理
GIO_P[117:114]	AA2, T4, T3, T2	入出力	汎用 IO	SD2_DATA[3:0] NAND_D[7:4]	D	オープン
GIO_P113	R4	入出力	汎用 IO	SD2_CMD NAND_D3	D	オープン
GIO_P112	AB2	入出力	汎用 IO	SD2_CKO NAND_D2	D	オープン
GIO_P111	C4	入出力	汎用 IO	URT2_RTUSB NAND_D1	D	オープン
GIO_P110	D4	入出力	汎用 IO	URT2_CTSB NAND_D0	D	オープン
GIO_P109	B3	入出力	汎用 IO	URT2_SOUT NAND_CLE	D	オープン
GIO_P108	C3	入出力	汎用 IO	URT2_SRIN NAND_ALE	D	オープン
GIO_P107 注	AA24	入出力	汎用 IO	USB_NXT	G	オープン
GIO_P106 注	Y23	入出力	汎用 IO	USB_STP	G	オープン
GIO_P105 注	AB22	入出力	汎用 IO	USB_DIR	G	オープン
GIO_P[104:97] 注	AA21, AA22, AA23, AB21, AB23, AC22, AC21, AD21	入出力	汎用 IO	USB_DATA[7:0]	G	オープン
GIO_P96 注	Y24	入出力	汎用 IO	USB_CLK	G	オープン
GIO_P[95:94]	B4, A4	入出力	汎用 IO	PWM[1:0]	D	オープン
GIO_P93	AA1	入出力	汎用 IO	SD2_CK1 NAND_OE	C	オープン
GIO_P92	K1	入出力	汎用 IO	SD1_CK1 CAM_CLK1	C	オープン
GIO_P91	R1	入出力	汎用 IO	SD0_CK1	C	オープン
GIO_P[90:88]	R3, R2, M5	入出力	汎用 IO	SD0_DATA[3:1]	D	オープン
GIO_P87	E10	入出力	汎用 IO	PM0_SI	D	オープン
GIO_P86	C5	入出力	汎用 IO	URT0_RTUSB URT1_SOUT	D	オープン
GIO_P85	D5	入出力	汎用 IO	URT0_CTSB URT1_SRIN	D	オープン
GIO_P84	C10	入出力	汎用 IO	IIC_SDA	C	オープン
GIO_P83	D10	入出力	汎用 IO	IIC_SCL	C	オープン
GIO_P82	K5	入出力	汎用 IO	NTS_DATA7 PM1_SO	D	オープン
GIO_P81	J5	入出力	汎用 IO	NTS_DATA6 SP1_CS5 PM1_SI	D	オープン

(2/3)

端子名	端子番号	入出力	機能	兼用端子	タイプ	未使用時の 端子処理
GIO_P80	H5	入出力	汎用 IO	NTS_DATA5 SP1_CS4 PM1_SEN	D	オープン
GIO_P[79:76]	J4, J3, J2, J1	入出力	汎用 IO	NTS_DATA[4:1] SP1_CS[3:0] CAM_YUV[4:1]	D	オープン
GIO_P75	H4	入出力	汎用 IO	NTS_DATA0 SP1_SO CAM_YUV0	D	オープン
GIO_P74	H3	入出力	汎用 IO	NTS_HS SP1_SI	D	オープン
GIO_P73	H2	入出力	汎用 IO	NTS_VS SP1_CLK	D	オープン
GIO_P72	H1	入出力	汎用 IO	NTS_CLK PM1_CLK	C	オープン
GIO_P71 注	D18	入出力	汎用 IO	LCD_ENABLE	J	オープン
GIO_P70 注	C18	入出力	汎用 IO	LCD_VSYNC	J	オープン
GIO_P69 注	B18	入出力	汎用 IO	LCD_HSYNC	J	オープン
GIO_P[68:63] 注	E19, D19, C19, E20, D20, C20	入出力	汎用 IO	LCD_B[5:0]	J	オープン
GIO_P[62:57] 注	E21, D21, C21, C22, B22, C23	入出力	汎用 IO	LCD_G[5:0]	J	オープン
GIO_P[56:51] 注	D22, D23, E22, E23, E24, F20	入出力	汎用 IO	LCD_R[5:0]	J	オープン
GIO_P50 注	D24	入出力	汎用 IO	LCD_PXCLK	J	オープン
GIO_P[49:48] 注	E8, H8	入出力	汎用 IO	SP0_CS[2:1]	D	オープン
GIO_P[47:46] 注	J21, J22	入出力	汎用 IO	AB0_BEN[1:0]	M	オープン
GIO_P45 注	F21	入出力	汎用 IO	AB0_CSB3 NTS_HS	M	オープン
GIO_P44 注	F22	入出力	汎用 IO	AB0_CSB2 NTS_VS	M	オープン
GIO_P43 注	G20	入出力	汎用 IO	AB0_CSB1 NTS_DATA7	M	オープン
GIO_P42 注	H20	入出力	汎用 IO	AB0_CSB0 NTS_DATA6	M	オープン
GIO_P41 注	J20	入出力	汎用 IO	AB0_WAIT NTS_DATA5	M	オープン
GIO_P40 注	P20	入出力	汎用 IO	AB0_WRB NTS_DATA4	M	オープン
GIO_P39 注	P21	入出力	汎用 IO	AB0_RDB NTS_DATA3	M	オープン
GIO_P38 注	Y22	入出力	汎用 IO	AB0_ADV	G	オープン

(3/3)

端子名	端子番号	入出力	機能	兼用端子	タイプ	未使用時の端子処理
GIO_P[37:31] 注	J23, J24, K20, K21, K22, K23, K24	入出力	汎用 IO	AB0_A[26:20] AB0_A[10:4]	M	オープン
GIO_P[30:28] 注	L20, M20, N20	入出力	汎用 IO	AB0_A[19:17] NTS_DATA[2:0] AB0_A[3:1]	M	オープン
GIO_P[27:12] 注	P22, P23, P24, R20, R21, R22, R23, T20, T21, T22, T23, T24, U20, V20, W20, Y21	入出力	汎用 IO	AB0_AD[15:0]	P	オープン
GIO_P11 注	R24	入出力	汎用 IO	AB0_CLK NTS_CLK	J	オープン
GIO_P[10:7]	T5, R5, G5, F5	入出力	汎用 IO	NAND_CE[3:0]	D	オープン
GIO_P6	E5	入出力	汎用 IO	NAND_RB3	D	オープン
GIO_P5	E6	入出力	汎用 IO	NAND_RB2 CAM_SCLK	D	オープン
GIO_P4	E7	入出力	汎用 IO	NAND_RB1	D	オープン
GIO_P[3:2]	D13, C13	入出力	汎用 IO	-	D	オープン
GIO_P1	H14	入出力	汎用 IO	USB_WAKEUP USB_PWR_FAULT	D	オープン
GIO_P0	E14	入出力	汎用 IO	-	D	オープン

注 VIO18

(17) MICROWIRE インタフェース信号 (VIO3)

端子名	端子番号	入出力	機能	兼用端子	タイプ	未使用時の端子処理
MWI_SK	B8	出力	クロック	SP0_CLK	D	オープン
MWI_SI	C8	入力	データ	SP0_SI	D	オープン
MWI_SO	D8	出力	データ	SP0_SO	D	オープン
MWI_CS	E9	出力	チップ・セレクト	SP0_CS0	D	オープン

(18) NAND FLASH インタフェース信号 (VIO3)

端子名	端子番号	入出力	機能	兼用端子	タイプ	未使用時の端子処理
NAND_ALE	C3	出力	アドレス・ラッチ・イネーブル	URT2_SRIN GIO_P108	D	オープン
NAND_CLE	B3	出力	コマンド・ラッチ・イネーブル	URT2_SOUT GIO_P109	D	オープン
NAND_D[7:4]	AA2, T4, T3, T2	入出力	データ	SD2_DATA[3:0] GIO_P[117:114]	D	オープン
NAND_D3	R4	入出力	データ	SD2_CMD GIO_P113	D	オープン
NAND_D2	AB2	入出力	データ	SD2_CKO GIO_P112	D	オープン
NAND_D1	C4	入出力	データ	URT2_RTSTB GIO_P111	D	オープン
NAND_D0	D4	入出力	データ	URT2_CTSB GIO_P110	D	オープン
NAND_OE	AA1	出力	アウトプット・イネーブル	SD2_CKI GIO_P93	C	オープン
NAND_WE	C9	出力	ライト・イネーブル	IIC2_SCL	C	オープン
NAND_RB0	B9	入力	レディ・ビジー	IIC2_SDA	C	オープン
NAND_RB3	E5	入力	レディ・ビジー	GIO_P6	D	オープン
NAND_RB2	E6	入力	レディ・ビジー	GIO_P5 CAM_SCLK	D	オープン
NAND_RB1	E7	入力	レディ・ビジー	GIO_P4	D	オープン
NAND_CE[3:0]	T5, R5, G5, F5	出力	チップ・イネーブル	GIO_P[10:7]	D	オープン

(19) JTAG 用信号 (VIO18 / VIO3)

端子名	端子番号	入出力	機能	兼用端子	タイプ	未使用時の端子処理
DEBUG_EN ^注	H16	入力	JTAG	-	J	オープン
JT0_TCK	E16	入力	JTAG	-	C	オープン
JT0_TRSTB	D17	入力	JTAG	-	C	オープン
JT0_TMS	B16	入力	JTAG	-	D	オープン
JT0_TDI	C16	入力	JTAG	-	D	オープン
JT0_TDO	D16	出力	JTAG	-	D	オープン
JT0_RTCK	C17	出力	JTAG	-	D	オープン

注 VIO18

(20) テスト用信号 (VIO18)

端子名	端子番号	入出力	機能	兼用端子	タイプ	未使用時の端子処理
UTEST	H17	入力	テスト端子 (通常 0 固定)	-	E	"L"固定
TESTRSTB	E17	入力	テスト用非同期リセット	-	N	オープン
TRSTB	E18	入力	テスト端子	-	M	オープン
TE1	H12	入力	テスト端子	-	Q	オープン
TE2	E11	入力	テスト端子	-	R	オープン

(21) 電源

端子名	端子番号	入出力	機能	タイプ	未使用時の端子処理
V	A7, A13, A20, B7, B13, B20, E1, E2, F23, F24, L21, L22, U1, U2, U3, U4, U5, U21, U22, Y11, AA11, AC5, AC18, AD5, AD18	-	コア電源 (1.2V)	-	-
VIO18	A21, B21, E3, E4, L23, L24, U23, U24, AA18, AB7, AB11, AB18, AC7, AC11, AD7, AD11	-	IO 電源 (1.8V 系)	-	-
VIO3	A14, B14, C7, C14, D7, D14, M1, M2, M3, M4, Y1, Y2, Y3, Y4	-	IO 電源 (3V 系)	-	-
VA1	C11, D11	-	PLL 用電源 (1.2V)	-	-
VA2	A10, B10	-	PLL 用電源 (1.2V)	-	-
VA3	A12, B12	-	PLL 用電源 (1.2V)	-	-

(22) GND

端子名	端子番号	機能
G	A1, A2, A3, A6, A11, A15, A19, A22, A23, A24, B1, B2, B6, B11, B15, B19, B23, B24, C1, C6, C15, C24, D6, D15, E15, F1, F2, F3, F4, F6, G1, G2, G3, G4, G21, G22, G23, G24, H11, H15, H21, H22, H23, H24, J8, J9, J10, J11, J12, J13, J14, J15, J16, J17, K8, K9, K10, K11, K12, K13, K14, K15, K16, K17, L8, L9, L10, L11, L12, L13, L14, L15, L16, L17, M8, M9, M10, M11, M12, M13, M14, M15, M16, M17, M21, M22, M23, M24, N1, N2, N3, N4, N5, N8, N9, N10, N11, N12, N13, N14, N15, N16, N17, N21, N22, N23, N24, P1, P2, P3, P4, P5, P8, P9, P10, P11, P12, P13, P14, P15, P16, P17, R8, R9, R10, R11, R12, R13, R14, R15, R16, R17, T8, T9, T10, T11, T14, T15, T16, T17, U8, U9, U10, U11, U17, V1, V2, V3, V4, V5, V21, V22, V23, V24, W1, W2, W3, W4, W21, W22, W23, W24, AA6, AA10, AA15, AA19, AB1, AB6, AB10, AB15, AB19, AB24, AC1, AC2, AC6, AC10, AC15, AC19, AC23, AC24, AD1, AD2, AD3, AD6, AD10, AD15, AD19, AD22, AD23, AD24	GND

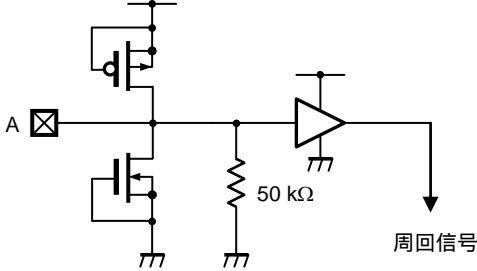
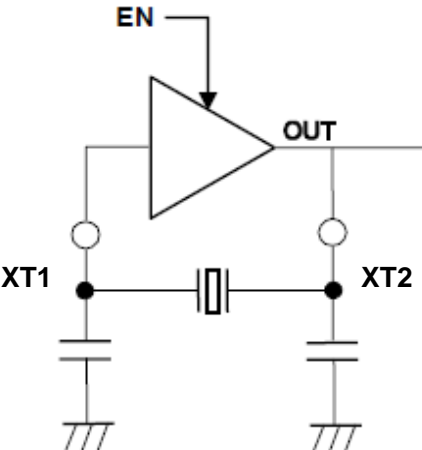
1.3 入出力回路一覧

(1/4)

タイプ A	説明
	<p>入力バッファ Schmitt (VIO3) w / IO-Standby Control</p> <p>このバッファに L レベルを入力することで Power OFF モード時に他の IO バッファを付録 D の POW OFF 状態に固定します。</p> <p>備考 Power off モード時は、このバッファ自体は端子 Hi-Z (入力) で内部スルーします。</p>
タイプ B, E	説明
	<p>双方向バッファ Schmitt (タイプ B = VIO3, タイプ E = VIO18) w / IOLH CONTROL Normal / Pull-up 50 kΩ / Pull-down 50 kΩ</p> <ul style="list-style-type: none"> • Power off 時 : 端子 Hi-Z • 抵抗値は 50 kΩ (typ)
タイプ C	説明
	<p>双方向バッファ Schmitt (VIO3) w / IOLH CONTROL Normal / Pull-up 50 kΩ / Pull-down 50 kΩ</p> <ul style="list-style-type: none"> • Power off 時 : 端子 Hi-Z (内部は 0 マスク) • 抵抗値は 50 kΩ (typ)

タイプ D	説明
	<p>双方向バッファ AND (VIO3)</p> <p>w / IOLH CONTROL Normal / Pull-up 50 kΩ / Pull-down 50 kΩ</p> <ul style="list-style-type: none"> • Power off 時 : 端子 Hi-Z (内部は 0 マスク) • 抵抗値は 50 kΩ (typ)
タイプ G	説明
	<p>双方向バッファ AND (VIO18)</p> <p>w / IOLH CONTROL Normal / Pull-up 50 kΩ / Pull-down 50 kΩ</p> <ul style="list-style-type: none"> • Power off 時 タイプ G : 端子 pull-down (内部も 0 マスク) • 抵抗値は 50 kΩ (typ)
タイプ J	説明
	<p>双方向バッファ AND , Schmitt (VIO18)</p> <p>w / IOLH CONTROL Normal / Pull-up 50 kΩ / Pull-down 50 kΩ</p> <ul style="list-style-type: none"> • Power off 時 : 端子 Pull-down (内部は 0 マスク) • 抵抗値は 50 kΩ (typ)

タイプ K	説明
	<p>双方向バッファ AND (VIO18)</p> <p>w / IOLH CONTROL Normal / Pull-up 50 kΩ / Pull-down 50 kΩ</p> <ul style="list-style-type: none"> ・ Power off 時 : 端子ロウ・レベル出力 (内部も 0 マスク) ・ 抵抗値は 50 kΩ (typ) ・ DDR I/F 用 <p>タイプ F とタイプ G は , Drive current と Power off モード時の動作が違います。</p>
タイプ M, N	説明
	<p>双方向バッファ Schmitt / LowNoise (VIO18)</p> <p>w / IOLH CONTROL Normal / Pull-up 50 kΩ / Pull-down 50 kΩ</p> <ul style="list-style-type: none"> ・ Power off 時 <ul style="list-style-type: none"> タイプ M : 端子 pull-down (内部は 0 マスク) タイプ N : 端子 pull-up (内部は 0 マスク) ・ 抵抗値は 50 kΩ (typ)
タイプ P	説明
	<p>双方向バッファ (VIO18)</p> <p>w / IOLH CONTROL BUSHOLDER</p> <ul style="list-style-type: none"> ・ Power off 時 : 端子ロウ・レベル出力 (内部も 0 マスク) ・ 抵抗値は 6.5 kΩ (typ)

タイプ Q, R	説明
 <p>The diagram shows a test buffer circuit. It consists of a CMOS inverter with a pull-down resistor of 50 kΩ connected to ground. The input is labeled 'A' and the output is labeled '周回信号' (Loop Signal).</p>	<p>テスト用バッファ (VIO18) タイプ Q, R は、テスト専用バッファです。 実使用時はオープンにしてください。(常時 pull-down (typ 50 kΩ されています))</p>
タイプ Z	説明
 <p>The diagram shows an oscillator circuit. It features two crystals, XT1 and XT2, connected to ground. An oscillator block is connected to XT1 and XT2, with an enable pin 'EN' and an output pin 'OUT'.</p>	<p>オシレータ</p>

2. 電気的特性

2.1 絶対最大定格

項目	略号	条件	定格	単位
電源電圧	V	1.2 V 系	-0.5 ~ +1.8	V
	V _{IO18}	1.8 V 系 (I/O)	-0.5 ~ +2.5	V
	V _{IO3}	3V 系 (I/O)	-0.5 ~ +4.6	V
入力電圧	V _{L18}	1.8V 系 (I/O)	-0.5 ~ V _{IO18} + 0.5	V
	V _{L33}	3V 系 (I/O)	-0.5 ~ V _{IO3} + 0.5	V
出力電圧	V _{O18}	1.8 V 系 (I/O)	-0.5 ~ V _{IO18} + 0.5	V
	V _{O33}	3V 系 (I/O)	-0.5 ~ V _{IO3} + 0.5	V
保存温度	T _{stg}	-	-40 ~ +125	

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

注 容量結合している場合に限り、- 0.8 ~ V + 0.8 V の範囲で瞬間的な入力を許容します。

2.2 推奨動作条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V	1.2 V 系 通常時	1.1	1.2	1.3	V
		メモリ保持電圧注1	0.64	-	-	V
	V _{PLL}	1.2 V 系 (PLL 電源, 端子名 VA)	1.1	1.2	1.3	V
	V _{IO18}	1.8 V 系 (I/O 電源)	1.7	1.8	1.9	V
	V _{IO3}	3V 系 (I/O 電源)	2.7	-	3.6	V
発振開始電圧注2	V _{OSC_S}	-	1.7	-	-	V
発振開始電圧注3	V _{OSC_H}	-	1.7	-	-	V
動作周囲温度	T _A	-	-20	-	+70	

注1 通常動作から電圧を下げた場合に、内部 SRAM のデータ保持を保証できる電圧を示します。

注2 電源投入後、必ず発振を開始する電圧を示します。

注3 通常動作から電圧を下げた場合に、発振を保証できる電圧を示します。

2.3 容 量

($T_A = +25$, $f = 1 \text{ MHz}$, 測定端子以外は 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力容量	C _i	1.8 V	3	-	5	pF
		2.8 V	2	-	4	pF
出力容量	C _o	1.8 V	3	-	5	pF
		2.8 V	2	-	4	pF
入出力容量	C _{io}	1.8 V	3	-	5	pF
		2.8 V	2	-	4	pF

DDR 端子は除く

2.4 DC特性

2.4.1 VIO18

(以降, 特に指定しない限り 2.2 推奨動作条件下の規格となります)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	V _{OH}	直流負荷なし ^{注1}	V _{IO18} - 0.1	-	-	V
ロウ・レベル出力電圧	V _{OL}	直流負荷なし ^{注1}	-	-	0.1	V
ハイ・レベル入力電圧	V _{IH}	I/O 端子, モニタ端子	0.65 × V _{IO18}	-	V _{IO18} + 0.5	V
ロウ・レベル入力電圧	V _{IL}	I/O 端子, モニタ端子	- 0.5	-	0.35 × V _{IO18}	V
ハイ・レベル出力電流 V _{OH} = V _{IO18} - 0.4 V ^{注2}	I _{OUT_H1}	2 mA 設定 ^{注3}	1.7	-	-	mA
	I _{OUT_H2}	4 mA 設定 ^{注3}	3.7	-	-	mA
	I _{OUT_H3}	6 mA 設定 ^{注3}	5.7	-	-	mA
	I _{OUT_H4}	8 mA 設定 ^{注3}	7.7	-	-	mA
	I _{OUT_H5}	12 mA 設定 ^{注3}	11.0	-	-	mA
ロウ・レベル出力電流 V _{OL} = 0.4 V ^{注2}	I _{OUT_L1}	2 mA 設定 ^{注3}	1.7	-	-	mA
	I _{OUT_L2}	4 mA 設定 ^{注3}	3.7	-	-	mA
	I _{OUT_L3}	6 mA 設定 ^{注3}	5.7	-	-	mA
	I _{OUT_L4}	8 mA 設定 ^{注3}	7.7	-	-	mA
	I _{OUT_L5}	12 mA 設定 ^{注3}	11.0	-	-	mA
ヒステリシス電圧	V _H	シュミット入力	0.20 × V _{IO18}	-	0.63 × V _{IO18}	V
ネガティブ・トリガ電圧	V _N	シュミット入力	0.53 × V _{IO18} - 0.66	-	0.35 × V _{IO18}	V
ポジティブ・トリガ電圧	V _P	シュミット入力	0.68 × V _{IO18}	-	0.83 × V _{IO18}	V
ハイ・レベル入力リーク電流	I _{L_H}	V _I = V _{IO18}	-	-	1	μA
ロウ・レベル入力リーク電流	I _{L_L}	V _I = GND	-	-	1	μA
ブルアップ抵抗	R _{PU}	-	40	-	65	k
ブルダウン抵抗	R _{PD}	-	40	-	65	k
バスホルダ保持抵抗	R _{bh}	バスホルダ部直列抵抗	5	-	11	k
ブルアップ端子電流	I _{PU}	-	-	-	50	μA
ブルダウン端子電流	I _{PD}	-	-	-	50	μA

注 1. ここでの V_{OH}, V_{OL} は, 直流電流を流す負荷がない状態での保証値です。

2. ここでの V_{OH}, V_{OL} は, 出力電流を定義するための数値です。

3. I/O バッファ出力電流ドライブ切り替えの設定値です。

2.4.2 VIO3

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	V _{OH}	直流負荷なし ^{注1}	V _{IO3} - 0.1	-	-	V
ロウ・レベル出力電圧	V _{OL}	直流負荷なし ^{注1}		-	0.1	V
ハイ・レベル入力電圧	V _{IH}	I/O 端子, モニタ端子	2.0	-	V _{IO3} + 0.5	V
ロウ・レベル入力電圧	V _{IL}	I/O 端子, モニタ端子	- 0.5	-	0.8	V
ハイ・レベル出力電流 V _{OH} = V _{IO3} - 0.4 V ^{注2}	I _{OUT_H1}	2 mA 設定 ^{注3}	1.7	-	-	mA
	I _{OUT_H2}	4 mA 設定 ^{注3}	3.7	-	-	mA
	I _{OUT_H3}	6 mA 設定 ^{注3}	5.7	-	-	mA
	I _{OUT_H4}	8 mA 設定 ^{注3}	7.7	-	-	mA
ロウ・レベル出力電流 V _{OL} = 0.4 V ^{注2}	I _{OUT_L1}	2 mA 設定 ^{注3}	1.7	-	-	mA
	I _{OUT_L2}	4 mA 設定 ^{注3}	3.7	-	-	mA
	I _{OUT_L3}	6 mA 設定 ^{注3}	5.7	-	-	mA
	I _{OUT_L4}	8 mA 設定 ^{注3}	7.7	-	-	mA
ヒステリシス電圧	V _H	シュミット入力	0.11 × V _{IO3}	-	0.41 × V _{IO3}	V
ネガティブ・トリガ電圧	V _N	シュミット入力	0.17 × V _{IO3}	-	0.38 × V _{IO3}	V
ポジティブ・トリガ電圧	V _P	シュミット入力	0.54 × V _{IO3}	-	0.65 × V _{IO3}	V
ハイ・レベル入力リーク電流	I _{L_H}	V _I = V _{IO3}	-	-	1	μA
ロウ・レベル入力リーク電流	I _{L_L}	V _I = GND	-	-	1	μA
ブルアップ抵抗	R _{PU}	50 k 抵抗	40	-	65	k
ブルダウン抵抗	R _{PD}	50 k 抵抗	40	-	65	k
ブルアップ端子電流	I _{PU}	50 k 抵抗	-	-	90	μA
ブルダウン端子電流	I _{PD}	50 k 抵抗	-	-	90	μA

注 1. ここでの V_{OH}, V_{OL} は, 直流電流を流す負荷がない状態での保証値です。

2. V_{OL} = 0.4 V, V_{OH} = V_{IO3} - 0.4 V. ここでの V_{OH}, V_{OL} は, 出力電流を定義するための数値です。

3. 出力電流ドライブ切り替えレジスタの設定値です。

2.4.3 スタンバイ状態電流

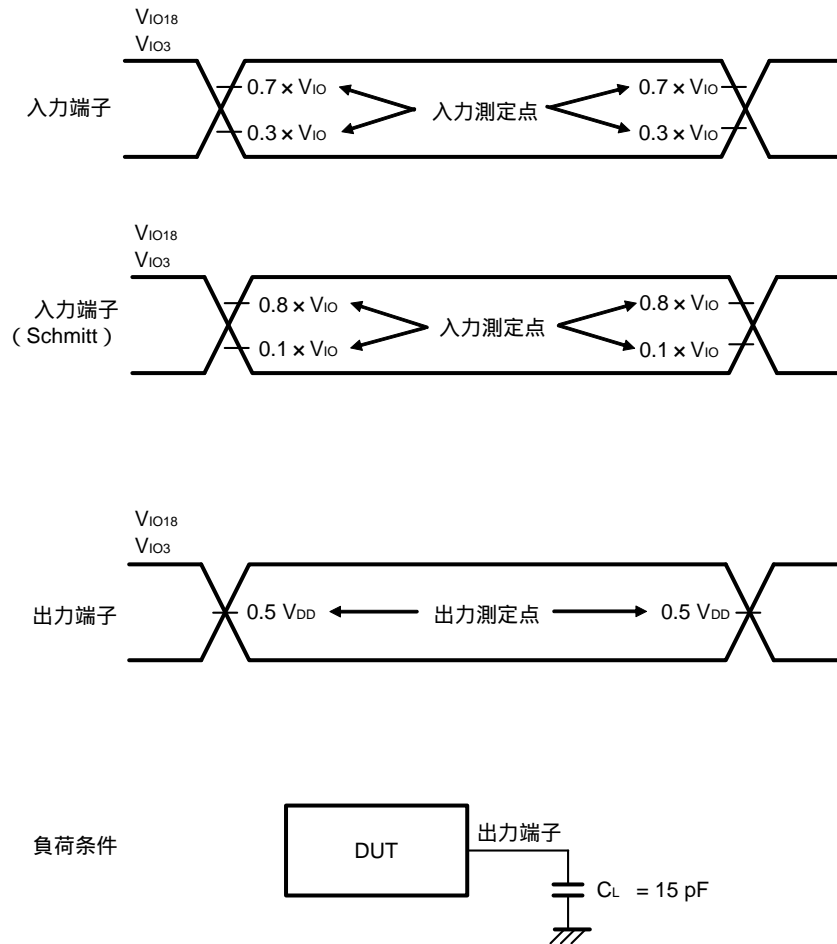
(T_A = 25)

項目	略号	条件	MIN.	TYP.	MAX.	単位
スタンバイ電流	I _{DD_L0}	Logic 電源 L0 + L2 on, f = 0 Hz, V = 0.75 V	-	130	400	μA
		Logic 電源 L0 on, f = 0 Hz, V = 0.75 V	-	100	300	μA
		Logic 電源 L0 on, f = 0 Hz, V = 1.2 V	-	340	-	μA
	I _{DD_IO18}	IO 電源 f = 0 Hz, V _{IO18} = 1.8 V	-	-	10	μA
	I _{DD_IO3}	IO 電源 f = 0 Hz, V _{IO3} = 2.85 V	-	-	10	μA

2.5 AC特性

2.5.1 ACテスト入出力測定点

図 2 - 1 AC テスト入出力測定点



備考 OSC端子を除きます。負荷条件に関しては特に規定しない限り、 $C_L = 15 \text{ pF}$ とします。
 また、補記条件のない場合の環境条件は、以降、2.2 推奨動作条件下の規格となります。

2.5.2 システム・コントロール

(1) クロック

(入力タイミング必要条件)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
C32K 周波数	$f_{clkC32K}$	-	-	32.768	-	kHz
C32K 立ち上がり / 立ち下がり時間	t_{rC32K}	10 ~ 90%	-	-	1	μs
32 kHz 入力クロック・デューティ比	$I_{dutyC32K}$	-	40	50	60	%
32 kHz 入力クロック・ジッタ	$I_{jitterC32K}$	-	- 20	-	20	ns
OSC 発振周波数範囲	$f_{C(OSC)}$	内部発振器 (OSC12M_CKI/OSC12M_CKO) 水晶発振子 (DSX530GA : 大真空 8pf)	-	-	13	MHz
OSC CLK 安定時間	t_{STAB12}	Cl= CO=15pF 発振周波数 : 12MHz 水晶発振子 (DSX530GA:大真空 8pf)	-	0.5	1	ms

図 2-2 クロック・タイミング

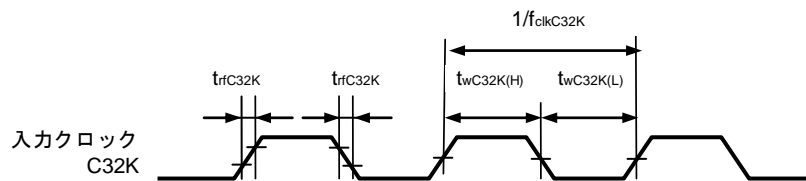
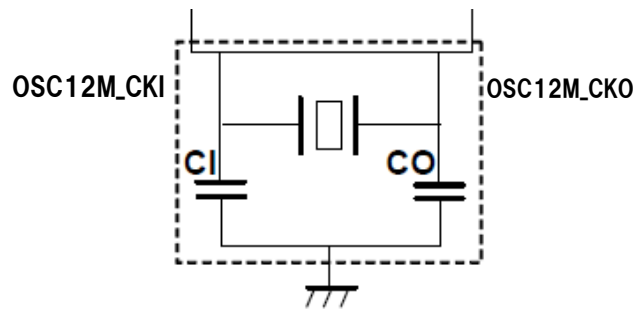


図 2-3 推奨発振回路



注意.

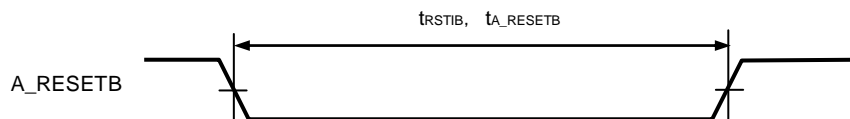
- ・ 発振回路は OSC12M_CKI, OSC12M_CKO端子にできる限り近づけてください。
- ・ 破線の範囲に他の信号線を通さないでください。
- ・ 発振子のマッチングについては十分に評価してください。

(2) リセット (RSTIB, A_RESETB)

項目	略号	条件	MIN.	TYP.	MAX.	単位
A_RESETB ロウ・レベル幅	t _{A_RESETB}	-	6	-	-	ms

備考 ハードウェア・リセットの場合を示します。

図 2-4 リセット・タイミング



(3) 電源投入シーケンス (電源なしの状態)

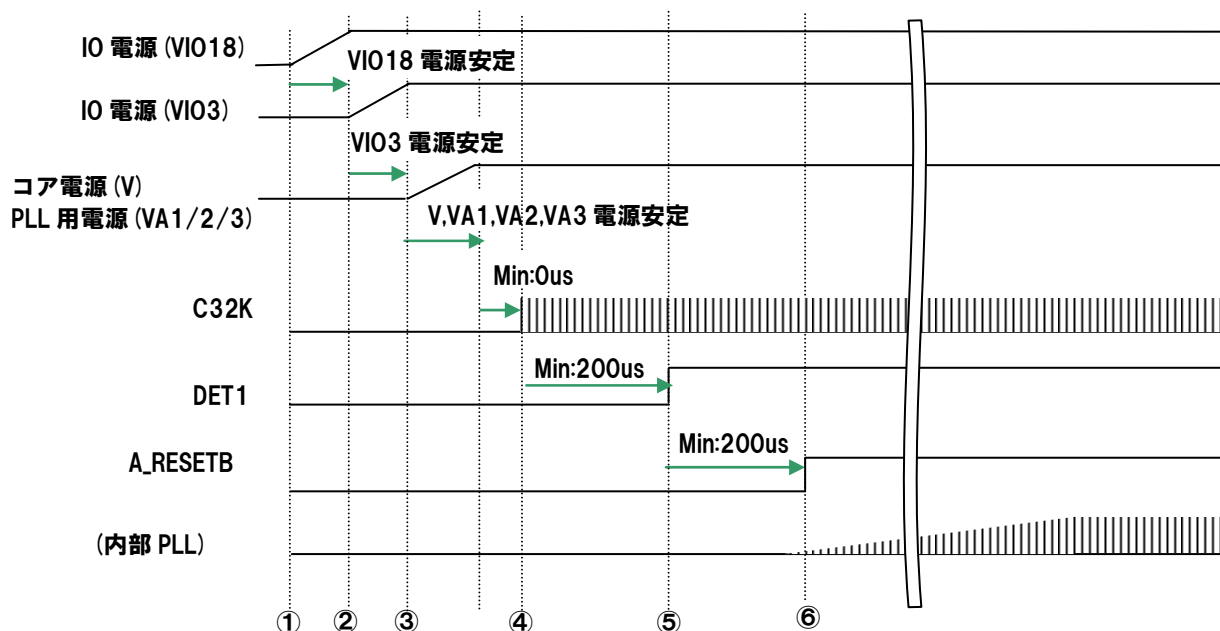


図 2-5 電源起動タイミングチャート

電源安定は、各電源電圧の推奨動作条件の規格 MIN 値に達した点とします。

IO 電源 (1.8V 系) を立ち上げ、電源安定を待ちます。

IO 電源 (3V 系) を立ち上げ、電源安定を待ちます。

L1 電源 (1.2V) および PLL 用電源 (1.2V) を立ち上げ、電源安定を待ちます。

基準クロック 32.768KHz (C32K) を入力します。

DET1 を立ち上げます。

A_RESETB を立ち上げると、内部 PLL が発振を開始します。

(4) 電源投入シーケンス (DeepSleep Normal)

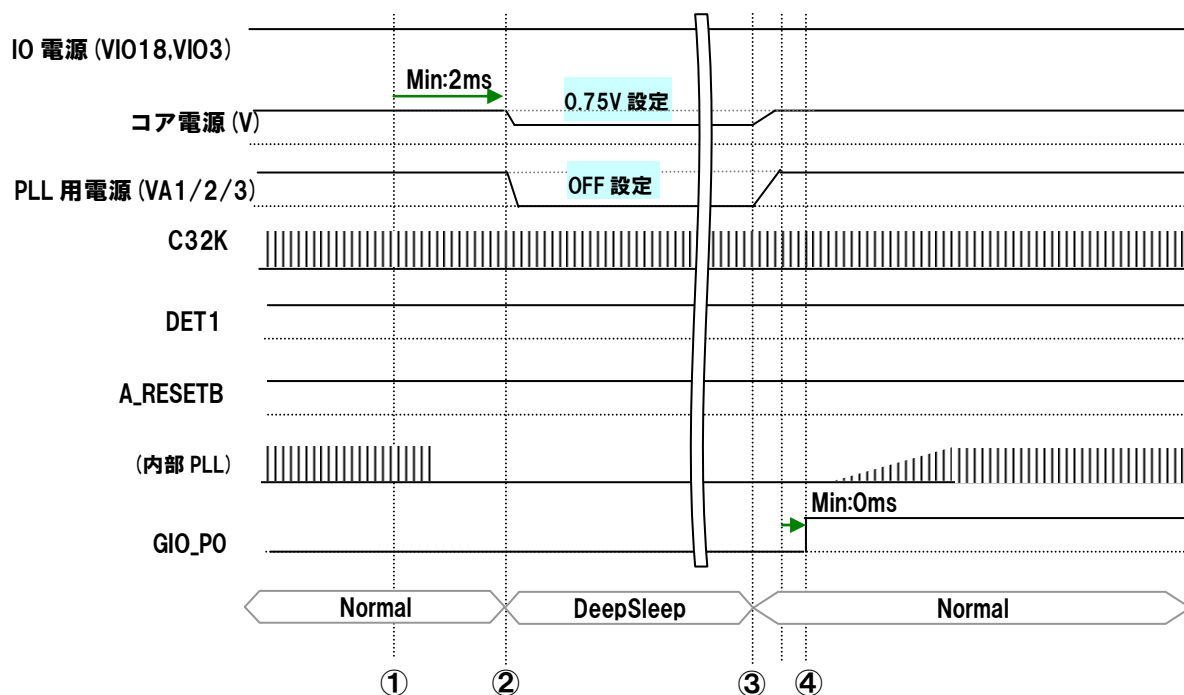


図 2 - 6 DeepSleep Normal タイミングチャート

EM1-D512 の SPI 通信で電源 IC に、コア電源(V)に対しては 0.75V へ電圧変更のコマンドを送信し、PLL 用電源(VA1/2/3) に対しては OFF のコマンドを送信します。

コア電源(V)に使用している電源 IC は Min:2ms を確保した後に 0.75V への変更を行います。0.75V へ電圧変更のコマンドを送信後 (から の間に)、EM1-D512 内部では、DeepSleep 状態へ遷移するための準備を行います。

コア電圧(V)を 0.75V から 1.2V へ戻し、PLL 用電源(VA1/2/3)を立ち上げます。

GIO_P0 を立ち上げると、EM1-D512 内部では内部 PLL 発振を開始します。安定後に DeepSleep から Normal への復帰動作を行います。

(5) 電源投入シーケンス (Powoff Normal)

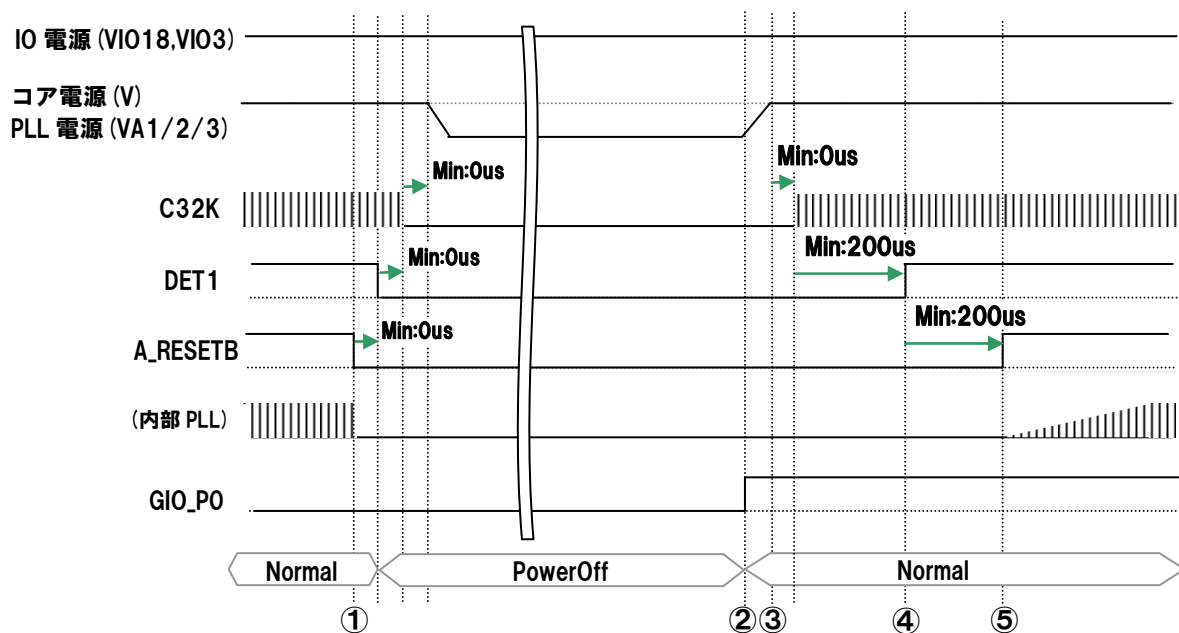


図 2 - 7 Powoff Normal タイミングチャート

A_RESETB、DET1 を立ち下げ、C32K への入力を停止します。
 次にコア電源(V)、PLL 電源(VA1/2/3)を同時に OFF します。
 コア電源 (1.2V) および PLL 用電源(1.2V) を同時に立ち上げ、電源安定を待ちます。
 基準クロック 32.768kHz(C32K)を入力します。
 PowerOff からの復帰を「電源なしの状態」からの復帰と区別するために GIO_P0 を立ち上げます。
 DET1 を立ち上げます。
 A_RESETB を立ち上げると、内部 PLL が発振を開始します。
 「電源なしの状態」からの起動タイミングとほぼ同じ動作になります。

2.5.3 非同期バス (AB0) インタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
非同期シングル・リード・アクセス時間	t201	注	$(1 + T0 + T1 + T2) \times Tf - 3$	-	$(2 + T0 + T1 + T2) \times Tf + 3$	ns
CSZ 立ち下がり ~ ADVZ 立ち上がり	t202	注	$Tf - 3$	-	$2Tf + 3$	ns
ADVZ アクティブ幅	t203	AB0_ADVZ = Low	$Tf - 3$	-	$Tf + 3$	ns
ADMUX 用下位 ADD ホールド時間	t204	-	$T0 \times Tf - 3$	-	$T0 \times Tf + 3$	ns
ADVZ 立ち上がり ~ リード信号出力遅延時間	t205	AB0_RDZ 立ち下がり	$T0 \times Tf - 3$	-	$T0 \times Tf + 3$	ns
リード信号アクティブ幅	t206	AB0_RDZ = Low	$T1 \times Tf - 3$	-	$T1 \times Tf + 3$	ns
RDZ 立ち上がり ~ CSZ 立ち上がり出力遅延時間	t207	AB0_RDZ 立ち上がり	$T2 \times Tf - 3$	-	$T2 \times Tf + 3$	ns
CS アサートインターバル時間	t208	-	$CSInt \times Tf - 3$	-	-	ns
非同期_RDATA セットアップ時間	t209	AB0_RDZ 立ち上がり	15	-	-	ns
非同期_RDATA ホールド時間	t210	AB0_RDZ 立ち上がり	0	-	-	ns
アドレス確定 ~ RDZ 立ち下がり遅延時間	t211	AB0_RDZ 立ち下がり ^注	$(1 + T0) \times Tf - 8$	-	-	ns
CSZ 立ち下がり ~ RDZ 立ち上がり出力遅延時間	t212	AB0_RDZ 立ち下がり ^注	$(1 + T0) \times Tf - 3$	-	-	ns
非同期シングルライトアクセス時間	t220	注	$(1 + T0 + T1w + T2w) \times Tf - 3$	-	$(2 + T0 + T1w + T2w) \times Tf + 3$	ns
ADVZ 立ち上がり ~ ライト信号出力遅延時間	t221	AB0_WRZ 立ち上がり	$T0 \times Tf - 3$	-	$T0 \times Tf + 3$	ns
ライト信号アクティブ幅	t222	AB0_WRZ = Low	$T1w \times Tf - 3$	-	$T1w \times Tf + 3$	ns
WRZ 立ち上がり ~ CSZ 立ち上がり出力遅延時間	t223	AB0_WRZ 立ち上がり	$T2w \times Tf - 3$	-	$T2w \times Tf + 3$	ns
非同期_WDATA 出力ホールド時間	t224	AB0_WRZ 立ち上がり	$T2w \times Tf - 8$	-	-	ns
アドレス確定 ~ WRZ 立ち下がり遅延時間	t225	AB0_WRZ 立ち下がり ^注	$(1 + T0) \times Tf - 8$	-	-	ns
CSZ 立ち下がり ~ WRZ 立ち下がり出力遅延時間	t226	AB0_WRZ 立ち下がり ^注	$(1 + T0) \times Tf - 3$	-	-	ns

備考 Tf = AB0_CLK の 1/4 (周波数比率 1/4 は通常状態時 (AB0_CLK : FLASH_CLK = 2:1) の場合)
 T0, T1, T2, CSInt : リード・ウエイト・タイミング制御レジスタ AB0_CSxWAITCTRL の設定値
 T1w, T2w : ライト・ウエイト・タイミング制御レジスタ AB0_CSxWAITCTRL_W の設定値

注 CSB 立ち下がり ~ ADV 立ち下がり時間 1Tf は, レジスタ設定で短縮可能です。

図 2-8 非同期シングル・リード・タイミング

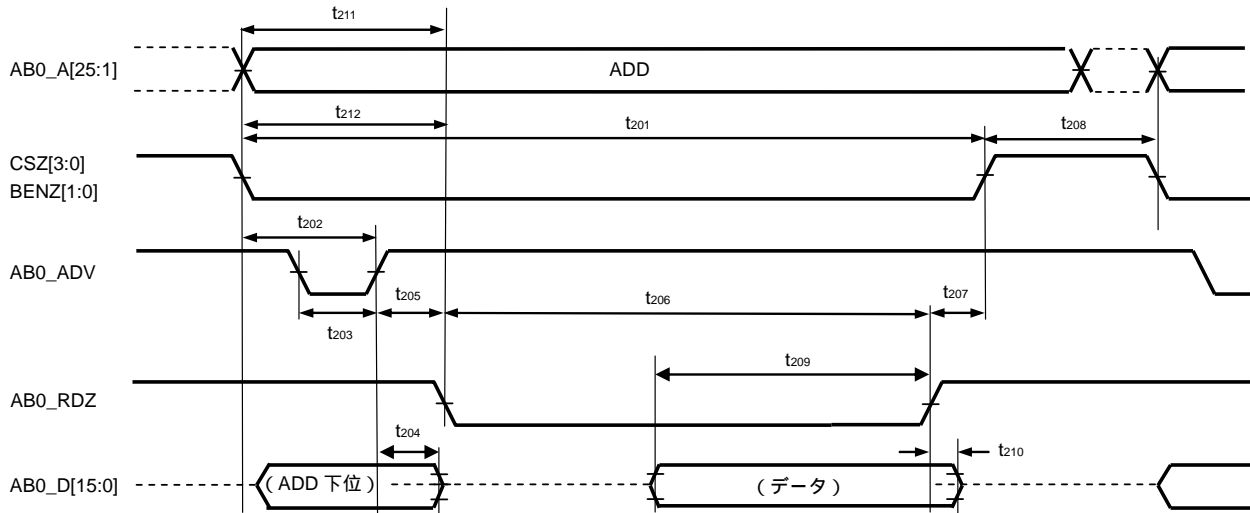
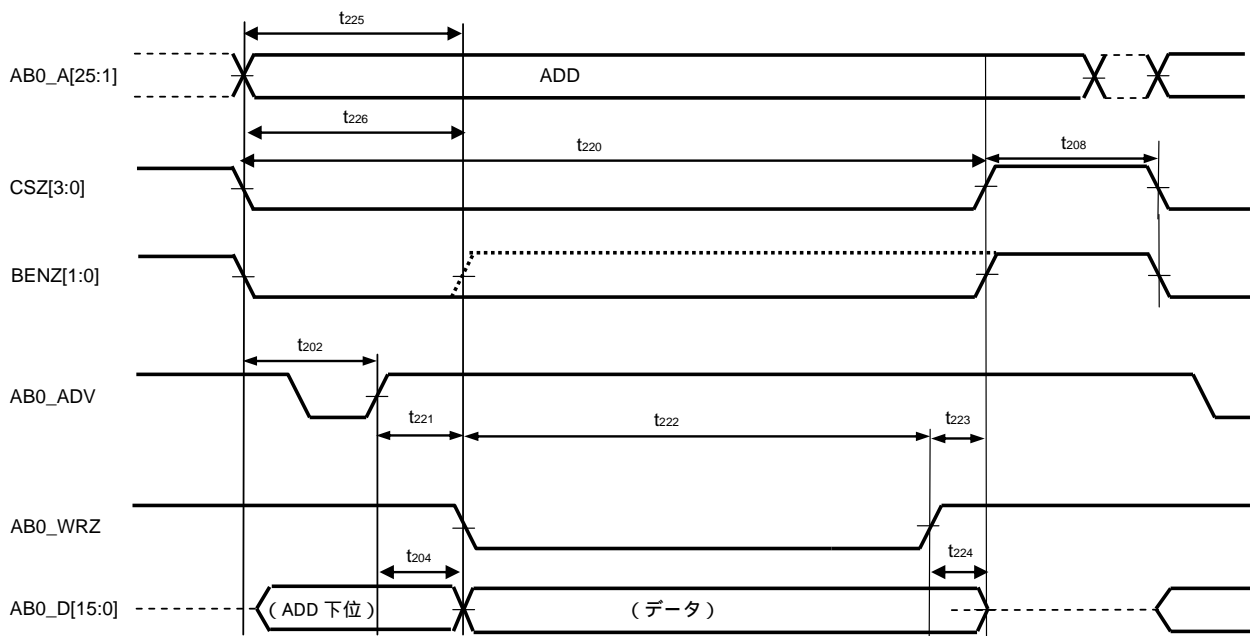


図 2-9 非同期シングル・ライト・タイミング



2.5.4 DDRインタフェース

(IOバッファ駆動能力 8 mA)

項目	略号	条件	MIN.	TYP.	MAX.	単位
DDR_MCLK サイクル時間	tck	-	6	-	-	ns
DDR_MCLK ハイ・レベル幅	tckH	-	0.45	0.5	0.55	tck
DDR_MCLK ロウ・レベル幅	tckL	-	0.45	0.5	0.55	tck
アドレス/コマンド端子遅延時間	tcksq	DDR_A[13:0], DDR_RASB, DDR_CASB, DDR_WEB, DDR_CSB[1:0], DDR_CKE[1:0]	- 0.4	-	1	ns
DDR_DATA[31:0], DDR_DQM[3:0] 出力遅延時間	tac	-	0.75 × tck - 0.45	-	0.75 × tck + 0.45	ns
DDR_DATA[31:0], DDR_DQM[3:0] 出力スキュー時間	tdasqo	-	-	0.3	0.6	ns
DDR_DATA[31:0], DDR_DQM[3:0] 出力有効時間	tbov	-	tckL(tckH) - tdasqo			ns
DDR_DQS[3:0]出力遅延時間	tdqss	-	0.95	-	1.05	tck
DDR_DATA[31:0], DDR_DQM[3:0] 入力有効時間	tdiv	-	1.8	-	-	ns
DDR_DATA[31:0]入力スキュー時間	tdasqi	From DDR_DQS[3:0]	-	-	0.7	ns

備考 DDR_MCLK/DDR_MCLKB, DQ/DQM 出力, DQS 出力, DQS 入力は, レジスタ設定により入力伝播遅延を調整することができます。

図 2 - 10 DDR 出力タイミング

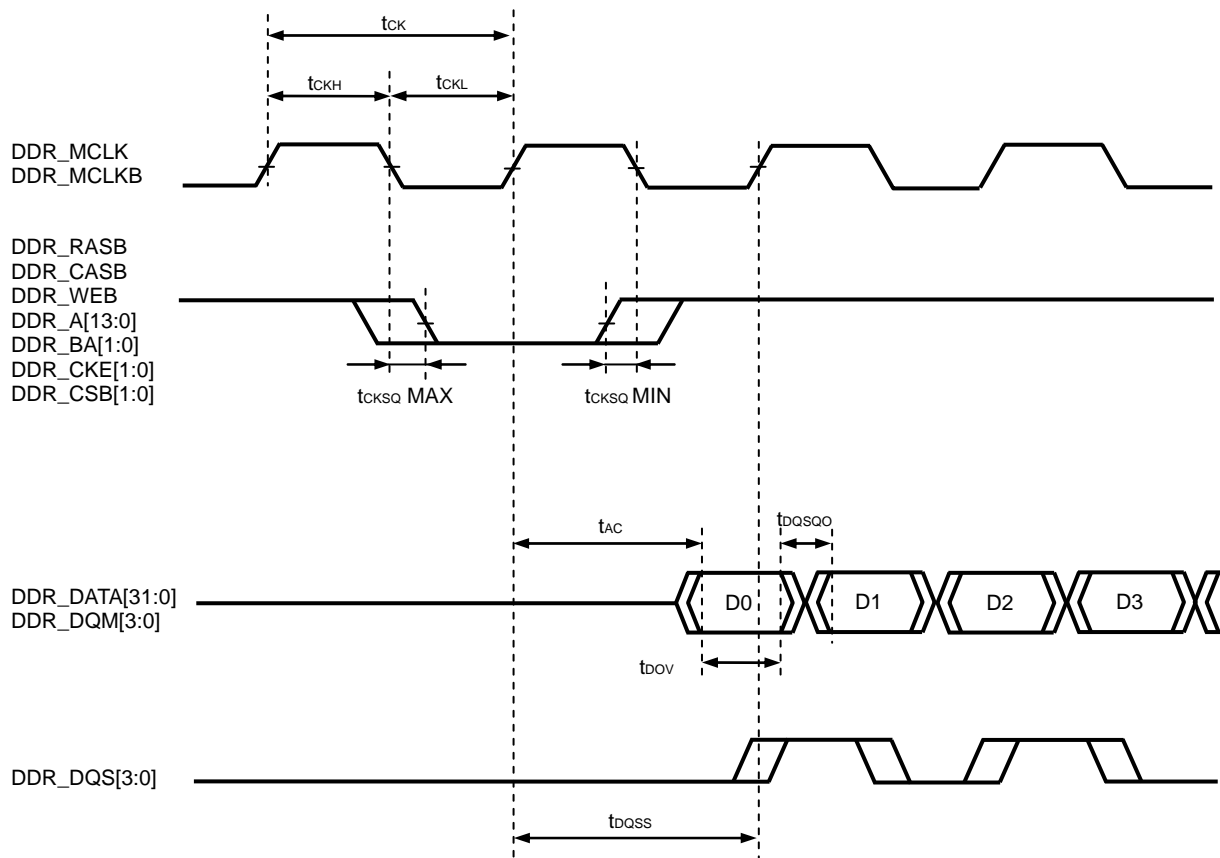
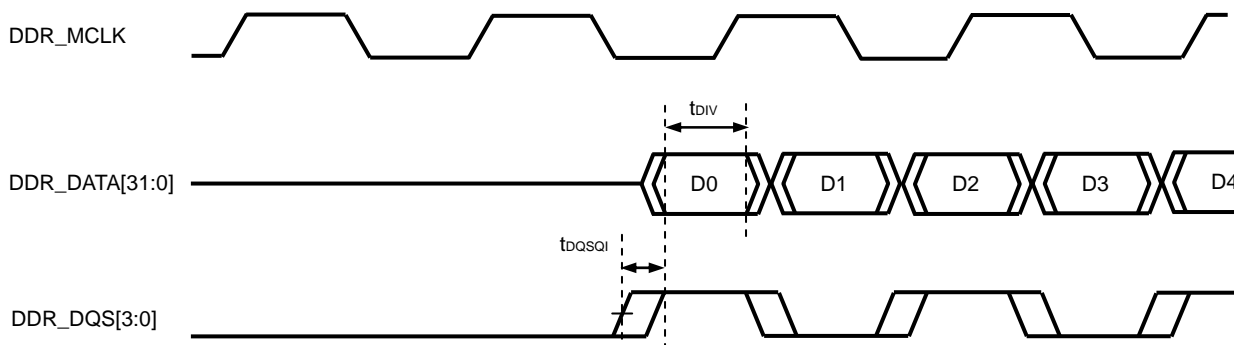


図 2 - 11 DDR 入力タイミング



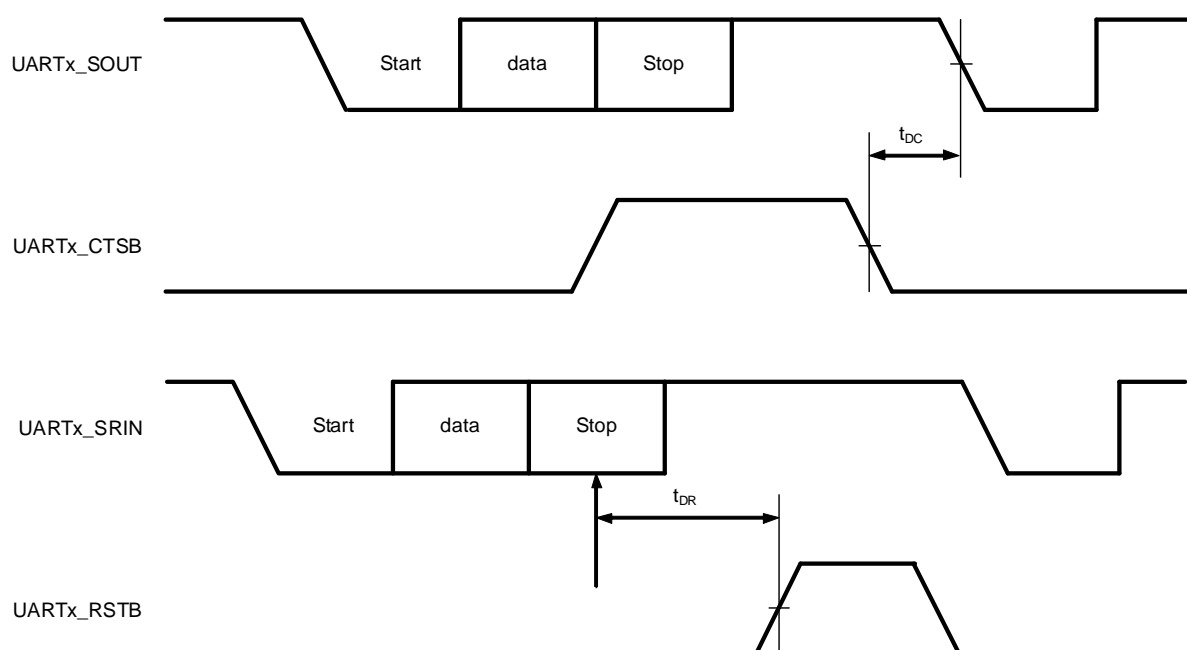
2.5.5 UARTインタフェース

(IOバッファ駆動能力 2 mA)

項目	略号	条件	MIN.	TYP.	MAX.	単位
UARTx_SOUT 出力遅延時間	t_{DC}	UARTx_CTSB 立ち下がり	-	-	4	RCLK
UARTx_RTSB 出力遅延時間	t_{DR}	UARTx_SRIN ストップ・ビット中央	-	-	3	RCLK

備考 RCLK : ボーレート・クロック・サイクルの 1/16

図 2 - 12 UART インタフェース・タイミング



備考 x = 0-2 (UART0, UART2 の UARTx_CTSB, UARTx_RTSB は端子です。UART1 には存在しません。)

2.5.6 IICインタフェース

(IOバッファ駆動能力2mA)

項目	略号	条件	標準モード ^{注1}		高速モード ^{注1}		単位
			MIN.	MAX.	MIN.	MAX.	
IIC_SCL クロック周波数	fc	-	0	70	0	341	kHz
IIC バス・フリー・タイム	t _{BF}	ストップ・スタート・コンディショ ンの間	4.7	-	1.3	-	μs
IIC ホールド時間 ^{注2}	t _{H1}	-	4.0	-	0.6	-	μs
IIC ホールド時間(SCL ク ロック)	t _{WL}	“ Low ” 状態	4.7	-	1.3	-	μs
	t _{WH}	“ Hi ” 状態	4.0	-	0.6	-	μs
IIC セットアップ時間	t _{SU1}	スタート・コンディショ ン リスタート・コンディショ ン	4.7	-	0.6	-	μs
IIC データ・セットアップ 時間	t _{SU2}	-	250	-	100 ^{注3}	-	ns
IIC 立ち上がり時間	t _r	SDA および SCL 信号	-	-	-	300 ^{注4}	ns
IIC 立ち下がり時間	t _f	SDA および SCL 信号	-	-	-	300 ^{注4}	ns
IIC セットアップ時間	t _{SU3}	ストップ・コンディショ ン	4.0	-	0.6	-	μs
IIC データ・ホールド時間	t _{H2}	クロック立ち下がり 出力	5.0	-	-	-	μs
		入力	0	3.45	0 ^{注5}	0.9 ^{注6}	μs
IIC 各バス・ラインの容量 性負荷	C _b	-	-	400	-	400	pF

注 1. 標準モードおよび高速モード設定は IIC0 クロック選択レジスタ (IICCL0) の SMC0 ビットで設定してください。

2. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

3. 高速モード I²C バスは、標準モード I²C バス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

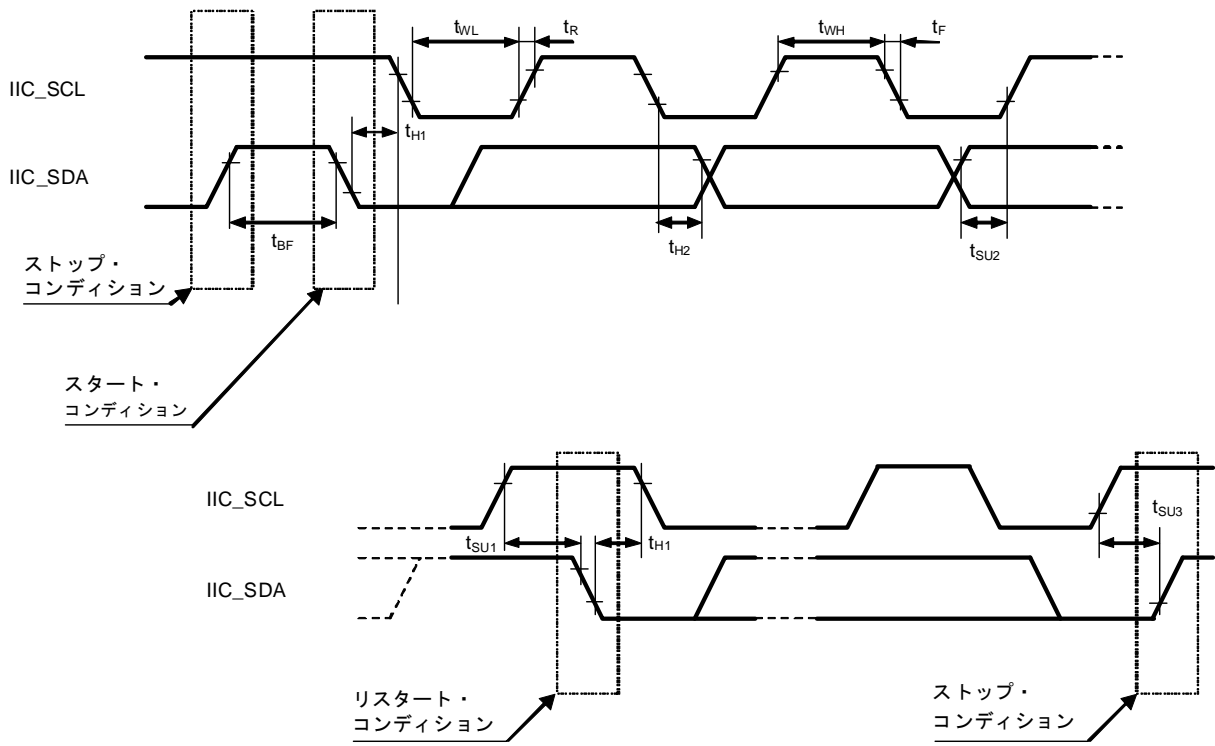
・装置が IIC_SCL 信号のロウ状態ホールド時間を延長しない場合 t_{SU2} 250 ns

4. 立ち上がり / 立ち下がり期間において、1.8 V 系 IO Schmitt バッファのヒステリシス幅を超えるノイズを入力しないようにしてください。

5. 装置は、IIC_SCL の立ち下がり端の未定義領域を埋めるために (IIC_SCL 信号の V_{IH} (MIN.) [0.7 V_{DD2}]での) IIC_SDA 信号用に最低 300 ns のホールド時間を内部的に提供する必要があります。

6. 装置が IIC_SCL 信号のロウ・ホールド時間 (t_{WL}) を延長しない場合は、最大データ・ホールド時間 (t_{H2}) のみ満たすことが必要です。

図 2 - 13 IIC バス・インタフェース・タイミング



2.5.7 Audio/Voiceインタフェース

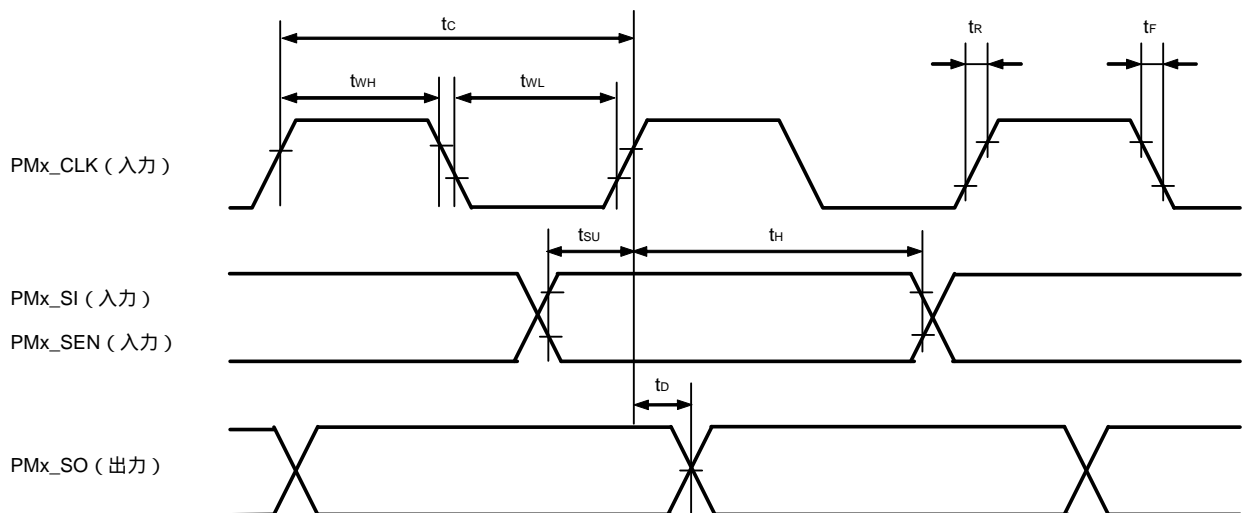
(1) スレープ・モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
PMx_CLK サイクル・タイム	t_c	-	100	-	-	ns
PMx_CLK ハイ・レベル幅	t_{WH}	-	40	-	-	ns
PMx_CLK ロウ・レベル幅	t_{WL}	-	40	-	-	ns
クロック立ち上がり時間	t_R	-	-	-	10	ns
クロック立ち下がり時間	t_F	-	-	-	10	ns
PMx_SI, PMx_SEN セットアップ時間	t_{SU}	PMx_CLK の立ち上がり, 立ち下がり	20	-	-	ns
PMx_SI, PMx_SEN ホールド時間	t_H	PMx_CLK の立ち上がり, 立ち下がり	20	-	-	ns
PMx_SO 出力遅延時間	t_D	PMx_CLK の立ち上がり, 立ち下がり	0	-	20	ns

備考 有効エッジからのスペックです。

x = 0, 1

図 2 - 14 Audio/Voice インタフェース・タイミング (スレープ・モード)



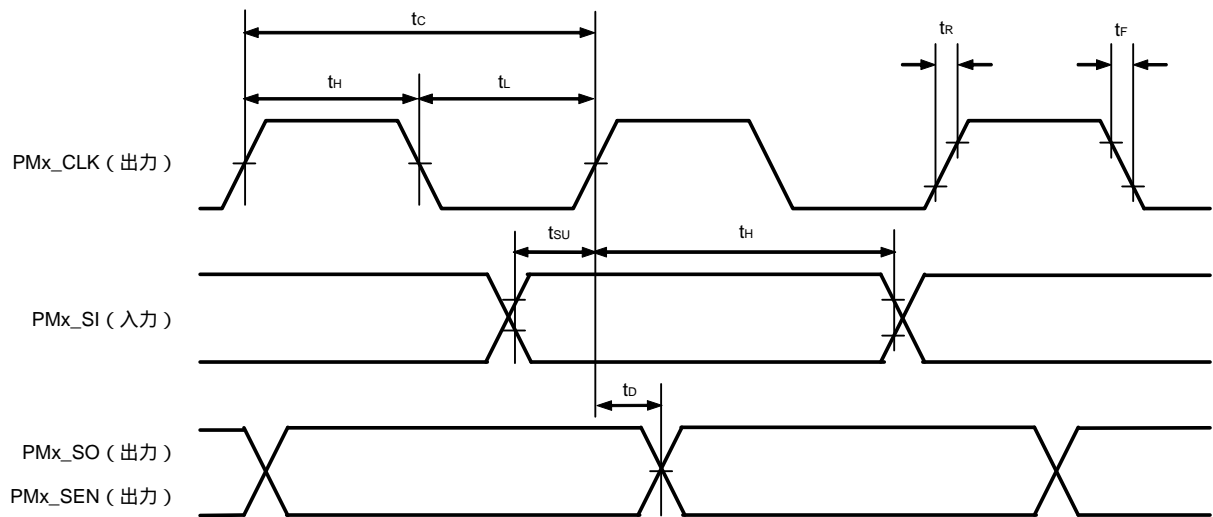
(2) マスタ・モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
PM0_CLK サイクル・タイム	t_c	-	100	-	-	ns
PM0_CLK ハイ・レベル幅	t_{WH}	-	40	-	-	ns
PM0_CLK ロウ・レベル幅	t_{WL}	-	40	-	-	ns
クロック立ち上がり時間	t_R	-	-	-	10	ns
クロック立ち下がり時間	t_F	-	-	-	10	ns
PMx_SI セットアップ時間	t_{SU}	-	20	-	-	ns
PM0_SI ホールド時間	t_H	-	20	-	-	ns
PM0_SO, PM0_SEN 出力遅延時間	t_D	-	- 5	-	20	ns

備考 有効エッジからのスペックです。

$x = 0, 1$

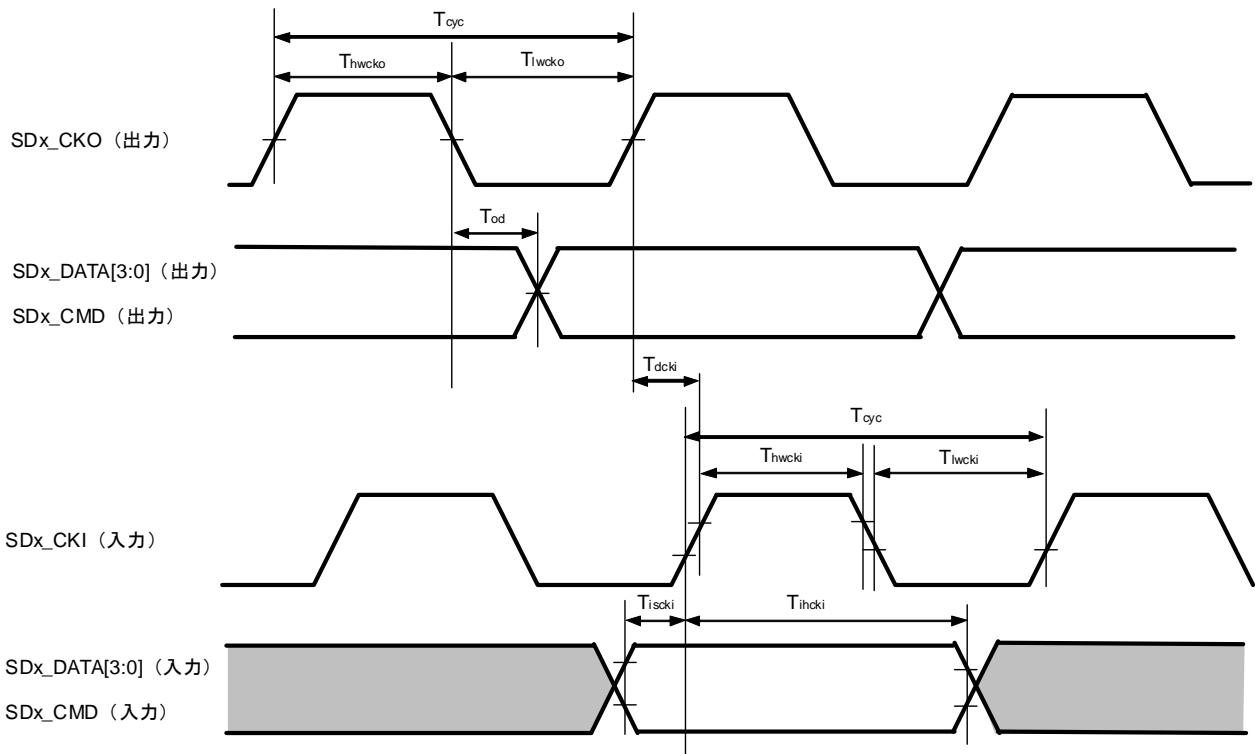
図 2 - 15 Audio / Voice インタフェース・タイミング (マスタ・モード)



2.5.8 SDIOインタフェース

項目	略号	条件	SD0(SDIA) ,SD1(SDIB) ,SD2(SDIC)			
			MIN.	TYP.	MAX.	単位
クロック周期	T_{cyc}	-	24.0	-	-	ns
出力クロック・ハイ・レベル幅	T_{hwcko}	-	11.5	-	-	ns
出力クロック・ロウ・レベル幅	T_{lwcko}	-	11.5	-	-	ns
Output Delay	T_{od}	-	-	-	2	ns
入力クロック・ハイ・レベル幅	T_{hwcki}	-	7.5	-	-	ns
入力クロック・ロウ・レベル幅	T_{lwcki}	-	7.5	-	-	ns
入力クロック遅延時間	T_{dcki}	-	-	-	6	ns
セットアップ時間	T_{iscki}	-	3.5	-	-	ns
ホールド時間	T_{ihcki}	-	0	-	-	ns

図 2 - 16 SDIO インタフェース・タイミング

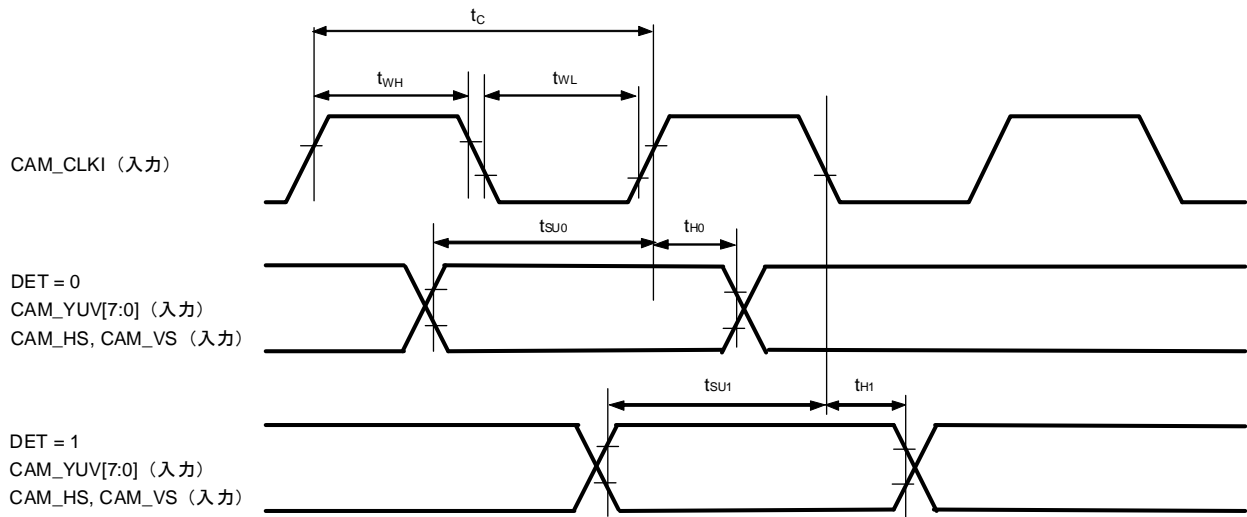


備考 x = 0-2

2.5.9 カメラ・インタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
CAM_CLKI 入力周期	t_c	-	12.5	-	-	ns
CAM_CLKI ハイ・レベル幅	t_{WH}	-	4	-	-	ns
CAM_CLKI ロウ・レベル幅	t_{WL}	-	4	-	-	ns
CAM_YUV[7:0], CAM_HS, CAM_VS セットアップ時間	t_{SU0}	DET = 0	5	-	-	ns
CAM_YUV[7:0], CAM_HS, CAM_VS ホールド時間	t_{H0}	DET = 0	0	-	-	ns
CAM_YUV[7:0], CAM_HS, CAM_VS セットアップ時間	t_{SU1}	DET = 1	5	-	-	ns
CAM_YUV[7:0], CAM_HS, CAM_VS ホールド時間	t_{H1}	DET = 1	1	-	-	ns

図 2-17 カメラ・インタフェース・タイミング

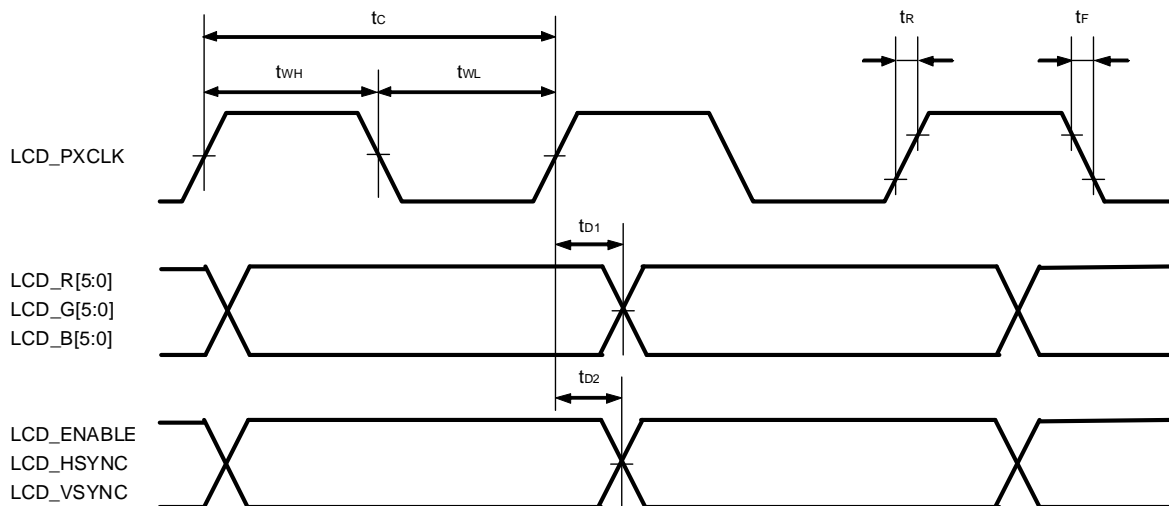


2.5.10 LCDインタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD_PXCLK 周期	t_c	-	30	-	-	ns
LCD_PXCLK ハイ・レベル幅	t_{WH}	-	12	-	-	ns
LCD_PXCLK ロウ・レベル幅	t_{WL}	-	12	-	-	ns
LCD_PXCLK 立ち上がり時間	t_R	20%-80%	-	-	5	ns
LCD_PXCLK 立ち下がり時間	t_F	80%-20%	-	-	5	ns
データ遅延時間	t_{D1}	LCD_R[5:0], LCD_G[5:0], LCD_B[5:0]	0	-	10	ns
	t_{D2}	LCD_VSYNC, LCD_HSYNC, LCD_ENABLE	0	-	10	ns

備考 LCD_PXCLK に対しての設定（立ち上がり、立ち下がり）は、LCD コントロール・レジスタの CLKPOL 値で行います。立ち上がり：CLKPOL = 0、立ち下がり：CLKPOL = 1 有効エッジからのスペックです。

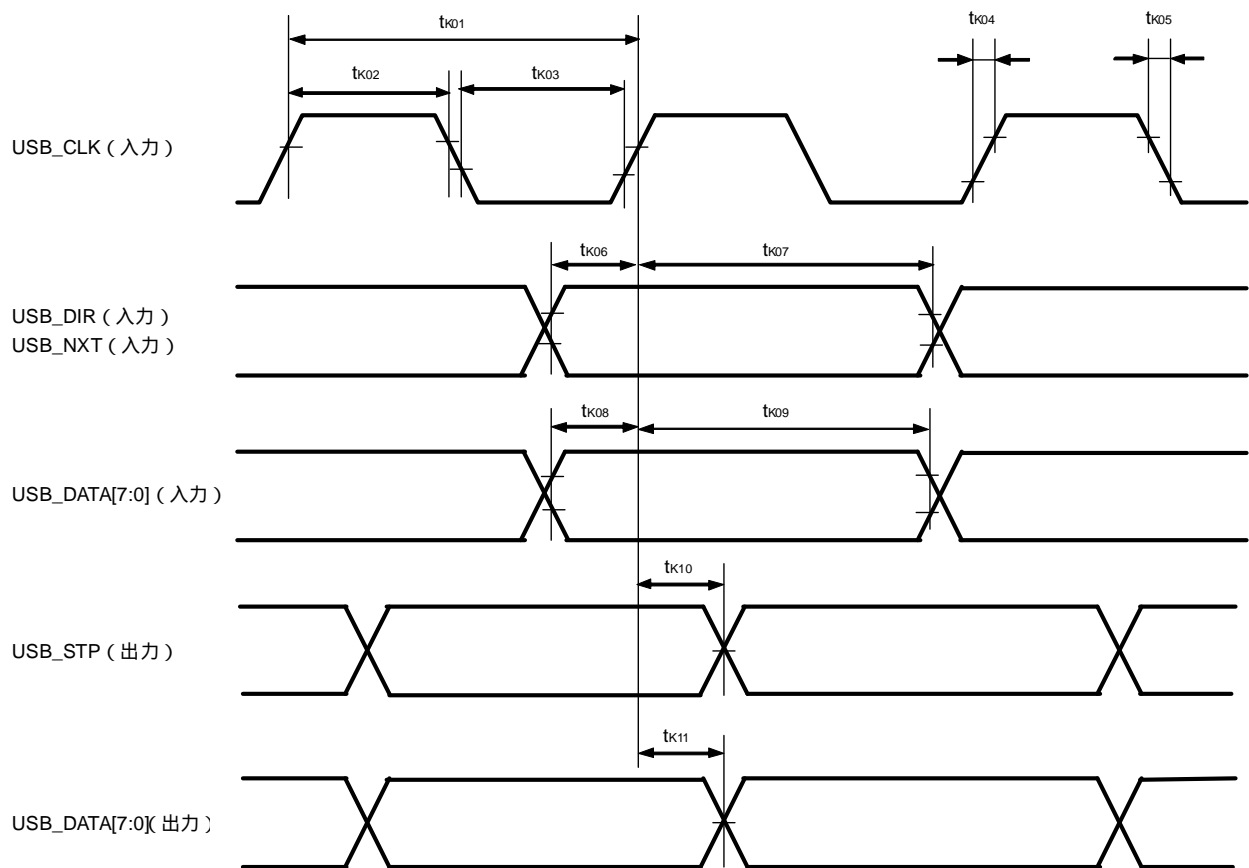
図 2 - 18 LCD インタフェース・タイミング



2.5.11 USBインタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
USB_CLK 周期	tk01	60 MHz	-	16.7	-	ns
USB_CLK ハイ・レベル幅	tk02	-	7	-	-	ns
USB_CLK ロウ・レベル幅	tk03	-	7	-	-	ns
USB_CLK 立ち上がり時間	tk04	-	-	-	2	ns
USB_CLK 立ち下がり時間	tk05	-	-	-	2	ns
USB コントロール入力セットアップ時間	tk06	-	5	-	-	ns
USB コントロール入力ホールド時間	tk07	-	1	-	-	ns
USB データ入力セットアップ時間	tk08	-	5	-	-	ns
USB データ入力ホールド時間	tk09	-	1	-	-	ns
USB データ出力遅延時間	tk11	-	0.5	-	7	ns
USB_STP 出力遅延時間	tk10	-	1	-	9	ns

図 2 - 19 USB インタフェース・タイミング

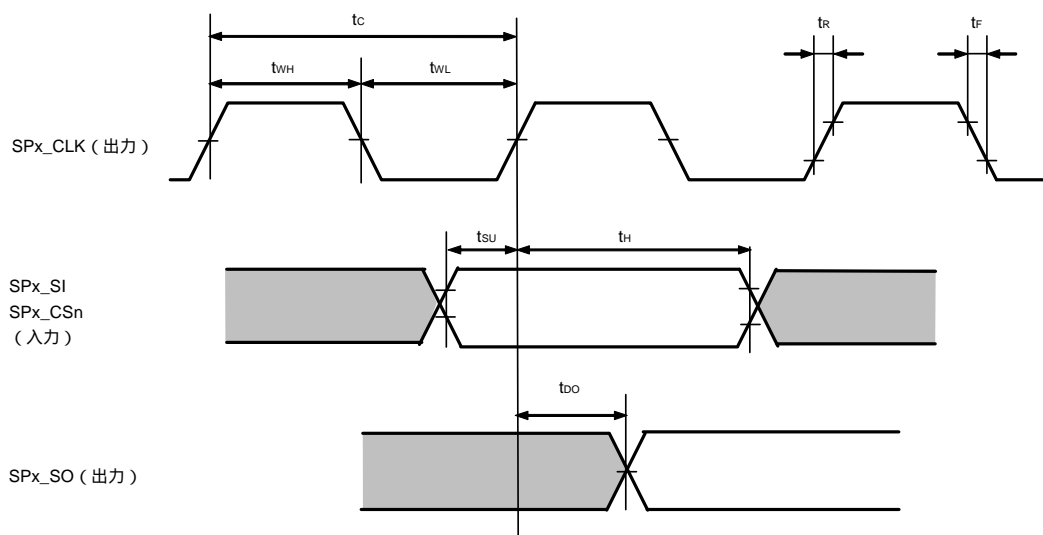


2.5.12 SPIインタフェース

(1) マスタ・モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
SP0, SP1, SP2 共通						
SPx_CLK 出力周期	t_c	-	40	-	-	ns
SPx_CLK ハイ・レベル幅	t_{WH}	-	16	-	-	ns
SPx_CLK ロウ・レベル幅	t_{WL}	-	16	-	-	ns
SPx_CLK 立ち上がり時間	t_r	20 ~ 80%	-	-	4	ns
SPx_CLK 立ち下がり時間	t_f	80 ~ 20%	-	-	4	ns
SP0						
SP0_SI セットアップ時間	t_{SU0}	SP0_CLK 立ち上がり, 立ち下がり	12	-	-	ns
SP0_SI ホールド時間	t_{H0}	SP0_CLK 立ち上がり, 立ち下がり	0	-	-	ns
SP0_SO 遅延時間	t_{D00}	SP0_CLK 立ち上がり, 立ち下がり	0	-	12	ns
SP1						
SP1_SI セットアップ時間	t_{SU1}	SP1_CLK 立ち上がり, 立ち下がり	12	-	-	ns
SP1_SI ホールド時間	t_{H1}	SP1_CLK 立ち上がり, 立ち下がり	0	-	-	ns
SP1_SO 遅延時間	t_{D01}	SP1_CLK 立ち上がり, 立ち下がり	0	-	12	ns
SP2						
SP2_SI セットアップ時間	t_{SU2}	SP2_CLK 立ち上がり, 立ち下がり	12	-	-	ns
SP2_SI ホールド時間	t_{H2}	SP2_CLK 立ち上がり, 立ち下がり	0	-	-	ns
SP2_SO 遅延時間	t_{D02}	SP2_CLK 立ち上がり, 立ち下がり	0	-	12	ns

図 2 - 20 SPI インタフェース・タイミング (マスタ・モード)

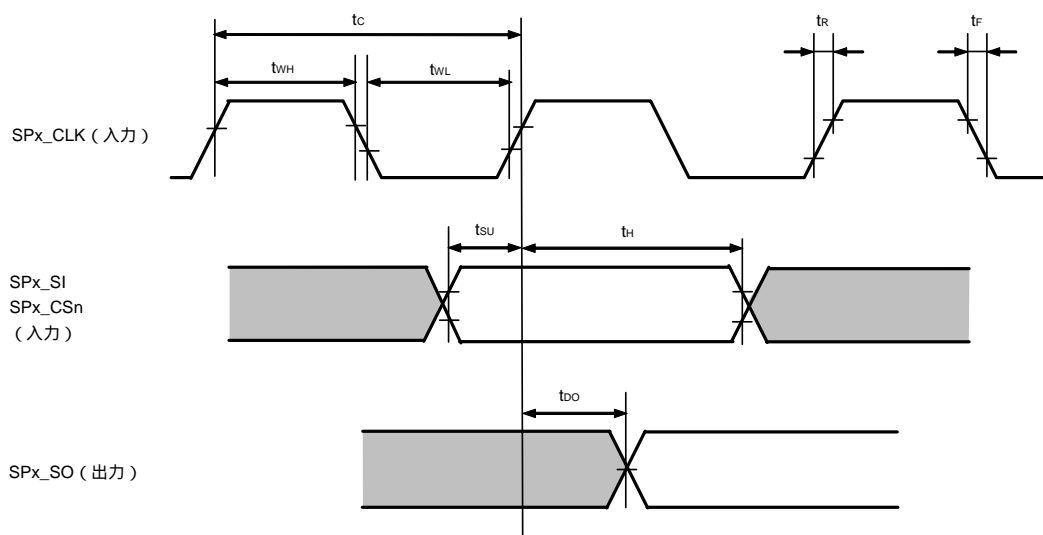


- 備考 1. SPx_CLK はレジスタ設定で反転出力可能です。
2. SPx_CLK インアクティブ期間は SPx_CLK が出力されません(インアクティブ・レベル固定となります)。
3. 接続デバイスのリード・レイテンシが長い場合は, SI/SO の入出力位相切り替え機能 (SCLK の立ち上がり / 立ち下がり) 等で, 対応可能です。

(2) スレープ・モード

項目	略号	条件	MIN.	TYP.	MAX.	単位
SP0/1/2 共通						
SPx_CLK 入力周期	t_c	-	50	-	-	ns
SPx_CLK ハイ・レベル幅	t_{WH}	-	20	-	-	ns
SPx_CLK ロウ・レベル幅	t_{WL}	-	20	-	-	ns
SPx_CLK 立ち上がり時間	t_r	-	-	-	4	ns
SPx_CLK 立ち下がり時間	t_f	-	-	-	4	ns
SP0						
SP0_CS セットアップ時間	t_{SU0}	SP0_CLK 立ち上がり, 立ち下がり	5	-	-	ns
SP0_CS ホールド時間	t_{H0}	SP0_CLK 立ち上がり, 立ち下がり	15	-	-	ns
SP0_SO 遅延時間	t_{D00}	SP0_CLK 立ち上がり, 立ち下がり	3	-	18	ns
SP1						
SP1_CS セットアップ時間	t_{SU1}	SP1_CLK 立ち上がり, 立ち下がり	5	-	-	ns
SP1_CS ホールド時間	t_{H1}	SP1_CLK 立ち上がり, 立ち下がり	15	-	-	ns
SP1_SO 遅延時間	t_{D01}	SP1_CLK 立ち上がり, 立ち下がり	3	-	20	ns
SP2						
SP2_CS セットアップ時間	t_{SU2}	SP2_CLK 立ち上がり, 立ち下がり	5	-	-	ns
SP2_CS ホールド時間	t_{H2}	SP2_CLK 立ち上がり, 立ち下がり	15	-	-	ns
SP2_SO 遅延時間	t_{D02}	SP2_CLK 立ち上がり, 立ち下がり	3	-	18	ns

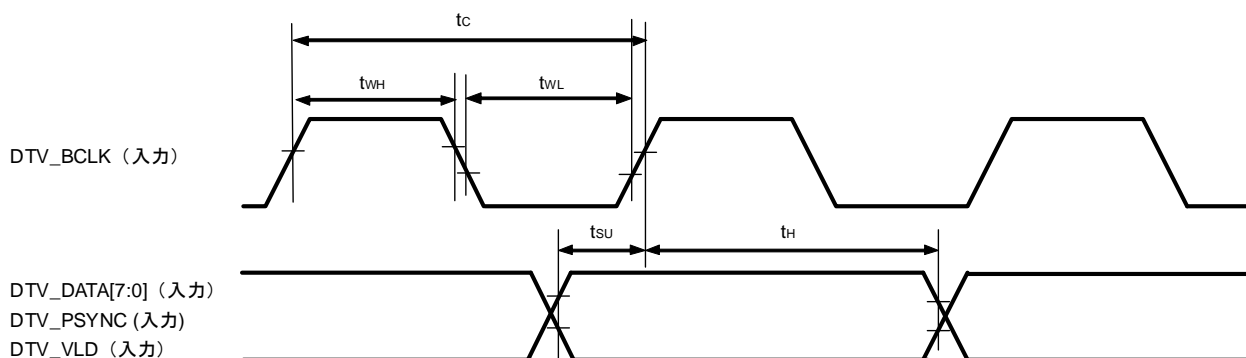
図 2 - 21 SPI インタフェース・タイミング (スレープ・モード)



2.5.13 DTVインタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
DTV_BCLK 入力周期	tc	-	66	-	-	ns
DTV_BCLK ハイ・レベル幅	t _{WH}	-	28	-	-	ns
DTV_BCLK ロウ・レベル幅	t _{WL}	-	28	-	-	ns
DTV_DATA, DTV_PSYNC, DTV_VLD セットアップ時間	t _{SU}	-	12	-	-	ns
DTV_DATA, DTV_PSYNC, DTV_VLD ホールド時間	t _H	-	12	-	-	ns

図 2 - 22 DTV インタフェース・タイミング



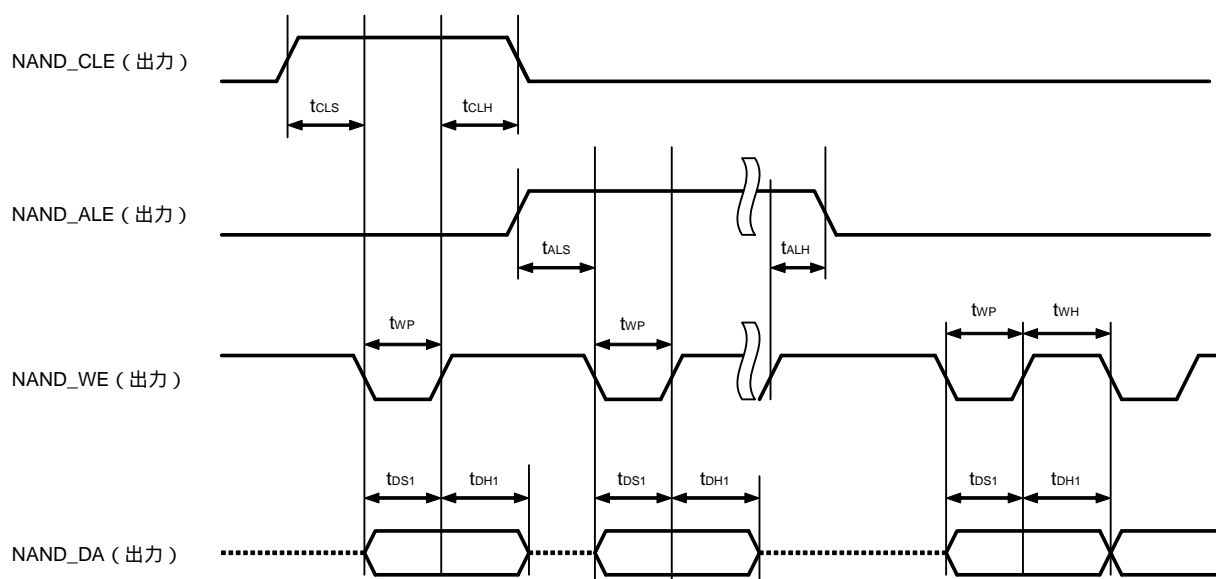
2.5.14 NAND Flashインタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
CLE セットアップ時間	tCLS	-	tc-3	-	8 tc+3	ns
CLE ホールド時間	tCLH	-	tc-3	-	8 tc+3	ns
ALE セットアップ時間	tALS	-	tc-3	-	8 tc+3	ns
ALE ホールド時間	tALH	-	tc-3	-	8 tc+3	ns
ライト・パルス幅	tWP	-	tc-3	-	16 tc+3	ns
WEZ ハイ・ホールド時間	tWH	-	tc-3	-	16 tc+3	ns
ライト・データ・セットアップ時間	tDS1	NAND_WEZ 立ち上がり	tWP-3	-	tWP+3	ns
ライト・データ・ホールド時間	tDH1	NAND_WEZ 立ち上がり	tWH-3	-	tWH+3	ns

備考 1. 表中の tc = tc (AHB)

2. NAND_WEZ, REZ, CLE, ALE に関する各 AC スペックはレジスタ設定で決まり, 単位は tc(AHB:ACPU500MHz 時 83 MHz) です。

図 2 - 23 NANDFLASH インタフェース・タイミング 1



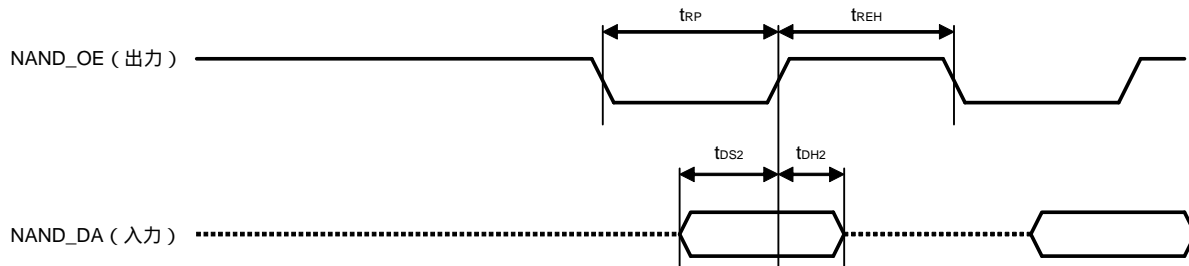
項目	略号	条件	MIN.	TYP.	MAX.	単位
リード・パルス幅	t_{RP}	-	t_{C-3}	-	$16 t_{C+3}$	ns
ハイ・ホールド時間	t_{REH}	-	t_{C-3}	-	$16 t_{C+3}$	ns
リード・データ・セットアップ時間	t_{DS2}	NAND_OE 立ち上がり	8	-	-	ns
リード・データ・ホールド時間	t_{DH2}	NAND_OE 立ち上がり	0	-	-	ns

備考 1. 表中の $t_c = t_c$ (AHB:ACPU500 MHz 時 83 MHz = 12 ns)

2. NAND_WE, OE, CLE, ALE に関する各 AC スペックはレジスタ設定で決まり、単位は t_c です。

3. NAND_DA (入力) のリード時のデータ・ラッチ・クロックは内部バス・クロックです。

図 2 - 24 NANDFLASH インタフェース・タイミング 2

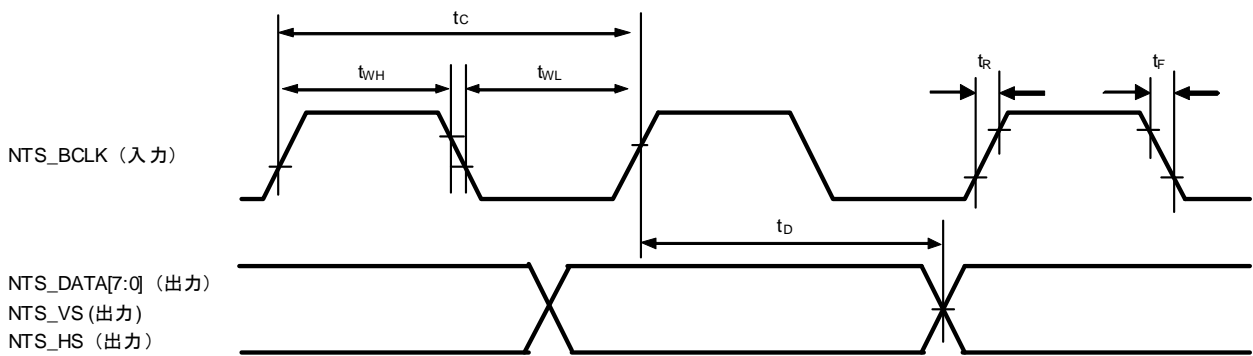


2.5.15 ITU-R BT.656 インタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
NTSC_CLK 入力周期	t_c	-	-	37 ^注	-	ns
NTSC_CLK ハイ・レベル幅	t_{WH}	-	13	-	-	ns
NTSC_CLK ロウ・レベル幅	t_{WL}	-	13	-	-	ns
NTSC_CLK 立ち上がり時間	t_R	-	-	-	5	ns
NTSC_CLK 立ち下がり時間	t_F	-	-	-	5	ns
NTSC_DATA 出力遅延時間	t_D	NTSC_CLK 立ち上がり	4	-	18	ns

注 NTSC_CLK = 27 MHz

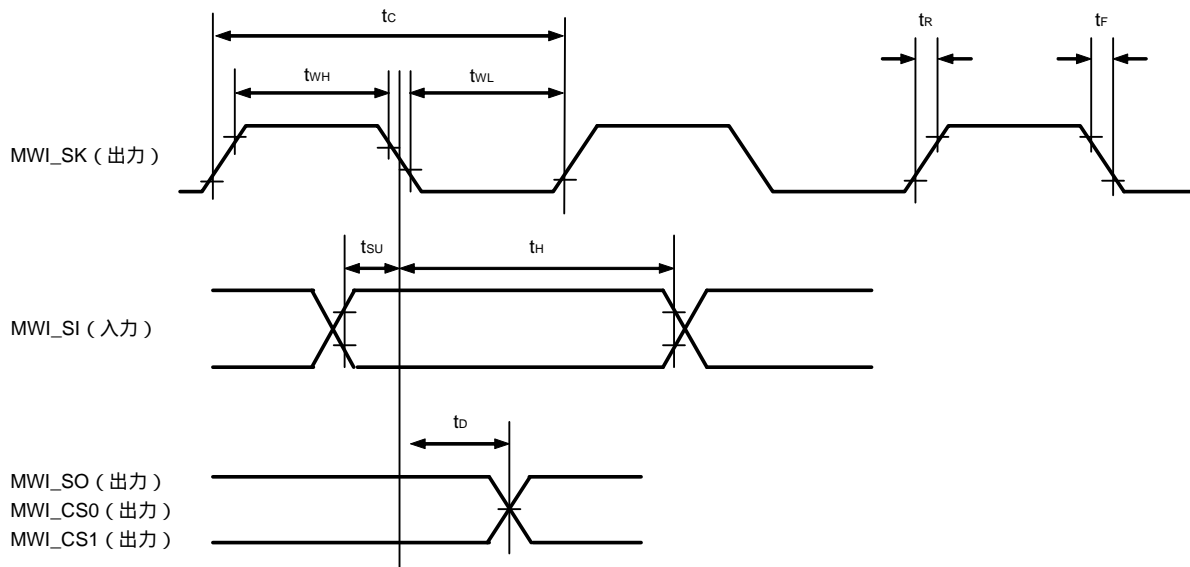
図 2 - 25 ITU-R BT.656 タイミング



2.5.16 MICROWIREインタフェース

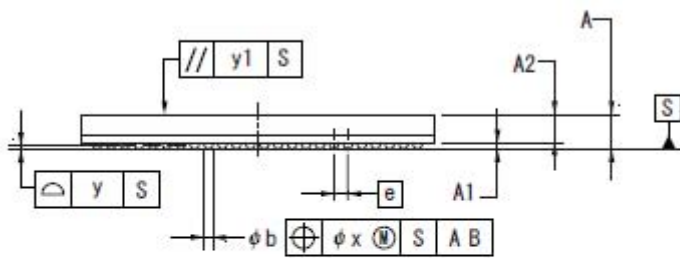
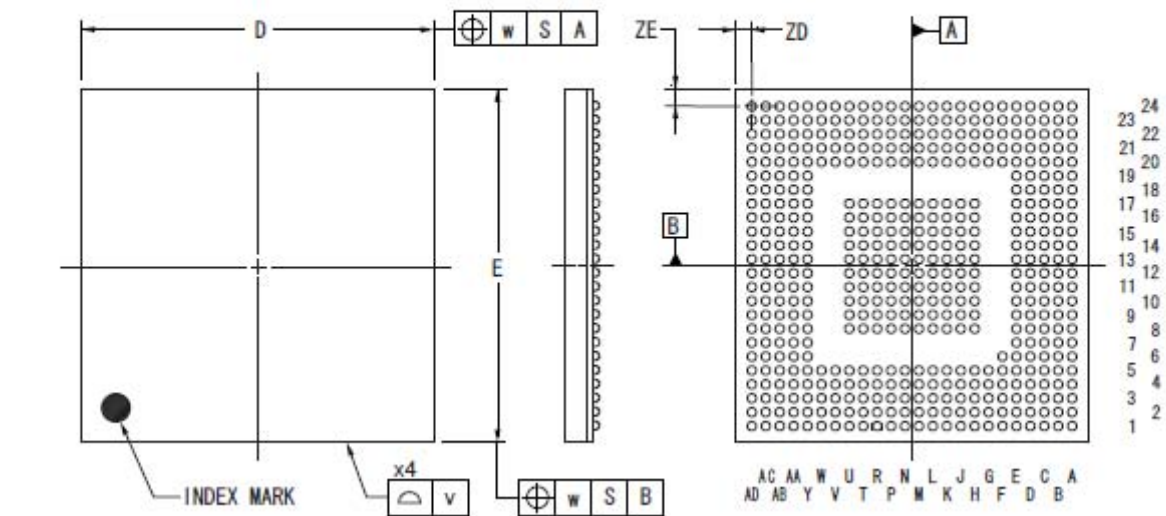
項目	略号	条件	MIN.	TYP.	MAX.	単位
MWI_SK クロック周期	t_c	-	160	-	-	ns
MWI_SK クロックハイ・レベル幅	t_{WH}	-	72	-	-	ns
MWI_SK クロックロウ・レベル幅	t_{WL}	-	72	-	-	ns
MWI_SK クロック立ち上がり時間	t_r	-	-	-	8	ns
MWI_SK クロック立ち下がり時間	t_f	-	-	-	8	ns
MWI_SI セットアップ時間	t_{su}	MWI_SK 立ち上がり	20	-	-	ns
MWI_SI ホールド時間	t_H	MWI_SK 立ち上がり	0	-	-	ns
MWI_SO, MWI_CS _n 出力遅延時間	t_d	MWI_SK 立ち上がり	-	-	20	ns

図 2-26 MICROWIRE インタフェース



3. 外形図

481-PIN PLASTIC FBGA (12.7x12.7)



(UNIT: mm)

ITEM	DIMENSIONS
D	12.70±0.10
E	12.70±0.10
v	0.15
w	0.20
A	1.21±0.09
A1	0.21±0.05
A2	1.00
e	0.50
b	0.32±0.05
x	0.05
y	0.08
y1	0.20
ZD	0.60
ZE	0.60

P481F1-50-ENY

© NEC Electronics Corporation 2009

[メ モ]

改版履歴

日付	版数	改版内容
2009.3.10	暫定1版	-
2009.4.27	第2版	P11 1.2(2) システム・コントロール信号 C32K 未使用時の端子処理 オープン -
		P17 1.2(12) IIC インタフェース信号 ・IIC_SCL の機能 シリアル・クロック入力 出力 ・IIC_SDA の機能 シリアル・データ入力 入出力 ・IIC2_SCL の機能 シリアル・クロック入力 出力 ・IIC2_SDA の機能 シリアル・データ入力 入出力
		P19 1.2(14) メモリ・カード・インタフェース信号 SD0_CKI, SD1_CKI, SD2_CKI の信号のタイプ欄 D C
		P31 2.4.1 1.8V 系 I/O ・備考欄の暫定値表記削除 ・ポジティブ・トリガ電圧 MIN 値変更 ($0.70 \times V_{IO18}$ - $0.68 \times V_{IO18}$) ・バスホルダ保持抵抗 MAX 値変更 (9K 11K)
		P32 2.4.2 2.8V 系 I/O ・備考欄の暫定値表記削除 ・ポジティブ・トリガ電圧 MIN 値変更 ($0.55 \times V_{IO18}$ - $0.54 \times V_{IO18}$)
		P48 2.5.11 USB インタフェース ・USB_STP 出力遅延時間の条件を削除し, MIN, MAX 値をそれぞれ 1ns, 9ns とする。 ・図 2-16 タイミング図 一部修正 これに伴い, USB データ出力切り替え時間, USB_STP 出力切り替え時間をスペックから削除
		P56 3. 外形図 正式版に変更
2009.6.30	第3版	P5~P8 端子表に入力バッファタイプ追記
		P14 1.2(6) カメラ・インタフェース CAM_CLKI のタイプ D C 誤記訂正
		P16 1.2(10) USB インタフェース信号 USB_STP のタイプ F G 誤記訂正
		P20 1.2(16) 汎用入出力インタフェース信号 GIO_P96~GIO_P107 のタイプ D G 誤記訂正
		P24 1.2(20) テスト用信号 UTEST のタイプ J E 誤記訂正
		P56 2.5.17 電源立ち上げシーケンス 追記
2009.9.30	第4版	一部ページ 誤記訂正
		P11 1.2 端子機能一覧(2)システム・コントロール信号 DET1 未使用時の端子処理 オープン - A_RESETB 未使用時の端子処理 オープン -
		P17 1.2 端子機能一覧(11)ITU-R BT.656 インタフェース信号 表記方法変更
		P24 1.2 端子機能一覧(20)テスト用信号 UTEST 未使用時の端子処理 オープン "L"固定
		P29 2.2 推奨動作条件 VIO3 のスペック変更
		P45 2.5.8 SDIO インタフェース 入カクロック・ハイ・レベル幅, 入カクロック・ロウ・レベル幅のスペック 11ns 7.5ns
		P56 2.5.17 電源立ち上げシーケンスはユーザーズマニュアル(1chip 編)に記載したため記載削除
		P35 2.5.2 システム・コントロール DET1 AC スペック(電源投入シーケンス) 追記
2009.12.22	第5版	P35 2.5.2 システム・コントロール DET1 AC スペック(電源投入シーケンス) 追記

CMOS デバイスの一般的注意事項

- (1) 入力端子の印加波形：入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。
CMOS デバイスの入力がノイズなどに起因して、VIL (MAX.) から VIH (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、VIL (MAX.) から VIH (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。
- (2) 未使用入力の処理：CMOS デバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOS デバイスの入力が何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して VDD または GND に接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。
- (3) 静電気対策：MOS デバイス取り扱いの際は静電気防止を心がけてください。MOS デバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOS デバイスを実装したボードについても同様の扱いをしてください。
- (4) 初期化以前の状態 電源投入時、MOS デバイスの初期状態は不定です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。
- (5) 電源投入切断順序 内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。
- (6) 電源 OFF 時における入力信号 当該デバイスの電源が OFF 状態の時に、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源 OFF 時における入力信号」についての記載のある製品については、その内容を守ってください。

この資料に記載されている会社名、製品名などは、各社の商標または登録商標です。

本製品は外国為替及び外国貿易法の規定により規制貨物等に該当しますので、日本国外に輸出する場合には、同法に基づき日本国政府の輸出許可が必要です。

- ・本資料に記載されている内容は2009年12月現在のものです。今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
 - ・文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
 - ・当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 - ・本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
 - ・当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
 - ・当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。
「標準水準」：コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
「特別水準」：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器
「特定水準」：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。
- 注1. 本事項において使用されている「当社」とは、NEC エレクトロニクス株式会社および NEC エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- 注2. 本事項において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいう。
- (M8E0909J)

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753
電話（代表）：(044)435-5111

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。
URL(アドレス) <http://www.necel.co.jp/>

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特约店へお申し付けください。

—— お問い合わせ先 ——

【営業関係、デバイスの技術関係お問い合わせ先】

半導体ホットライン
(電話：午前 9:00～12:00、午後 1:00～5:00)

電話：(044)435-9494
E-mail：info@necel.com