

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

$\mu$  PD77210, 77213

## 16ビット固定小数点デジタル・シグナル・プロセッサ

$\mu$  PD77210, 77213は、16ビットの固定小数点DSP ( Digital Signal Processor ) です。

従来の $\mu$  PD77111ファミリと比べて消費電力性能を向上し、PDA、携帯電話など電池動作のモバイル端末の用途に向いています。また、 $\mu$  PD77111ファミリとはバイナリ・レベルでの互換性を有しています。

$\mu$  PD77210ファミリは、 $\mu$  PD77210, 77213の総称です。特に機能面に違いがない場合は、 $\mu$  PD77210ファミリを該当する製品名に読み替えてください。機能面に違いがある場合は、製品名をあげて説明しています。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しています。設計の際には必ずお読みください。

$\mu$  PD77210ファミリ ユーザーズ・マニュアル アーキテクチャ編 : 作成中

$\mu$  PD77016ファミリ ユーザーズ・マニュアル 命令編 : U13116J

## 特 徴

インストラクション・サイクル (動作クロック)

$\mu$  PD77210 : 最小6.25 ns (最大160 MHz)

$\mu$  PD77213 : 最小8.33 ns (最大120 MHz)

メモリ

・内部命令メモリ

$\mu$  PD77210 : RAM 31.5 Kワード × 32ビット

$\mu$  PD77213 : RAM 15.5 Kワード × 32ビット

ROM 64 Kワード × 32ビット

・データ・メモリ

$\mu$  PD77210 : RAM 30 Kワード × 16ビット × 2面 (XおよびYデータ・メモリ)

外部メモリ空間 1 Mワード × 16ビット (X, Yデータ・メモリ空間共通)

$\mu$  PD77213 : RAM 18 Kワード × 16ビット × 2面 (XおよびYデータ・メモリ)

ROM 32 Kワード × 16ビット × 2面 (XおよびYデータ・メモリ)

外部メモリ空間 1 Mワード × 16ビット (X, Yデータメモリ空間共通)

ペリフェラル

・オーディオ・シリアル・インタフェース : 1チャンネル

・16ビット・タイマ : 2チャンネル

・時分割シリアル・インタフェース : 1チャンネル

・ペリフェラル - メモリ間DMA転送機能

・16ビット・ホスト・インタフェース : 1チャンネル

・SD ( Secure Digital ) カード・インタフェース

・16ビット汎用ポート

( $\mu$  PD77213のみ)

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

## 電源電圧

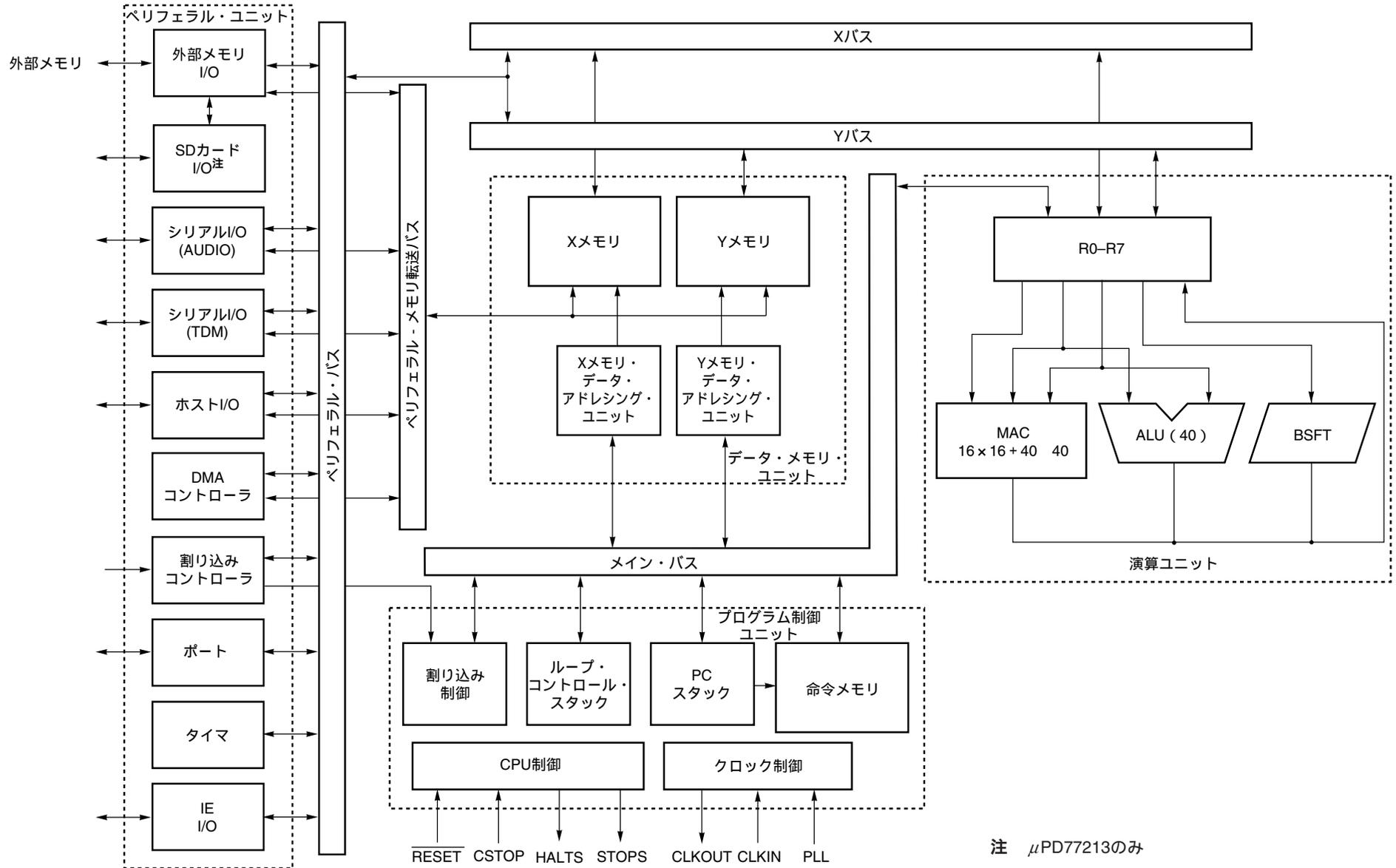
- ・ DSPコア電源 : 1.425 ~ 1.65 V (動作クロック120 MHz以下)  
: 1.55 ~ 1.65 V (動作クロック160 MHz以下) ( $\mu$  PD77210のみ)
- ・ I/O端子電源 : 2.7 ~ 3.6 V

## オーダ情報

オーダ名称	パッケージ
$\mu$ PD77210F1-DA2	161ピン・プラスチック・ファインピッチBGA (10×10)
$\mu$ PD77210GJ-8EN	144ピン・プラスチックLQFP (ファインピッチ) (20×20)
$\mu$ PD77213F1-xxx-DA2	161ピン・プラスチック・ファインピッチBGA (10×10)
$\mu$ PD77213GJ-xxx-8EN	144ピン・プラスチックLQFP (ファインピッチ) (20×20)

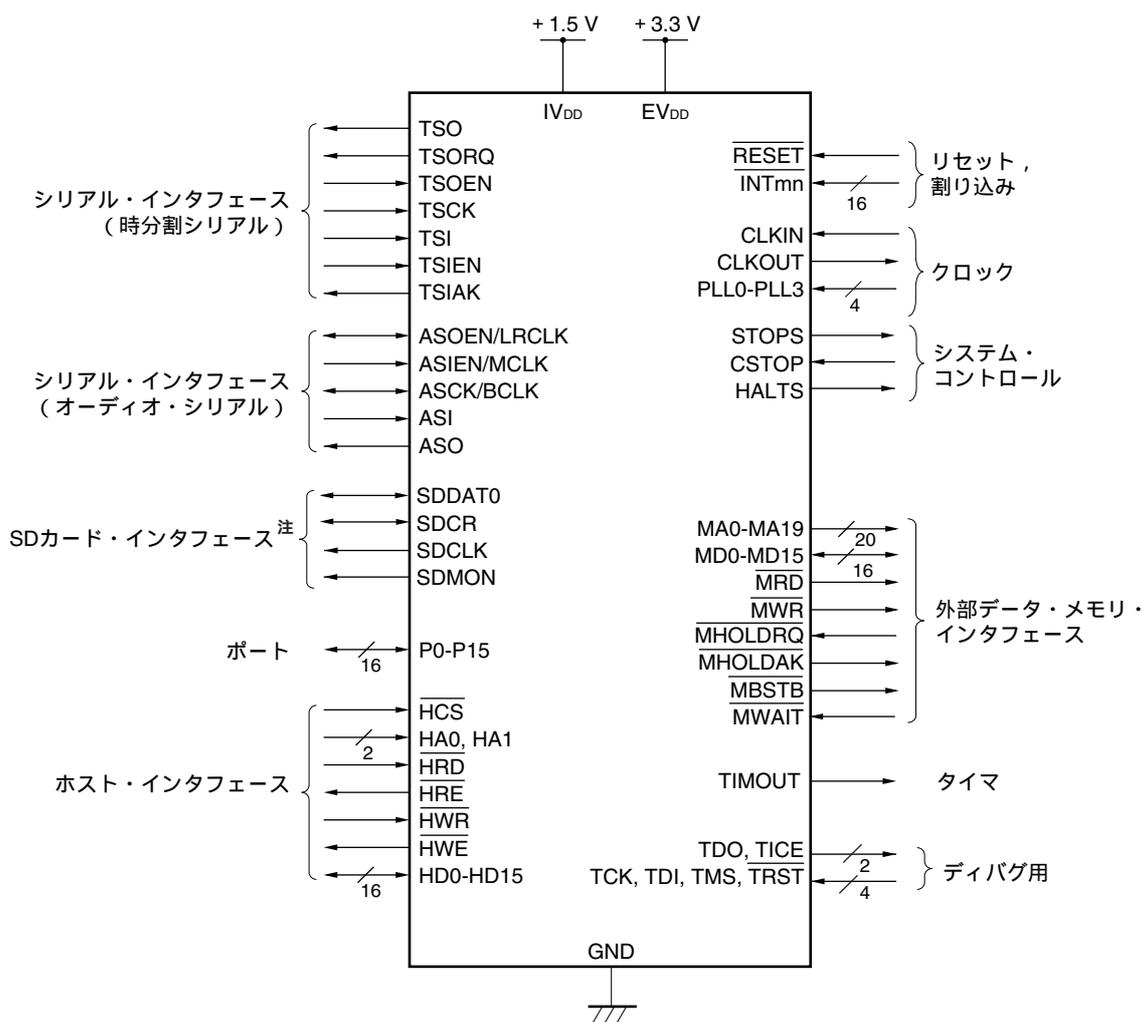
備考 xxxはROMコード番号です。

ブロック図



注 μPD77213のみ

端子構成図



注 μ PD77213のみ

注意 ポート端子，ホスト・インタフェース端子，シリアル・インタフェース端子，割り込み端子，SDカード・インタフェース端子は兼用になっているものがあります。

備考 m, n = 0-3

DSP機能一覧表

項目		μ PD77110	μ PD77111	μ PD77112	μ PD77113A	μ PD77114	μ PD77115	μ PD77210	μ PD77213	
メモリ空間 (ワード×ビット)	内部命令RAM	35.5 K×32	1 K×32		3.5 K×32		11.5 K×32	31.5 K×32	15.5 K×32	
	内部命令ROM	なし	31.75 K×32		48 K×32		なし		64 K×32	
	データRAM (X/Yメモリ)	各24 K×16	各3K×16		各16K×16		各16 K×16	各30 K×16	各18 K×16	
	データROM (X/Yメモリ)	なし	各16 K×16		各32 K×16		なし		各32 K×16	
	外部命令メモリ	なし								
	外部データ・メモリ (X/Yメモリ)	各32 K×16	なし	各16 K×16	なし	各8 K×16	なし	1 M×16	1 M×16 (SD I/F使用時は8 K×16)	
インストラクション・サイクル (最高速度動作時)		15.3 ns (65 MHz)	13.3 ns (75 MHz)					6.25 ns (160 MHz)	8.33 ns (120 MHz)	
逡倍率		×1~8の整数倍 (外部端子)	×1~16の整数倍 (マスク・オプション)			×1~16の整数倍 (外部端子)		×10~64の整数倍 (外部端子)		
ペリフェラル	シリアル・インタフェース	2チャンネル (スピーチCODEC)				1チャンネル(オーディオCODEC)		2チャンネル(時分割, オーディオ)		
	ホスト・インタフェース	8ビット・バス				16ビット・バス				
	汎用ポート (入出力プログラマブル)	4ビット				8ビット		16ビット(一部, ホストと兼用)		
	タイマ	なし				1チャンネル(16ビット分解能)		2チャンネル(16ビット分解能)		
	その他	-	-	-	-	-	-	SDカードI/F	-	SDカードI/F
電源		DSPコア : 2.5 V I/O端子 : 3 V					DSPコア : 1.5 V I/O端子 : 3.3 V			
パッケージ		100ピンTQFP	80ピンTQFP 80ピンFBGA	100ピンTQFP	80ピンFBGA	100ピンTQFP	80ピンTQFP 80ピンFBGA	161ピンFBGA 144ピンLQFP		

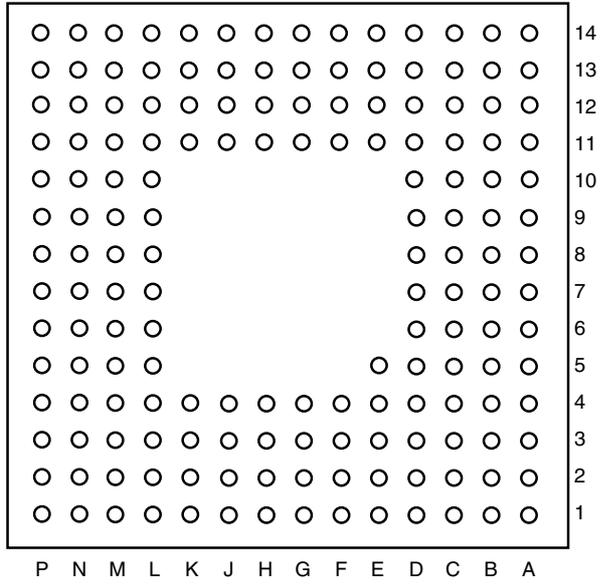
端子接続図

161ピン・プラスチック・ファインピッチBGA (10×10)

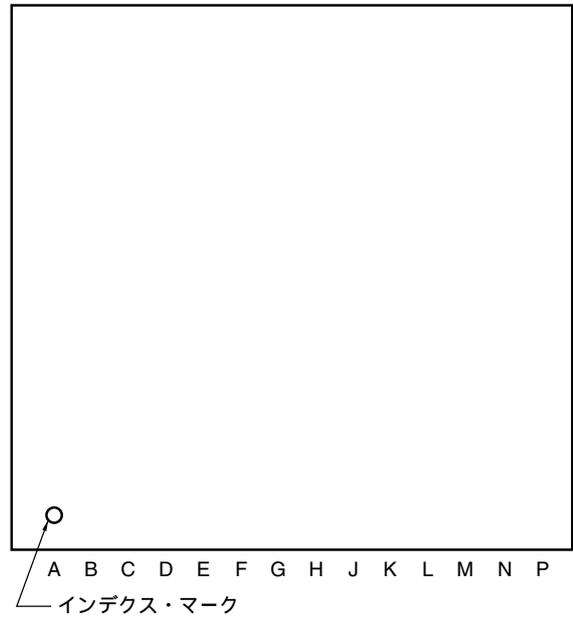
μ PD77210F1-DA2

μ PD77213F1-xxx-DA2

( Bottom View )



( Top View )



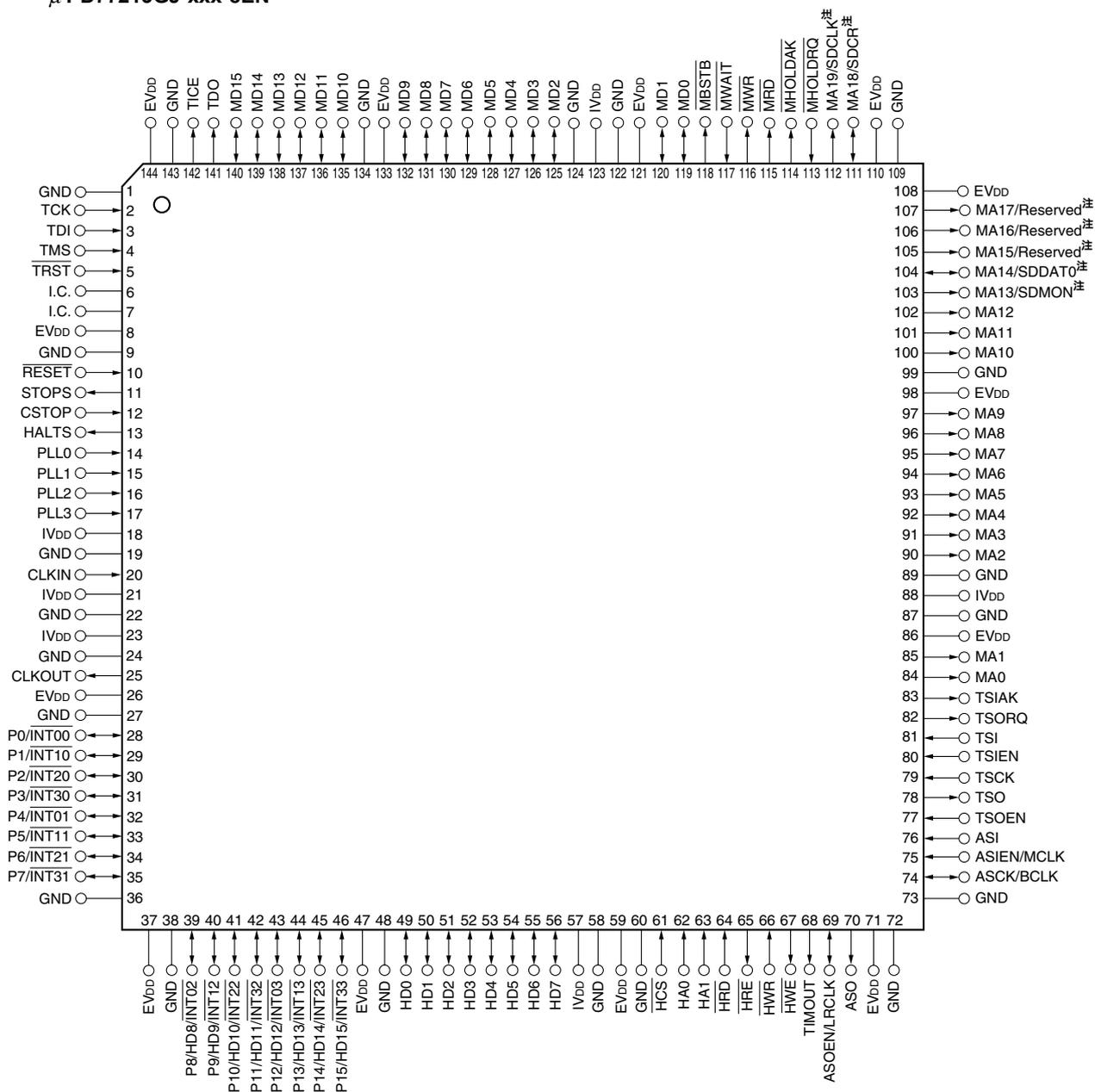
端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
A1	NC	C14	EV <sub>DD</sub>	H2	HD7	M5	TSORQ
A2	NC	D1	P10/HD10/ $\overline{\text{INT22}}$	H3	HD6	M6	MA0
A3	P5/ $\overline{\text{INT11}}$	D2	P11/HD11/ $\overline{\text{INT32}}$	H4	GND	M7	MA4
A4	P2/ $\overline{\text{INT20}}$	D3	P12/HD12/ $\overline{\text{INT03}}$	H11	MD5	M8	MA5
A5	GND	D4	GND	H12	MD4	M9	MA10
A6	EV <sub>DD</sub>	D5	GND	H13	MD1	M10	MA12
A7	IV <sub>DD</sub>	D6	P1/ $\overline{\text{INT10}}$	H14	MD3	M11	MA15/Reserved <sup>注</sup>
A8	IV <sub>DD</sub>	D7	GND	J1	EV <sub>DD</sub>	M12	MA19/SDCLK <sup>注</sup>
A9	PLL0	D8	GND	J2	$\overline{\text{HCS}}$	M13	MA18/SDCR <sup>注</sup>
A10	STOPS	D9	GND	J3	HA1	M14	EV <sub>DD</sub>
A11	EV <sub>DD</sub>	D10	GND	J4	$\overline{\text{HWR}}$	N1	NC
A12	$\overline{\text{TRST}}$	D11	TMS	J11	GND	N2	NC
A13	NC	D12	TICE	J12	MD0	N3	ASIEN/MCLK
A14	NC	D13	MD12	J13	$\overline{\text{MBSTB}}$	N4	TSCK
B1	NC	D14	MD15	J14	IV <sub>DD</sub>	N5	TSIAK
B2	NC	E1	P14/HD14/ $\overline{\text{INT23}}$	K1	HA0	N6	MA1
B3	P7/ $\overline{\text{INT31}}$	E2	P15/HD15/ $\overline{\text{INT33}}$	K2	$\overline{\text{HRD}}$	N7	MA2
B4	P6/ $\overline{\text{INT21}}$	E3	P13/HD13/ $\overline{\text{INT13}}$	K3	TIMOUT	N8	MA7
B5	P3/ $\overline{\text{INT30}}$	E4	GND	K4	ASO	N9	MA9
B6	CLKOUT	E5	NC	K11	GND	N10	MA11
B7	IV <sub>DD</sub>	E11	GND	K12	$\overline{\text{MWR}}$	N11	MA16/Reserved <sup>注</sup>
B8	PLL3	E12	MD14	K13	$\overline{\text{MWAIT}}$	N12	MA17/Reserved <sup>注</sup>
B9	PLL1	E13	MD9	K14	EV <sub>DD</sub>	N13	NC
B10	CSTOP	E14	MD11	L1	$\overline{\text{HWE}}$	N14	NC
B11	I.C.	F1	EV <sub>DD</sub>	L2	$\overline{\text{HRE}}$	P1	NC
B12	TCK	F2	HD1	L3	GND	P2	NC
B13	NC	F3	HD2	L4	GND	P3	ASI
B14	NC	F4	HD0	L5	TSIEN	P4	TSO
C1	EV <sub>DD</sub>	F11	MD10	L6	GND	P5	TSI
C2	P8/HD8/ $\overline{\text{INT02}}$	F12	MD13	L7	GND	P6	EV <sub>DD</sub>
C3	P9/HD9/ $\overline{\text{INT12}}$	F13	MD7	L8	MA8	P7	IV <sub>DD</sub>
C4	P4/ $\overline{\text{INT01}}$	F14	EV <sub>DD</sub>	L9	GND	P8	MA3
C5	P0/ $\overline{\text{INT00}}$	G1	HD3	L10	MA14/SDDAT0 <sup>注</sup>	P9	MA6
C6	CLKIN	G2	HD5	L11	GND	P10	EV <sub>DD</sub>
C7	PLL2	G3	HD4	L12	$\overline{\text{MHOLDRQ}}$	P11	MA13/SDMON <sup>注</sup>
C8	HALTS	G4	GND	L13	$\overline{\text{MRD}}$	P12	EV <sub>DD</sub>
C9	$\overline{\text{RESET}}$	G11	GND	L14	$\overline{\text{MHOLDAK}}$	P13	NC
C10	I.C.	G12	MD8	M1	EV <sub>DD</sub>	P14	NC
C11	TDI	G13	MD2	M2	ASCK/BCLK		
C12	TDO	G14	MD6	M3	ASOEN/LRCLK		
C13	GND	H1	IV <sub>DD</sub>	M4	TSOEN		

注 MA13-MA19は、μ PD77213の場合のみ兼用端子になります。

144ピン・プラスチックLQFP (ファインピッチ) (20×20) (Top View)

μ PD77210GJ-8EN

μ PD77213GJ-xxx-8EN



注 MA13-MA19は、μ PD77213の場合のみ兼用端子になります。

端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
1	GND	37	EV <sub>DD</sub>	73	GND	109	GND
2	TCK	38	GND	74	ASCK/BCLK	110	EV <sub>DD</sub>
3	TDI	39	P8/HD8/ $\overline{\text{INT02}}$	75	ASIEN/MCLK	111	MA18/SDCR <sup>注</sup>
4	TMS	40	P9/HD9/ $\overline{\text{INT12}}$	76	ASI	112	MA19/SDCLK <sup>注</sup>
5	$\overline{\text{TRST}}$	41	P10/HD10/ $\overline{\text{INT22}}$	77	TSOEN	113	$\overline{\text{MHOLDRQ}}$
6	I.C.	42	P11/HD11/ $\overline{\text{INT32}}$	78	TSO	114	$\overline{\text{MHOLDAK}}$
7	I.C.	43	P12/HD12/ $\overline{\text{INT03}}$	79	TSCK	115	$\overline{\text{MRD}}$
8	EV <sub>DD</sub>	44	P13/HD13/ $\overline{\text{INT13}}$	80	TSIEN	116	$\overline{\text{MWR}}$
9	GND	45	P14/HD14/ $\overline{\text{INT23}}$	81	TSI	117	$\overline{\text{MWAIT}}$
10	$\overline{\text{RESET}}$	46	P15/HD15/ $\overline{\text{INT33}}$	82	TSORQ	118	$\overline{\text{MBSTB}}$
11	STOPS	47	EV <sub>DD</sub>	83	TSIAK	119	MD0
12	CSTOP	48	GND	84	MA0	120	MD1
13	HALTS	49	HD0	85	MA1	121	EV <sub>DD</sub>
14	PLL0	50	HD1	86	EV <sub>DD</sub>	122	GND
15	PLL1	51	HD2	87	GND	123	IV <sub>DD</sub>
16	PLL2	52	HD3	88	IV <sub>DD</sub>	124	GND
17	PLL3	53	HD4	89	GND	125	MD2
18	IV <sub>DD</sub>	54	HD5	90	MA2	126	MD3
19	GND	55	HD6	91	MA3	127	MD4
20	CLKIN	56	HD7	92	MA4	128	MD5
21	IV <sub>DD</sub>	57	IV <sub>DD</sub>	93	MA5	129	MD6
22	GND	58	GND	94	MA6	130	MD7
23	IV <sub>DD</sub>	59	EV <sub>DD</sub>	95	MA7	131	MD8
24	GND	60	GND	96	MA8	132	MD9
25	CLKOUT	61	$\overline{\text{HCS}}$	97	MA9	133	EV <sub>DD</sub>
26	EV <sub>DD</sub>	62	HA0	98	EV <sub>DD</sub>	134	GND
27	GND	63	HA1	99	GND	135	MD10
28	P0/ $\overline{\text{INT00}}$	64	$\overline{\text{HRD}}$	100	MA10	136	MD11
29	P1/ $\overline{\text{INT10}}$	65	$\overline{\text{HRE}}$	101	MA11	137	MD12
30	P2/ $\overline{\text{INT20}}$	66	$\overline{\text{HWR}}$	102	MA12	138	MD13
31	P3/ $\overline{\text{INT30}}$	67	$\overline{\text{HWE}}$	103	MA13/SDMON <sup>注</sup>	139	MD14
32	P4/ $\overline{\text{INT01}}$	68	TIMOUT	104	MA14/SDDATO <sup>注</sup>	140	MD15
33	P5/ $\overline{\text{INT11}}$	69	ASOEN/LRCLK	105	MA15/Reserved <sup>注</sup>	141	TDO
34	P6/ $\overline{\text{INT21}}$	70	ASO	106	MA16/Reserved <sup>注</sup>	142	TICE
35	P7/ $\overline{\text{INT31}}$	71	EV <sub>DD</sub>	107	MA17/Reserved <sup>注</sup>	143	GND
36	GND	72	GND	108	EV <sub>DD</sub>	144	EV <sub>DD</sub>

注 MA13-MA19は、μ PD77213の場合のみ兼用端子になります。

## 端子名称

ASCK	: Audio Serial Clock Input/Output	$\overline{\text{MWAIT}}$	: External Data Memory Access Wait Input
ASI	: Audio Serial Data Input	NC	: Non-Connection
ASIEN	: Audio Serial Input Enable	P0-P15	: Port
ASO	: Audio Serial Data Output	PLL0-PLL3	: PLL Multiple Rate Set
ASOEN	: Audio Serial Output Enable	Reserved	: Reserved
BCLK	: Bit Clock Input/Output	$\overline{\text{RESET}}$	: Reset
CLKIN	: Clock Input	SDCLK	: SD Card Clock Output
CLKOUT	: Clock Output	SDCR	: SD Card Command Output/Response Input
CSTOP	: Clear Stop Mode	SDDAT0	: SD Card Data Input/Output
EV <sub>DD</sub>	: Power Supply for I/O Pins	SDMON	: SD Card Access Monitor
GND	: Ground	STOPS	: Stop Status Signal Output
HALTS	: Halt Status Signal Output	TCK	: Test Clock Input
HD0-HD15	: Host Data Bus	TDI	: Test Data Input
$\overline{\text{HCS}}$	: Host Chip Select	TDO	: Test Data Output
HA0, HA1	: Host Data Access	TICE	: Test In-Circuit Emulator
$\overline{\text{HRD}}$	: Host Read	TIMOUT	: Timer Time Out Monitor Output
$\overline{\text{HRE}}$	: Host Read Enable	TMS	: Test Mode Select
$\overline{\text{HWE}}$	: Host Write Enable	$\overline{\text{TRST}}$	: Test Reset
$\overline{\text{HWR}}$	: Host Write	TSCK	: Time Division Multiplex Serial Clock Input
I.C.	: Internal Connection	TSI	: Time Division Multiplex Serial Data Input
IV <sub>DD</sub>	: Power Supply for DSP Core	TSIAK	: Time Division Multiplex Serial Input Acknowledge
$\overline{\text{INTmn}}$	: Interrupt (m, n : 0-3)	TSIEN	: Time Division Multiplex Serial Input Enable
LRCLK	: Left Right Clock Input/Output	TSO	: Time Division Multiplex Serial Data Output
MA0-MA19	: External Data Memory Address Bus	TSOEN	: Time Division Multiplex Serial Output Enable
$\overline{\text{MBSTB}}$	: External Data Memory Bus Strobe	TSORQ	: Time Division Multiplex Serial Output Request
MCLK	: Master Clock Input		
MD0-MD15	: External Data Memory Bus		
$\overline{\text{MHOLDAK}}$	: External Data Memory Bus Hold Acknowledge		
$\overline{\text{MHOLDRQ}}$	: External Data Memory Bus Hold Request		
$\overline{\text{MRD}}$	: External Data Memory Read Output		
$\overline{\text{MWR}}$	: External Data Memory Write Output		

## 目 次

1. 端子機能...	13
1.1 端子機能の説明 ...	13
1.2 未使用端子の処理について ...	20
1.2.1 機能端子の処理 ...	20
1.2.2 非機能端子の処理 ...	21
2. 機能概要 ...	22
2.1 プログラム制御ユニット ...	22
2.1.1 CPU制御 ...	22
2.1.2 割り込み制御 ...	22
2.1.3 ループ・コントロール・スタック ...	22
2.1.4 PCスタック ...	22
2.1.5 クロック制御 ...	22
2.1.6 命令メモリ ...	23
2.2 演算ユニット ...	23
2.2.1 汎用レジスタ (R0-R7) ...	23
2.2.2 マルチプライ・アキュムレータ (MAC : Multiply Accumulator) ...	23
2.2.3 算術論理演算回路 (ALU : Arithmetic Logic Unit) ...	23
2.2.4 バレル・シフタ (BSFT : Barrel ShiFTer) ...	23
2.3 データ・メモリ・ユニット ...	23
2.3.1 データ・メモリ ...	23
2.3.2 データ・アドレッシング・ユニット ...	24
2.4 ペリフェラル・ユニット ...	24
2.4.1 シリアル・インタフェース (SIO) ...	24
2.4.2 ホスト・インタフェース (HIO) ...	25
2.4.3 汎用入出力ポート (PIO) ...	25
2.4.4 外部メモリ・インタフェース (MIO) ...	25
2.4.5 タイマ (TIM1, TIM2) ...	25
2.4.6 割り込みコントローラ (INTC) ...	25
2.4.7 DMAコントローラ (PMT) ...	26
2.4.8 SDカード・インタフェース (SDCIF) ...	26
2.4.9 デバッグ・インタフェース (IEIO) ...	26
3. クロック・ジェネレータ ...	27
4. リセット機能 ...	28
4.1 ハードウェア・リセット ...	28
5. ブートアップROMの機能 ...	28

5.1	リセット時のブート	...	28
5.1.1	メモリ・ブート	...	28
5.1.2	ホスト・ブート	...	28
5.1.3	シリアル・ブート	...	29
5.2	リブート	...	29
5.2.1	メモリ・リブート	...	29
5.2.2	ホスト・リブート	...	29
5.2.3	シリアル・リブート	...	30
6.	スタンバイ・モード	...	30
6.1	ホールド・モード	...	30
6.2	ストップ・モード	...	30
7.	メモリ・マップ	...	31
7.1	命令メモリ	...	31
7.1.1	命令メモリ・マップ	...	31
7.1.2	割り込みベクタ・テーブル	...	32
7.2	データ・メモリ	...	33
7.2.1	データ・メモリ・マップ	...	33
7.2.2	内蔵ペリフェラル	...	34
8.	汎用ポートと割り込み	...	37
8.1	汎用ポート端子	...	37
8.2	割り込み端子	...	37
9.	インストラクション	...	38
9.1	インストラクションの概要	...	38
9.2	命令セットとそのオペレーション	...	39
10.	電気的特性	...	45
11.	外形図	...	66
12.	半田付け推奨条件	...	68

1. 端子機能

パッケージによって端子番号が異なりますので、ご使用になるパッケージの欄をご覧ください。

1.1 端子機能の説明

・電 源

端子名称	端子番号		入出力	機 能	兼用端子
	144 ピン LQFP	161 ピン FBGA			
IV <sub>DD</sub>	18,21,23,57,88, 123	A7,A8,B7,H1, J14,P7	-	DSP コア用電源 (+ 1.5 V) μ PD77210 ファミリのコア部分に供給する電源です。	-
EV <sub>DD</sub>	8,26,37,47,59, 71,86,98,108, 110,121,133, 144	A6,A11,C1,C14, F1,F14,J1,K14, M1,M14,P6, P10,P12	-	I/O 端子用電源 (+ 3.3 V) 外部インタフェース端子用の電源です。	-
GND	1,9,19,22,24,27, 36,38,48,58,60, 72,73,87,89,99, 109,122,124, 134,143	A5,C13,D4,D5, D7,D8,D9,D10, E4,E11,G4,G11, H4,J11,K11,L3, L4,L6,L7,L9,L11	-	接地 グランド端子です。	-

備考 IV<sub>DD</sub>とEV<sub>DD</sub>の両電源は、同時に投入するようにしてください。

・クロック , システム・コントロール

端子名称	端子番号		入出力	機 能	兼用端子
	144 ピン LQFP	161 ピン FBGA			
CLKIN	20	C6	入力	クロック入力 μ PD77210 ファミリを動作させるためのクロック入力です。	-
CLKOUT	25	B6	出力	内部システム・クロック出力 CLKINから入力されたクロックをPLL回路で通倍した内部システム・クロックを出力します。	-
PLL0-PLL3	14-17	A9,B9,C7,B8	入力	PLL 通倍率設定入力 PLL 回路のクロック通倍率を設定します。 PLL3 : PLL2 : PLL1 : PLL0 0000 : × 10 0001 : × 12 0010 : × 14 0011 : × 16 0100 : × 18 0101 : × 20 0110 : × 22 0111 : × 24 1000 : × 26 1001 : × 28 1010 : × 30 1011 : × 32 1100 : × 40 1101 : × 48 1110 : × 56 1111 : × 64	-
HALTS	13	C8	出力	ホールド・モード・ステータス出力 ホールド・モードおよびストップ・モード中にアクティブになります。	-
STOPS	11	A10	出力	ストップ・モード・ステータス出力 ストップ・モード中にアクティブになります。	-
CSTOP	12	B10	入力	ストップ・モード解除信号入力 アクティブにすることによってストップ・モードからの復帰を行います。	-

・リセット, 割り込み

端子名称	端子番号		入出力	機能	兼用端子
	144ピンLQFP	161ピンFBGA			
RESET	10	C9	入力	内部システム・リセット信号入力 μ PD77210ファミリを初期化します。	-
INT00	28	C5	入力	マスカブル外部割り込み入力 外部割り込み入力端子です。	P0
INT01	32	C4	入力		P4
INT02	39	C2	入力		P8/HD8
INT03	43	D3	入力		P12/HD12
INT10	29	D6	入力		P1
INT11	33	A3	入力		P5
INT12	40	C3	入力		P9/HD9
INT13	44	E3	入力		P13/HD13
INT20	30	A4	入力		P2
INT21	34	B4	入力		P6
INT22	41	D1	入力		P10/HD10
INT23	45	E1	入力		P14/HD14
INT30	31	B5	入力		P3
INT31	35	B3	入力		P7
INT32	42	D2	入力		P11/HD11
INT33	46	E2	入力	P15/HD15	

・外部データ・メモリ・インタフェース

端子名称	端子番号		入出力	機能	兼用端子
	144ピン LQFP	161ピン FBGA			
MA0-MA19 <sup>注</sup>	84,85,90-97, 100-107, 111,112	M6,N6,N7,P8, M7,M8,P9,N8, L8,N9,M9,N10, M10,P11,L10, M11,N11,N12, M13,M12	出力 (3S)	外部データ・メモリのアドレス・バス 外部データ・メモリをアクセスするときにアドレスを出力します。	SDCLK, SDCR, SDDAT0, SDMON
MD0-MD15	119,120,125- 132,135-140	J12,H13,G13, H14,H12,H11, G14,F13,G12, E13,F11,E14, D13,F12,E12, D14	入出力 (3S)	16ビット・データ・バス 外部データ・メモリをアクセスするときにデータを入出力します。	-
$\overline{\text{MWR}}$	116	K12	出力 (3S)	ライト出力 外部データ・メモリのライト・ストロープです。	-
$\overline{\text{MRD}}$	115	L13	出力 (3S)	リード出力 外部データ・メモリのリード・ストロープです。	-
$\overline{\text{MHOLDAK}}$	114	L14	出力	ホールド・アクノリッジ信号 外部デバイスに、μ PD77210 ファミリの外部データ・メモリ・バスの使用を許可するとき、ロウ・レベルになります。	-
$\overline{\text{MHOLDRQ}}$	113	L12	入力	ホールド・リクエスト信号 外部デバイスが、μ PD77210 ファミリの外部データ・メモリ・バスを使用したいときにロウ・レベルを入力します。	-
$\overline{\text{MWAIT}}$	117	K13	入力	ウェイト信号入力 μ PD77210 ファミリが外部データ・メモリのアクセスをするときに、ウェイト・サイクルを挿入します。 0: ウェイト挿入 1: ウェイト非挿入	-
$\overline{\text{MBSTB}}$	118	J13	出力	バス・ストロープ信号 μ PD77210 ファミリが外部データ・メモリ・バスを使用しているとき、ロウ・レベルになります。	-

注 MA13-MA19が兼用端子になるのはμ PD77213の場合のみです。

備考 表中入出力欄に“3S”を付記した端子は、次の状態でハイ・インピーダンスになります。

MA0-MA19,  $\overline{\text{MRD}}$ ,  $\overline{\text{MWR}}$  : バス解放時 ( $\overline{\text{MHOLDAK}}$  = ロウ・レベル)

MD0-MD15 : 外部データ・メモリ非アクセス時, およびバス解放時 ( $\overline{\text{MHOLDAK}}$  = ロウ・レベル)

・タイマ

端子名称	端子番号		入出力	機能	兼用端子
	144ピン LQFP	161ピン FBGA			
TIMOUT	68	K3	出力	タイム・アウト・モニタ タイマがタイム・アウトしたときにアクティブになります。	-

・シリアル・インタフェース

端子名称	端子番号		入出力	機能	兼用端子
	144ピン LQFP	161ピン FBGA			
ASCK/BCLK	74	M2	入出力	オーディオ・シリアル用クロック入出力 ASCK : オーディオ・シリアル・クロック入力 BCLK : シリアル・クロック入出力	-
ASO	70	K4	出力 (3S)	オーディオ・シリアル・データ出力	-
ASI	76	P3	入力	オーディオ・シリアル・データ入力	-
ASOEN/ LRCLK	69	M3	入出力	オーディオ・シリアル出力イネーブル/レフト・ライト・クロック入出力 ASOEN : オーディオ・シリアル出力イネーブル入力 LRCLK : レフト・ライト・クロック入出力	-
ASIEN/ MCLK	75	N3	入力	オーディオ・シリアル入力イネーブル/マスタ・クロック入力 ASIEN : オーディオ・シリアル入力イネーブル入力 MCLK : マスタ・クロック入力(マスタ・モード時)	-
TSCK	79	N4	入力	時分割シリアル用クロック入力	-
TSO	78	P4	出力 (3S)	時分割シリアル・データ出力	-
TSI	81	P5	入力	時分割シリアル・データ入力	-
TSORQ	82	M5	出力	時分割シリアル出力リクエスト	-
TSOEN	77	M4	入力	時分割シリアル出力イネーブル	-
TSIEN	80	L5	入力	時分割シリアル入力イネーブル	-
TSIAK	83	N5	出力	時分割シリアル入力応答	-

備考 表中入出力欄に“3S”を付記した端子は、データ送出完了時、およびハードウェア・リセット( RESET )入力により、ハイ・インピーダンス状態になります。

・ホスト・インタフェース

端子名称	端子番号		入出力	機能	兼用端子
	144ピン LQFP	161ピン FBGA			
HA1	63	J3	入力	<p>ホスト・アドレス 1</p> <p>ホスト・インタフェース端子 (HD7-HD0 または HD15-HD0) がアクセスするレジスタを指定します。</p> <p>1: ホスト・インタフェース・ステータス・レジスタ (HST) をアクセスします。</p> <p>0: 読み出し (<math>\overline{\text{HRD}} = 0</math>) のとき, ホスト送信データ・レジスタ (HDT (out)) を, 書き込み (<math>\overline{\text{HWR}} = 0</math>) のとき, ホスト受信データ・レジスタ (HDT (in)) をアクセスします。</p>	-
HA0	62	K1	入力	<p>ホスト・アドレス 0</p> <p>8 ビット・モードの時, HD7-HD0 がアクセスするレジスタを指定します。16 ビット・モード時は無効になります。</p> <p>1: HST, HDT (in), HDT (out) のビット 15-8 をアクセスします。</p> <p>0: HST, HDT (in), HDT (out) のビット 7-0 をアクセスします。</p>	-
$\overline{\text{HCS}}$	61	J2	入力	チップ・セレクト入力	-
$\overline{\text{HRD}}$	64	K2	入力	ホスト・リード入力	-
$\overline{\text{HWR}}$	66	J4	入力	ホスト・ライト入力	-
$\overline{\text{HRE}}$	65	L2	出力	ホスト・リード・イネーブル出力	-
$\overline{\text{HWE}}$	67	L1	出力	ホスト・ライト・イネーブル出力	-
HD0-HD7	49-56	F4,F2,F3,G1, G3,G2,H3,H2	入出力 (3S)	<p>8 ビット・ホスト・データ・バス</p> <p>8 ビット・ホスト・モードの時のホスト・データ・バスです。16 ビット・データの入出力は HA0 端子によって 2 回に分けてアクセスします。</p> <p>16 ビット・モードの時は下位 8 ビットの入出力を行います。</p>	-
HD8-HD15	39-46	C2,C3,D1,D2, D3,E3,E1,E2	入出力 (3S)	<p>ホスト・データ・バス</p> <p>16 ビット・ホスト・モードの時のホスト・データ・バスです。HD0-HD7 と合わせて 16 ビット・データを入出力します。</p>	<p>P8-P15/ <math>\overline{\text{INT02}}</math> , <math>\overline{\text{INT12}}</math> , <math>\overline{\text{INT22}}</math> , <math>\overline{\text{INT32}}</math> , <math>\overline{\text{INT03}}</math> , <math>\overline{\text{INT13}}</math> , <math>\overline{\text{INT23}}</math> , <math>\overline{\text{INT33}}</math></p>

備考 表中入出力欄に “3S” を付記した端子は, ホスト I/F 非アクセス時に, ハイ・インピーダンス状態になります。

・入出力ポート

端子名称	端子番号		入出力	機能	兼用端子
	144ピン LQFP	161ピン FBGA			
P0	28	C5	入出力	汎用入出力ポート	$\overline{\text{INT00}}$
P1	29	D6	入出力		$\overline{\text{INT10}}$
P2	30	A4	入出力		$\overline{\text{INT20}}$
P3	31	B5	入出力		$\overline{\text{INT30}}$
P4	32	C4	入出力		$\overline{\text{INT01}}$
P5	33	A3	入出力		$\overline{\text{INT11}}$
P6	34	B4	入出力		$\overline{\text{INT21}}$
P7	35	B3	入出力		$\overline{\text{INT31}}$
P8	39	C2	入出力		$\overline{\text{INT02}}$ / HD8
P9	40	C3	入出力		$\overline{\text{INT12}}$ / HD9
P10	41	D1	入出力		$\overline{\text{INT22}}$ / HD10
P11	42	D2	入出力		$\overline{\text{INT32}}$ / HD11
P12	43	D3	入出力		$\overline{\text{INT03}}$ / HD12
P13	44	E3	入出力		$\overline{\text{INT13}}$ / HD13
P14	45	E1	入出力		$\overline{\text{INT23}}$ / HD14
P15	46	E2	入出力		$\overline{\text{INT33}}$ / HD15

・デバッグ用インタフェース

端子名称	端子番号		入出力	機能	兼用端子
	144ピン LQFP	161ピン FBGA			
TDO	141	C12	出力 (3S)	デバッグ用 デバッグを使用するときのインタフェース端子です。	-
TICE	142	D12	出力		-
TCK	2	B12	入力		-
TDI	3	C11	入力		-
TMS	4	D11	入力		-
$\overline{\text{TRST}}$	5	A12	入力		-

備考 表中入出力欄に“3S”を付記した端子は、デバッグ/非アクセス時に、ハイ・インピーダンス状態になります。

・SDカード・インタフェース (μ PD77213のみ)

端子名称	端子番号		入出力	機能	兼用端子
	144ピン LQFP	161ピン FBGA			
SDCLK	112	M12	出力	SDカード・クロック出力 ・オープンにしてください。	MA19
SDCR	111	M13	入出力 (3S)	SDカード・コマンド・レスポンス 入力：レスポンス 出力：コマンド ・プルアップしてください。	MA18
SDDAT0	104	L10	入出力 (3S)	SDカード・データ入出力 入力：リード・データ 出力：ライト・データ ・プルアップしてください。	MA14
SDMON	103	P11	出力	SDカード・インタフェース・アクセス・モニタ SDカード・インタフェースをアクセスしているときにハイ・レベルを出力します。 1：SDカード・インタフェースをアクセス中 0：SDカード・インタフェースを非アクセス中	MA13
Reserved	105-107	M11,N11,N12	-	将来の拡張用端子です。 SDカード・インタフェース使用時はハイ・インピーダンスになります。	MA15-MA17

備考 表中入出力欄に“3S”を付記した端子は、SDカードI/F非アクセス時に、ハイ・インピーダンス状態になります。

・その他

端子名称	端子番号		入出力	機能	兼用端子
	144ピン LQFP	161ピン FBGA			
I.C.	6,7	B11,C10	-	内部接続端子 オープンにしてください。	-
NC	-	A1,A2,A13,A14, B1,B2,B13,B14, E5,N1,N2,N13, N14,P1,P2,P13, P14	-	ノー・コネクション オープンにしてください。	-

注意 これらの端子になんらかの信号の印加または読み出しを行ったとき、μ PD77210ファミリの正常な動作は保証されません。

1.2 未使用端子の処理について

1.2.1 機能端子の処理

実装時に未使用の端子は、次の表のとおりに取り扱ってください。

端 子	入出力	推奨接続方法
STOPS, HALTS	出力	オープンにしてください。
CSTOP	入力	プルダウン抵抗を介して GND に接続してください。
CLKOUT	出力	オープンにしてください。
P0-P15	入出力	プルアップ抵抗を介して EV <sub>DD</sub> に接続 ,またはプルダウン抵抗を介して GND に接続してください。
HD0-HD7 <sup>注1</sup>	入出力	プルアップ抵抗を介して EV <sub>DD</sub> に接続 ,またはプルダウン抵抗を介して GND に接続してください。
HA0, HA1	入力	プルアップ抵抗を介して EV <sub>DD</sub> に接続 ,またはプルダウン抵抗を介して GND に接続してください。
$\overline{\text{HCS}}$ , $\overline{\text{HRD}}$ , $\overline{\text{HWR}}$	入力	プルアップ抵抗を介して EV <sub>DD</sub> に接続してください。
$\overline{\text{HRE}}$ , $\overline{\text{HWE}}$	出力	オープンにしてください。
TIMOUT	出力	オープンにしてください。
ASCK, TSCK	入力	プルアップ抵抗を介して EV <sub>DD</sub> に接続 ,またはプルダウン抵抗を介して GND に接続してください。
ASI, TSI	入力	プルアップ抵抗を介して EV <sub>DD</sub> に接続 ,またはプルダウン抵抗を介して GND に接続してください。
ASIEN, TSIEN	入力	プルダウン抵抗を介して GND に接続してください。
ASOEN, TSOEN, LRCLK	入力	プルダウン抵抗を介して GND に接続してください。
ASO, TSO	出力	オープンにしてください。
TSORQ	出力	オープンにしてください。
TSIAK	出力	オープンにしてください。
MA0-MA19	出力	オープンにしてください。
MD0-MD15 <sup>注2</sup>	入出力	プルアップ抵抗を介して EV <sub>DD</sub> に接続 ,またはプルダウン抵抗を介して GND に接続してください。
$\overline{\text{MRD}}$ , $\overline{\text{MWR}}$	出力	オープンにしてください。
$\overline{\text{MHOLDRQ}}$	入力	プルアップ抵抗を介して EV <sub>DD</sub> に接続してください。
$\overline{\text{MBSTB}}$ , $\overline{\text{MHOLDAK}}$	出力	オープンにしてください。
$\overline{\text{MWAIT}}$	入力	プルアップ抵抗を介して EV <sub>DD</sub> に接続してください。
TCK	入力	プルダウン抵抗を介して GND に接続してください。
TDO, TICE	出力	オープンにしてください。
TMS, TDI	入力	オープンにしてください (内部でプルアップされています)。
$\overline{\text{TRST}}$	入力	オープンにしてください (内部でプルダウンされています)。

注1.  $\overline{\text{HCS}}$ ,  $\overline{\text{HRD}}$ ,  $\overline{\text{HWR}}$  がハイ・レベル固定ならばオープン可能です。

ただし、ホールド・モード、ストップ・モード時など、消費電流が問題となる場合は、推奨接続方法に従ってください。

2. プログラム中で外部データ・メモリをアクセスしない場合はオープン可能です。

ただし、ホールド・モード、ストップ・モード時など、消費電流が問題となる場合は、推奨接続方法に従ってください。

注意 兼用端子を未使用とする場合は、初期設定の端子機能に合わせた処理を行ってください。

## 1.2.2 非機能端子の処理

端 子	入出力	推奨接続方法
I.C.	-	オープンにしてください。
NC	-	オープンにしてください。

## 2. 機能概要

### 2.1 プログラム制御ユニット

命令実行一般から分岐、ループ、割り込み、クロック制御、スタンバイ・モードにいたるまで幅広くμ PD77210ファミリの実行制御にかかわるユニットです。

#### 2.1.1 CPU 制御

3ステージのパイプライン・アーキテクチャを採用し、分岐命令など一部の命令を除くほとんどすべての命令を1システム・クロックで実行します。

#### 2.1.2 割り込み制御

割り込みコントローラに入力された、外部端子 ( $\overline{\text{INTmn}}$ ) あるいは内蔵ペリフェラル (シリアル・インタフェース、ホスト・インタフェース、タイマ、DMAコントローラ) による割り込み要求を処理します。各割り込み要因ごとに割り込みの許可/禁止を設定できます。また、割り込みの多重化にも対応しています。

#### 2.1.3 ループ・コントロール・スタック

ハードウェアによるオーバヘッドのないループ機能を実現します。4レベルのループ・スタックを備え、多重ループに対応します。

#### 2.1.4 PC スタック

プログラム・カウンタをスタックする15レベルのPCスタックにより、多重割り込み/サブルーチン・コールに対応します。

#### 2.1.5 クロック制御

クロック・ジェネレータとしてPLLと分周器を内蔵し、外部入力クロックを逡倍、分周してμ PD77210ファミリの動作クロックとして供給します。PLLの逡倍率は $\times 10 \sim 64$ を、外部端子 (PLL0-PLL3) で設定できます。分周率は $\div 1 \sim 16$ をレジスタで設定できます。

クロック・コントロール・レジスタ (CLKC) は、PLLのパワー・オン/オフ制御、クロック・ソースの選択 (PLL逡倍 もしくは 外部クロック)、出力分周器の制御、CLKOUT出力の可否を制御します。

また、2種類のスタンバイ・モードを搭載し、μ PD77210ファミリ待機時に消費電力を低減化します。

- ・ HALTモード：HALT命令の実行による数mAオーダの消費電流  
割り込み、ハードウェア・リセットによる復帰
- ・ STOPモード：STOP命令の実行による数百μAオーダ<sup>※</sup>の消費電流  
ハードウェア・リセット、CSTOP端子による復帰

注 PLLの停止を行ったとき

### 2.1.6 命令メモリ

命令RAMのうち、64ワードは割り込みベクタに割り当てています。

μ PD77210には、31.5 Kワードの命令RAMが内蔵されています。μ PD77213には、15.5 Kワードの命令RAMと64 Kワードの命令ROMが内蔵されています。

命令RAMをブートアップするブートアップROMが内蔵されており、メモリ・ブート（内部あるいは外部データ空間からのブート）、ホスト・ブート（ホスト・インタフェース経由のブート）、あるいはシリアル・ブート（シリアル・インタフェース経由のブート）によって命令RAMの初期化および書き換えができます。

## 2.2 演算ユニット

乗加算、論理演算、シフトを行うユニットで、40ビットのマルチプライ・アキュムレータ、40ビットのデータALU、40ビットのバレル・シフタおよび8本の40ビット汎用レジスタから構成されます。

### 2.2.1 汎用レジスタ (R0-R7)

演算の入出力、データ・メモリとのロード/ストアなどを行う8本の40ビット・レジスタです。

汎用レジスタ (R0-R7) は、R0L-R7L (ビット15-0)、R0H-R7H (ビット31-16) およびR0E-R7E (ビット39-32) の3つの部分で構成されます。演算の種類によってRnL、RnH、RnEをそれぞれ1つのレジスタとして、あるいは組み合わせ合わせて取り扱います。

### 2.2.2 マルチプライ・アキュムレータ (MAC : Multiply ACcumlator)

2つの16ビット・データの乗算と、乗算結果と1つの40ビット・データの加減算を行い、40ビット・データを出力します。

また、MACの入力の前段にシフタ (MSFT : MAC ShiFTer) があり、乗算結果と加減算する40ビット・データをあらかじめ1ビットあるいは16ビット算術右シフトしてから加減算することができます。

### 2.2.3 算術論理演算回路 (ALU : Arithmetic Logic Unit)

1つあるいは2つの40ビット・データを入力し、算術演算および論理演算を行い、40ビット・データを出力します。

### 2.2.4 バレル・シフタ (BSFT : Barrel ShiFTer)

40ビット・データを入力し、任意のビット数で左右シフト処理を行い、40ビット・データを出力します。右シフトには、符号拡張を伴う算術右シフトと、MSBから0を挿入する論理右シフトがあります。

## 2.3 データ・メモリ・ユニット

2面のデータ・メモリ空間と2組のデータ・アドレッシング・ユニットから構成されます。

### 2.3.1 データ・メモリ

データ・メモリを2面 (Xデータ・メモリおよびYデータ・メモリ) 持っています。データ・メモリ空間上には64ワードのペリフェラル領域があります。

μ PD77210には、30 Kワード×2面のデータRAMが内蔵されています。μ PD77213には、18 Kワード×2面のデータRAMと32 Kワード×2面のデータROMが内蔵されています。

さらに、外部データ・メモリ・インタフェースを持っており、デバイスの外部に1Mワードの外部データ・メモリを拡張することができます。

### 2.3.2 データ・アドレッシング・ユニット

Xデータ・メモリおよびYデータ・メモリそれぞれのデータ・メモリ空間に、独立したデータ・アドレッシング・ユニットを持っています。

それぞれのデータ・アドレッシング・ユニットに4本のデータ・ポインタ(DPn)、4本のインデクス・レジスタ(DNn)、1本のモジュロ・レジスタ(DMXまたはDMY)およびアドレスALUを持っています。

## 2.4 ペリフェラル・ユニット

シリアル・インタフェース、ホスト・インタフェース、汎用入出力ポート、タイマ、外部メモリ・インタフェース、およびSDカード・インタフェース(μ PD77213のみ)を内蔵しています。いずれの内蔵ペリフェラルもXデータ・メモリ空間およびYデータ・メモリ空間にメモリ・マップしてあり、プログラムからはメモリ・マップトI/Oとしてアクセスします。

### 2.4.1 シリアル・インタフェース(SIO)

オーディオ・シリアル・インタフェース(ASIO)と時分割シリアル・インタフェース(TDMSIO)の計2チャンネルのシリアル・インタフェースを内蔵しています。

各シリアル・インタフェースはオーディオ・モード、時分割モードのほかに標準モードを持っています。標準モードは従来のμ PD77111ファミリと互換性のあるモードです。また、オーディオ・モードはμ PD77115と互換性があります。

標準モードは次の特徴を備えています。

- ・シリアル・クロック : チャンネルごとに外部から供給、チャンネル内は入力/出力でクロック共用
- ・フレーム長 : チャンネルおよび入出力ごとに8/16ビット、MSB/LSBファーストを選択
- ・ハンドシェーク : 外部とは専用ステータス信号、内部とはポーリング、ウエイトまたは割り込みによる

オーディオ・モードは次の特徴を備えています。

- ・モード : マスタ・モードとスレーブ・モード
  - マスタ・モード : マスタ・クロック入力(MCLK)、ビット・クロック出力(BCLK)、LRクロック出力(LRCLK)、256 fs、384 fs、512 fsをサポート
  - スレーブ・モード : ビット・クロック入力(BCLK)、LRクロック入力(LRCLK)
- ・フレーム・フォーマット : 32または64ビット・オーディオ・フォーマット(LRCLKフォーマット)
- ・ハンドシェーク : 外部とは専用フレーム信号(LRCLK)、内部とはポーリング、ウエイトまたは割り込みによる

時分割シリアル・インタフェースは、シリアル入出力信号をタイム・スロットに分割し複数のデバイスでシリアル・バスを共有化します。T1 FrameやE1 Frame信号の取り扱いを考慮しています。対応可能なスロット数は1~32スロットです(拡張指定により1~128スロットまで対応可能です)。

#### 2.4.2 ホスト・インタフェース (HIO)

外部のホストCPUまたはDMAコントローラなどと、データの入出力を行うためのパラレル・ポートです。8ビット・パラレル・モードと16ビット・パラレル・モードがあります。μ PD77210ファミリ内部では、入力データ用、出力データ用およびステータス用に16ビット・レジスタをメモリ・マップしてあります。外部とのハンドシェイクは専用ステータス信号を使って行い、内部とのハンドシェイクはポーリング、ウェイトまたは割り込みを使って行います。

8ビット・パラレル・モードは従来のμ PD77111ファミリと互換性があります。

16ビット・パラレル・モードではポート端子の一部をホスト・インタフェース端子として使用します。

#### 2.4.3 汎用入出力ポート (PIO)

16ビットの入出力ポートで、ビットごとに入出力を設定できます。

外部端子は、割り込み端子およびホスト・インタフェース端子と兼用になっています。また8ビットをホスト・インタフェース端子モードにすることで、ホスト・インタフェースを16ビット・パラレル・モードにすることができます。

#### 2.4.4 外部メモリ・インタフェース (MIO)

1Mワードの外部データ・メモリ領域をアクセスします。データ・ページング・レジスタ (DPR) を0x3Fとするダイレクト・アクセスと、メモリ・マップト・レジスタを介したDMAアクセスの2種類のアクセス方法があります。

ダイレクト・アクセスでは、DPRを0x3Fとし、ページング領域をアクセス・ウィンドウとしてアクセスします。外部メモリのアドレスは、インデクス・レジスタの値8ビットを12~19ビットとして加算した20ビット・アドレスとなります。

DMAアクセスでは、メモリ・マップト・レジスタに対するアクセスによって自動的にアドレス更新を行います。アドレス更新には、単純なインクリメントによるインクリメント・アドレッシングとライン長ごとにオフセット加算する2次元アドレッシングがあります。

外部メモリをアクセスするときのウェイトはレジスタ (MWAIT) で指定できます。設定できるウェイト数は1~15です。また、 $\overline{\text{MWAIT}}$  端子によってウェイトを挿入することもできます。

#### 2.4.5 タイマ (TIM1, TIM2)

2チャンネルのタイマを内蔵しています。

タイマは、インターバル・タイマ、イベント・カウンタ、ウォッチドッグ・タイマ、フリーラン・タイマなどに使用できます。

タイマに入力するクロックは、システム・クロック、シリアル・クロック (ASCK, TSCK)、外部割り込み ( $\overline{\text{INT00}}$ ,  $\overline{\text{INT10}}$ ,  $\overline{\text{INT20}}$ ,  $\overline{\text{INT30}}$ )、お互いのタイマ出力の中から選択できます。

カウンタ値は16ビットで、プリスケアラによって入力されるクロックを1, 2, 4, 8, 16, 32, 64, 128分周することができます。

#### 2.4.6 割り込みコントローラ (INTC)

割り込みコントローラは、割り込み信号の選択機能、割り込み信号のマスク機能を持ち、DSPコアへ入力する割り込み信号を制御します。

#### 2.4.7 DMA コントローラ (PMT)

ペリフェラルとメモリとの間のデータ転送 (Peripheral-Memory Transfer) をバック・グラウンドで実現するための機能です。SIO, HIO, MIO, SDCIF (μ PD77213のみ) を介して入出力されるデータの割り込み処理によって生じるソフトウェア・オーバーヘッドを軽減します。

DMAによる転送の対象となる内蔵データRAMは0x0000 ~ 0x37FFの14Kワードです。

#### 2.4.8 SD カード・インタフェース (SDCIF)

μ PD77213は, SD (Secure Digital) メモリ・カードとデータ転送を行うSDカード・インタフェースを内蔵しています。

SDメモリ・カードへの入出力はROM内の専用ルーチンを使って行います。

#### 2.4.9 ディバグ・インタフェース (IEIO)

μ PD77210ファミリは, ディバグ・インタフェースとしてJTAG (Joint Test Action Group) インタフェースに準拠した次の機能を備えています。

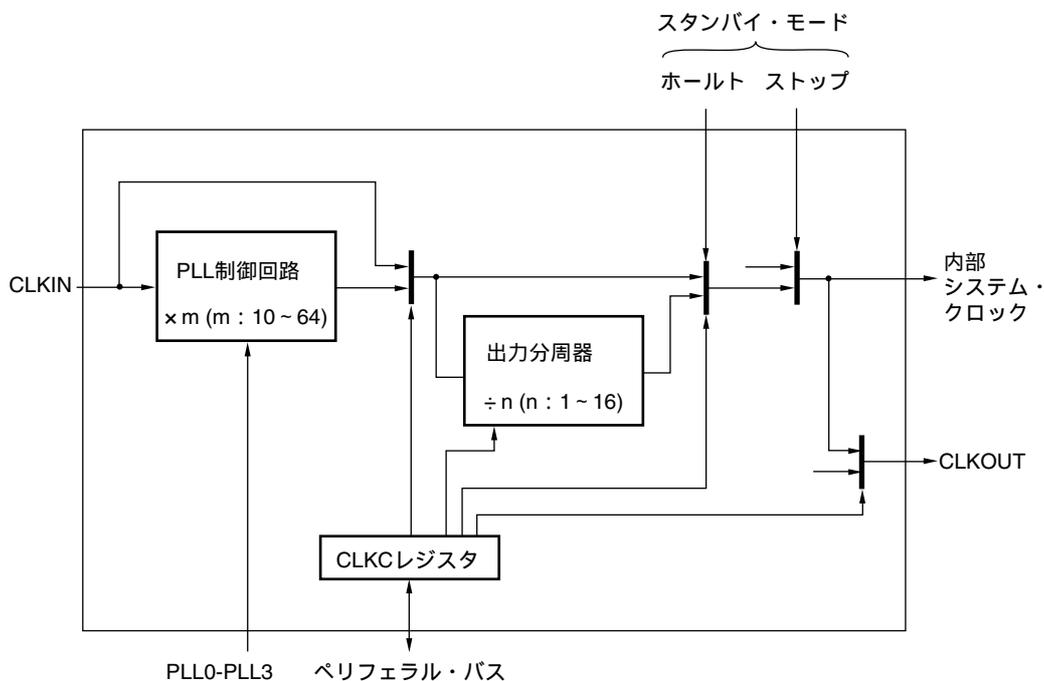
JTAGに準拠したデバイスはテスト専用のアクセス・ポートを持ち, 内部のロジックとは独立にデバイスをテストできます。

μ PD77210ファミリでは, 勧告で必須とされているインストラクション・レジスタ, バイパス・レジスタおよびバウンダリ・スキャン・レジスタに加え, インサーキット・エミュレーション用のレジスタと制御回路を内蔵しています。

### 3. クロック・ジェネレータ

CLKIN端子から入力された外部クロックを基に内部システム・クロックを生成し、μ PD77210ファミリ内部に供給します。

構成を次に示します。



リセット直後、PLLは停止しています。CLKIN端子から入力されたクロックが直接μ PD77210ファミリ内部に供給され、ブートアップが開始されます。ブート・ルーチン中にPLLが起動され、PLLの出力クロックによってブートが行われます（ノン・ブート、外部メモリ・ブートを除く）。ノン・ブート、外部メモリ・ブートの場合は、ブート終了後にユーザ・プログラム中からCLKCレジスタを設定してPLLを起動したあと、クロック・ソースをPLLに切り替えます。PLLにクロック・ソースを切り替える場合、PLLがロックされている必要がありますが、PLLを起動してからPLLがロックするまでには300 μsの時間を要します。

PLLの逡倍率は、外部端子PLL0-PLL3で指定します。また、PLLのロック・レンジは80 ~ 120 MHzおよび120 ~ 160 MHzの2帯域のモードを持っていて、ブート時のP3端子でどちらのロック・レンジを使用するか指定します。CLKCレジスタは、PLLのパワー・オン/オフ制御、クロック・ソース選択（外部クロック/逡倍後のクロック、分周/非分周出力）、出力用分周回路のリセット制御と分周率設定、CLKOUT端子の出力の可否を行います。

分周器を選択している場合、CLKOUT端子から出力されるクロックは、ハイ・レベル幅が通常動作時の1サイクル分のクロックとなります（デューティ比が50%のクロックではありません）。

ホールド・モード時は、自動的にクロック・ソースを分周回路出力とします。分周回路が選択されている場合はホールド・モードに突入してもクロックは変化しません。

ストップ・モード時では、内部に供給されるシステム・クロックをマスクします。PLLを自動的に停止することはありませんので、PLLのロック時間を不要とした高速復帰が可能です。低消費電力対応のためにPLLを停止する場合はプログラム上でCLKCレジスタを設定する必要があります。

## 4. リセット機能

$\overline{\text{RESET}}$  端子に規定の幅のロウ・レベルを入力すると、μ PD77210ファミリが初期化されます。

### 4.1 ハードウェア・リセット

$\overline{\text{RESET}}$  端子を規定の期間アクティブ（ロウ・レベル）にすると、μ PD77210ファミリ内部が初期化されます。その後インアクティブ（ハイ・レベル）とすると、ポート端子（P0, P1, P2, P3）の状態に従って命令RAMへのブート処理を行い、ブート処理終了後は命令メモリの0x200番地（リセット・エントリ）の命令から処理を実行します。

## 5. ブートアップROMの機能

電源投入時あるいはプログラム中から命令メモリの書き換えを行う場合に、内蔵のブートアップROMを使用して命令RAMのブートアップを行います。

### 5.1 リセット時のブート

ハードウェア・リセット解除後ブート・プログラムは、最初に汎用入出力ポートP0-P3を読み込み、そのビット・パターンによってブート・モード（メモリ・ブート/ホスト・ブート/シリアル・ブート）を決定します。ブート処理終了後は命令メモリの0x200番地（リセット・エントリ）の命令から処理を実行します。

P2	P1	P0	ブート・モード
0	0	0	ノン・ブート <sup>注</sup>
0	0	1	Xメモリ・イニシャル・ブート
0	1	0	Yメモリ・イニシャル・ブート
0	1	1	XYメモリ・イニシャル・ブート
1	0	0	外部メモリ・イニシャル・ブート
1	0	1	ホスト・ブート
1	1	0	シリアル・ブート

注 この設定は、一度リセット・ブートを実行したあと、スタンバイ・モードからの復帰などのために、μ PD77210ファミリがリセットを必要とするときに使用します。

P3	PLL ロック・レンジ
0	120 ~ 160 MHz
1	80 ~ 120 MHz

#### 5.1.1 メモリ・ブート

データ・メモリ上に格納された命令コードを命令RAM上に転送します。転送元となるデータ・メモリによって、Xメモリ・ブート（Xデータ・メモリからのブート）、Yメモリ・ブート（Yデータ・メモリからのブート）、XYメモリ・ブート（XおよびYデータ・メモリからのブート）、および外部メモリ・ブート（外部データ・メモリ空間からのブート）があります。

#### 5.1.2 ホスト・ブート

ホスト・インタフェース経由でブート・パラメータと命令コードを取得し、命令RAM上に転送します。

### 5.1.3 シリアル・ブート

シリアル・インタフェース経由でブート・パラメータと命令コードを取得し、命令RAM上に転送します。

## 5.2 リポート

プログラム上から次のリポート・エントリをコールすることにより、命令RAMの書き換えを行うことができます。

リポート・モード		エントリ・アドレス	パラメータ				
			命令ステップ数	転送元開始アドレス	転送元	転送先開始アドレス	転送先ページ (DPR)
メモリ・リポート	Xメモリ	0x1	R7L	DP3	R6L	DP2	R5L
	Yメモリ	0x2	R7L	DP7	R6L	DP6	R5L
	XYメモリ	0x3	R7L	DP3,DP7	R6L	DP2	R5L
	外部メモリ	0x4	R7L	DP3	R6L	DP2	R5L
ホスト・リポート		0x5	R7L	-	R6L	DP2	R5L
シリアル・リポート		0x6	R7L	-	R6L	DP2	R5L

### 5.2.1 メモリ・リポート

データ・メモリ上に格納された命令コードを命令RAM上に転送します。転送元となるデータ・メモリによって、Xメモリ・リポート (Xデータ・メモリからのリポート)、Yメモリ・リポート (Yデータ・メモリからのリポート)、XYメモリ・リポート (XおよびYデータ・メモリからのリポート)、および外部メモリ・リポート (外部データ・メモリ空間からのリポート) があります。

次のパラメータを設定し、該当するリポート方法のエントリ・アドレスをコールすることによってメモリ・リポートを行います。

- ・ R7L: リポートする命令ステップ数
- ・ DP3: 命令コードの格納されているXメモリの先頭アドレス (X, XY, 外部メモリからのリポートの場合)
- ・ DP7: 命令コードの格納されているXメモリの先頭アドレス (Y, XYメモリからのリポートの場合)
- ・ R6L: 転送元データ・ページ・レジスタ (DPR) (内部データRAM領域は0x00を指定)  
インデクス・レジスタ (外部メモリ・リポートの場合)
- ・ DP2: リポートする命令の転送先アドレス (X, XY, 外部メモリからのリポートの場合)
- ・ DP6: リポートする命令の転送先アドレス (Yメモリからのリポートの場合)
- ・ R5L: 転送先データ・ページ・レジスタ (DPR) (内部命令RAM領域は0x80を指定)

### 5.2.2 ホスト・リポート

ホスト・インタフェース経由で命令コードを取得し、命令RAM上に転送します。

エントリ・アドレスは0x5です。次のパラメータを設定してからこのアドレスをコールすることによってホスト・リポートを行います。

- ・ R7L: リポートする命令ステップ数
- ・ R6L: ホスト・ステータス・レジスタ (HST)
- ・ DP2: リポートする命令の転送先アドレス (内部命令RAM領域の場合はオフセット0x8000)
- ・ R5L: 転送先データ・ページ・レジスタ (DPR) (内部命令RAM領域は0x80を指定)

### 5.2.3 シリアル・リポート

シリアル・インタフェース (TDMSIO) 経由で命令コードを取得し、命令RAM上に転送します。

エントリ・アドレスは0x6です。次のパラメータを設定してからこのアドレスをコールすることによってホスト・リポートを行います。

- ・R7L: リポートする命令ステップ数
- ・R6L: シリアル・ステータス・レジスタ (SST) (0x0EC0を指定)
- ・DP2: リポートする命令の転送先アドレス (内部命令RAM領域の場合はオフセット0x8000)
- ・R5L: 転送先データ・ページ・レジスタ (DPR) (内部命令RAM領域は0x80を指定)

## 6. スタンバイ・モード

スタンバイ・モードには、2つの種類があり、それぞれ対応した命令を実行することで低消費電力モードになります。

### 6.1 ホールト・モード

HALT命令を実行すると、ホールト・モードになります。クロック回路およびPLL以外の機能が動作を停止し、消費電流を小さくします。

ホールト・モードからの復帰は、割り込みあるいはハードウェア・リセットによって行います。割り込みによる復帰を行う場合は、内部レジスタおよびメモリの内容は保持されています。復帰にかかる時間は十数システム・クロックです (割り込みによる復帰の場合)。ハードウェア・リセットによる復帰を行う場合は、あらかじめクロック・ソースを外部クロックにしておくこととメモリの内容を保持することができます。

ホールト・モード時、μ PD77210ファミリのクロック回路はCLKCレジスタで設定された分周比のクロックを内部システム・クロックとして供給します。また、CLKOUT端子から出力されるクロックも同様です。

### 6.2 ストップ・モード

STOP命令を実行すると、ストップ・モードになります。内部システムへのクロックの供給を停止します。

ストップ・モードに入る前にPLLの停止を行うとクロック回路とPLLを含むすべての機能が停止し、リーク電流だけの超低消費電力モードになります。この場合、あらかじめクロック・ソースを外部クロックにする必要があります。

ストップ・モードからの復帰は、ハードウェア・リセットあるいはCSTOP端子によって行います。

CSTOP端子による復帰を行う場合は、内部レジスタおよびメモリの内容は保持されています。ハードウェア・リセットによる復帰を行う場合は、あらかじめクロック・ソースを外部クロックにしておくこととメモリの内容を保持することができます。

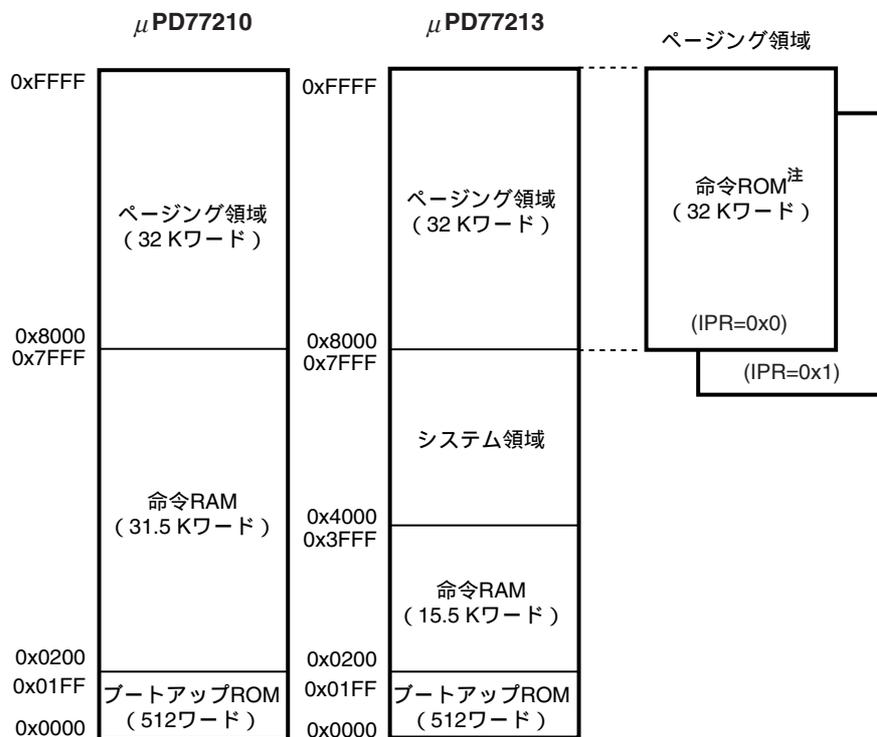
## 7. メモリ・マップ

命令メモリ空間とデータ・メモリ空間を分離したハーバード・アーキテクチャを採用しています。

### 7.1 命令メモリ

#### 7.1.1 命令メモリ・マップ

命令メモリ空間は、64 Kワード×32ビットの空間から構成されています。0x8000～0xFFFFの領域はページング領域となっており、命令ページング・レジスタ（IPR）によってページ指定をすることにより64 Kワード以上のメモリ空間をサポートします。μ PD77213の命令ROMはページング領域に存在し、IPR=0x0あるいは0x1としてアクセスします。μ PD77210のページング領域は、将来の拡張用です。



**注** 命令ROMの最上位8ワード（0xFFFF8-0xFFFF）はシステム領域となります。

**注意** システム領域にはプログラムやデータを置くことも、アクセスすることもできません。これらのアドレスをアクセスしたとき、デバイスの正常な動作は保証されません。存在しないIPRページに対してページング領域をアクセスすることはできません。これらのページをアクセスした場合は、デバイスの正常な動作は保証されません。

7.1.2 割り込みベクタ・テーブル

命令メモリの0x200-0x23Fは割り込みのエントリ・ポイント（ベクタ）になっています。割り込みの要因ごとに4命令アドレス分が与えられています。

各割り込みベクタには、4つの割り込み要因が割り振られています。ベクタは12個ですが、ベクタ内で要因を判別することによってμ PD77210では38要因を割り込み要因として使用することができます。μ PD77213では42要因を割り込み要因として使用することができます。

これらの要因は割り込みコントロール・レジスタ（ICR0-ICR11）によって、要因ごとにマスクすることができます。

ベクタ	割り込み要因			
	0	1	2	3
0x200	リセット	予約	予約	予約
0x204	予約	予約	予約	予約
0x208	予約	予約	予約	予約
0x20C	予約	予約	予約	予約
0x210	$\overline{\text{INT00}}$	$\overline{\text{INT01}}$	$\overline{\text{INT02}}$	$\overline{\text{INT03}}$
0x214	$\overline{\text{INT10}}$	$\overline{\text{INT11}}$	$\overline{\text{INT12}}$	$\overline{\text{INT13}}$
0x218	$\overline{\text{INT20}}$	$\overline{\text{INT21}}$	$\overline{\text{INT22}}$	$\overline{\text{INT23}}$
0x21C	$\overline{\text{INT30}}$	$\overline{\text{INT31}}$	$\overline{\text{INT32}}$	$\overline{\text{INT33}}$
0x220	TSI 入力	TSIEN	PMT ch0 (TSI 入力)	SDCR 入力 <sup>注</sup>
0x224	TSO 出力	TSOEN	PMT ch1 (TSO 出力)	SDCR 出力 <sup>注</sup>
0x228	ASI 入力	ASIEN	PMT ch2 (ASI 入力)	SDDAT 入力 (ビジー解除) <sup>注</sup>
0x22C	ASO 出力	ASOEN	PMT ch3 (ASO 出力)	SDDAT 出力 <sup>注</sup>
0x230	HI 入力	$\overline{\text{HWR}}$	PMT ch4 (HI 入力)	予約
0x234	HO 出力	$\overline{\text{HRD}}$	PMT ch5 (HO 出力)	予約
0x238	TIMER ch0	TIMER ch1	PMT ch6 (MI 入力)	予約
0x23C	TIMER ch1	TIMER ch0	PMT ch7 (MO 出力)	予約

注 μ PD77213の場合のみです。μ PD77210では予約になります。

注意1. リセットは割り込みではありませんが、ベクタのエントリとして統一的に取り扱われます。

2. 使用しない割り込み要因のベクタは、異常処理ルーチンへ分岐するなどの処置をすることをお勧めします。

7.2 データ・メモリ

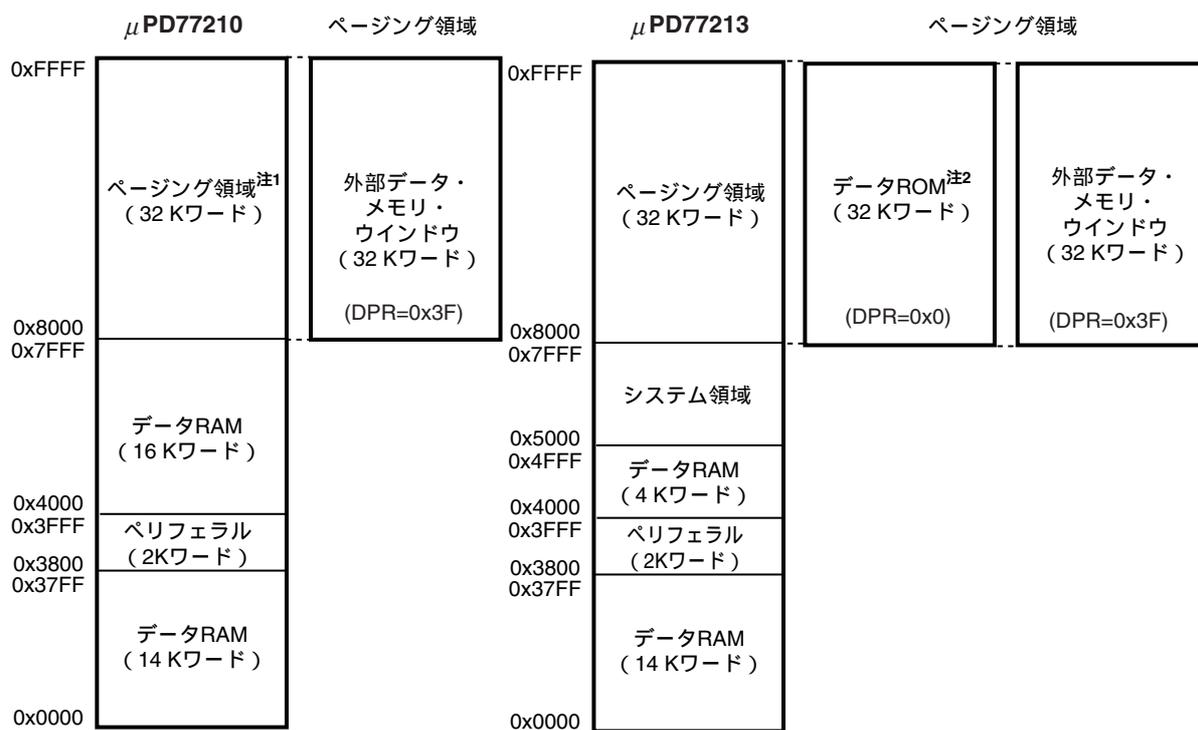
7.2.1 データ・メモリ・マップ

データ・メモリ空間は、それぞれ64 Kワード×16ビットのXメモリ空間およびYメモリ空間の2面の空間で構成されています。0x8000-0xFFFFの領域はページング領域となっており、データ・ページング・レジスタ (DPR) によってページ指定をすることにより64 Kワード以上のメモリ空間をサポートします。DPRの設定はX, Yメモリで共通となります。

DPRの0x3Fページは外部データ・メモリのウインドウとなっています。

DPRの0x80ページは内部命令RAMの0x0000 ~ 0x7FFFと共通です。32ビット幅の命令RAMに対して、Xデータ・メモリが下位16ビット、Yデータ・メモリが上位16ビットとなります。μ PD77213のデータROMはページング領域に存在し、DPR=0x0としてアクセスします。

μ PD77213では、SDカード・インタフェースと一部の端子を兼用しているため、SDカード・インタフェース使用時はアクセスできる領域が制限されます。アドレス端子としてMA13-MA19をSDカード・インタフェース端子と兼用しています。SDカード・インタフェース使用時は、MA0-MA12の13ビット・アドレス (8Kワード) でのアクセスのみ可能となります。



- 注1. ページング・レジスタを0x3F (外部データ・メモリ・ウインドウ)、0x80 (内部命令RAM領域) 以外としたとき、ページング領域になっているアドレスにはアクセスしないでください。
- 2. データROMの最上位8ワード (0xFFFF8-0xFFFF) はシステム領域となります。

**注意** システム領域にはプログラムやデータを置くことも、アクセスすることもできません。これらのアドレスをアクセスしたとき、デバイスの正常な動作は保証されません。存在しないDPRページに対してページング領域をアクセスすることはできません。これらのページをアクセスした場合は、デバイスの正常な動作は保証されません。

7.2.2 内蔵ペリフェラル

内蔵ペリフェラルは、内部データ・メモリ空間にメモリ・マップされています。

注意1. ここに示されたレジスタ名称は、アセンブラやC言語の予約語ではありません。したがって、アセンブラやC言語でこれらの名前を取り扱う場合には、ユーザによる定義付けが必要です。

2. これらのレジスタは、Xメモリ空間、Yメモリ空間のどちらのメモリ空間からアクセスしても、アドレスが同じであれば同一のレジスタにアクセスします。

3. 異なるレジスタであっても、Xメモリ空間、Yメモリ空間の両方から同時にアクセスすることはできません。

メモリ・マップト・ペリフェラル (1/3)

X/Y メモリ・アドレス	レジスタ名	機 能	ペリフェラル名
0x3800	TSDDT/SDT1	TDM シリアル・データ・レジスタ / シリアル・データ・レジスタ 1	TSIO ( SIO1 )
0x3801	SST1	シリアル・ステータス・レジスタ 1	
0x3802	TSST	TDM シリアル・ステータス・レジスタ	
0x3803	TFMT	TDM フレーム・フォーマット・レジスタ	
0x3804	TTXL	TDM 送信スロット・レジスタ ( 下位 )	
0x3805	TTXH	TDM 送信スロット・レジスタ ( 上位 )	
0x3806	TRXL	TDM 受信スロット・レジスタ ( 下位 )	
0x3807	TRXH	TDM 受信スロット・レジスタ ( 上位 )	
0x3808-0x380F	予約領域	<b>注意</b> この領域にはアクセスしないでください。	-
0x3810	ASDDT/SDT2	オーディオ・シリアル・データ・レジスタ / シリアル・データ・レジスタ 2	ASIO ( SIO2 )
0x3811	SST2	シリアル・ステータス・レジスタ 2	
0x3812	ASST	オーディオ・シリアル・ステータス・レジスタ	
0x3813-0x381F	予約領域	<b>注意</b> この領域にはアクセスしないでください。	-
0x3820	HDT	ホスト・インタフェース・データ・レジスタ	HIO
0x3821	HST	ホスト・インタフェース・ステータス・レジスタ	
0x3822-0x383F	予約領域	<b>注意</b> この領域にはアクセスしないでください。	-
0x3840	MDT	メモリ・データ・レジスタ	MIO
0x3841	MSHW	メモリ I/F セットアップ / ホールド幅設定レジスタ	
0x3842	MCST	メモリ I/F コントロール / ステータス・レジスタ	
0x3843	MWAIT	メモリ I/F ウェイト・レジスタ	
0x3844	MIDX	ダイレクト・アクセス・インデックス・レジスタ	
0x3845	MADRLI	メモリ I/F 入力用スタート・アドレス・レジスタ ( 下位 )	
0x3846	MADRHI	メモリ I/F 入力用スタート・アドレス・レジスタ ( 上位 )	
0x3847	MOFSI	メモリ I/F 入力用ライン・オフセット・レジスタ	
0x3848	MLENI	メモリ I/F 入力用ライン・レンジ・レジスタ	
0x3849	MADRLO	メモリ I/F 出力用スタート・アドレス・レジスタ ( 下位 )	
0x384A	MADRHO	メモリ I/F 出力用スタート・アドレス・レジスタ ( 上位 )	
0x384B	MOFSO	メモリ I/F 出力用ライン・オフセット・レジスタ	
0x384C	MLENO	メモリ I/F 出力用ライン・レンジ・レジスタ	
0x384D-0x384F	予約領域	<b>注意</b> この領域にはアクセスしないでください。	-

メモリ・マップト・ペリフェラル (2/3)

X/Y メモリ・アドレス	レジスタ名	機 能	ペリフェラル名
0x3850	PMSA0	PMT スタート・アドレス・レジスタ 0	PMT ch0
0x3851	PMS0	PMT サイズ・レジスタ 0	
0x3852	PMC0	PMT 制御レジスタ 0	
0x3853	PMP0	PMT アドレス・ポインタ 0	
0x3854	PMSA1	PMT スタート・アドレス・レジスタ 1	PMT ch1
0x3855	PMS1	PMT サイズ・レジスタ 1	
0x3856	PMC1	PMT 制御レジスタ 1	
0x3857	PMP1	PMT アドレス・ポインタ 1	
0x3858	PMSA2	PMT スタート・アドレス・レジスタ 2	PMT ch2
0x3859	PMS2	PMT サイズ・レジスタ 2	
0x385A	PMC2	PMT 制御レジスタ 2	
0x385B	PMP2	PMT アドレス・ポインタ 2	
0x385C	PMSA3	PMT スタート・アドレス・レジスタ 3	PMT ch3
0x385D	PMS3	PMT サイズ・レジスタ 3	
0x385E	PMC3	PMT 制御レジスタ 3	
0x385F	PMP3	PMT アドレス・ポインタ 3	
0x3860	PMSA4	PMT スタート・アドレス・レジスタ 4	PMT ch4
0x3861	PMS4	PMT サイズ・レジスタ 4	
0x3862	PMC4	PMT 制御レジスタ 4	
0x3863	PMP4	PMT アドレス・ポインタ 4	
0x3864	PMSA5	PMT スタート・アドレス・レジスタ 5	PMT ch5
0x3865	PMS5	PMT サイズ・レジスタ 5	
0x3866	PMC5	PMT 制御レジスタ 5	
0x3867	PMP5	PMT アドレス・ポインタ 5	
0x3868	PMSA6	PMT スタート・アドレス・レジスタ 6	PMT ch6
0x3869	PMS6	PMT サイズ・レジスタ 6	
0x386A	PMC6	PMT 制御レジスタ 6	
0x386B	PMP6	PMT アドレス・ポインタ 6	
0x386C	PMSA7	PMT スタート・アドレス・レジスタ 7	PMT ch7
0x386D	PMS7	PMT サイズ・レジスタ 7	
0x386E	PMC7	PMT 制御レジスタ 7	
0x386F	PMP7	PMT アドレス・ポインタ 7	
0x3870	PDT0	ポート・データ・レジスタ 0	PIO
0x3871	PCD0	ポート・コマンド・レジスタ 0	
0x3872	PDT1	ポート・データ・レジスタ 1	
0x3873	PCD1	ポート・コマンド・レジスタ 1	
0x3874	PDT2	ポート・データ・レジスタ 2	
0x3875	PCD2	ポート・コマンド・レジスタ 2	
0x3876	PDT3	ポート・データ・レジスタ 3	
0x3877	PCD3	ポート・コマンド・レジスタ 3	
0x3878, 0x3879	予約領域	<b>注意</b> この領域にはアクセスしないでください。	-
0x387A, 0x387B	POWC	パワー制御レジスタ	Peripheral STOP mode
0x387C-0x387F	予約領域	<b>注意</b> この領域にはアクセスしないでください。	-

## メモリ・マップト・ペリフェラル (3/3)

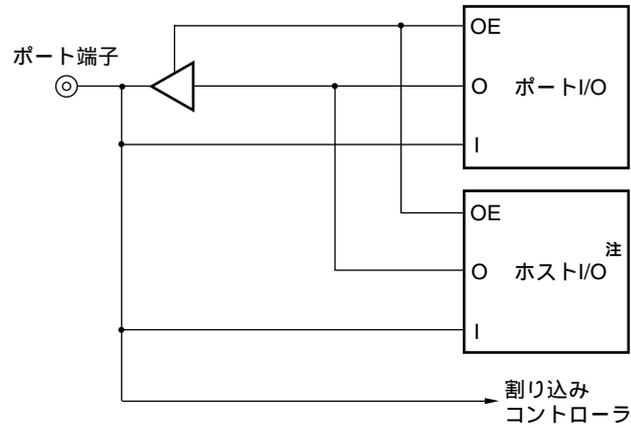
X/Y メモリ・アドレス	レジスタ名	機 能	ペリフェラル名
0x3880	ICR0	割り込み制御レジスタ 0	INTC
0x3881	ICR1	割り込み制御レジスタ 1	
0x3882	ICR2	割り込み制御レジスタ 2	
0x3883	ICR3	割り込み制御レジスタ 3	
0x3884	ICR4	割り込み制御レジスタ 4	
0x3885	ICR5	割り込み制御レジスタ 5	
0x3886	ICR6	割り込み制御レジスタ 6	
0x3887	ICR7	割り込み制御レジスタ 7	
0x3888	ICR8	割り込み制御レジスタ 8	
0x3889	ICR9	割り込み制御レジスタ 9	
0x388A	ICR10	割り込み制御レジスタ 10	
0x388B	ICR11	割り込み制御レジスタ 11	
0x388C-0x388F	予約領域	<b>注意</b> この領域にはアクセスしないでください。	-
0x3890	TIR0	タイマ初期値設定レジスタ 0	TIM0
0x3891	TCR0	タイマ・カウント・レジスタ 0	
0x3892	TCSR0	タイマ制御レジスタ 0	
0x3893	予約領域	<b>注意</b> この領域にはアクセスしないでください。	-
0x3894	TIR1	タイマ初期値設定レジスタ 1	TIM1
0x3895	TCR1	タイマ・カウント・レジスタ 1	
0x3896	TCSR1	タイマ制御レジスタ 1	
0x3897-0x389F	予約領域	<b>注意</b> この領域にはアクセスしないでください。	-
0x38A0	CEFR	訂正イネーブル・フラグ・レジスタ	IMC
0x38A1	CPR0	訂正ページ・レジスタ 0	
0x38A2	CAR0	訂正アドレス・レジスタ 0	
0x38A3	CLIR0	訂正命令コード・レジスタ (上位) 0	
0x38A4	CUIR0	訂正命令コード・レジスタ (下位) 0	
0x38A5	CPR1	訂正ページ・レジスタ 1	
0x38A6	CAR1	訂正アドレス・レジスタ 1	
0x38A7	CLIR1	訂正命令コード・レジスタ (上位) 1	
0x38A8	CUIR1	訂正命令コード・レジスタ (下位) 1	
0x38A9-0x38AF	予約領域	<b>注意</b> この領域にはアクセスしないでください。	-
0x38B0	CLKC	クロック制御レジスタ	CLKC
0x38B1-0x38BF	予約領域	<b>注意</b> この領域にはアクセスしないでください。	-
0x38C0	IPR	命令ページング・レジスタ	Page Register
0x38C1	DPR	データ・ページング・レジスタ	
0x38C2-0x38CF	予約領域	<b>注意</b> この領域にはアクセスしないでください。	-
0x38D0	ADCR <sup>注</sup>	拡張インタフェース制御レジスタ	Additional IO
0x38D1-0x3FFF	予約領域	<b>注意</b> この領域にはアクセスしないでください。	-

注 μ PD77213のみ。μ PD77210はアクセス禁止です。

## 8. 汎用ポートと割り込み

### 8.1 汎用ポート端子

汎用ポート端子は、割り込み端子およびホスト・インタフェース端子と兼用になっています。構成を次に示します。



注 P0-P7端子はホスト・インタフェース端子と兼用になっていません。

### 8.2 割り込み端子

汎用ポート端子は割り込み端子として機能し、入力された信号は常に割り込みコントローラに入力されます。割り込みコントローラは、立ち下がりエッジを検出して割り込みを認識します。

汎用ポートの出力やホスト・インタフェース端子の出力を割り込み入力に利用することも可能です。

また、 $\overline{\text{HRD}}$ 、 $\overline{\text{HWR}}$ 、ASOEN、ASIEN、TSOEN、TSIENの各端子も割り込みコントローラと接続されており、割り込み端子として使用できます。

## 9. インストラクション

### 9.1 インストラクションの概要

インストラクションは、一命令32ビットで構成されています。分岐命令など、一部の命令を除いたほとんどすべての命令を1システム・クロックで実行します。μ PD77210のインストラクション・サイクルは最高6.25 ns、μ PD77213は最高8.33 nsです。インストラクションには、以下の9種類があります。

#### (1) 3項演算命令

MACでの演算を指定する命令です。演算対象は汎用レジスタから3レジスタを任意に指定できます。

#### (2) 2項演算命令

MAC, ALUまたはBSFTでの演算を指定する命令です。演算対象は汎用レジスタから2レジスタを任意に指定できます。汎用レジスタの代わりにイミディエト値を1入力に指定できる命令もあります。

#### (3) 単項演算命令

ALUでの演算を指定する命令です。演算対象は汎用レジスタから1レジスタを任意に指定できます。

#### (4) ロード/ストア命令

メモリと汎用レジスタ間の16ビット・データ転送を指定する命令です。転送対象は汎用レジスタから任意に指定できます。

#### (5) レジスタ間転送命令

汎用レジスタと他のレジスタ間の転送を指定する命令です。

#### (6) 即値設定命令

汎用レジスタとアドレス演算ユニットの各レジスタに即値（イミディエト値）を設定する命令です。

#### (7) 分岐命令

プログラムの分岐を指定する命令です。

#### (8) ハードウェア・ループ命令

命令の繰り返し実行を指定する命令です。

#### (9) 制御命令

プログラム制御を指定する命令です。

9.2 命令セットとそのオペレーション

各命令のオペレーション欄には，その命令のオペレーション表現形式に対する記述法に従ってオペレーションを記述します。記述方法の中で，複数個あるものは，それらの要素の1つを選択します。

(a) 表現形式と選択できるレジスタの対応

表現形式と選択できるレジスタの対応は，次の表のとおりです。

表現形式	選択できるレジスタ
ro, ro , ro	R0-R7
rl, rl	R0L-R7L
rh, rh	R0H-R7H
re	R0E-R7E
reh	R0EH-R7EH
dp	DP0-DP7
dn	DN0-DN7
dm	DMX, DMY
dpx	DP0-DP3
dpy	DP4-DP7
dpx_mod	DPn, DPn + + , DPn - - , DPn# # , DPn%% , !DPn# # ( n = 0-3 )
dpy_mod	DPn, DPn + + , DPn - - , DPn# # , DPn%% , !DPn# # ( n = 4-7 )
dp_imm	DPn# # imm ( n = 0-7 )
* x x x	x x xをアドレスとするメモリの内容 例 DP0レジスタの内容が1000のとき，* DP0はメモリの1000番地の内容を表します。

(b) データ・ポインタのモディファイ

データ・ポインタのモディファイは、メモリ・アクセス後に行います。結果は直後の命令から有効になります。データ・ポインタのモディファイのみはできません。

記述例	オペレーション
DPn	何もしません (DPnの値を変化させません)。
DPn + +	DPn DPn + 1
DPn - -	DPn DPn - 1
DPn# #	DPn DPn + DNn (DP0-DP7に対応するDN0-DN7の値を加算します。) 例: DP0 DP0 + DN0
DPn%%	(n = 0-3) DPn = ( (DPL + DNn) mod (DMX + 1) ) + DP <sub>H</sub> (n = 4-7) DPn = ( (DPL + DNn) mod (DMY + 1) ) + DP <sub>H</sub>
!DPn# #	DPnをビット・リバース後メモリ・アクセスする。 メモリ・アクセス後 DPn DPn + DNn
DPn# # imm	DPn DPn + imm

(c) 同時記述できる命令

同時記述できる命令は で表します。

(d) オーバフロー・フラグ(OV)の状態

オーバフロー・フラグの状態を次の記号で表します。

: 変化なし

: オーバフローが起きたとき、1にセットされます。

**注意** 演算の結果オーバフローが起きないとき、オーバフロー・フラグはリセットされず、演算前の状態を保持します。

インストラクション・セット

命令群	命令名称	二モニック	オペレーション	同時記述できる命令										フラグ	
				3 項	2 項	単 項	ス テ ア プ	ロ ド ノ	転 送	即 値	分 岐	ル ー プ	制 御		OV
3 項 演 算	マルチプライ・アド	$ro = ro + rh * rh$	$ro \quad ro + rh * rh$												
	マルチプライ・サブ	$ro = ro - rh * rh$	$ro \quad ro - rh * rh$												
	サイン・アンサイン・ マルチプライ・アド	$ro = ro + rh * rl$ (rlは正の整数フォーマット)	$ro \quad ro + rh * rl$												
	アンサイン・アンサイ ン・マルチプライ・ア ド	$ro = ro + rl * rl$ (rl, rl は正の整数フォーマット)	$ro \quad ro + rl * rl$												
	1ビット・シフト・マ ルチプライ・アド	$ro = (ro \ll 1) + rh * rh$	$ro \quad \frac{ro}{2} + rh * rh$												
	16ビット・シフト・マ ルチプライ・アド	$ro = (ro \ll 16) + rh * rh$	$ro \quad \frac{ro}{2^{16}} + rh * rh$												
2 項 演 算	マルチプライ	$ro = rh * rh$	$ro \quad rh * rh$												
	アド	$ro = ro + ro$	$ro \quad ro + ro$												
	イミューディエト・アド	$ro = ro + imm$	$ro \quad ro + imm$ (ただしimm 1)												
	サブ	$ro = ro - ro$	$ro \quad ro - ro$												
	イミューディエト・サブ	$ro = ro - imm$	$ro \quad ro - imm$ (ただしimm 1)												
	算術右シフト	$ro = ro \gg r1$	$ro \quad ro \gg r1$												
	イミューディエト 算術右シフト	$ro = ro \gg imm$	$ro \quad ro \gg imm$												
	論理右シフト	$ro = ro \gg r1$	$ro \quad ro \gg r1$												
	イミューディエト 論理右シフト	$ro = ro \gg imm$	$ro \quad ro \gg imm$												
	論理左シフト	$ro = ro \ll r1$	$ro \quad ro \ll r1$												
	イミューディエト 論理左シフト	$ro = ro \ll imm$	$ro \quad ro \ll imm$												
	アンド	$ro = ro \& ro$	$ro \quad ro \& ro$												
	イミューディエト・ アンド	$ro = ro \& imm$	$ro \quad ro \& imm$												
	オア	$ro = ro   ro$	$ro \quad ro   ro$												
	イミューディエト・オア	$ro = ro   imm$	$ro \quad ro   imm$												
	イクスクルーシブ・オ ア	$ro = ro \wedge ro$	$ro \quad ro \wedge ro$												
	イミューディエト・イク スクルーシブ・オア	$ro = ro \wedge imm$	$ro \quad ro \wedge imm$												
レスザン	$ro = LT(ro, ro)$	$if(ro < ro )$ { $ro \quad 0x0000000001$ } else{ $ro \quad 0x0000000000$ }													

命令群	命令名称	モニタック	オペレーション	同時記述できる命令								フラグ OV	
				3 項	2 項	単 項	ス テ ア プ ロ ド ク	転 送	即 値	分 岐	ル ー プ		制 御
単 項 演 算	クリア	CLR(ro)	ro 0x0000000000										
	インクリメント	ro = ro + 1	ro ro + 1										
	デクリメント	ro = ro - 1	ro ro - 1										
	絶対値	ro = ABS(ro)	if(ro < 0) { ro - ro } else { ro ro }										
	1の補数	ro = ~ro	ro ~ro										
	2の補数	ro = - ro	ro - ro										
	クリップ	ro = CLIP(ro)	if(ro > 0x007FFFFFFF) { ro 0x007FFFFFFF } elseif(ro < 0xFF80000000) { ro 0xFF80000000 } else { ro ro }										
	丸め	ro = ROUND(ro)	if(ro > 0x007FFF0000) { ro 0x007FFF0000 } elseif(ro < 0xFF80000000) { ro 0xFF80000000 } else { ro (ro + 0x8000) & 0xFFFFFFF000 }										
	指数	ro = EXP(ro)	ro $\log_2(\frac{1}{ro})$										
	代入	ro = ro	ro ro										
	累加算	ro + = ro	ro ro + ro										
	累減算	ro - = ro	ro ro - ro										
	除算	ro / = ro	if(sign(ro ) = sign(ro)) { ro (ro - ro) 1 } else { ro (ro + ro) 1 } if(sign(ro ) = 0) { ro ro + 1 }										

命令群	命令名称	ニモニック	オペレーション	同時記述できる命令								フラグ	
				3 項	2 項	単 項	ス テ ア / ロ ド	転 送	即 値	分 岐	ル ー プ		制 御
ロードノスタア	並列	ro = *dpx_mod ro = *dpy_mod	ro *dpx, ro *dpy										
	ロードノスタア <sup>注1, 注2</sup>	ro = *dpx_mod *dpy_mod = rh	ro *dpx, *dpy rh										
		*dpx_mod = rh ro = *dpy_mod	*dpx rh, ro *dpy										
		*dpx_mod = rh *dpy_mod = rh	*dpx rh, *dpy rh										
部分ロードノスタア <sup>注1, 注2, 注3</sup>	部分ロードノスタア	dest = *dpx_mod	dest *dpx,										
		dest = *dpy_mod	dest *dpy										
		dest = *dpx_mod *dpy_mod = source	dest *dpx, *dpy source										
		*dpx_mod = source dest = *dpy_mod	*dpx source, dest *dpy										
		*dpx_mod = source *dpy_mod = source	*dpx source, *dpy source										
ダイレクト・アドレッシング・ロードノスタア <sup>注4</sup>	ダイレクト・アドレッシング・ロードノスタア	dest = *addr	dest *addr										
		*addr = source	*addr source										
即値インデクス・ロードノスタア <sup>注5</sup>	即値インデクス・ロードノスタア	dest = *dp_imm	dest *dp										
		*dp_imm = source	*dp source										
転送レジスタ間	レジスタ間転送 <sup>注6</sup>	dest = rl	dest rl										
		rl = source	rl source										
即値設定	即値設定	rl = imm (ただし, imm = 0-0xFFFF)	rl imm										
		dp = imm (ただし, imm = 0-0xFFFF)	dp imm										
		dn = imm (ただし, imm = 0-0xFFFF)	dn imm										
		dm = imm (ただし, imm = 1-0xFFFF)	dm imm										

注1. 2つのニモニックのうち、いずれか1つを記述することも、両方とも記述することも可能です。

2. 転送後、modで指定されたモディファイを行います。

3. dest, dest = { ro, reh, re, rh, rl }, source, source = { re, rh, rl } のいずれかを選択してください。

4. dest = { ro, reh, re, rh, rl }, source = { re, rh, rl }, addr =  $\begin{cases} 0 : X-0xFFFF : X (Xメモリ) \\ 0 : Y-0xFFFF : Y (Yメモリ) \end{cases}$  のいずれかを選択してください。

5. dest = { ro, reh, re, rh, rl }, source = { re, rh, rl } のいずれかを選択してください。

6. dest, sourceは汎用レジスタ以外の全レジスタのいずれかを選択してください。

命令群	命令名称	二モニック	オペレーション	同時記述できる命令										フラグ OV	
				3 項	2 項	単 項	ス テ ア プ	ロ ド ノ	転 送	即 値	分 岐	ル ー プ	制 御		
分岐	ジャンプ	JMP imm	PC imm												
	レジスタ間接ジャンプ	JMP dp	PC dp												
	サブルーチン・コール	CALL imm	SP SP + 1 STK PC + 1 PC imm												
	レジスタ間接サブ ルーチン・コール	CALL dp	SP SP + 1 STK PC + 1 PC dp												
	リターン	RET	PC STK SP SP - 1												
	割り込みリターン	RETI	PC STK STK SP - 1 割り込み許可フラグの復帰												
★ ハードウェア ・ ループ	リピート	REP count	開始 RC count RF 0 リピート中 PC PC RC RC - 1 終了 PC PC + 1 RF 1												
	ループ	LOOP count (2行以上の命令)	開始 LC count LF 0 ループ中 PC PC + 1 (while PC < LEA) if(PC = LEA) PC LSA LC LC - 1 終了 PC PC + 1 LF 1												
	ループ・ポップ	LPOP	LC LSR3 LE LSR2 LS LSR1 LSP LSP - 1												
★ 制御	ノー・オペレーション	NOP	PC PC + 1												
	ホールド	HALT	CPU停止												
	ストップ	STOP	CPU停止, PLL, OSCユーザ にて停止可												
	条件	IF(ro cond)	条件判定												
	フォークゲット・ インタラプト	FINT	割り込み要求を破棄												

10. 電気的特性

絶対最大定格 (TA = +25 )

項目	略号	条件	定格	単位
電源電圧	IV <sub>DD</sub>	DSPコア用	- 0.5 ~ + 2.0	V
	EV <sub>DD</sub>	I/O端子用	- 0.5 ~ + 4.6	V
入力電圧	V <sub>I</sub>	V <sub>I</sub> < EV <sub>DD</sub> + 0.5 V	- 0.5 ~ + 4.6	V
出力電圧	V <sub>O</sub>		- 0.5 ~ + 4.6	V
保存温度	T <sub>stg</sub>		- 65 ~ + 150	
動作周囲温度	T <sub>A</sub>		- 20 ~ + 70	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨動作条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作電圧	IV <sub>DD</sub>	DSPコア用 ( ~ 120 MHz )	1.425	1.50	1.65	V
		DSPコア用 ( ~ 160 MHz) <sup>注</sup>	1.55	1.60	1.65	V
	EV <sub>DD</sub>	I/O端子用	2.7	3.3	3.6	V
入力電圧	V <sub>I</sub>		0		EV <sub>DD</sub>	V

注 μ PD77210のみ

容量 (TA = +25 , IV<sub>DD</sub> = 0 V, EV<sub>DD</sub> = 0 V)

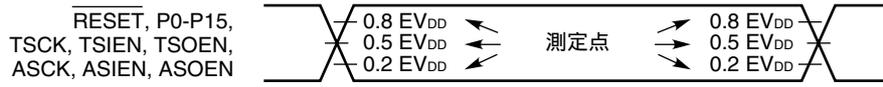
項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C <sub>I</sub>	f = 1 MHz, 測定端子以外は0 V		10		pF
出力容量	C <sub>O</sub>			10		pF
入出力容量	C <sub>IO</sub>			10		pF

DC特性 (TA = -20 ~ +70 , IVDD, EVDDの範囲は推奨動作条件による)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	VIHN	下記の端子以外	0.7 EVDD		EVDD	V
	VIHC	CLKIN	0.7 EVDD		EVDD	V
	VIHS	RESET, P0-P15, TSCK, TSIEN, TSOEN, ASCK, ASIEN, ASOEN	0.8 EVDD		EVDD	V
ロウ・レベル入力電圧	VILN	下記の端子以外	0		0.2 EVDD	V
	VILC	CLKIN	0		0.2 EVDD	V
	VILS	RESET, P0-P15, TSCK, TSIEN, TSOEN, ASCK, ASIEN, ASOEN	0		0.2 EVDD	V
ハイ・レベル出力電圧	VOH	IOH = -100 μA	0.8 EVDD			V
ロウ・レベル出力電圧	VOL	IOL = 2.0 mA			0.2 EVDD	V
ハイ・レベル入力リーク電流	ILHN	VI = EVDD	0		10	μA
ロウ・レベル入力リーク電流	ILLN	VI = 0 V	-10		0	μA
ハイ・インピーダンス・リーク電流	ILZ	0 V VI EVDD	0		-10	μA
ブルアップ端子電流	IPUI	TDI, TMS, 0 V VI EVDD	20	70	200	μA
ブルダウン端子電流	IPDI	TRST, 0 V VI EVDD	-20	-70	-200	μA
内部電源電流 ( fclkin = 10 MHz , IVDD = 1.5 V , VIHN = VIHC = VIHS = EVDD, VIL = 0 V, 無負荷, TA = 25 )	IDD	通常動作時, fclk = 100 MHz, PLL通倍率 × 10		35 <sup>注1</sup>	70 <sup>注2</sup>	mA
	IDDH	ホールド時, fclk = 100 MHz, PLL通倍率 × 10, 分周率1/1		20 <sup>注3</sup>		mA
	IDDS	ストップ時 <sup>注4</sup> , fclk = 0 Hz, PLL停止	μ PD77210 μ PD77213		240 120	

- 注 1. MAC with Dual Load命令50% + nop命令50%を実行したときの値です。0.35 mA/MHzで概算できます。
2. デバイス内部のスイッチングがきわめて多いような特殊なプログラムを実行したときの値です。0.7 mA/MHzで概算できます
3. 分周率1/1のときの値です。分周後のクロックにおいて0.2 mA/MHz + IDDSで概算できます。
4. ストップ時はPLLを停止したときの値です。

スイッチング特性の共通測定基準



AC特性 (特に指定のないかぎり,  $T_A = -20 \sim +70$  ,  $V_{DD}$ ,  $E_{VDD}$ の範囲は推奨動作条件による)

クロック

タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
CLKINサイクル・タイム <sup>注1</sup>	$t_{cCX}$		62.5			ns
CLKINハイ・レベル幅	$t_{wCXH}$		12.5			ns
CLKINロウ・レベル幅	$t_{wCXL}$		12.5			ns
CLKIN立ち上がり / 立ち下がり時間	$t_{rCX}$				5	ns
内部クロック・サイクル・タイム	$t_{cC}$	120MHz ~ 時(μPD77210のみ)	6.25			ns
		~ 120 MHz時	8.33			ns
PLLロック・アップ時間	$t_{LPLL}$				300	μs
PLLロック周波数 <sup>注</sup>	$t_{cPLL}$	ブート時: P3 = 0 <sup>注2</sup>	120		160	MHz
		ブート時: P3 = 1	80		120	MHz

注1. CLKINサイクル・タイムは, PLLロック周波数に適合する必要があります。したがって, 62.5 ns以上, かつ, 通倍後の周波数が80 ~ 160 MHzの条件を満たす必要があります。

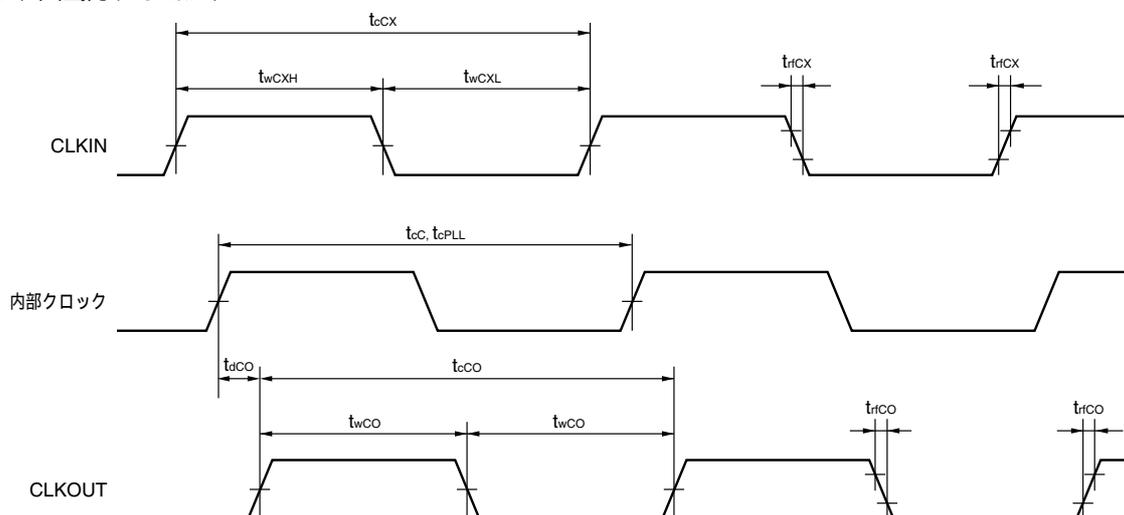
2. μPD77213の場合は, 外部メモリ・ブート使用時のみ設定可能です。

スイッチング特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
内部クロック周期 <sup>注</sup>	$t_{cC}$			$t_{cCX} \div m \times n$		ns
CLKOUT サイクル・タイム	$t_{cCO}$			$t_{cC}$		ns
CLKOUT 幅	$t_{wCO}$	$n = 1$		$t_{cC} \div 2$		ns
		$n \geq 2$	ハイ・レベル幅	$t_{cC} \div n$		ns
			ロウ・レベル幅	$t_{cC} - t_{cC} \div n$		ns
CLKOUT 立ち上がり / 立ち下がり時間	$t_{rCO}$				5	ns
CLKOUT 遅延時間	$t_{dCO}$				6.25	ns

注 m: 通倍率, n: 分周率 (PLL, 分周器使用時)

クロック入出力タイミング



リセット, 割り込み, システム・コントロール, タイマ

タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
RESET ロウ・レベル幅	$t_{w(RL)}$		$6 t_{cCX}$ 注1			ns
CSTOPハイ・レベル幅	$t_{w(CSTOPH)}$		$12 t_{cC}$ 注2			ns
CSTOPリカバリ時間	$t_{rec(CSTOP)}$		$12 t_{cC}$ 注2			ns
INTmn ロウ・レベル幅	$t_{w(INTL)}$		$6 t_{cC}$ 注3			ns
INTmn リカバリ時間	$t_{rec(INT)}$		$6 t_{cC}$ 注3			ns

注1. リセット時は, 入力クロックにより規定されます。

2. ストップ, ホールト時は, 分周クロックにより規定されます。

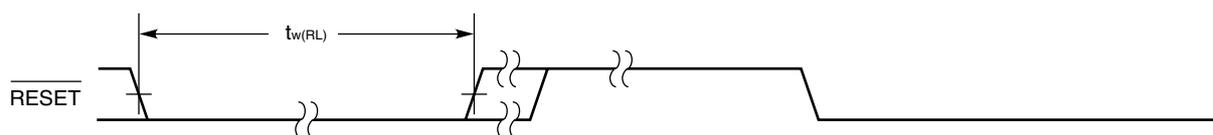
3. 割り込み入力, は, 割り込み端子 (P0-P15端子と兼用) のほか, TSIEN, TSOEN, ASIEN, ASOEN端子より行うこともできます。

備考  $\overline{INTmn}$  m,n=0-3

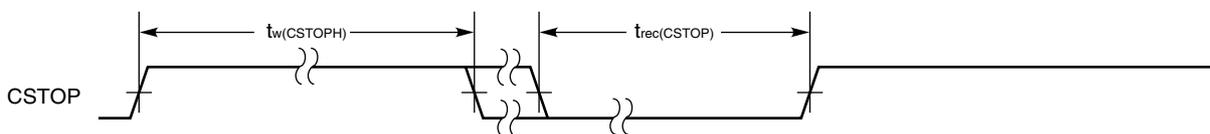
スイッチング特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
STOPS出力遅延時間	$t_{dSTP}$		0		6.25	ns
HALTS出力遅延時間	$t_{dHLT}$		0		6.25	ns
TIMOUT出力遅延時間	$t_{dTIM}$		0		6.25	ns
TIMOUT出力幅	$t_{wTIM}$			$4 t_{cC}$		ns

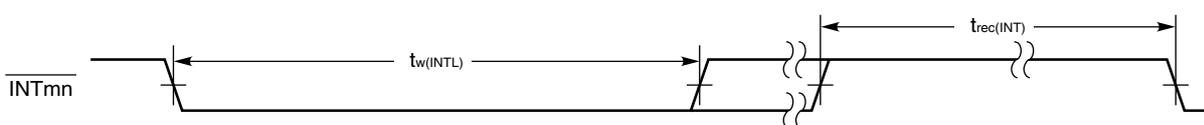
リセット・タイミング



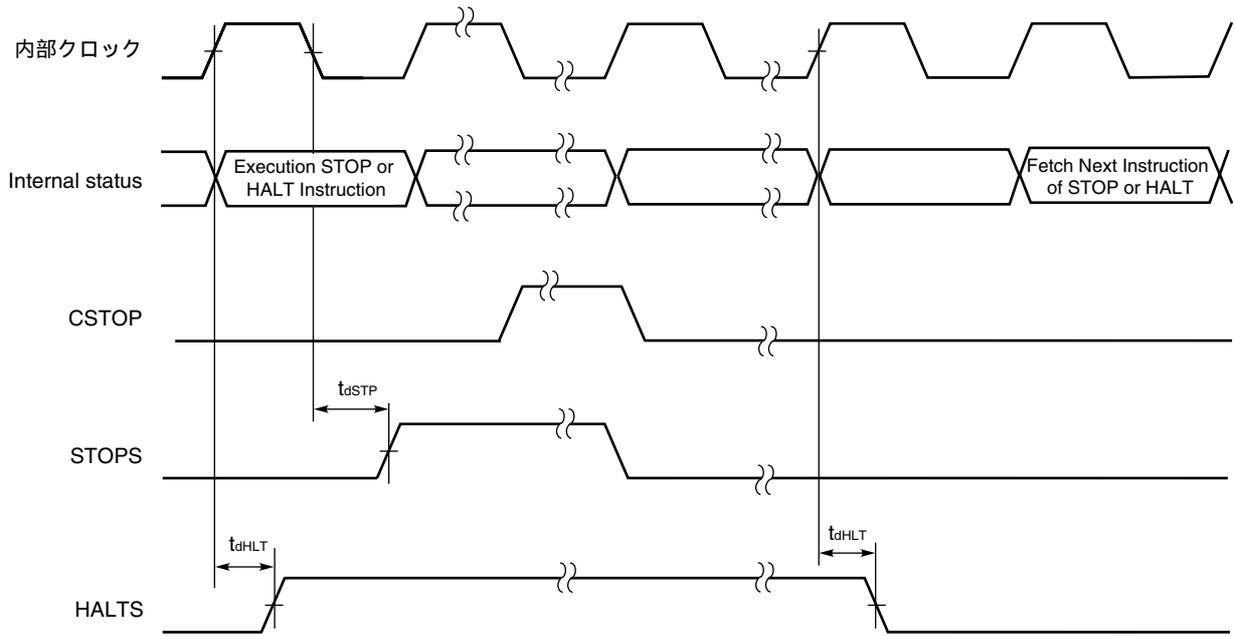
WAKEUPタイミング



割り込みタイミング

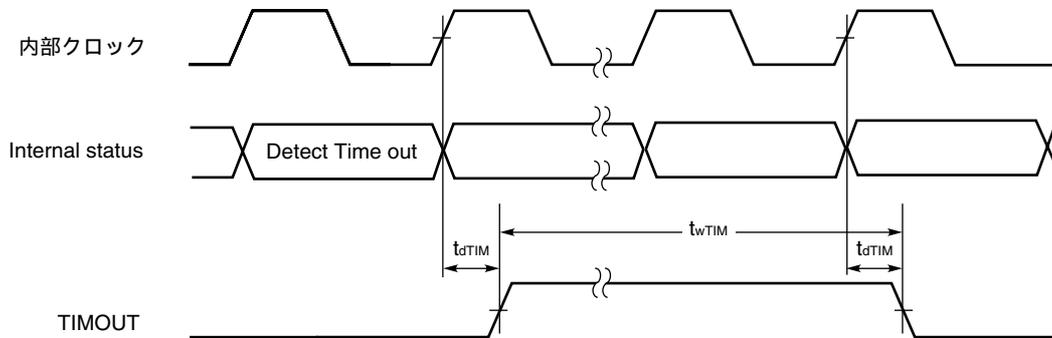


スタンバイ・モード・ステータス出力タイミング



- 備考 1. 内部クロックはSTOPモード，HALTモード中に停止（ロウ・レベル固定）あるいは周期が変化します。  
 2. STOPS端子はCSTOP端子の立ち上がりにより非同期にロウ・レベルになります。

タイマ・タイム・アウト・ステータス出力タイミング



外部データ・メモリ・アクセス

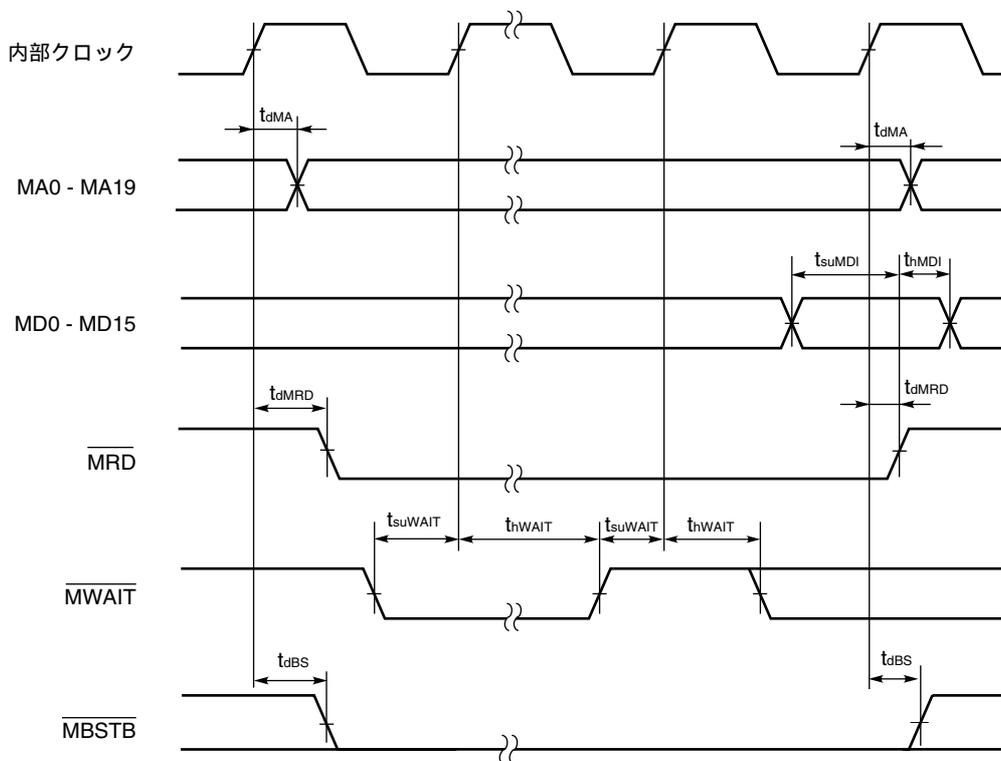
タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
MD セットアップ時間	$t_{suMDI}$		17.5			ns
MD ホールド時間	$t_{hMDI}$		0			ns
$\overline{MHOLDRQ}$ セットアップ時間	$t_{suHRQ}$		11.25			ns
$\overline{MHOLDRQ}$ ホールド時間	$t_{hHRQ}$		0			ns
$\overline{MWAIT}$ セットアップ時間	$t_{suWAIT}$		11.25			ns
$\overline{MWAIT}$ ホールド時間	$t_{hWAIT}$		0			ns

スイッチング特性

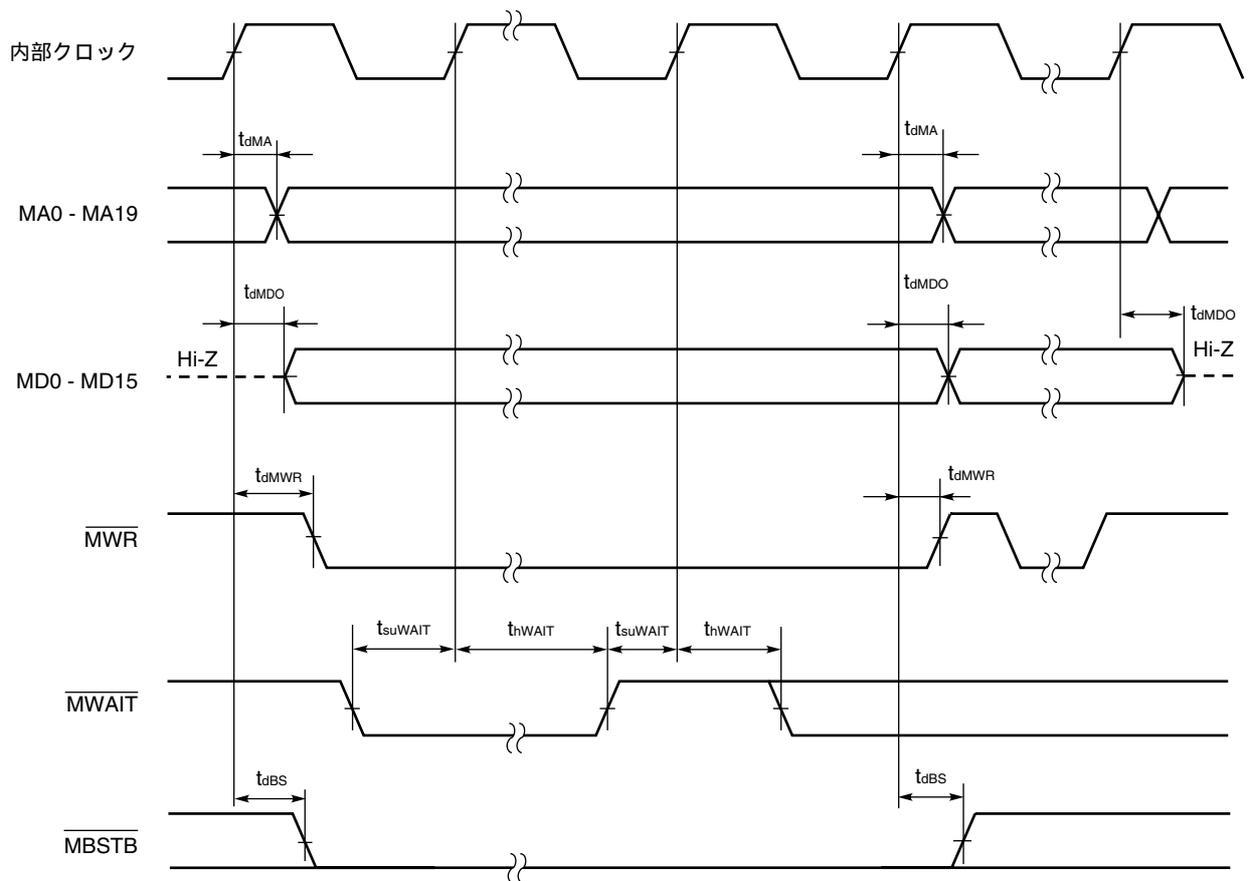
項目	略号	条件	MIN.	TYP.	MAX.	単位
MA 出力遅延時間	$t_{dMA}$		0		6.25	ns
$\overline{MRD}$ 出力遅延時間	$t_{dMRD}$		0		6.25	ns
$\overline{MWR}$ 出力遅延時間	$t_{dMWR}$		0		6.25	ns
MD 出力遅延時間	$t_{dMDO}$		0		6.25	ns
$\overline{MBSTB}$ 出力遅延時間	$t_{dBS}$		0		6.25	ns
$\overline{MHOLDAK}$ 出力遅延時間	$t_{dHAK}$		0		6.25	ns

外部データ・メモリ・アクセス・タイミング(リード)



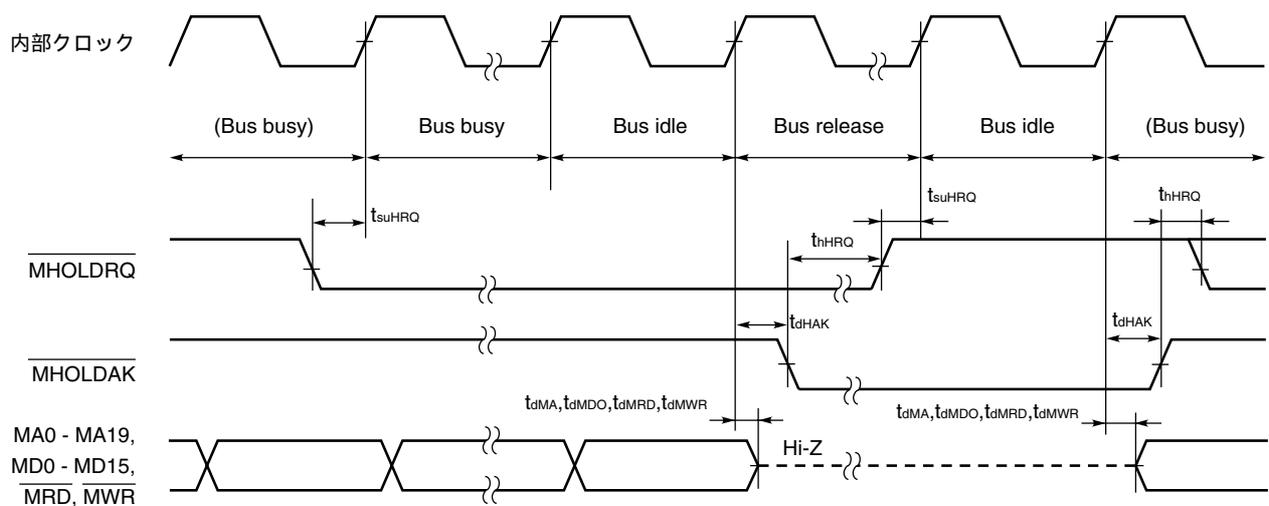
備考 μ PD77213のみ  $\overline{MRD}$  は、MSHWレジスタによって立ち下りのタイミングをサイクル単位でずらすことができます。

外部データ・メモリ・アクセス・タイミング (ライト)



**備考**  $\overline{MWR}$  は, MSHWレジスタによって立ち上がり / 立ち下りのタイミングをサイクル単位でずらすことができます。

バス・アービトレーション・タイミング



汎用入出力ポート

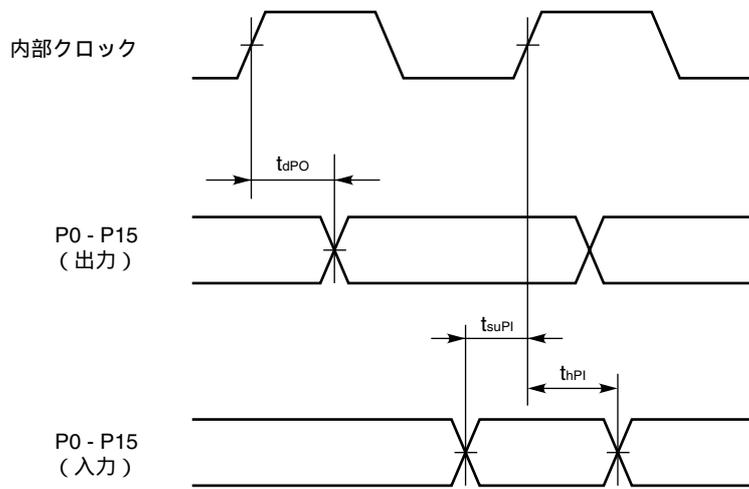
タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
ポート入力セットアップ時間	$t_{suPI}$		11.25			ns
ポート入力ホールド時間	$t_{hPI}$		6.25			ns

スイッチング特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
ポート出力遅延時間	$t_{dPO}$		0		6.25	ns

汎用入出力ポート・タイミング



ホスト・インタフェース

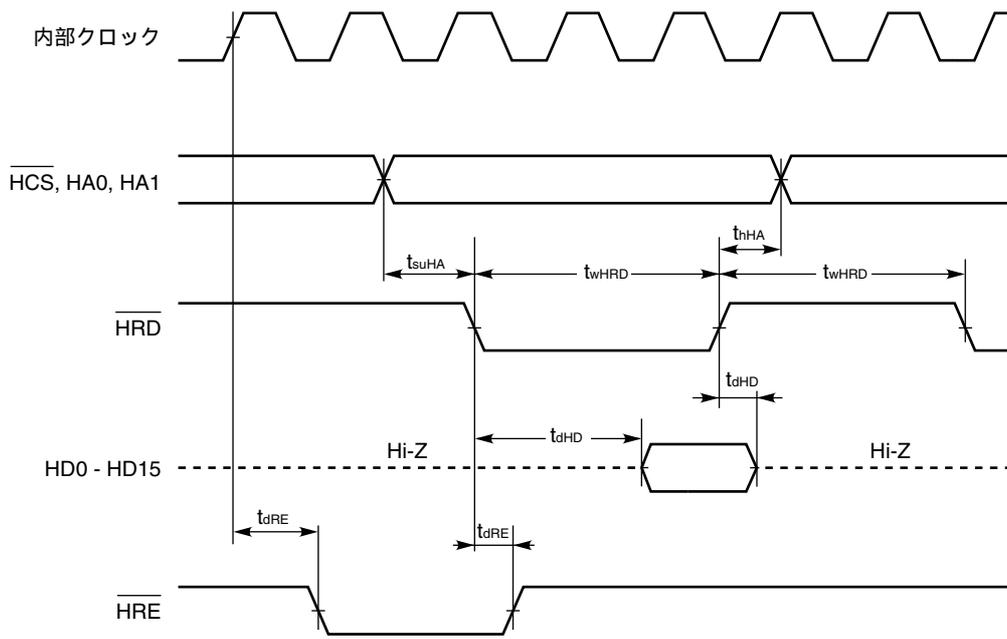
タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{HRD}}$ ロウ・レベル幅, リカバリ・タイム	t <sub>wHRD</sub>		3 t <sub>cC</sub>			ns
$\overline{\text{HWR}}$ ロウ・レベル幅, リカバリ・タイム	t <sub>wHWR</sub>		3 t <sub>cC</sub>			ns
HDセットアップ時間	t <sub>suHDI</sub>		6.25			ns
HDホールド時間	t <sub>hHDI</sub>		6.25			ns
HA, $\overline{\text{HCS}}$ セットアップ時間	t <sub>suHA</sub>		3			ns
HA, $\overline{\text{HCS}}$ ホールド時間	t <sub>hHA</sub>		0			ns

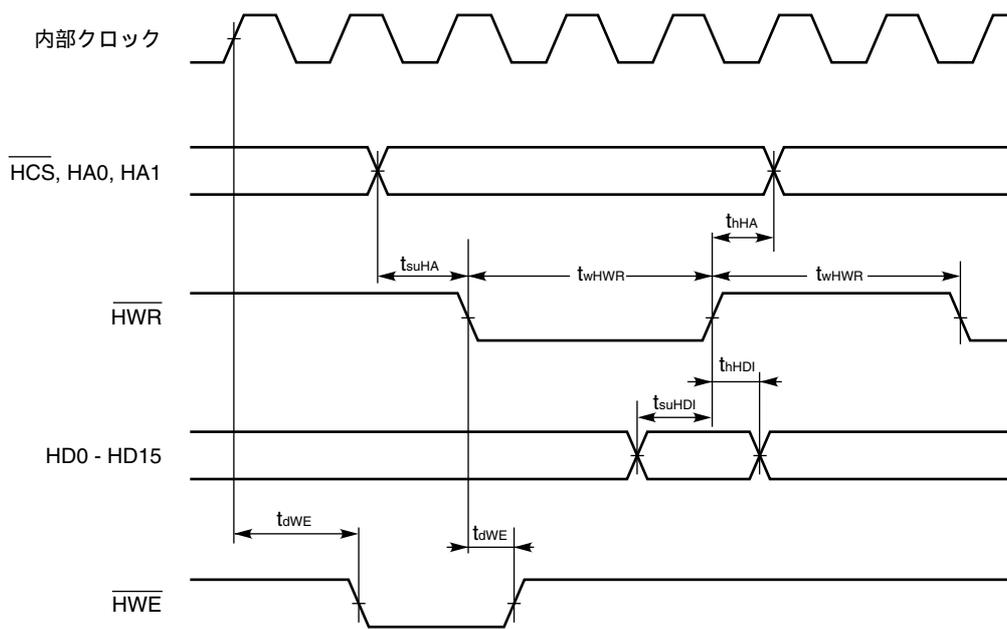
スイッチング特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{HRE}}$ 出力遅延時間	t <sub>dRE</sub>		0		11.25	ns
$\overline{\text{HWE}}$ 出力遅延時間	t <sub>dWE</sub>		0		11.25	ns
HD出力遅延時間	t <sub>dHD</sub>		0		11.25	ns

ホスト・インタフェース・リード・タイミング



ホスト・インタフェース・ライト・タイミング



シリアル・インタフェース (スタンダード/時分割シリアル・インタフェース)

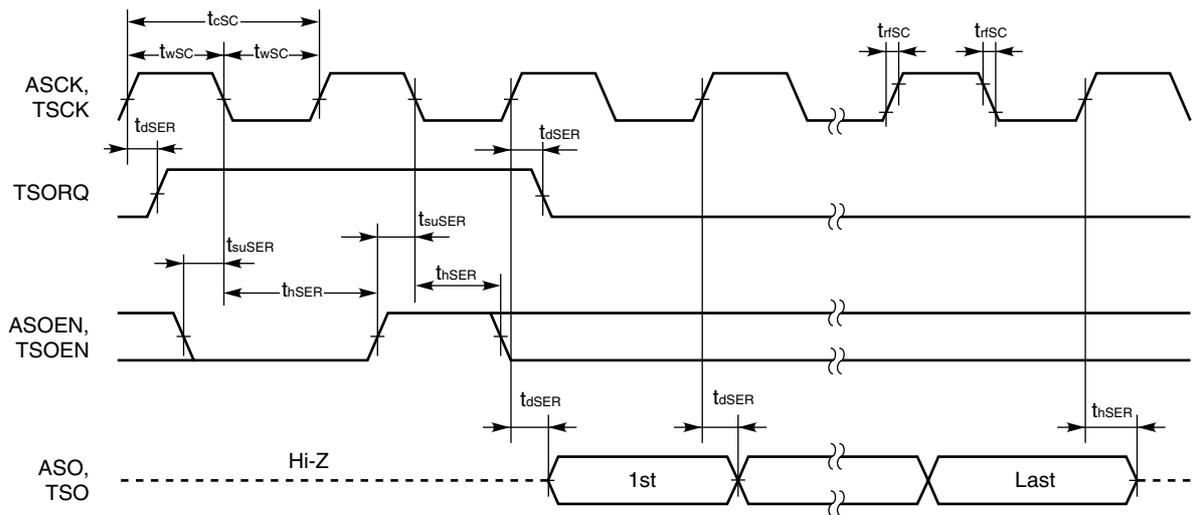
タイミング必要条件

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCK サイクル・タイム	$t_{cSC}$		50 かつ $2 t_{cc}$			ns
ASCK ハイ/ロウ・レベル幅	$t_{wSC}$		25			ns
ASCK 立ち上がり/立ち下がり時間	$t_{rfSC}$				20	ns
シリアル入力セット・アップ時間	$t_{suSER}$		12.5			ns
シリアル入力ホールド時間	$t_{hSER}$		12.5			ns

スイッチング特性

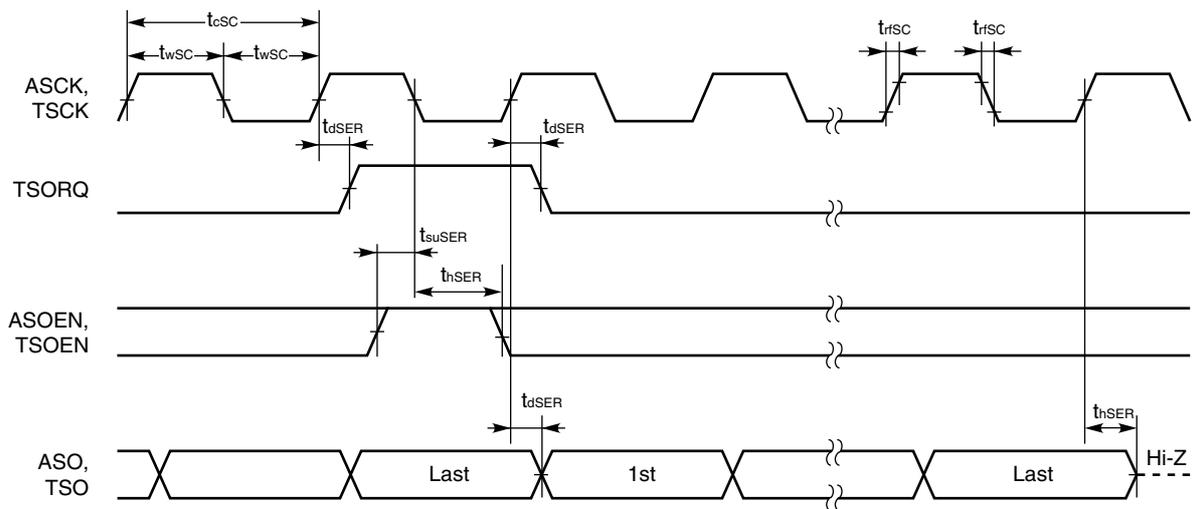
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
シリアル出力遅延時間	$t_{dSER}$		0		17.5	ns

シリアル出カタイミング1



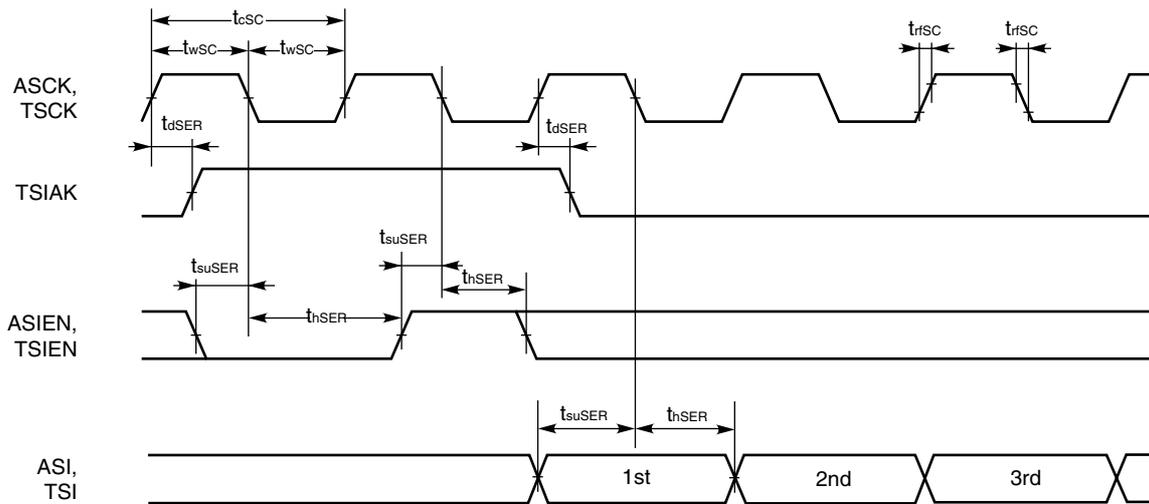
**備考** 時分割シリアル・インタフェース・モードの場合、設定によってTSOの出力が1ビット遅延します。

シリアル出カタイミング2 (連続出力時)



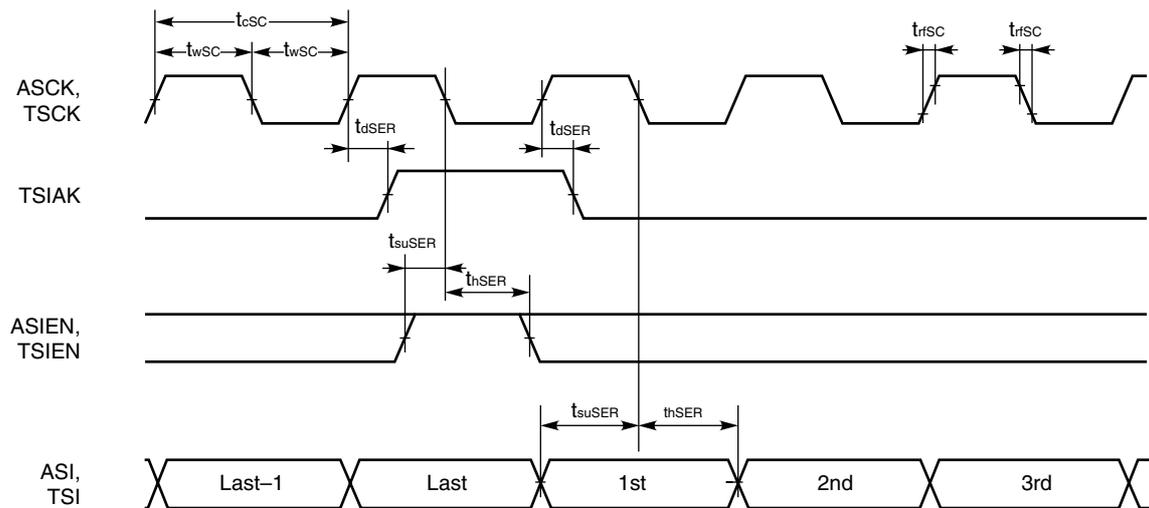
**備考** 時分割シリアル・インタフェース・モードの場合、設定によってTSOの出力が1ビット遅延あるいは1ビット分ハイ・インピーダンス状態を挿入します。

シリアル入カタイミング1



備考 時分割シリアル・インタフェース・モードの場合、設定によってTSIの入力が1ビット遅延します。

シリアル入カタイミング2 (連続入力時)



備考 時分割シリアル・インタフェース・モードの場合、設定によってTSIの入力が1ビット遅延あるいは1ビット分の読み飛ばしサイクルを挿入します。

シリアル・インタフェース（オーディオ・シリアル・インタフェース）

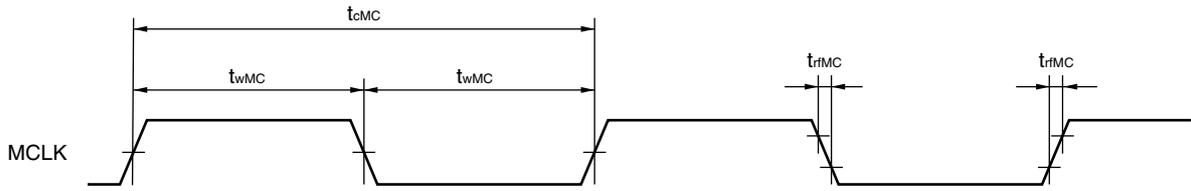
タイミング必要条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
MCLK サイクル・タイム	$t_{cMC}$	マスタ・モード	50 かつ 2 $t_{cc}$			ns
MCLK ハイ/ロウ・レベル幅	$t_{wMC}$	マスタ・モード	25			ns
MCLK 立ち上がり/立ち下がり時間	$t_{rMC}$	マスタ・モード			20	ns
BCLK サイクル・タイム	$t_{cBC}$	スレーブ・モード	50 かつ 8 $t_{cc}$			ns
BCLK ハイ/ロウ・レベル幅	$t_{wBC}$	スレーブ・モード	25			ns
BCLK 立ち上がり/立ち下がり時間	$t_{rBC}$	スレーブ・モード			20	ns
シリアル入力セットアップ時間	$t_{suASER}$	スレーブ・モード	12.5			ns
		マスタ・モード	25.0			ns
シリアル入力ホールド時間	$t_{hASER}$	スレーブ・モード	12.5			ns
		マスタ・モード	25.0			ns

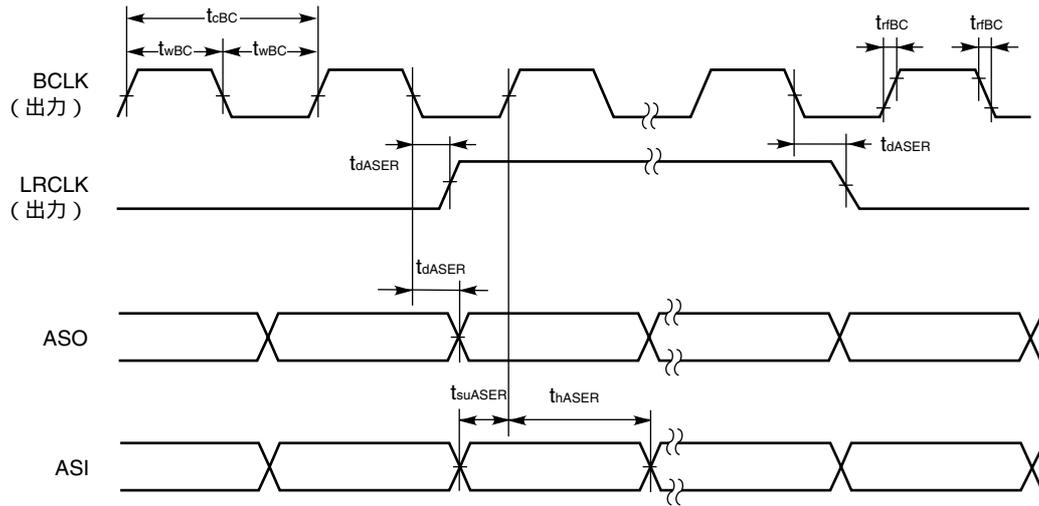
スイッチング特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
BCLK サイクル・タイム	$t_{cBC}$	マスタ・モード	50 かつ 8 $t_{cc}$			ns
BCLK ハイ/ロウ・レベル幅	$t_{wBC}$	マスタ・モード	25			ns
BCLK 立ち上がり/立ち下がり時間	$t_{rBC}$	マスタ・モード			5	ns
シリアル出力遅延時間	$t_{dASER}$	マスタ・モード	- 12.5		25.0	ns
		スレーブ・モード	0		17.5	ns

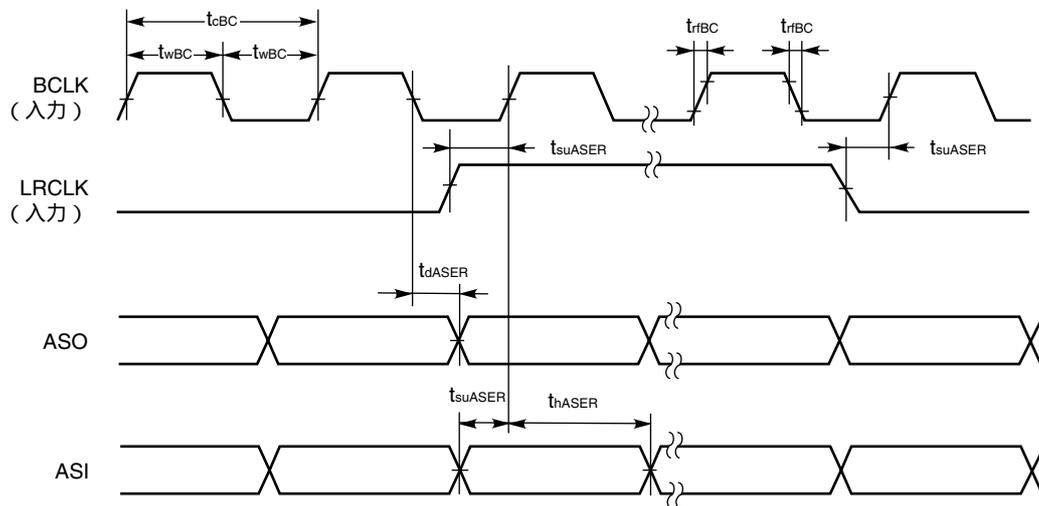
オーディオ・シリアル・クロック・タイミング



オーディオ・シリアル・モード・タイミング (マスタ・モード)



オーディオ・シリアル・モード・タイミング (スレーブ・モード)



注意 シリアル・クロックにノイズが重畳すると、シリアル・インタフェースがデッドロックする可能性があります。  
設計の際には、次の点に注意してください。

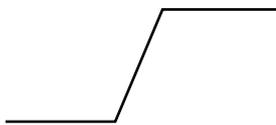
電源、グランドの配線を強化する（電源およびグランドにノイズが重畳すると、相対的にシリアル・クロックにノイズが重畳したように見ることがあります）。

デバイスのASCK, TSCK, BCLK端子とクロック供給源との間の配線を極力短くする。

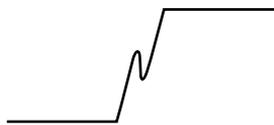
シリアル・クロックの信号線と、ほかの信号線を交差させない。また、変化する大電流が流れる線と接近させない。

デバイスのASCK, TSCK, BCLK端子とクロックの供給源が1対1になるようにし、1つのクロック供給源から複数のデバイスへクロックを供給しないようにする。

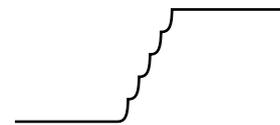
シリアル・クロックは、オーバシュートおよびアンダシュートしないように注意する。特に、立ち上がり/立ち下がり時の波形がきれいになるように配慮する。



直線的な立ち上がり/立ち下がりにする。



パウンドさせない。ノイズを重畳させない。



階段状にさせない。

SDカード・インタフェース (μ PD77213のみ)

タイミング必要条件

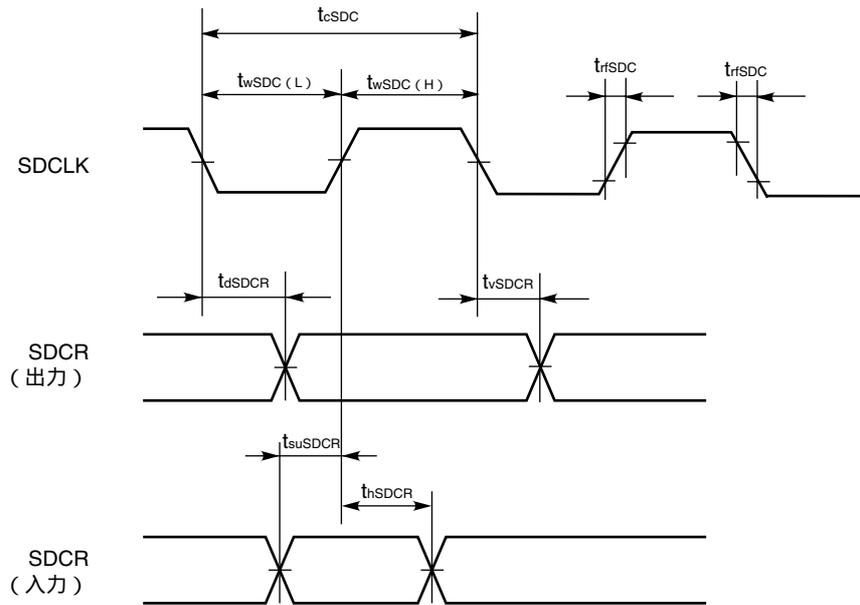
項目	略号	条件	MIN.	TYP.	MAX.	単位
SDCR 入力セットアップ時間	$t_{suSDCR}$	入力レスポンス	10			ns
SDCR 入力ホールド時間	$t_{hSDCR}$	入力レスポンス	0			ns
SDDAT 入力セットアップ時間	$t_{suSDD}$	入力データ	10			ns
SDDAT 入力ホールド時間	$t_{hSDD}$	入力データ	0			ns

スイッチング特性

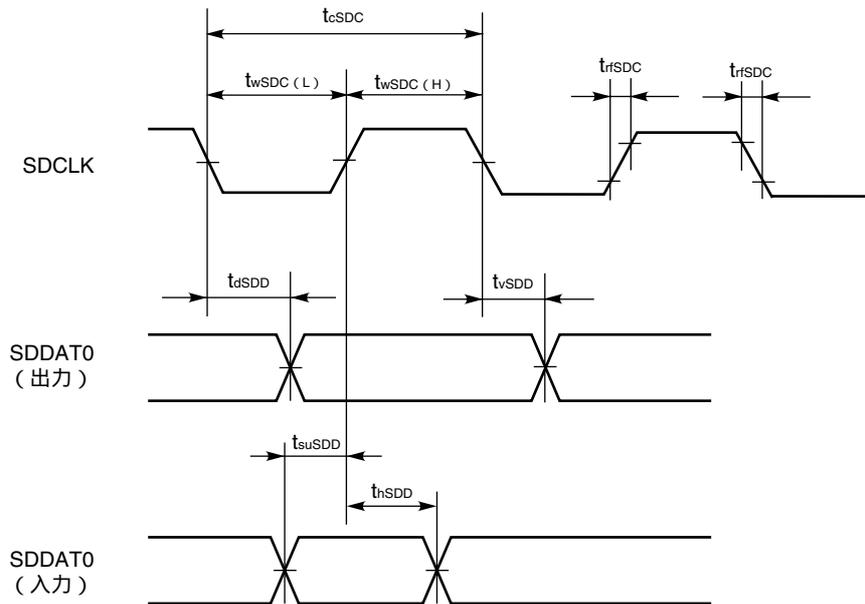
項目	略号	条件	MIN.	TYP.	MAX.	単位
SDCLK サイクル・タイム	$t_{cSDC}$			$n \times t_{cc}$ 注		ns
SDCLK ハイ・レベル幅	$t_{wSDC(H)}$			$2 t_{cc}$		ns
SDCLK ロウ・レベル幅	$t_{wSDC(L)}$			$t_{cSDC} - t_{wSDC(H)}$		ns
SDCLK 立ち上がり / 立ち下がり時間	$t_{rSDC}$				5	ns
SDCR 出力遅延時間	$t_{dSDCR}$	出力コマンド			10	ns
SDCR 出力有効時間	$t_{vSDCR}$	出力コマンド	0			ns
SDDAT 出力遅延時間	$t_{dSDD}$	出力データ			10	ns
SDDAT 出力有効時間	$t_{vSDD}$	出力データ	0			ns

注 n : SDカード・クロック分周率

SDCRタイミング



SDDATタイミング



**備考** SDMON端子は、外部データ・メモリ・インタフェースのMA13端子と兼用です。SDインタフェース関連のペリフェラル・レジスタをアクセスしているときは、SDMON (MA13) 端子はハイ・レベルになり、MA0-MA12端子はロウ・レベルになります。これらの端子のタイミングは、外部データ・メモリ・アクセスを参照してください。

ディバグ用インタフェース (JTAG)

タイミング必要条件

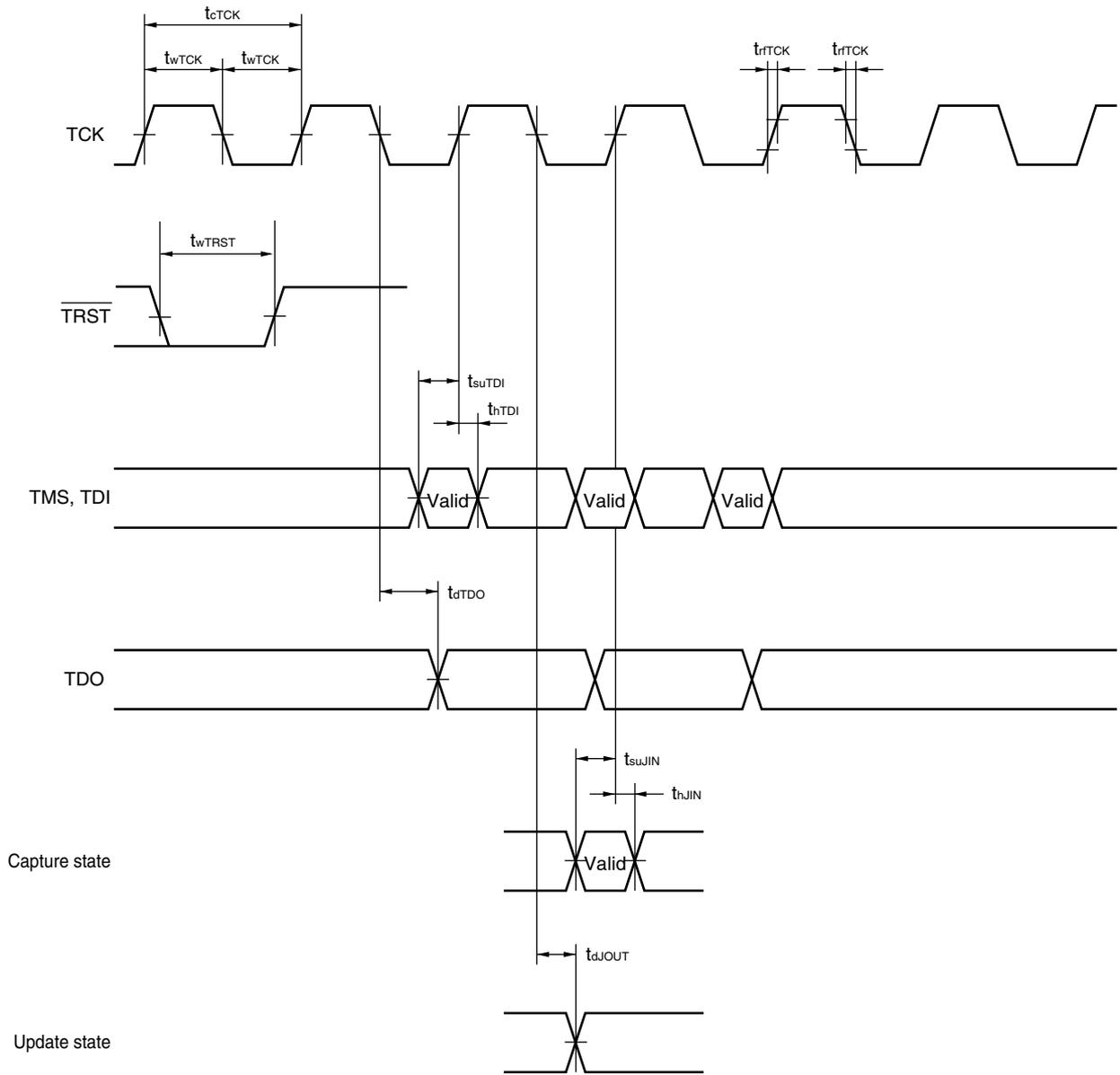
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
TCKサイクル・タイム	t <sub>cTCK</sub>		50かつ 2 t <sub>cC</sub> <sup>注</sup>			ns
TCKハイ/ロウ・レベル幅	t <sub>wTCK</sub>		25			ns
TCK立ち上がり/立ち下がり時間	t <sub>rTCK</sub>				20	ns
TDI入力セットアップ時間	t <sub>suTDI</sub>		12.5			ns
TDI入力ホールド時間	t <sub>hTDI</sub>		12.5			ns
入力端子セットアップ時間	t <sub>suJIN</sub>		12.5			ns
入力端子ホールド時間	t <sub>hJIN</sub>		12.5			ns
TRSTロウ・レベル幅	t <sub>wTRST</sub>		100			ns

注 ディバグが使用時は50かつ2 t<sub>cC</sub>になります。

スイッチング特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
TDO出力遅延時間	t <sub>dTDO</sub>		0		17.5	ns
出力端子出力遅延時間	t <sub>dJOUT</sub>				17.5	ns

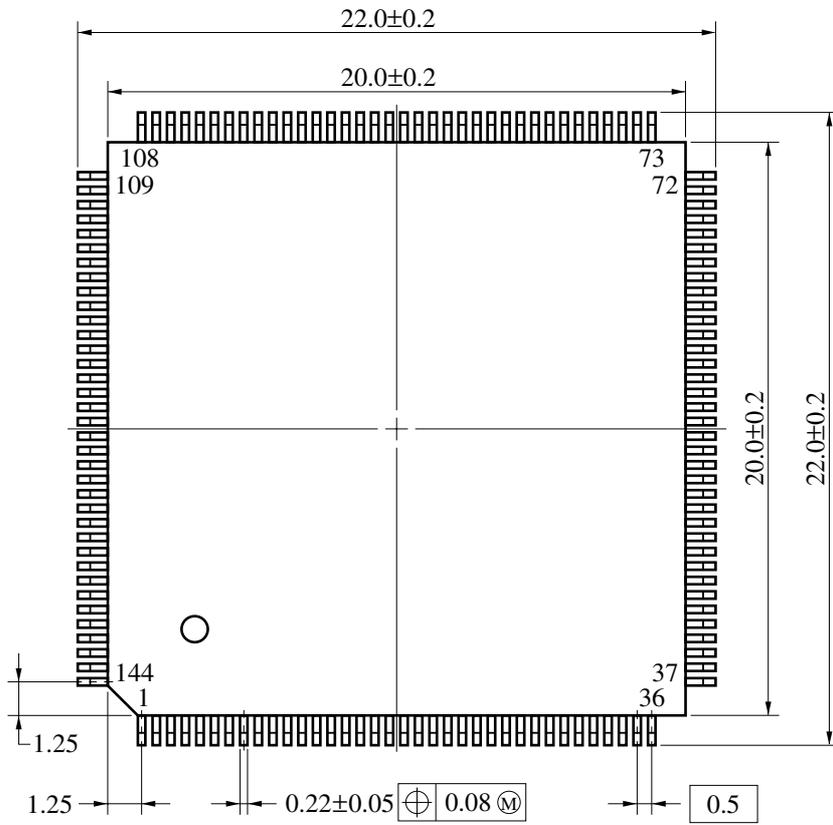
ディバグ用インタフェース・タイミング



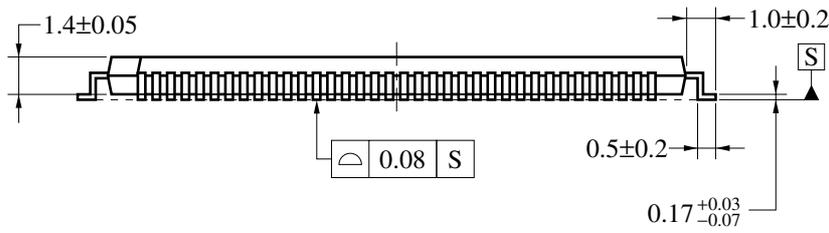
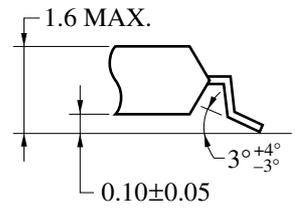
備考 JTAGの詳細な内容については、IEEE1149.1を参照してください。

11. 外形図

144ピン・プラスチック LQFP (ファインピッチ)(20x20) 外形図 (単位: mm)

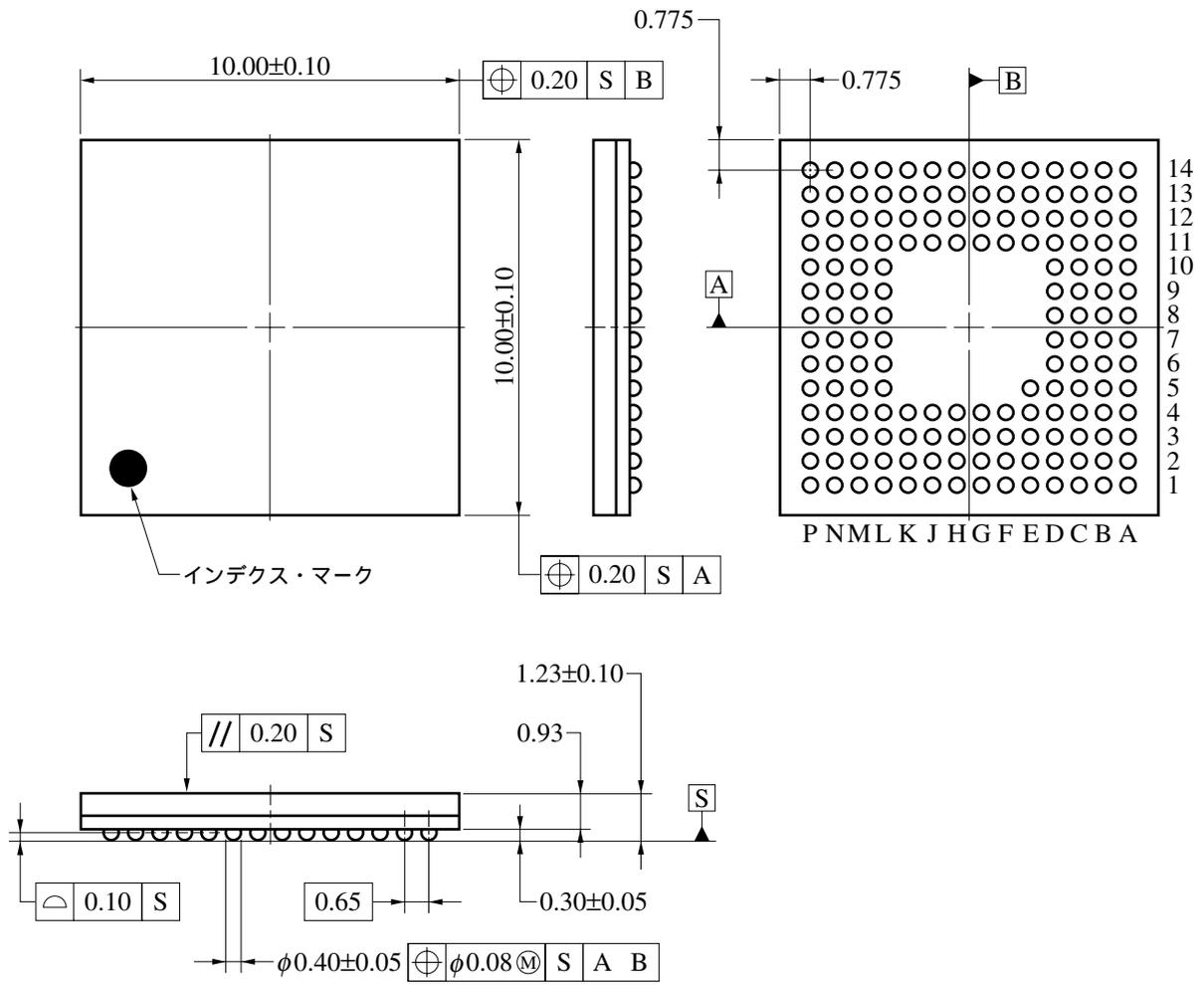


端子先端形状詳細図



S144GJ-50-8EN-1

161ピン・プラスチックFBGA (10x10) 外形図 (単位: mm)



P161F1-65-DA2

★ 12. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体実装マニュアル」 (<http://www.nec.co.jp/pkg/ja/jissou/index.html>)

μ PD77210F1-DA2: 161ピン・プラスチック・ファインピッチBGA (10×10)

μ PD77213F1-xxx-DA2: 161ピン・プラスチック・ファインピッチBGA (10×10)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上） 回数：2回以内，制限日数：7日間 <sup>※</sup> （以降は125℃プリベーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-107-2

μ PD77210GJ-8EN: 144ピン・プラスチックLQFP（ファインピッチ）（20×20）

μ PD77213GJ-xxx-8EN: 144ピン・プラスチックLQFP（ファインピッチ）（20×20）

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上） 回数：2回以内，制限日数：3日間 <sup>※</sup> （以降は125℃プリベーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-103-2
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け推奨条件の併用はお避けください（ただし，端子部分加熱は除く）。

## CMOSデバイスの一般的注意事項

### 静電気対策（MOS全般）

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 未使用入力の処理（CMOS特有）

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して $V_{DD}$ またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 初期化以前の状態（MOS全般）

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

本製品のうち、外国為替および外国貿易管理法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD77210F1-DA2, μ PD77210GJ-8EN

ユーザ判定品 : μ PD77213F1-xxx-DA2, μ PD77213GJ-xxx-8EN

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

## — お問い合わせ先 —

### 【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン  
(電話：午前 9:00～12:00、午後 1:00～5:00)

電話 : 044-435-9494  
FAX : 044-435-9608  
E-mail : info@lsi.nec.co.jp

### 【営業関係お問い合わせ先】

第一販売事業部  
東京 (03)3798-6106, 6107, 6108  
大阪 (06)6945-3178, 3200, 3208, 3212  
広島 (082)242-5504  
仙台 (022)267-8740  
郡山 (024)923-5591  
千葉 (043)238-8116

第二販売事業部  
東京 (03)3798-6110, 6111, 6112  
立川 (042)526-5981, 6167  
松本 (0263)35-1662  
静岡 (054)254-4794  
金沢 (076)232-7303  
松山 (089)945-4149

第三販売事業部  
東京 (03)3798-6151, 6155, 6586, 1622, 1623, 6156  
水戸 (029)226-1702  
前橋 (027)243-6060  
鳥取 (0857)27-5313  
太田 (0276)46-4014  
名古屋 (052)222-2170, 2190  
福岡 (092)261-2806

### 【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

### 【NECエレクトロニクス デバイス ホームページ】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>